

Семинар 6

| мтаp

Семинар 6

! ЗАБЕЙТЕ НА ПРЕЗУ И ПОСМОТРИТЕ ЗАПИСЬ !

Все красивые слайды украдены из лекции

Все красивые слайды украдены из лекции

(за слайды спасибо лектору; все помидоры кидать в меня)

Кэши процессора

- Регистры
- L1 кэш: per-core кэш, обычно разделён на кэш инструкций (L1i) и кэш данных (L1d), доступ: ~3 цикла (1 ns)
- L2 кэш: больше по размеру, может разделяться на несколько ядер, доступ: ~12 циклов (4 ns)
- L3 кэш: ещё больше по размеру, обычно один на процессор, доступ: ~40-80 (12-20 ns) циклов
- Доступ к DRAM: 50-100 циклов (16+ ns)

Кэши процессора

ооокей... а как читать этот слайд?

- Регистры
- L1 кэш: per-core кэш, обычно разделён на кэш инструкций (L1i) и кэш данных (L1d), доступ: ~3 цикла (1 ns)
- L2 кэш: больше по размеру, может разделяться на несколько ядер, доступ: ~12 циклов (4 ns)
- L3 кэш: ещё больше по размеру, обычно один на процессор, доступ: ~40-80 (12-20 ns) циклов
- Доступ к DRAM: 50-100 циклов (16+ ns)

Кэши процессора

я помню примерные порядки (нет)

- **~t**: Регистры
- **~10t**: L1 кэш: per-core кэш, обычно разделён на кэш инструкций (L1i) и кэш данных (L1d), доступ: ~3 цикла (1 ns)
- **~100t**: L2 кэш: больше по размеру, может разделяться на несколько ядер, доступ: ~12 циклов (4 ns)
- **~100t**: L3 кэш: ещё больше по размеру, обычно один на процессор, доступ: ~40-80 (12-20 ns) циклов
- **~1000t+**: Доступ к DRAM: 50-100 циклов (16+ ns)

Кэши процессора

я помню примерные порядки (нет)

- $\sim t$: Регистры
- $\sim 10t$: L1 кэш: per-core кэш, обычно разделён на кэш инструкций (L1i) и кэш данных (L1d)
- $\sim 100t$: L2 кэш: больше по размеру, может разделяться на несколько ядер
- $\sim 100t$: L3 кэш: ещё больше по размеру, обычно один на процессор
- $\sim 1000t+$: Доступ к DRAM

А вообще воровать - так воровать

сейчас открою презенташку с лекции