



UNIVERSIDAD TECNICA
FEDERICO SANTA MARIA



DEPARTAMENTO DE
ELECTRONICA

Tarea 1

Introducción al diseño de transistores CMOS

Fecha 17 de Abril de 2024

Nombre: Daniel Gross - 201821013-7

Asignatura: Diseño de IC digitales

Profesor: Ioannis Vourkas

Índice

1	Problema 1	3
1.1	a.	3
1.2	b.	4
1.3	c.	6
1.4	d.	9
1.5	e.	10
2	Problema 2	12
2.1	a.	12
2.2	b.	13
2.3	c.	14

1. Problema 1

1.1. a.

Se muestra a continuación en las figuras 1 y 2 los transistores N-mos y P-mos diseñados respectivamente en L-edit que también se encuentran adjuntos como archivos junto a este reporte.

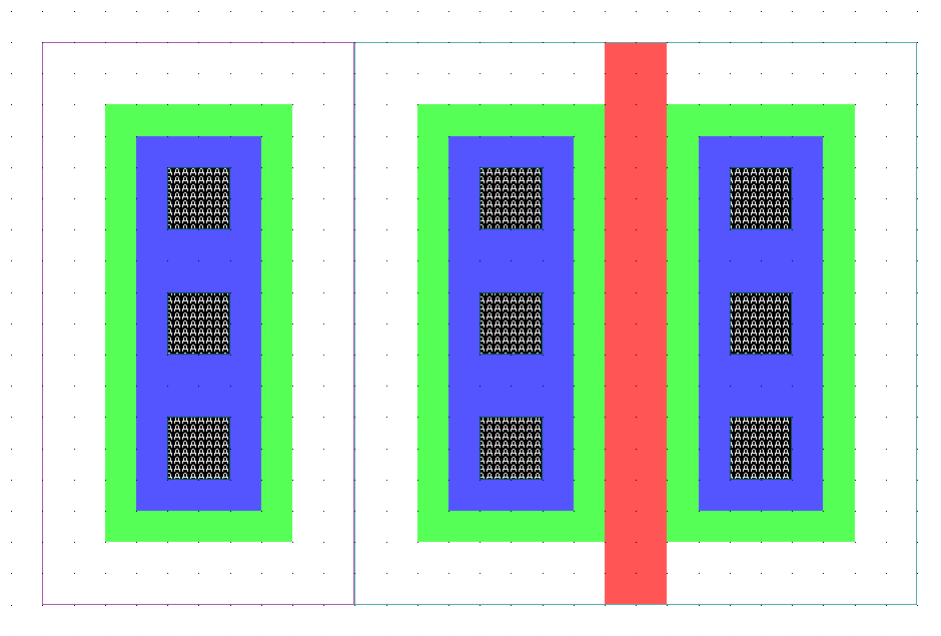


Figura 1: Transistor nMOS con 3 contactos diseñado

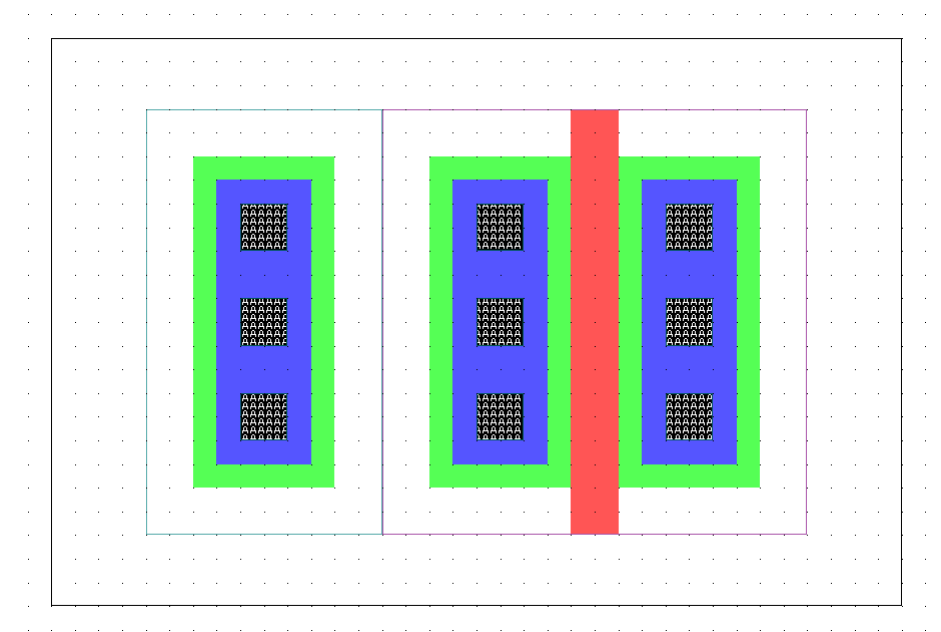


Figura 2: Transistor pMOS con 3 contactos diseñado

Se muestra además a continuación en la tabla 1 los valores de las dimensiones de los dos transistores diseñados, los dos tienen las mismas dimensiones por lo que la tabla se muestra una sola vez y representa ambos transistores.

Dimensión	Valor
L	2λ
W	14λ
AD	$84\lambda^2$
AS	$84\lambda^2$
PD	40λ
PS	40λ

Cuadro 1: Tabla con los valores de las dimensiones de los transistores

1.2. b.

A continuación en la figura 3 se muestra el circuito implementado para simulación donde se exponen también las dimensiones que fueron traspasadas de unidades de lambda a unidades de metro, ya que se trabaja con tecnología de $2\mu m$ y este numero corresponde al L, entonces se puede deducir que $\lambda = 1\mu m$.

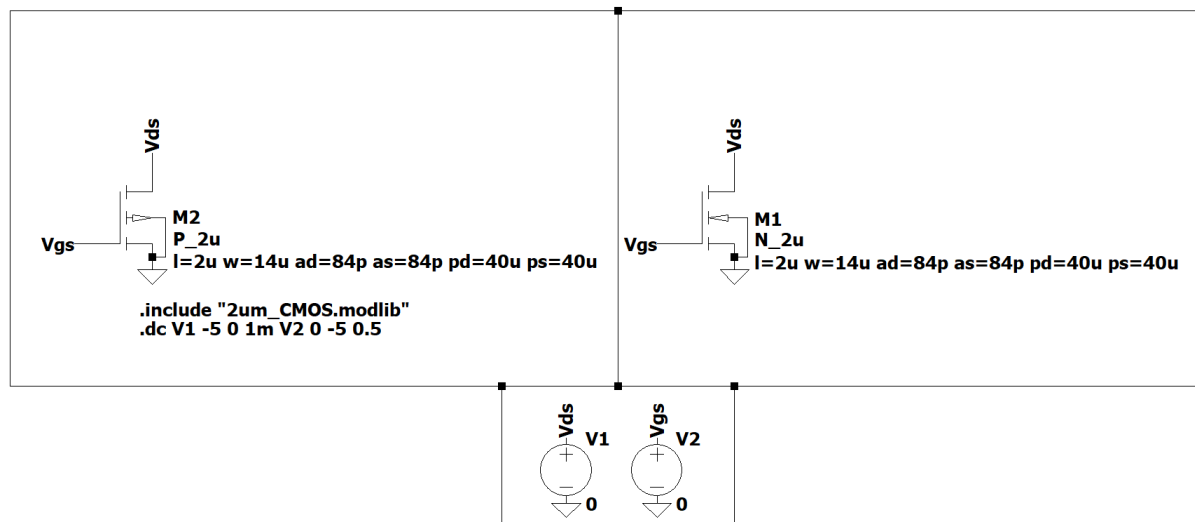


Figura 3: Circuito utilizado para simular los dos transistores diseñados

Luego para simular la curva $I_D - V_{DS}$ para distintos valores de V_{GS} del transistor nMOS se configuro un DC sweep que va desde 0V a 5V con step de 1mV para la fuente de voltaje V_{ds} y un sweep que va desde 0V a 5V con step de 0,5V para la fuente de voltaje V_{gs} , obteniendo así el gráfico 4.

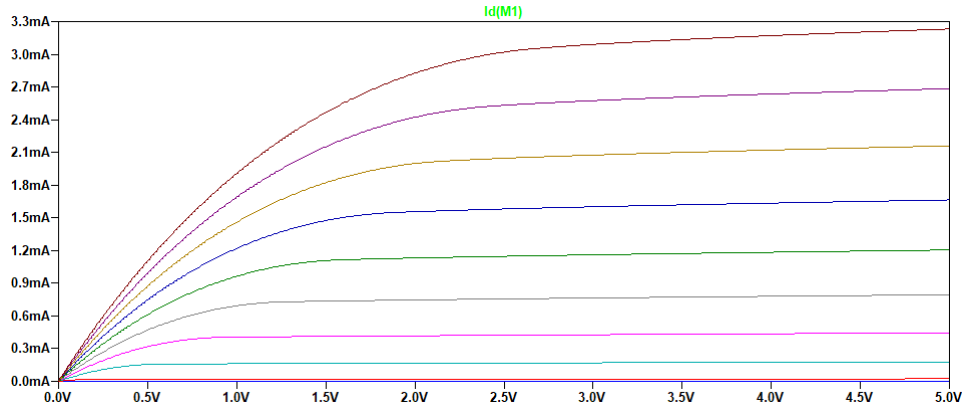


Figura 4: Característica $I_D - V_{DS}$ para el transistor nMOS y múltiples valores de V_{GS}

De manera similar para obtener la curva $I_D - V_{DS}$ para distintos valores de V_{GS} del transistor pMOS se configuro un DC sweep que en este caso va desde -5V a 0V con step de 1mV para V_{ds} y un sweep de -5V hasta 0V para V_{gs} con step de 0,5V, obteniendo así el gráfico 5

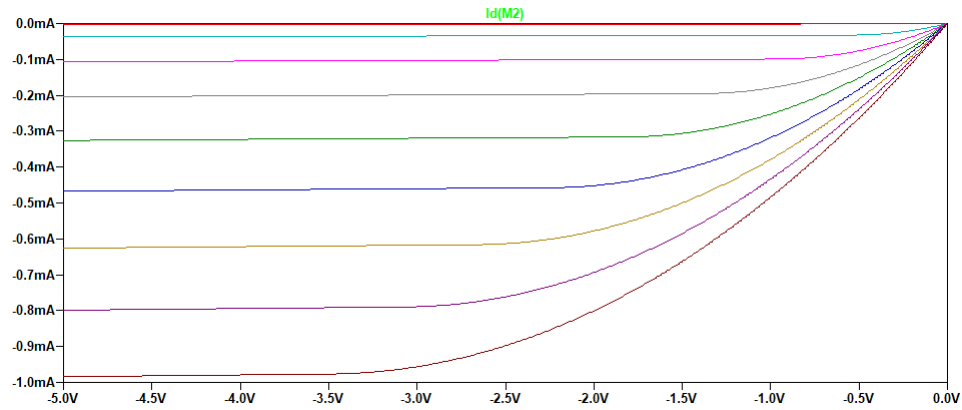


Figura 5: Característica $I_D - V_{DS}$ para el transistor pMOS y múltiples valores de V_{GS}

Finalmente para responder a la pregunta sobre dimensionar el pMOS para que tenga la misma capacidad de excitación que el nMOS, se tiene que la corriente I_D de un transistor nMOS o pMOS esta dada por:

$$I_D \propto \frac{W}{L} \quad (1)$$

Por lo que para obtener los mismos niveles de corriente se puede usar la corriente más alta que alcanza el nMOS y dividir ese valor por el valor más alto que alcanza la corriente del pMOS (considerando su valor absoluto por supuesto) y dividirlos para obtener que tanto hay que aumentar el parámetro W del transistor pMOS para que presente los mismos niveles de corriente que el nMOS, para este caso por ejemplo la corriente más alta alcanzada por el nMOS es de aproximadamente 3,3mA, mientras que la más alta alcanzada por el pMOS es de aproximadamente 1mA, al dividir esto números se encontró que se necesita 3,3W para poder obtener los mismos niveles de corriente esto se comprueba en el gráfico 6 donde se tiene el gráfico de la característica $I_D - V_{DS}$ para el pMOS considerando $3,3W = 46,2\mu m$.

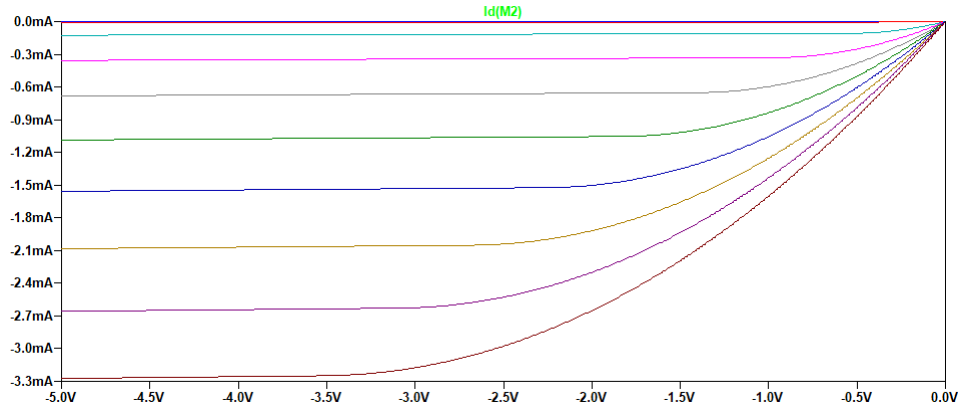


Figura 6: Característica $I_D - V_{DS}$ para el transistor pMOS con $W = 46,2\mu m$

1.3. c.

para comprobar si el modelo contempla la saturación temprana de velocidad utilizando el gráfico de la característica $I_D - V_{DS}$ se obtuvieron las corriente para las distintas curvas V_{GS} en el punto donde $V_{DS} = V_{GS} - V_T$, donde $V_T \approx 0,78$ para el nMOS y $V_T \approx 0,9$ para el pMOS (estos datos fueron extraídos de la librería de LTspice usada para simular los transistores), de eso se obtuvieron las tablas 2 y 3. Luego utilizando excel se realizo un fit de curva tanto cuadrática como lineal donde como se puede apreciar en los gráficos 7, 8 en el caso del nMOS y 9, 10 en el caso de pMOS, que el factor R^2 es casi 1 y más alto en el caso cuadrático que el lineal para ambas tecnologías con lo que se comprueba que el modelo NO contempla la saturación temprana de velocidad.

V_{GS}	V_{DS}	I_D
1.5	0.72	0.16
2	1.22	0.4
2.5	1.72	0.74
3	2.22	1.14
3.5	2.72	1.6
4	3.22	2.08
4.5	3.72	2.62
5	4.22	3.19

Cuadro 2: Tabla de valores I_D para $V_{DS} = V_{GS} - V_T$ en nMOS

V_{GS}	V_{DS}	I_D
1.5	0.59	0.034
2	1.09	0.101
2.5	1.59	0.196
3	2.09	0.316
3.5	2.59	0.458
4	3.09	0.617
4.5	3.59	0.793
5	4.09	0.98

Cuadro 3: Tabla de valores I_D para $V_{DS} = V_{GS} - V_T$ en pMOS

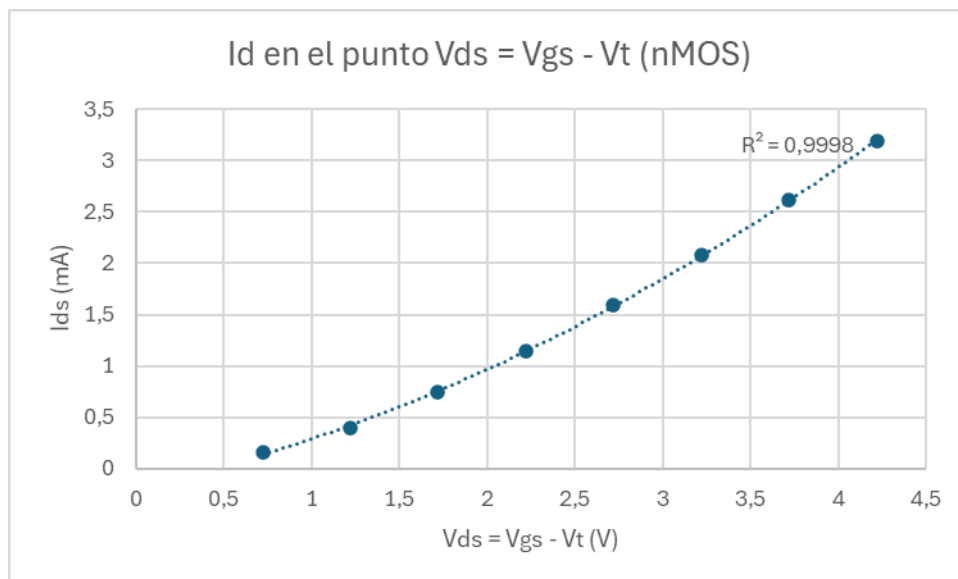


Figura 7: Ajuste cuadrático para nMOS

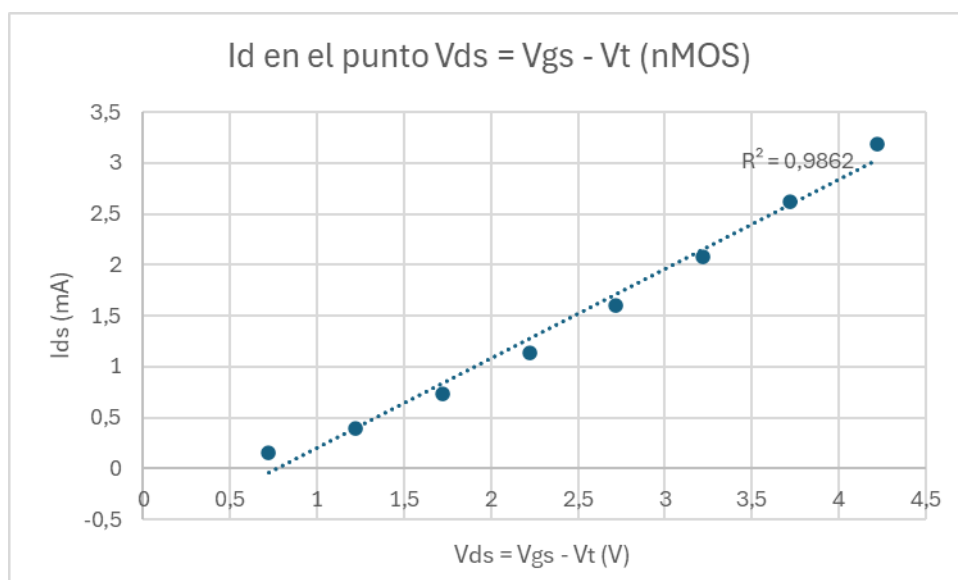


Figura 8: Ajuste lineal para nMOS

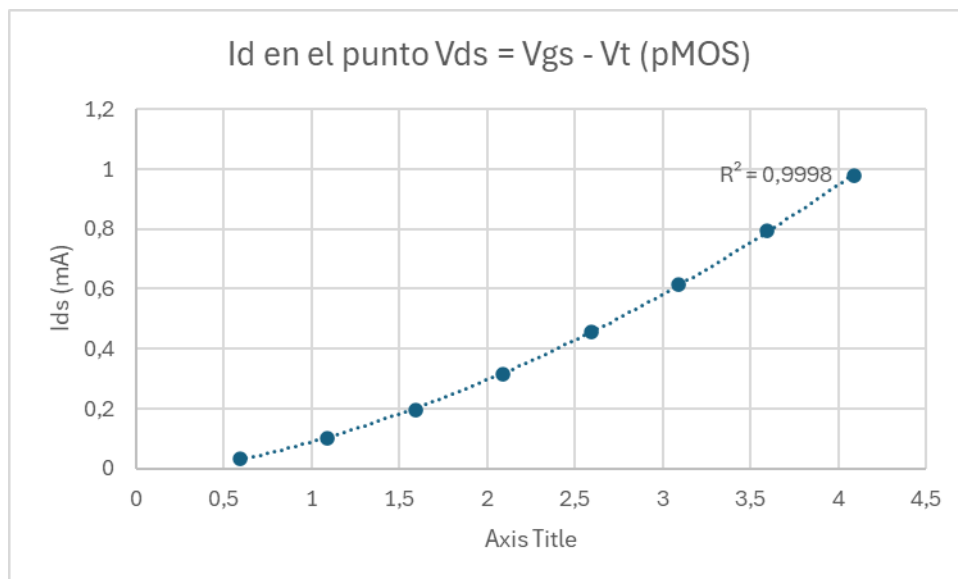


Figura 9: Ajuste cuadrático para pMOS

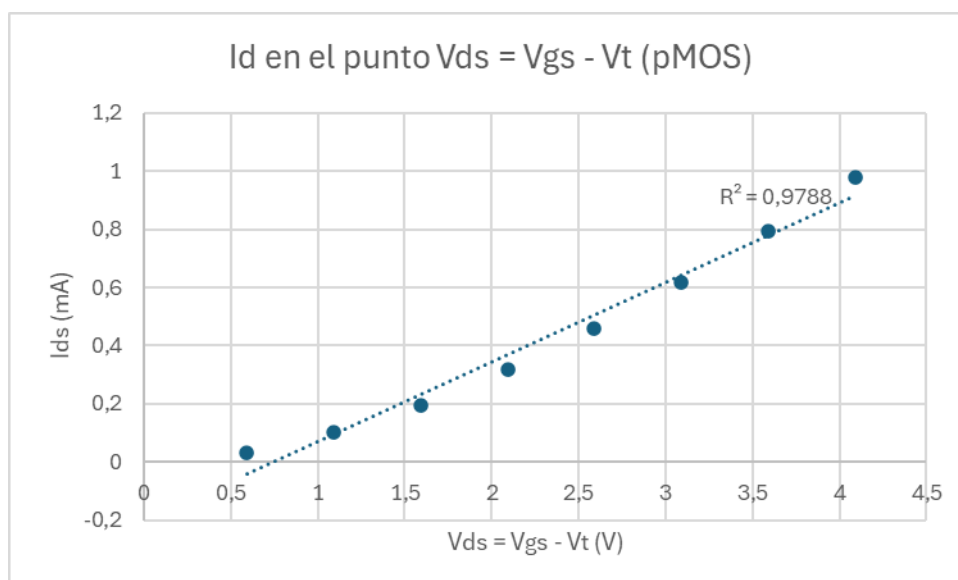


Figura 10: Ajuste lineal para pMOS

1.4. d.

Para comprobar si el modelo contempla el fenómeno de punch-through se realizo los mismos sweep DC antes mencionados con la diferencia de que V_{DS} se corrió en el rango $0V$ a $100V$ en el caso de nMOS y en el rango $-100V$ a $0V$ para el pMOS, esto con el objetivo de comprobar si al operar para valores de V_{DS} mucho más altos que la alimentación esto resultaba en un salto en la corriente en algún punto, sin embargo como se puede observar en las figuras 11 y 12 si bien la corriente crece a medida que se aumenta el voltaje en ningún momento lo hace de golpe indicando que hay conducción libre sino que sigue el mismo modelo cuadrático de saturación, por lo que el fenómeno del punch-through no esta contemplado en el modelo.

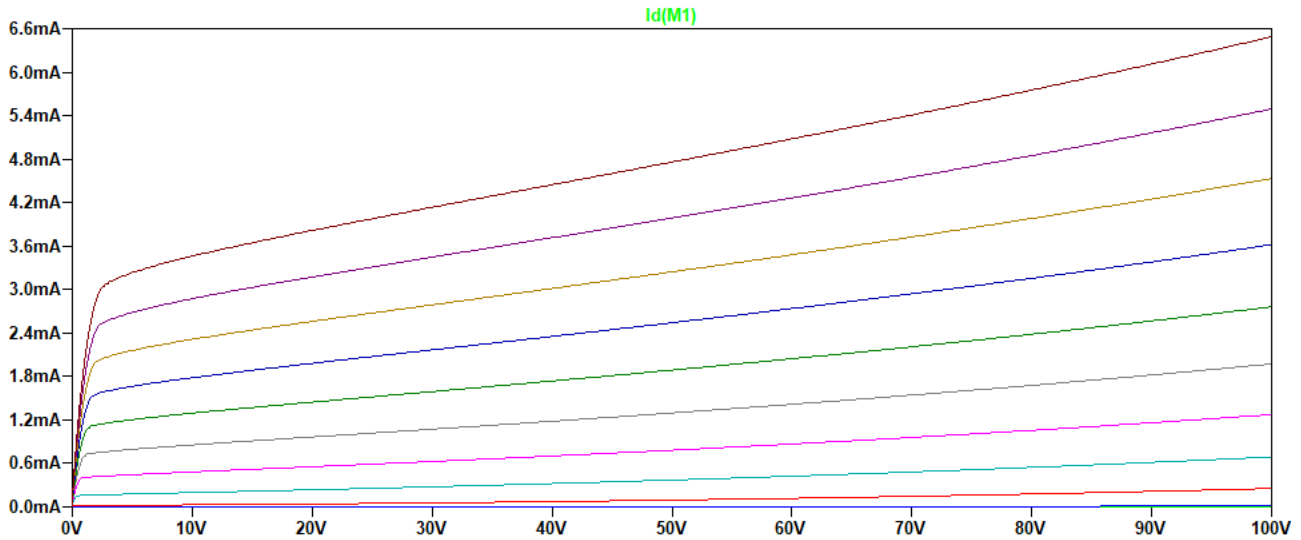


Figura 11: Característica $I_D - V_{DS}$ para nMOS

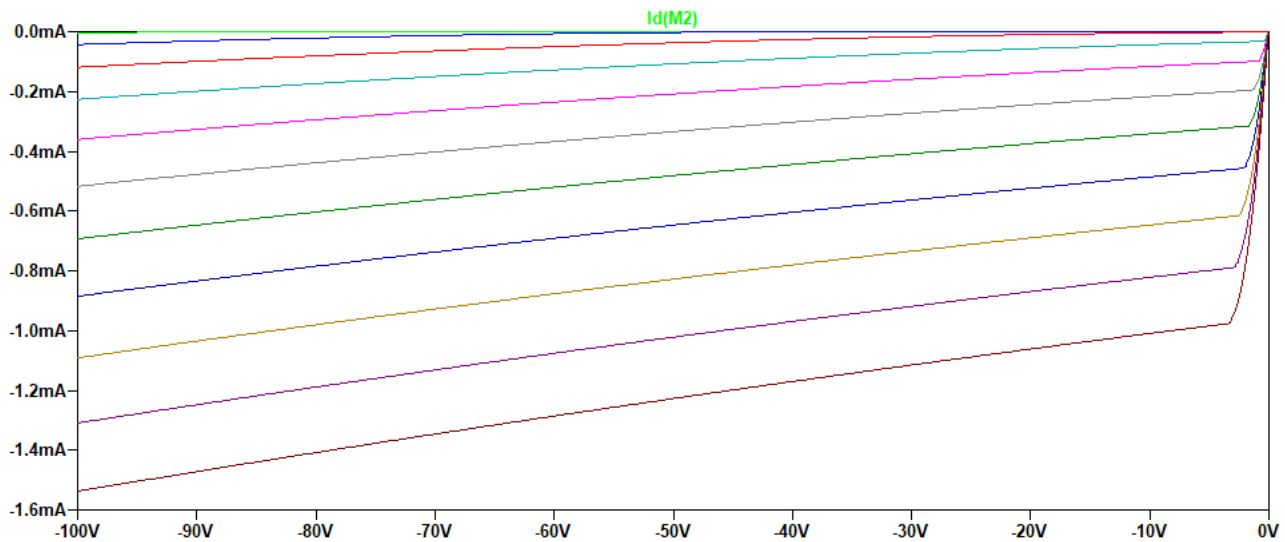


Figura 12: Característica $I_D - V_{DS}$ para pMOS

1.5. e.

El body effect consiste en un aumento de V_T el voltaje de threshold al presentar un potencial distintos de cero en V_{SB} . Para estudiar el body effect se utilizo el circuito de la figura 13, donde en este caso en lugar de conectar el bulk del transistor a tierra, en este caso se alimenta con una fuente para probar que ocurre al tener una diferencia de potencial entre el Source y el Body. V_{SB} .

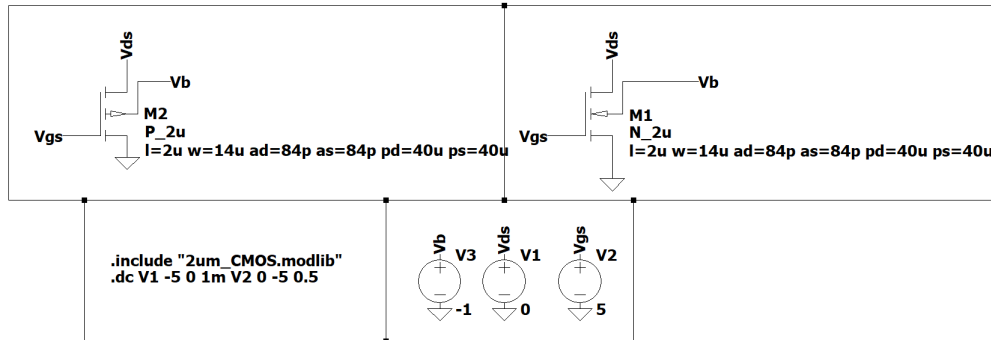


Figura 13: Circuito utilizado para este item

Para revisar que ocurría se polarizo con $1V$ en el caso del nMOS la terminal del bulk y con $-1V$ en el caso del pMOS y luego se generaron gráficos de la característica $I_D - V_{DS}$ para diferentes valores de V_{GS} , estos gráficos se pueden encontrar en la figura 14 para el caso del nMOS y 15 en el caso del pMOS.

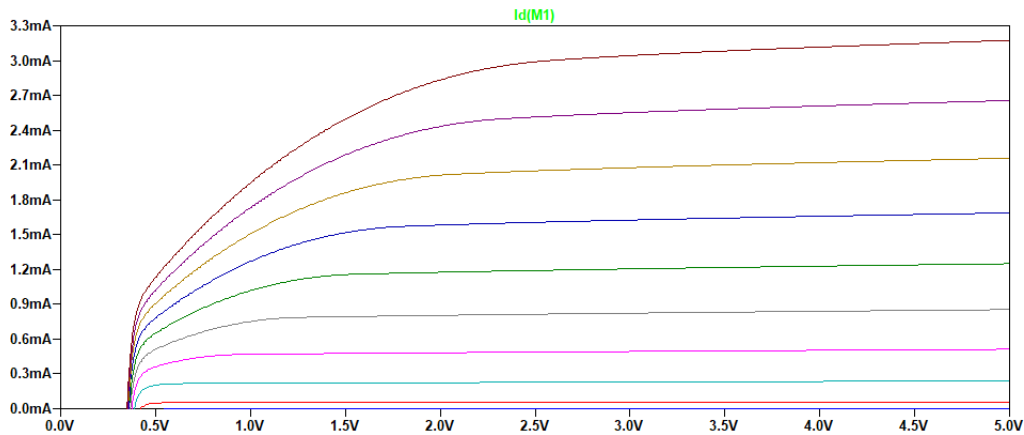


Figura 14: característica $I_D - V_{DS}$ para $V_{SB} = 1$ para el nMOS

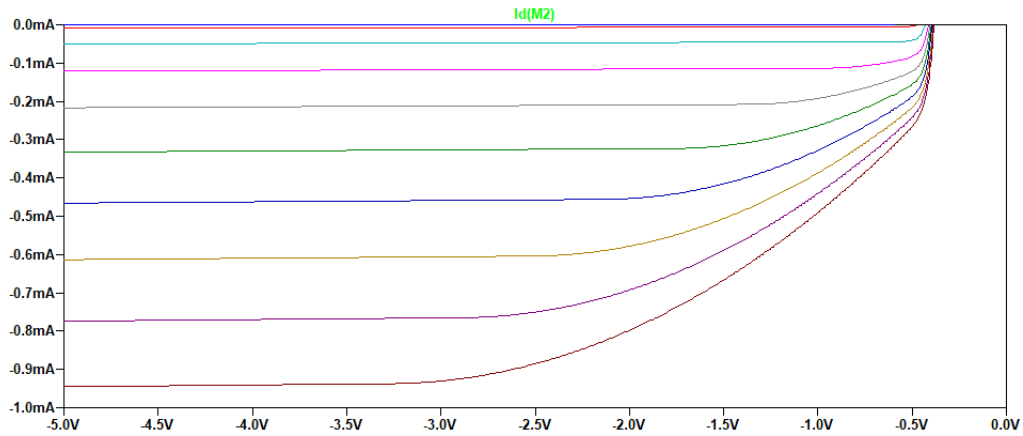


Figura 15: característica $I_D - V_{DS}$ para $V_{SB} = 1$ para el pMOS

Lo primero y más notorio que ocurre es que al tener voltaje distinto de cero en el bulk esto permite que para voltajes bajos de V_{DS} el diodo que se forma entre el sustrato y las regiones activas se polariza directo permitiendo la corriente escaparse hacia el sustrato, efecto que para efectos de operaciones normales evitamos a toda costa. Lo segundo que se noto, es que para los mismo voltajes de V_{GS} testeados en el ítem 1.b, los niveles de excitación alcanzados son menores, resultando en corrientes menores, en el ítem 1.b para el transistor nMOS este en su máxima corriente rozaba los $3,3mA$ para el caso actual se encuentra más lejos, de la misma forma el máximo del pMOS solía estar muy cerca de $-1mA$, ahora esta más cerca de $-0,9mA$. Se adjunta además en la figura 16 un caso más exagerado para el nMOS donde el voltaje en el bulk se aumenta a $4V$, en este caso se puede notar muy claramente la caída de corriente, ya que el punto máximo ni siquiera alcanza los $3mA$.

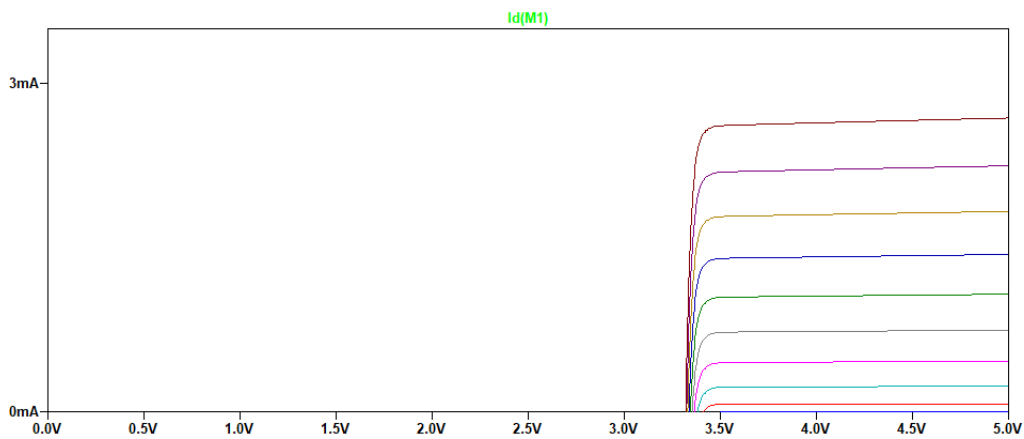


Figura 16: característica $I_D - V_{DS}$ para $V_{SB} = 4$ para el nMOS

2. Problema 2

2.1. a.

Se adjuntan a continuación en la figura 17 el layout en L-edit del transistor pMOS de un solo contacto junto con la tabla 4 donde están todas las dimensiones relevantes del transistor, en la figura 18 el layout de los dos transistores pMOS de un solo contacto conectados en paralelo donde las dimensiones se declaran por transistor y son iguales que en el caso del pMOS de un contacto, y finalmente en la figura 19 el layout del transistor al que se le duplico el W junto con su tabla de dimensiones en 5, cabe notar que a este le cabe más de un contacto por lo que se agrego el otro contacto que cabía por buenas practicas de campo eléctrico.

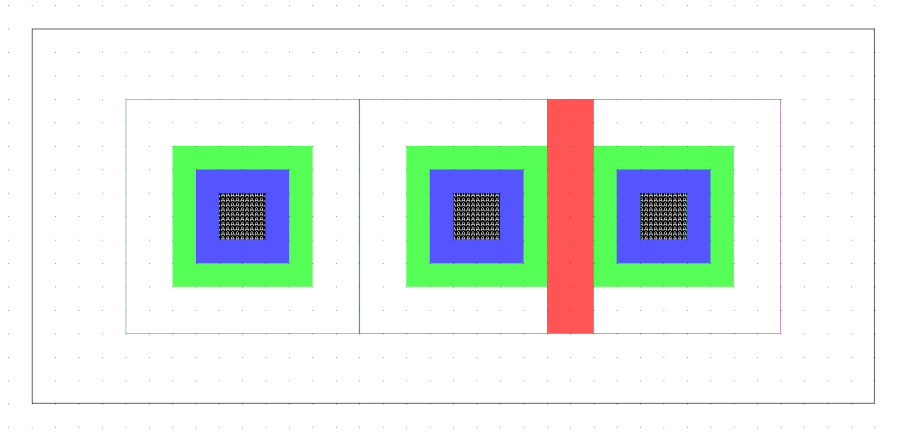


Figura 17: layout de transistor pMOS con 1 contacto

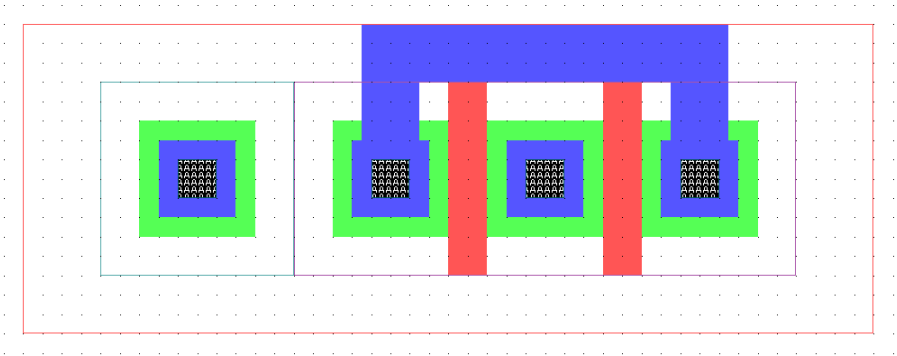


Figura 18: layout de los dos transistores pMOS de 1 contacto en paralelo

Dimensión	Valor
L	2λ
W	6λ
AD	$36\lambda^2$
AS	$36\lambda^2$
PD	24λ
PS	24λ

Cuadro 4: Tabla con los valores de las dimensiones del transistor pMOS con 1 contacto.

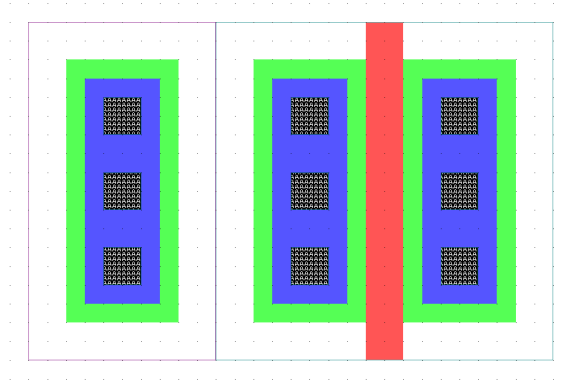


Figura 19: layout de transistor pMOS con $W = 2W_o$

Dimensión	Valor
L	2λ
W	12λ
AD	$72\lambda^2$
AS	$72\lambda^2$
PD	36λ
PS	36λ

Cuadro 5: Tabla con los valores de las dimensiones del transistor pMOS con $W = 2W_o$

2.2. b.

Dado que se quiere el valor mínimo de R para que en el nodo común (la salida de la compuerta NOT) haya un **lógico 1** cuando el transistor esta en conducción se alimenta al transistor en su terminal Source con $5V$ y en su terminal Gate con $0V$ para permitir la conducción. A la vez se hace un sweep de valores de resistencia para los cuales se mide el voltaje en el nodo común. Luego, la resistencia mínima es la que da $3,5V$ en el nodo común puesto que este valor es el mínimo valor de voltaje considerado un **1 lógico** para tecnologías CMOS de $5V$. En este caso este punto se encuentra para un $R \approx 6,17K\Omega$. Todo esto se puede observar en la figura 20 donde se puede observar el circuito utilizado para la simulación y en la figura 21 donde se puede apreciar el valor de resistencia para el cual la salida da aproximadamente $3,5V$.

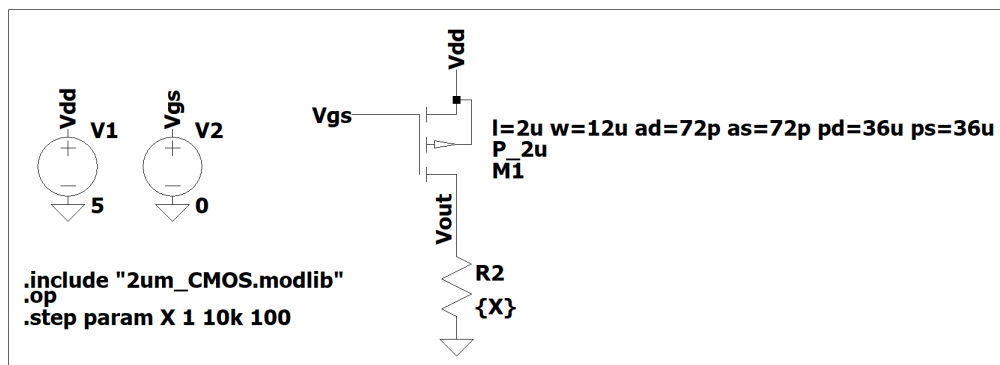


Figura 20: Circuito utilizado para la simulación

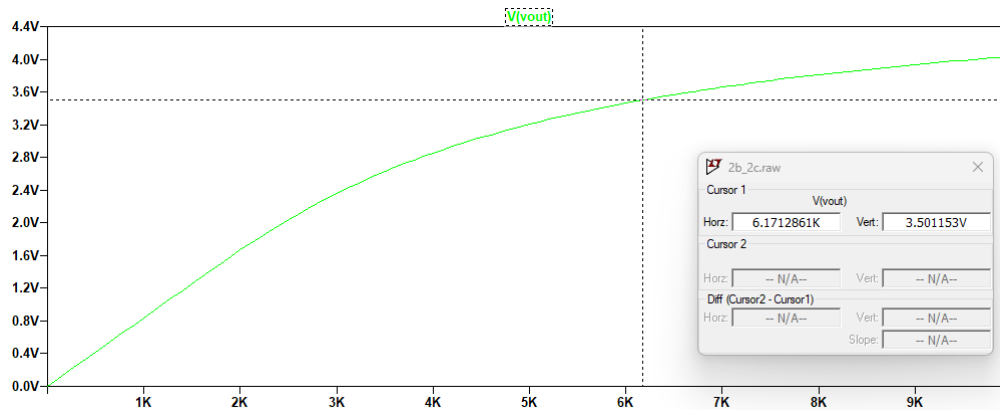


Figura 21: Gráfico de Vout V/S R

2.3. c.

En primer lugar en la figura 22 se puede observar los dos circuitos utilizados para simular este ítem, el de arriba corresponde al transistor con $W = 2W_o$, mientras que el de abajo corresponde a los dos transistores pequeños en paralelo. Ambos circuitos cuentan con una resistencia de $6,2K\Omega$ para el pull-down y un condensador de $100pF$ para generar el τ para realizar la comparación. Por otro lado a la izquierda se puede observar la alimentación donde los source de $5V$ y la alimentación de los terminales gate que consiste en un pulso que sube de $0V$ a $5V$ a los $5\mu s$, y vuelve a bajar a los $25\mu s$.

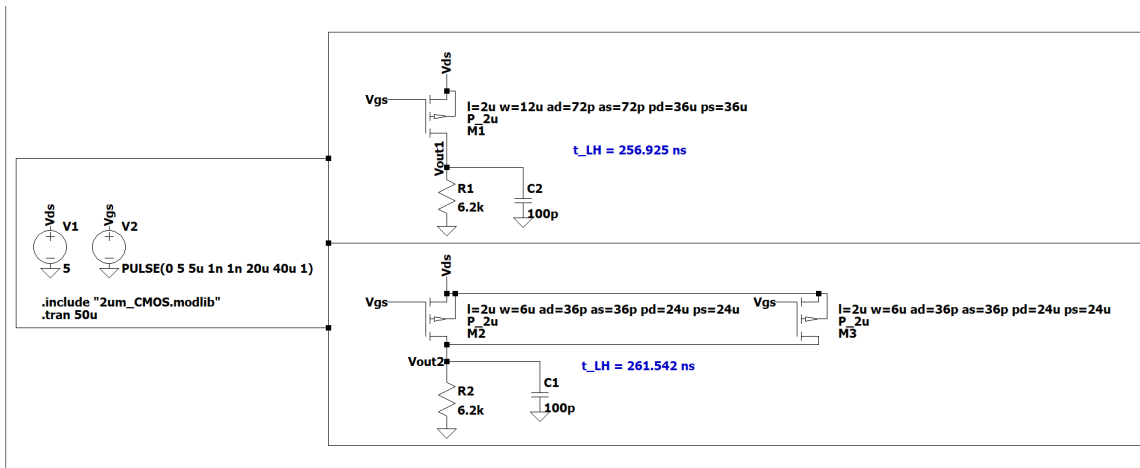


Figura 22: Circuito utilizado para la simulación de este ítem

Luego el resultado de la simulación para la cual se utilizó un análisis transitorio de $50\mu s$, se puede observar en la figura 23.

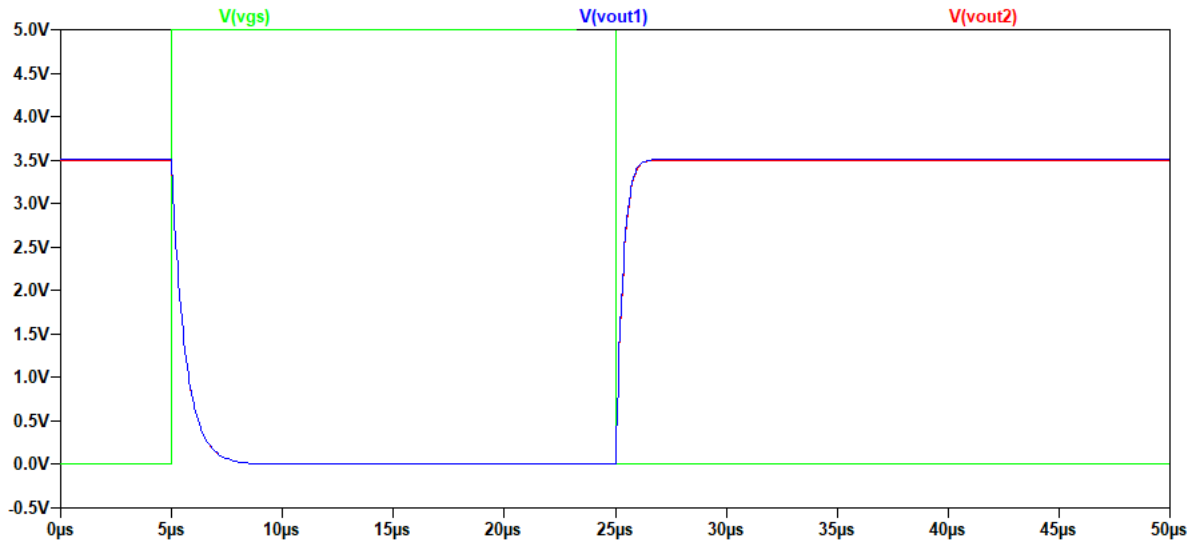


Figura 23: Análisis transitorio de ambos circuitos dado un pulso en el gate de los transistores.

Ya que es de interés estudiar lo que ocurre en Vout al cambiar la configuración de transistores es de interés estudiar la carga del condensador ya que la descarga ocurre simplemente a través del mismo resistor en ambos casos, por lo que se hace un zoom en los $24\mu s$ de la simulación (figura 24) donde ocurre la carga del condensador, para así poder calcular el t_{LH} en ambos casos.

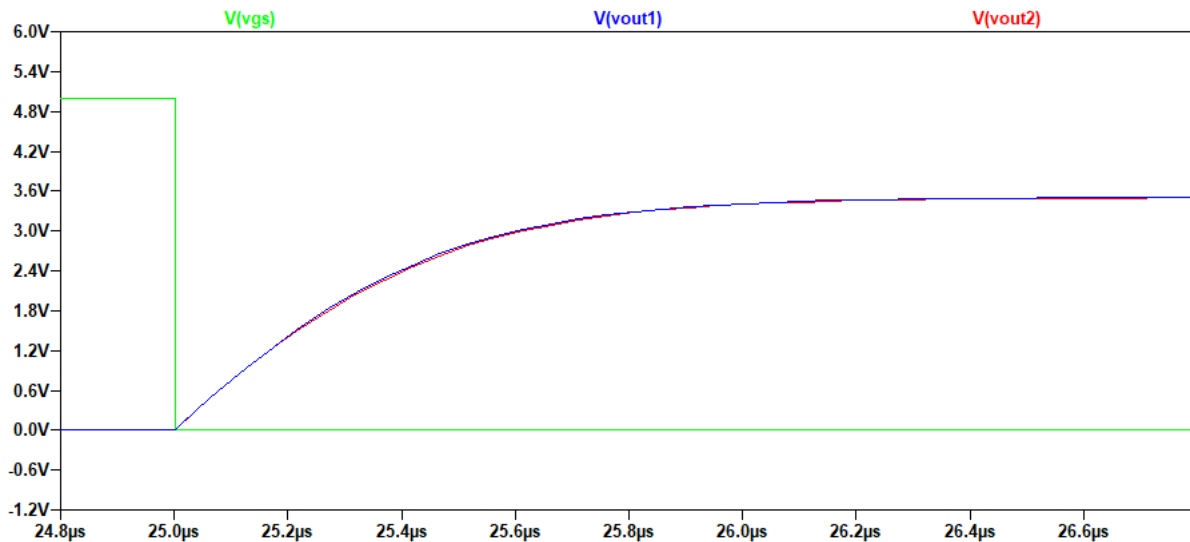


Figura 24: Zoom del análisis transitorio a la zona de carga de los condensadores

al realizar los cálculos el t_{LH} en el caso del transistor grande resultó $t_{LH} \approx 256,925ns$, mientras que en el caso de los dos transistores pequeños en paralelo resultó $t_{LH} \approx 261,542ns$, que es marginal mente más lento, incluso esa pequeña diferencia se podría deber a imprecisiones a la hora de revisar los valores, por lo que los tiempos en la práctica son iguales. Al usar la configuración de dos transistores en paralelo se está realizando una técnica llamada folding que puede tener como ventaja minimización de resistencias y capacitancias parásitas, al lograr diseños más compactos. Al hacer folding también se consigue un mejor aspect ratio del layout.