



UNIVERSIDAD TECNICA  
FEDERICO SANTA MARIA



DEPARTAMENTO DE  
ELECTRONICA

---

# Tarea 5

## Circuitos secuenciales y pipelining

---

**Fecha** 11 de Junio de 2024

**Nombre:** Daniel Gross - 201821013-7

**Asignatura:** Diseño de IC digitales

**Profesor:** Ioannis Vourkas

# Índice

<b>1</b>	<b>Problema 1</b>	<b>3</b>
1.1	Validación de funcionamiento del registro . . . . .	3
1.2	Verificación de los casos de solapamiento (0-0) y (1-1) . . . . .	4
<b>2</b>	<b>Problema 2</b>	<b>5</b>
2.1	Diseño del esquemático . . . . .	5
2.2	Corroboración de casos salida 0 y salida 1 . . . . .	6
2.3	Aplicación de entrada todo 0 seguido de todo 1 . . . . .	7
2.4	Validación de existencia de condición de carrera . . . . .	8

## 1. Problema 1

### 1.1. Validación de funcionamiento del registro

En la figura 1 se puede apreciar el circuito construido en LTSpice para estudiar el comportamiento del registro.

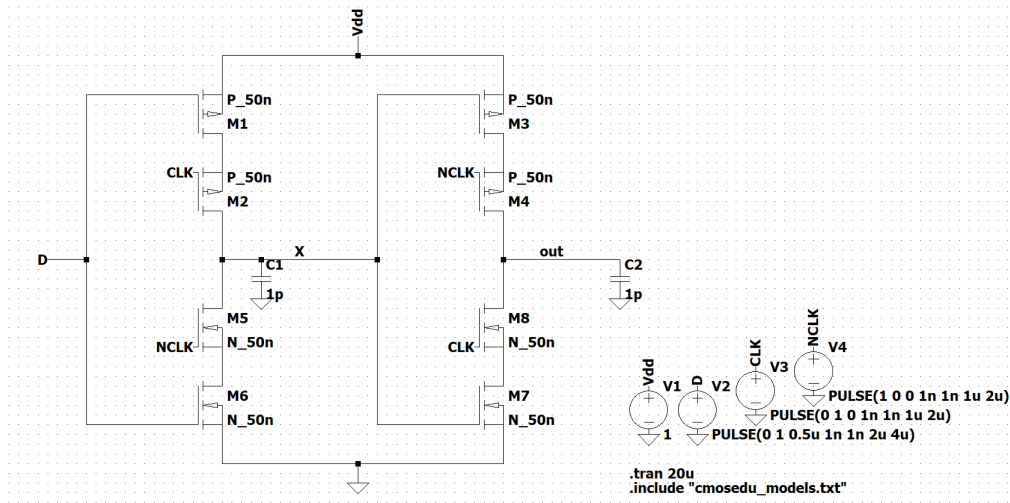


Figura 1: Circuito del registro de arquitectura  $C^2MOS$

Para probar el funcionamiento del circuito se configuro una señal de clock y una señal de clock negada de forma independiente para evitar solapamiento entre las señales. Además se configuro la entrada D para que oscile a la mitad de frecuencia que el clock para poder probar todos los casos, esto es la transición a 1 y la transición a 0 en la salida. En la figura 2 se puede observar que el valor en D se captura negado en X cuando el clock esta en bajo y luego el valor que esta en X se captura negado a la salida durante la parte donde el clock se encuentra en alto logrando así la captura del valor D en la salida al llegar el “canto” alto ya que X no puede cambiar durante todo el tiempo que el clock esta en alto.

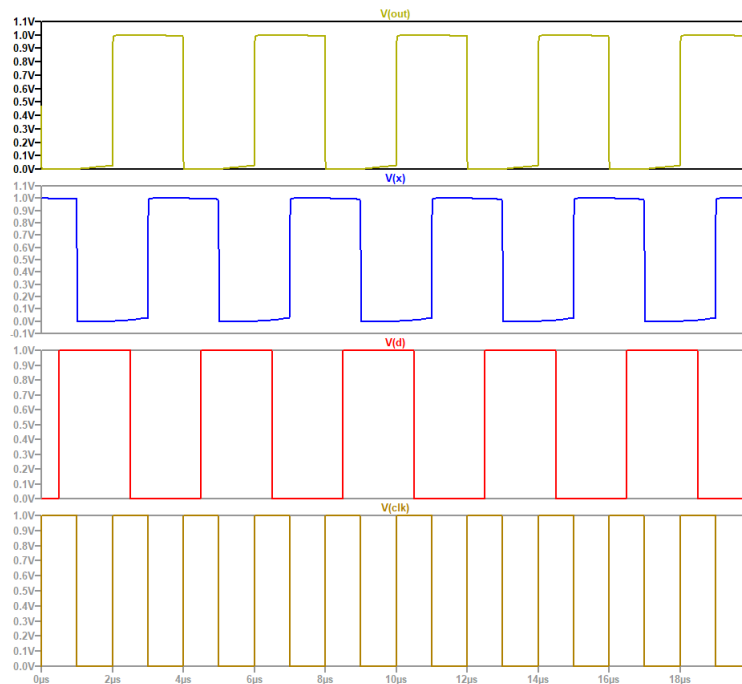


Figura 2: Gráficos de los voltajes en los puntos de interes a través del tiempo

## 1.2. Verificación de los casos de solapamiento (0-0) y (1-1)

En primer lugar para diseños  $C^2MOS$  existen solo problemas de solapamiento del tipo (1-1) debido a que estos son los únicos con riesgo de propagarse hacia la salida. Para probar el efecto de los solapamientos se forzó solapamiento de las dos señales de reloj manejándolas de forma independiente, se generó un solapamiento de  $0,1\mu s$  para un periodo de  $2\mu s$ . Además se configuró la señal D para que haga una transición de 0 a 1 durante el solapamiento (1-1) para así hacer una transición en X de 1 a 0 durante el solapamiento. Luego en la figura ?? se puede observar que en la salida se generan artefactos no deseables en los que la salida baja por un corto instante y luego se estabiliza hacia arriba. Además se corrobora que no existe problema para el solapamiento (0-0) pues D realiza una transición de 1 a 0 durante el solapamiento provocando un cambio en X de 0 a 1 pero que no se propaga a la salida pues esta ya se encuentra estable en 1.

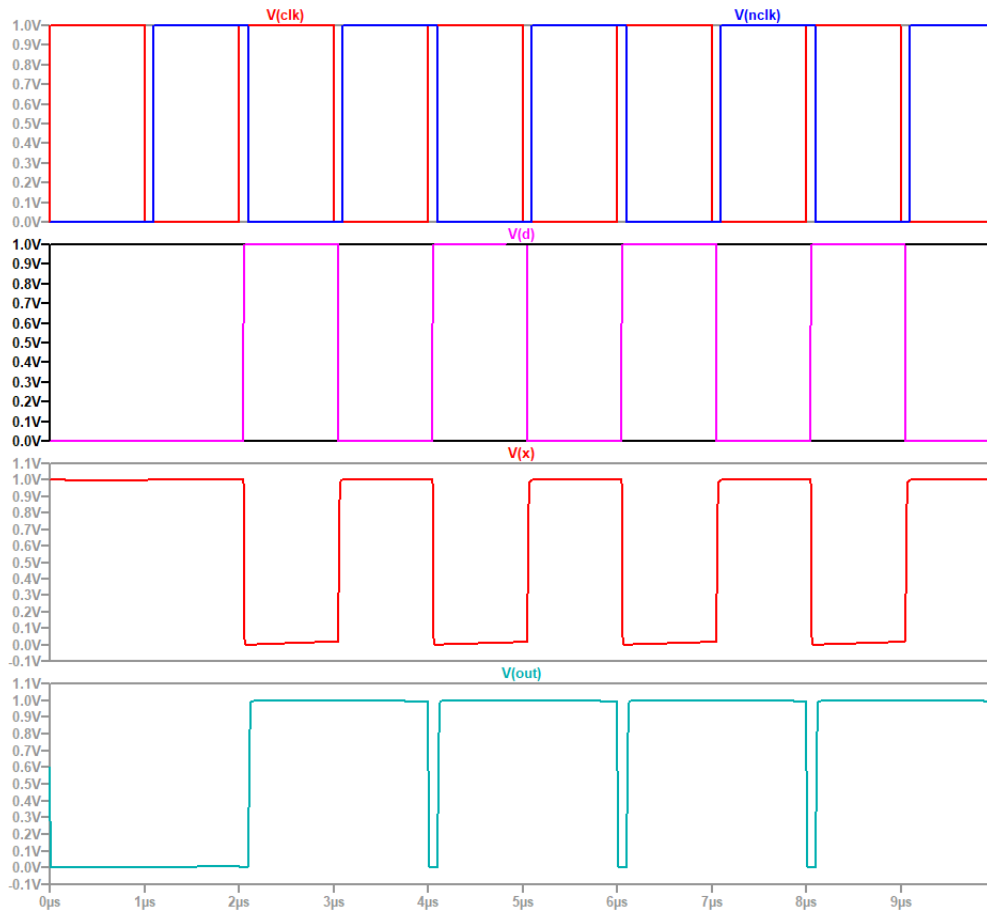


Figura 3: Gráficos de voltaje para testeo de casos de solapamiento.

## 2. Problema 2

### 2.1. Diseño del esquemático

Primero para obtener el esquemático se debe realizar la separación de operaciones, la función a implementar es:

$$F_{out} = \overline{((A + B) \cdot (C + D))} \quad (1)$$

Pero ya que luego de pasar por una etapa de latches se niega la señal que pasa, es conveniente distribuir el negado para obtener la expresión:

$$F_{out} = \overline{((A + B) \cdot (C + D))} \quad (2)$$

$$F_{out} = \overline{(A + B)} + \overline{(C + D)} \quad (3)$$

$$F_{out} = (\overline{A} \cdot \overline{B}) + (\overline{C} \cdot \overline{D}) \quad (4)$$

Luego se puede separar las operaciones en realizar en una etapa los dos AND de A con B y C con D, que se puede implementar como dos NAND que luego por la etapa negadora del latch llegan como resultados de operaciones AND a la siguiente etapa. En la siguiente etapa se realiza la operación OR, que nuevamente aprovechando la propiedad negadora de la etapa de latch permite implementar como lógica intermedia una operación NOR, que luego pasa por una etapa de latching y lleva a la salida. En la figura 4 se puede apreciar un diagrama de bloques de lo implementado.

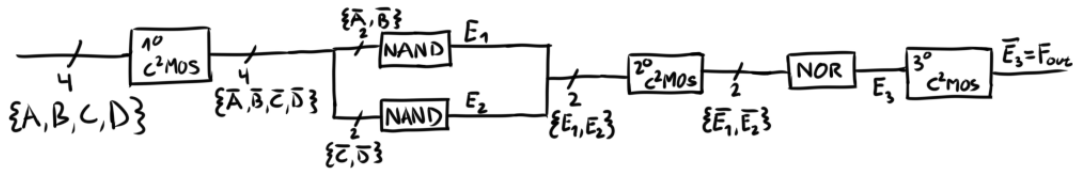


Figura 4: Diagrama de bloques del esquema pipeline implementado

Luego en la figura 5 se puede ver el circuito final implementado con todas sus etapas.

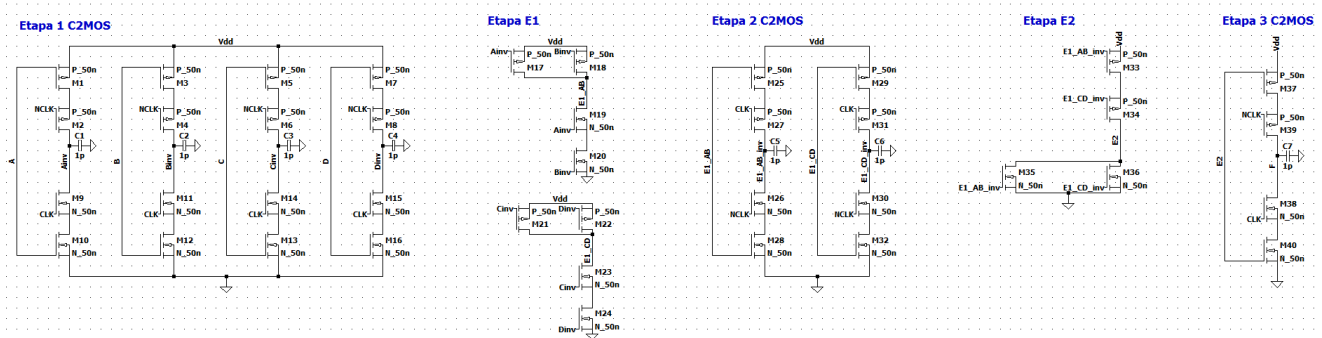


Figura 5: Circuito de pipeline implementado

## 2.2. Corroboración de casos salida 0 y salida 1

Para corroborar que funciona tanto el 1 como el 0 en la salida, se ingreso todas las entradas igual a 1 para obtener un cero en la salida, seguido de bajar a 0  $a$  y  $b$  para obtener 1 a la salida, y como se puede apreciar en la figura 6 después de dos cantos (cuentan de subida y bajada) desde que se captura cada valor se obtiene a la salida el valor correcto, esto es desde que se capturan en un 1 del CLK las entradas deseadas dos cantos más adelante el resultado esperado se refleja en la salida, esto dado que el pipeline es de 2 etapas estáticas por lo que esa cantidad de cantos se demora en salir el resultado desde que entra.

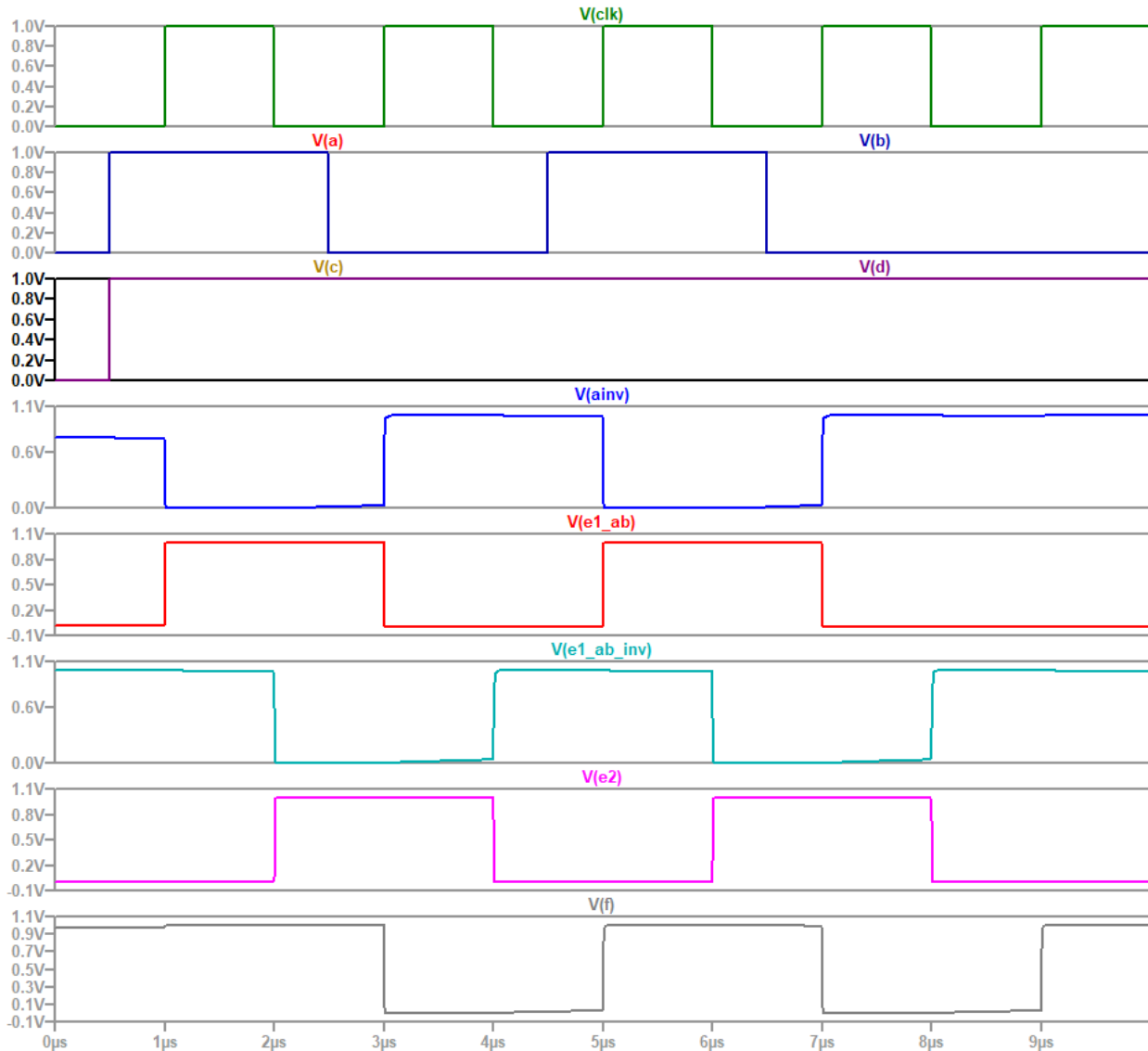


Figura 6: Prueba de Validación de funcionamiento del circuito pipeline.

### 2.3. Aplicación de entrada todo 0 seguido de todo 1

Como se puede apreciar en la figura 7 en el instante 1 $\mu$ s se ingresan todas las entradas iguales a 0 al sistema, y al ver la salida  $F$  se puede ver que se refleja la salida correctamente levantándose a 1. Por otro lado en el instante 3 $\mu$ s que es la segunda vez que el circuito captura un valor de entrada se ingresan todas las entradas iguales a 1, luego en el instante 5 $\mu$ s se ve reflejado el resultado de estas entradas en la salida con la salida bajando a 0.

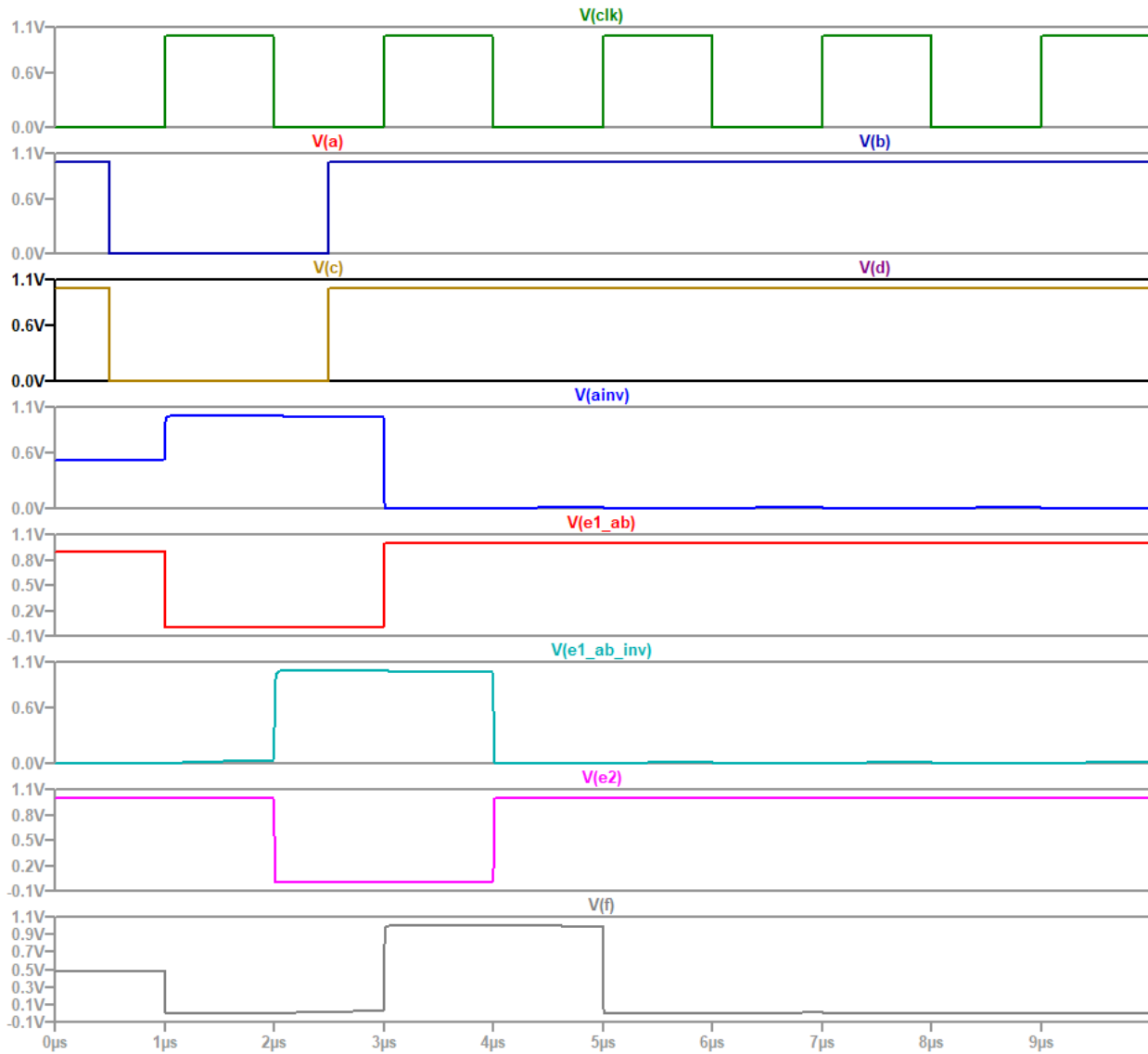


Figura 7: Curvas de las señales de interés cuando se ingresa todas las entradas igual a cero seguido de todas las entradas igual a 1.

## 2.4. Validación de existencia de condición de carrera

Para validar la existencia de la condición de carrera se forzo un solapamiento de las señales de clock y clock negado y se durante un solapamiento (1-1) se cambio las señales de entrada de 0 a 1 para que así sus versiones invertidas al pasar por la etapa de latch pasaran del 1 a 0 y provocar problemas, como se puede observar en la figura 8, en el instante 2us donde ocurre el solapamiento (1-1) las señales de entrada pasan de 0 a 1 lo que provoca que toda la cadena reaccione inmediatamente resolviéndose hasta  $F_{out}$  el resultado durante el solapamiento, este fenómeno no es deseado ya que rompe la secuencialidad del pipeline arruinando cualquier dato que estuviera en ese momento siendo procesado.

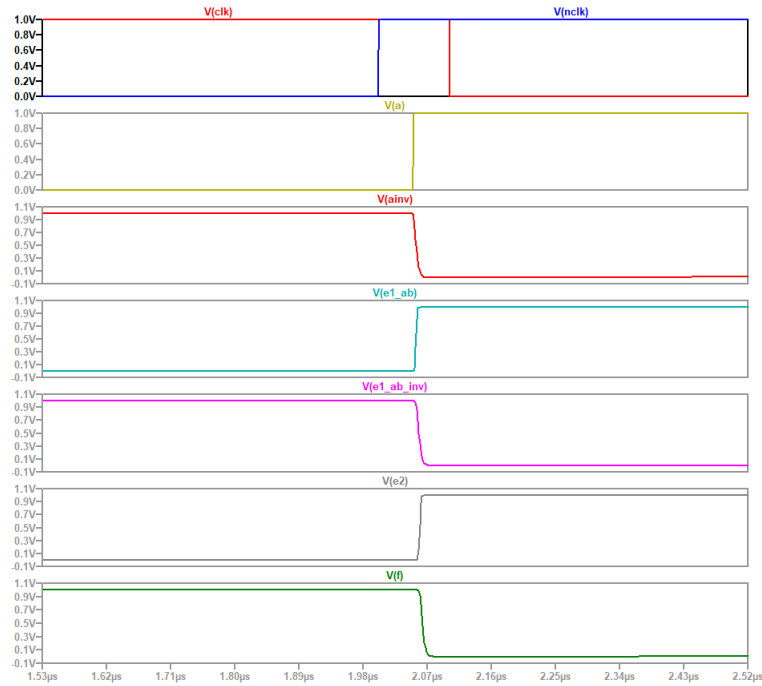


Figura 8: Señales de interés al ocurrir el efecto de solapamiento de señales de clock