



UNIVERSIDAD TECNICA  
FEDERICO SANTA MARIA



DEPARTAMENTO DE  
ELECTRONICA

---

# Tarea 3

## Circuitos Combinacionales

---

**Fecha** 11 de Junio de 2024  
**Nombre:** Daniel Gross - 201821013-7  
Matias Huichaqueo - 201821004-8  
**Asignatura:** Diseño de IC digitales  
**Profesor:** Ioannis Vourkas

# Índice

<b>1</b>	<b>Problema 1</b>	<b>3</b>
1.1	Validación de puertas de transmisión T1 y T2 . . . . .	3
1.2	Dimensionamiento de los transistores . . . . .	4
1.3	Validación del registro . . . . .	5
1.4	Verificación del tiempo de asentamiento del registro . . . . .	6
1.5	Verificación del tiempo de propagación . . . . .	7
1.6	Efectos del solapamiento 0-0 y 1-1 . . . . .	8
1.7	Verificación de efecto esclavo-maestro . . . . .	9
<b>2</b>	<b>Problema 2</b>	<b>10</b>
2.1	Verificación de funcionamiento . . . . .	10
2.2	Efectos del solapamiento 0-0 . . . . .	11

# 1. Problema 1

## 1.1. Validación de puertas de transmisión T1 y T2

En la figura 1 se puede observar el circuito armado para probar el funcionamiento de las puertas de transmisión, es relevante mencionar que los transistores de las puertas de transmisión y los del inversor grande son 4 veces el tamaño mínimo, mientras que los transistores del inversor pequeño son de tamaño mínimo. Así el funcionamiento de la sobre escritura a la fuerza es correcto. Y el funcionamiento se puede comprobar en la figura 2 donde se ven las señales de interés, el clock negado pues es el que dicta cuando este circuito es transparente, el D y la salida del latch. Como se puede observar se comprueba que solo cuando el clock (en este caso la versión negada) esta en alto la salida sigue a la entrada, de forma negada puesto que se pasa por un inversor antes de llegar a la salida.

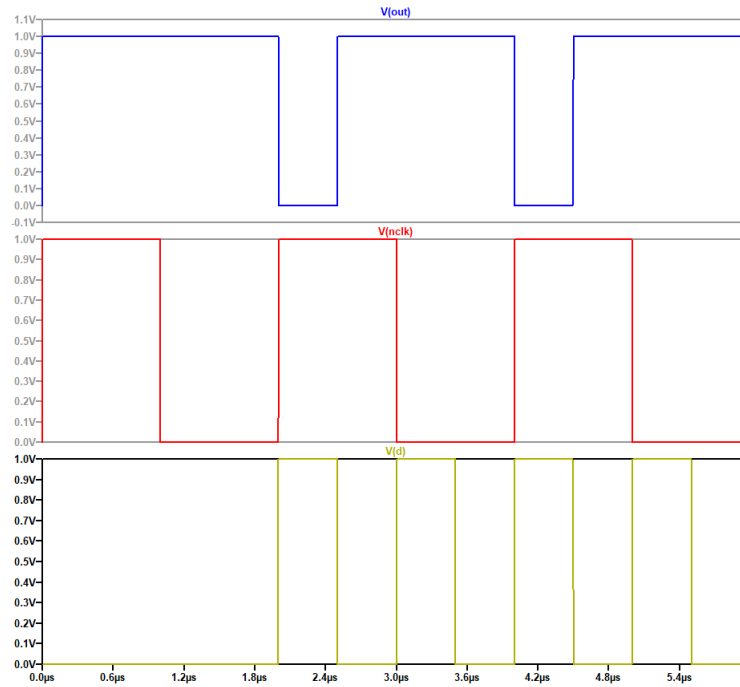


Figura 1: Voltajes de interés del circuito de comprobación de funcionamiento de la puerta de transmisión.

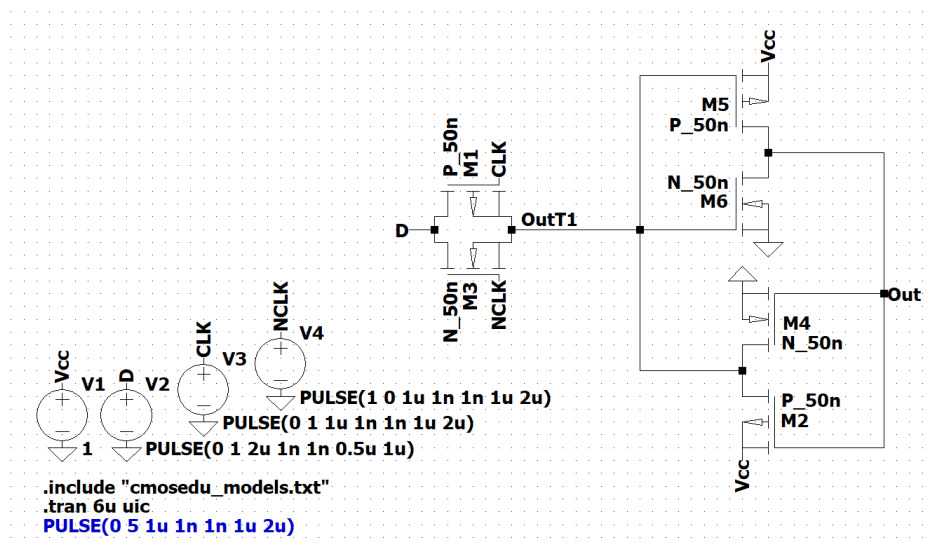


Figura 2: circuito de comprobación de funcionamiento de la puerta de transmisión.

## 1.2. Dimensionamiento de los transistores

Como se menciona en el ítem anterior todos los transistores que no pertenecen al inversor de retención (el inversor que se debe diseñar más débil) tienen  $W$  4 veces más grande que el de tamaño mínimo. Mientras que todos los transistores que si pertenecen a al inversor de retención se diseñaron de tamaño mínimo, esto se puede comprobar en las figuras 3 y 4. Donde se pueden observar las dimensiones del pMOS y el nMos de la puerta de transmisión, y en las figuras 5 y 6. Donde se pueden observar las dimensiones del pMOS y el nMos del inversor de retención.

Model Name:	P_50n
Length(L):	50n
Width(W):	1200n

Figura 3: Dimensiones del transistor pMOS de la puerta de transmisión.

Model Name:	N_50n
Length(L):	50n
Width(W):	800n

Figura 4: Dimensiones del transistor nMOS de la puerta de transmisión.

Model Name:	P_50n
Length(L):	50n
Width(W):	300n

Figura 5: Dimensiones del transistor pMOS del inversor de retención.

Model Name:	N_50n
Length(L):	50n
Width(W):	200n

Figura 6: Dimensiones del transistor nMOS del inversor de retención.

1.3. Validación del registro

En la figura 7 se puede observar el circuito del registro completo implementado, como se puede observar al igual que en el anterior para generar las señales de CLK y CLK negado sin overlap se utilizaron dos fuentes que implementan funciones opuestas. El funcionamiento y todos los casos se pueden observar en la figura 8. Donde se probaron tanto los casos de subir la salida cuando llega el canto de subida y bajar la salida cuando llega el canto de subida como los casos de intentar cambiar la salida cuando no se esta en el canto ya sea hacia 1 o hacia 0.

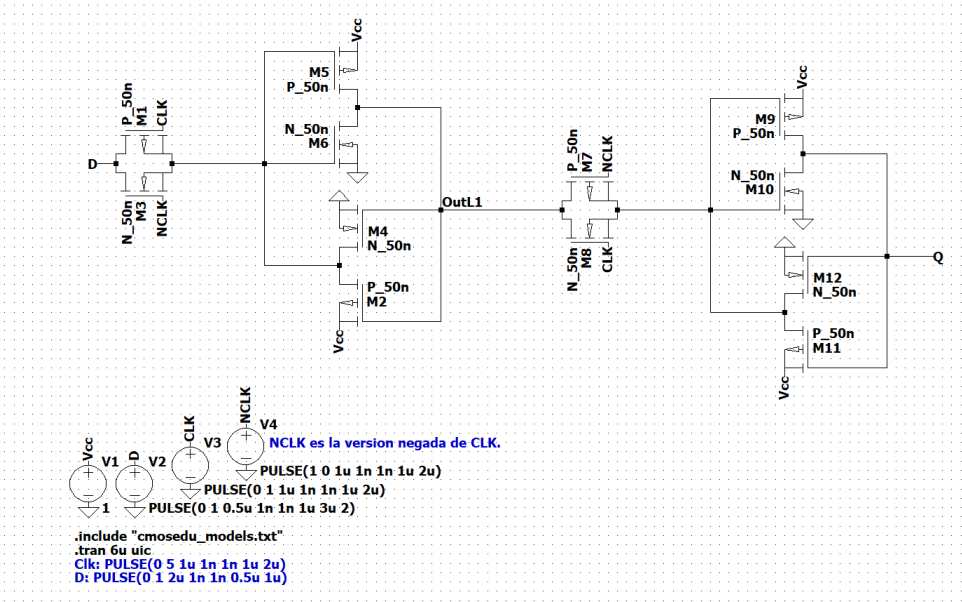


Figura 7: Circuito del registro implementado completo

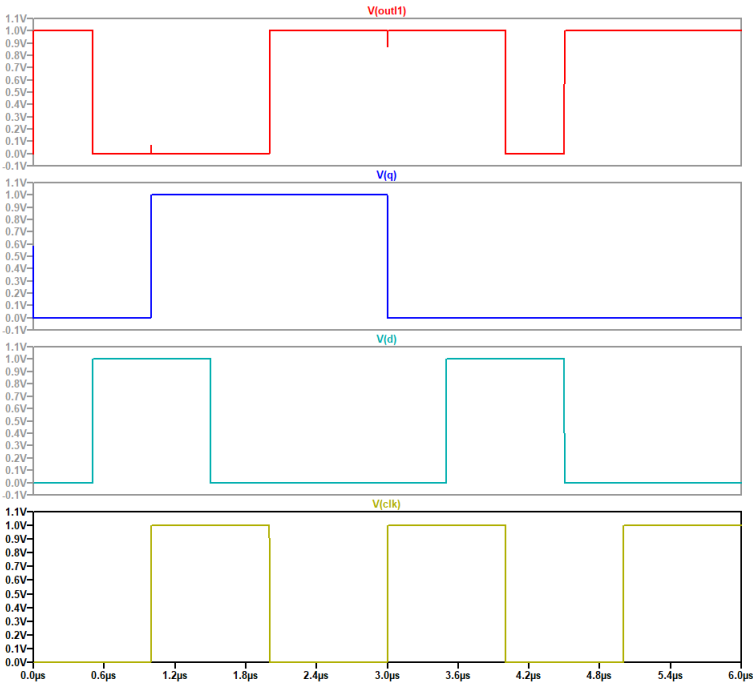


Figura 8: Voltajes de prueba del circuito del registro implementado completo

#### 1.4. Verificación del tiempo de asentamiento del registro

Para verificar el tiempo de asentamiento (setup) del registro se fue acercando la transición de la señal D hacia la transición del clock hasta el punto en el que el circuito dejo de funcionar, se tomo el tiempo de transición en D justo antes de eso (osea en el ultimo caso en el que funciona) y se midió el tiempo que hay entre el 50 % de la señal de D y el 50 % de la señal de clock, dando como resultado que  $t_{su} = 270ps$ , esto se puede corroborar en la figura 9 donde se pueden observar los resultados además de el hecho de que para estas condiciones el circuito efectivamente funciona. Cabe mencionar de forma adicional que para este ítem se dejo de lado el utilizar una fuente aparte para la señal de clock negado y se esta utilizando un negador para obtener la versión negada de la señal.

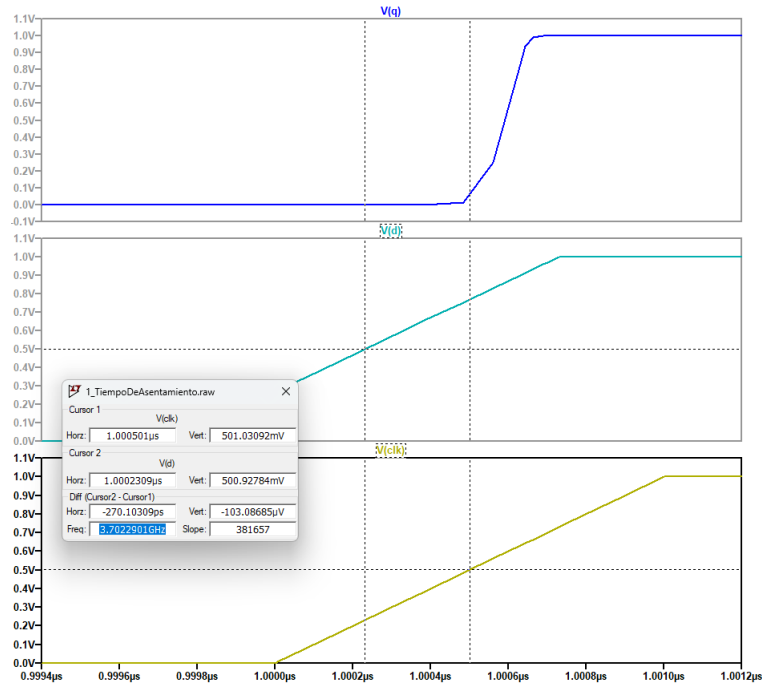


Figura 9: Voltajes del calculo del tiempo de asentamiento del registro.

## 1.5. Verificación del tiempo de propagación

Para verificar el tiempo de propagación simplemente en una operación normal de captura del valor de entrada en un canto positivo se mide cuanto tiempo hay desde el 50 % de la señal del clock hasta el 50 % de la señal de salida Q. El resultado fue un  $t_{cq} = 76ps$ . Este resultado se puede comprobar en la figura 10 donde se pueden ver las curvas de voltaje con marcadores en los respectivos puntos de interés, además por completitud se puede observar la señal D para corroborar que el funcionamiento es efectivo y correcto.

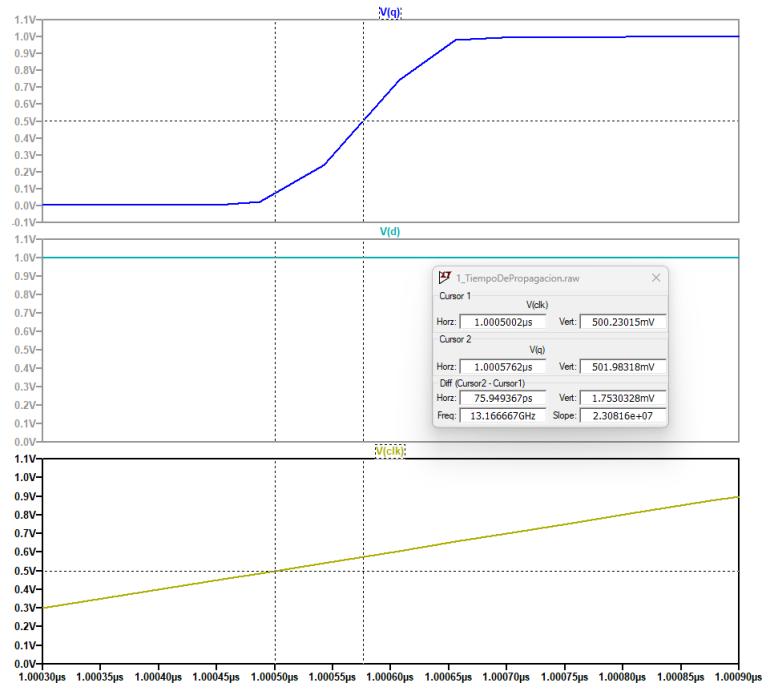


Figura 10: Voltajes del calculo del tiempo de propagación del registro.

## 1.6. Efectos del solapamiento 0-0 y 1-1

Para verificar los efectos del solapamiento del clock y el clock negado se configuro una fuente con una función de reloj y otra que es el negado pero desfasada por 0.2u de tal forma que haya solapamiento, en la figura 11 se puede apreciar el efecto del solapamiento, en ambos casos lo que ocurre es que el registro es transparente mientras haya solapamiento de los dos clock ya se en 0 o en 1.

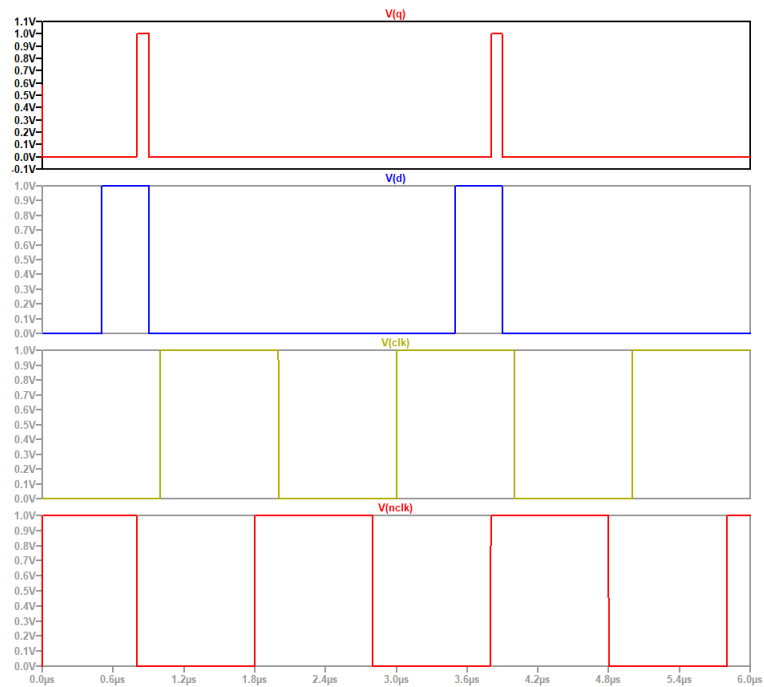


Figura 11: Voltajes del circuito de verificación del efecto de solapamiento.



## 1.7. Verificación de efecto esclavo-maestro

Para recrear el efecto se dimensiono el inversor de retención I4, del mismo tamaño que el inversor I3. Luego se extrajeron los gráficos de voltaje donde se gráfica la señal de clock, la entrada de T2 y la salida de T2. en la figura 12 se puede apreciar en el segundo canto de subida en el instante  $3\mu s$  que es el instante donde se hace transparente la puerta de transmisión T2 y la señal en la entrada debería pasar a la salida de T2, sin embargo ocurre al revés, la salida de la puerta de transmisión aparece en la entrada, dándose el fenómeno de transmisión desde esclavo hacia maestro.

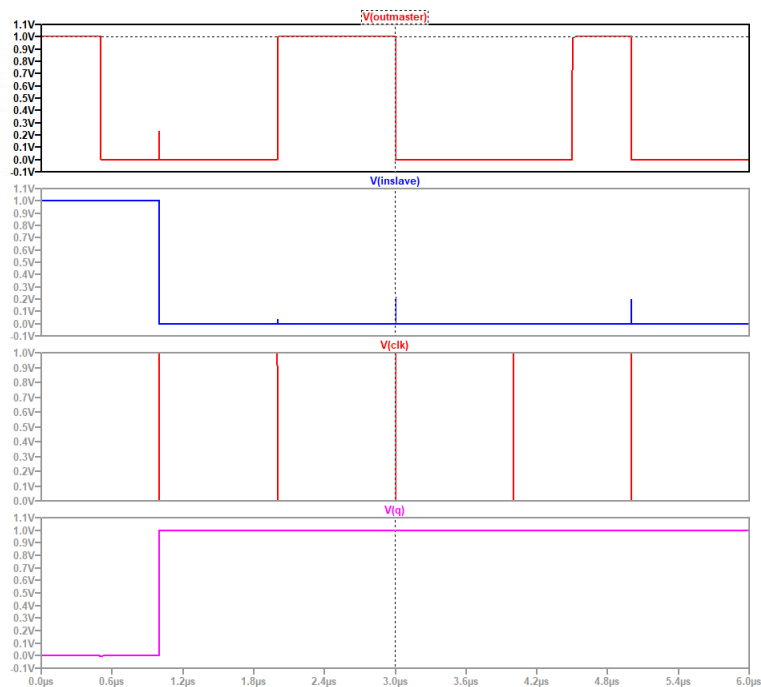


Figura 12: Demostración del efecto retorno desde esclavo hacia maestro.

2. Problema 2

2.1. Verificación de funcionamiento

En la figura 13, se puede ver el circuito armado, para simular los condensadores parásitos donde se guarda la señal se añadieron condensadores de  $1pf$  a la salida de cada puerta de transmisión. En la figura 14 se puede apreciar el funcionamiento correcto para todos los casos de interés, se probaron los mismos casos que para el circuito anterior.

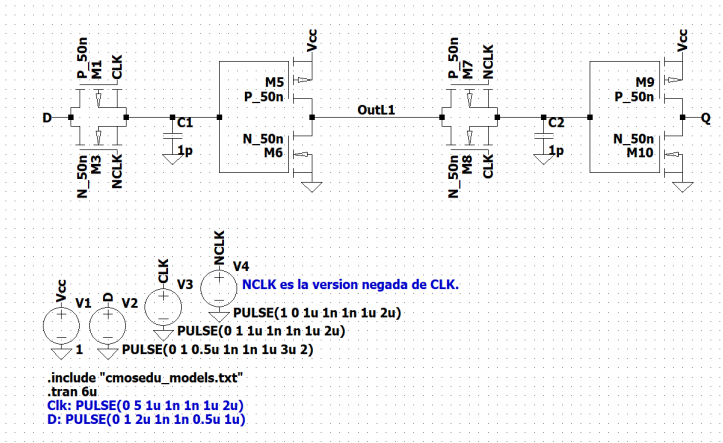


Figura 13: Circuito con almacenamiento mediante condensadores.

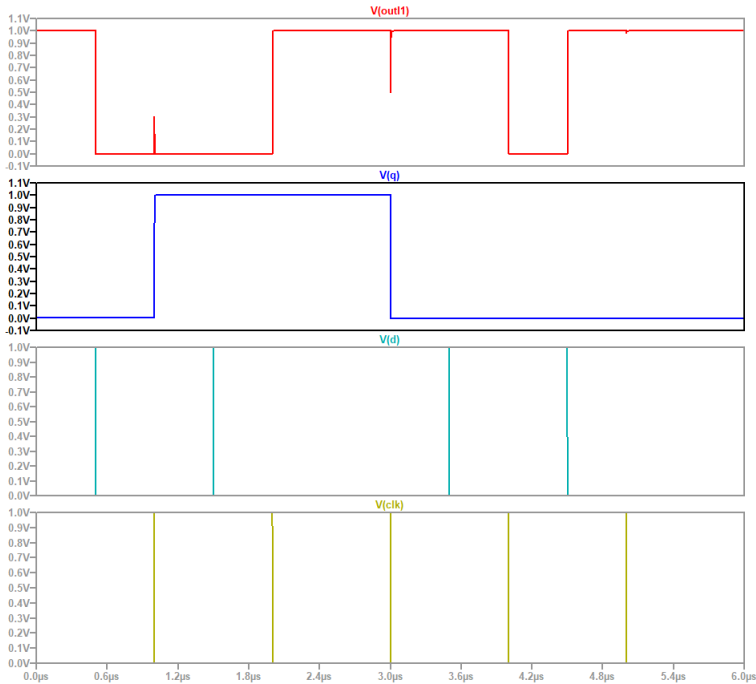


Figura 14: Voltaje del circuito con almacenamiento mediante condensadores.

## 2.2. Efectos del solapamiento 0-0

Primero se midieron los tiempos de propagación de las dos puertas de transmisión, y el del primer inversor, para las puertas de transmisión se midió el tiempo desde que el clock llega a la mitad del recorrido de tensión hasta que la salida de la compuerta llega hasta la mitad del recorrido de tensión, dando de tiempos  $t_{T1} = 920ps$  y  $t_{T2} = 913ps$ , por otro lado para el inversor se midió cuanto tiempo paso desde que la entrada pasa de la mitad del recorrido de tensión hasta que la salida pasa de la mitad del recorrido de tensión, dando de tiempo  $t_{I1} = 3ps$ . Luego la suma de los tres da:

$$t_p = t_{T1} + t_{I1} + t_{T2} \quad (1)$$

$$t_p = 920ps + 3ps + 913ps \quad (2)$$

$$t_p = 1,836ns \quad (3)$$

se genero un overlap **0-0** desfazando la fuente del clock con respecto a la del clock negado, y se levanta la señal  $d$  en esa ventana para ver si la salida se levanta como ocurre cuando hay problemas con el overlap y de lo que se puede observar en la figura 15. La salida no se levanta por lo que se comprueba que efectivamente el problema **0-0** se arregla.

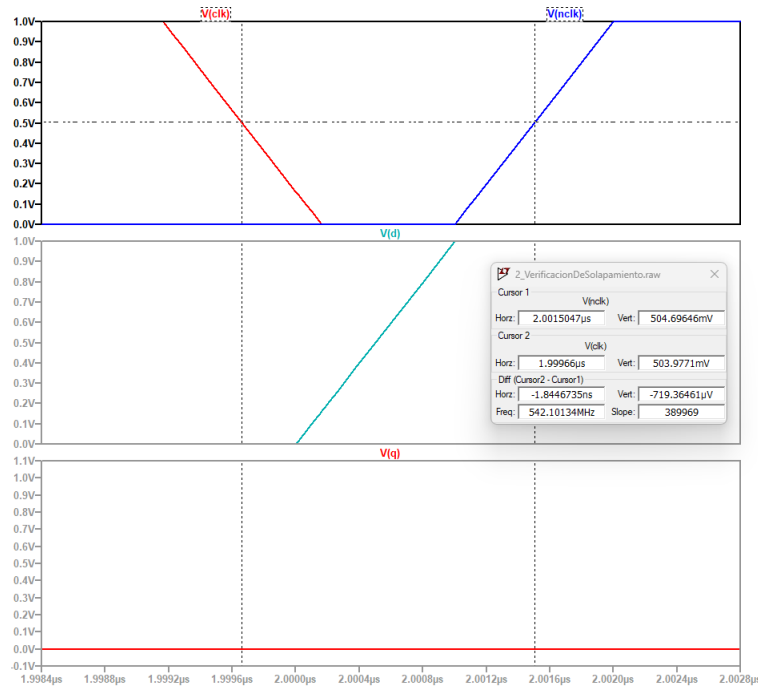


Figura 15: Testeo del caso de overlap 0-0 cuando se cumple la especificación