



UNIVERSIDAD TECNICA  
FEDERICO SANTA MARIA



DEPARTAMENTO DE  
ELECTRONICA

---

# Tarea 3

## Circuitos Combinacionales

---

**Fecha** 11 de Junio de 2024  
**Nombre:** Daniel Gross - 201821013-7  
Matias Huichaqueo - 201821004-8  
**Asignatura:** Diseño de IC digitales  
**Profesor:** Ioannis Vourkas

# Índice

<b>1</b>	<b>Problema 1</b>	<b>3</b>
1.1	a. . . . .	3
1.2	b. . . . .	3
1.3	c. . . . .	3
1.4	d. . . . .	4
1.5	e. . . . .	4
1.6	f. . . . .	5
1.7	g. . . . .	5
<b>2</b>	<b>Problema 2</b>	<b>6</b>
2.1	a. . . . .	6
2.1.1	Curva más a la izquierda . . . . .	6
2.1.2	Curva más a la derecha . . . . .	6
2.2	b. . . . .	6
2.2.1	Peor Caso . . . . .	6
2.2.2	Mejor Caso . . . . .	7
<b>3</b>	<b>Problema 3</b>	<b>7</b>
3.1	a. . . . .	7
3.2	b. . . . .	8
3.2.1	Peor Caso . . . . .	8
3.2.2	Mejor Caso . . . . .	8
<b>4</b>	<b>Problema 4</b>	<b>9</b>

## 1. Problema 1

### 1.1. a.

En la figura 1, se puede observar el esquemático del circuito en estilo Cmos estático, para diseñarlo primero se diseño la red PDN mediante el inverso de la función luego se utilizo el dual para la red PUN. En el caso del dimensionamiento del W de los transistores se utilizo el mínimo entregado siendo multiplicado por la cantidad de elementos que existen en serie para una cierta sección (el dimensionamiento esta en formato W/L, por lo que para obtener los anchos en W se debe multiplicar por L).

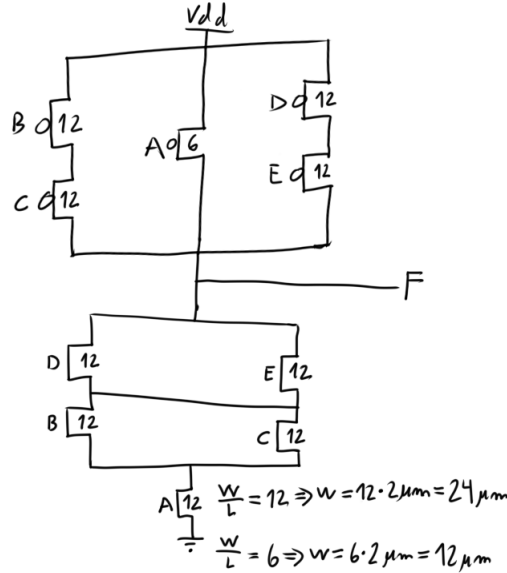


Figura 1: Esquemático del circuito pedido en estilo Cmos estático con transistores dimensionados.

Ya que se trabaja con un proceso de  $L = 2\mu m$  se obtiene el W multiplicando los factores adimensionales por este numero, esta conversión se puede observar en la leyenda de la figura 1.

### 1.2. b.

Para calcular el esfuerzo lógico se suman los valores W para todos los transistores de la entrada que represente el peor caso (B en este caso) y dividir por la suma del inversor de referencia:

$$g = \frac{12 + 12}{6 + 4} = \frac{12}{5} = 2,4 \quad (1)$$

Cabe mencionar que se trabaja con el formato W/L de los factores de tamaño ya que tanto arriba como abajo de la división aparece el mismo L por lo que se cancelan resultando en una proporción de los W solamente.

### 1.3. c.

Ya que las entradas son independientes y uniformemente distribuidas el factor de conmutación esta dado por:

$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} \cdot \frac{N_1}{2^N} \quad (2)$$

$$\alpha_{0 \rightarrow 1} = \frac{9}{32} \cdot \frac{23}{32} \quad (3)$$

$$\alpha_{0 \rightarrow 1} = \frac{207}{1024} \approx 0,202 \quad (4)$$

La tabla de verdad para corroborar los valores se puede observar en la figura 2.

A	B	C	D	E	F
0	0	0	0	0	1
0	0	0	0	1	1
0	0	0	1	0	1
0	0	0	1	1	1
0	0	1	0	0	1
0	0	1	0	1	1
0	0	1	1	0	1
0	0	1	1	1	1
0	1	0	0	0	1
0	1	0	0	1	1
0	1	0	1	0	1
0	1	0	1	1	1
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	0	1	0	1	0
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	0

Figura 2: Tabla de verdad para la expresión lógica entregada

#### 1.4. d.

En la figura 3 se puede observar el esquemático con los nodos enumerados, luego la ecuación que describe el peor caso para un cambio de alto a bajo en la salida es:

$$t_{p,HL} = 0,69 \cdot (R_A \cdot C_2 + (R_A + R_C) \cdot C_1 + (R_A + R_C + R_E) \cdot C_L) \quad (5)$$

$$t_{p,HL} = 0,69 \cdot (R_A \cdot (C_L + C_1 + C_2) + R_C \cdot (C_L + C_1) + R_E \cdot C_L) \quad (6)$$

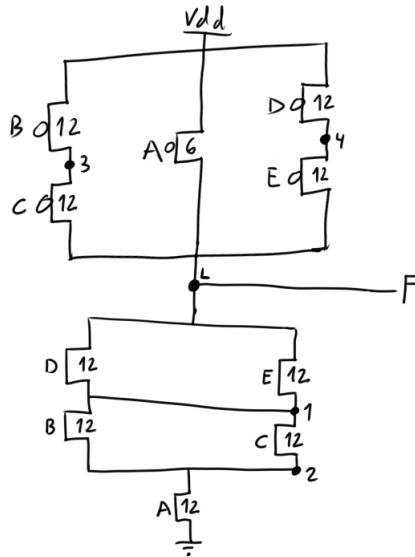


Figura 3: Esquemático de la expresión pedida en estilo Cmos estatico con los nodos enumerados.

Cabe mencionar que existen otros caminos que cumplen el mismo propósito sin embargo se selecciono uno de ellos, en particular porque es más fácil de visualizar en el diagrama.

#### 1.5. e.

Basado en el caso descrito en el ítem anterior la combinación que ejecuta una de las alternativas para el peor caso es tener inicialmente el sistema en el estado  $B = 0$ ,  $D = 0$ ,  $E = 1$ ,  $C = 1$ ,  $A = 1$ , lo que hace que el circuito tenga

su salida en 1 ya que el  $A$  permite un paso directo a  $V_{dd}$ , además al tener las señales  $E$  y  $C$  en 1, esto permite a los condensadores en los nodos 1 y 2 cargarse, luego para hacer transición a 0 en la salida se baja la señal  $A$  a un valor 0, lo que hace que se corte la conexión con  $V_{dd}$  y se genere una conexión a tierra a través de los transistores Nmos  $A$ ,  $C$ ,  $E$  y como se menciono antes los condensadores parasiticos en los nodos 1 y 2 están cargados por lo que suman al tiempo para que el condensador  $C_L$  se descargue. En tema de resistencias este es el peor caso porque las resistencias  $R_A$ ,  $R_C$  y  $R_E$  se encuentran en serie y  $R_D$ ,  $R_B$  no entran en juego porque sus respectivas señales de control están en bajo, por lo que no hay resistencias en paralelo que ayuden a reducir la resistencia del sistema entre el peor caso de resistencias y el peor caso de condensación se genera el peor caso para el tiempo de propagación de alto a bajo.

### 1.6. f.

En la figura 4 se puede ver el esquemático del circuito pedido en estilo pseudo-NMOS el dimensionamiento de transistores en la red PDN es igual que en el caso del Cmos estático, y la red PUN se reemplaza por un transistor Pmos que esta en conducción constantemente, ya que no existe un requisito de tiempo ni de potencia para el circuito el Pmos se dimensiona de tal forma de encontrar un buen compromiso entre ambos.

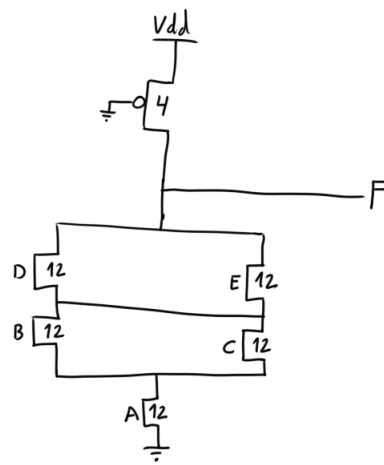


Figura 4: Esquemático de la expresión pedida en estilo pseudo-Nmos

### 1.7. g.

En la figura 5 se puede ver el esquemático del circuito pedido en estilo Cmos dinámico. Para este caso el dimensionamiento de los transistores en la red PDN aumenta con respecto a la red de Cmos estático ya que se agrega un transistor Nmos en serie con el resto. Y el transistor superior una vez más se diseña de tal forma que haya buen compromiso entre tiempo y potencia consumida.

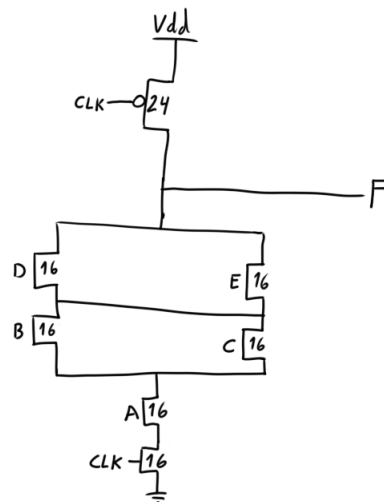


Figura 5: Esquemático de la expresión pedida en estilo Cmos dinámico

## 2. Problema 2

### 2.1. a.

En la figura 6 se puede observar las dos curvas que están más a la derecha y más a la izquierda, a continuación se describe como fueron identificados los casos.

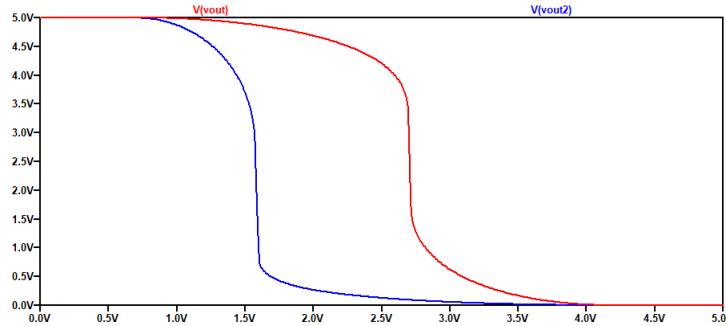


Figura 6: Curvas de transferencia para los casos más a la izquierda y más a la derecha

#### 2.1.1. Curva más a la izquierda

Para encontrar el caso con la curva más a la izquierda se busco el caso donde el  $W_n$  fuera el más alto, para esto se requiere de la mayor cantidad de transistores Nmos activos, y también se necesita que el  $W_p$  sea el menor posible y para esto se requiere tener la menor cantidad de transistores Pmos activos. Para lograr esto se le entregaron las entradas  $B = 1$ ,  $C = 1$ ,  $D = 1$ ,  $E = 1$  y  $A = 0 \rightarrow 1$  (en el caso de  $A$  quiere decir que se realizo una transición de 0 a 1. Mientras que las otras señales se mantuvieron fijas en 1.).

#### 2.1.2. Curva más a la derecha

Para encontrar el caso con la curva más a la derecha se hizo lo opuesto se busco maximizar  $W_p$  y minimizar  $W_n$ , para lograr esto se requiere de la mayor cantidad de lógicos cero, y todas las señales que se requieran para lograr la transición de 1 a 0 en la salida se colocan con transiciones, quedando así el caso  $B = 0 \rightarrow 1$ ,  $C = 0$ ,  $D = 0 \rightarrow 1$ ,  $E = 0$  y  $A = 0 \rightarrow 1$ .

### 2.2. b.

#### 2.2.1. Peor Caso

Para el peor caso se utilizo la combinación descrita en el ejercicio 1.e esto es  $B = 0$ ,  $C = 1$ ,  $D = 0$ ,  $E = 1$  y  $A = 0 \rightarrow 1$ , la prueba dio como resultado un  $t_{p,HL} = 2,36ns$ , esto se puede observar en la figura 7.

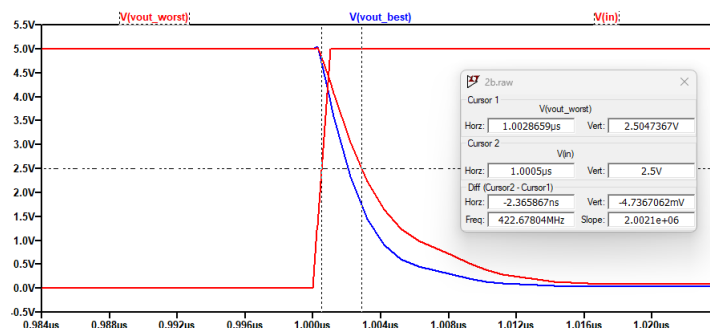


Figura 7: Gráfica del voltaje de salida v/s el voltaje de entrada con marcadores encima de la curva de peor tiempo

### 2.2.2. Mejor Caso

Para el mejor caso se utilizo un poco la lógica opuesta al peor caso, donde se busca que la mayor cantidad de transistores Nmos estén en conducción para así aplacar el efecto de las resistencias ya que existen resistencias en paralelo lo que reduce el valor resistivo del camino, además de esto se dejan  $A$ ,  $B$  y  $C$  en lógico 1 para que los condensadores parásitos que están en los nodos de la PDN estén descargados ya que tienen un camino a tierra, finalmente para realizar la transición en la salida de 1 a 0, se transicionan las señales de entrada  $D$  y  $E$  de 0 a 1 para lograr la conexión de  $V_{out}$  a tierra. Este experimento da como resultado un  $t_{p,HL} = 1,57ns$ , esto se puede observar en la figura 8.

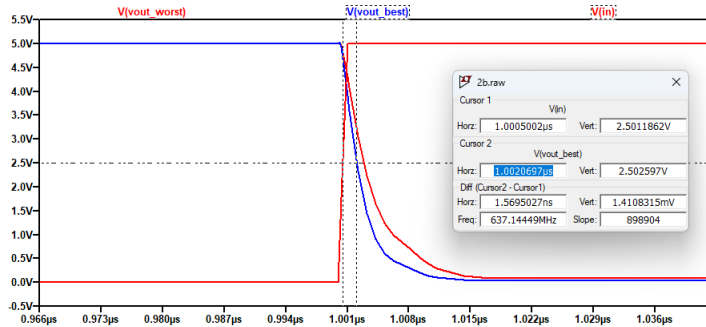


Figura 8: Gráfica del voltaje de salida  $v/s$  el voltaje de entrada con marcadores encima de la curva de mejor tiempo

## 3. Problema 3

### 3.1. a.

Para estudiar el efecto de cambiar el  $W$  del único transistor Pmos en el diseño se configuro un parámetro que varia entre  $6\mu$  y  $12\mu$  dando pasos de  $1\mu$ , las curvas de nivel resultantes se pueden observar en la figura 9. y en la tabla ?? se pueden observar los valores para  $V_{OL}$  y para la potencia estática que se extrajeron también del LTspice.

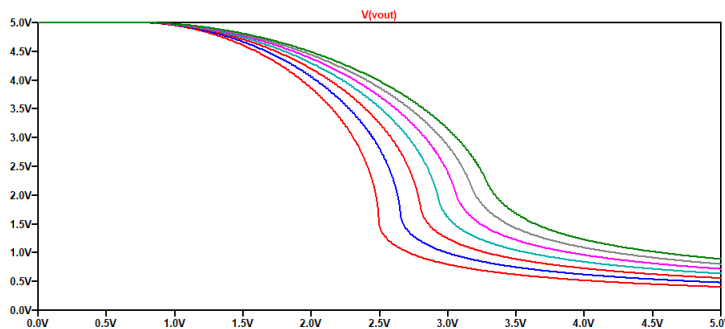


Figura 9: Curvas de transferencia para el circuito pseudo-Nmos para un  $W_p$  que va desde  $6\mu$  a  $12\mu$  dando pasos de  $1\mu$ .

$W$	$V_{OL}$	$P_{estatica}$
$6\mu$	$0,4V$	$168\mu W$
$7\mu$	$0,48V$	$233\mu W$
$8\mu$	$0,56V$	$309\mu W$
$9\mu$	$0,64V$	$398\mu W$
$10\mu$	$0,72V$	$500\mu W$
$11\mu$	$0,8V$	$615\mu W$
$12\mu$	$0,89V$	$744\mu W$

## 3.2. b.

### 3.2.1. Peor Caso

Para el peor caso se utilizó la combinación descrita en el ejercicio 1.e esto es  $B = 0$ ,  $C = 1$ ,  $D = 0$ ,  $E = 1$  y  $A = 0 \rightarrow 1$ , la prueba dio como resultado un  $t_{p,HL} = 2,52ns$ , esto se puede observar en la figura 10.

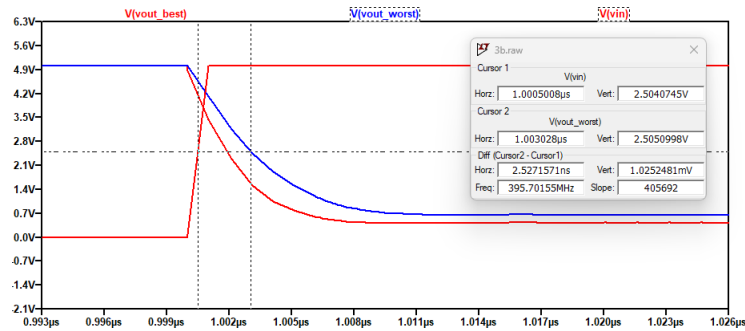


Figura 10: Gráfica del voltaje de salida v/s el voltaje de entrada con marcadores encima de la curva de peor tiempo

### 3.2.2. Mejor Caso

Para el mejor caso se utilizó un poco la lógica opuesta al peor caso, donde se busca que la mayor cantidad de transistores Nmos estén en conducción para así aplacar el efecto de las resistencias ya que existen resistencias en paralelo lo que reduce el valor resistivo del camino, además de esto se dejan  $A$ ,  $B$  y  $C$  en lógico 1 para que los condensadores parásitos que están en los nodos de la PDN estén descargados ya que tienen un camino a tierra, finalmente para realizar la transición en la salida de 1 a 0, se transicionan las señales de entrada  $D$  y  $E$  de 0 a 1 para lograr la conexión de  $V_{out}$  a tierra. Este experimento da como resultado un  $t_{p,HL} = 1,39ns$ , esto se puede observar en la figura 11.

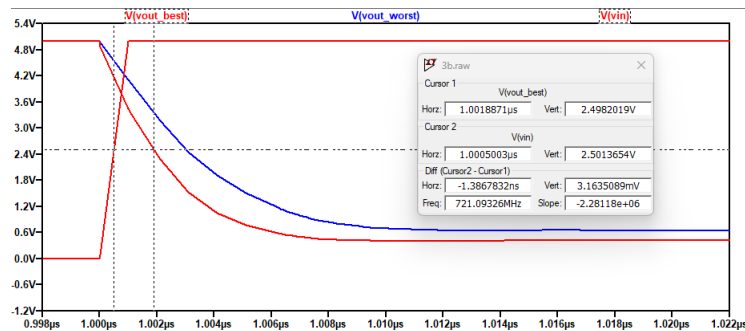


Figura 11: Gráfica del voltaje de salida v/s el voltaje de entrada con marcadores encima de la curva de mejor tiempo



## 4. Problema 4

Para realizar el diseño de la disposicion fisica de la red pull-up del circuito **CMOS** estatico diseñado en 1.1, primero se procede a aplicar el metodo de los caminos Euler, de tal manera que la permutacion de las entradas garantice una banda de difusion ininterrumpida. Para esto, se definen como  $i$  y  $j$  a los nodos entre los transistores de las entradas D y E, y los de las entradas B y C, correspondientemente.

Luego de esto, se procede a buscar un camino que pase por todos los transistores una sola vez, obteniendo el siguiente grafo

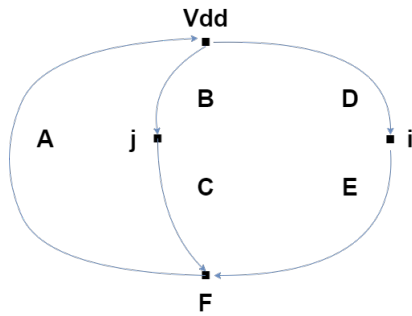


Figura 12: Grafo Dirigido para resolver el problema

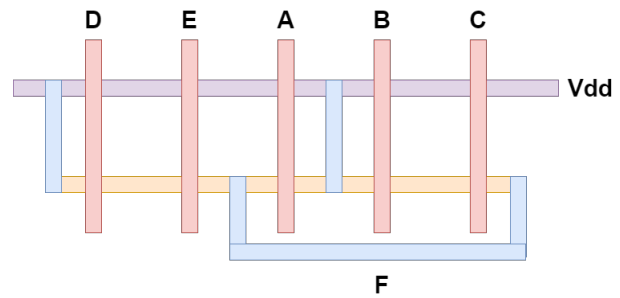


Figura 13: Stick Diagram para el diseño

De la figura 12, se obtiene el siguiente orden de las entradas:

■  $D \rightarrow E \rightarrow A \rightarrow B \rightarrow C$

Luego, de el orden establecido, se establece el siguiente diseño mediante *stick diagrams*, tal y como se muestra en la figura 13.

Seguido de esta planificacion, se procede a realizar el diseño en **L-Edit**. Un aspecto a considerar es que el transistor A tiene la mitad de ancho que el resto de los transistores, por lo cual, se hace uso de *transistor folding*, duplicando su tamaño, sin embargo, dado que no se utilizan el drain y source de los extremos de los transistores resultantes, se agrega un transistor de aislamiento, estos con sus gate conectados directamente a Vdd (por lo cual siempre estan apagados), de tal manera que se mantenga una sola difusion entre todos los transistores. El layout resultante se muestra a continuacion.

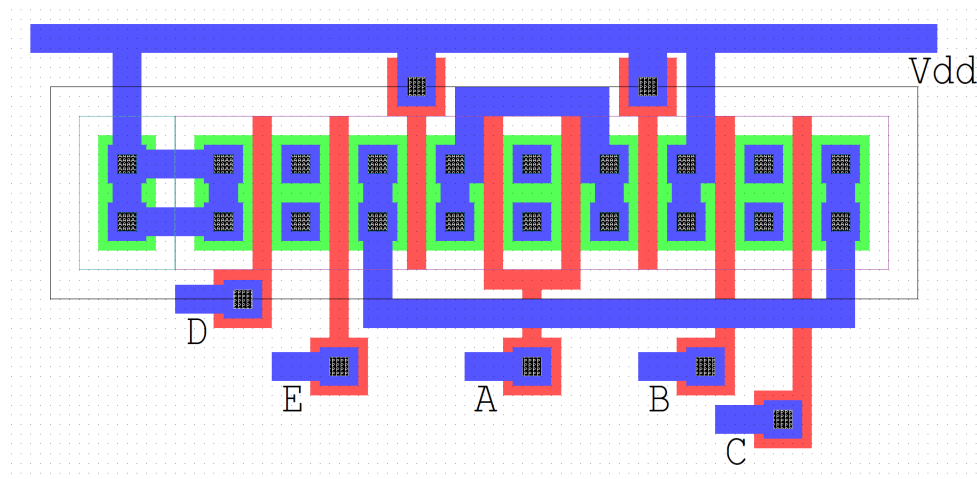


Figura 14: Layout del diseño