



UNIVERSIDAD TECNICA
FEDERICO SANTA MARIA



DEPARTAMENTO DE
ELECTRONICA

Tarea 2

Inversores CMOS

Fecha 15 de Mayo de 2024

Nombre: Daniel Gross - 201821013-7

Asignatura: Diseño de IC digitales

Profesor: Ioannis Vourkas

Índice

1	Problema 1	3
1.1	a.	3
1.2	b.	4
1.3	c.	5
2	Problema 2	6
2.1	a.	6
2.2	b.	7
	2.2.1 compuerta 1w	7
	2.2.2 compuerta 3w	8
3	Problema 3	9
3.1	a.	9
3.2	b.	10

1. Problema 1

1.1. a.

Se muestra en la figura 1 el layout del inversor diseñado con el tamaño mínimo para incluir exactamente 1 contacto.

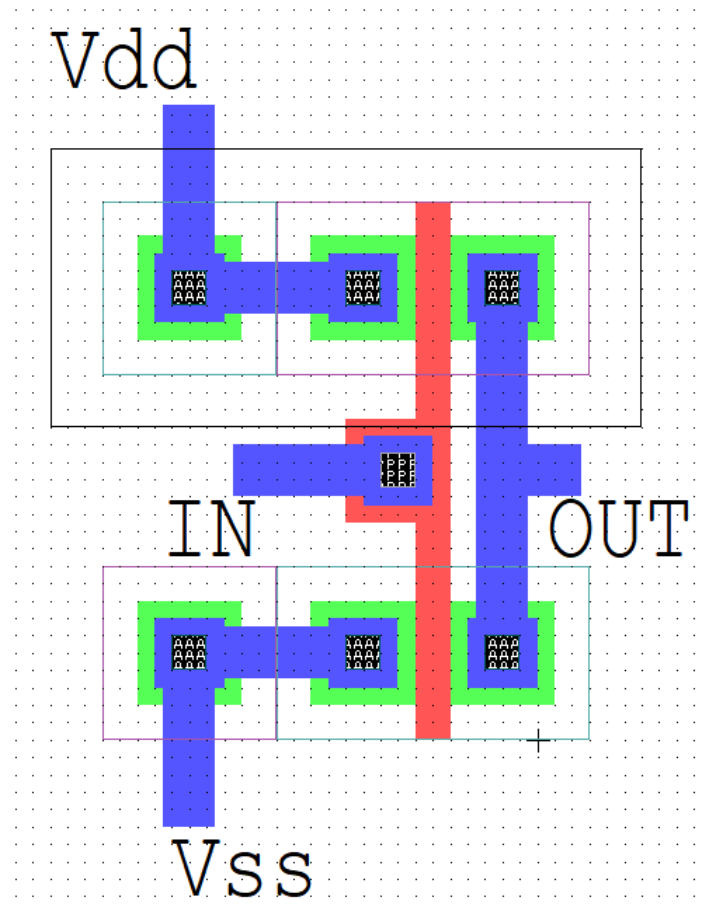


Figura 1: Inversor de un solo contacto

Las dimensiones de cada transistor son iguales y son $L = 2\mu m$ y $W = 6\mu m$. Además se adjunta en la figura 2 donde se muestra la curva de transferencia de tensión para el inversor diseñado simulado en LTspice. En el esquemático IN representa el pin donde se mide V_{in} , y OUT en el esquemático representa el pin donde se mide V_{out} . La simulación junto con el .cir se encuentran adjuntos a la entrega de este documento.

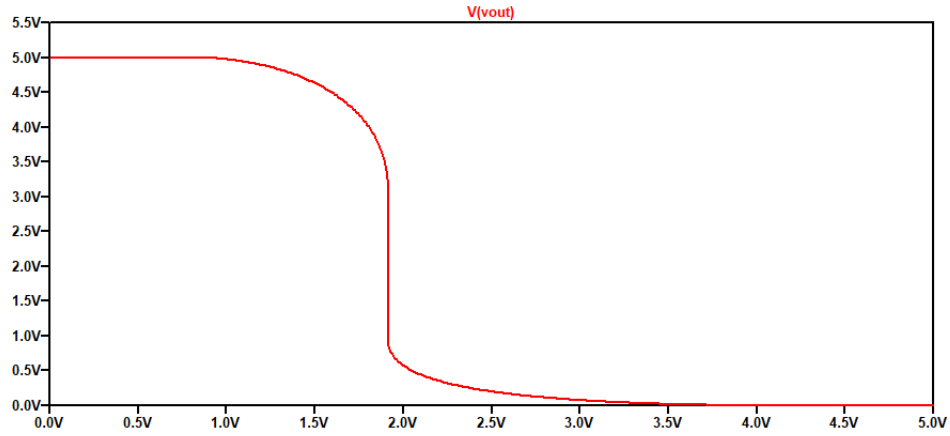


Figura 2: V_{in} v/s V_{out} para el inversor con 1 solo contacto

1.2. b.

Se muestra en la figura 3 el layout del inversor diseñado con el tamaño del W multiplicado por 3.

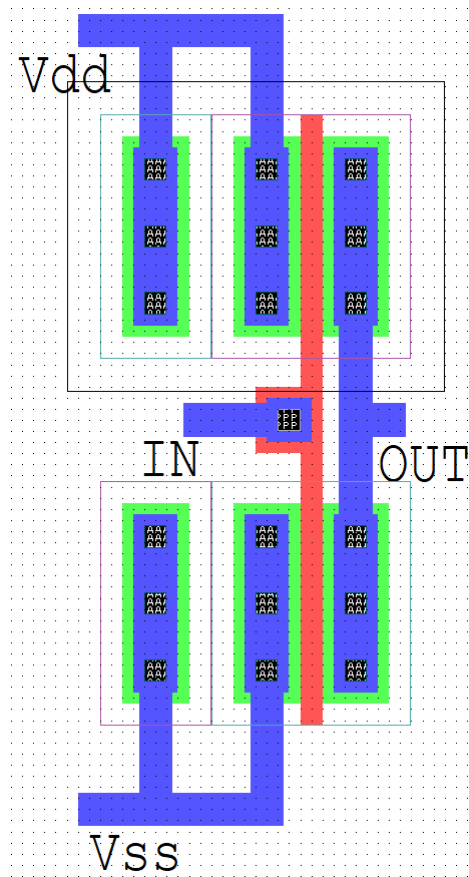


Figura 3: Inversor con W multiplicado por 3.

Las dimensiones de cada transistor son iguales y son $L = 2\mu m$ y $W = 18\mu m$. Además se adjunta en la figura 4 donde se muestra la curva de transferencia de tensión para el inversor diseñado simulado en LTspice. En el esquemático IN representa el pin donde se mide V_{in} , y OUT en el esquemático representa el pin donde se mide V_{out} . La simulación junto con el .cir se encuentran adjuntos a la entrega de este documento.

Es importante mencionar que no existe un impacto sobre la curva de transferencia ya que ambos transistores fueron re-dimensionados en la misma escala por lo que la proporción de características que arma la curva entre los dos se conserva igual.

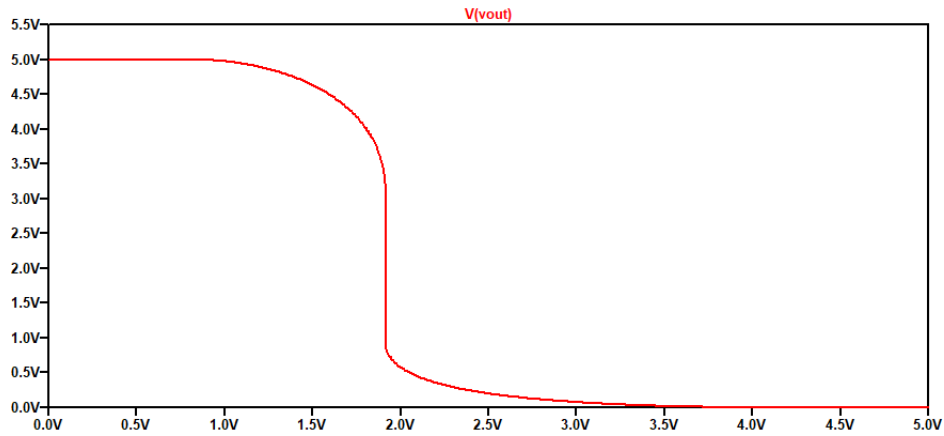


Figura 4: V_{in} v/s V_{out} para el inversor con 1 solo contacto

1.3. c.

Para comprobar el efecto de cambiar el W del transistor Pmos se configuro el .cir (adjunto a este documento) para que pruebe valores entre $20\mu m$ y $30\mu m$ con paso de $2\mu m$. Obteniendo así la simulación de la figura 5, se observo que al aumentar el W la curva de transferencia completa tiende a correrse en el eje x hacia la derecha, con lo que se podría centrar mejor la curva de transferencia para que la mitad este lo más cerca a $2,5V$ en V_{in} . Para esta tarea se configuro el testing de valores entre $23\mu m$ y $24\mu m$ con paso $0,1\mu m$, ya que en este rango se observo más cercanía a $2,5V$. Esta simulación se puede observar en la figura 6. Con lo que se dio que el valor más centrado con 1 decimal de precisión es $23,4\mu m$.

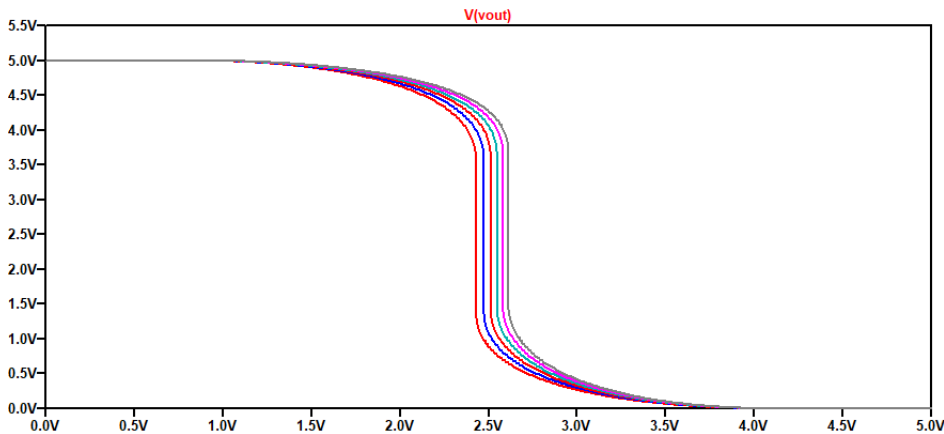


Figura 5: V_{in} v/s V_{out} para el inversor con W variando entre $20\mu m$ y $30\mu m$ con paso de $2\mu m$

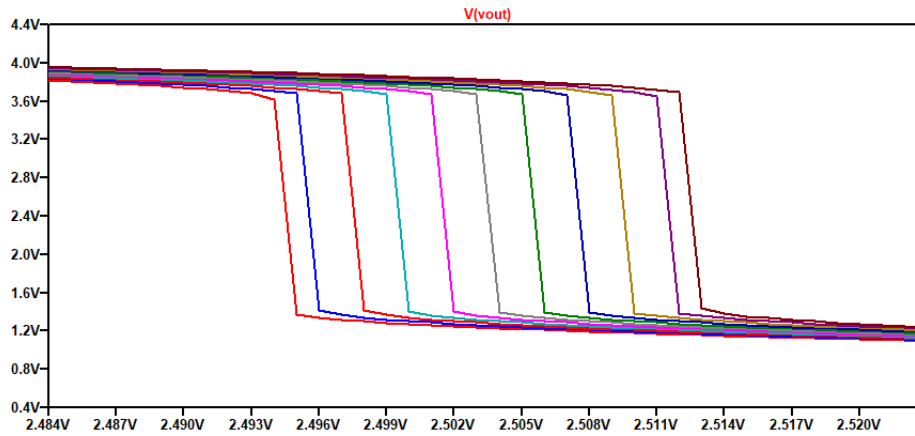


Figura 6: Vin v/s Vout para el inversor con W variando entre $23\mu m$ y $24\mu m$ con paso $0,1\mu m$

2. Problema 2

2.1. a.

Luego de realizar la extracción de parámetros de los circuitos, se generó un .cir donde están el diseño del inversor del problema 1a y el problema 1b instanciados como sub-circuitos, en este caso sin las capacitancias parásitas, en este caso como nos interesa el efecto capacitivo intrínseco de los dispositivos, se vuelve necesario anotar todos los parámetros de cada transistor no solo el L y el W. En las figuras 7 y 8 se pueden ver los resultados de simulación de ambos sub-circuitos a través del tiempo al tenerlos primero conectados a 5V bajarlo a 0V en su pin IN y segundo volver a subir el voltaje en IN a 5V. Se incluyen en ambas figuras también marcadores que indican cuando la salida OUT de cada compuerta llega al 50 % del voltaje.

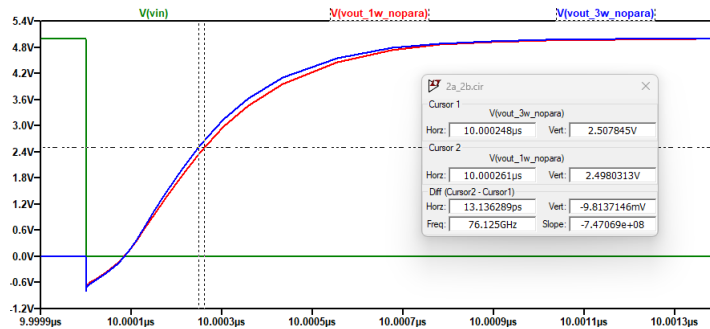


Figura 7: Respuesta de ambas compuertas al bajar el voltaje en IN de 5V a 0V

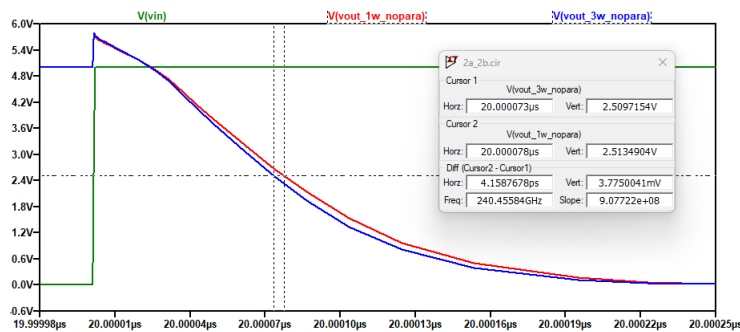


Figura 8: Respuesta de ambas compuertas al subir el voltaje en IN de 0V a 5V

A partir de estas curvas se puede calcular el t_p tanto para la compuerta con 1 contacto que no considera capacitancias parásitas (llamada 1w_nopara en simulación) como para la compuerta con W 3 veces más grande que no considera capacitancias parásitas (llamada 3w_nopara en simulación). Primero para el caso de 1w_nopara:

$$tp_{LH1w_nopara} = 10,000262\mu s - 10\mu s = 262ps \quad (1)$$

$$tp_{HL1w_nopara} = 20,000078\mu s - 20\mu s = 78ps \quad (2)$$

$$tp_{1w_nopara} = \frac{262ps + 78ps}{2} = 170ps \quad (3)$$

Luego para el caso de 3w_nopara:

$$tp_{LH3w_nopara} = 10,000248\mu s - 10\mu s = 248ps \quad (4)$$

$$tp_{HL3w_nopara} = 20,000074\mu s - 20\mu s = 74ps \quad (5)$$

$$tp_{3w_nopara} = \frac{248ps + 74ps}{2} = 161ps \quad (6)$$

De los números obtenidos se pudo observar que la versión con 3W es aproximadamente 9ps más rápido que la versión de un solo contacto.

2.2. b.

Para el caso de las dos compuertas con las capacitancias parásitas incluidas se crearon dos sub-circuitos más iguales a los del ítem anterior pero con las capacitancias agregadas, luego se realizó la comparación entre cada una de las compuertas y su versión con capacitancias parásitas.

2.2.1. compuerta 1w

En las figuras 9 y 10 se ilustran las simulaciones de subida y de bajada para las compuertas con dimensiones 1w, con y sin considerar capacitancias parásitas.

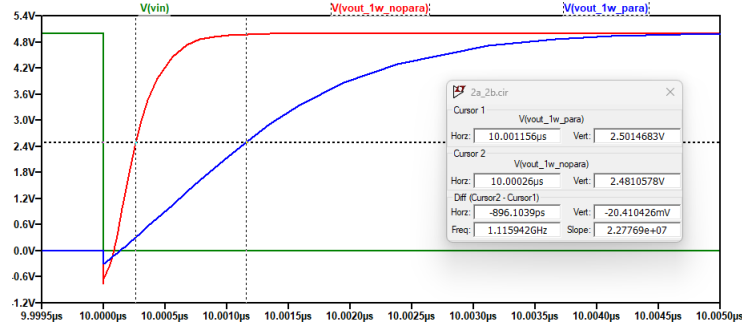


Figura 9: Respuesta de ambas compuertas al bajar el voltaje en IN de 5V a 0V

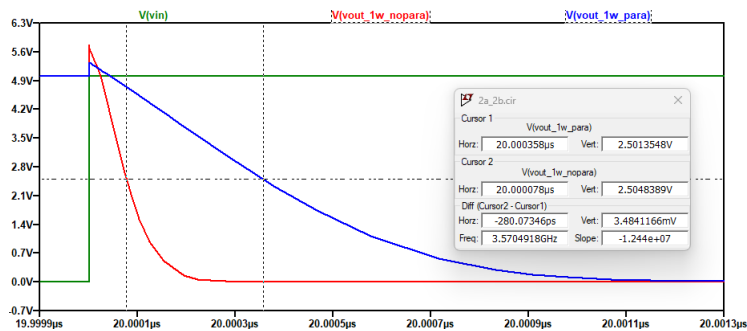


Figura 10: Respuesta de ambas compuertas al subir el voltaje en IN de 0V a 5V

Luego con los datos de timing se pueden calcular los tiempos de propagación, es importante notar que en el caso de los sin efectos parásitos ya se tienen los tiempos de propagación ya que fueron calculados en el ítem anterior por lo que solo se calculan los tiempos para los que si consideran efectos parásitos, así entonces:

$$tp_{LH1w_para} = 10,001156\mu s - 10\mu s = 1156ps \quad (7)$$

$$tp_{HL1w_para} = 20,000358\mu s - 20\mu s = 358ps \quad (8)$$

$$tp_{1w_para} = \frac{1156ps + 358ps}{2} = 757ps \quad (9)$$

Luego comparando con el caso sin efectos parásitos se puede notar que los efectos parásitos aumentan el tiempo de propagación en aproximadamente $587ps$, por lo que son necesarios a la hora de simular una compuerta puesto que representan la mayoría del retardo real que va a tener la compuerta y no son despreciables.

2.2.2. compuerta 3w

En las figuras 11 y 12 se ilustran las simulaciones de subida y de bajada para las compuertas con dimensiones 1w, con y sin considerar capacitancias parásitas.

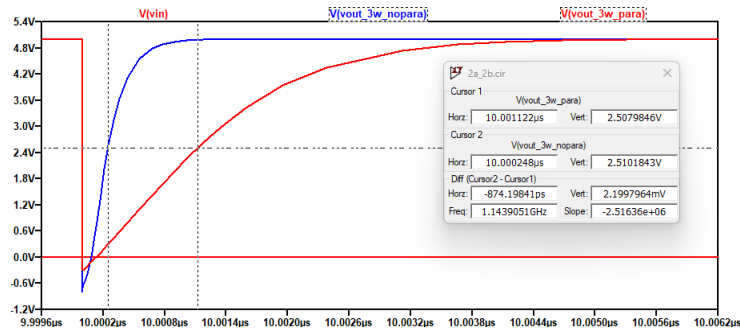


Figura 11: Respuesta de ambas compuertas al bajar el voltaje en IN de 5V a 0V

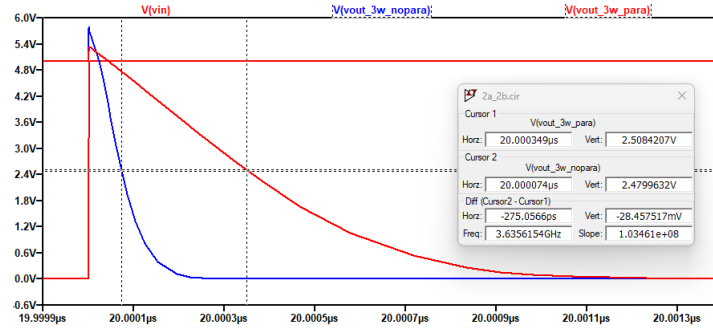


Figura 12: Respuesta de ambas compuertas al subir el voltaje en IN de 0V a 5V

Luego con los datos de timing se pueden calcular los tiempos de propagación, es importante notar nuevamente que en el caso de los sin efectos parásitos ya se tienen los tiempos de propagación ya que fueron calculados en el ítem anterior por lo que solo se calculan los tiempos para los que si consideran efectos parásitos, así entonces:

$$tp_{LH3w_para} = 10,001122\mu s - 10\mu s = 1122ps \quad (10)$$

$$tp_{HL3w_para} = 20,000349\mu s - 20\mu s = 349ps \quad (11)$$

$$tp_{3w_para} = \frac{1156ps + 358ps}{2} = 735,5ps \quad (12)$$

Luego comparando con el caso sin efectos parásitos se puede notar que los efectos parásitos aumentan el tiempo de propagación en aproximadamente $574,5ps$, nuevamente al igual que en el caso anterior los retardos ingresados por el efecto de los condensadores parásitos es la mayoría del retardo por lo que estos son necesarios a la hora de modelar la compuerta.

3. Problema 3

3.1. a.

En la figura 13 se puede ver el circuito diseñado en L-edit para el anillo de inversores. Se conectaron como fue pedido 5 inversores.

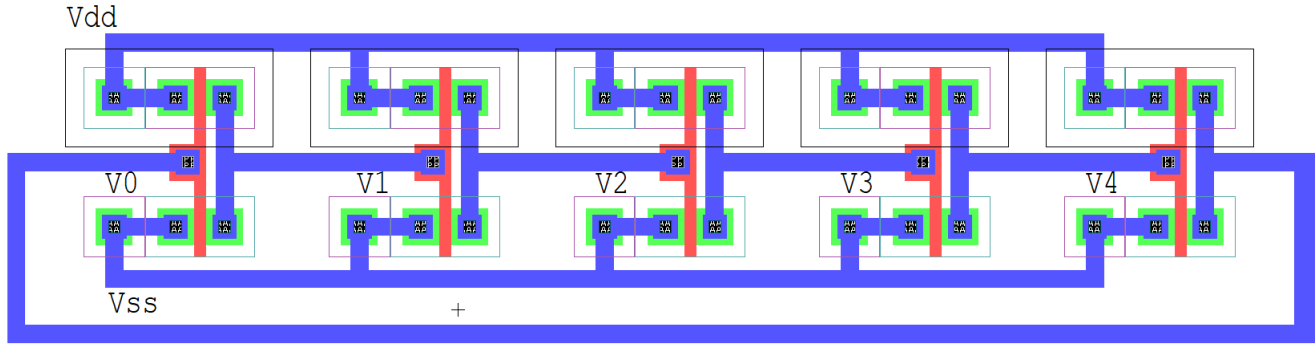


Figura 13: Cadena de 5 inversores.

Luego utilizando la herramienta de extract se extrajeron las características del circuito para poder simularlo, con eso se realizo un análisis transiente de $50ns$ y paso de $0,01ns$ para poder visualizar el comportamiento, el resultado de esta simulación junto con los marcadores que denotan un periodo de oscilación se encuentran en la figura 14.

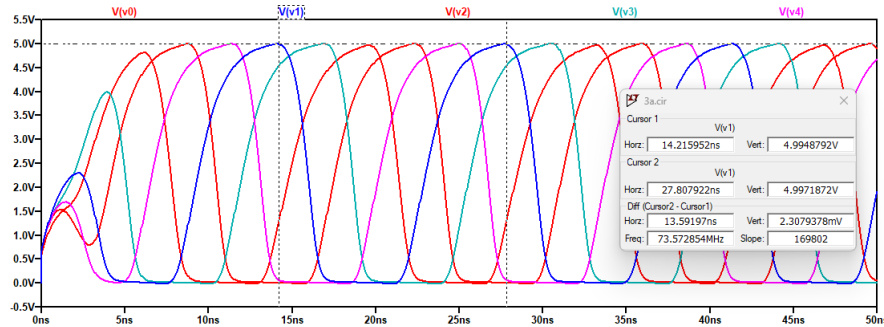


Figura 14: Simulación de la cadena de inversores.

En la simulación se pueden observar los voltajes a través del tiempo a la salida de cada inversor, tal como se esperaba este oscila perpetuamente, y se puede mediante los marcadores extraer el periodo con el que oscila, luego usando la relación entre el tp y el periodo se puede obtener el tp de la compuerta:

$$T = 2 \cdot tp \cdot N \quad (13)$$

$$13,6ns = 2 \cdot tp \cdot 5 \quad (14)$$

$$tp = \frac{13,6ns}{10} \quad (15)$$

$$tp = 1,36ns \quad (16)$$

3.2. b.

En la figura 15 se puede observar el layout del circuito diseñado, en este caso fue necesario el uso de metal 2 para no obstruir el paso de conexiones entre entradas y salidas de los transistores.

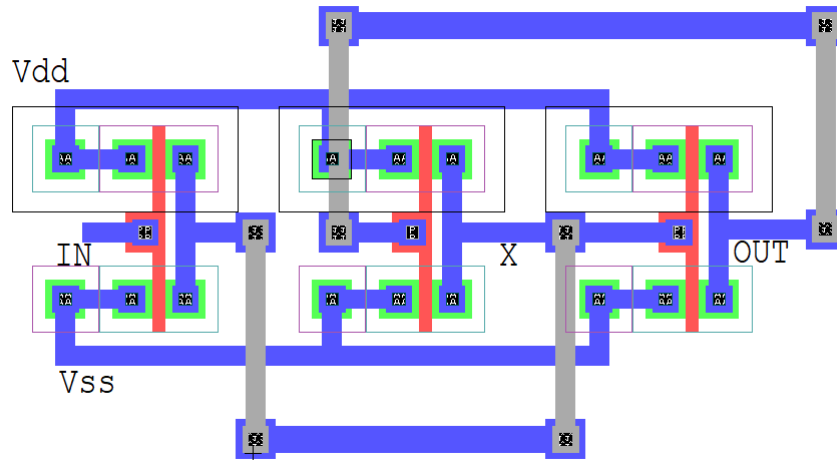


Figura 15: Layout del circuito de la 3b.

Luego para visualizar la curva de transferencia se generaron dos simulaciones en un mismo archivo .cir, un DC sweep que lleva el voltaje en el pin IN de 0V a 5V y otro que lleva el mismo voltaje de 5V a 0V, de lo que salen las figuras 16 y 17 respectivamente donde el voltaje que se muestra es el que aparece en el pin OUT. Como se puede notar las curvas no son las esperadas para un schmitt trigger, la de 0V a 5V pareciera cumplir con saltar a 5V en OUT cuando se llega a un umbral sin embargo antes de eso el voltaje parte en 3V y va bajando hasta 0V y eso no es deseable, por otro lado en el caso de variar el voltaje en IN de 5V a 0V el voltaje en OUT no pareciera ni alcanzar a bajar un poco en todo ese rango.

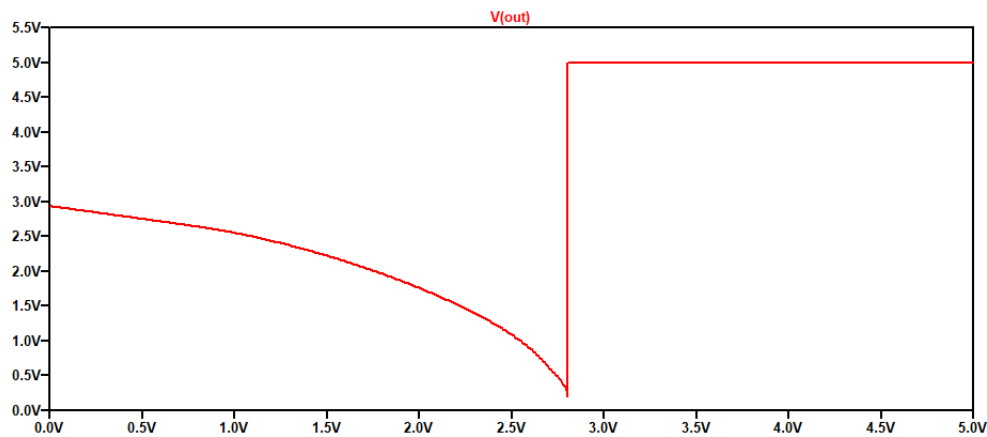


Figura 16: Simulación del Schmitt trigger de 0V a 5V en el puerto IN.

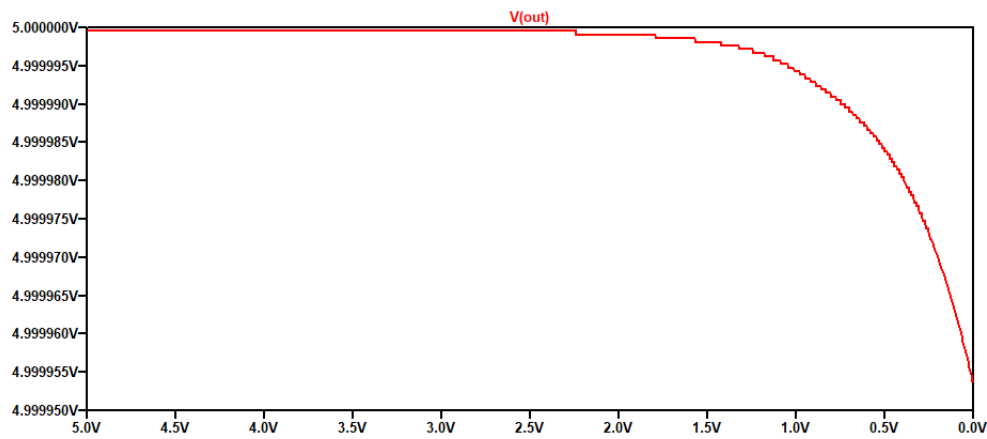


Figura 17: Simulación del Schmitt trigger de 5V a 0V en el puerto IN.

Luego de investigar el porque del fallo se descubrió que al ajustar las dimensiones, en particular el ancho, de los transistores pMOS se balancea más el circuito y le permite funcionar correctamente, a continuación se adjuntan las mismas simulaciones que en las figuras 16 y 17, pero ahora con el W de los pMOS triplicado. Las nuevas figuras de simulación corresponden a las figuras 18 y 19. Además ambos circuitos el original y el modificado se encuentran adjuntos a este documento, el original se llama “3_b.cir” y el modificado “3_b.alt.cir”

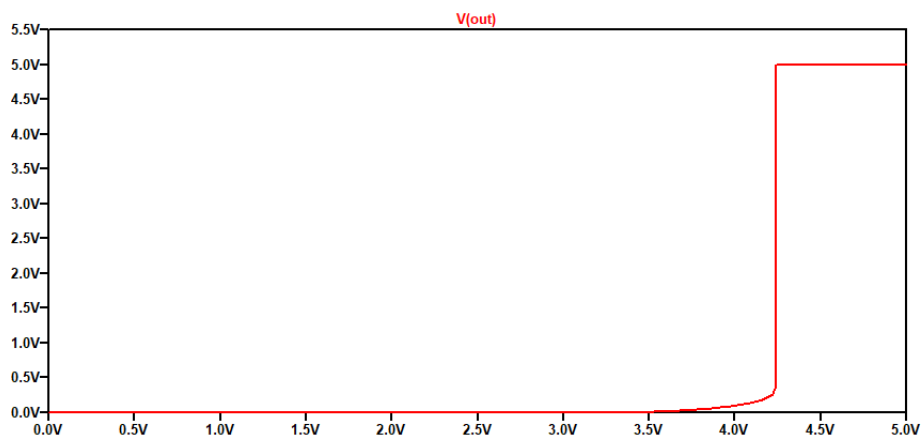


Figura 18: Simulación del Schmitt trigger de 0V a 5V en el puerto IN. (con W triplicado en pMOS)

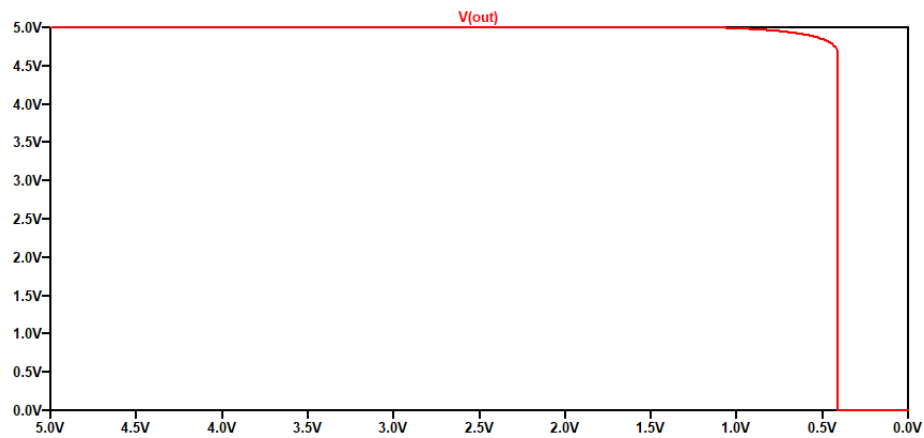


Figura 19: Simulación del Schmitt trigger de $5V$ a $0V$ en el puerto IN. (con W triplicado en pMOS)