

Projekt Indywidualny, Systemy Cyfrowe i Komputerowe

Projekt wykonawczy modułu **sync_arith_unit_12** operującej
na liczbach w kodzie **ZM**

Wykonująca: Anna Dzieżyk

Opiekun: Bartosz Dec

Semestr zima 2023/2024

Spis treści

1	Cel i opis projektu	1
2	Realizowane przez układ operacje	2
3	Porty układu	3
4	Sprawozdanie z syntezy i realizacji jednostki	
	sync_arith_unit_12	3
4.1	3

1 Cel i opis projektu

Celem projektu jest implementacja synchronicznej jednostki arytmetyczno-logicznej **sync_arith_unit_12** realizującej operacje arytmetyczne, logiczne i inne zapisane na liczbach całkowitych zapisanych w kodzie **ZM**.

W skład realizacji projektu wchodzi:

- Model układu cyfrowego opisany za pomocą języka opisu sprzętu *SystemVerilog*
- Synteza układu przy użyciu narzędzia open-source *yosys*
- Realizacja modułu(-ów) testowych *testbench* w celu weryfikacji poprawności działania zaimplementowanego modelu wraz z zamieszczonymi w niej raportami zawierającymi wyniki działania przed i po syntezie, jak również dane statystyczne dotyczące syntezy (dostarczone przez program *yosys*).

2 Realizowane przez układ operacje

Implementowany model ma zostać zaprojektowany tak, aby realizował poniżej zapisane operacje na dwóch *m-bitowych* wektorach wejściowych **A** i **B**:

- $A \gg \sim B$
Przesunięcie wektora A o $\sim B$ bitów w prawo. Jeżeli $\sim B$ jest mniejsze od zera, układ ma zgłosić błąd, a wartość wyjściowa ma zostać nieokreślona.
- $A > \sim B$
Sprawdzenie, czy zaprzeczona liczba **B** jest mniejsza od liczby **A**. Gdy warunek jest spełniony, układ ma wystawić na wyjściu liczbę dodatnią, w przeciwnym wypadku ma to być liczba równa 0.
- $\sim A[B] = 1$
Wynikiem operacji jest ustawienie bitu w liczbie $\sim A$ o index B (licząc od bitu najmniej znaczącego) ustawionym na wartość 1. Jeżeli liczba B jest mniejsza od 0 lub większa od szerokości wektora A , układ ma zgłaszać błąd.
- $ZM(A) \Rightarrow U2(A)$
Zmiana liczby **A** zapisanej w kodzie ZM na zapis w kodzie U2. Jeżeli nie można dokonać poprawnej konwersji należy zgłosić błąd, a wyjście układu ma pozostać nieokreślone.

3 Porty układu

Układ ma mieć określone porty wejściowe i wyjściowe.

- **i_op** - n-bitowe wejście określające kod operacji
- **i_arg_A** - m-bitowe wejście argumentu A
- **i_arg_B** - m-bitowe wejście argumentu B
- **i_clk** - wejście zegarowe układu
- **i_reset** - wejście resetu synchronicznego wyzwalanego stanem niskim
- **o_result** - wyjście synchroniczne z układu

Dodatkowo, jednostka arytmetyczna posiada 4-bitowe wyjście synchroniczne **o_status** informujące określonymi bitami o statusie powiązanym z wynikiem operacji:

- **bit ERROR** - sygnalizacja o tym, iż wynik operacji został określony niepoprawnie.
- **bit NOT_EVEN_0** - sygnalizuje nieparzystą liczbę zer w wyniku. Bit ten ma być ustawiany na 0 zawsze, gdy jest sygnalizowany błąd operacji.
- **bit ZEROS** - sygnalizuje, że wszystkie bity wyniku ustawione są na 0. Bit ten ma być ustawiony na 0 zawsze, gdy sygnalizowany jest błąd operacji.
- **bit OVERFLOW** - bit ten sygnalizuje, że nastąpiło przepełnienie i wynik operacji wykracza poza szerokość wektora wyjściowego.

4 Sprawozdanie z syntezy i realizacji jednostki sync_arith_unit_12

4.1