



INSTITUTO TECNOLÓGICO DE AERONÁUTICA
DIVISÃO DE CIÊNCIA DA COMPUTAÇÃO - IEC
DEPARTAMENTO DE SISTEMAS DE COMPUTAÇÃO - IEC-SC

EEA-25 - SISTEMAS DIGITAIS PROGRAMÁVEIS

LISTA DE EXERCÍCIOS Nº 2

PROF. ANDRÉ DA FONTOURA PONCHET

SÃO JOSÉ DOS CAMPOS - SP

21 DE AGOSTO DE 2023

SUMÁRIO

1	EXERCÍCIOS TEÓRICOS	2
1.1	Exercício 1 (1,0)	2
1.2	Exercício 2 (1,0)	2
1.3	Exercício 3 (1,5)	2
1.4	Exercício 4 (2,0)	2
2	EXERCÍCIO DE SIMULAÇÃO (4,5)	2

1 EXERCÍCIOS TEÓRICOS

1.1 EXERCÍCIO 1 (1,0)

Qual a finalidade do testbench no projeto de um circuito descrito em Verilog?

1.2 EXERCÍCIO 2 (1,0)

Qual revisão do Verilog tem a capacidade de listar os nomes, tipos e direções das portas apenas uma vez após o nome do módulo? Forneça um exemplo.

1.3 EXERCÍCIO 3 (1,5)

Explique a diferença entre os seguintes operadores: `&&` e `&`; `>>` e `>>>`.

1.4 EXERCÍCIO 4 (2,0)

Dada a variável binária $regx = 4'b0101$, qual o valor de $bus = \{ 2\{regx[3 : 1], \{3\{1'b0, regx[0]\}}\} \}$?

2 EXERCÍCIO DE SIMULAÇÃO (4,5)

A Figura 1 apresenta o diagrama de um driver (seguidor de tensão):

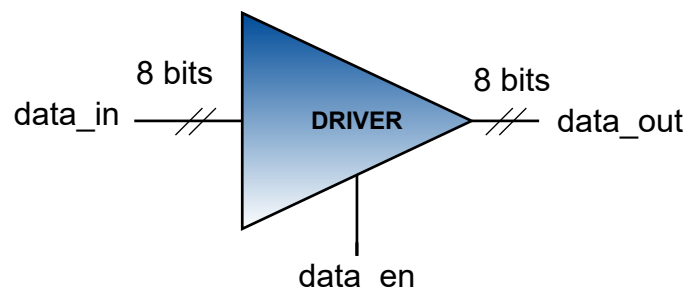
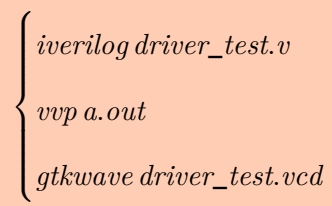


Figura 1: Diagrama do Exercício 1.

No bloco apresentado na Figura 1, a saída *data_out* é igual à entrada *data_in* quando o sinal digital *data_en* está em nível lógico alto. Quando *data_en* está em nível lógico baixo, a saída *data_out* estará no estado de alta impedância. Os sinais de entrada e de saída são parametrizados com 8 bits.

Crie um arquivo com nome *driver.v* e verifique o seu funcionamento com o testbench *driver_test.v*

Verifique o funcionamento do driver através dos seguintes comandos no terminal:


$$\left\{ \begin{array}{l} \text{iverilog driver_test.v} \\ \text{vvp a.out} \\ \text{gtkwave driver_test.vcd} \end{array} \right.$$

Apresente as capturas de tela do terminal e do *gtkwave*.