



Atividade de EEA-25

Atividade 2

Alunos

Daniel Araujo Cavassani

Marcel Versiani e Silva

Rafael Otero Litran Sato

Turma COMP 25

Professor

André da Fontura Ponchet

Instituto Tecnológico de Aeronáutica - ITA

1 Exercícios Teóricos

1.1 Exercício 1

A finalidade do testbench em um projeto de circuito descrito em Verilog é basicamente servir como um ambiente de simulação para testar o comportamento do seu circuito. Com ele, você pode aplicar uma série de estímulos aos módulos do circuito e observar as saídas correspondentes sem ter que realmente montar o circuito físico. Em outras palavras, é como um laboratório virtual onde você pode realizar todos os testes necessários para garantir que seu projeto esteja funcionando como o esperado.

1.2 Exercício 2

A revisão do Verilog que permite listar os nomes, tipos e direções das portas apenas uma vez após o nome do módulo é o Verilog-2001. No Verilog antigo, você precisava declarar essas informações em duas partes diferentes, o que poderia ser um pouco cansativo e propenso a erros.

Exemplo em Verilog-2001:

```
module exemplo(input a, output b);  
    // Seu código aqui  
endmodule
```

Neste exemplo, input a e output b são declarações de portas, e elas são feitas diretamente após o nome do módulo, tornando a coisa toda mais simples e fácil de ler.

1.3 Exercício 3

- &: Utilizado como um comparador AND bit a bit.
- &&: Utilizado como um AND lógico, retornando 1 se ambas as expressões forem verdadeiras.
- >>: Utilizado como deslocador lógico, ignorando o sinal dos operandos e preenchendo os bits mais significativos com zeros. Note que deslocamentos desse tipo permitem fazer rapidamente divisões e multiplicações por 2.
- >>>: Utilizado como deslocador aritmético, ignorando o sinal do operando da direita. Deslocamentos aritméticos para a esquerda funcionam da mesma forma que deslocamentos lógicos para a esquerda, entretanto, deslocamentos aritméticos para a direita preservam o bit de sinal do operando da esquerda.

1.4 Exercício 4

Note que $regx[3 : 1] = 010$ e $regx[0] = 1$, de modo que $\{1'b0, regx[0]\} = 01$. Assim, temos que $bus = \{2\{regx[3 : 1], \{3\{1'b0, regx[0]\}\}\}\} = 010010101010010101$.

2 Exercício de Simulação

```
ee25 — marcelversiani@Cecels — ..rograms/ee25 — -zsh — 80x28
iverilog driver_test.v at 17:36:23
vvp a.out at 17:36:27
VCD info: dumpfile driver_test.vcd opened for output.
At time 1 data_en=0 data_in=xxxxxxx data_out=zzzzzzzz
At time 2 data_en=1 data_in=01010101 data_out=01010101
At time 3 data_en=1 data_in=10101010 data_out=10101010
TEST PASSED
driver_test.v:41: $finish called at 3 (1s)
```

