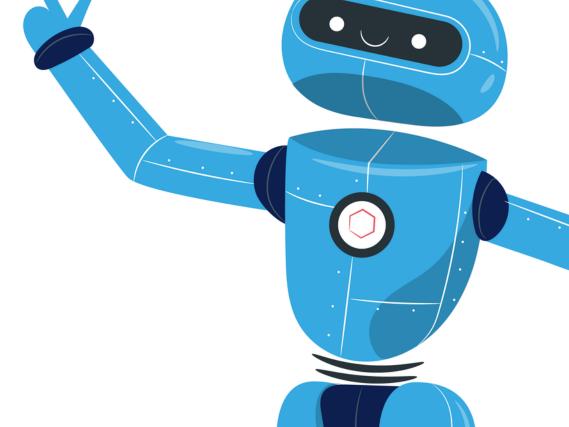
CLASE 2

SYSCFG - RCC MICROCONTROLADORES ARM



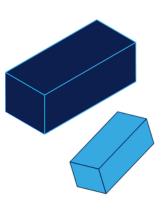












SYSCFG



STM32L4

SYSTEM CONFIGURATION CONTROLLER (SYSCFG)

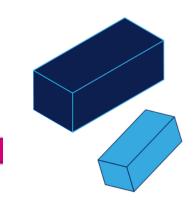
- reasignar áreas de memoria.
- Gestionar interrupciones externas GPIO.
- gestionar las características de "robustez".
- Funciones de protección de la SRAM2.
- Interrupciones del FPU
- Configuración I2C fast-mode plus



STM32L4

SYSTEM CONFIGURATION CONTROLLER (SYSCFG)

Memory Mapping



Flash memory: up to 1 Mbyte, dual bank

- FB_MODE = 0 in SYSCFG_MEMRMP:
 - Bank 1 @ 0x0800 0000 (alias 0x0000 0000)
 - Bank 2 @ 0x0808 0000
- FB_MODE = 1 in SYSCFG_MEMRMP
 - Bank 2 @ 0x0800 0000 (alias 0x0000 0000)
 - Bank 1 @ 0x0808 0000
- SRAM: 128 Kbytes split in 2 parts:
 - SRAM1: 96 Kbytes @ 2000 0000
 - SRAM2: 32 Kbytes @ 1000 0000
 - Access through D-code and I-code

0xFFFF FFFF	Reserved	
0xE010 0000	Cortex-M4 internal peripherals	
0xB000 0000	Reserved	
0xA000 0000	FMC & QUADSPI registers	
0x9000 0000	QUADSPI bank	
	FMC banks	
0x6000 0000	Peripherals	
0x4000 0000	SRAM1	
0x2000 0000	2005	
0x0000 0000	CODE	

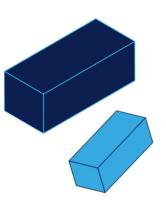
0x1FFF FFFF Reserved 0x1FFF C008 Option Bytes 0x1FFF C000 System Memory 0x1FFF 0000 Reserved 0x1000 8000 SRAM2 0x1000 0000 Reserved 0x0810 0000 Flash 0x0800 0000 Reserved 0x0010 0000 Memory type depending on 0x0000 0000 configuration



ARM



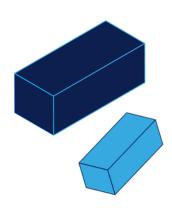




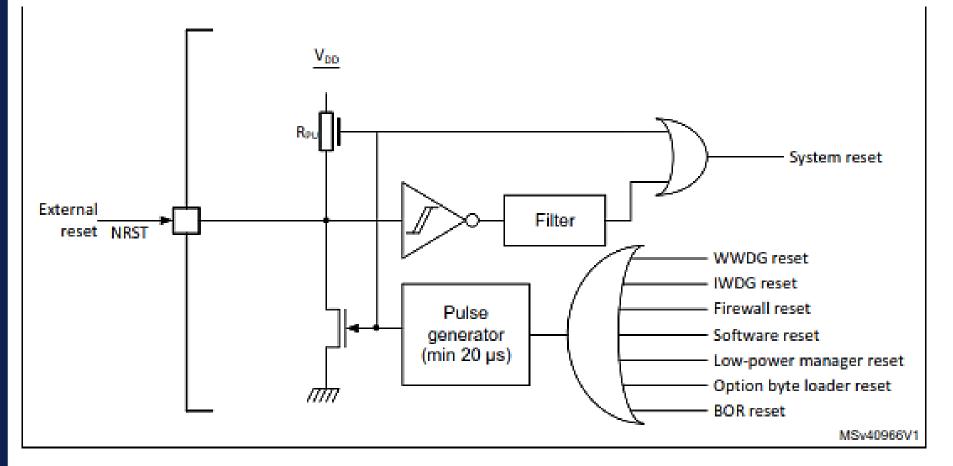
RCC



Reset and clock control (RCC) for STM32L41xxx/42xxx/43xxx/44xxx/45xxx/46xxx



SYSTEM RESET



CLOCKs

Cuatro diferentes fuentes de reloj se pueden usar para manejar el reloj del sistema (SYSCLK):

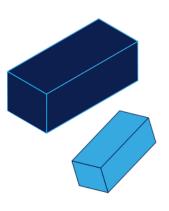
- HSI16 16 MHz RC oscillator clock
- MSI (multispeed internal) RC oscillator clock
- HSE oscillator clock, from 4 to 48 MHz
- PLL clock

También se cuenta con relojes secundarias:

- LSI RC (32Khz)
- LSE (32.768Khz)

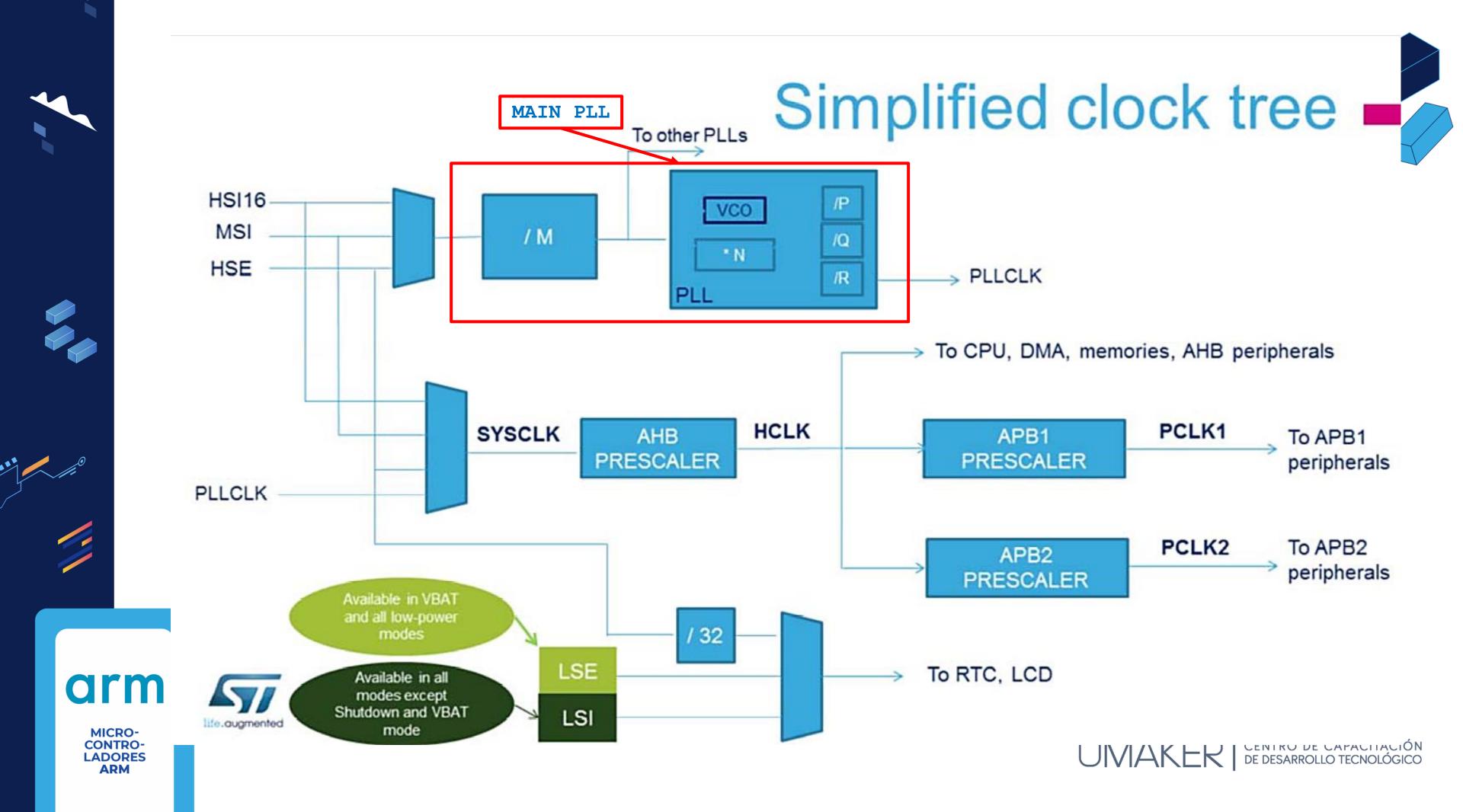






TIPOS DE CLOCK EN MCU



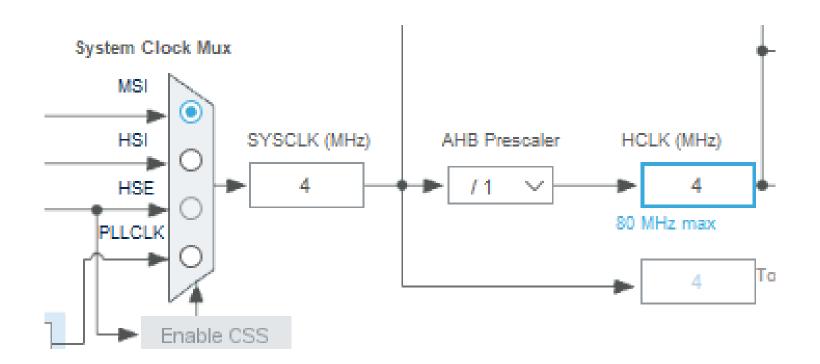


ESTADOS DEL CLOCK POR DEFECTO

Después del reset del MCU:

• MSI está encendido, HSI16, HSE, PLL, LSE y LSI están apagados.

SYSCLK proviene de MSI -> SYSCLK = 4MHz





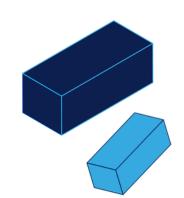


HSI16

- Se genera a partir de un oscilador RC interno de 16 MHz
- Bajo coste.
- Tiempo de inicio más rápido que el oscilador de cristal HSE.
- Menos precisa que el oscilador externo HSE.

Symbol	Parameter	Conditions	Min	Min Typ		Unit	
f _{HSI16}	HSI16 Frequency	V _{DD} =3.0 V, T _A =30 °C	15.88	-	16.08	MHz	
TRIM	HSI16 user trimming step	Trimming code is not a multiple of 64	0.2	0.3	0.4	- %	
		Trimming code is a multiple of 64	-4	-6	-8		
DuCy(HSI16) ⁽²⁾	Duty Cycle	_	45	-	55	%	
Δ _{Temp} (HSI16)	HSI16 oscillator frequency drift over temperature	T _A = 0 to 85 °C	-1	-	1	%	
		T _A = -40 to 125 °C	-2	-	1.5	%	
Δ _{VDD} (HSI16)	HSI16 oscillator frequency drift over V _{DD}	V _{DD} =1.62 V to 3.6 V	-0.1	-	0.05	%	
t _{su} (HSI16) ⁽²⁾	HSI16 oscillator start-up time	_	-	0.8	1.2	μs	
t _{stab} (HSI16) ⁽²⁾	HSI16 oscillator stabilization time	-	-	3	5	μs	
I _{DD} (HSI16) ⁽²⁾	HSI16 oscillator power consumption	_	_	155	190	μА	







HSI16

CALIBRACION

Es calibrado en fabrica por ST para una precisión del 1% a $T_A=25^{\circ}C$



- Si la aplicación está sujeta a **variaciones de voltaje o temperatura**, Se puede recortar la frecuencia HSI en la aplicación utilizando los bits **HSITRIM[4:0]** (RCC ICSCR)
- El bit HSIRDY (RCC CR) indica si el HSI es estable o no.
- El HSI16 se puede encender y apagar usando el bit HSION (RCC_CR)





MSI

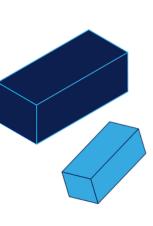
- Es generado por un oscilador interno RC.
- El rango (100KHz-48MHz) de frecuencia puede ser manejado usando los bits MSIRANGE[3:0] en el registro de control (RCC_CR).
- El reloj MSI es usado por defecto después del reset, wakeup de los modos de bajo consumo Standby y Shutdown. Después del reset MSI = 4MHz.
- Puede ser seleccionado como reloj del sistema después del wakeup del modo stop.
- Puede ser usado como backup si en caso el HSE falla.

CALIBRACION

- Hardware auto calibration with LSE (PLL-mode)
- Software calibration (Internal clock sources calibration register (RCC_ICSCR))

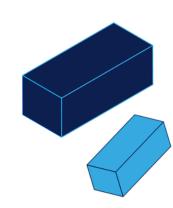






MSI

Symbol	Parameter	Conditions		Min	Тур	Max	Unit
			Range 0	98.7	100	101.3	kHz
			Range 1	197.4	200	202.6	
			Range 2	394.8	400	405.2	
			Range 3	789.6	800	810.4	
			Range 4	0.987	1	1.013	
	MOI	Range 5	1.974	2	2.026		
		MSI mode	Range 6	3.948	4	4.052	- 1
			Range 7	7.896	8	8.104	
			Range 8	15.79	16	16.21	
			Range 9	23.69	24	24.31	
	MSI frequency after factory calibration, done at V _{DD} =3 V and T _A =30 °C		Range 10	31.58	32	32.42	
			Range 11	47.38	48	48.62	
MSI			Range 0	-	98.304	-	kHz
			Range 1	-	196.608	-	
		Range 2	-	393.216	-	NIZ	
		Range 3	-	786.432	-		
	1 1	PLL mode	Range 4	-	1.016	-	
			Range 5	-	1.999	-	
	32.768 kHz	Range 6	-	3.998	-		
			Range 7	-	7.995	-	MHz
			Range 8	-	15.991	-	
			Range 9	-	23.986	-	
			Range 10	-	32.014	-	
		Range 11	-	48.005	-		
(2)	MSI oscillator		T _A = -0 to 85 °C	-3.5	-	3	
Δ _{TEMP} (MSI) ⁽²⁾	frequency drift over temperature	MSI mode	T _A = -40 to 125 °C	-8	-	6	%







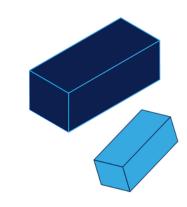
HSE

Puede ser generado por dos fuentes:

- Resonador de cerámica/cristal externo HSE.
- Reloj de usuario externo HSE (BYPASS)

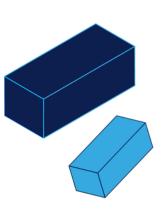
	Hardware configuration		
External clock	OSC_OUT (HI-Z) External source		
Crystal/ceramic resonators	OSC_IN OSC_OUT CL1 Coad capacitors		

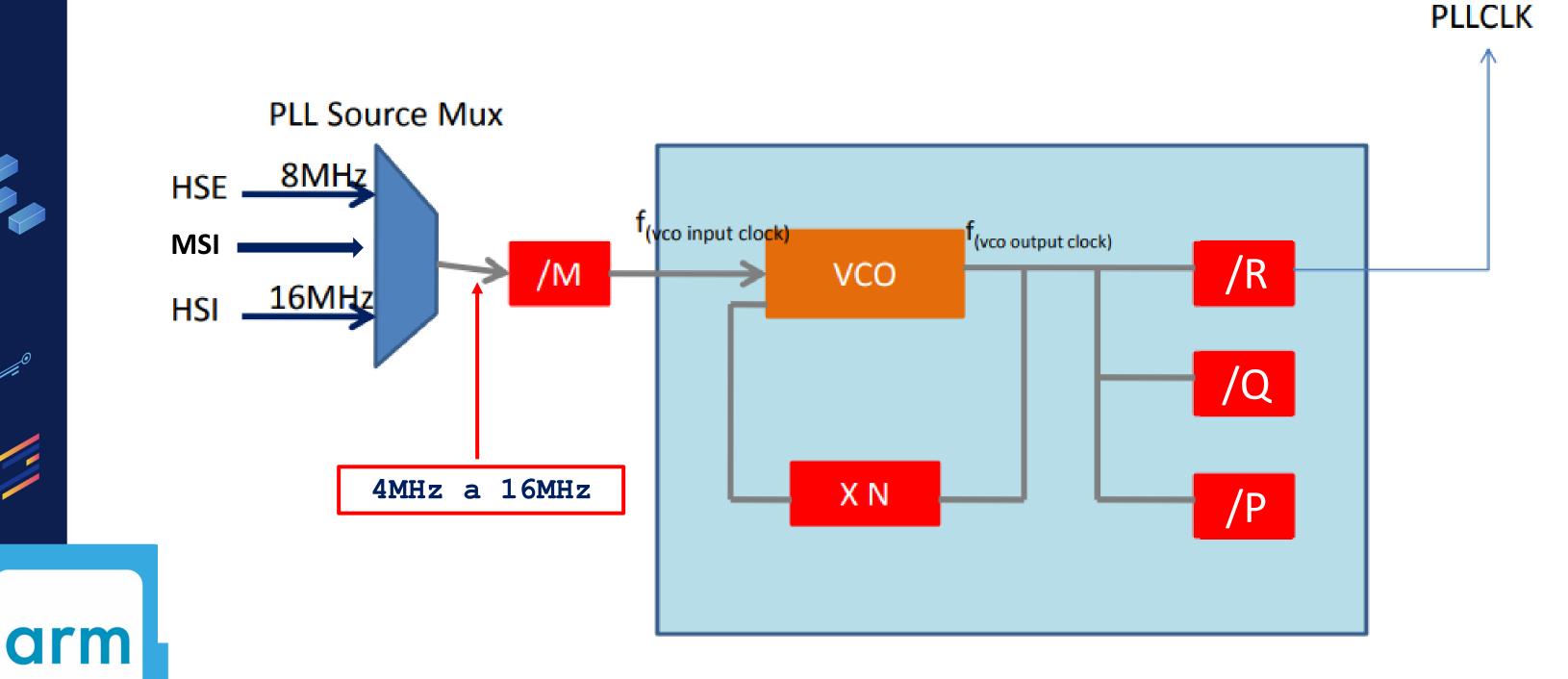






El motor PLL del MCU se utiliza para generar diferentes relojes de salida de alta frecuencia tomando fuentes de reloj de entrada como HSE o HSI.

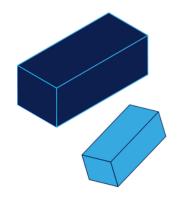


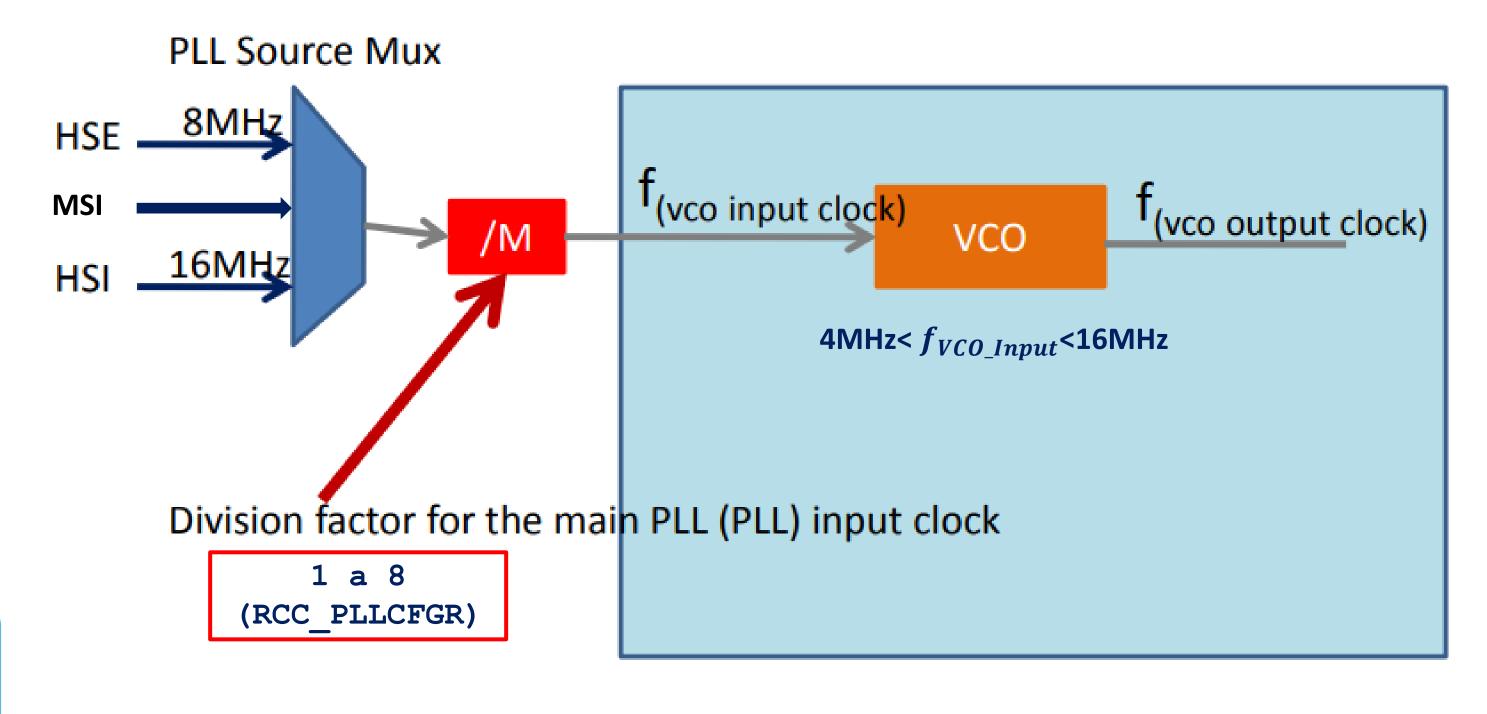


MICRO-CONTRO-LADORES ARM



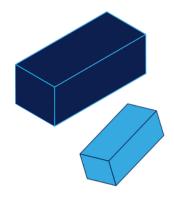
CONIFGURACION

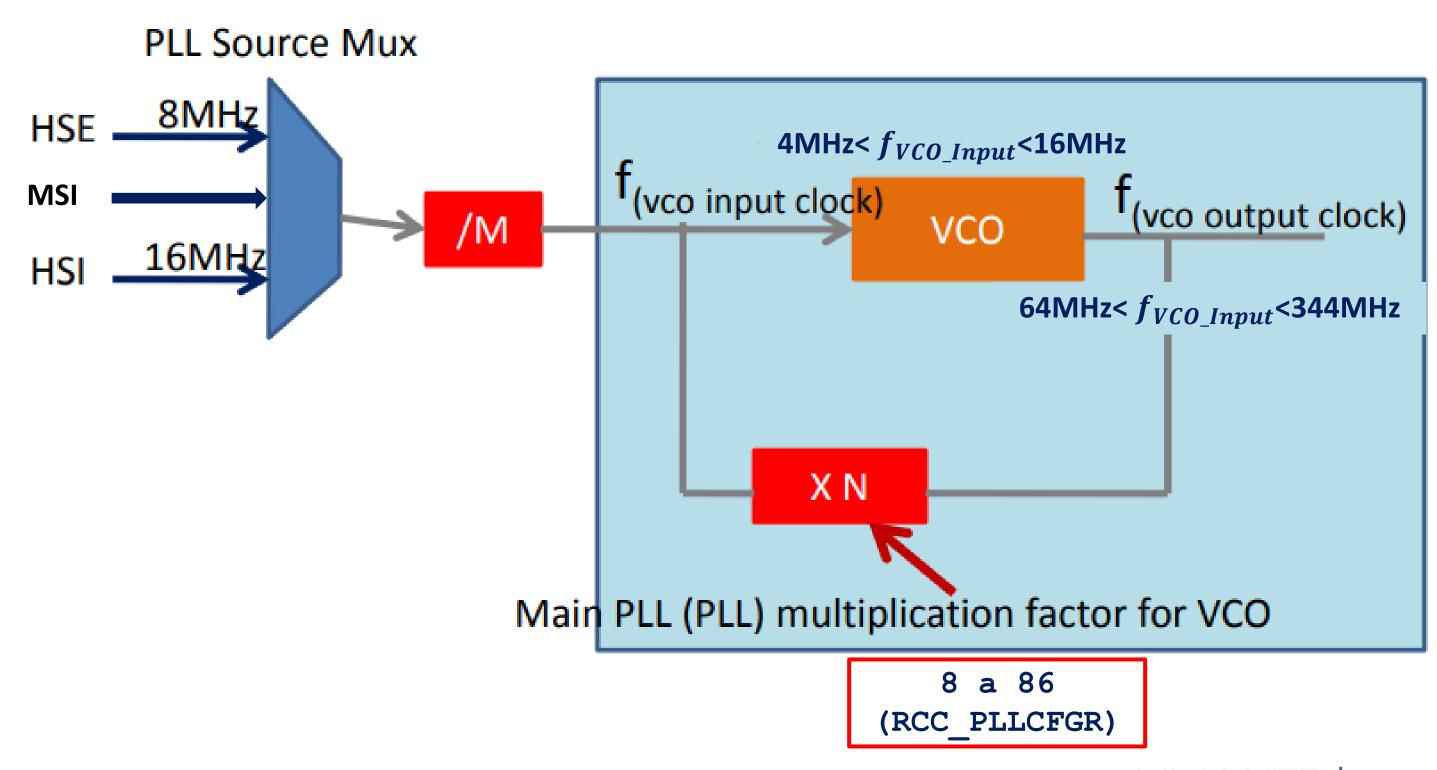






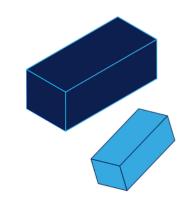
CONIFGURACION











$$f_{\text{(vco output clock)}} = \left(\frac{f_{\text{(vco input clock)}}}{PLLM}\right) PLLN$$

$$f_{ ext{(PLL general clock output)}} = rac{f_{ ext{(vco clock)}}}{PLLP}$$

$$f_{\text{(USB OTG FS, SDIO, RNG clock output)}} = \frac{J_{\text{(vco clock)}}}{PLLQ}$$



PLL (Phase Locked Loop) → PLLCLK 80MHz<= **PLL Source Mux** 8MHz HSE _ f_(vco input clock) T(vco output clock) MSI 2,4,6 y 8 /M **VCO** /R (RCC_PLLCFGR) 16MHz 7 a 17 (RCC_PLLCFGR) X N7 a 17 (RCC_PLLCFGR)

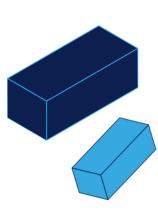


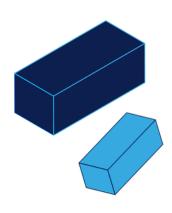
CONFIGURACION

- 1. Desactivar el PLL estableciendo el bit **PLLON** a cero en el registro **RCC CR**.
- 2. Esperar hasta que el bit **PLLRDY** es limpiado.
- 3. Cambiar los parámetros deseados en el registro RCC_PLLCFGR.
- 4. Activar el PLL estableciendo el bit **PLLON** a 1.
- 5. Habilitar el la salida PLL estableciendo los bits **PLLPEN, PLLQEN** y **PLLREN** en
 - el registro RCC PLLCFGR









CONFIGURACION DEL RCC

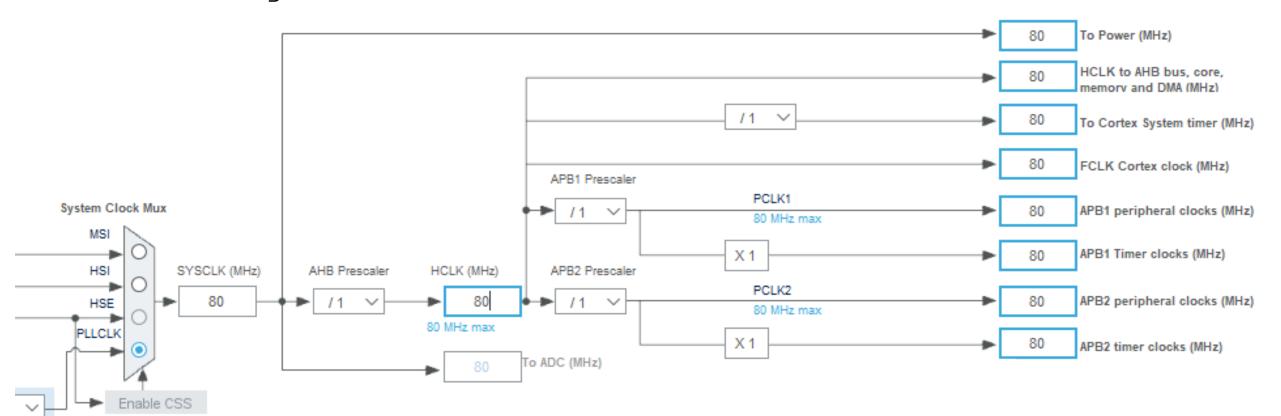




METODOS PARA CONFIGURAR LA FUENTE DEL SYSCLK

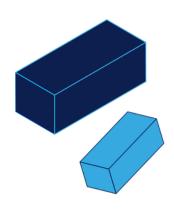


- Si la aplicación requiere PLL, configurar el PLL y habilitarlo.
- Inicializar los prescalers del CPU, y de los buses AHP, APB de acuerdo a los requerimientos necesarios.
- Configurar la latencia del flash.
- Seleccionar el reloj habilitado como fuente del SYSCLK.



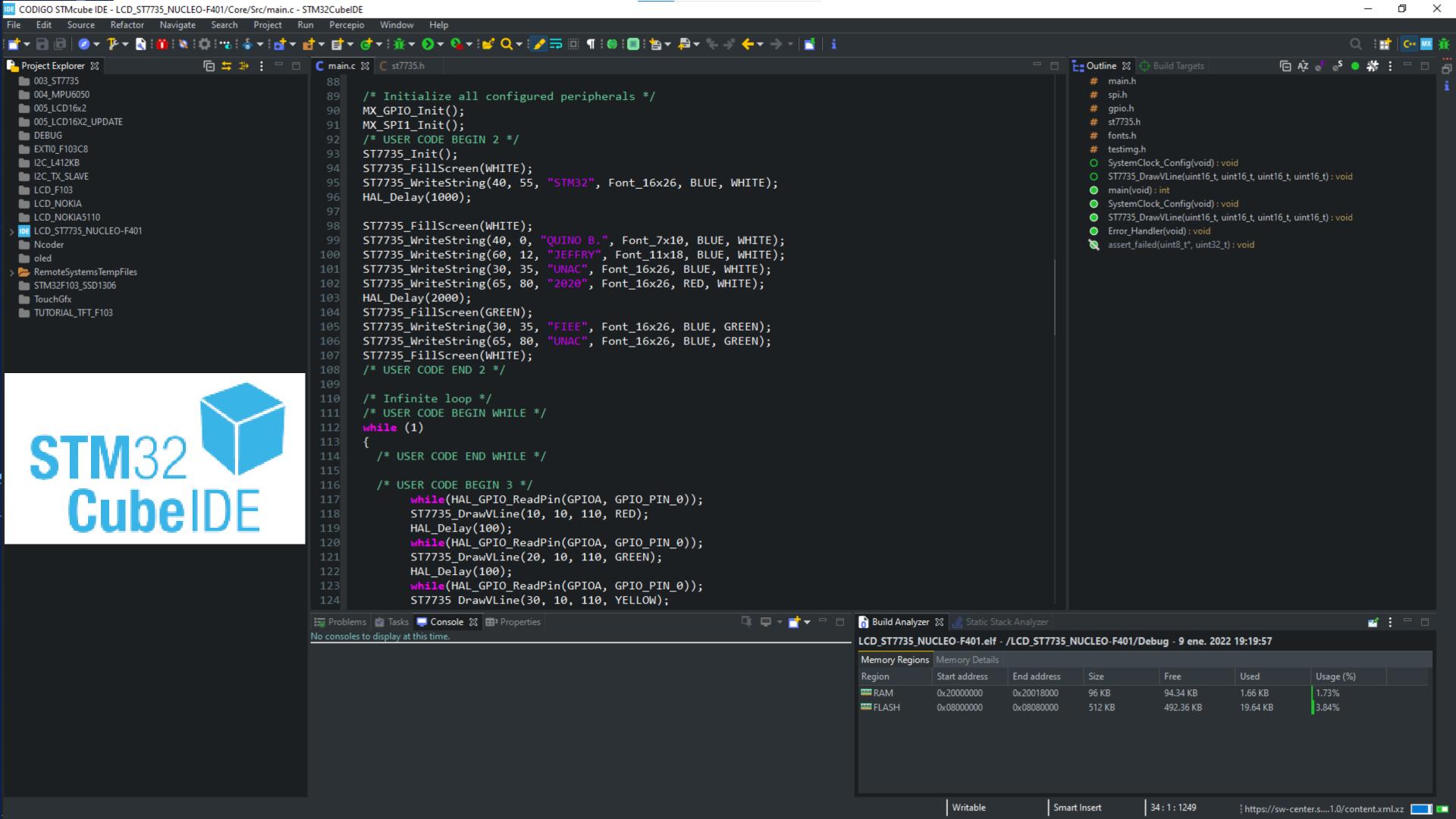




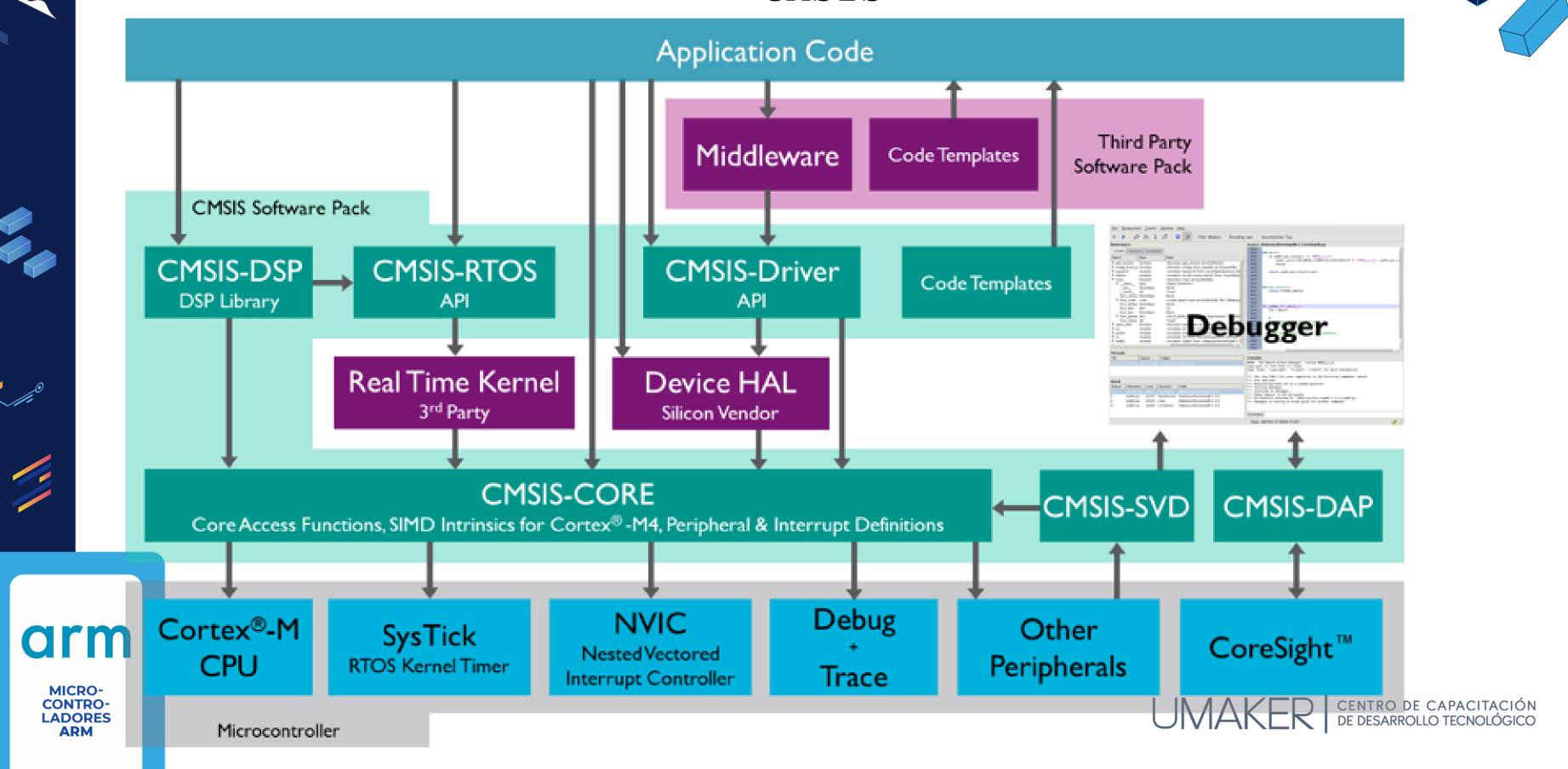


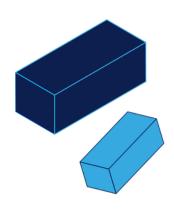
ENTORNO DE DESAROLLO





CORTEX MICROCONTROLLER SOFTWARE INTERFACE STANDARD CMSIS





MI PRIMER PROYECTO EN STM32CubeIDE



UVAKER CENTRO DE CAPACITACIÓN DE DESARROLLO TECNOLÓGICO