

Міністерство освіти і науки України
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»



Звіт

З лабораторної роботи № 1

З дисципліни « **МОДЕЛЮВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ** »
На тему: « Інсталяція та ознайомлення з середовищем розробки Xilinx ISE
» Варіант 16

Виконав: ст. гр. КІ-201
Нескромний Д.П.

Прийняв:
Козак Н.Б.

Львів

2023

Мета роботи: Побудувати дешифратор 3->7 за допомогою ISE WebPACK Schematic Capture та моделювання його роботи за допомогою симулятора ISim.

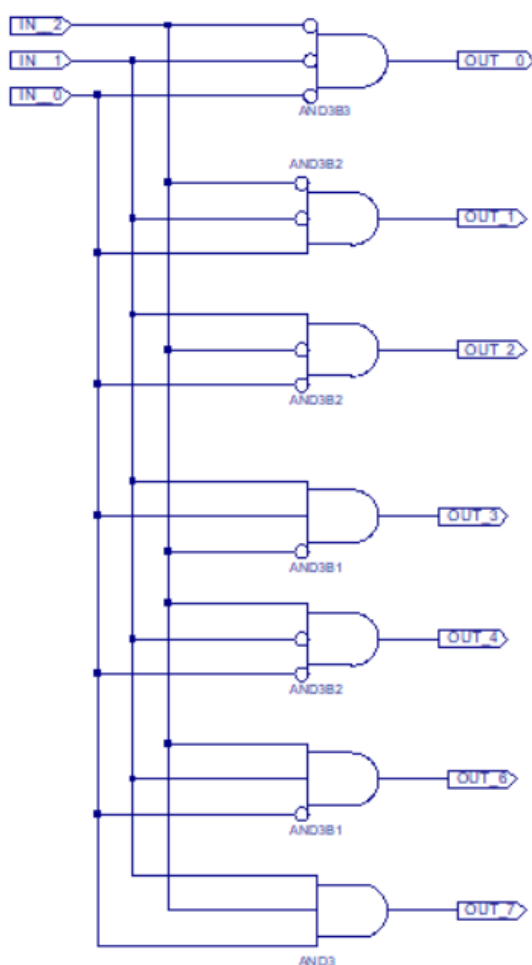
Завдання:

1. Створення облікового запису на www.xilinx.com
2. Інсталяція Xilinx ISE та отримання ліцензії.
3. Побудова пристрою «3 в 7» за допомогою ISE Webpack Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
4. Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Хід роботи

1. Використовуючи компоненти з бібліотеки, реалізую схему згідно із завданням.

Схема дешифратора 3->7 на логічних елементах бібліотеки Xilinx ISE.



2.Додав до проекту User Constraint файл та призначив виводам схеми виводи цільової FPGA

```
#####
#####
#                                LED
#####

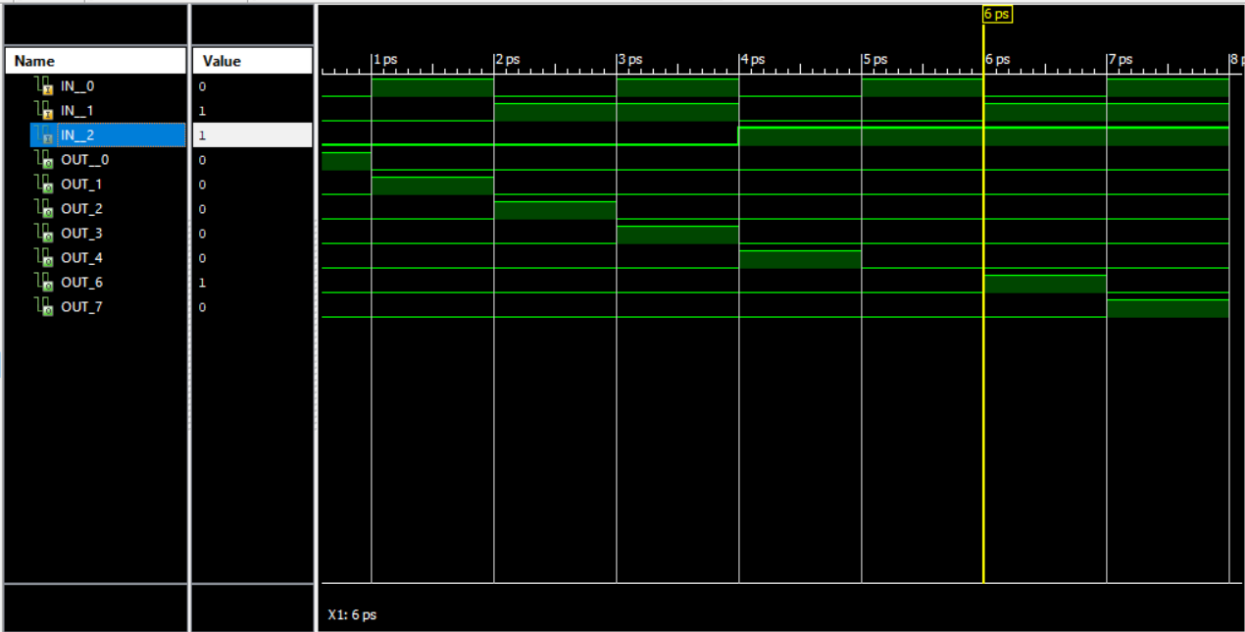
NET "OUT_0"          LOC = P46  | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_1"          LOC = P47  | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_2"          LOC = P48  | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_3"          LOC = P49  | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_4"          LOC = P50  | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_6"          LOC = P51  | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_7"          LOC = P54  | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "LED[7]"        LOC = P55  | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#####
#                                DP Switches
#####

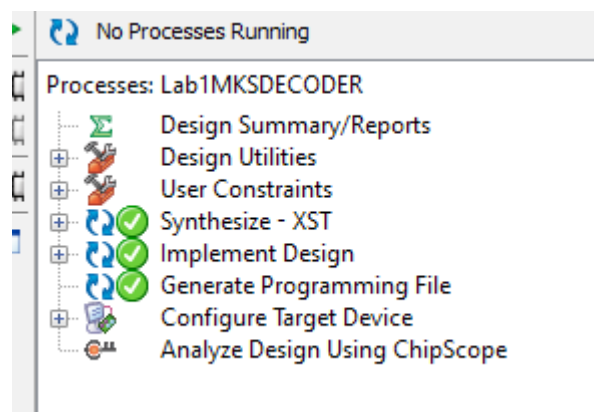
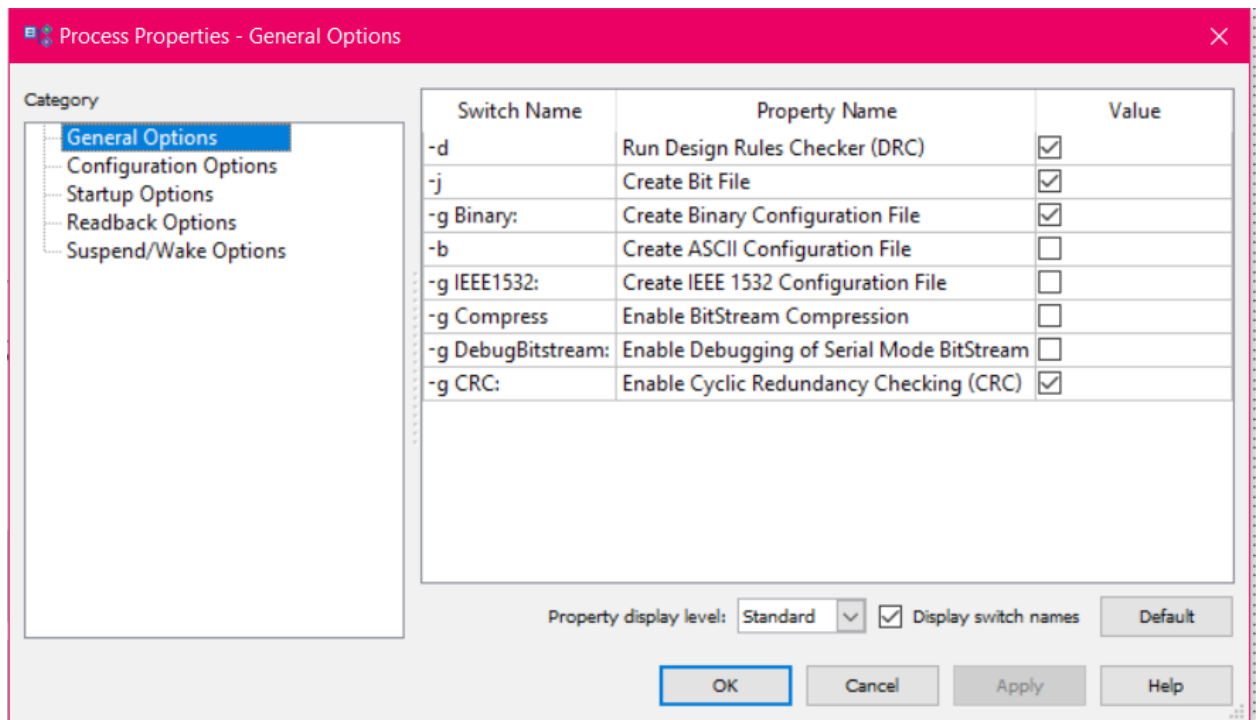
NET "IN_0"           LOC = P70  | PULLUP   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_1"           LOC = P69  | PULLUP   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_2"           LOC = P68  | PULLUP   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[3]"  LOC = P64  | PULLUP   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[4]"  LOC = P63  | PULLUP   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[5]"   LOC = P60  | PULLUP   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[6]"   LOC = P59  | PULLUP   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[7]"   LOC = P58  | PULLUP   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#####
#                                Switches
#####
```

3.Для кожного вхідного сигналу викликаю контекстне меню і встановлюю значення (0 або 1). Проводжу симуляцію роботи схеми для наборів вхідних значень. В результаті отримую певну діаграму.

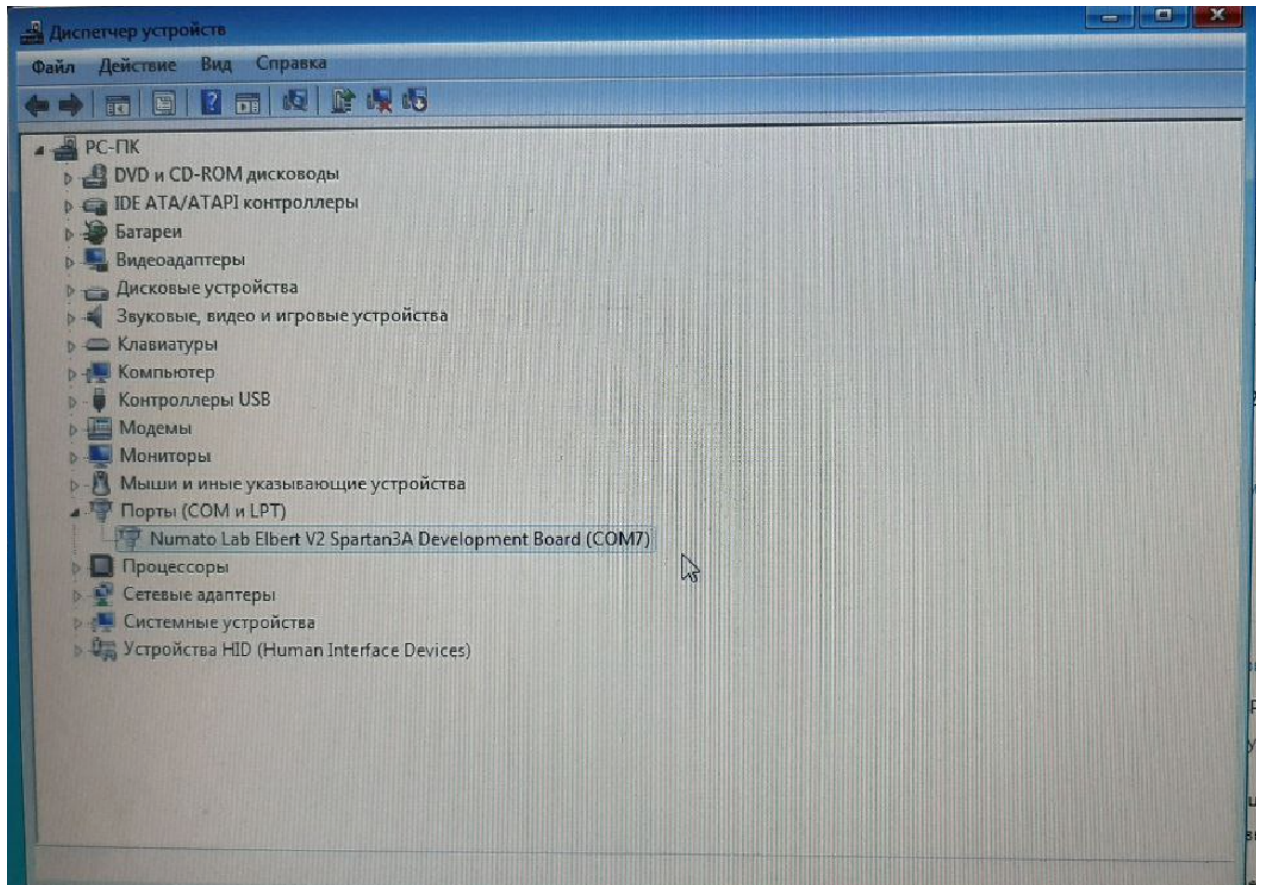


4. У параметрах процесу Generate Programming File активував опцію Create Binary Configuration File, послідовно запустив процеси Synthesize-XST, Implement Design, Generate Programming File та переконався, що вони виконалися успішно.

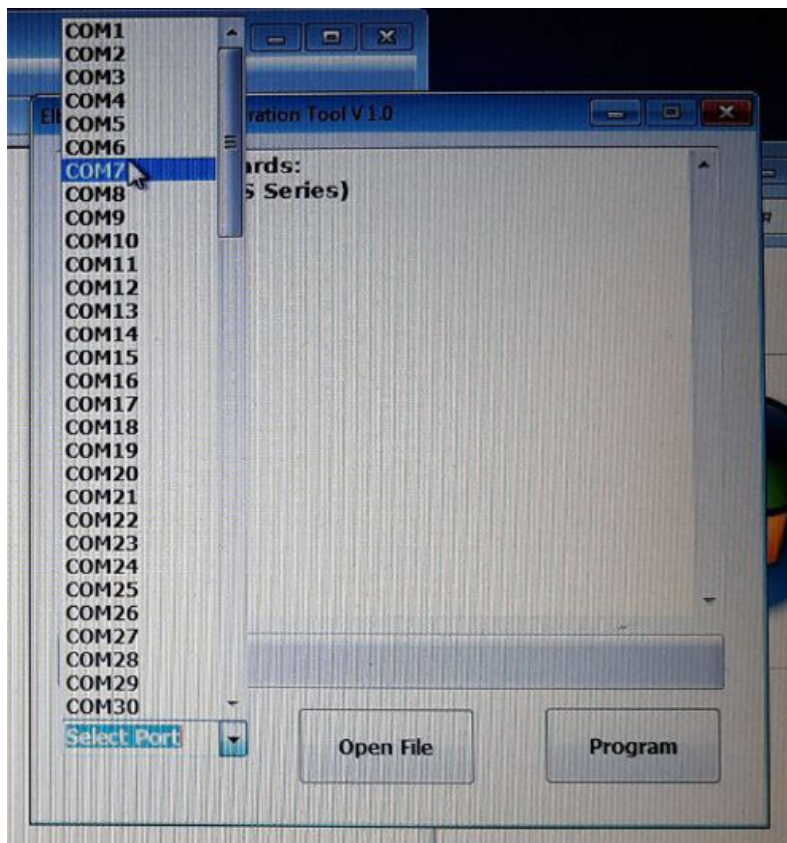


5. Запрограмував лабораторний стенд отриманим файлом:

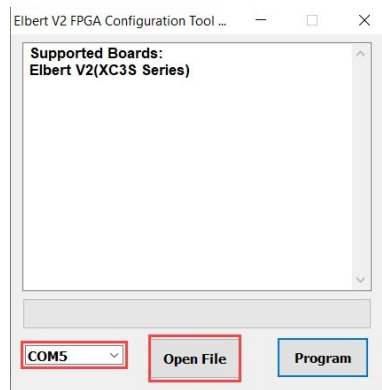
- Запустив утиліту ElbertV2Config.exe.
- Визначив за допомогою диспетчера пристроїв COM порт який використовується для підключення лабораторного стенда.



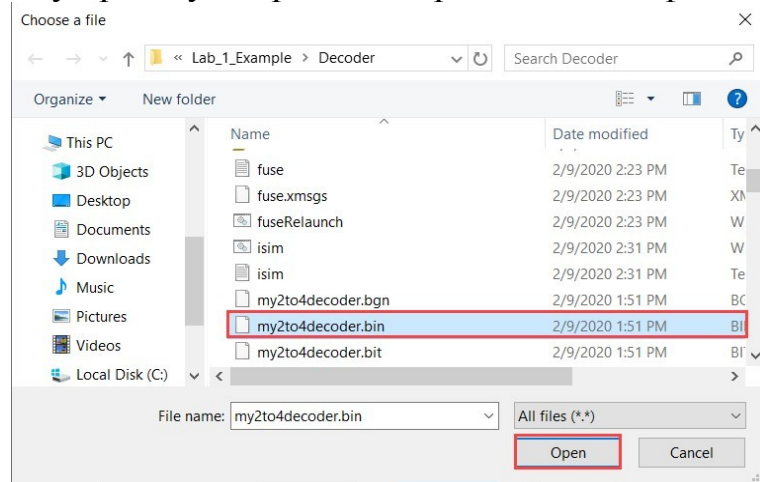
Встановив номер COM порта який використовується для підключення лабораторного стенда.



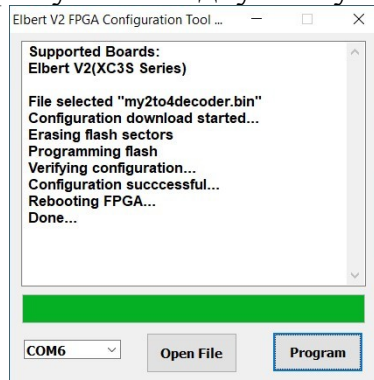
Натиснув кнопку Open File.



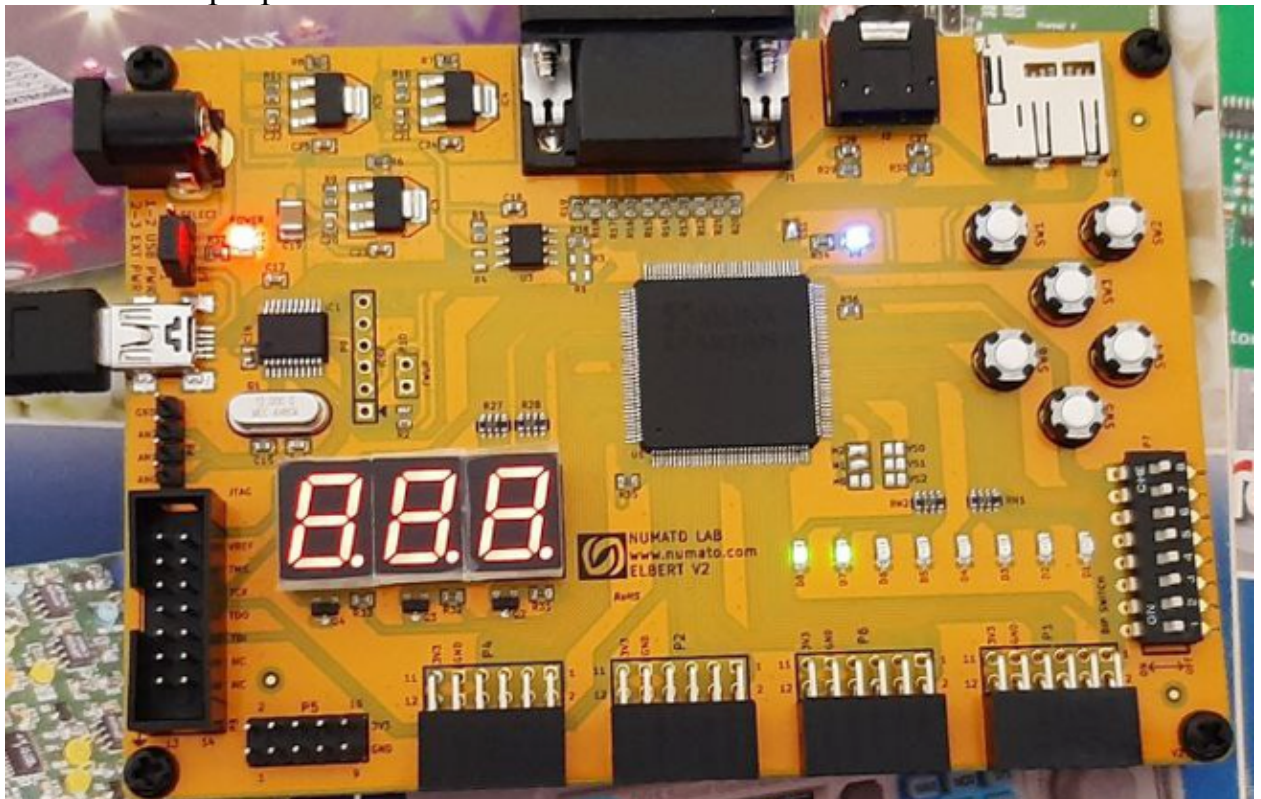
Перейшов в папку проекту вибрати згенерований .BIN файл і натиснув Open



Натиснув Program. Дочекавшись закінчення процесу переконався що програмування відбулось успішно.



Виконання програми на платі.



Висновок: під час виконання даної лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE, стендом Elbert V2 - Spartan 3A FPGA, реалізував схему дешифратора 3 на 7 та провів моделювання його роботи в симуляторі Isim та згенерував файли прошивки.