

Arhitectura Calculatoarelor

Oprîtoiu Flavius
flavius.opritoiu@cs.upt.ro

4 Decembrie 2024
11 Decembrie 2024
18 Decembrie 2024

Cap. 4 Analiza Funcțională și Sinteza Dispozitivelor de Înmulțire Binară

4.1 - Metode de înmulțire

Un înmulțitor calculează produsul $P = X \cdot Y$, unde

- ▶ operandul X se numește înmulțitor,
- ▶ operandul Y se numește deînmulțit

Se consideră operanzii fără semn X și Y , pe 4 biți:

$$X = 11_{(10)} = 1011_{(2)}$$

$$Y = 12_{(10)} = 1100_{(2)}$$

4.1 - Metode de înmulțire (contin.)

Ⓐ: Paper and pencil

$$\begin{array}{r}
 \begin{array}{cccccccc}
 & & & & 1 & 1 & 0 & 0 & \text{-----} & Y \\
 & & & & 1 & 0 & 1 & 1 & = x_3 x_2 x_1 x_0 & \text{---} & X
 \end{array} \\
 \hline
 \begin{array}{cccccccc}
 & & & & 1 & 1 & 0 & 0 & \text{-----} & x_0 Y 2^0 \\
 & & & 1 & 1 & 0 & 0 & \text{-----} & x_1 Y 2^1 \\
 & & 0 & 0 & 0 & 0 & \text{-----} & x_2 Y 2^2 \\
 & 1 & 1 & 0 & 0 & \text{-----} & x_3 Y 2^3
 \end{array}
 \begin{array}{c} \\ \\ \\ \\ \hline
 \end{array}
 \begin{array}{c} \\ \\ \\ \\ + \\ \\ \\ \\
 \end{array}
 \end{array}$$

$$\begin{array}{cccccccc}
 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & \text{---} & P = \sum_{i=0}^3 x_i Y 2^i = 132
 \end{array}$$

Investiție hardware:

- ▶ 2 registre pe 4 biți pentru X și Y
- ▶ sumator multi-operand
- ▶ "gating"-ul de înmulțitului

4.1 - Metode de înmulțire (contin.)

(B): Păstrarea fixă a produselor parțiale

	1	1	0	0	-----	Y					
	1	0	1	1	$= x_3 x_2 x_1 x_0$	---	X				
0	0	0	0	0	0	0	0	0	-----	$P_0 := 0$	
	1	1	0	0	-----	$x_0 Y 2^0$					+
0	0	0	0	1	1	0	0	0	-----	$P_1 := P_0 + x_0 Y 2^0$	
	1	1	0	0	-----	$x_1 Y 2^1$					+
0	0	1	0	0	1	0	0	0	-----	$P_2 := P_1 + x_1 Y 2^1$	
	0	0	0	0	-----	$x_2 Y 2^2$					+
0	0	1	0	0	1	0	0	0	-----	$P_3 := P_2 + x_2 Y 2^2$	
	1	1	0	0	-----	$x_3 Y 2^3$					+
1	0	0	0	0	1	0	0	0	-----	$P_4 := P_3 + x_3 Y 2^3 = P$	

4.1 - Metode de înmulțire (contin.)

ⓑ: Păstrarea fixă a produselor parțiale (continuare)

Înmulțirea este realizată printr-o secvență de pași, cu pasul de iterație:

$$P_{i+1} = P_i + x_i \cdot Y \cdot 2^i, \text{ pentru } i \geq 0, P_0 := 0$$

P_i este un produs parțial și expresia $x_i \cdot Y \cdot 2^i$ este un produs de 1 bit.

Investiție hardware:

- ▶ 2 registre de 4 biți pentru X și Y
- ▶ registru de 8 biți pentru produsele parțiale
- ▶ sumator pe 8 biți
- ▶ mecanism de aliniere a produselor de 1 bit

4.1 - Metode de înmulțire (contin.)

Ⓒ: Păstrarea fixă a produselor de 1 bit

	1	1	0	0	-----	Y					
	1	0	1	1	$= x_3x_2x_1x_0$	---	X				
0000	0	0	0	0	-----	$P_0 := 0$	+				
	1	1	0	0	-----	x_0Y					
0000	1	1	0	0	-----	$P_0 := P_0 + x_0Y$	+				
000	0	1	1	0	0	-----		$P_1 := P_0 \cdot 2^{-1}$			
	1	1	0	0	-----	x_1Y	+				
001	0	0	1	0	0	-----		$P_1 := P_1 + x_1Y$			
00	1	0	0	1	0	0	-----	+			
	0	0	0	0	-----	x_2Y					
00	1	0	0	1	0	0	-----	+			
0	0	1	0	0	1	0	0		-----	$P_3 := P_2 \cdot 2^{-1}$	
	1	1	0	0	-----	x_3Y	+				
1	0	0	0	0	1	0		0	-----	$P_3 := P_3 + x_3Y$	
	1	0	0	0	0	1	0	0	--	$P_4 := P_3 \cdot 2^{-1}$	$= P$

4.1 - Metode de înmulțire (contin.)

Ⓒ: Păstrarea fixă a produselor de 1 bit (continuare)

Înmulțirea este realizată printr-o secvență de pași, cu pasul de iterație:

$$\begin{cases} P_i = P_i + x_i \cdot Y \\ P_{i+1} = P_i \cdot 2^{-1} \end{cases}, \text{ pentru } i \geq 0, P_0 := 0$$

Investiție hardware:

- ▶ 2 registre de 4 biți pentru X și Y
- ▶ registru de 8 biți pentru produsele parțiale cu facilități de deplasare la dreapta
- ▶ sumator pe 4 biți

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire

Fie X și Y 2 numere fracționare, pe 8 biți, reprezentate în S.-M.

$$\begin{array}{rcccccccc} X & = & x_7 & . & x_6 & x_5 & x_4 & x_3 & x_2 & x_1 & x_0 \\ Y & = & y_7 & . & y_6 & y_5 & y_4 & y_3 & y_2 & y_1 & y_0 \\ & & \underbrace{}_{\text{semn}} & & \underbrace{}_{2^{-1}} & \underbrace{}_{2^{-2}} & \underbrace{}_{2^{-3}} & \underbrace{}_{2^{-4}} & \underbrace{}_{2^{-5}} & \underbrace{}_{2^{-6}} & \underbrace{}_{2^{-7}} \end{array}$$

←————— ponderi —————→

Produsul $P = X \cdot Y$ este un număr fracționar în SM, pe 16 biți

$$P = p_{15} . p_{14} p_{13} \cdots p_2 p_1 p_0$$

- ▶ Most Significant Bit (MSB) este semnul: $p_{15} = x_7 \oplus y_7$
- ▶ părțile de magnitudine ale operandilor au 7 biți \Rightarrow magnitudinea produsului va avea 14 biți: $p_{14}, p_{13}, \dots, p_1$
- ▶ al 16-lea bit este p_0 și are valoarea 0

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire (contin.)

multiplier 2

declare register $A[7 : 0]$, $Q[7 : 0]$, $M[7 : 0]$, $COUNT[2 : 0]$;

declare bus $INBUS[7 : 0]$, $OUTBUS[7 : 0]$;

BEGIN : $A := 0$, $COUNT := 0$, } \leftarrow -----{ c_0

INPUT : $M := INBUS$; }
 $Q := INBUS$; \leftarrow -----{ c_1

TEST1 : if $Q[0] = 0$ then go to *RSHIFT*,

ADD : $A[7 : 0] := A[6 : 0] + M[6 : 0]$; \leftarrow -----{ c_2

RSHIFT : $A[7] := 0$, $A[6 : 0].Q := A.Q[7 : 1]$, }
INCR. : $COUNT := COUNT + 1$; } \leftarrow -----{ c_3

TEST2 : if $COUNT \neq 1$ then go to *TEST1*,

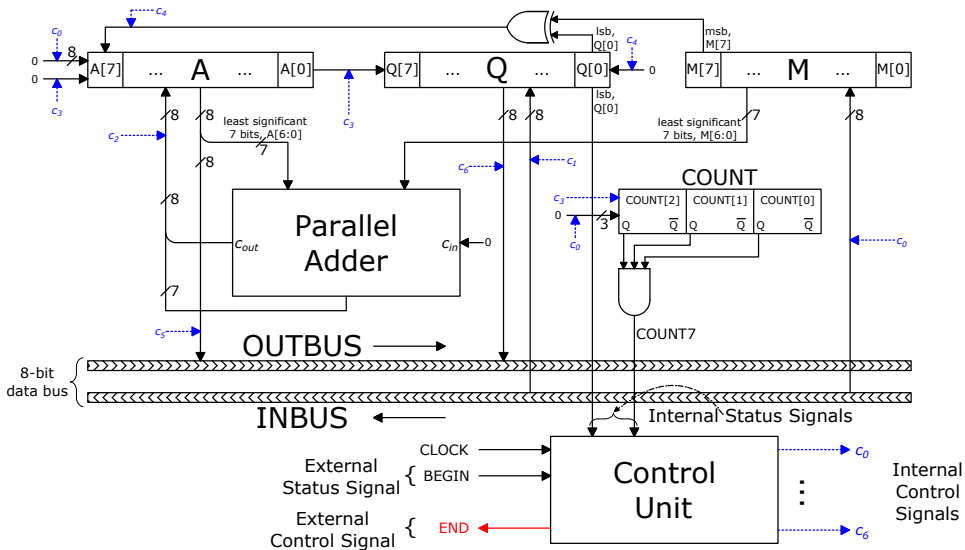
SIGN : $A[7] := Q[0]$ exor $M[7]$, $Q[0] := 0$; \leftarrow -----{ c_4

OUTPUT : $OUTBUS := A$; \leftarrow -----{ c_5

$OUTBUS := Q$; \leftarrow -----{ c_6

END : ----- \rightarrow { *END*}

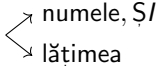
4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire (contin.)



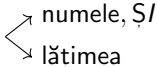
4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărime (contin.)

Pseudolimbajul folosit de algoritm:


1. declare registers

- ▶ definește regiștri; specifică  numele, S/
lățimea
- ▶ operatorul de concatenare: •; ex. $A[6 : 0].Q := A.Q[7 : 1]$

2. declare bus

- ▶ definește magistrale specificând  numele, S/
lățimea

3. Execuție sincronă:

- 
- operații non-conflictuale: executate concurent, separate prin 9
 - operații secvențiale: executate secvențial, separate prin 9

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire (contin.)

Pseudolimbajul folosit de algoritm (continuare):

4. Operatorul de atribuire este $\boxed{\text{:=}}$ și este folosit pentru încărcarea de valori binare în regiștri sau magistrale
- ▶ exor indică o operație cablată: în $A[7] := Q[0] \text{ exor } M[7]$ este implementată printr-o poartă EXOR

5. Controlul fluxului de execuție:

↙ sald necondiționat: go to *TEST1*

↘ salt condiționat: if $Q[0] = 0$ then go to *RSHIFT*

6. Citire/scriere simultană din/în registre:

$$A[7] := Q[0] \text{ exor } M[7], Q[0] := 0$$

- ▶ bit-ul $Q[0]$ este atât citit cât și scris în același ciclu de ceas

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire (contin.)

Elementele platformei HW:

- ▶ acumulatorul A : este folosit pentru adunarea produselor de 1-bit la produsul parțial; are facilități de deplasare la dreapta; stochează biții mai semnificativi ai produselor parțiale
- ▶ registrul înmulțitor Q : încărcat, inițial, cu înmulțitorul X ; are facilități de deplasare la dreapta (numele Q provine de la platforma HW specifică împărțirii binare)
- ▶ registrul deînmulțit M : stochează deînmulțitul Y ;
- ▶ sumatorul paralel: pe 7 biți; utilizat pentru adunarea produselor de 1-bit la produsul parțial
- ▶ contorul $COUNT$: păstrează evidența numărului de iterații executate
- ▶ unitatea de control generează semnalele de control (c_0, \dots, c_6 , **END**) în secvența corectă de execuție a algoritmului

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărimă (contin.)

Algoritmul folosește metoda a 3-a de înmulțire (păstrarea fixă a produselor de 1-bit):

$$\begin{cases} P_i = P_i + x_i \cdot Y & \longrightarrow \text{etichetele TEST1 și ADD} \\ P_{i+1} = P_i \cdot 2^{-1} & \longrightarrow \text{eticheta RSHIFT} \end{cases}$$

Produsele parțiale:

- ▶ până la setarea semnului rezultatului, (eticheta **SIGN**), toate produsele parțiale sunt pozitive, reprezentate în S.-M., independent de semnele operanzilor
- ▶ la începutul algoritmului, P_0 ocupă registrul A ($P_0 := 0$)
- ▶ după prima iterație, P_1 ocupă întreg registrul A și MSB-ul lui Q (P_1 este în $A[7 : 0].Q[7]$)
- ▶ după a doua iterație, P_2 ocupă întreg A -ul și primii 2 MSBs ai lui Q (P_2 este în $A[7 : 0].Q[7 : 6]$)
- ▶ în general, P_{i+1} ocupă un bit suplimentar în Q la fiecare nouă iterație; aceasta se petrece la eticheta **RSHIFT**, unde A concatenat cu Q este deplasat la dreapta

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire (contin.)

În fiecare iterație, registrul Q este deplasat la dreapta:

- ▶ la începutul algoritmului, $Q[0]$ conține pe x_0
- ▶ după prima iterație, $Q[0]$ conține pe x_1
- ▶ după a doua iterație, $Q[0]$ conține pe x_2

⇒ în oricare iterație, bitul curent al lui X , x_i , se află în $Q[0]$.

Acesta este motivul pentru care la **TEST1**, algoritmul testează bitul $Q[0]$.

Sumator paralel:

- ▶ pe 7 biți pentru că produsul parțial P_i și deînmulțitul Y sunt în S.-M. iar în S.-M. adunarea nu poate calcula semnul rezultatului în mod corect
- ▶ transportul de ieșire al adunării este stocat în $A[7]$
 - ▶ ⇒ se evită *overflow*-ul

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire (contin.)

Contorul:

- ▶ numără 7 iterații:
 - ▶ pentru că magnitudinea înmulțitorului X are o lățime de 7 biți
- ▶ incrementat la eticheta **RSHIFT**
- ▶ semnalul $COUNT7$ este activat când conținutul numărătorului este 7 ($7_{(10)} = 111_{(2)}$)

Unitatea de control:

- ▶ secvențiază operațiile prin activarea semnalelor de control (c_0 , ..., c_6 , **END**)
- ▶ în fiecare ciclu de tact, cel puțin un semnal de control este activat
- ▶ semnalele de control sunt reprezentate prin linie întreruptă
-----▶●
- ▶ liniile de date sunt reprezentate prin linie solidă ———

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire (contin.)

Se consideră operanzii pe 4 biți, în S.-M., fracționari:

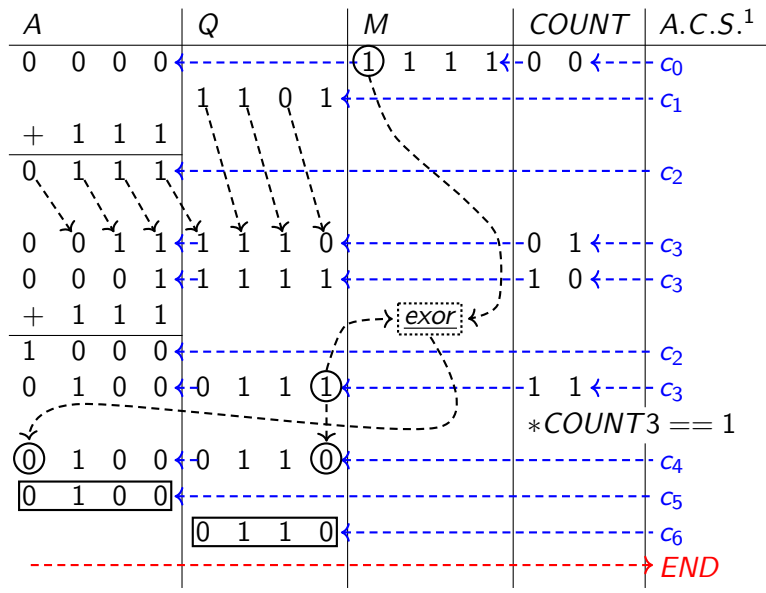
$$X = -0.625 = -5 \cdot 2^{-3} = 1.101_{S.-M.}$$

$$Y = -0.875 = -7 \cdot 2^{-3} = 1.111_{S.-M.}$$

Produsul P ai celor 2 operanzi, reprezentat în S.-M., pe 8 biți:

$$\begin{aligned} P &= X \cdot Y = (-5 \cdot 2^{-3}) \cdot (-7 \cdot 2^{-3}) = 35 \cdot 2^{-6} \\ &= 0.1000110_{S.-M.} \end{aligned}$$

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire (contin.)



¹Semnale de control activate

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărime (contin.)

Se consideră operanzii pe 4 biți, în S.-M., întregi:

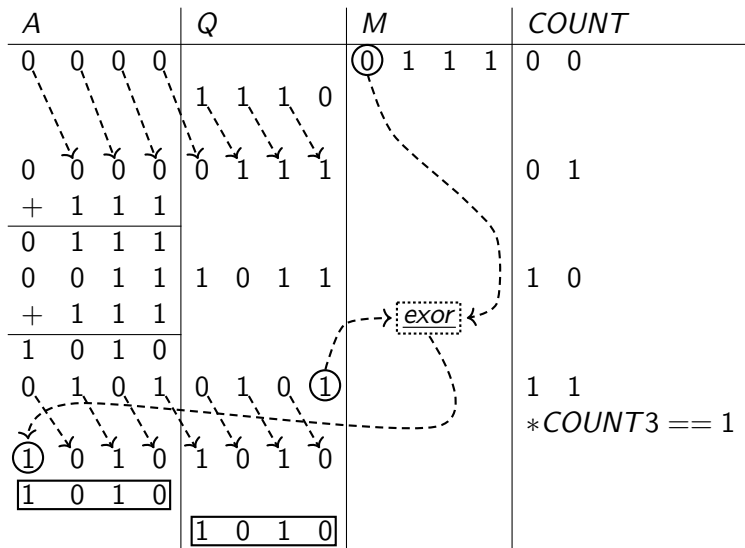
$$X = -6 = 1110_{S.-M.}$$

$$Y = +7 = 0111_{S.-M.}$$

Produsul P ai celor 2 operanzi este obținut ca:

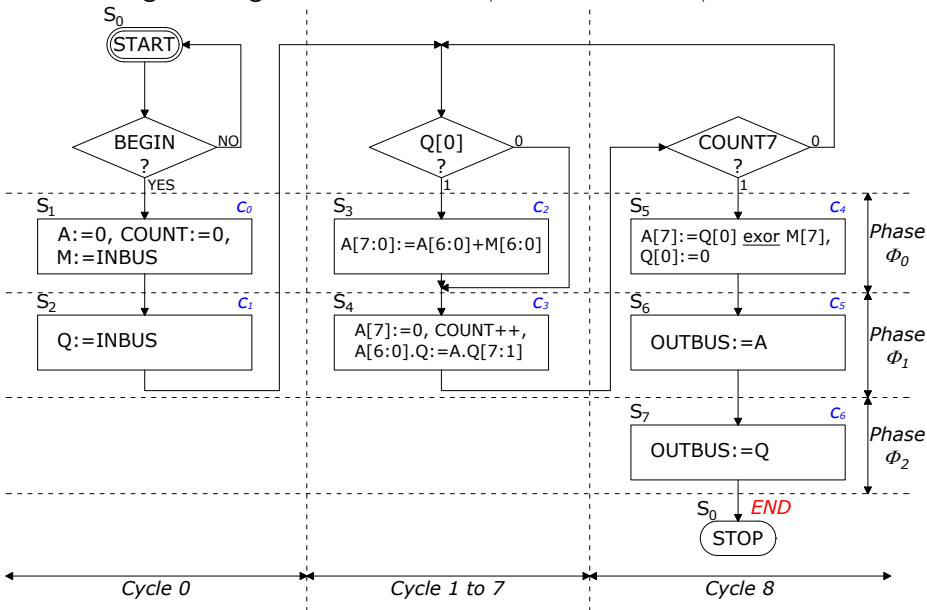
$$\begin{aligned} P &= X \cdot Y = -6 \cdot +7 = -35 \\ &= 10101010_{S.-M.} \end{aligned}$$

4.2 - Înmulțire binară secvențială pentru numere în Semn-Mărire (contin.)



4.3 - Elemente de sinteză unităților de control

Ordinograma algoritmului de înmulțire binară secvențială în S.-M.:



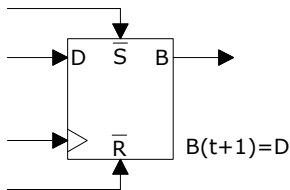
4.3 - Elemente de sinteza unităților de control (contin.)

Ⓐ: Metoda tabelului de stare

Ⓑ: Metoda One Hot

- ▶ utilizează câte un element de stocare pentru fiecare stare
- ▶ la orice moment de timp, doar un element de stocare este activ \Rightarrow
acel element se spune că este "hot"

Se vor utiliza bistabile de tip D:



Note: ieșirea bistabilelor este notată B pentru a evita suprapunerea cu biți ai registrului Q .

4.3 - Elemente de sinteza unităților de control (contin.)

(B): Metoda One Hot (continuare)

Fiecare stare are asociat un bistabil \Rightarrow sunt folosite 8 variabile de stare: $B_0, B_1, B_2, B_3, B_4, B_5, B_6, B_7$; codificarea stării este prezentată în tabelul următor:

State	B_7	B_6	B_5	B_4	B_3	B_2	B_1	B_0
S_0	0	0	0	0	0	0	0	1
S_1	0	0	0	0	0	0	1	0
S_2	0	0	0	0	0	1	0	0
S_3	0	0	0	0	1	0	0	0
S_4	0	0	0	1	0	0	0	0
S_5	0	0	1	0	0	0	0	0
S_6	0	1	0	0	0	0	0	0
S_7	1	0	0	0	0	0	0	0

4.3 - Elemente de sinteza unităților de control (contin.)

Ⓑ: Metoda One Hot (continuare)

Ecuatii de feedback

$$D_0 = B_0 \cdot \overline{BEGIN} \text{ or } B_7$$

$$D_1 = B_0 \cdot BEGIN$$

$$D_2 = B_1$$

$$D_3 = B_2 \cdot Q[0] \text{ or } B_4 \cdot \overline{COUNT7} \cdot Q[0]$$

$$D_4 = B_2 \cdot \overline{Q[0]} \text{ or } B_3 \text{ or } B_4 \cdot \overline{COUNT7} \cdot \overline{Q[0]}$$

$$D_5 = B_4 \cdot COUNT7$$

$$D_6 = B_5$$

$$D_7 = B_6$$

Ecuatii de ieșire

$$c_0 = B_1$$

$$c_1 = B_2$$

$$c_2 = B_3$$

$$c_3 = B_4$$

$$c_4 = B_5$$

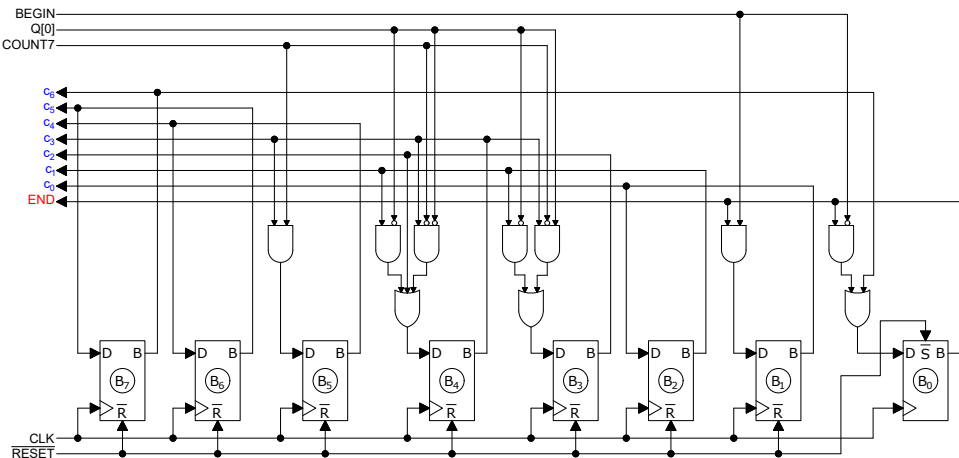
$$c_5 = B_6$$

$$c_6 = B_7$$

$$END = B_0$$

4.3 - Elemente de sinteza unităților de control (contin.)

(B): Metoda One Hot (continuare)

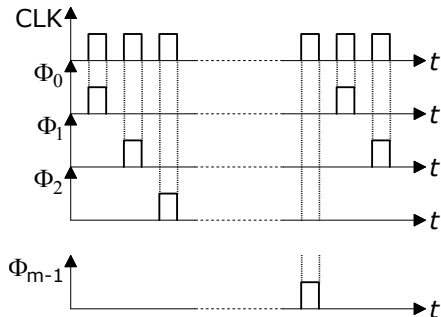


Notă: Arhitectura este afectată de **clock skew**

4.3 - Elemente de sinteza unităților de control (contin.)

Ⓒ: Metoda Sequence Counter

- ▶ construită în jurul unui *Sequence Counter*
 - ▶ un numărător de secvență generează la ieșiri impulsuri de fază non-suprapuse ($\Phi_0, \Phi_1, \Phi_2, \dots, \Phi_{m-1}$) ca mai jos

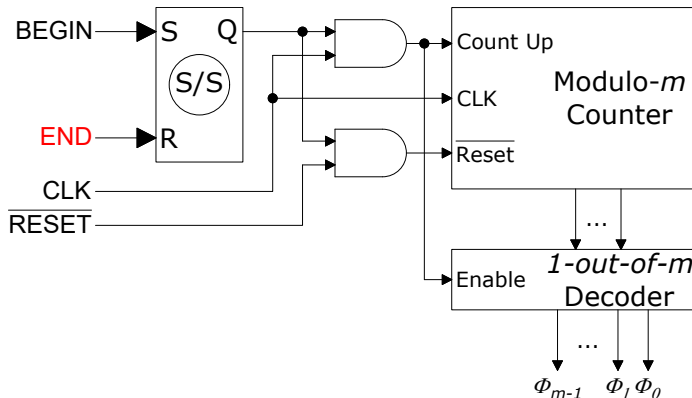


- ▶ Impulsurile de fază sunt folosite pentru a activa semnale de control
- ▶ Datorită naturii repetitive a impulsurilor de fază, metoda Sequence Counter poate executa secvențe iterative

4.3 - Elemente de sinteza unităților de control (contin.)

(C): Metoda Sequence Counter (continuare)

Numărătorul de secvență încorporează un numărător modulo- m , a cărui ieșiri sunt decodificate în m impulsuri de fază

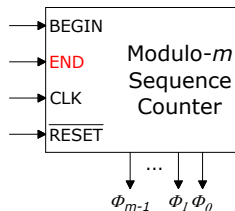


S/S : Latch-ul Start/Stop controlează avansarea în secvența de numărare

4.3 - Elemente de sinteza unităților de control (contin.)

Ⓒ: Metoda Sequence Counter (continuare)

Simbolul numărătorului de secvență este ilustrat mai jos:

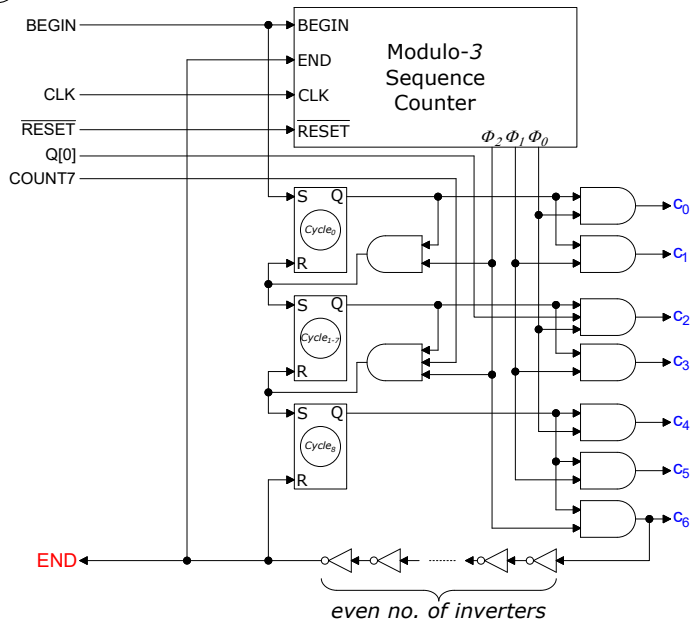


Determinarea lui m (valoarea modulo a numărătorului):

- ▶ m este dat de cel mai lung ciclu
- ▶ pornind de la ordinogramă, se obține $m = 3$: numărătorul de secvență va avea 3 faze

4.3 - Elemente de sinteza unităților de control (contin.)

Ⓒ: Metoda Sequence Counter (continuare)



4.3 - Elemente de sinteza unităților de control (contin.)

Ⓒ: Metoda Sequence Counter (continuare)

- ▶ Utilizează câte un latch S/R pentru fiecare ciclu al algoritmului
 - ▶ Latch-ul este activat când execuția algoritmului ajunge în ciclul asociat
- ▶ Semnalul **END** este obținut prin întârzierea semnalului de control c_6 printr-un număr par de inversoare
 - ▶ activarea lui **END** determină dezactivarea lui c_6 : dacă c_6 nu rămîne activ suficient de mult timp pentru terminarea operației asociate ($OUTPUT := Q$), se va adăuga un nou ciclu algoritmului