

Implementati, folosind limbajul Verilog, un circuit combinational, denumit bcm, care va avea 3 inputuri(I) si 2 outputuri(O). Se va crea si testbenchul pentru testare. Modulul este descris in tabelul de mai jos:

Inputs			Outputs	
0	0	0	0	1
0	0	1	1	1
0	1	0	0	0
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1

Dom pune 1 pe pozitia din K-map unde $O[i]$ are valoarea 1.

$i[2]$ \ $i[1]$ \ $i[0]$	00	01	11	10
0	0	1	1	0
1	0	1	0	1

$$(1,3) \rightarrow \sim i[2] \& i[0]$$

$$(1,5) \rightarrow \sim i[1] \& i[0]$$

$$i[2] \& i[1] \& \sim i[0]$$

$$O[1] \Rightarrow f = (\sim i[2] \& i[0]) \mid (\sim i[1] \& i[0]) \mid (i[2] \& i[1] \& \sim i[0])$$

$i[2]$ \ $i[1]$ \ $i[0]$	00	01	11	10
0	1	1	0	0
1	1	0	1	1

$$(0,1) \rightarrow \sim i[2] \& \sim i[1]$$

$$(0,4) \rightarrow \sim i[1] \& \sim i[0]$$

$$(6,7) \rightarrow i[2] \& i[1]$$

$$O[0] \Rightarrow f = (\sim i[2] \& \sim i[1]) \mid (\sim i[1] \& \sim i[0]) \mid (i[2] \& i[1])$$