

Dan NICULA

ELECTRONICĂ DIGITALĂ

Carte de învățatură 2.0



Editura Universității *TRANSILVANIA* din Brașov
ISBN 978-606-19-0563-8

2015

Lecția 13

Latch-uri și bistabile

13.1 Noțiuni teoretice

Dacă se realizează o buclă între ieșirea și intrarea unui circuit logic combinațional, comportamentul acestuia se modifică. Există două tipuri de comportamente așteptate, dependente de numărul de inversoare incluse în bucla combinațională (figura 13.1):

- În cazul unui *număr impar de inversoare*, circuitul poate oscila între două stări instabile. Acest tip de comportament este utilizat pentru realizarea circuitelor oscilatoare digitale (generatoare de semnal periodic, de ceas). Perioada semnalului generat este dependentă de procesul tehnologic, tensiunea de alimentare, temperatură. Din acest motiv, oscilatoarele realizate cu porți inversoare se utilizează doar în aplicații care nu necesită o precizie prea mare a parametrilor semnalului generat.
- În cazul unui *număr par de inversoare*, circuitul poate să își păstreze starea (să o "memoreze") și după dispariția stimulului de intrare. Acest tip de comportament este utilizat pentru realizarea circuitelor de memorare, capabile să rețină o informație după dispariția acesteia de la intrarea circuitului.

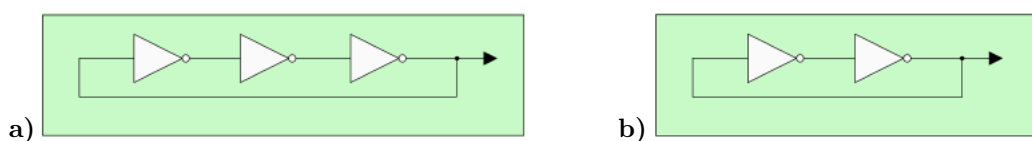


Figura 13.1 a) Buclă combinațională cu număr impar de inversoare (oscilator), b) Buclă combinațională cu număr par de inversoare (memorarea stării).

Pentru ca o buclă realizată peste un număr par de inversoare să fie controlată (impunerea din exterior a stării memorate) sunt necesare circuite suplimentare.

Figura 13.3 prezintă structurile **latch-ului RS cu ceas** și ale **latch-ului D**.

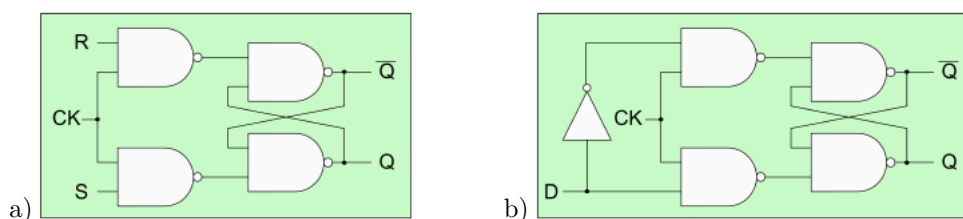


Figura 13.2 a) Latch RS cu ceas, b) Latch D cu ceas.



Latch-ul D zăvorește datele primite pe intrarea D când ceasul se află pe *palierul activ* $CK = 1$ și le menține pe ieșirile Q și \overline{Q} pe durata *palierului inactiv* al ceasului $CK = 0$.

În tabel s-a notat cu Q starea prezentă și Q^+ starea viitoare a latch-ului. Dacă $CK = 1$, latch-ul copiază starea intrării D și o menține pe durata palierului de ceas $CK = 0$.

CK	Q^+	Acțiune
1	D	copiază intrarea, pe durata palierului activ, 1, al semnalului de ceas (latch-ul este deschis)
0	Q	păstrează starea, pe durata palierului inactiv, 0, al semnalului de ceas (latch-ul este blocat)

Bistabilul D (Delay) are în structura sa două latch-uri înseriate, conectate cu semnale de ceas complementare. Din acest motiv, cele două latch-uri sunt deschise și blocate în contratimp, astfel încât bistabilul nu este deschis decât în momentul determinat de un front de ceas (momentul comutării între cele două stări logice 0 și 1). Bistabilul eșantionează datele primite pe intrarea D în momentul *frontului activ* al ceasului $CK = \uparrow$ și le menține pe ieșirile Q și \overline{Q} pe toată durata perioadei de ceas.

În tabel s-a notat cu Q starea prezentă și Q^+ starea viitoare a bistabilului. Dacă $CK = \uparrow$, bistabilul copiază starea intrării D și o menține pe durata unei perioade de ceas.

CK	D	Q^+	Acțiune
\uparrow	0	0	copiază intrarea, în momentul frontului crescător al ceasului
\uparrow	1	1	copiază intrarea, în momentul frontului crescător al ceasului
0/1	X	Q	păstrează starea, între două fronturi active ale ceasului

Într-un sistem sincron, bistabilul D întârzie semnalul între intrare și ieșire cu un tact. Așa se justifică denumirea D (Engl. "*Delay = Întârziere*"). O aplicație a bistabilului D constă din realizarea unei linii de întârziere a semnalelor cu un anumit număr de perioade de tact.

Bistabilul D poate avea o intrare suplimentară de validare a funcționării. Dacă $E = 1$ (Engl. "*Enable = a permite, a valida*"), bistabilul D cu validare funcționează ca un bistabil D convențional. Altfel, dacă $E = 0$, bistabilul D cu validare își păstrează starea, indiferent de intrarea D . Tabelul ce descrie funcționarea bistabilului D cu validare este următorul:

CK	E	D	Q^+	Acțiune
\uparrow	1	0	0	copiază intrarea, în momentul frontului crescător al ceasului
\uparrow	1	1	1	copiază intrarea, în momentul frontului crescător al ceasului
\uparrow	0	X	Q	păstrează starea, indiferent de intrarea D (este invalidat)
0/1	X	X	Q	păstrează starea, între două fronturi active ale ceasului

Intrarea de validare poate fi interpretată și ca intrare care validează încărcarea datelor în bistabil (datele fiind menținute mai multe perioade de tact, între două pulsuri succesive de încărcare).

Bistabilul RS are două intrări de date care permit în mod explicit trecerea bistabilului în cele două stări 0 și 1. Funcționarea bistabilului RS este descrisă de tabelul următor:

CK	R	S	Q^+	Acțiune
\uparrow	1	X	0	resetează starea, 0
\uparrow	0	1	1	setează starea, 1
\uparrow	0	0	Q	păstrează starea.
0/1	X	X	Q	păstrează starea, între două fronturi active ale ceasului

Bistabilul RS se utilizează pentru cazurile în care trecerea între stările 0 și 1 se face pe baza a două comenzi diferite.

Bistabilul T, ca orice bistabil, comută exclusiv pe frontul activ al semnalului de ceas. Regula de comutare este prezentată în tabelul următor:

CK	T	Q^+	Acțiune
\uparrow	0	Q	păstrează starea
\uparrow	1	\overline{Q}	complementează starea
0/1	X	Q	păstrează starea, între două fronturi active ale ceasului

Funcționarea bistabilului T (Engl. "*Toggle = Comutare*") se poate descrie astfel: dacă $T = 0$ bistabilul își păstrează starea, dacă $T = 1$ bistabilul își complementează/neagă starea. Se remarcă faptul că bistabilul T are nevoie de a se inițializa asincron într-o stare cunoscută.



O aplicație a bistabilului T constă în obținerea unui semnal cu perioadă dublă față de semnalul de ceas, prin conectarea acestuia cu intrarea $T = 1$. Această proprietate este folosită și la realizarea numărătoarelor binare.

Bistabilul JK combină funcționalitatea unui bistabil RS cu cea a unui bistabil T. Regula de comutare este prezentată în tabelul următor:

CK	J	K	Q^+	Acțiune
\uparrow	0	0	Q	păstrează starea.
\uparrow	0	1	0	re setează starea, 0
\uparrow	1	0	1	setează starea, 1
\uparrow	1	1	\overline{Q}	complementează starea.
0/1	X	X	Q	păstrează starea, între două fronturi active ale ceasului

Bistabilul JK funcționează ca un bistabil T dacă se realizează conectarea intrărilor $J = K = T$.

Bistabilele pot avea facilitatea de inițializare asincronă într-o anumită stare logică. Intrările asincrone *Set* sau *Reset* sunt prioritare față de semnalul de ceas (și realizează funcția independent de apariția frontului activ al semnalului de ceas). În simbolurile bloc, există intrări dedicate pentru intrările asincrone. Intrările asincrone pot fi active fie în starea 1 fie în starea 0.

Simboluri utilizate pentru latch-uri și bistabile sunt prezentate în figura 13.3.

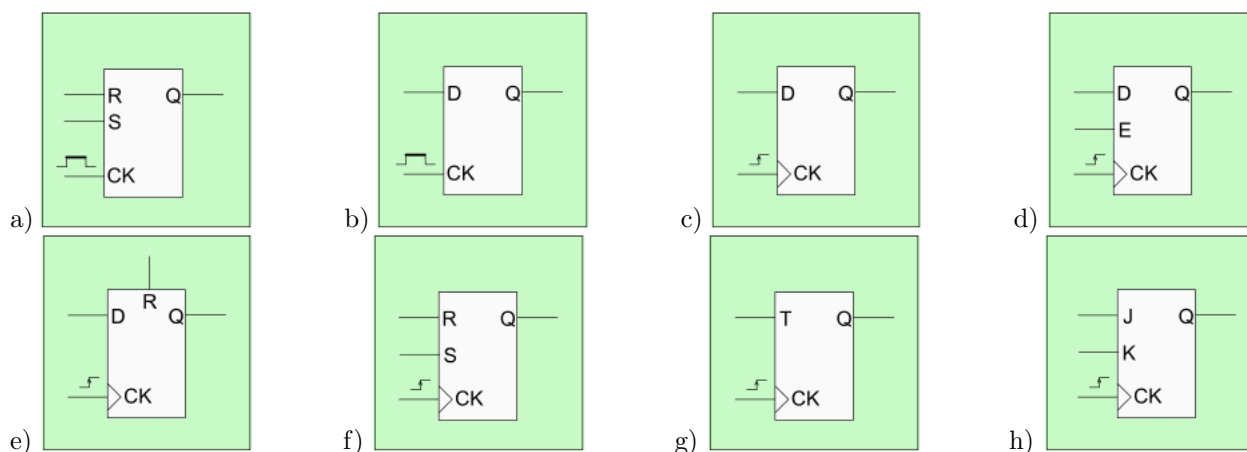


Figura 13.3 Simboluri de latch-uri și bistabile: **a)** Latch RS cu ceas, **b)** Latch D cu ceas, **c)** Bistabil D, **d)** Bistabil D cu validare **e)** Bistabil D cu reset asincron, **f)** Bistabil RS, **g)** Bistabil T, **h)** Bistabil JK.

Extensia paralel a unui bistabil poartă numele de **registru**. Simbolul bloc și structura unui registru de 4 biți implementat cu bistabile D sunt prezentate în figura 13.4.

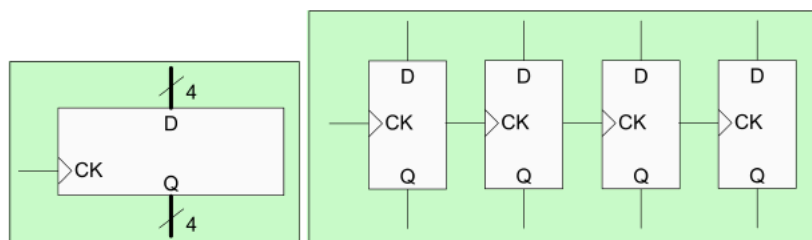


Figura 13.4 Registru D: simbol bloc și structură.

13.2 Pentru cei ce vor doar să promoveze examenul

1. Descrieți funcționarea structurilor de latch-uri cu ceas prezentate în figura 13.3.



2. Descrieți funcționarea structurilor de latch-uri prezentate în figura 13.5.

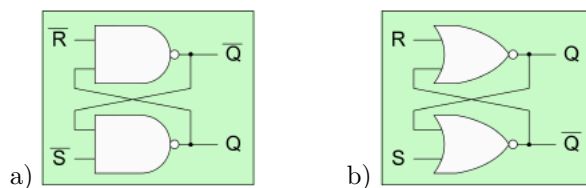


Figura 13.5 a) Latch RS cu porți NAND, b) Latch RS cu porți NOR.

3. Care este diferența dintre un "latch D" și un "bistabil D"? Completați formele de undă ale ieșirilor latch-ului și ale bistabilului în cazul stimulilor de intrare prezentați în figura 13.6.

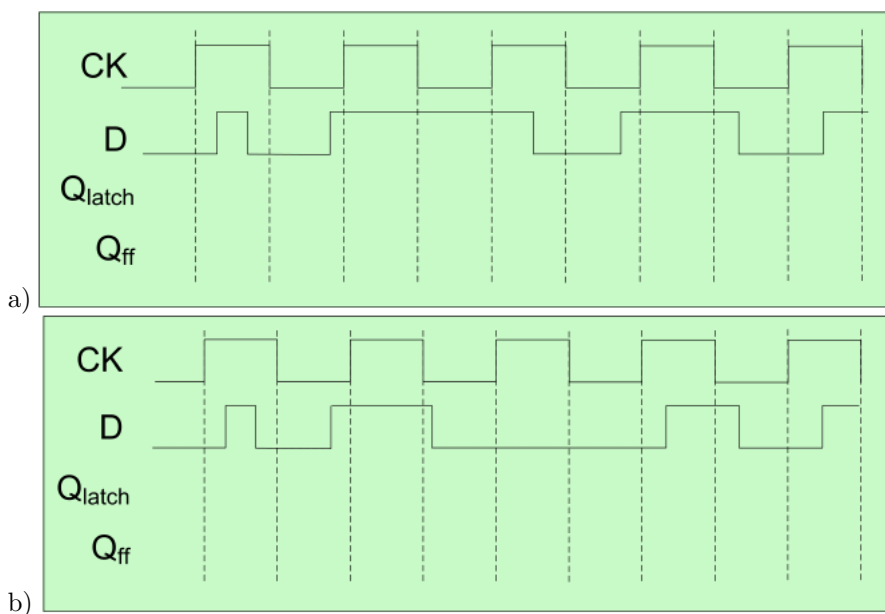


Figura 13.6 Stimuli pentru latch D și bistabil D, problema 3.

Soluție

Formele de undă generate sunt prezentate în figura 13.7.

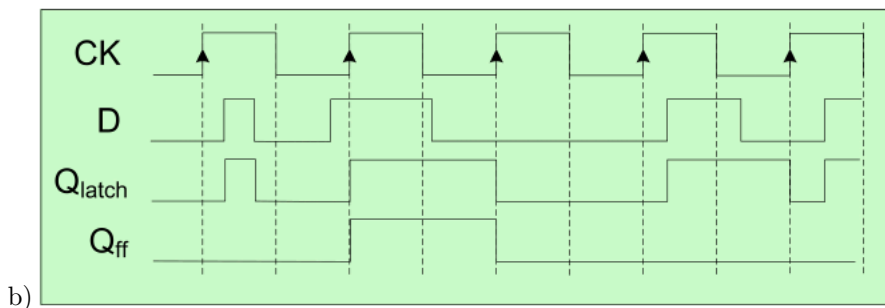


Figura 13.7 Forme de undă generate de latch D și de bistabil D, problema 3-b.

4. Care este diferența dintre un "bistabil T" și un "bistabil D"?
5. Proiectați structura internă a unui bistabil cu validare având la dispoziție un bistabil D și un multiplexor 2:1.

13.3 Pentru cei ce vor să învețe

1. Descrieți funcționarea bistabilelor D/T/JK sub forma unor tabele de determinare a stării viitoare pe baza stării prezente și a intrărilor.

Soluție

Bistabilul eșantionează datele de intrare în momentul *frontului activ* al semnalului de ceas. Pe baza acestora, se determină starea viitoare pe care o menține pe ieșire pe toată durata perioadei de ceas, până la *următorul front activ*. În tabele s-a notat cu Q starea prezentă și Q^+ starea viitoare a bistabilului. Toate comutările au loc pe frontul activ al semnalului de ceas.

D	Q	Q^+	Acțiune
0	X	0	copiază intrarea D
1	X	1	copiază intrarea D

T	Q	Q^+	Acțiune
0	0	0	păstrează starea
0	1	1	păstrează starea
1	0	1	complementează starea
1	1	0	complementează starea

J	K	Q	Q^+	Acțiune
0	0	0	0	păstrează starea
0	0	1	1	păstrează starea
0	1	X	0	resetează starea
1	0	X	1	setează starea
1	1	0	1	complementează starea
1	1	1	0	complementează starea

2. Asociați circuitele prezentate în figura 13.8 cu funcțiile implementate de acestea:

- a) circuit de întârziere cu două perioade de ceas;
- b) detector de front pozitiv;
- c) detector de front;
- d) detector de front negativ.

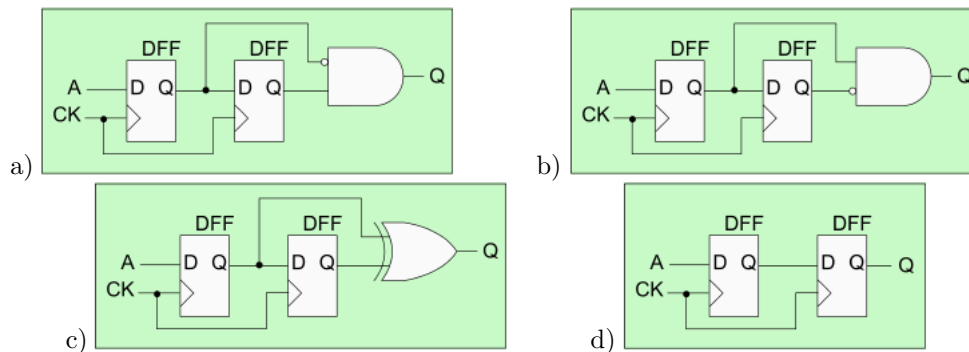


Figura 13.8 Circuite cu bistabile D referite la problema 2.

3. Explicați comportamentul circuitelor prezentate în figura 13.9.
4. Determinați formele de undă la ieșirea bistabilelor la aplicarea stimulilor prezentați în figura 13.10.
5. Semnalele CK și D din figura 13.11-a sunt prezente pe intrările unor circuite cu memorie. Precizați tipul circuitelor.
6. Semnalele CK și D din figura 13.11-b sunt prezente pe intrările unui bistabil D activ pe frontul descrescător. Care formă de undă corespunde ieșirii bistabilului?
7. La intrarea a două bistabile, unul D și altul T (figura 13.12), se aplică un semnal IN cu forma de undă prezentată în figură. Să se determine formele de undă ale ieșirilor celor două bistabile Q_{DFF} și Q_{TFF} .



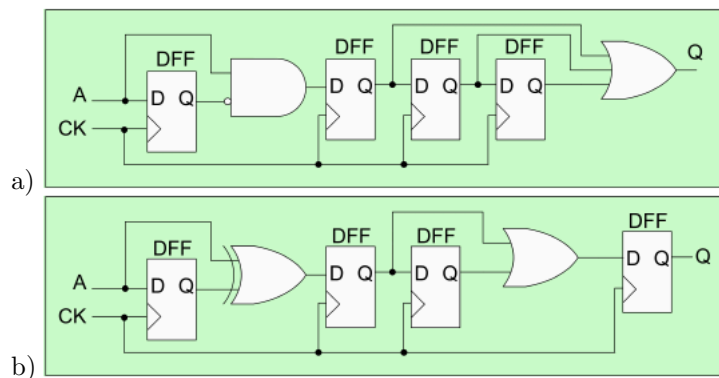


Figura 13.9 Circuite cu bistabile D și porți logice, referite la problema 3.

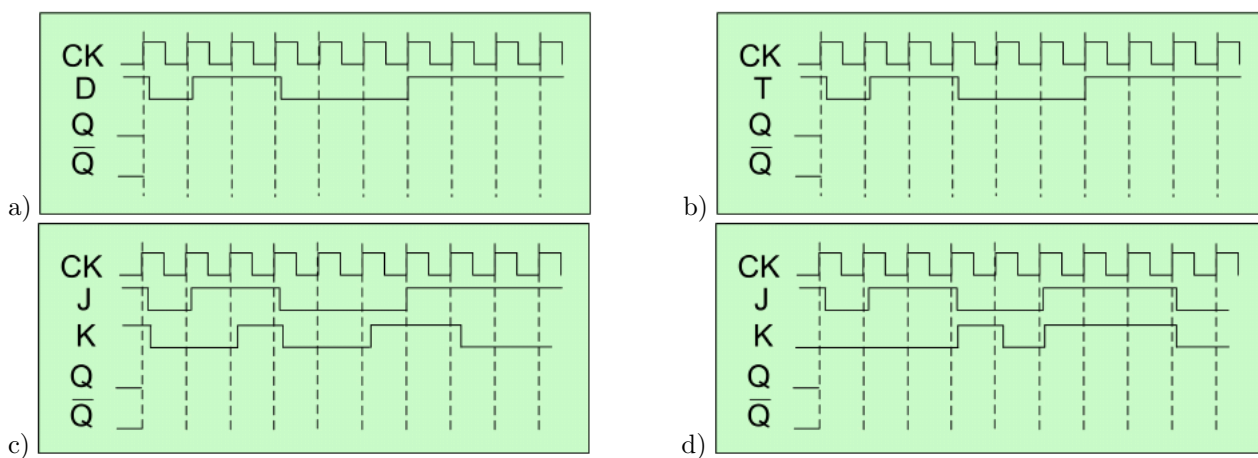


Figura 13.10 Stimuli pentru bistabile (problema 4).

8. Proiectați un circuit cu bistabile care prezintă la ieșire un puls de lățime 8 perioade de ceas la fiecare puls primit pe intrare, indiferent de durata acestuia. Prezentați condițiile de funcționare ale circuitului.

Soluție

Apariția pulsului poate fi detectată cu un circuit format dintr-o poartă AND cu o intrare negată și un bistabil. Bistabilul va fi în stare 0 dacă $X = 1$ în tactul curent și $X = 0$ în tactul anterior (deci a existat un front crescător în perioada anterioară de ceas). Lățimea pulsului pe ieșirea bistabilului detector de front este întotdeauna o singură perioadă de ceas. Acest puls se trece printr-o serie de 7 bistabile D și se obțin versiuni întârziate cu până la 7 perioade de ceas. O poartă OR colectează toate cele 8 pulsuri generând un puls de lățime egală cu 8 perioade de ceas. Circuitul este prezentat în figura 13.13. Pentru creșterea frecvenței de lucru, se recomandă trecerea ieșirii porții OR printr-un alt bistabil (pulsul obținându-se cu o întârziere de un tact, dar evitându-se ieșirea combinațională).

9. Realizați următoarele conversii de bistabile (implementați bistabilul de tip precizat în partea stângă folosind bistabilul propus în partea dreaptă și porți logice suplimentare).

- | | |
|-------------------------------|-------------------------------|
| a) bistabil D cu bistabil T, | d) bistabil D cu bistabil JK, |
| b) bistabil T cu bistabil D, | e) bistabil T cu bistabil JK, |
| c) bistabil JK cu bistabil D, | f) bistabil JK cu bistabil T. |

Soluție

b) Tabelul de funcționare pentru bistabilul T este prezentat la problema 1. Intrarea bistabilului D trebuie generată dintr-un circuit combinațional pe baza stimulului T și a stări curente a bistabilului Q. Tabelul de adevăr care descrie acest circuit logic este:



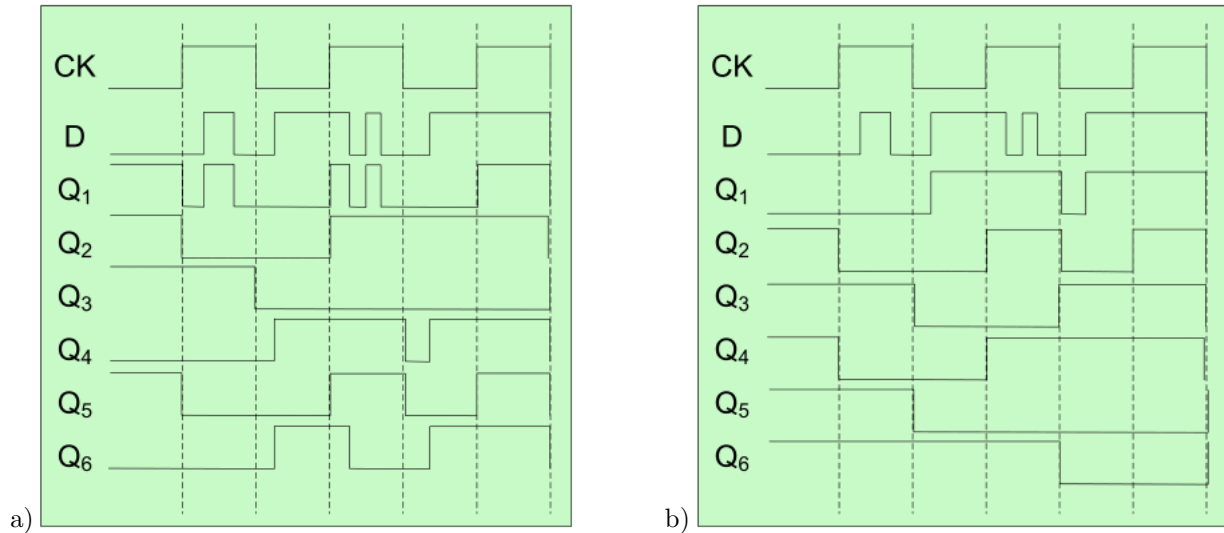


Figura 13.11 Forme de undă: a) problema 5, b) problema 6.

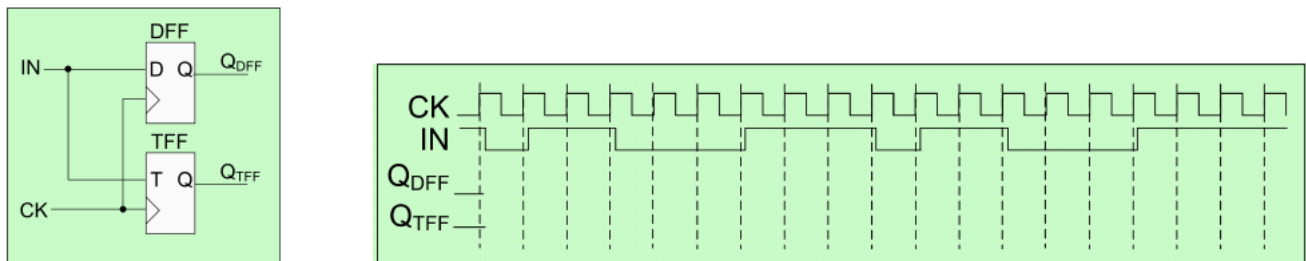


Figura 13.12 Circuit și forme de undă pentru problema 7.

T	Q	D
0	0	0
0	1	1
1	0	1
1	1	0

S-au considerat toate cele 4 variante T și Q . Coloana D s-a determinat ca răspuns la întrebarea: "care este starea viitoare a bistabilului D dacă starea curentă este Q și aceasta se schimbă conform funcției unui bistabil T , pe baza stimulului T "?

Se observă că bistabilul T poate fi structurat dintr-un bistabil D și o poartă XOR, pe baza ecuației $D = T \oplus Q$, conform figurii 13.14-b.

d) Tabelul de funcționare pentru bistabilul JK este prezentat la problema 1. Analizând tabelul se observă că dacă intrările J și K sunt complementare ($K = \overline{J}$) atunci bistabilul se comportă ca un bistabil D , fiind capabil

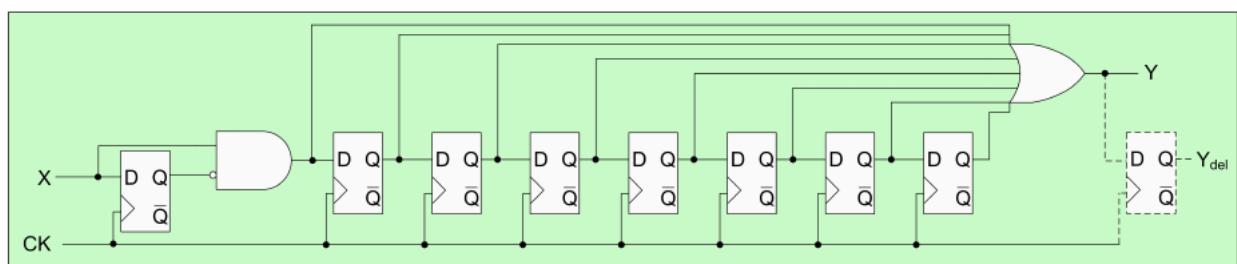


Figura 13.13 Puls de lățime 8 perioade de ceas, problema 8.

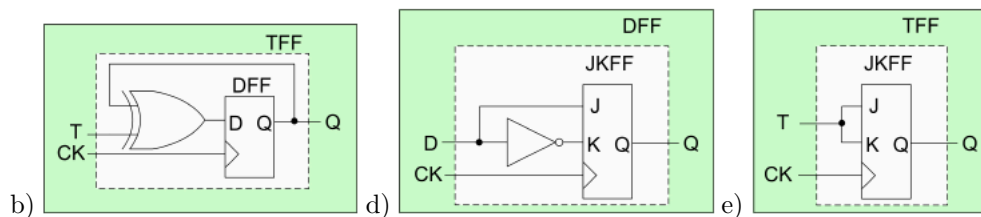


Figura 13.14 Conversie de bistabile: **b)** din D în T, **d)** din JK în D, **e)** din JK în T.

doar să memoreze intrarea D pentru o perioadă de tact. Circuitul de conversie a unui bistabil JK într-un bistabil D este prezentat în figura 13.14-d.

f) Conform tabelului prezentat la problema 1, se observă că dacă $J = K = T$ bistabilele JK și T se comportă identic. Dacă un bistabil JK are intrările J și K conectate împreună se comportă ca un bistabil T. Circuitul de conversie a unui bistabil JK într-un bistabil T este prezentat în figura 13.14-e.

10. Implementați un bistabil JK utilizând un bistabil D, un multiplexor 2:1 și un inversor.

Soluție

Circuitul proiectat are 2 intrări, J și K . Circuitul are structura unui automat implementat cu bistabil D. Pe baza tabelului de adevăr al bistabilului JK, se construiește tabelul de tranziții al automatului, în succesiunea:

- se construiește tabelul cu 2 intrări (J și K), un bit de stare prezentă (Q) și un bit de stare viitoare $Q^+ = D$;
- se completează tabelul cu stările 0 și 1 asociate tuturor combinațiilor intrărilor (în total $2 \times 4 = 8$ rânduri);
- se completează coloana stării viitoare, conform tabelului de funcționare a bistabilului JK, prezentat la problema 1.

J	K	Q	$Q^+ = D$
0	0	0	0
0	1	0	0
1	0	0	1
1	1	0	1
0	0	1	1
0	1	1	0
1	0	1	1
1	1	1	0

Prin minimizarea funcției $D(J, K, Q)$ cu diagrama V-K, rezultă: $D = J \cdot \overline{Q} + \overline{K} \cdot Q$

Se observă că funcția D poate fi implementată cu multiplexor 2:1 dacă pe intrarea de selecție se aplică Q . Rezultă circuitul prezentat în figura 13.15.

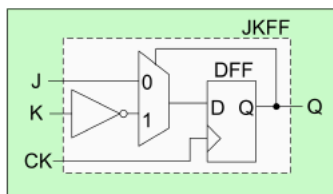


Figura 13.15 Conversie din bistabil D în bistabil JK, problema 10.

- La ieșirea unor bistabile D se observă semnale cu formele de undă prezentate în figura 13.16-a. Să se determine formele de undă ale semnalelor la intrările bistabilelor D.
- La ieșirea unor bistabile T se observă semnale cu formele de undă prezentate în figura 13.16-b. Să se determine formele de undă ale semnalelor la intrările bistabilelor T.
- Se consideră circuitele din figurile 13.17-a,b. La o ieșire se observă forma de undă din figură. Să se determine formele de undă ale semnalelor de la ieșirile celorlalte bistabile.



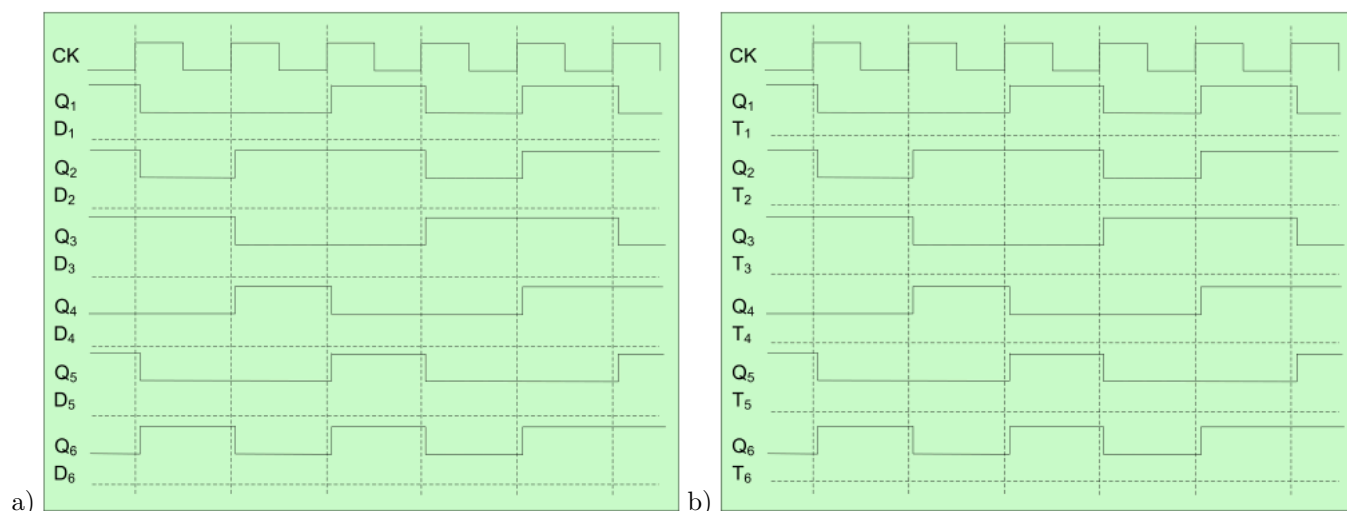


Figura 13.16 Forme de undă la ieșirea unor bistabile D (problema 11) și bistabile T (problema 12).

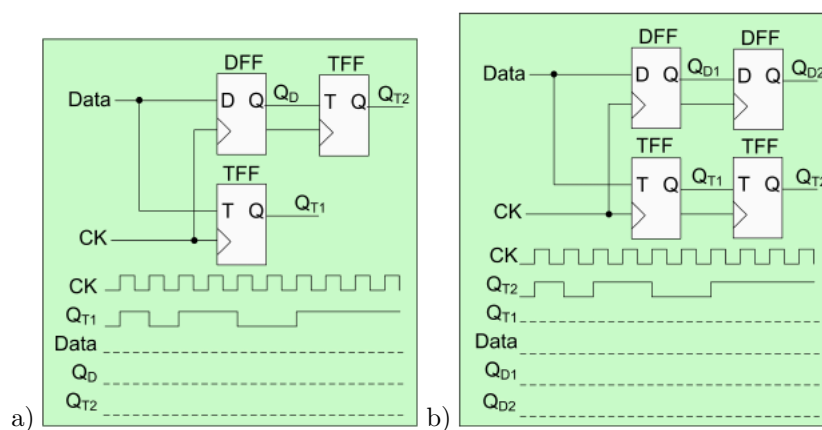


Figura 13.17 Circuite și forme de undă pentru problema 13.

14. Se consideră circuitul din figura 13.18-a. La ieșirea Q_T se observă forma de undă din figură. Să se determine formele de undă ale semnalelor de la ieșirile celorlalte bistabile. Explicați de ce formele de undă determinate nu sunt unice.
15. Proiectați un circuit de "vot majoritar" care primește secvențial pe intrare valorile de adevăr ale voturilor și prezintă la ieșire starea logică a majorității ultimelor 3 valori primite.

Soluție

Intrarea se întârzie prin două bistabile D, astfel încât la un moment dat pot fi accesate ultimele 3 valori ale intrării. Pe baza celor 3 valori, se determină valoarea majorității ("2 din 3") cu un circuit combinațional.

16. Analizați circuitul prezentat în figura 13.19-a.

Soluție

Circuitul este folosit pentru filtrarea pulsurilor mai scurte de 3 perioade de ceas. Starea ieșirii se modifică doar dacă pe intrare starea rămâne constantă cel puțin 3 perioade de ceas. Circuitul este folosit pentru "curățarea" unui semnal de intrare de posibile zgomote de scurtă durată (în acest caz, mai scurte decât 3 perioade de ceas). Forme de undă explicative sunt prezentate în figura 13.19-b.



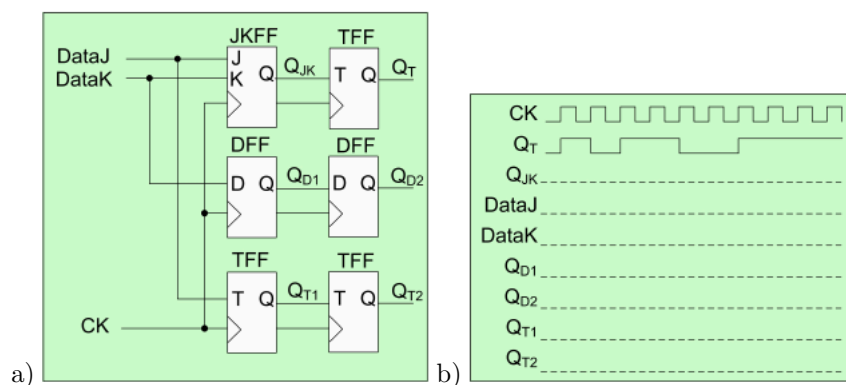


Figura 13.18 Circuit și forme de undă pentru problema 14.

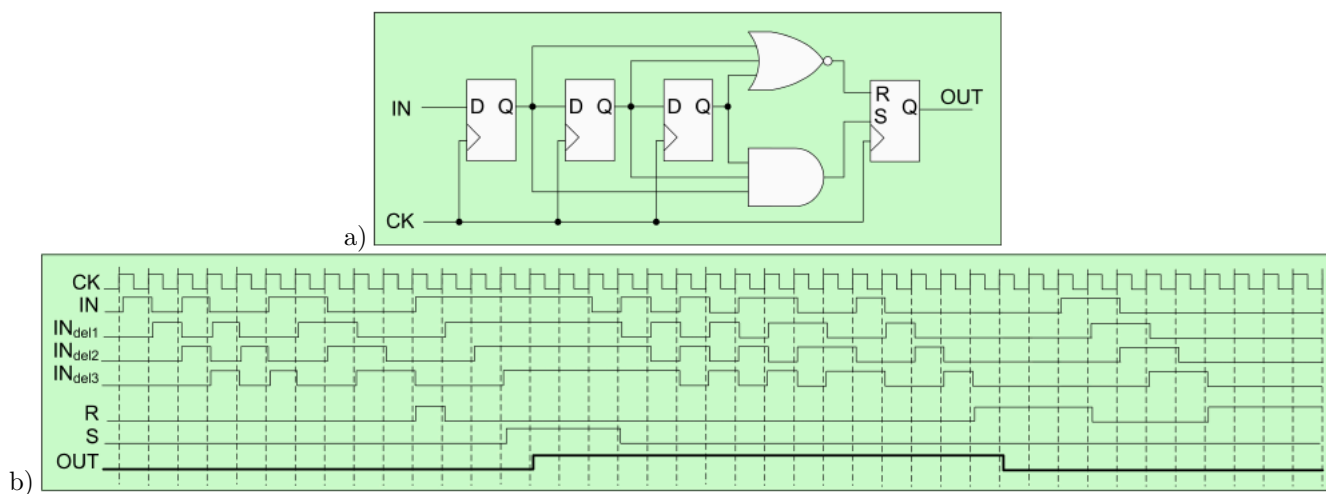


Figura 13.19 a) Circuit de analizat, b) forme de undă, (problema 16).

13.4 Pentru cei ce vor să devină profesioniști

Latch D cu ceas (cod Verilog)

```
always @(CK)
if (CK) Q <= D;
```

Bistabil D (cod Verilog)

```
always @(posedge CK)
Q <= D;
```

Bistabil D cu reset asincron (cod Verilog)

```
always @(posedge CK or posedge reset)
if (reset) Q <= 1'b0; else
Q <= D;
```

Bistabil T cu reset asincron (cod Verilog)

```
always @(posedge CK or posedge reset)
if (reset) Q <= 1'b0; else
if (T) Q <= ~Q;
```



Bistabil D cu validare (cod Verilog)

```
always @(posedge CK or posedge reset)
if (reset) Q <= 1'b0; else
if (E)      Q <= D;
```

Bistabil RS, set prioritar (cod Verilog)

```
always @(posedge CK or posedge reset)
if (reset) Q <= 1'b0; else
if (S)      Q <= 1'b1; else
if (R)      Q <= 1'b0;
```

1. Care este deosebirea de implementare a unui reset asincron față de un reset sincron?
2. Justificați valoarea de adevăr a afirmației: "Un circuit logic în a cărui componență intră doar porți NAND este strict un circuit combinațional".

Soluție

Afirmația este falsă. Dacă se închid bucle între ieșirile și intrările unui circuit combinațional, circuitul își schimbă comportamentul. În funcție de circuit și de numărul de inversoare conectate în buclă se poate obține o funcționare oscilantă sau o memorare a stării (figura 13.20).

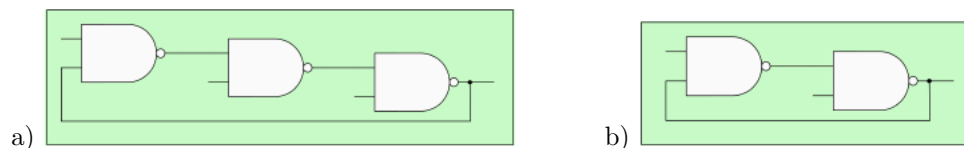


Figura 13.20 Circuite combinaționale cu o buclă între ieșire și intrare. **a)** Număr impar de inversoare - circuit oscilant; **b)** Număr par de inversoare - circuit cu memorie, latch.

3. Proiectați un circuit secvențial cu bistabile D cu o intrare și o ieșire. Lățimea pulsului prezentat la ieșire este întotdeauna un număr par de perioade de ceas, astfel:
 - dacă pulsul de intrare are lățimea un număr par de perioade de ceas, pulsul de ieșire are aceeași lățime și este în fază cu pulsul de intrare;
 - dacă pulsul de intrare are lățimea un număr impar de perioade de ceas, pulsul de ieșire are lățimea mai mare cu o perioadă de ceas față de pulsul de intrare (începe în fază cu pulsul de intrare și se termină cu un tact întârziere față de acesta).
 Între două pulsuri consecutive există o pauză de minimum două perioade de tact. Formele de undă caracteristice sunt prezentate în figura 13.21.

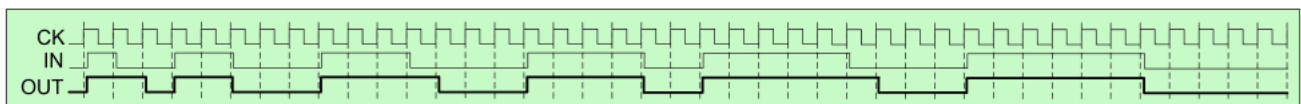


Figura 13.21 Forme de undă pentru circuitul care prezintă la ieșire pulsuri de lățime egală cu un număr par de perioade de ceas (problema 3).

4. Proiectați un circuit secvențial cu bistabile D cu o intrare și o ieșire. Lățimea pulsului prezentat la ieșire este întotdeauna un număr multiplu de 3 perioade de ceas, astfel:
 - dacă pulsul de intrare are lățimea un număr de perioade de ceas multiplu de 3, pulsul de ieșire are aceeași lățime și este în fază cu pulsul de intrare;
 - dacă pulsul de intrare nu are lățimea un număr de perioade de ceas multiplu de 3, pulsul de ieșire are lățimea egală cu cel mai mic număr de perioade de ceas, multiplu de 3, mai mare decât lățimea pulsului de intrare. (începe în fază cu pulsul de intrare și se termină cu un tact sau două întârziere față de acesta).
 Între două pulsuri consecutive există o pauză de minimum trei perioade de tact.

