

Logică digitală

-Curs 8-
Circuite logice
secvențiale

Operatia de reset a elementelor secventiale

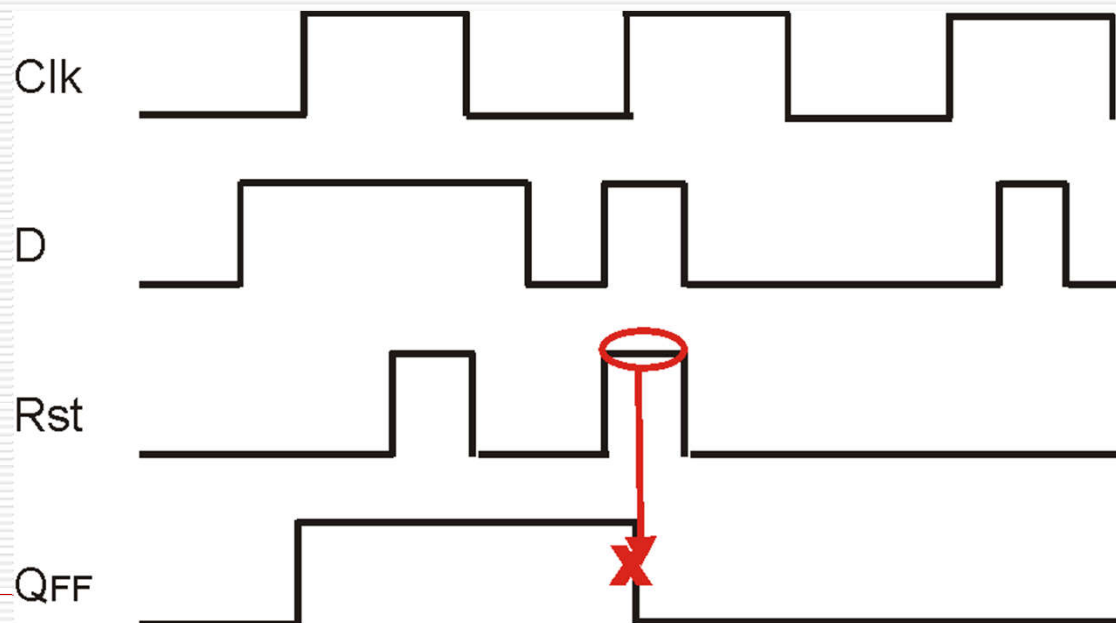
☐ Semnalul de reset (set)

- Functionalitate – aducerea bistabilului intr-o stare “initiala” cunoscuta (de obicei starea 0)
- Reset este un semnal global – este aplicat tuturor elementelor de memorie dintr-un sistem digital
- Tipuri de reset
 - ☐ Reset sincron
 - ☐ Reset asincron

Operatia de reset a elementelor secventiale

❑ Reset sincron

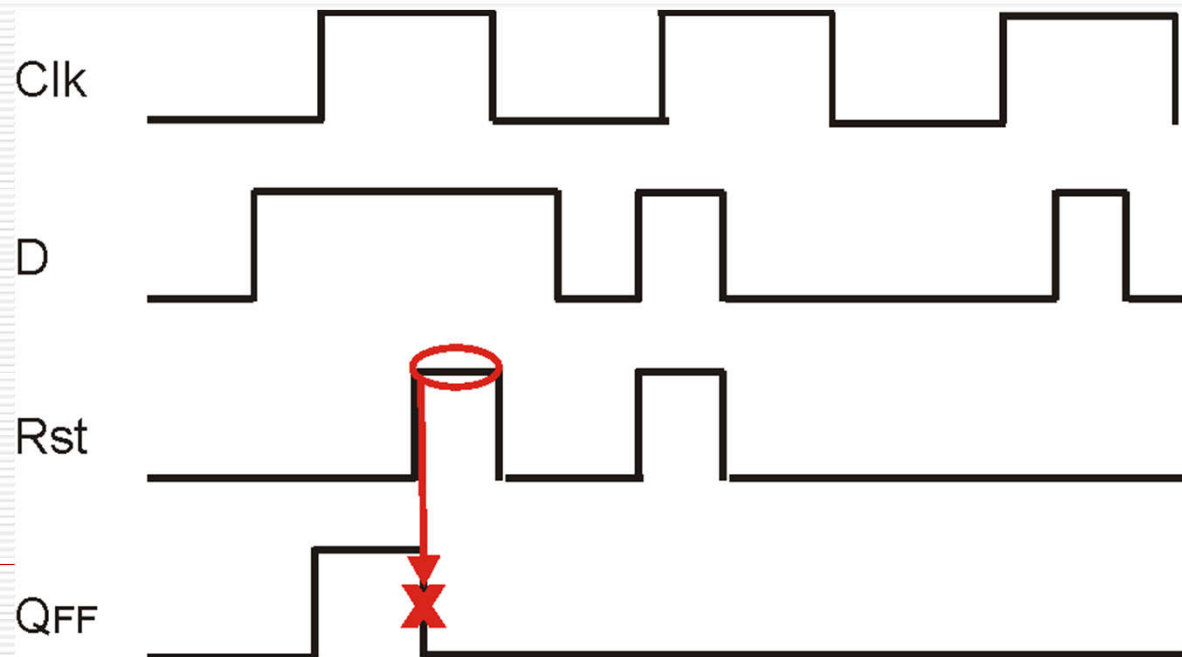
- Este activ doar pe palierul (latch) sau front-ul (FF) activ al semnalului de clock



Operatia de reset a elementelor secventiale

❑ Reset asincron

- Reseteaza elementul secvential indiferent de valoarea semnalului de clock



Operatia de reset a elementelor secventiale

❑ Reset sincron vs Reset asincron

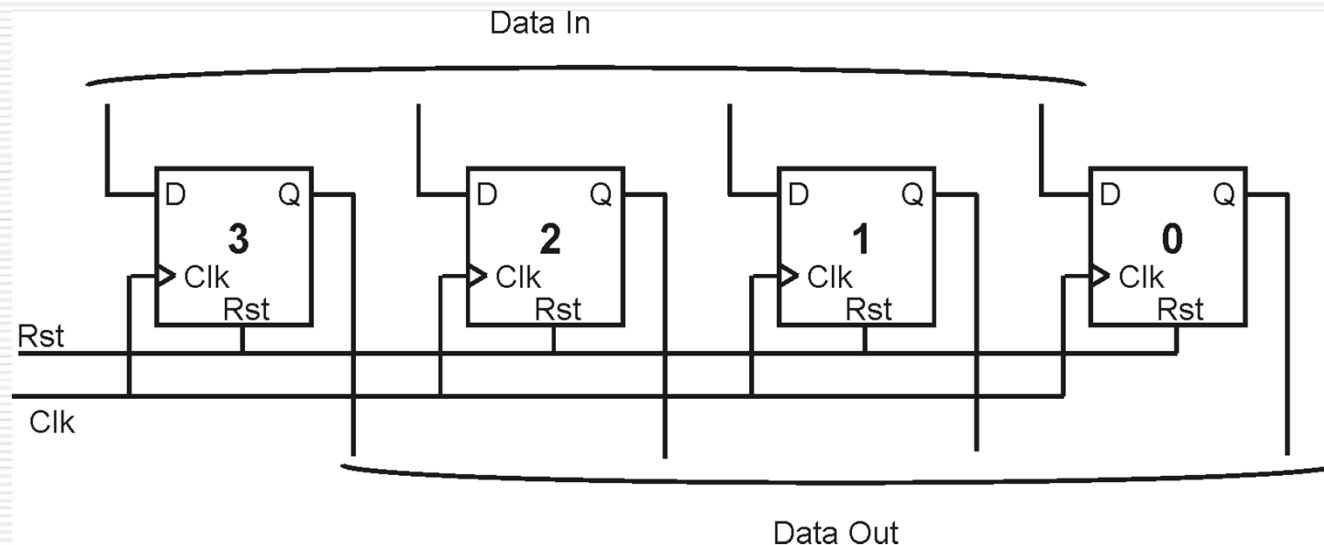
```
always
  @(posedge clk)
begin
  if (rst)
    begin
      q <= 0;
    end
  else
    begin
      q <= d;
    end
end
```

```
always
  @(posedge clk, posedge rst)
begin
  if (rst)
    begin
      q <= 0;
    end
  else
    begin
      q <= d;
    end
end
```

Registre

- ❑ Reprezinta o colectie/grupare de n bistabile
 - ❑ Nr maxim de valori a unui registru pe n biti – 2^n valori binare
 - ❑ Folosit pentru memorarea unui cuvant de date/unei stari curente a sistemului
-

Registru cu intrare paralela – iesire paralela



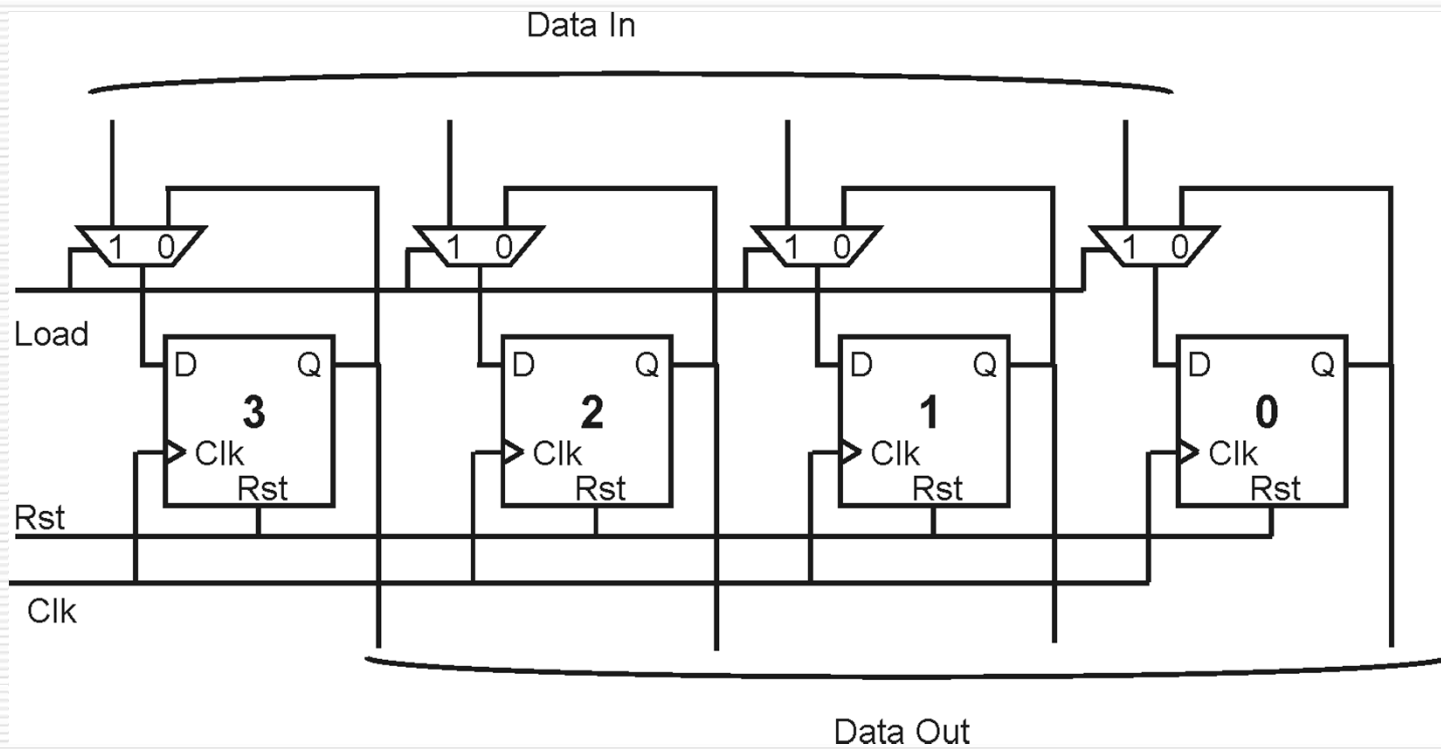
- ❑ La fiecare front crescator valoarea registrului se actualizeaza cu *Data In*
-

Registru cu intrare paralela – iesire paralela

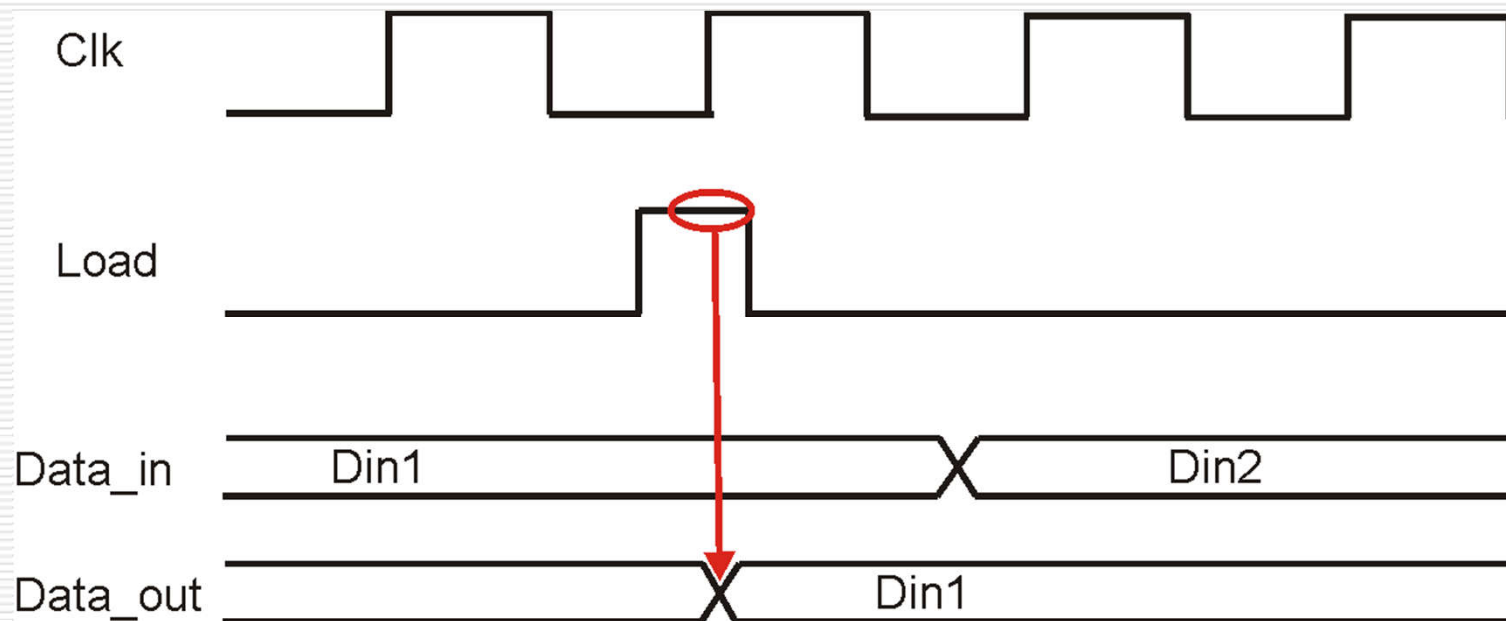
- ❑ Prezinta semnale de incarcare (*Load*)
- ❑ La fiecare front crescator valoarea registrului se actualizeaza cu *Data In*, daca este activ semnalul de *Load*

<i>Load</i>	Stare viitoare (<i>Data Out</i>)
0	Nu se schimba
1	<i>Data In</i>

Registru cu intrare paralela – iesire paralela



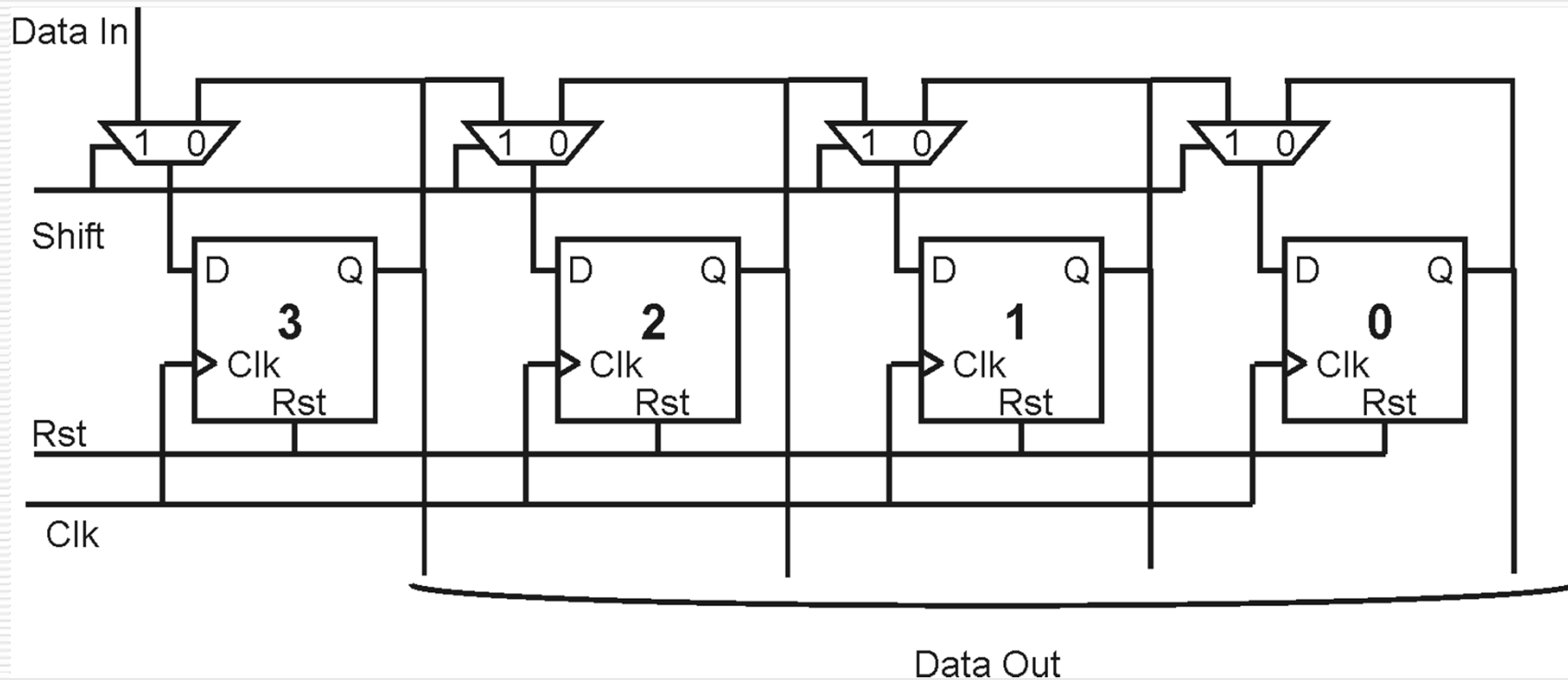
Registru cu intrare paralela – iesire paralela



Registru cu intrare seriala – iesire paralela

- ❑ Functia de deplasare (shift-are) in interiorul registrului
 - ❑ Datele se introduc serial in registru – o singura intrare de date
 - ❑ La fiecare activare a semnalului de Load (Shift), datele se deplaseaza in cadrul registrului
 - ❑ Incarcarea a n biti necesita n ciclii de clock
-

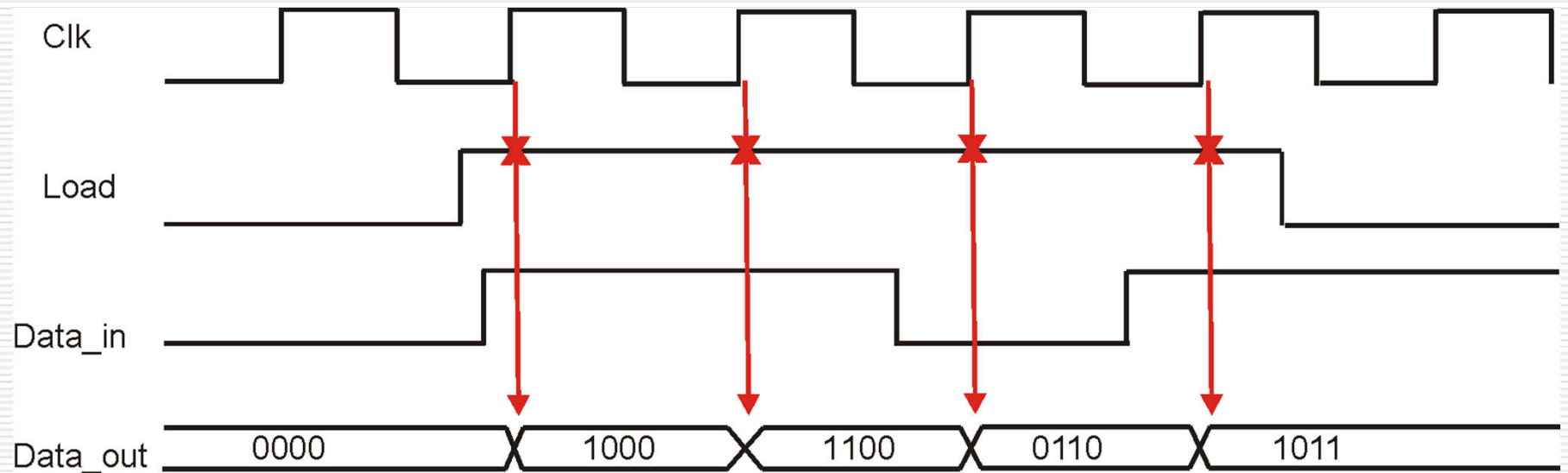
Registru cu intrare seriala – iesire paralela



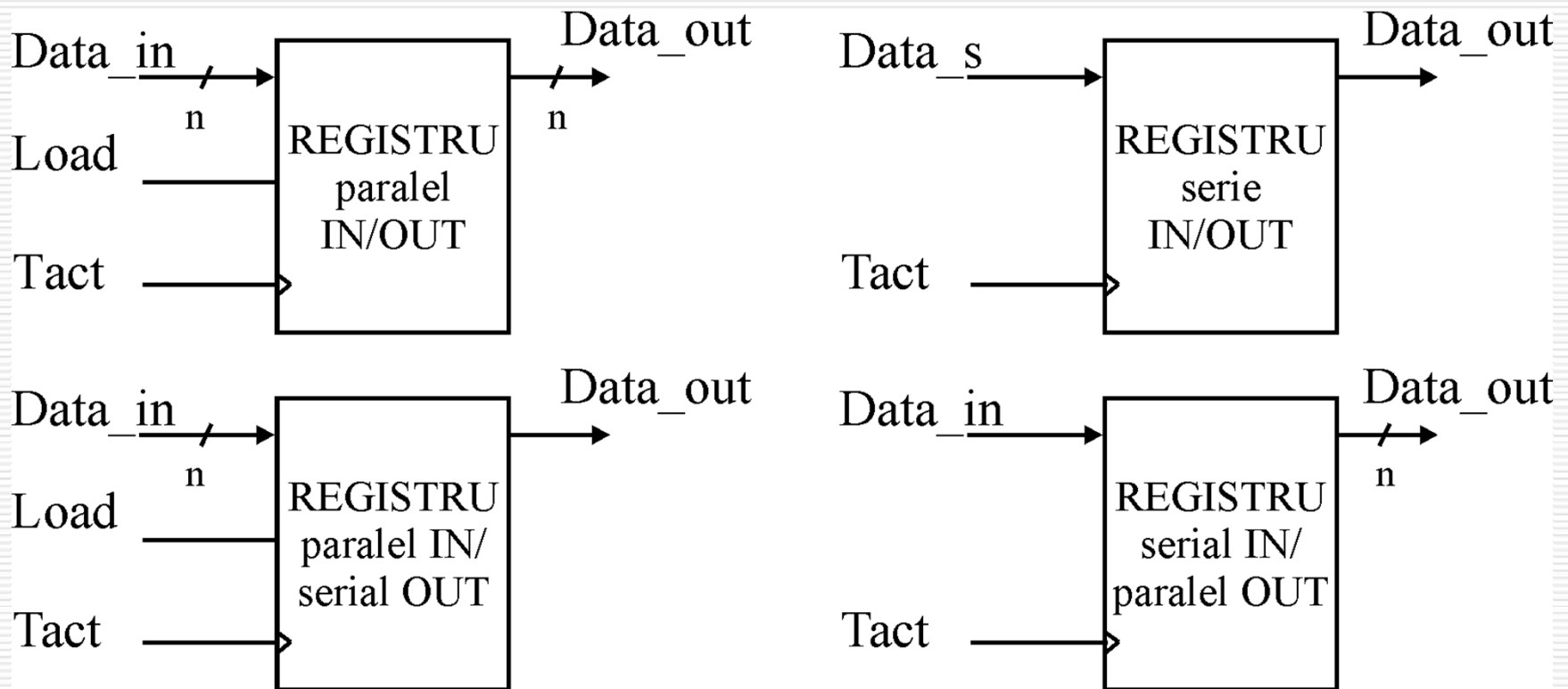
Registru cu intrare seriala – iesire paralela

Shift	Starea Curenta	Starea viitoare
0	$Q_3Q_2Q_1Q_0$	$Q_3Q_2Q_1Q_0$ (nu se schimba)
1	$Q_3Q_2Q_1Q_0$	$\text{DataIn}Q_3Q_2Q_1$

Registru cu intrare seriala – iesire paralela



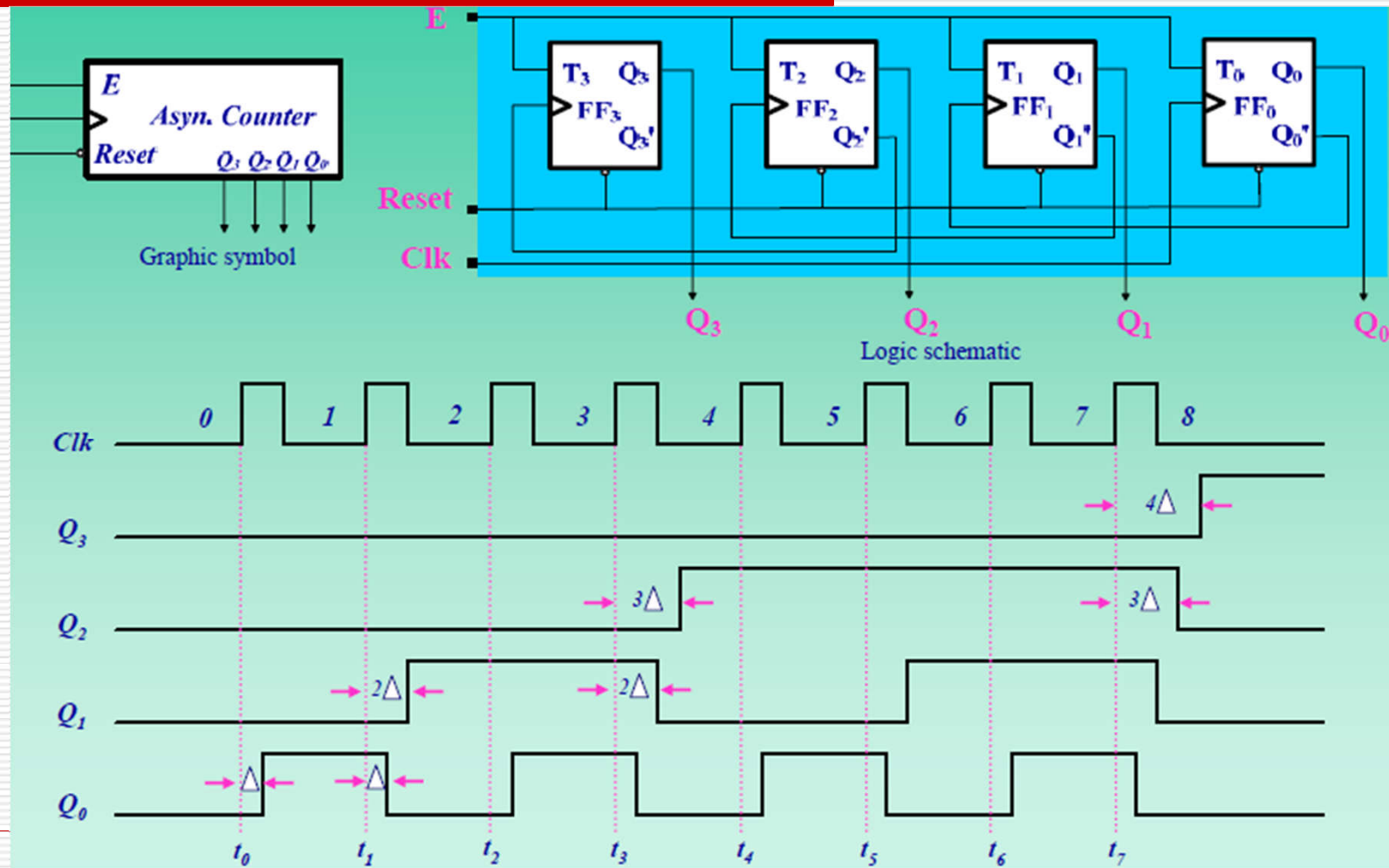
Registre - clasificare



Numărătoare

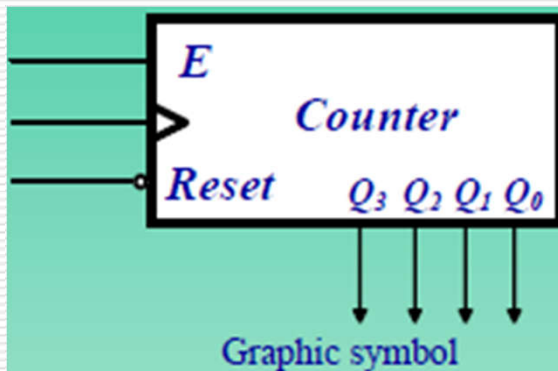
- circuite **secvențiale sincrone autonome** (mulțimea intrărilor vidă), care baleiază o secvență de stări impuse de proiectant.
 - de regulă este inițializat cu starea „0” , după care la fiecare impuls de numărare, comuta într-o nouă stare.
 - caracterul **asincron** al unui numărător este dat de faptul că impulsul de tact nu comandă simultan toate bistabilele numărătorului.
 - Funcție de direcția de parcurgere a secvenței de stări:
 - numărător în sens crescător,
 - numărător în sens descrescător,
 - numărător reversibil (ambele sensuri).
-

Numarator asincron- realizat cu bistabile T



Numarator sincron

- Numărătoarele increm/decrem conținutul când primesc semnal de activare



<i>E</i>	<i>Operations</i>
0	No change
1	Count

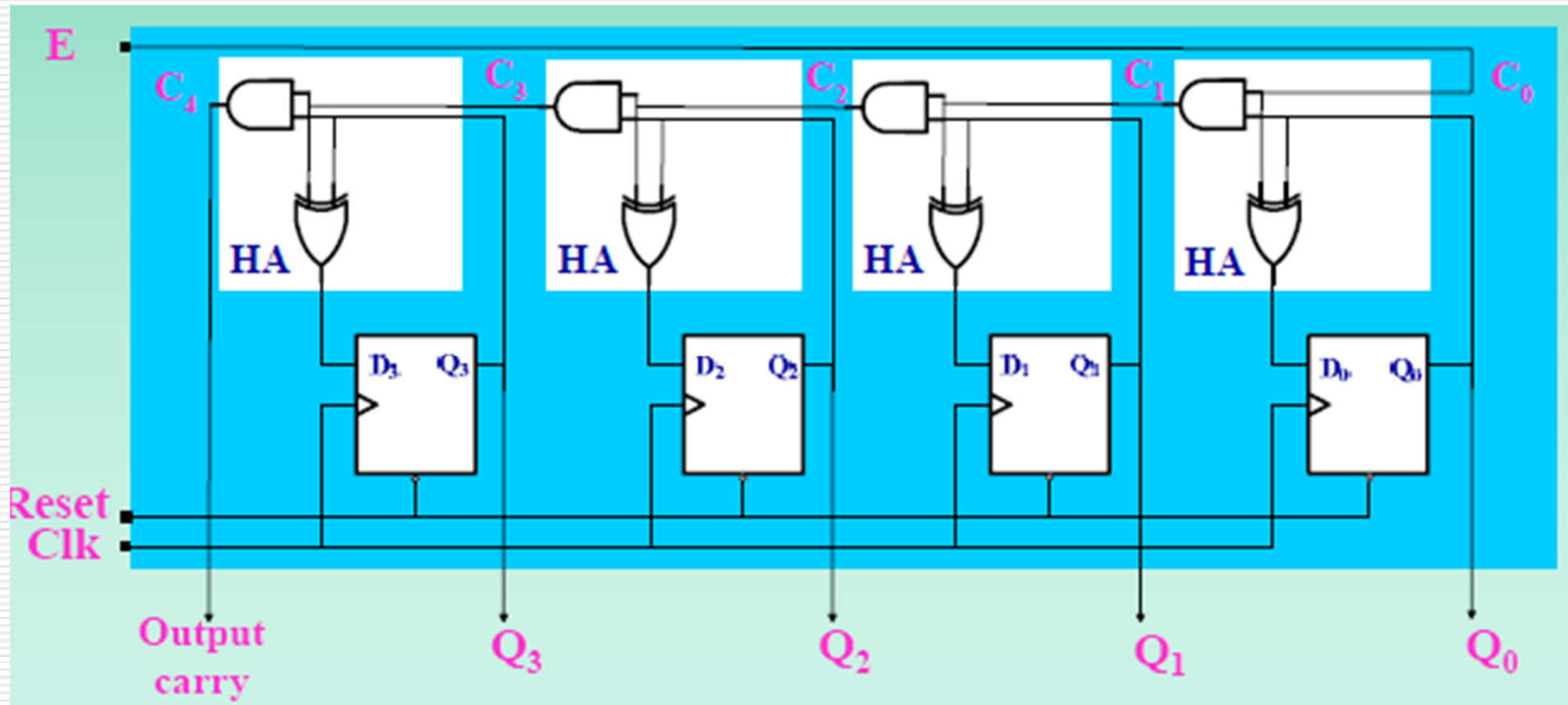
Operation table

$$D_i = Q_i \oplus C_i$$
$$C_{i+1} = Q_i C_i$$

Q_i	C_i	C_{i+1}	D_i
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

HA truth table

Numarator sincron



Întrebări?

**Enough Talking Let's Get To It
!!Brace Yourselves!!**

