

APLICAȚIA 1

FOLOSIREA CAD-URILOR XILINX ISE

1. Introducere

Acest laborator își propune introducerea în tehnologia Xilinx. Vor fi prezentați o serie de pași necesari în toate aplicațiile de laborator care vor urma.

Vor fi trecute în revistă etapele realizării unui design digital (descriere, simulare și prototipaj) folosind ca și produs software Xilinx ISE®. Circuitul descris este o poartă logică elementară: poarta SAU-EXCLUSIV (XOR) cu 2 intrări. Se va folosi Xilinx ISE® pentru sinteză, simulare post-sinteză și analiză de timp. Aplicațiile de laborator viitoare tratează circuite mai complexe. Scopul principal al acestui laborator este acela de a evidenția etapele de proiectare și maniera concretă de realizare a acestora.

Obiectivele lucrării

Obiectivul acestui laborator este acela de exemplificare a utilizării software-ului pentru placa Nexys2, tehnologie Xilinx: Xilinx ISE® și folosirea acestuia în vederea realizării unui design simplu: poarta Xor cu 2 intrări.

Obiective tehnice

1. Deprinderea folosirii editorului schematic din Xilinx ISE® pentru a crea a 2-input AND gate project using the free ISE® WebPACK™.
2. Deprinderea modului în care se realizează compilarea și simularea design-ului aferent porții Xor cu 2 intrări
3. Deprinderea modului în care se realizează compilarea și simularea design-ului aferent unei porți realizate din mai multe componente: Xor cu 3 intrări.

Timp necesar: 2 ore

Pregătirea pentru laborator:

- Citiți documentul înainte de a începe realizarea practică.
- Salvați output-urile pentru fiecare cerință sau anunțați instructorul în vederea prezentării rezultatelor.

Echipamente și Materiale:

Acces la software-ul Xilinx.

2. Instalarea programului Xilinx ISE Webpack

În acest laborator vă sunt prezentați pașii de descărcare, instalare și configurare licență pentru utilitarul gratuit ISE® WebPACK™. În continuare este realizat circuitul de tip schematic pentru un design extrem de simplu. Dacă ISE-ul este deja instalat și configurat, pașii pentru aceasta nu mai trebuie urmați.

Versiunea folosită de ISE este 14.4. Pașii pentru o versiune mai nouă sunt în linii mari aceași.

Instalare software ISE® WebPACK™

Pasul 1:

Înregistrare pe site-ul de la Xilinx www.xilinx.com.

Navigați la pagina <http://www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm> și descărcați ISE® WebPACK™ (utilitarul este gratuit).

Pasul 2:

Instalați ISE® WebPACK™.

Cerințe sistem:

Microsoft Windows XP Professional, 7, Vista sau Linux.

Pasul 3:

Folosirea propriu-zisă.

3. Realizarea design-ului pentru o poartă XOR cu 2 intrări

Etapele realizării unui circuit digital folosind tehnologia Xilinx:

Pas 1: Descrierea design-ului

Există două modalități:

1. Limbaje de descriere hardware HDL (Verilog sau VHDL)
2. Folosind scheme (editorul de scheme).

INTRO: FOLOSIREA CAD-URILOR XILINX ISE

Această lucrare ilustrează ambele modalități, atât descrierea bazată pe Verilog HDL, precum și editorul de scheme.

Pas 2: Sinteza design-ului

Constă în translatarea codului Verilog HDL și/sau fișierelor cu scheme într-un format standard. Fișierul obținut este de tip EDIF.

Pas 3: Implementarea design-ului

Constă în următorii pași: translatare, mapare pe componentele FPGA-ului, alocarea componentelor specifice dispozitivului FPGA, și rutare în vederea stabilirii interconexiunilor dintre componente. Ieșirea acestui process este un fișier (.BIT) folosit pentru programarea FPGA-ului.

Pas 4: Configurare echipament Xilinx

Acesta presupune descărcarea fișierului pe FPGA

Acest laborator prezintă modul în care poate fi realizat design-ul unei porți simple SAU-EXCLUSIV (XOR) folosind mediul de dezvoltare Xilinx ISE. În acest laborator sunt realizați pașii 1 și 2 din procesul de design prezentat anterior. Pașii 3 și 4 fac obiectivul laboratoarelor următoare.

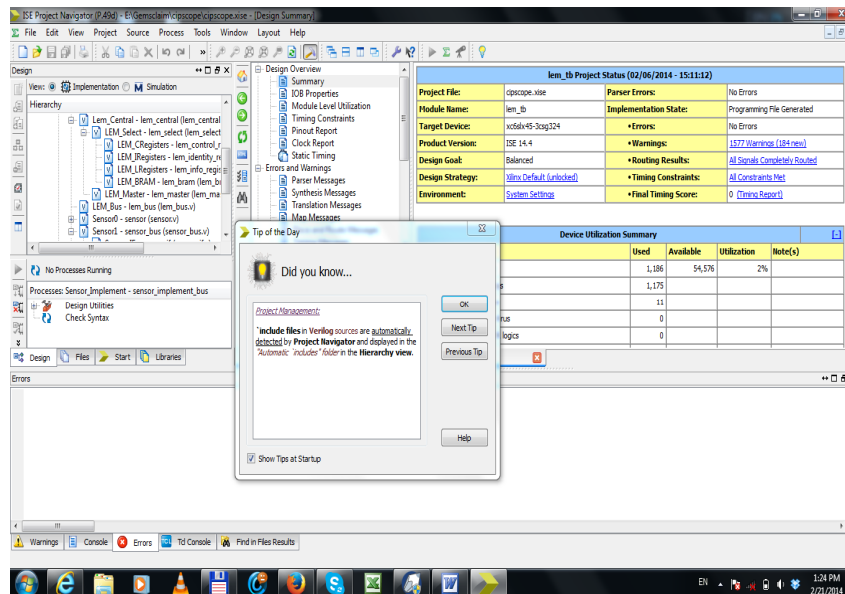
Observație:

La finalul laboratorului vi se cere comentarea/explicarea anumitor pași întreprinși pe parcursul ședinței. Se recomandă răspunsul la aceste întrebări pe măsură ce ele apar în elaborarea lucrării.

Pas 1: Decrierea design-ului

1. Deschidere terminal Ubuntu și tastare comandă *ise*.
2. Fereastra de navigatorul de proiect din cadrul ISE se deschide cu o fereastră: *Tip of the Day* afișată. Apăsați *OK* pentru închiderea ferestrei *Tip of the Day*.

INTRO: FOLOSIREA CAD-URILOR XILINX ISE



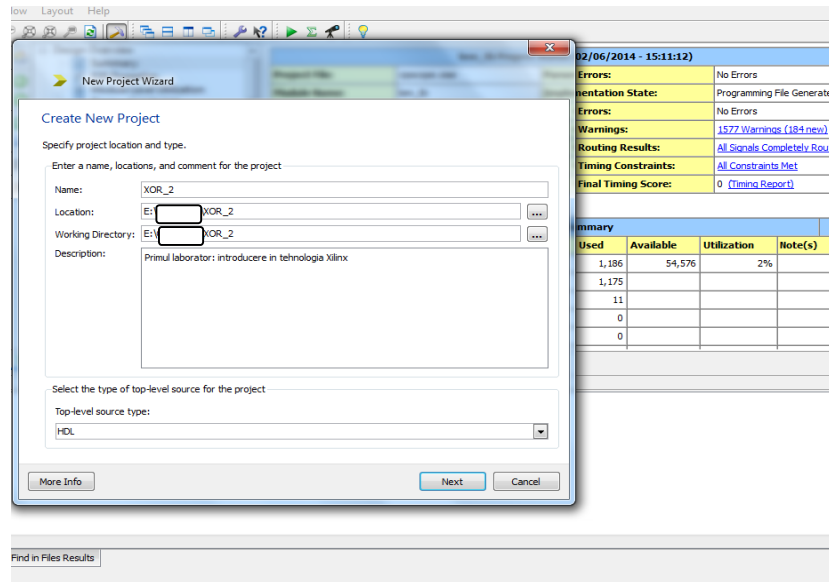
3. Creați un nou proiect prin selectarea din meniul *File* → *New Project*. Această acțiune determină lansarea fereastrei *New Project Wizard*.
 - a. Tastați **MY_XOR_2** în căsuța de text Name.
 - b. Selectați o locație pe calculator unde doriți să se salveze fișierele de proiect prin apăsarea în dreptul butonului (...) și navigați la locația dorită. Apăsați *OK* și verificați corectitudinea ei în căsuța aferentă lui *Location*.
 - c. La *Top-level source type*, selectați *HDL*.
 - d. Apăsați *Next*.

În fereastra de dialog cu setările de proiect (*Project Settings*) inspectați setările default ale proiectului realizat.

Observație:

Numele de fișiere respectă convenția din C. Nu se recomandă folosirea de cuvinte cheie Verilog HDL sau VHDL: reg, wire, entity. Pentru lizibilitate se recomandă folosirea caracterului “_”.

INTRO: FOLOSIREA CAD-URILOR XILINX ISE



4. Nu selectati nimic din lista de selecție a plăcilor disponibile.
Selectati la Family **Spartan3E**
Selectati la Device **XC3S500E**
Selectati la Package **FG320**
Selectați Verilog din meniul de selecție *Preferred Language*.

Observație:

Opțiunile introduce corespund lui plăcii *Digilent Nexys-2*. Verificați că placa folosită este aceeași cu cea din imagine. În caz contrar dați back și completați corespunzător aceste setări. Specificațiile plăcii se găsesc pe cipul FPGA din mijlocul plăcii. Acest lucru este evidențiat în imaginea alăturată. De asemenea aceste specificații se pot găsi pe carcasa/documentația care însoțește placa.

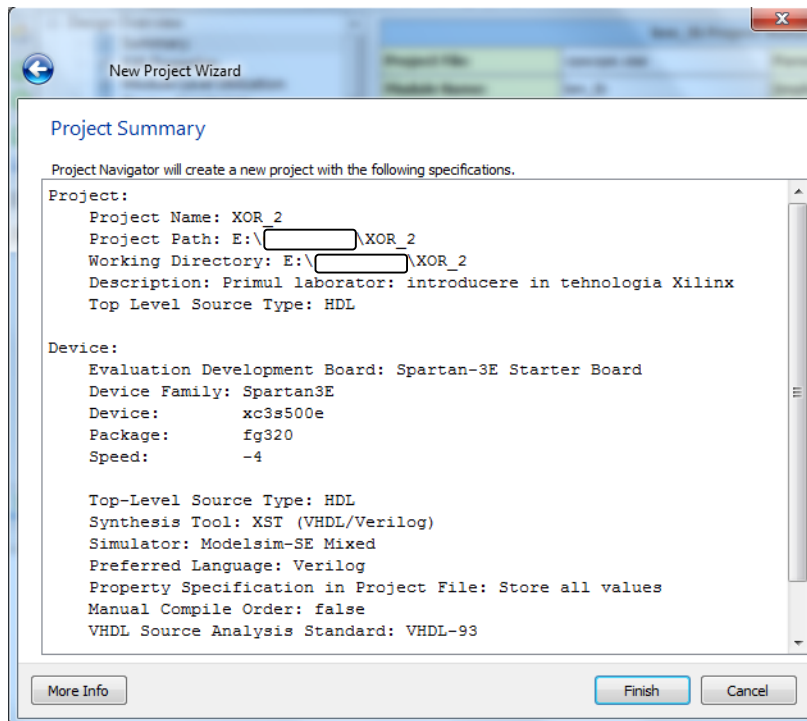
INTRO: FOLOSIREA CAD-URILOR XILINX ISE



Observație:

Aceste setări pot fi configurate ulterior manual de la setările proiectului.

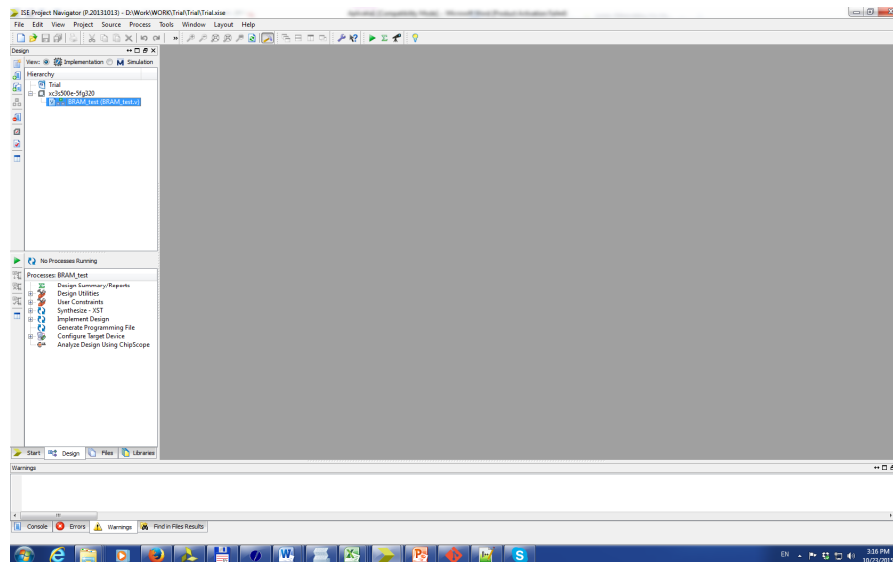
5. În continuare este afișată fereastra *Project Summary*. După ce în prealabil verificați că numele și tipul sunt corecte apăsați *Finish* în vederea finalizării creării unui proiect.



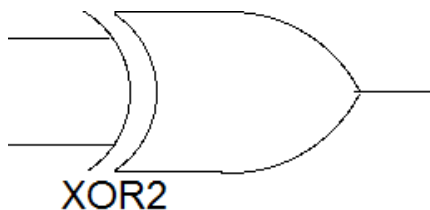
INTRO: FOLOSIREA CAD-URILOR XILINX ISE

6. Fereastra de creare proiect nou se închide și proiectul este astfel creat. Fereastra de navigare proiect (*Project Navigator*) oferă posibilitatea de creare/adăugare de fișiere noi la proiectul curent. De asemenea este utilă pentru parcurgerea ierarhiei de module în cazul componentelor mai complexe.

Se recomandă studierea conținutului lui *Project Navigator*, precum și *Menu*, *Toolbar*, *Panels*, și zona de *Work Space*. De asemenea, remarcați tab-urile: *Design*, *Files* și *Libraries*.

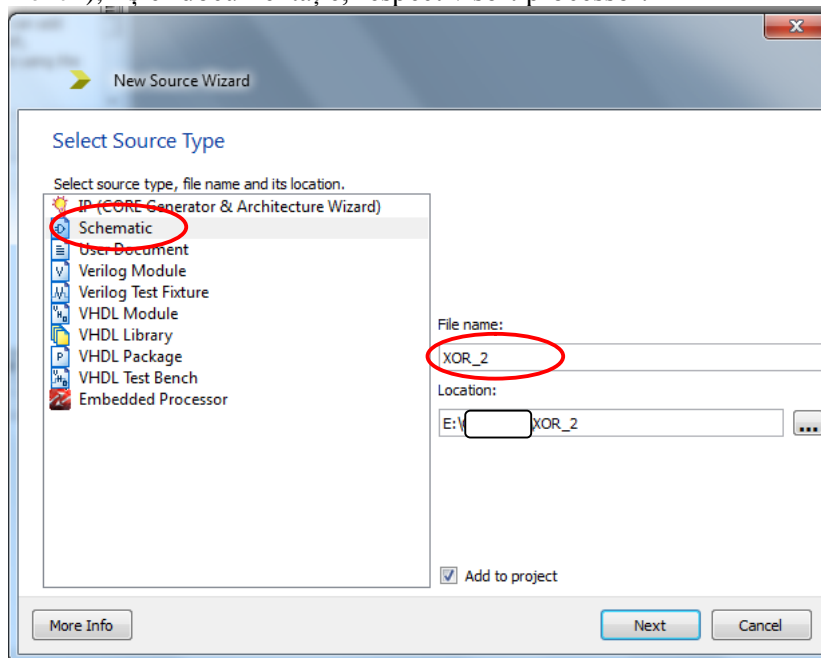


7. În continuare vom descrie o poartă simplă SAU-EXCLUSIV cu 2 intrări așa cum este cea de mai jos. Mai întâi vom explora opțiunea *SCHEMATIC*, și apoi vom realiza descrierea Verilog. Astfel vom vedea cum se realizează descrierea Verilog a unei componente digitale.



INTRO: FOLOSIREA CAD-URILOR XILINX ISE

- Adăugați o sursă nouă de tip schematic proiectului prin selectarea din meniul *Project*→*New source*. Fereastra de creare a unei surse noi - *New Source Wizard* se deschide. Aveți posibilitatea să alegeți între schematic, design de tip Verilog HDL, testbench Verilog HDL (*Verilog Test Fixture*), fișiere design VHDL (Modul, Library, Package, Test Bench), fișier documentație, respectiv soft processor.



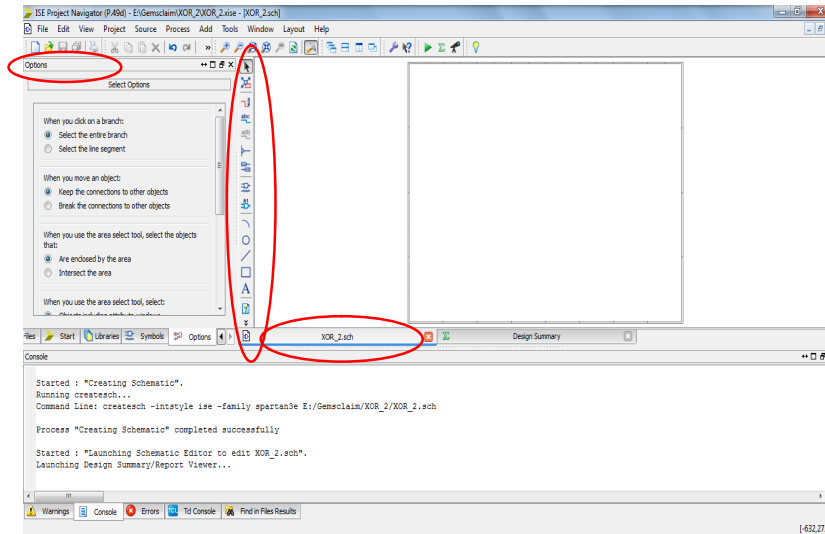
- Selectați *Schematic* de tipuri de surse și tastați MY_XOR_2 pentru numele fișierului, și apoi butonul Next. Fereastra de dialog *Source Summary* se deschide. Apăsăți Finish.

Observație:

MY_XOR_2 este un nume ales de utilizator pentru schematic.

- Noul schematic *MY_XOR_2.sch* este afișat în workspace. Un workspace tab poate fi folosit pentru *Design Summary*. Panoul din dreapta - *Options panel* conține opțiunile și o serie de alte tab-uri suplimentare: *Options* și *Symbols*. Trebuie remarcat *schematic toolbar* situate în stânga workspace-ului.

INTRO: FOLOSIREA CAD-URILOR XILINX ISE



11. Dați un click pe tabul de *Symbols* pentru a afișa simbolurile disponibile.

- La *Categories* selectați *Logic* dacă doriți să vizualizați porțile fundamentale.
- La *Symbols* selectați *xor2*, și apoi dați un click cu mouse-ul pe workspace pentru a plasa o poartă SAU-EXCLUSIV cu 2 intrari.

Observatie

Diferitele opțiuni din panoul de simboluri pot fi setate ca *on* sau *off*. Selectarea unui tool le pune automat pe *on*. Pointerul mouse-ului ne indică tool care este *on*. Printr-un click de mouse în workspace se realizează plasarea simbolului care este la momentul current pe *on* în workspace. Tool-ul rămâne și pot fi plasate mai multe simboluri. La apăsarea tastei ESC el este setat pe *off*. Când un tool este activ atunci panelul de opțiuni oferă posibilitatea realizării configurării toolului respectiv.

12. Adăugați fire la poarta SAU-EXCLUSIV pentru a permite conectarea ulterioară a pinilor sau a altor porți/ componente ale schematic-ului.

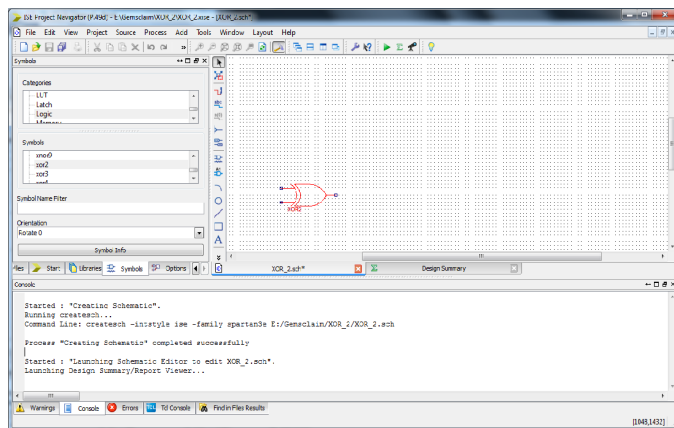
- Click pe butonul de *Add Wires* din *toolbar* pentru a active tool-ul pentru conexiuni.
- Adăugați un fir pe fiecare intrare și ieșire a porții printr-un *Click* la fiecare capăt urmat de un dublu-*click* la locul unde se termină firul. Repetați pentru fiecare fir.

INTRO: FOLOSIREA CAD-URILOR XILINX ISE

- Apăsați tasta *ESC* pentru a opri tool-ul de adăugat conexiuni.

Observație:

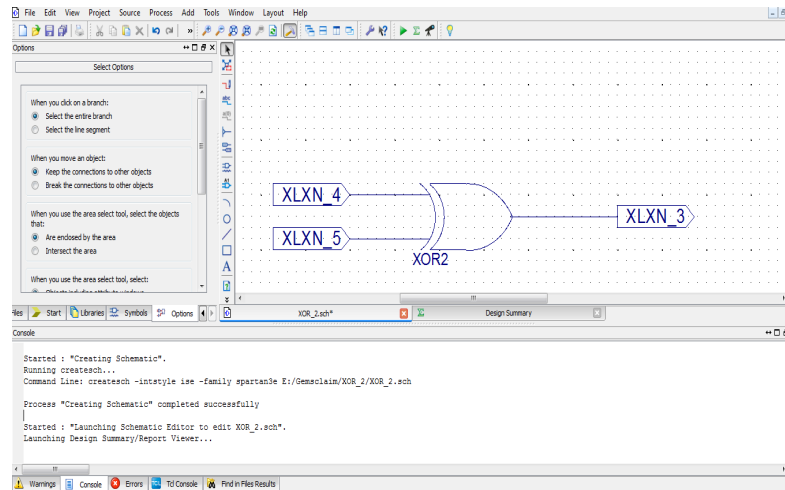
Acest design este atât de simplu încât nu necesită conexiuni.



13. Un **marker I/O** corespunde unei intrări (input), ieșiri (output), sau unui semnal bidirecțional (bidirectional). Astfel pe de-o parte este stabilit sensul de transmisie al informației, iar pe de altă parte este specificată funcția de pin din interfața componentei la care se realizează design-ul. Este selectat tool-ul de *I/O Marker* din toolbar.

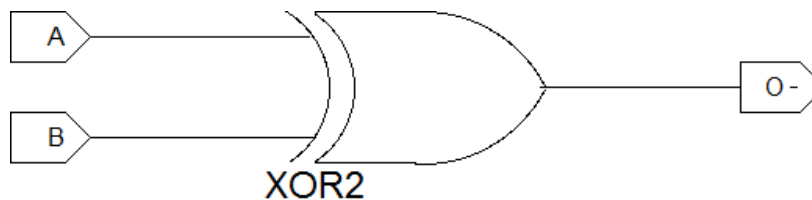
- Click pe butonul *Add I/O Markers* din *toolbar* pentru activarea tool-ului *Add I/O Markers*.
- Adăugați un *I/O marker* prin setarea pointerului mouse-ului la capătul firului urmată de un click de mouse. Faceți această operațiune pentru fiecare capăt.
- Apăsați tasta *ESC* pentru a dezactiva tool-ul *Add I/O Markers*
- Schimbați denumirea marker-ului *I/O* prin click dreapta pe acesta, urmat de selectarea *Rename Port* din meniu.

INTRO: FOLOSIREA CAD-URILOR XILINX ISE



14. După finalizarea schematic-ului verificați eventualele erori de interconectare dintre componente prin selectarea din meniul *Tools* → *Check Schematic*.

În tablul de jos la consolă (*Console Panel*) veți găsi listate warning-urile și eventualele erori din design. Dacă apar erori trebuie corectate și reluată verificarea.



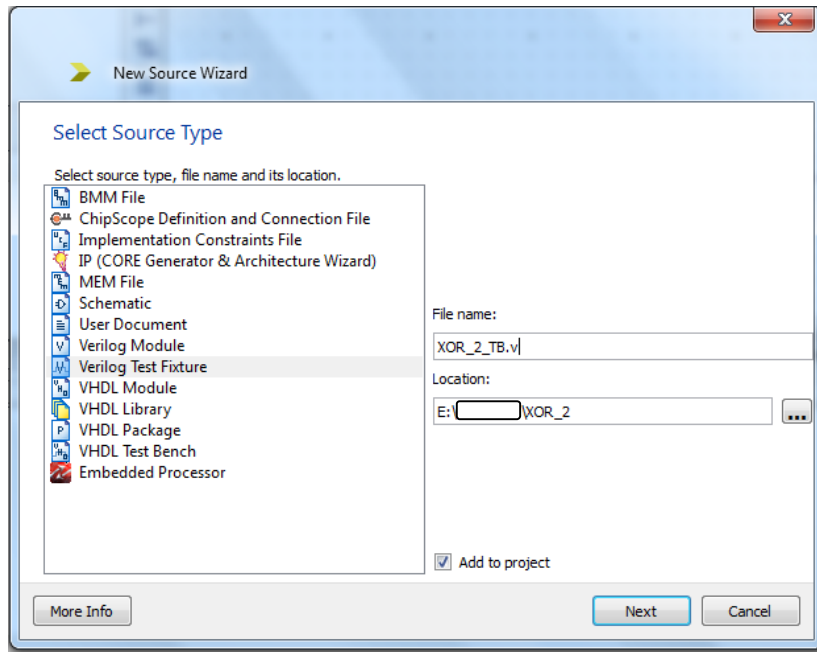
4. Simularea circuitului

15. Realizați un testbench. Click dreapta pe Hierarchy și selectați *New Source* din meniu.
16. Selectați la tipul sursei *Verilog Test Fixture*.
17. Introduceți *MY_XOR_2_TB* la numele fișierului.

INTRO: FOLOSIREA CAD-URILOR XILINX ISE

Observație:

Se obișnuiește ca numele fișierului testbench să fie același cu numele componentei verificate la care se adaugă **_TB**.



18. Click pe butonul de *Next*. În caseta de dialog care solicită asocierea sursei (Associate Source) selectați MY_XOR_2 și dați Next.

Observație:

Dacă proiectul ar fi conținut mai multe fișiere (verilog, vhd, schematic) pentru mai multe componente acestea ar fi fost listate.

19. Fișierul de verificare comportament circuit - test bench – va apărea în parte din workspace. La acesta adăugați liniile marcate de mai jos.

```
// Verilog test fixture created from schematic ...
`timescale 1ns / 1ps
```

```
module MY_XOR_2_sch_tb();
```

```
// Inputs
```

```
    reg A;
```

```
    reg B;
```

```
// Output
```

```
    wire O;
```

```
// Instantiate the UUT
```

```
    MY_XOR_2 UUT (
```

```
        .O(O),
```

```
        .A(A),
```

```
        .B(B)
```

```
    );
```

```
// Initialize Inputs
```

```
    initial
```

```
    begin
```

```
        A = 0;
```

```
        B = 0;
```

```
    end
```

```
    always
```

```
    begin
```

```
        #20 A = ~ A;
```

```
        #20 B = ~ B;
```

```
    end
```

```
endmodule
```

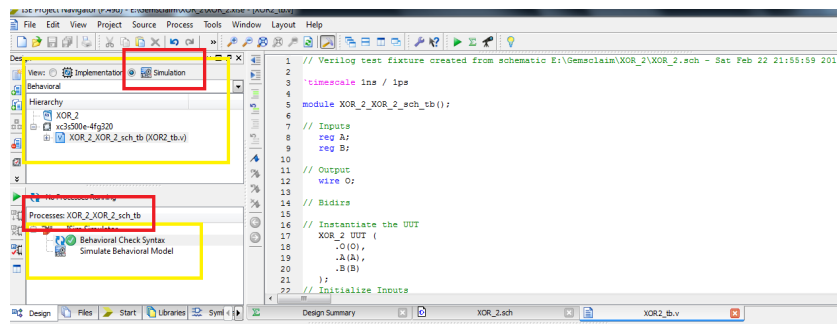
Observație:

Blocul *initial* este folosit pentru a inițializa prima dată valoarea semnalelor de intrare. Blocul *always* este folosit pentru a modifica

INTRO: FOLOSIREA CAD-URILOR XILINX ISE

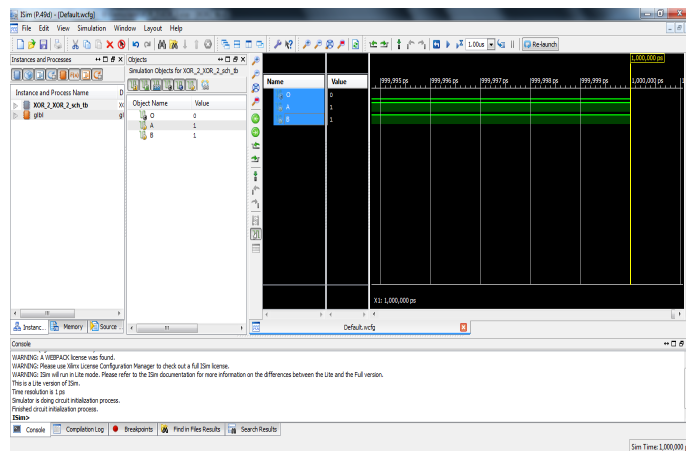
continuu valoarea semalelor A, respective B cu complementul acestora, modificare urmată de o întârziere de 20 respectiv 40 nanosecunde.

20. În panelul *View Pane*, selectați *Simulation*. Ierarhia de simulare aferentă proiectului este afișată. De asemenea în fereastra de jos sunt prezentate cele două opțiuni: verificarea sintaxei, respectiv realizarea simulării.



21. Expandați *ISim Simulator* dacă nu sunt detaliate cele două opțiuni.
22. Double-click pe *Simulate Behavioral Model*. Selectați salvarea tuturor modificărilor făcute.

Astfel este pornită simularea. Fereastra de *ISim* este deschisă.



23. Urmăriți formele de undă și verificați funcționarea design-ului. Formele de undă trebuie să respecte descrierea din următorul tabel de adevăr, $A \text{ xor } B = C$.

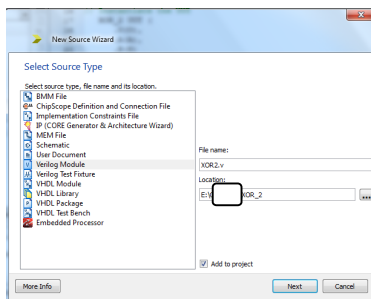
A	B	C
0	0	0
0	1	1
1	0	1
1	1	0

Când simularea este finalizată închideți aplicația **ISim** și reveniți în ISE.

5. Realizarea unui fișier Verilog aferent unei porți SAU-EXCLUSIV

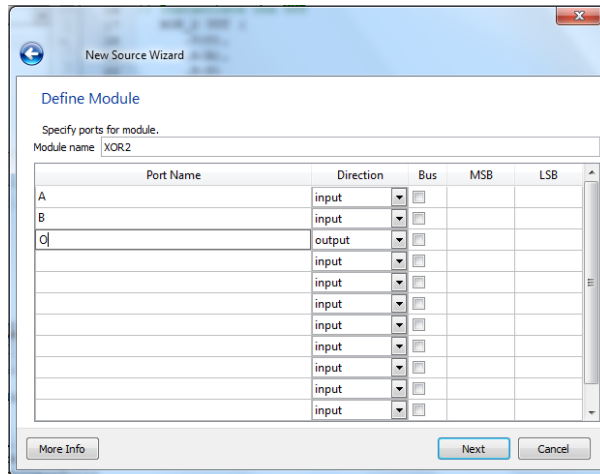
În continuare ne propunem să modelăm același circuit folosind un limbaj de descriere hardware (HDL), în speță Verilog HDL.

- Dați un Click pe tabul *Design*. *Right-click* pe Design Panel și apoi alegeți *New Source...* din meniu. Wizard-ul New Source apare. Selectați *Verilog module*. Introduceți numele fișierului **MY_XOR_2.v**.

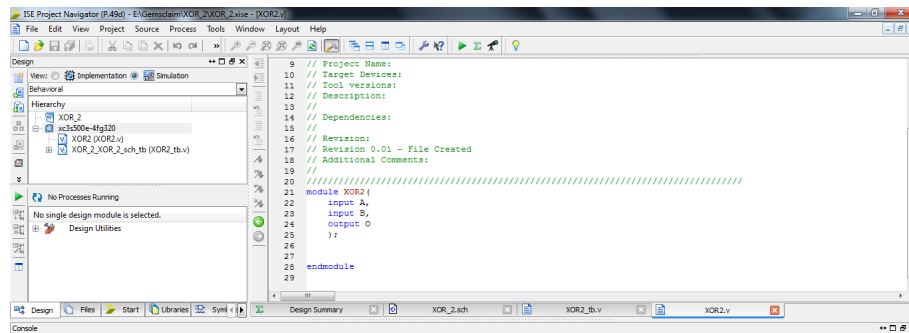


- Introduceți numele porturilor (*port names*) și selectați direcția de transmisie a datelor. Apăsați butonul de *Next*. Fereastra cu *Summary dialog* va apărea. Apăsați butonul de *Finish* pentru a finaliza operația.

INTRO: FOLOSIREA CAD-URILOR XILINX ISE



3. ISE-ul generează cod sursă care este afișat în zona de *workspace*. Elementul de bază pentru descrierea unui circuit în Verilog este modulul - *module*. Toate intrările și ieșirile sunt declarate în secțiunea declarativă. Descrierea efectivă urmează după declararea interfeței și a porturilor de intrare/ieșire și se încheie cu *endmodule*.

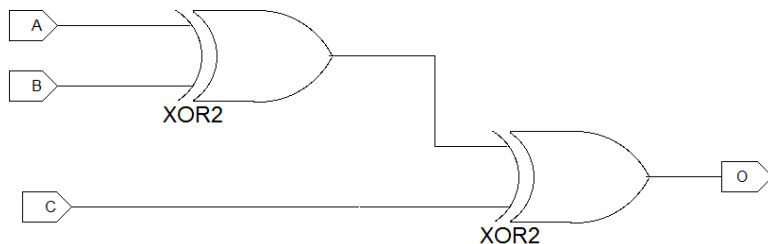


4. Adăugați următoarea linie de cod, ce descrie comportamentul porții SAU-EXCLUSIV

assign O<=A^B;

6. Exerciții

Construiți următorul circuit (XOR cu 3 intrari) folosind porți XOR cu 2 intrări.



Construiți un fișier de test - test bench. Realizați următoarele modificări la fișierul test bench și simulați-l pentru a verifica funcționarea corectă a acestuia.

BIBLIOGRAFIE

- [1] Xilinx - Xilinx UG695 ISE In Depth Tutorial - http://www.xilinx.com/support/documentation/sw_manuals/xilinx14_1/ise_tutorial_ug695.pdf , 2012
- [2] C. Kief, A. Vera, A. Haddad, Q. Cao. COSMIAC FPGA Tutorials <http://cosmiac.org/thrust-areas/education-and-workforce-development/fpga/ate-developed-material/>.
- [3] J. F. Wakerly – Digital Design: Principles and Practices, 3rd Edition, Prentice Hall, 2000
- [4] R. Haskell, D. Hanna - Introduction to Digital Design Using Digilent FPGA Boards – Block Diagram/Verilog Examples – LBE Books, 2009
- [5] Digilent Nexys 2 Reference Manual - https://www.digilentinc.com/Data/Products/NEXYS2/Nexys2_rm.pdf