

Dan NICULA

ELECTRONICĂ DIGITALĂ

Carte de învățatură 2.0



Editura Universității *TRANSILVANIA* din Brașov
ISBN 978-606-19-0563-8

2015

Lecția 18

Memorii

18.1 Noțiuni teoretice

Memoria ROM (Engl. *"Read Only Memory"*) este o memorie accesibilă doar în citire (în timpul funcționării normale). Aceasta este un circuit combinațional a cărui funcție de transfer este descrisă sub forma unui tabel adresă/dată.

Memoria RAM (Engl. *"Random Acces Memory"*) este o memorie accesată în mod normal atât pentru scrierea cât și pentru citirea datelor. Memoria RAM are structura unui circuit secvențial, conținând elemente de memorare a datelor. În funcție de modul de stocare a informației, memoriile RAM se clasifică după cum urmează:

- **Memoria SRAM** (Engl. *"Static RAM"*) stochează informația într-o celulă de memorie cu o structură bazată pe un latch (două inversoare conectate în buclă). Celula de memorie (figura 18.1-a) se numește **statică** deoarece cele două inversoare active sunt capabile să își păstreze starea atâta timp cât circuitul este alimentat.

Simbolul bloc al unei memorii SRAM (figura 18.1-b) prezintă bus-uri de date de intrare și de ieșire, bus-ul de adrese și semnale de control care comandă validarea chip-ului (CS - Chip Select) și scrierea datelor (WR - Write).

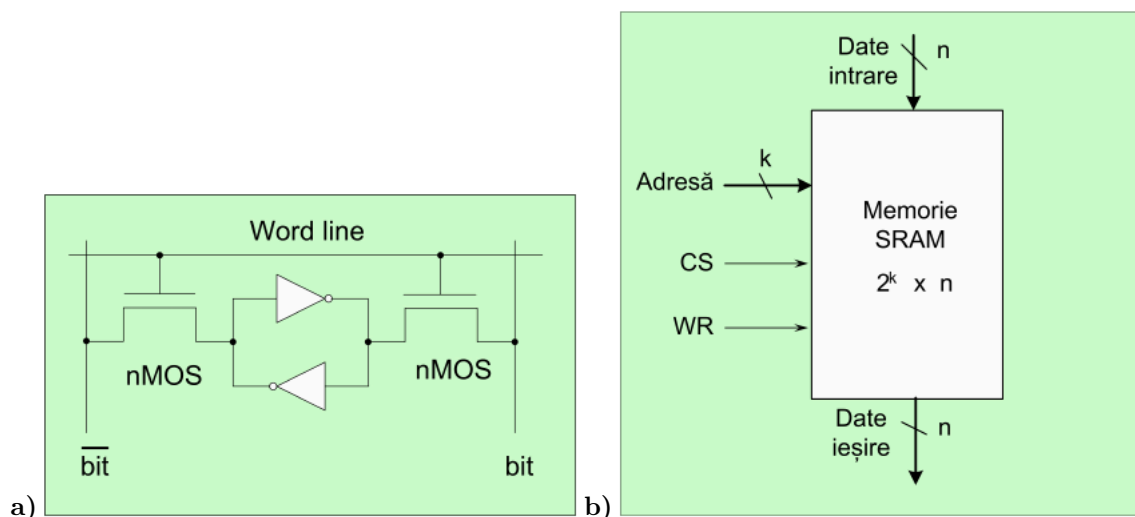


Figura 18.1 Memoria SRAM: **a)** celula de memorie, **b)** simbolul bloc al unei memorii SRAM generice, $2^k \times n$.

- **Memoria DRAM** (Engl. *"Dynamic RAM"*), stochează informația sub forma de sarcină electrică într-o celulă de memorie cu o structură bazată pe un capacitor. Celula de memorie (figura 18.2-a) se numește **dinamică** deoarece sarcina capacitivă stocată se diminuează în timp datorită pierderilor capacitorului. Din acest motiv,



memoriile DRAM necesită periodic o acțiune de "împrospătare" (Engl. "*refresh*") a sarcinii electrice stocate pentru refacerea periodică a informației înscrise în memorie. Aceasta este un dezavantaj al memoriilor DRAM față de cele SRAM. Însă, memoriile DRAM au avantajul unor celule de memorie de dimensiune mult mai mică care determină posibilitatea realizării unor memorii de dimensiuni mult mai mari într-o capsulă. Dimensiunea mare a matricii de memorie integrate pe un chip ar determina atât un număr mare de pini, cât și necesitatea realizării acțiunii de refresh la multe locații într-un interval de timp. Reducerea numărului de porturi ale memoriei DRAM și realizarea acțiunii de împrospătare la mai multe locații de adresă simultan, a determinat modificarea matricii de memorie prin înlocuirea accesării liniare pe bază de *adresă* cu o accesare bidimensională, secvențială de tipul *rând și coloană*. Bus-ul de adresă are semnificația de "rând" dacă este activat semnalul **RAS - Row Address Strobe** și semnificația de "coloană" dacă este activat semnalul **CAS - Column Address Strobe**.

Simbolul bloc al unei memorii DRAM (figura 18.2-b) prezintă un bus de date bidirecțional (intrare și ieșire), bus-ul de adrese și semnale de control care comandă validarea chip-ului, semnificația adresei, scrierea datelor, acțiuni de inițializare și împrospătare a memoriei. Se remarcă faptul că la memoria DRAM o adresă de locație este împărțită în două părți (rând și coloană) și este prezentată secvențial pe același port de adrese (având lățimea jumătatea din lățimea busului de adrese la o memorie SRAM de dimensiune identică).

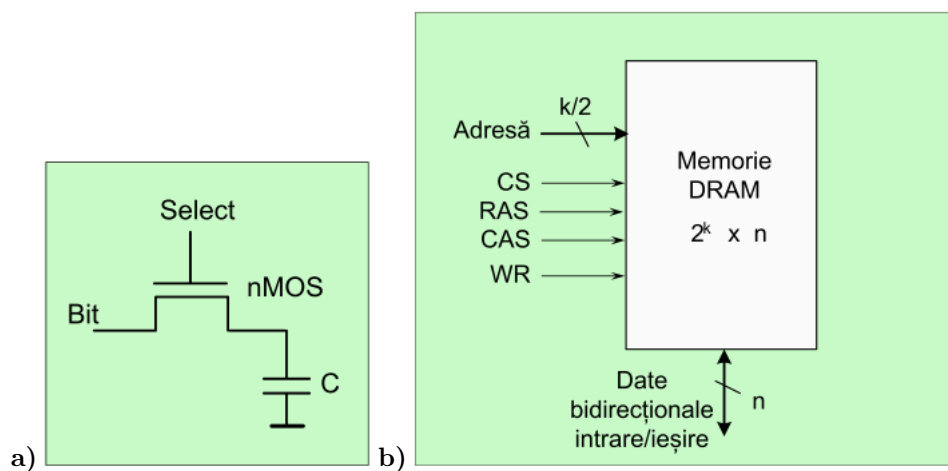


Figura 18.2 Memoria DRAM: a) celula de memorie, b) simbolul bloc al unei memorii DRAM generice, $2^k \times n$.

18.2 Pentru cei ce vor doar să promoveze examenul

1. Ce este o "poartă logică în 3 stări"? La ce se utilizează?

Soluție

Poarta logică în 3 stări prezintă, pe lângă cele două stări binare (0 și 1), o stare caracterizată printr-o impedanță de ieșire mare, ideal infinită. Ieșirea porții logice în stare de înaltă impedanță, simbolizată HiZ (Engl. "*High Z*") poate fi conectată la ieșirea altei porții logice, fără a afecta funcționalitatea acesteia. Poarta în 3 stări are două intrări: o *intrare de date* și o *intrare de validare*. În funcție de stările active ale celor două intrări, există 4 tipuri de porți în 3 stări, ale căror simboluri și tabele de funcționare sunt prezentate în figura 18.3.

Porțile în 3 stări sunt utilizate în aplicații care necesită conectarea mai multor ieșiri de circuite logice împreună:

- *porți pentru magistrale* (semnalele de validare a mai multor porți sunt controlate astfel încât, la un moment dat, o singură poartă să determine starea logică a magistralei, restul fiind în stare de înaltă impedanță);
- *circuite de interfațare cu porturi bidirecționale* (poarta în 3 stări este în stare de înaltă impedanță când datele intră în circuit și se activează doar când circuitul respectiv trimite date spre exterior);
- *extinderea capacității memoriilor dinamice* (conectarea mai multor chip-uri de memorie pentru a realiza un modul de memorie de dimensiune mai mare).



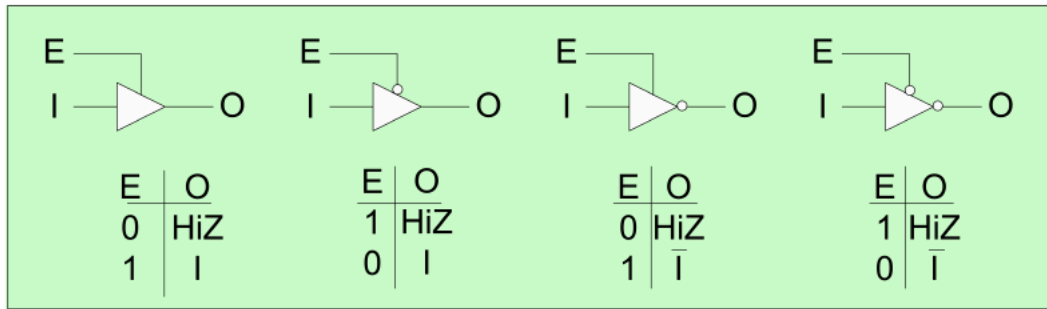


Figura 18.3 Porți în 3 stări (simboluri și tabele de funcționare).

2. Ce capacitate de memorie (exprimată în biți) are o memorie RAM $1K \times 16$? Dar o memorie de 48KB?
Soluție
 $1K \times 16 = 1024 \times 16 = 16.384$ biți.
3. De ce memoria RAM dinamică are nevoie de o acțiune periodică de reîmprospătare a informației (Engl. "refresh") iar memoriile statice RAM nu necesită acest lucru?
4. Care este simbolul generic a unei memorii DRAM $1M \times 8$?
5. Care este simbolul generic al unei memorii stivă de dimensiune $1M \times 8$?
6. Proiectați un modul de memorie DRAM de dimensiune $1M \times 8$ utilizând chip-uri de memorie $32K \times 8$. Câți biți de adresă are modulul de memorie? Câți biți de adresă sunt conectați la toate chip-urile și câți se decodifică? Dacă perioada de refresh este de 64 ms, care este intervalul de timp între două comenzi de refresh, în cazul unor acțiuni uniforme distribuite în timp?

18.3 Pentru cei ce vor să învețe

1. Care este numărul exact de biți dintr-o memorie de capacitate:
 $2Kb$, $4KB$, $32Kb$, $32KB$, $256Mb$, $1MB$, $8Mb$, $16GB$, $500GB$, $1TB$?

Soluție

- $2Kb = 2 \times 2^{10} = 2^{11} = 2.048$ biți $\cong 2 \times 10^3$ biți
- $4KB = 2^2 \times 2^{10} \times 2^3 = 2^{15} = 32.768$ biți $\cong 4 \times 10^3$ bytes
- $32Kb = 2^5 \times 2^{10} = 2^{15} = 32.768$ biți $\cong 32 \times 10^3$ biți
- $32KB = 2^5 \times 2^{10} \times 2^3 = 2^{18} = 262.144$ biți $\cong 32 \times 10^3$ bytes
- $256Mb = 2^8 \times 2^{20} = 2^{28} = 268.435.456$ biți $\cong 256 \times 10^6$ biți
- $1MB = 2^{20} \times 2^3 = 2^{23} = 8.388.608$ biți $\cong 10^6$ bytes
- $8Mb = 2^3 \times 2^{20} = 2^{23} = 8.388.608$ biți $\cong 8 \times 10^6$ biți
- $16GB = 2^4 \times 2^{30} \times 2^3 = 2^{37} = 137.438.953.472$ biți $\cong 16 \times 10^9$ bytes
- $500GB = 500 \times 2^{30} \times 2^3 = 500 \times 2^{33} = 4.294.967.296.000$ biți $\cong 500 \times 10^9$ bytes
- $1TB = 2^{40} \times 2^3 = 2^{43} = 8.796.093.022.208$ biți $\cong 10^{12}$ bytes

2. Justificați valoarea de adevăr a fiecărei afirmații:
 - a) O memorie DRAM $1M \times 8$ are 10 porturi de adresă.
 - b) O memorie SRAM $1K \times 8$ conține 8000 de biți de date.
 - c) Pentru a realiza un modul de memorie de 1GB sunt necesare 8 chip-uri de 128MB.



3. Implementarea unui bit de paritate pentru fiecare byte la o memorie de $2K \times 8$ determină creșterea dimensiunii memoriei cu:
 - a) 1.25%
 - b) 10%
 - c) 12.5%
 - d) 20%
4. Explicați diferențele dintre noțiunile SRAM, DRAM și SDRAM.
5. La o memorie de 1MB se dorește implementarea unui bit de paritate la fiecare byte. Cu câte procente crește dimensiunea memoriei?
6. Precizați numărul de biți de adrese și numărul de biți de date pentru memoriile de dimensiune:
 - a) $4K \times 16$, b) $256M \times 8$, c) $8G \times 64$, d) $1K \times 8$, e) 32×32 .
 Calculați cu precizie numărul de biți stocați în memoriile de dimensiuni precizate anterior.
7. Proiectați un modul de memorie SRAM de dimensiune $4K \times 16$ utilizând chip-uri de memorie $1K \times 8$.

Soluție

Simbolul chip-ului de memorie $1K \times 8$ este prezentat în figura 18.4-a, iar cel al modulului de memorie $4K \times 16$ este prezentat în figura 18.4-b.

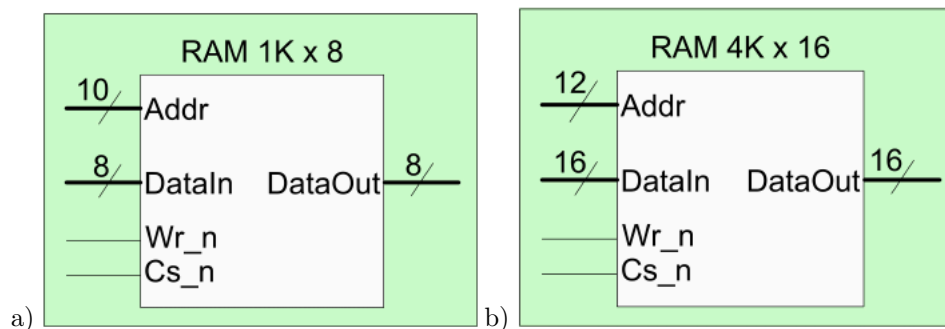


Figura 18.4 Simboluri: a) chip de memorie $1K \times 8$, b) modul de memorie $4K \times 16$.

Pentru a determina numărul chip-urilor de memorie necesare pentru implementarea modulului se împarte dimensiunea modulului la dimensiunea chip-ului:

$$4K \setminus 1K = 4 \text{ rânduri}, 16 \setminus 8 = 2 \text{ coloane.}$$

Din cei 12 biți de adresă ai modulului, cei mai puțin semnificativi 10 biți se conectează pe intrările de adrese ale tuturor chip-urilor. Cei mai semnificativi 2 biți de adresă se decodifică și se obțin 4 semnale de selecție, câte unul pentru fiecare rând de chip-uri. Decodificarea se realizează cu un demultiplexor a cărui intrare de selecție provine de la intrarea de selecție a modulului de memorie.

Semnalele de date se aplică câte 8 biți în comun fiecărei coloane de chip-uri.

Ieșirile de date ale chip-urilor de pe o coloană se conectează împreună (ieșirile chip-urilor de memorie fiind ieșiri de tip tri-state). Cele două grupuri de 8 biți de ieșire se concatenează și formează bus-ul de date de ieșire de 16 biți.

Semnalul de scriere se aplică în comun tuturor chip-urilor din matricea de memorie. Schema de conectare a chip-urilor pentru realizarea modulului de memorie este reprezentată în figura 18.5.

18.4 Pentru cei ce vor să devină profesioniști

1. Se dorește realizarea unui modul de memorie $2K \times 8$ folosind chip-uri de memorie RAM 128×8 .
 - a) Câte chip-uri sunt necesare?
 - b) Câte linii de adresă sunt necesare pentru a adresa modulul de memorie?
 - c) Câte linii de adresă trebuie conectate împreună la toate chip-urile?



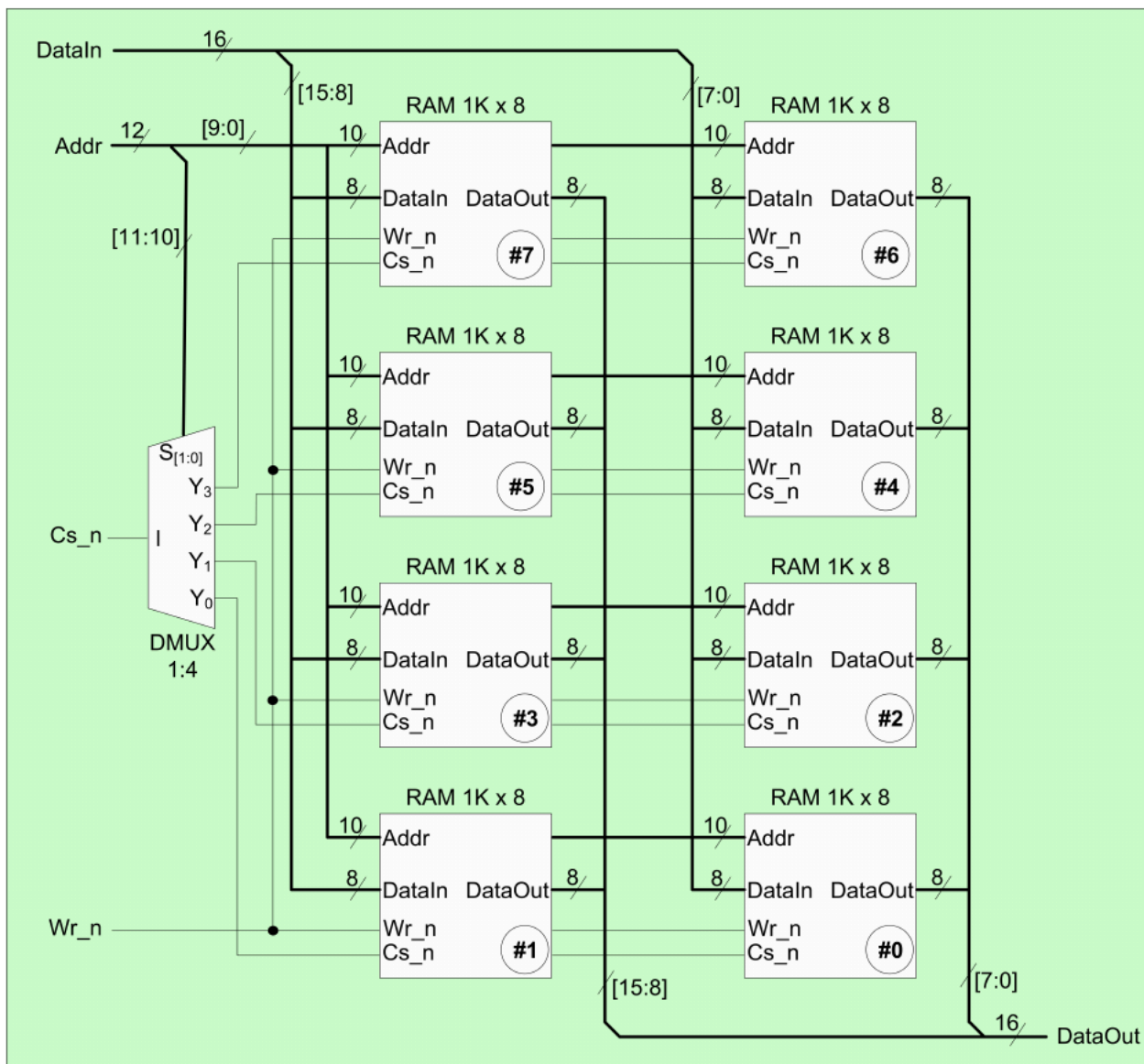


Figura 18.5 Implementarea modului de memorie $4K \times 16$ cu chip-uri de memorie $1K \times 8$.

d) Câte linii de adresă trebuie decodate pentru intrările de selecție ale chip-urilor?

e) Ce dimensiune are decodificatorul necesar?

Soluție

a) Numărul de chip-uri se determină împărțind dimensiunea modului la dimensiunea chip-ului:

$$2K/128 = 2^{11}/2^7 = 2^4 = 16 \text{ rânduri}$$

$$8/8 = 1 \text{ coloană}$$

$$\text{Total} = 16 \text{ rânduri} \times 1 \text{ coloană} = 16 \text{ chip-uri.}$$

b) Numărul de linii de adresă se determină din ecuația:

$$2^{\text{număr linii adresă}} = \text{adâncime memorie}$$

$$\text{Rezultă 11 linii de adresă } (2^{11} = 2K).$$

c) O parte a liniilor de adresă ale modului se conectează împreună la porturile de adresă ale tuturor chip-urilor, iar o altă parte se decodifică pentru a genera semnale de validare pentru chip-uri. Numărul liniilor de adresă ce se conectează împreună la toate chip-urile este egal cu numărul de biți de adresă ai chip-ului. În acest caz sunt 7 biți de adresă ($2^7 = 128$).

d) Se decodifică un număr de biți de adresă egal cu diferența dintre numărul de biți ai adresei modului și numărul de biți ai adresei chip-ului. În acest caz trebuie decodificați 4 biți ($11 - 7 = 4$).

e) Pentru decodificarea adresei este necesar un decodificator de 4 biți, rezultând 16 semnale de validare, câte



unul pentru fiecare rând al matricii de chip-uri care implementează modulul.

