

APLICAȚIA 2

IMPLEMENTAREA UNUI CIRCUIT ÎN DISPOZITIVE FPGA

1. Rezumat

Acest laborator își propune introducerea în tehnologia Xilinx. Vor fi prezentați o serie de pași necesari în toate lucrările de laborator care vor urma.

Vor fi trecuți în revistă etapele realizării unui design digital (descriere, simulare și prototipaj) folosind ca și produs software Xilinx ISE®. Circuitul descris este un circuit *majority voting* cu 3 intrări. Se va folosi Xilinx ISE® pentru sinteză, simulare post-sinteză și analiză de timp. Lucrările de laborator viitoare tratează circuite mai complexe. Scopul principal al acestui laborator este acela de a evidenția etapele de design și maniera concretă de realizare a acestora.

Obiectivele lucrării

Obiectivul acestui laborator este acela de familiarizare cu software-ul Xilinx ISE® în vederea parcurgerii pașilor de sinteză și implementare a unui design prin realizarea unui design simplu: *majority voter* cu 3 intrări.

Obiective tehnice

1. Familiarizare cu placa Digilent Nexys2
2. Realizarea unui design simplu: poartă majority folosind ISE® WebPACK™ și simularea lui.
3. Sinteza și implementare design.
4. Configurare FPGA Nexys2.

Timp necesar

2-3 ore

INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

Pregătirea pentru laborator

- Citiți documentul înainte de a începe realizarea practică.
- Salvați output-urile pentru fiecare cerință sau anunțați cadrul didactic în vederea prezentării rezultatelor.

Echipamente și Materiale

Acces la software-ul Xilinx

Necesar	Cantitate
Software ISE® WebPACK™ 14.4 de pe pagina de WEB Xilinx, www.xilinx.com	1
Plugin Digilent (www.digilent.com)	1
Placă Digilent Nexys 2	1

2. Placa Nexys2

Efectuați unul dintre pași 1.1, respectiv 1.2 funcție de sistemul de operare existent.

Pas 1.1: Instalare plug-in Digilent pentru sisteme Windows cu Adept

Descărcați și instalați tool-ul Adept de pe site-ul Digilent și instalați-l.

Adept 2.15.3 System, 32/64-bit Window -

<http://www.digilentinc.com/Products/Detail.cfm?Prod=ADEPT2>

Pas 1.2: Instalare plug-in Digilent pentru sisteme Linux

Descărcați Adept Runtime și Adept Utilities de pe site-ul Digilent.

Adept 2.15.3 Runtime, X86 Linux

1. Dezarhivați:

```
gzip -d digilent.adept.runtime_2.15.3-i686.tar.gz
```

2. Extrageți fișierele:

```
tar -xvf digilent.adept.runtime_2.15.3-i686.tar
```

3. Din directorul unde sunt dezarhivate fișierele:

```
sudo ./install.sh
```

4. Din directorul unde sunt dezarhivate fișierele:

```
sudo ./install.sh și tastați două ENTER-uri consecutive
```

INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

Adept 2.15.3 Runtime, X86 Linux

1. Dezarhivați:

```
gzip -d diligent.adept.utilities_2.1.1-i686.tar.gz
```

2. Extrageți fișierele:

```
tar -xvf diligent.adept.utilities_2.1.1-i686.tar
```

3. Din directorul unde sunt dezarhivate fișierele:

```
sudo ./install.sh
```

4. Din directorul unde sunt dezarhivate fișierele:

```
sudo ./install.sh și tastați două ENTER-uri consecutive
```

Verificați funcționarea corespunzătoare tastând:

```
djtgcfg
```

```
djtgcfg enum
```

Placa Digilent trebuie să fie conectată și trebuie să poată fi detectată.

Pas 2: Introducere placă Digilent Nexys2

Documentația aferentă plăcii Nexys2 o găsiți pe site-ul Digilent:

<http://www.digilentinc.com/Products/Detail.cfm?NavTop=2&NavSub=451&Prod=NEXYS2&CFID=4081352&CFTOKEN=fe3ecd12e62db420-F51AFE65-5056-0201-0230536D512CABC6>

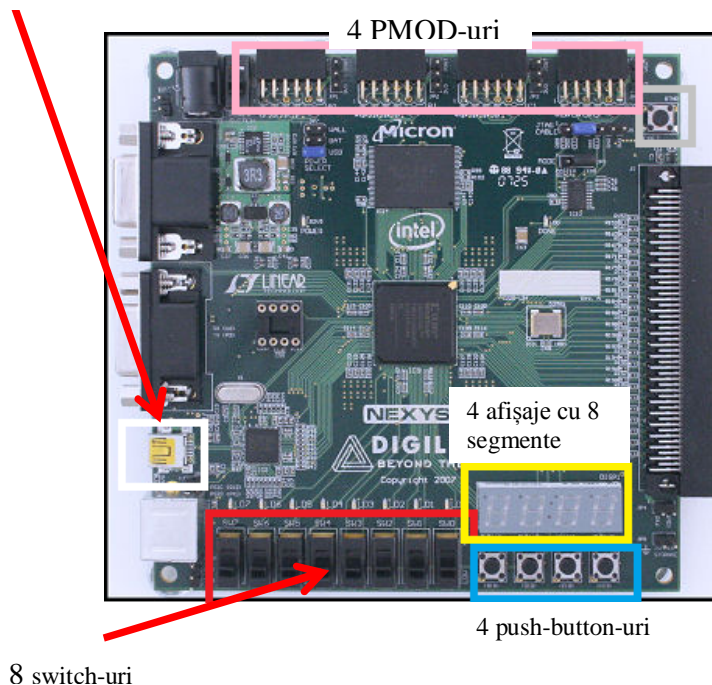
Dintre caracteristicile plăcii menționăm:

- dispozitiv Xilinx Spartan-3E FPGA, 500K porți echivalente
- port USB2 care asigură alimentarea porții, configurarea dispozitivului, și transfer date de mare viteză
- poate fi folosită în conjuncție cu ISE/Webpack și EDK
- 16MB Micron PSDRAM , Flash
- oscilator de tact cu frecvența de 50MHz

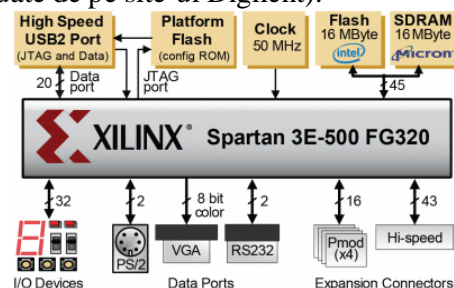
INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

- 75 FPGA I/O rutați la conectori de expansiune (conector Hirose FX2 connector de mare viteză cu 43 semnale și 4 2x6 Pmod conectori)
- I/O ale plăcii care includ: 8 LED-uri (marcate cu roșu), 4-afișaje cu 8 segmente, 4 pushbutton-uri, 8 switch-uri

Port USB Adept



Schema plăcii este prezentată în figura următoare (imaginile plăcii Nexys2 sunt preluate de pe site-ul Digilent).



INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

Pentru mai multe informații se recomandă consultarea documentului Nexys2 Reference manual: [aici](#).

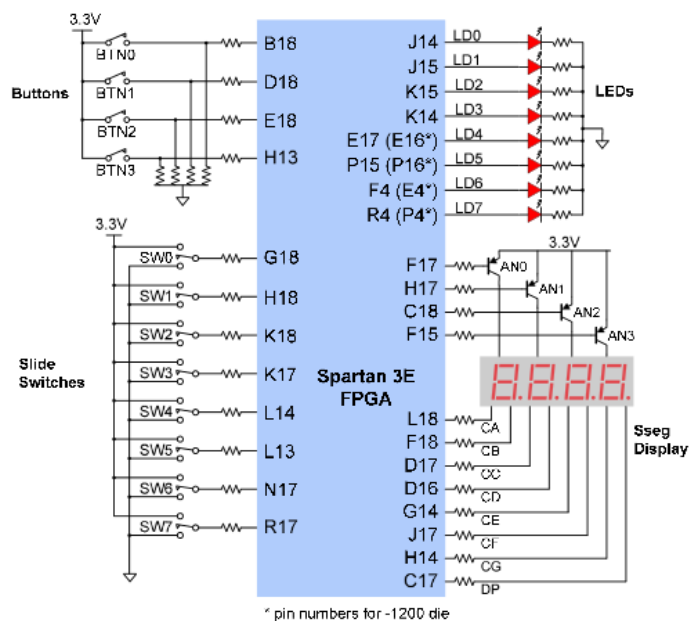
În continuare vom trece în revistă facilitățile de I/O oferite de placa Nexys2:

- Intrări:

- Butoane (pushbutton): aceste intrări sunt în mod normal la 0 logic și se setează la 1 logic numai în momentul în care sunt apăsate.
- Întrerupătoare (switch-uri): acestea generează semnale de intrare constante 0 sau 1 logic funcție de poziția întrerupătorului.

- Ieșiri:

- LED-urile: un led va fi aprins dacă semnalul de ieșire conectat la acesta este 1 logic, altminteri el este stins.
- 4 afișaje cu 7 segmente: acestea sunt multiplexate, iar aprinderea led-ului aferent se face la 0 logic.



3. Implementarea unui circuit *majority voting* cu 3 intrări

Etapele realizării unui Design folosind tehnologia Xilinx:

Pas 1: Descrierea design-ului

INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

- Două modalități:
 1. Limbaje de descriere hardware HDL (Verilog sau VHDL)
 2. Folosind scheme (schematic).

Această lucrare ilustrează implementarea circuitului folosind descrierea Verilog HDL.

Pas 2: Sinteza design-ului

- Translatarea codului Verilog HDL și/sau fișierelor cu scheme într-un format standard – fișier EDIF.

Pas 3: Implementarea design-ului

- Translatare, Mapare pe componentele FPGA-ului, Alocarea componentelor specifice dispozitivului FPGA, și rutare în vederea stabilirii interconexiunilor dintre componente. Ieșirea acestui process este un fișier (.bit) folosit pentru programarea FPGA-ului.

Pas 4: Configurare echipament Xilinx

- Descărcarea fișierului pe FPGA

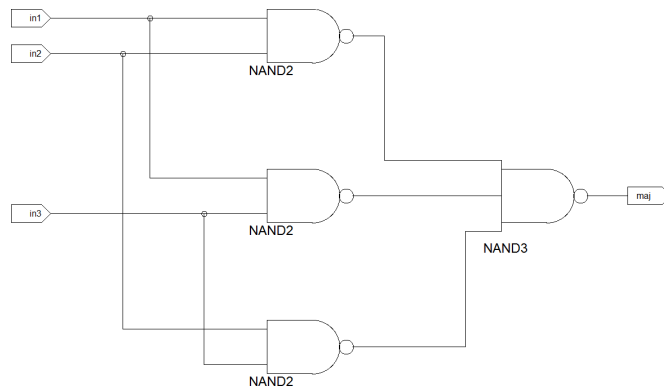
Acest laborator prezintă modul în care poate fi realizat design-ul unui circuit digital simplu: *majority voter* cu 3 intrări folosind Xilinx ISE. În acest laborator sunt realizați pașii 1 la 4 din procesul de design prezentat anterior. Reamintim faptul că pașii 1 și 2 au constituit obiectivul laboratorului trecut. Pentru mai multe detalii accesați prima parte a acestui tutorial.

Pas 1 – Crearea unui proiect Xilinx ISE și descrierea unei porți *majority logic* cu 3 intrări

Succint vor fi punctate etapele realizării unui proiect nou:

- Pentru pornire ISE: deschideți un terminal și tastați *ise*
- Creați un proiect nou în directorul workspace: *MajVoter*
- În continuare realizați utilizând limbajul de descriere hardware Verilog componenta din figura de mai jos. La *Hierarchy* în tab-ul de *Design* selectați *Project* → *New source* deschide fereastra *New Source Wizard*. Pentru implementarea folosind descrierea Verilog HDL alegeți la *Select Source Type* – *Verilog Module*.

INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA



Pentru opțiunea cu Verilog module codul aferent este următorul. Subliniat găsiți liniile de cod care trebuie adăugate pentru a modela comportamentul unității *majority voting*.

```
module majority_voter(
    input in1,
    input in2,
    input in3,
    output maj
);
```

```
    wire nand1, nand2, nand3; //internal wires
```

```
    assign nand1 = ~(in1 & in2);
    assign nand2 = ~(in1 & in3);
    assign nand3 = ~(in2 & in3);
```

```
    assign maj = ~(nand1 & nand2 & nand3);
```

```
endmodule
```

- Adăugați la proiect un fișier de tip testbench . *Project* → *New source* deschide fereastra *New Source Wizard*, alegeți la *Select Source Type* – *Verilog Test Fixture*

INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

Fișierul testbench este următorul. Sunt scose în evidență liniile de cod adăugate pentru generarea stimulilor de intrare.

```
module majority_voter_tb;

    // Inputs
    reg in1;
    reg in2;
    reg in3;

    // Outputs
    wire maj;

    // Instantiate the Unit Under Test (UUT)
    majority_voter uut (
        .in1(in1),
        .in2(in2),
        .in3(in3),
        .maj(maj)
    );

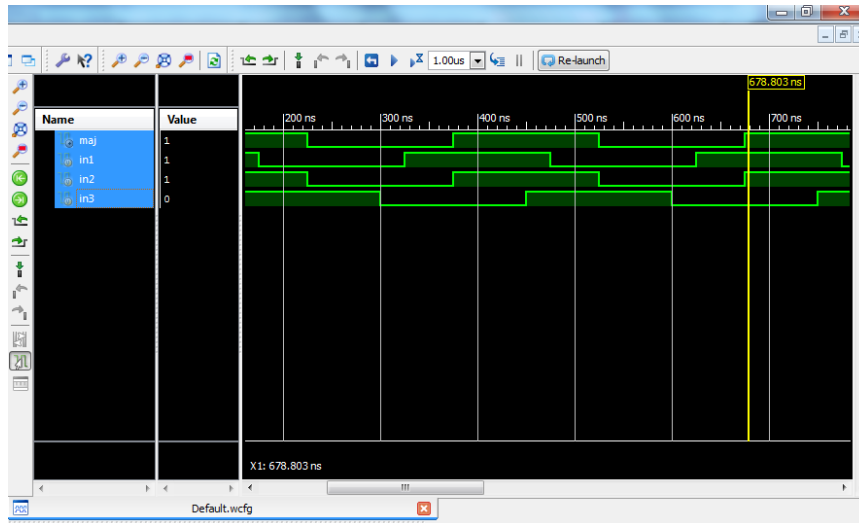
    initial begin
        // Initialize Inputs
        in1 = 0;
        in2 = 0;
        in3 = 0;

        // Wait 100 ns for global reset to finish
        #100;

        end
        always //toggle inputs
        begin
            #25 in1 = ~in1;
            #50 in2 = ~in2;
            #75 in3 = ~in3;
        end
    endmodule
```

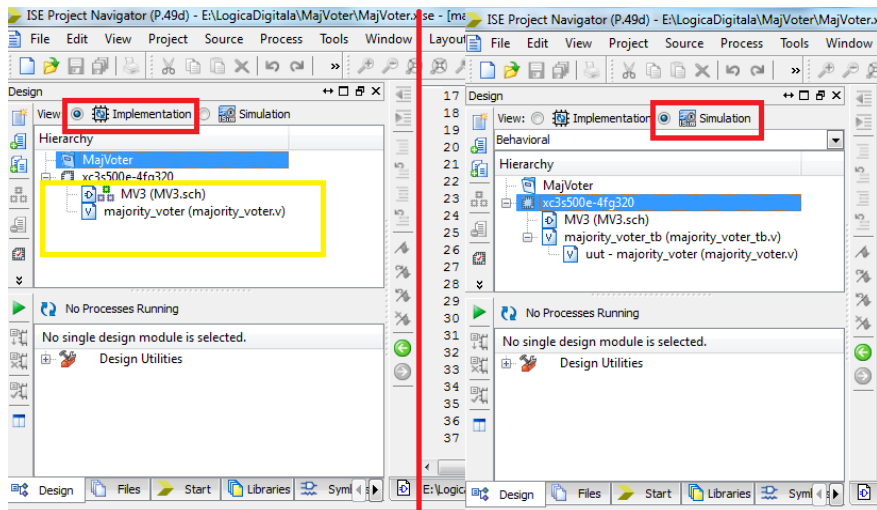

INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

Simulați circuitul folosind simulatorul ISIM. Diagrama de timp aferentă acestui circuit este dată mai jos.



Pas 2 – Sinteza circuitului

La *Hierarchy* în tab-ul de *View* selectați *Implementation*. Se poate observa că fișierul testbench a dispărut.

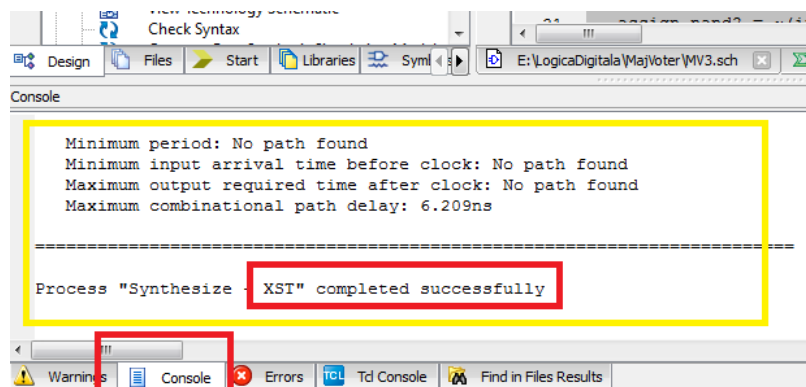


INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

În continuare selectați modulul care doriți să-l setați ca și top-level (cel al cărui design va fi programat pe FPGA).

În tabul de *Design* dați click pe *Synthesize* → *Run*. Alternativa este să dați dublu click pe *Synthesize*.

Remarcați la output-ul din tab-ul *Console*, finalizarea cu succes a operației de sinteză.



Pas 3 – Implementarea circuitului

Înainte de a trece la configurarea design-ului pe placă mai avem nevoie de realizarea unui fișier care să specifice atribuirile pentru pinii de I/O la porturile de I/O din design-ul care se dorește verificat pe FPGA. Pentru a scrie informațiile din UCF este necesară cunoașterea plăcii folosite. În acest laborator ea este Nexys-2 cu FPGA-ul Spartan3-E 500 FG320. Toate aceste informații se găsesc specificate în manualul plăcii (*Board Reference Manual*).

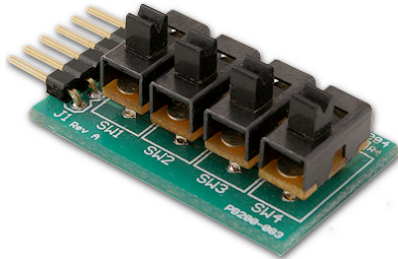
Circuitul pe care dorim să-l verificăm folosește 3 comutatoare pentru intrări (3 pini de intrare) și un led pentru ieșiri (1 pin ieșire).

SW0 – pin G18,
SW1 – pin H18,
SW2 – pin K18,
LED0 – pin J14.

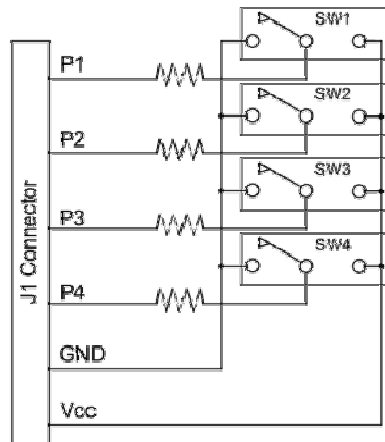
Dacă avem o componentă PmodSWT care este conectată la interfața PMOD1, atunci trebuie consultat manualul aferent acesteia și trebuie identificați pinii pentru conectorul PMOD1 al plăcii Digilent Nexys-2.

INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

Conform manualului componenta PmodSWT se prezintă astfel:



Cu schema:



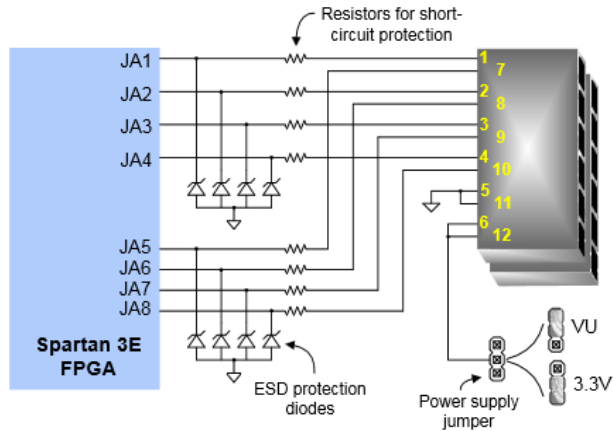
Aceste nume, împreună cu pinii aferenți mai pot fi identificați:

- De pe placă;
- Din Master UCF;

Pentru placa Nexys-2, din manual studiați specificația pentru PMOD1 și extrageți informațiile referitoare la pini.

Placa oferă 4 conectori x 2 rânduri de câte 6 pini fiecare. Astfel până la 8 plăci de expansiune PMOD pot fi conectate. Fiecare grup de 8 pini are 8 aferenți semnalelor de date, 2 pini pentru masă (*GND*) și 2 pini pentru alimentare (*Vdd*). Conexiunile fizice sunt prezentate în imaginea următoare.

INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA



Iar pinii în tabelul de mai jos:

Table 3: Nexys2 Pmod Connector Pin Assignments							
Pmod JA		Pmod JB		Pmod JC		Pmod JD	
JA1: L15	JA7: K13	JB1: M13	JB7: P17	JC1: G15	JC7: H15	JD1: J13	JD7: K14 ¹
JA2: K12	JA8: L16	JB2: R18	JB8: R16	JC2: J16	JC8: F14	JD2: M18	JD8: K15 ²
JA3: L17	JA9: M14	JB3: R15	JB9: T18	JC3: G13	JC9: G16	JD3: N18	JD9: J15 ³
JA4: M15	JA10: M16	JB4: T17	JB10: U18	JC4: H16	JC10: J12	JD4: P18	JD10: J14 ⁴

Notes: ¹ shared with LD3 ² shared with LD3 ³ shared with LD3 ⁴ shared with LD3

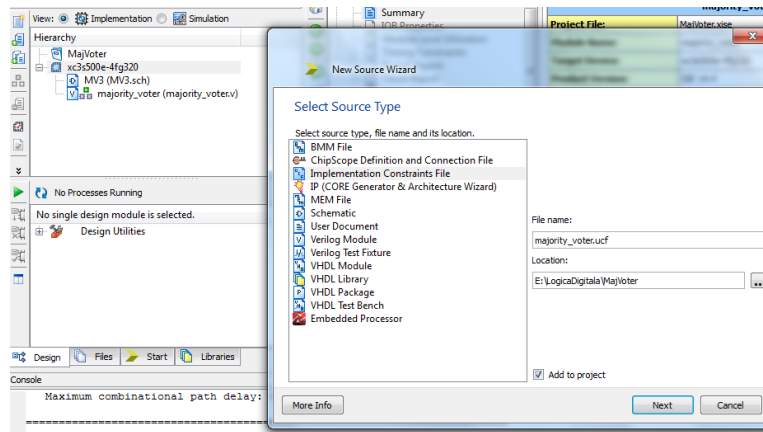
Observație:

Din punct de vedere al sintaxei, în UCF un comentariu începe cu caracterul #.

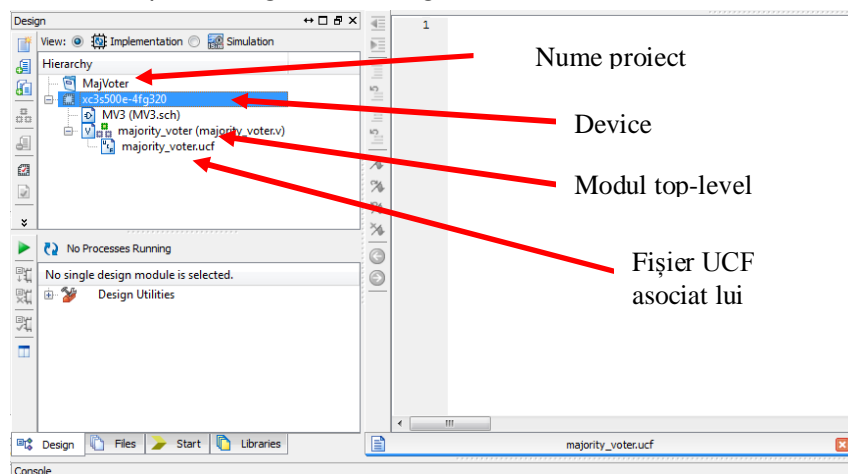
Pentru adăugarea fișierului UCF urmăriți secvența de operații:

- *Right-click* pe *Hierarchy Pane* și selectați *New Source*, după care alegeți la tipul sursei **Implementation Constraints File**.
- Denumiți fișierul astfel creat. De regulă este același nume ca și cel al modulului descărcat pe placă.

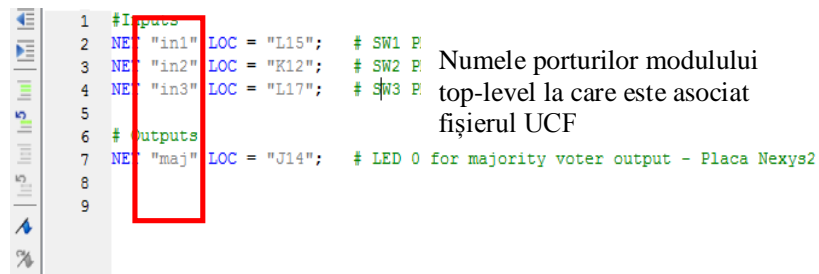
INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA



Astfel un fișier UCF gol este adăugat.



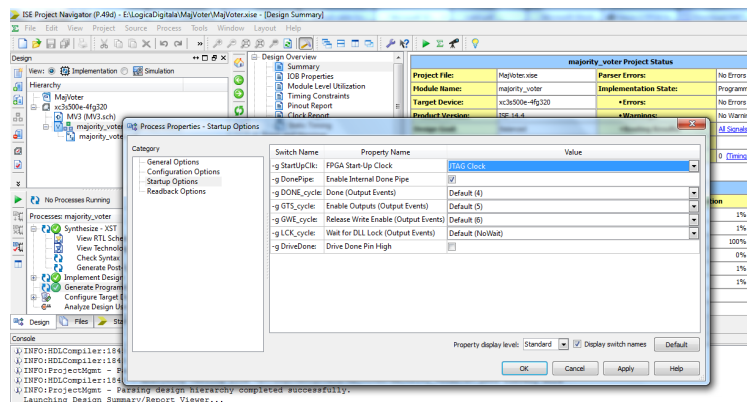
Acesta se completează cu informațiile extrase legate de pini.



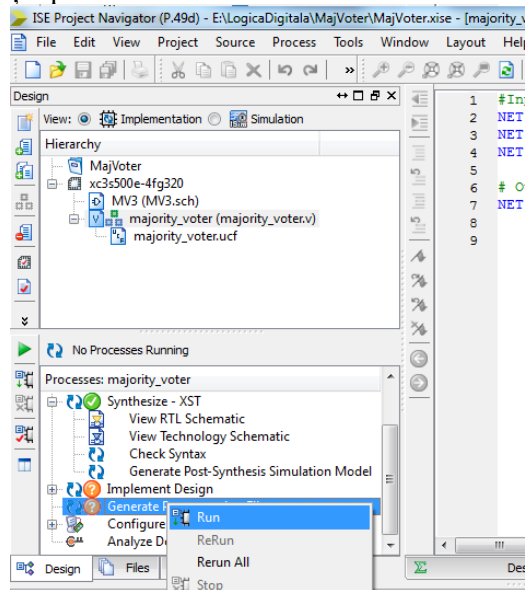
INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

Pasul următor constă din crearea fișierului de configurare *.bit.

Înainte de a genera fișierul *.bit, dați click dreapta pe *Generate Programming File* și selectați *Process Properties*, apoi meniul *Startup Options*. FOARTE IMPORTANT: Modificați default FPGA start-up clock din CCLK în JTAG.



În continuare în tab-ul de *Design* dați click pe *Generate Programming File* și apoi *Run*.



Fișierul *.bit a fost astfel generat. Acesta poate fi văzut în tab-ul de files.

Pas 4 – Configurare placă FPGA

Ultimul pas constă în descărcarea design-ului pe placă.
Pentru a verifica faptul că PC-ul detectează placa conectată tastați:

```
djtgcfg enum
```

Verificați că SW-ul de alimentare este pe ON (placa este pornită).
Dacă placa a fost configurată, navigați cu comanda:

```
cd nume_director
```

în directorul cu proiectul ISE.
Verificați existența fișierului *.bit cu comanda:

```
ls grep *.bit
```

Din *Terminal* tastați:

```
djtgcfg prog -d Nexys2 -i 0 -f majority_voter.bit
```

4. Exerciții

Realizați pașii indicați. Completați liniile de cod lipsă. Realizați design-ul și construiți tabelul de adevăr pentru o poartă majority voting cu 5 intrări.

Verificați funcționarea corectă a design-ului pe placă!

Bibliografie:

- [1] Xilinx - Xilinx UG695 ISE In Depth Tutorial - http://www.xilinx.com/support/documentation/sw_manuals/xilinx14_1/ise_tutorial_ug695.pdf , 2012
- [2] C. Kief, A. Vera, A. Haddad, Q. Cao. COSMIAC FPGA Tutorials <http://cosmiac.org/thrust-areas/education-and-workforce-development/fpga/ate-developed-material/>.
- [3] J. F. Wakerly – Digital Design: Principles and Practices, 3rd Edition, Prentice Hall, 2000

INTRO: IMPLEMENTAREA UNUI CIRCUIT PE FPGA

- [4] J. Bhasker - A Verilog HDL Primer, Third Edition - Star Galaxy Publishing, 2005
- [5] R. Haskell, D. Hanna - Introduction to Digital Design Using Digilent FPGA Boards – Block Diagram/Verilog Examples – LBE Books, 2009
- [6] Digilent Nexys 2 Reference Manual -
https://www.digilentinc.com/Data/Products/NEXYS2/Nexys2_rm.pdf
- [7] Digilent PMODSWT Reference Manual -
https://www.digilentinc.com/Data/Products/PMOD-SWITCH/Pmod%20SWT_rm.pdf