

Dan NICULA

ELECTRONICĂ DIGITALĂ

Carte de învățatură 2.0



Editura Universității *TRANSILVANIA* din Brașov
ISBN 978-606-19-0563-8

2015

Lecția 6

Analiza circuitelor logice combinaționale

6.1 Noțiuni teoretice

Analiza circuitelor logice combinaționale constă în *determinarea comportamentului circuitului pe baza structurii acestuia* (porți logice interconectate). Comportamentul circuitului logic combinațional poate fi descris prin funcția de transfer, diagrama V-K, tabelul de adevăr și diagrame de timp ale semnalelor de intrare și de ieșire.

Analizarea circuitelor logice combinaționale include și explicarea potențialelor stări de hazard combinațional.

Hazardul combinațional static reprezintă o stare logică a cărei apariție nu poate fi explicată prin algebra Booleană. Cauza hazardului static o reprezintă existența căilor de propagare între o intrare și o ieșire cu timpi de propagare diferiți. Depistarea hazardului combinațional se poate face:

- *Pe circuit*, dacă se identifică două căi de propagare între o intrare și o ieșire cu timpi de propagare diferiți.
- *Analitic*, dacă expresia funcției se reduce la una din expresiile $X + \overline{X} = 1$ sau $X \cdot \overline{X} = 0$ (prin particularizarea valorilor unor intrări).
- *Pe diagrama V-K*, dacă se identifică două suprafețe disjuncte adiacente (alăturate, dar nesuprapuse).

Eliminarea hazardului se face cu un cost adițional de porți logice.

- *Pe circuit*, se include încă o cale între intrare și ieșire care să fie independentă de variabila ce produce hazard combinațional static.
- *Analitic*, în expresia "sumă de produse" se adaugă un produs format cu variabilele în starea care generează expresia echivalentă $X + \overline{X}$.
- *Pe diagrama V-K*, se definește o suprafață suplimentară care să cuprindă căsuțele aparținând inițial unor suprafețe distincte, dar alăturate.

6.2 Pentru cei ce vor doar să promoveze examenul

1. Circuitului din figura 6.1-a i se aplică semnalele de intrare A, B, C și D având formele de undă prezentate în figura 6.1-b. Să se determine formele de undă în punctele G_1, G_2, G_3, G_4 și Y.

Soluție

Pe baza circuitului, se determină funcțiile logice ale semnalelor:



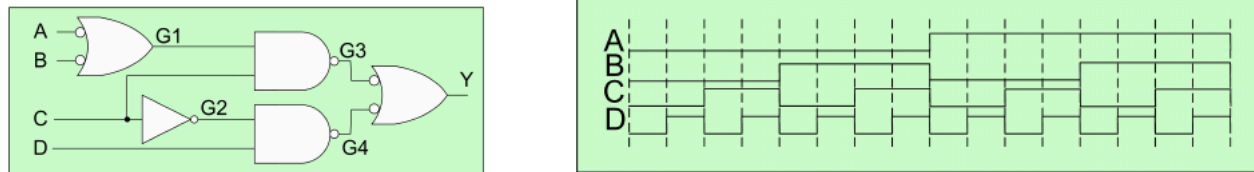


Figura 6.1 a) Circuitul, b) formele de undă (problema 1).

$$\begin{aligned} G_1 &= \overline{A} + \overline{B} \\ G_2 &= \overline{C} \\ G_3 &= \overline{G_1} \cdot \overline{C} \\ G_4 &= \overline{G_2} \cdot \overline{D} \\ Y &= \overline{G_3} + \overline{G_4} \end{aligned}$$

Pe baza ecuațiilor și a formelor de undă ale semnalelor de intrare, se deduc formele de undă asociate, prezentate în figura 6.2.

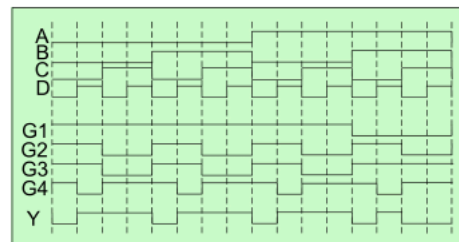


Figura 6.2 Formele de undă rezultate la problema 1.

Alternativ, se pot centraliza datele într-un tabel de adevăr. Coloanele asociate intrărilor A, B, C, D se completează cu toate cele $2^4 = 16$ combinații posibile, în ordinea codurilor. Coloanele asociate ieșirilor se completează pe baza ecuațiilor funcțiilor logice, particularizând intrările pentru fiecare rând al tabelului.

Nr.	A	B	C	D	$G_1 = \overline{A} + \overline{B}$	$G_2 = \overline{C}$	$G_3 = \overline{G_1} \cdot \overline{C}$	$G_4 = \overline{G_2} \cdot \overline{D}$	$Y = \overline{G_3} + \overline{G_4}$
0	0	0	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1	0	1
2	0	0	1	0	1	0	0	1	1
3	0	0	1	1	1	0	0	1	1
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	1	1	1	0	1
6	0	1	1	0	1	0	0	1	1
7	0	1	1	1	1	0	0	1	1
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	1	1	1	0	1
10	1	0	1	0	1	0	0	1	1
11	1	0	1	1	1	0	0	1	1
12	1	1	0	0	0	1	1	1	0
13	1	1	0	1	0	1	1	0	1
14	1	1	1	0	0	0	1	1	0
15	1	1	1	1	0	0	1	1	0

2. Să se pună în evidență hazardul static pentru fiecare din următoarele funcții și să se determine circuite echivalente din punct de vedere logic, dar care elimină hazardul combinațional.

a) $F_a(A, B, C, D) = \sum(5, 7, 13, 15);$

b) $F_b(A, B, C, D) = \overline{B} \cdot \overline{C} \cdot \overline{D} + A \cdot \overline{B} \cdot C + B \cdot C.$

3. Determinați funcția logică implementată de circuitul logic combinațional prezentat în figura 6.3.



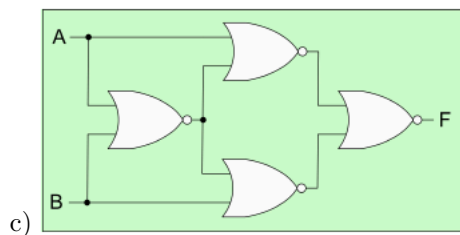


Figura 6.3 Circuit logic combinational referit la problema 3.

6.3 Pentru cei ce vor să învețe

1. Să se analizeze circuitul combinational prezentat în figura 6.4-a. Să se explice apariția hazardului combinational static utilizând diagramele de timp ale semnalelor și diagramele V-K. Să se propună o soluție de eliminare a hazardului combinational.

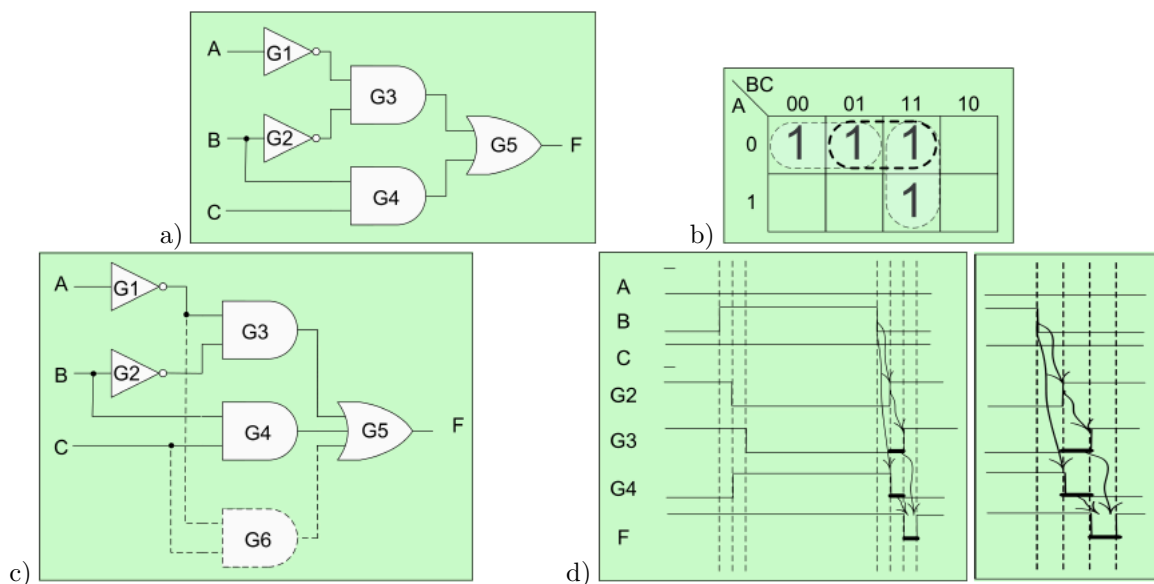


Figura 6.4 Problema 1: a) Circuitul, b) Diagrama V-K, c) Circuitul fără hazard combinational, d) Diagramele temporale (detaliu).

Soluție

Depistarea hazardul combinational static:

- *Pe circuit*, se observă căile de propagare de la intrarea B spre ieșirea circuitului: una prin porțile G2/NOT, G3/AND și G5/OR, cealaltă prin porțile G4/AND și G5/OR. Deci, există între o intrare și o ieșire două căi cu timpi de propagare diferiți.
- *Analitic*, se observă ca prin particularizarea $A = 0$ și $C = 1$ funcția $F(A, B, C) = \overline{A} \cdot \overline{B} + B \cdot C$ devine $F(0, B, 1) = 1 \cdot \overline{B} + B \cdot 1 = \overline{B} + B = 1$.
- *Pe diagrama V-K*, se observă două suprafețe adiacente disjuncte $\overline{A} \cdot \overline{B}$ și $B \cdot C$.

Eliminarea hazardului se face cu un cost adițional de porți logice.

- *Pe circuit*, se include încă o cale între intrare și ieșire care să fie independentă de variabila ce produce hazard combinational. Se obține circuitul din figura 6.4-c.
- *Analitic*, în expresia "sumă de produse" se însumează termenul suplimentar determinat de condiția de hazard $A = 0$ și $C = 1$, adică $\overline{A} \cdot C$.



- Pe diagrama V-K, se consideră suprafața suplimentară care cuprinde căsuțele aparținând inițial unor suprafețe distincte dar alăturate: $\overline{A} \cdot C$ conține câte o căsuță aparținând fiecărei suprafețe alăturate, ca în figura 6.4-b.

Formele de undă pentru condiția de apariție a hazardului condiționat ($A = 0, C = 1$) sunt prezentate în figura 6.4-d. Se remarcă apariția pulsului de hazard combinațional după comutarea semnalului A din 1 în 0.

2. Să se determine dacă circuitul din figura 6.5-a produce hazard static. În caz afirmativ, să se propună o modificare a circuitului astfel încât să fie eliminat hazardul.

Soluție

Din structura circuitului se deduce expresia funcției logice:

$$F = \overline{A} \cdot \overline{B} \cdot \overline{A} \cdot C = A \cdot B + \overline{A} \cdot C$$

Diagrama V-K din figura 6.5-b prezintă după minimizare două suprafețe adiacente disjuncte, ceea ce indică faptul că se poate genera hazard static 1 când se comută între mintermii 7 ($ABC = 111$) și 3 ($ABC = 011$). În acest caz $F(A, 1, 1) = A \cdot 1 + \overline{A} \cdot 1 = A + \overline{A} = 1$ care ia valoarea nepermisă 0 la comutația variabilei A de la 1 la 0.

Hazardul se poate elimina prin adăugarea unui implicantul prim la forma minimă $B \cdot C$, rezultat din considerarea suprafeței care include mintermii 7 și 3. Se obține funcția $F = A \cdot B + \overline{A} \cdot C + B \cdot C$ cu implementarea prezentată în figura 6.5-c.

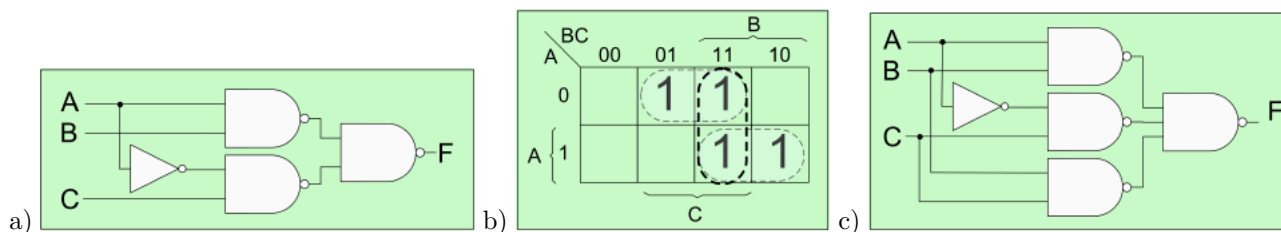


Figura 6.5 a) Circuit, b) Diagrama V-K, c) Circuit fără hazard combinațional static (problema 2).

3. Să se pună în evidență hazardul static pentru fiecare din următoarele funcții și să se determine circuite echivalente din punct de vedere logic, dar care elimină hazardul combinațional.

- a) $F_a(A, B, C, D) = \sum(5, 7, 8, 9, 10, 11, 13, 15)$;
- b) $F_b(A, B, C, D) = \sum(0, 2, 4, 6, 12, 13, 14, 15)$;
- c) $F_c(A, B, C, D) = (\overline{A} + \overline{B} + D) \cdot (\overline{A} + \overline{C} + \overline{D}) \cdot (A + B + \overline{C})$;
- d) $F_d(A, B, C, D) = (\overline{A} + B + D) \cdot (A + B + \overline{C} + \overline{D}) \cdot (A + C) \cdot (\overline{B} + C)$;

Soluție

a) Diagrama V-K asociată funcției este prezentată în figura 6.6-a. Minimizarea prezintă două suprafețe adiacente disjuncte. $F_a(A, B, C, D) = A \cdot \overline{B} + B \cdot D$. Hazardul apare în condiția $A = D = 1$, la comutarea lui B între cele două valori logice. $F_a(1, B, C, 1) = 1 \cdot \overline{B} + B \cdot 1 = \overline{B} + B = 1$

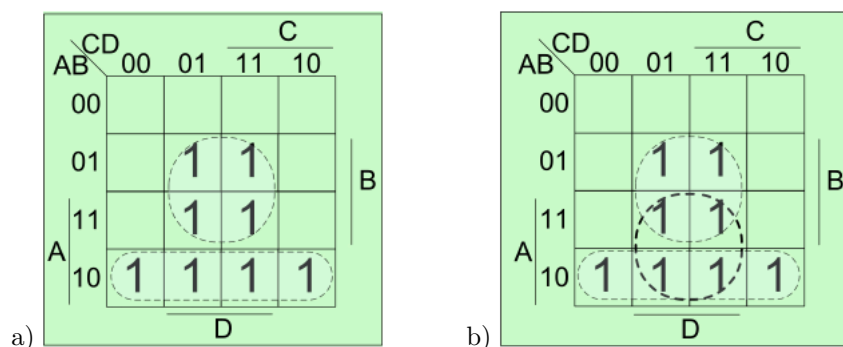


Figura 6.6 Diagrame V-K: a) minimizare, b) eliminare hazard combinațional (problema 3-a).



Pentru eliminarea hazardului se impune considerarea unei suprafețe suplimentare care să acopere parțial ambele suprafețe adiacente, așa ca în figura 6.6-b:

$$F_a(A, B, C, D) = A \cdot \overline{B} + B \cdot D + A \cdot D.$$

d) Funcția este reprezentată sub forma de "produs de sume". Fiecare "sumă" provine din minimizarea unor suprafețe cu valori logice 0.

$$F_d(A, B, C, D) = (\overline{A} + B + D) \cdot (A + B + \overline{C} + \overline{D}) \cdot (A + C) \cdot (\overline{B} + C) = I \cdot II \cdot III \cdot IV$$

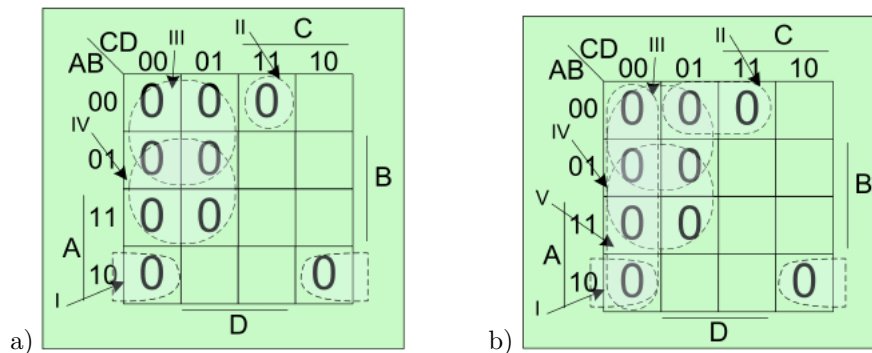


Figura 6.7 Diagrame V-K: a) minimizare, b) eliminare hazard combinațional (problema 3-e).

Figura 6.7 prezintă diagrama V-K obținută prin plasarea suprafețelor asociate implicantilor primi:

$$I = (\overline{A} + B + D), II = (A + B + \overline{C} + \overline{D}), III = (A + C), IV = (\overline{B} + C).$$

Eliminarea hazardului combinațional determină apariția încă a două sume în produs, sume asociate suprafețelor adiționale necesare pentru acoperirea căsuțelor vecine dar incluse la minimizare în suprafețe disjuncte.

$$F_d(A, B, C, D) = I \cdot II \cdot III \cdot IV \cdot V = (\overline{A} + B + D) \cdot (A + B + \overline{D}) \cdot (A + C) \cdot (\overline{B} + C) \cdot (C + D)$$

4. Explicați prin forme de undă apariția hazardului combinațional în circuitul din figura 6.8.

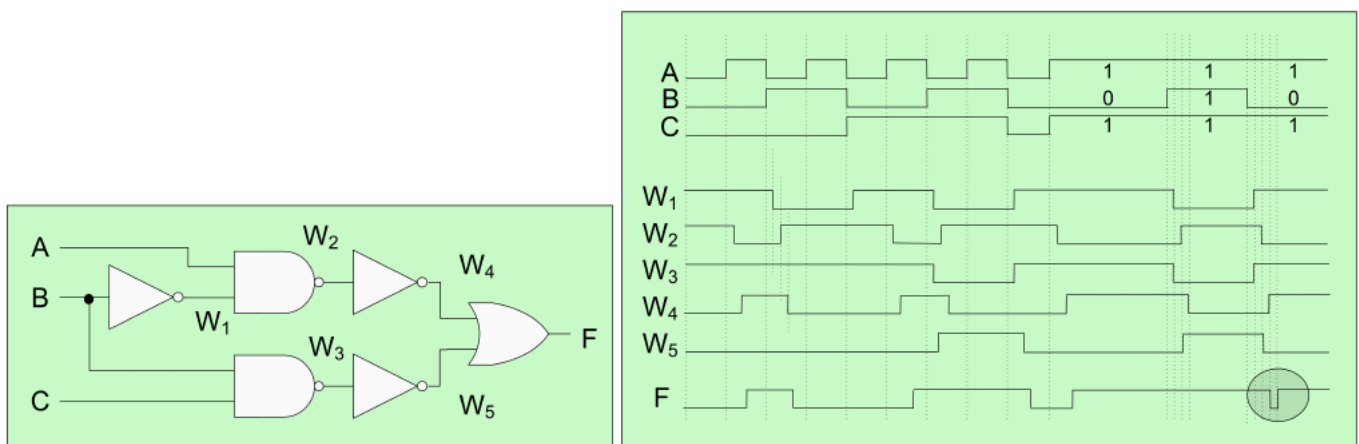


Figura 6.8 Circuit cu porți logice și diagrame temporale pentru problema 4.

Soluție

Reprezentarea grafică a diagramelor de timp având secvența obișnuită la intrare (000,001,010...111) nu garantează apariția unui caz de hazard combinațional deoarece apariția hazardului este determinată de existența unei anumite succesiuni de stimuli la intrarea circuitului. Pentru a pune în evidență hazardul combinațional trebuie determinată acea secvență prin analiza circuitului. Se observă că circuitul are două căi de propagare de la intrarea B la ieșire. Aceste căi sunt validate prin porțile logice dacă $A = C = 1$. Succesiunea de stimuli care va produce hazard combinațional este $ABC = 101, 111, 101$. Figura 6.8 prezintă diagramele temporale care prezintă punerea în evidență a hazardului combinațional. Apariția glitch-ului este datorată timpului de întârziere adițional introdusă de primul inversor față de cea de-a doua cale de propagare de la intrarea B la ieșire.



5. Se consideră circuitele logice din figurile 6.9-a,b.

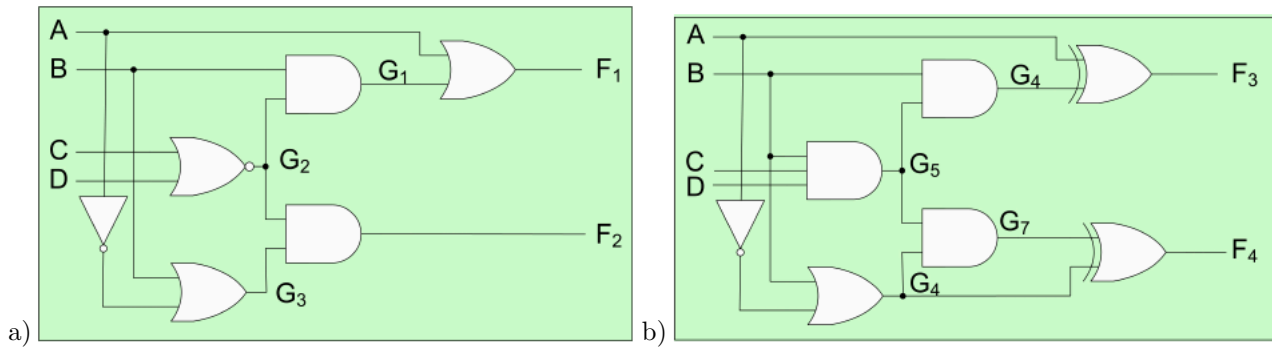


Figura 6.9 Circuite cu porți logice referite la problema 5.

- a) Deduceți expresiile logice ale semnalelor G_1, G_2, G_3 și G_4, G_5, G_6, G_7 . Pe baza acestora, deduceți expresiile logice ale ieșirilor F_1, F_2 și F_3, F_4 .
- b) Listați toate cele 16 combinații ale intrărilor A, B, C și D și realizați tabelul de adevăr incluzând coloane pentru semnalele interne și ieșiri.
- c) Realizați diagrama V-K, minimizați funcțiile F_1, F_2 și F_3, F_4 . Arătați că expresiile minime sunt echivalente cu cele obținute din circuit la primul punct.

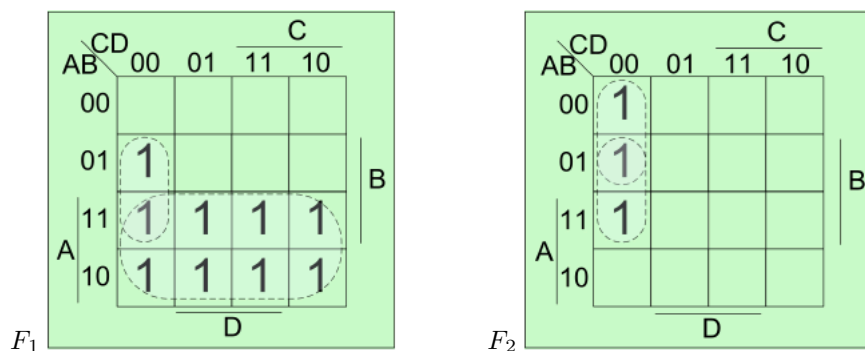


Figura 6.10 Diagramele V-K ale funcțiilor F_1 și F_2 referite la problema 5.

Soluție

- a)
- $$G_2 = \overline{C} + \overline{D}$$
- $$G_1 = B \cdot G_2 = B \cdot (\overline{C} + \overline{D})$$
- $$G_3 = \overline{A} + B$$
- $$F_1 = A + G_1 = A + B \cdot G_2 = A + B \cdot (\overline{C} + \overline{D})$$
- $$F_2 = G_2 \cdot G_3 = (\overline{C} + \overline{D}) \cdot (\overline{A} + B)$$

b) Tabelul de adevăr este:



Nr.	A	B	C	D	$G_2 = \overline{C + D}$	$G_1 = B \cdot G_2$	$G_3 = \overline{A} + B$	$F_1 = A + G_1$	$F_2 = G_2 \cdot G_3$
0	0	0	0	0	1	0	1	0	1
1	0	0	0	1	0	0	1	0	0
2	0	0	1	0	0	0	1	0	0
3	0	0	1	1	0	0	1	0	0
4	0	1	0	0	1	1	1	1	1
5	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	0	1	0	0
7	0	1	1	1	0	0	1	0	0
8	1	0	0	0	1	0	0	1	0
9	1	0	0	1	0	0	0	1	0
10	1	0	1	0	0	0	0	1	0
11	1	0	1	1	0	0	0	1	0
12	1	1	0	0	1	1	1	1	1
13	1	1	0	1	0	0	1	1	0
14	1	1	1	0	0	0	1	1	0
15	1	1	1	1	0	0	1	1	0

c) Diagramele V-K asociate funcțiilor F_1 și F_2 sunt prezentate în figura 6.10.

Forma minimă a lui F_1 rezultată din minimizarea cu diagrama Veitch-Karnaugh: $F_1 = A + B \cdot \overline{C} \cdot \overline{D}$. Expresia inițială se prelucrează analitic astfel: $F_1 = A + B \cdot (\overline{C + D}) = A + B \cdot (\overline{C} \cdot \overline{D}) = A + B \cdot \overline{C} \cdot \overline{D}$, adică expresia minimă.

Similar se obține forma minimă pentru $F_2 = \overline{A} \cdot \overline{C} \cdot \overline{D} + B \cdot \overline{C} \cdot \overline{D}$.

$F_2 = (\overline{C + D}) \cdot (\overline{A} + B) = \overline{C} \cdot \overline{D} \cdot (\overline{A} + B) = \overline{A} \cdot \overline{C} \cdot \overline{D} + B \cdot \overline{C} \cdot \overline{D}$.

6. Determinați funcțiile logice ale ieșirilor circuitelor combinaționale prezentate în figura 6.11.

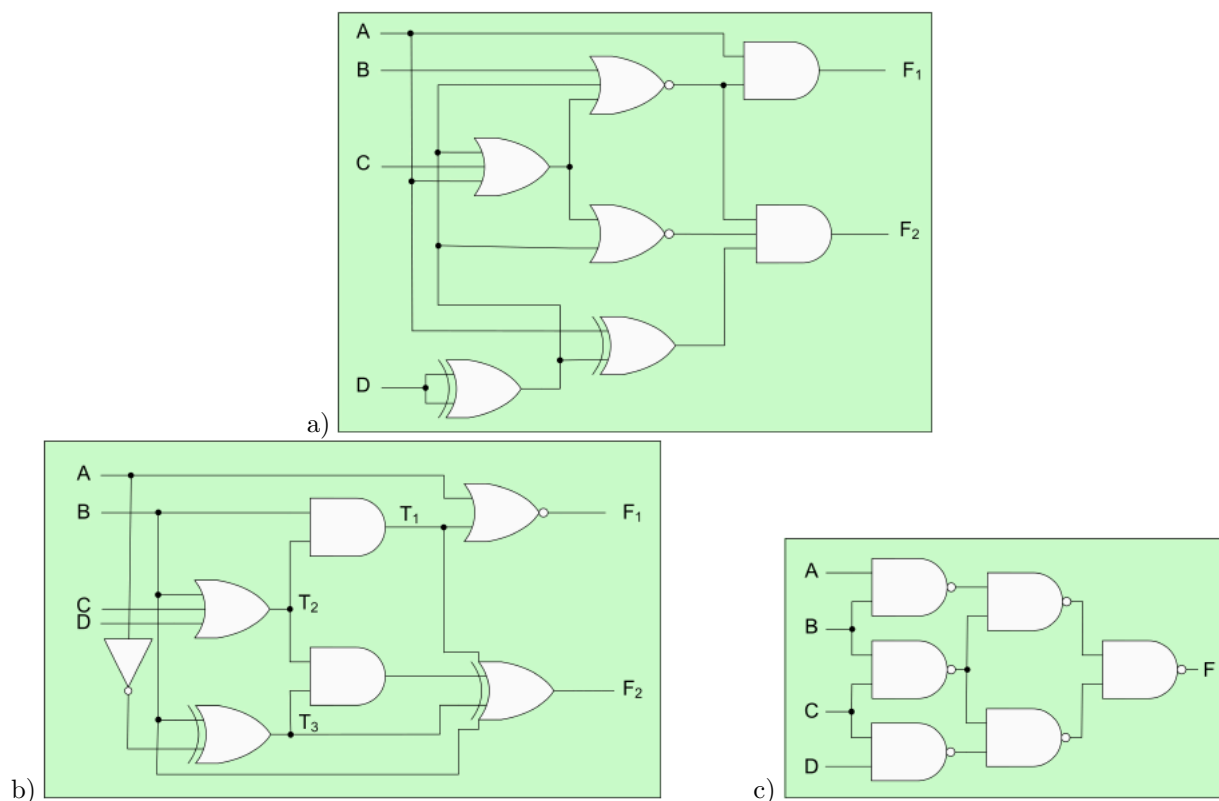


Figura 6.11 Circuite cu porți logice referite la problema 6.

Soluție

b) Ecuațiile semnalelor intermediare sunt:

$$T_1 = B \cdot \overline{C} \cdot \overline{D}$$



$$T_2 = B + C + D$$

$$T_3 = \overline{A} \oplus B$$

Funcțiile logice a celor 2 ieșiri sunt:

$$F_1 = \overline{A + T_1} = \overline{A + (B \cdot T_2)} = \overline{A + (B \cdot (B + C + D))}$$

$$F_2 = T_1 \oplus (T_2 \cdot T_3) \oplus T_3 \oplus B = (B \cdot (B + C + D)) \oplus ((B + C + D) \cdot (\overline{A} \oplus B)) \oplus (\overline{A} \oplus B) \oplus B$$

6.4 Pentru cei ce vor să devină profesioniști

1. Analizați circuitul din figura 6.12 și reprezentați grafic diagrame de timp caracteristice.

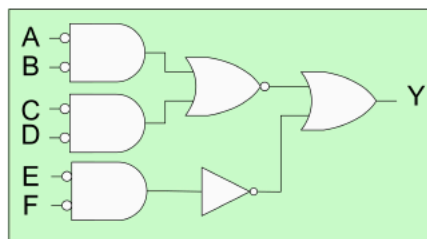


Figura 6.12 Circuitul referit la problema 1.

Soluție

$$Y(A, B, C, D, E, F) = \overline{\overline{A} \cdot \overline{B} + \overline{C} \cdot \overline{D} + \overline{E} \cdot \overline{F}} = \overline{\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}} + (E + F) = (A + B) \cdot (C + D) + E + F$$

2. În figura 6.13 se prezintă un circuit realizat cu porți logice și formele de undă ale semnalelor aplicate la intrările acestuia. Forma de undă prezentată la ieșirea Y este incorectă datorită unei porți defecte din structura circuitului. Se consideră că o poartă defectă prezintă la ieșire permanent valoarea 0 sau 1, indiferent de valoarea logică a intrărilor. Să se determine poarta defectă.

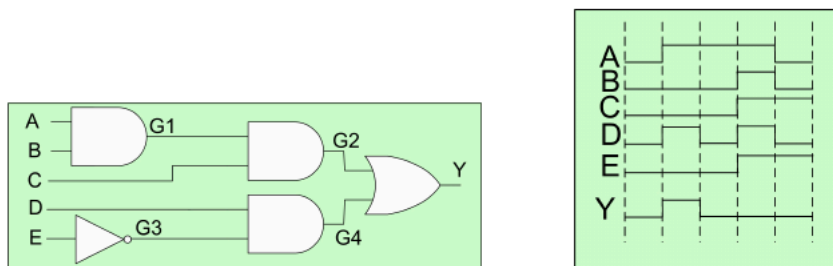


Figura 6.13 a) Circuitul, **b)** formele de undă (problema 2).

Soluție

Pe baza circuitului, se determină funcțiile logice ale semnalelor:

$$G_1 = A \cdot B$$

$$G_2 = G_1 \cdot C = A \cdot B \cdot C$$

$$G_3 = \overline{E}$$

$$G_4 = D \cdot G_3 = D \cdot \overline{E}$$

$$Y = G_2 + G_4 = A \cdot B \cdot C + D \cdot \overline{E}$$

Pe baza funcțiilor logice se completează diagramele temporale prezentate în figura 6.14.

Ieșirea $Y_{corect} = G_2 + G_4$ trebuie să propage pulsurile de 1 provenite atât de pe intrarea G_2 cât și cele de pe intrarea G_4 . Se observă în forma de undă Y_{eronat} că pulsul G_2 nu apare la ieșire. Se poate presupune că poarta G_2 este blocată cu ieșirea în 0. Continuând raționamentul, se poate face ipoteză că poarta G_2 este corectă dar



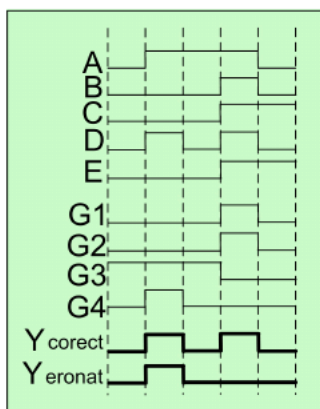


Figura 6.14 Diagramele temporale referite la soluția problemei 2.

intrările sale sunt tot timpul în stare 0. Intrarea C are o variație, însă cealaltă intrare (ieșirea porții G_1) ar putea fi blocată în stare 0.

3. Analizați paritatea (pară sau impară) generată de circuitele din figura 6.15:

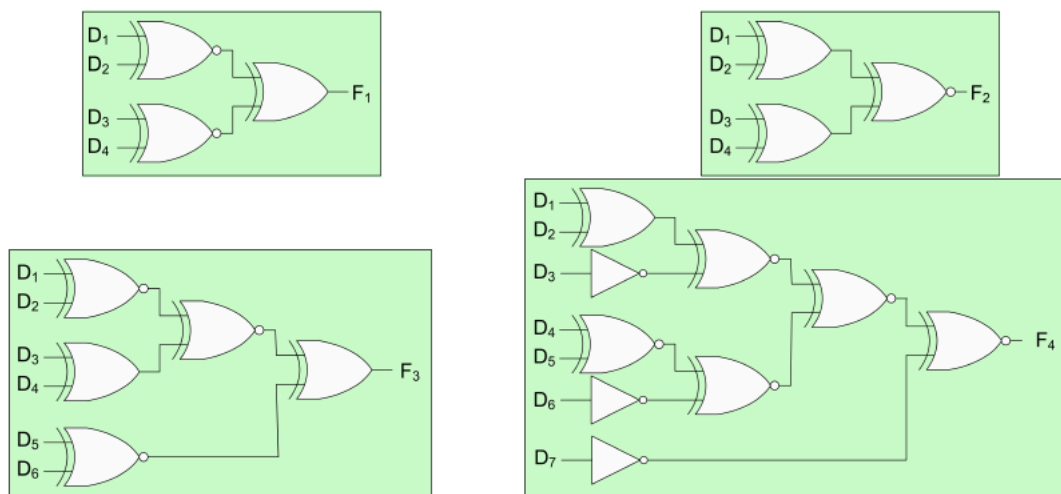


Figura 6.15 Circuite generatoare de paritate, referite la problema 3.