

Dan NICULA

ELECTRONICĂ DIGITALĂ

Carte de învățatură 2.0



Editura Universității *TRANSILVANIA* din Brașov
ISBN 978-606-19-0563-8

2015

20.4 Subiect 2013 - 1

1. Întrebări [2pct]

- [0.2] Definiți noțiunea de "ROM".
- [0.2] "Sumator complet de 1 bit": număr de intrări, număr de ieșiri, simbol, funcție de transfer, funcționare, aplicații.
- [0.2] Care este lungimea maximă a ciclului unui circuit LFSR (*Linear Feedback Shift Register*) de 8 biți? Justificați răspunsul.
- [0.5] Realizați următoarele conversii și explicați metoda folosită:

$$372|_8 = ?|_2 = ?|_{10} = ?|_{16}$$

- [0.5] Realizați operația $97 + (-28)$ cu numere reprezentate în complement față de 2 pe 8 biți.
- [0.6] Minimizați funcția, utilizând diagrame V-K:

$$F(A, B, C, D) = \sum(0, 2, 4, 5, 6, 7, 8, 10, 13, 15)$$

2. Circuite logice combinaționale [2pct]

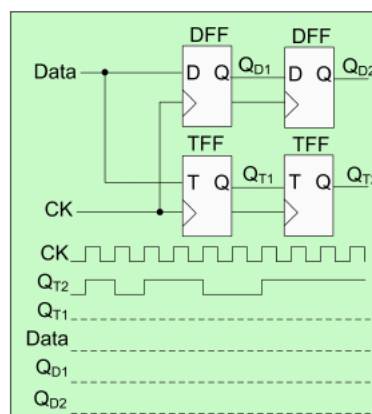
Se consideră funcția:

$$F(A, B, C, D) = \sum(5, 6, 7, 8, 9, 10, 13, 14, 15) + d(0, 11)$$

- [0.5] Minimizați funcția logică și implementați-o cu porți NAND.
- [0.5] Evaluați "costul" implementării.
- [0.5] Propuneți o soluție de eliminare a hazardului combinațional și evaluați costul suplimentar al acesteia.
- [0.5] Implementați funcția cu MUX 8:1 și un număr minim de porți logice suplimentare.

3. Analiza circuitelor logice secvențiale [2pct]

Se consideră circuitul din figură. La o ieșire se observă forma de undă prezentată. Să se determine formele de undă ale semnalelor de la ieșirile celorlalte bistabile.

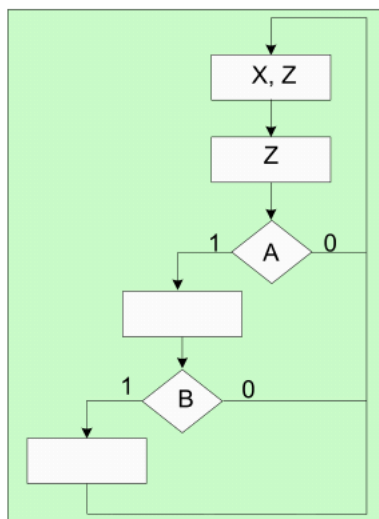


- [1.5] Forme de undă.
- [0.5] Justificări

4. Sinteza circuitelor logice secvențiale [2pct]

Se consideră organigrama:





- [0.5] Determinați schema bloc a automatului și precizați caracteristicile acestuia.
- [1.0] Implementați automatul cu codificarea stărilor "one-hot".
- [0.5] Justificați implementarea.

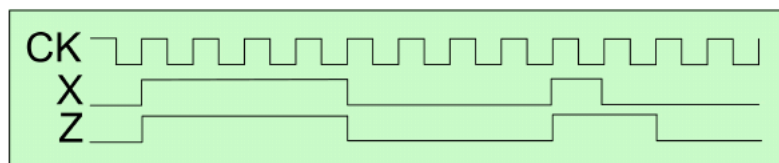
5. Proiectare sistem digital [1pct]

Proiectați un sistem secvențial sincron cu o intrare X și o ieșire Z . Între două pulsuri pe intrare există o pauză de minimum 3 perioade de ceas. Ieșirea Z are întotdeauna lățimea un număr par de perioade de ceas.

Dacă lățimea pulsului X este un număr par de perioade de ceas, atunci Z este la fel ca X .

Dacă lățimea pulsului X este un număr impar de perioade de ceas, atunci pulsul pe ieșirea Z este cu o perioadă mai lat decât cel de pe intrarea X .

Formele de undă și temporizarea sunt prezentate în figură.



20.5 Subiect 2013 - 2

1. Întrebări [2pct]

- [0.2] Definiți noțiunea de "automat cu stări codate one-hot".
- [0.2] "Bistabil JK": număr de intrări, număr de ieșiri, simbol, funcție de transfer, funcționare, aplicații.
- [0.2] Cu cât crește dimensiunea memoriei la implementarea unui bit de paritate pentru fiecare byte, la o memorie de 2K x 16?
- [0.5] Realizați operația $75 + (-74)$ cu numere reprezentate în complement față de 2 pe 8 biți.
- [0.6] Minimizați funcția, utilizând diagrame V-K:

$$F(A, B, C, D) = \sum(1, 3, 9, 11, 12, 13, 14, 15)$$

2. Circuite logice combinaționale [2pct]

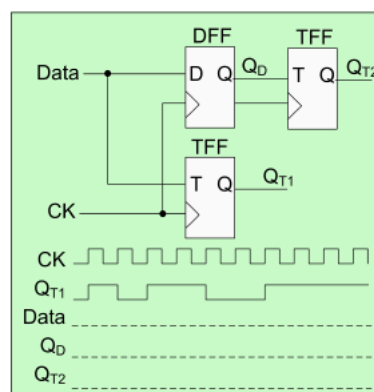
Se consideră funcția:

$$F(A, B, C, D) = \sum(1, 2, 3, 5, 7, 10, 13, 14, 15) + d(6, 8)$$

- [0.5] Minimizați funcția logică și implementați-o cu porți NAND.
- [0.5] Evaluați "costul" implementării.
- [0.5] Propuneți o soluție de eliminare a hazardului combinațional și evaluați costul suplimentar al acesteia.
- [0.5] Implementați funcția cu MUX 8:1 și un număr minim de porți logice suplimentare.

3. Analiza circuitelor logice secvențiale [2pct]

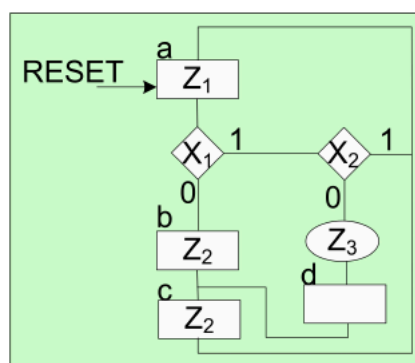
Se consideră circuitul din figură. La o ieșire se observă forma de undă prezentată. Să se determine formele de undă ale semnalelor de la ieșirile celorlalte bistabile.



- [1.5] Forme de undă.
- [0.5] Justificări

4. Sinteza circuitelor logice secvențiale [2pct]

Se consideră organigrama:

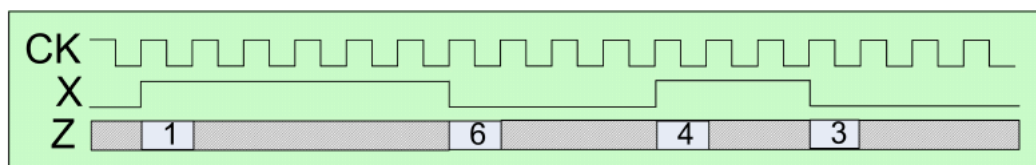


- [0.2] Determinați schema bloc a automatului și precizați caracteristicile acestuia.
- [0.3] Determinați tabelul de tranziții.
- [0.5] Deduceți ecuațiile stării viitoare și ale ieșirilor.
- [0.8] Implementați automatul cu bistabile D și un număr minim de porți NAND.
- [0.2] Realizați inițializarea automatului în starea precizată.

5. Proiectare sistem digital [1pct]

Proiectați un sistem secvențial sincron cu o intrare X care este constantă un număr de maximum 7 perioade de ceas. După fiecare puls ($X = 1$) al intrării, pe ieșirea Z (3 biți) se prezintă lățimea pulsului exprimată în perioade de ceas.

Formele de undă și temporizarea sunt prezentate în figură.



20.6 Subiect 2013 - 3

1. Întrebări [2pct]

- [0.2] Definiți noțiunea de "timp de setup".
- [0.2] "Numărător presetabil de 4 biți": număr de intrări, număr de ieșiri, simbol, funcție de transfer, funcționare, aplicații.
- [0.2] Ce capacitate de memorie (exprimată în biți) are o memorie RAM 1K x 16?
- [0.5] Realizați următoarele conversii și explicați metoda folosită:

$$DEAD|_{16} = ?|_2 = ?|_{10} = ?|_8$$

- [0.3] Realizați operația $40 + (-40)$ cu numere reprezentate în complement față de 2 pe 8 biți.
- [0.6] Minimizați funcția, utilizând diagrame V-K:

$$F(A, B, C, D) = \sum(0, 2, 5, 8, 9, 11, 12, 13)$$

2. Circuite logice combinaționale [2pct]

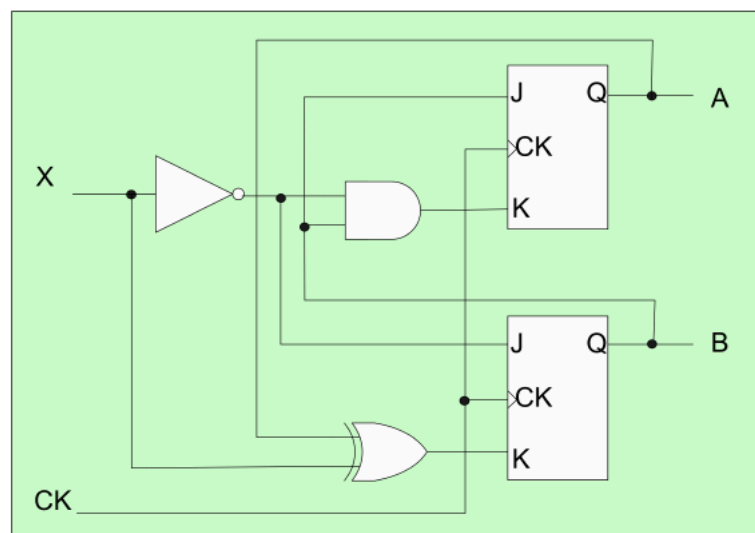
Se consideră funcția:

$$F(A, B, C, D) = \sum(0, 1, 5, 7, 8, 9, 14, 15)$$

- [0.5] Minimizați funcția logică și implementați-o cu porți NAND.
- [0.5] Evaluați "costul" implementării.
- [0.5] Propuneți o soluție de eliminare a hazardului combinațional și evaluați costul suplimentar al acesteia.
- [0.5] Implementați funcția cu MUX 8:1 și un număr minim de porți logice suplimentare.

3. Analiza circuitelor logice secvențiale [2pct]

Se consideră circuitul logic secvențial prezentat în figură.

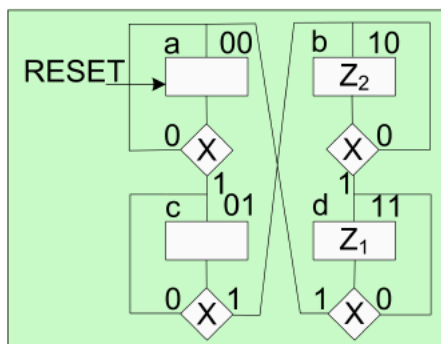


- [0.4] Determinați funcțiile logice ale bistabilelor JK.
- [1.0] Construiți tabelul de tranziții al automatului.
- [0.6] Construiți graful de tranziții al automatului.

4. Sinteza circuitelor logice secvențiale [2pct]

Se consideră organigrama:



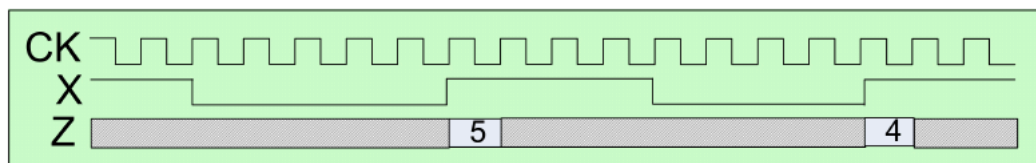


- [0.2] Determinați schema bloc a automatului și precizați caracteristicile acestuia.
- [0.3] Determinați tabelul de tranziții.
- [0.5] Deduceți ecuațiile stării viitoare și ale ieșirilor.
- [0.8] Implementați automatul cu bistabile D și un număr minim de porți NAND.
- [0.2] Realizați inițializarea automatului în starea precizată.

5. Proiectare sistem digital [1pct]

Proiectați un sistem secvențial sincron cu o intrare X . Pauza maximă între două pulsuri consecutive pe X este de 7 perioade de ceas. După fiecare pauză pe intrarea X , ieșirea Z (3 biți) prezintă durata pauzei (exprimată în perioade de ceas).

Formele de undă și temporizarea sunt prezentate în figură.



20.7 Subiect 2013 - 4

1. Întrebări [2pct]

- [0.2] Definiți noțiunea de "margină de zgomot".
- [0.2] "Multiplexor 8:1": număr de intrări, număr de ieșiri, simbol, funcție de transfer, funcționare, aplicații.
- [0.2] Care este cel mai mare număr pozitiv, exprimat în complement față de 2 care se poate reprezenta 4 bytes?
- [0.5] Realizați următoarele conversii și explicați metoda folosită:

$$DAC|_{16} = ?|_2 = ?|_{10} = ?|_8$$

- [0.3] Realizați operația $-58 + (-42)$ cu numere reprezentate în complement față de 2 pe 8 biți.
- [0.6] Minimizați funcția, utilizând diagrame V-K:

$$F(A, B, C, D) = \sum(3, 4, 6, 7, 9, 12, 13, 14, 15)$$

2. Circuite logice combinaționale [2pct]

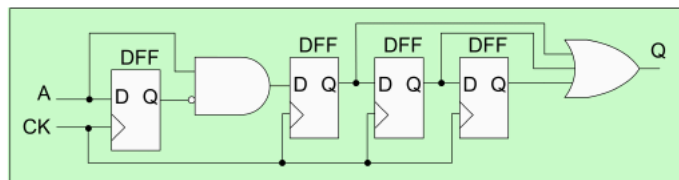
Se consideră funcția:

$$F(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 15)$$

- [0.5] Minimizați funcția logică și implementați-o cu porți NAND.
- [0.5] Evaluați "costul" implementării.
- [0.5] Propuneți o soluție de eliminare a hazardului combinațional și evaluați costul suplimentar al acesteia.
- [0.5] Implementați funcția cu MUX 8:1 și un număr minim de porți logice suplimentare.

3. Analiza circuitelor logice secvențiale [2pct]

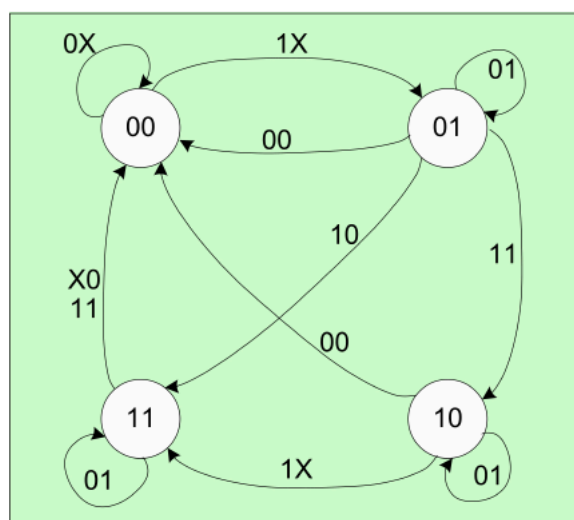
Explicați comportamentul circuitului prezentat în figură.



- [1.0] Forme de undă în nodurile circuitului.
- [1.0] Descrierea funcționării circuitului. Aplicații.

4. Sinteza circuitelor logice secvențiale [2pct]

Se consideră graful de tranziții:



- [0.2] Determinați schema bloc a automatului și precizați caracteristicile acestuia.
- [0.3] Determinați tabelul de tranziții.
- [0.5] Deduceți ecuațiile stării viitoare și ale ieșirilor.
- [0.8] Implementați automatul cu bistabile D și un număr minim de porți NAND.
- [0.2] Realizați inițializarea automatului în starea cu ieșire 10.

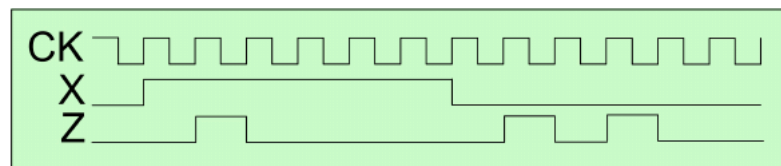
5. Proiectare sistem digital [1pct]

Proiectați un sistem secvențial sincron cu o intrare X .

La fiecare front pozitiv al semnalului de intrare X la ieșirea Z apare un puls.

La fiecare front negativ al semnalului de intrare X la ieșirea Z apar două pulsuri consecutive.

Formele de undă și temporizarea sunt prezentate în figură.



20.8 Subiect 2013 - 5

1. Întrebări [2pct]

- [0.2] Definiți noțiunea de "graf de tranziții".
- [0.2] "Decodificator de 2 biți": număr de intrări, număr de ieșiri, simbol, funcție de transfer, funcționare, aplicații.
- [0.2] Care este cel mai mare număr binar, exprimat pe 16 biți? Care este echivalentul său în baza 10? Dar în baza 16?
- [0.5] Realizați operația $28 + (-29)$ cu numere reprezentate în complement față de 2 pe 8 biți.
- [0.3] Scrieți numărul -123 reprezentat pe 8 biți, ca mărime și semn, în complement față de 2 și în complement față de 2.
- [0.6] Minimizați funcția, utilizând diagrame V-K:

$$F(A, B, C, D) = \sum (0, 2, 4, 5, 6, 7, 8, 10, 13, 14, 15)$$

2. Circuite logice combinaționale [2pct]

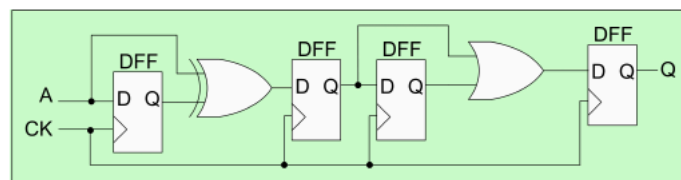
Se consideră funcția:

$$F(A, B, C, D) = \sum (2, 3, 8, 9, 10, 11)$$

- [0.5] Minimizați funcția logică și implementați-o cu porți NAND.
- [0.5] Evaluați "costul" implementării.
- [0.5] Propuneți o soluție de eliminare a hazardului combinațional și evaluați costul suplimentar al acesteia.
- [0.5] Implementați funcția cu MUX 8:1 și un număr minim de porți logice suplimentare.

3. Analiza circuitelor logice secvențiale [2pct]

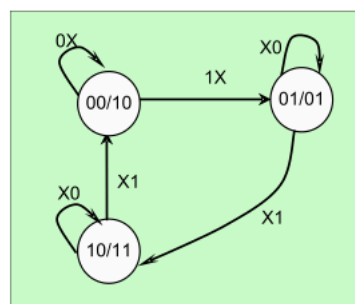
Explicați comportamentul circuitului prezentat în figură.



- [1.0] Forme de undă în nodurile circuitului.
- [1.0] Descrierea funcționării circuitului. Aplicații.

4. Sinteza circuitelor logice secvențiale [2pct]

Se consideră graful de tranziții:



- [0.2] Determinați schema bloc a automatului și precizați caracteristicile acestuia.
- [0.3] Determinați tabelul de tranziții.
- [0.5] Deduceți ecuațiile stării viitoare și ale ieșirilor.
- [0.8] Implementați automatul cu bistabile D și un număr minim de porți NAND.



- [0.2] Realizați inițializarea automatului în starea cu ieșire 10.

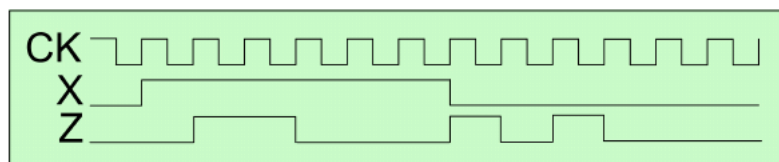
5. Proiectare sistem digital [1pct]

Proiectați un sistem secvențial sincron cu o intrare X .

La fiecare front pozitiv al semnalului de intrare X la ieșirea Z apare un puls cu lățime de două perioade de ceas.

La fiecare front negativ al semnalului de intrare X la ieșirea Z apar două pulsuri consecutive.

Formele de undă și temporizarea sunt prezentate în figură.



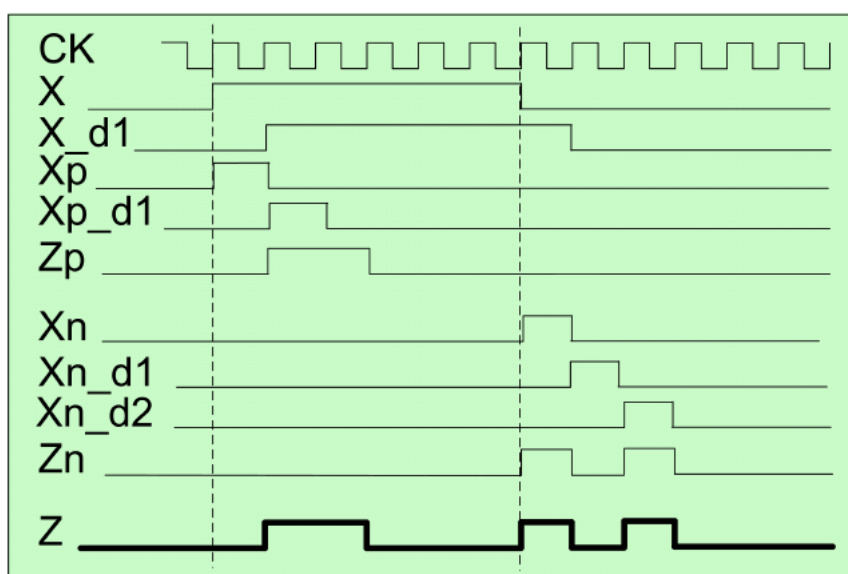
Soluție

Evenimentele care determină apariția pulsurilor la ieșirea Z sunt determinate de fronturile semnalului de intrare X . X_d1 este versiunea întârziată cu un tact a intrării (semnal obținut la ieșirea unui bistabil D având la intrare X). Semnalul Xp semnalează apariția unui front pozitiv pe semnalul X prin funcția ȘI între X și $\overline{X_d1}$. Xp_d1 este Xp întârziat cu un tact. Zp , pulsul generat pe ieșire la frontul pozitiv al intrării, se obține din funcția OR între Xp și Xp_d1 , întârziată printr-un bistabil (pentru respectarea temporizării impuse).

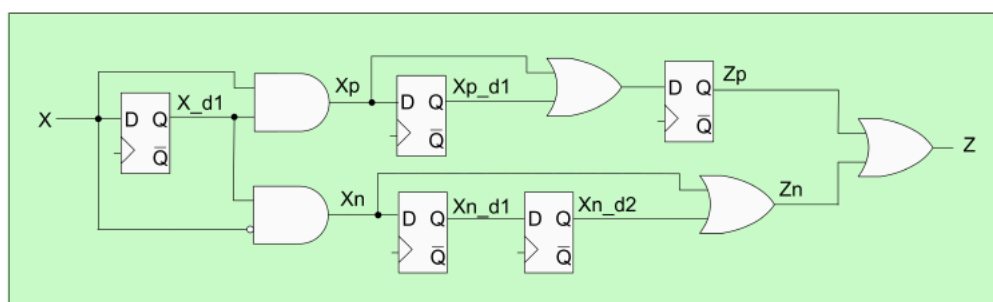
Semnalul Xn semnalează apariția unui front negativ pe semnalul X prin funcția ȘI între \overline{X} și X_d1 . Xn_d1 și Xn_d2 sunt Xn întârziat cu unul, respectiv două tacte. Zn , pulsul generat pe ieșire la frontul negativ al intrării, se obține din funcția OR între Xn și Xn_d2 , conform formei de undă și a temporizării impuse.

În final, ieșirea Z se obține prin funcția OR între Zp și Zn .

Formele de undă ce caracterizează circuitul proiectat sunt:



Circuitul cu bistabile care implementează funcționalitatea impusă este prezentat în continuare.



20.9 Subiect 2014

1. Întrebări [2pct]

- [0.5] Definiți noțiunea de "poartă logică în 3 stări". Funcționare, simbol, aplicații.
- [0.5] Definiți noțiunea de "multiplexor 2:1".
- [0.5] Realizați operația $14 + (-29)$ cu numere reprezentate în complement față de 2 pe 8 biți.

Soluție

$$14|_{10} = 1110|_2 = 0000_1110|_2 = 0000_1110|_{C2}$$

$$29|_{10} = 11101|_2 = 0001_1101|_2$$

$$-29|_{10} = \overline{0001_1101} + 1 = 1110_0011|_{C2}$$

$$\begin{array}{r} 0000_1110+ \\ 1110_0011 \\ \hline 1111_0001 \end{array}$$

Rezultatul este un număr negativ.

$$\overline{1111_0001} + 1 = 0000_1110 + 1 = 0000_1110|_2 = 15|_{10}$$

Deci, operația binară de mai sus este asociată operației în baza 10:

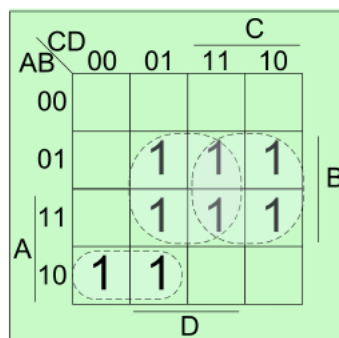
$$14 + (-29) = (-15).$$

- [0.5] Minimizați funcția, utilizând diagrame V-K:

$$F(A, B, C, D) = \sum(5, 6, 7, 8, 9, 13, 14, 15)$$

Soluție

Diagrama V-K asociată funcției este:



După definirea suprafețelor, se obține forma minimă:

$$F(A, B, C, D) = B \cdot C + B \cdot D + A \cdot \overline{B} \cdot \overline{C}$$

2. Circuite logice combinatoriale [2pct]

Se consideră funcția:

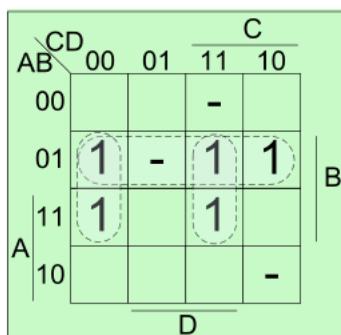
$$F(A, B, C, D) = \sum(4, 6, 7, 12, 15) + d(3, 5, 10)$$

- [0.5] Minimizați funcția logică și implementați-o cu porți NAND.
- [0.5] Evaluați "costul" implementării.
- [0.5] Propuneți o soluție de eliminare a hazardului combinatorial și evaluați costul suplimentar al acesteia.
- [0.5] Implementați funcția cu un DMUX 1:8, un MUX 2:1 și două porți logice de maximum 4 intrări.

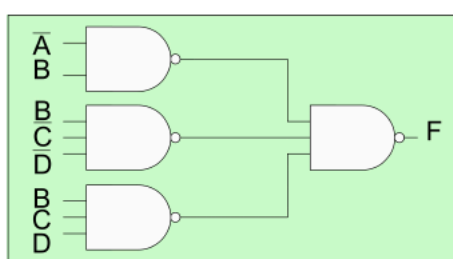
Soluție

Diagrama V-K:





Implementarea cu porți NAND este:



Expresia minimizată: $F(A, B, C, D) = \bar{A} \cdot B + B \cdot C \cdot D + B \cdot \bar{C} \cdot \bar{D}$

Necesar de porți logice:

1 NAND x 2 = 2 intrări

3 NAND x 3 = 9 intrări

3 NOT x 1 = 3 intrări

Total: 7 porți (14 intrări)

Implementarea funcției nu prezintă hazard combinațional deoarece forma minimă se obține cu 3 suprafețe ce se suprapun una cu alta (nu sunt disjuncte și adiacente).

Ideile care stau la baza implementării funcției cu resursele impuse sunt:

- un circuit DMUX 1:8 generează toți mintermii asociați la 3 variabile de intrare;
- împreună cu două porți logice SAU/SAU-NU de maximum 4 intrări se pot implementa orice două funcții cu 3 intrări;
- cu circuitul MUX 2:1, pe baza celei de-a patra intrări, se poate selecta una dintre ieșirile celor două porți (funcții de 3 intrări).

Pentru implementare, funcția trebuie prelucrată analitic pentru a se pune sub forma:

$$F(A, B, C, D) = \bar{A} \cdot H_0(B, C, D) + A \cdot H_1(B, C, D)$$

În cazul particular:

$$F(A, B, C, D) = \sum(4, 6, 7, 12, 15) = \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot D + A \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot C \cdot D = \\ = \bar{A} \cdot (B \cdot \bar{C} \cdot \bar{D} + B \cdot C \cdot \bar{D} + B \cdot C \cdot D) + A \cdot (B \cdot \bar{C} \cdot \bar{D} + B \cdot C \cdot D) =$$

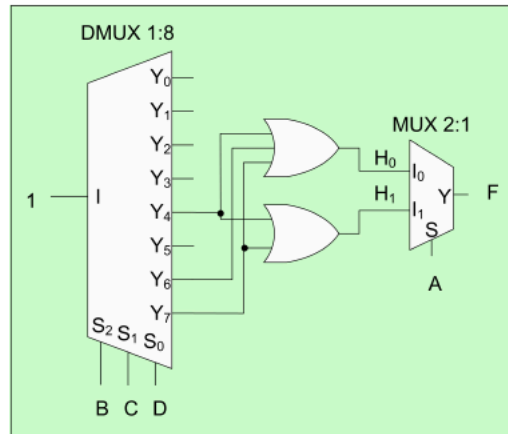
Rezultă:

$$H_0(B, C, D) = B \cdot \bar{C} \cdot \bar{D} + B \cdot C \cdot \bar{D} + B \cdot C \cdot D = \sum(4, 6, 7)$$

$$H_1(B, C, D) = B \cdot \bar{C} \cdot \bar{D} + B \cdot C \cdot D = \sum(4, 7)$$

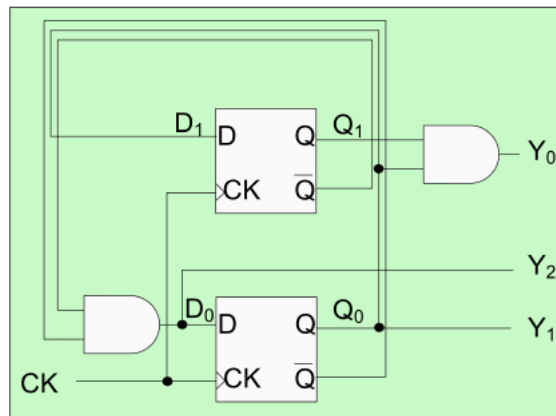
Implementarea este:





3. Analiza circuitelor logice secvențiale [2pct]

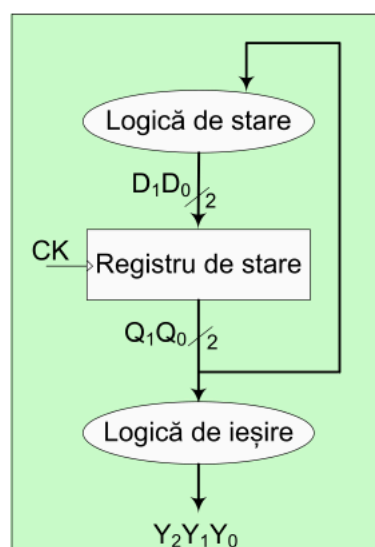
Analizați circuitul prezentat:



- [1.0] Schema bloc a automatului, cu precizarea numărului de intrări, numărului de ieșiri, numărului de stări și al tipului automatului.
- [0.5] Organigrama automatului.
- [0.5] Forme de undă generate de automat.

Soluție

Circuitul prezentat este un circuit logic secvențial ce conține două bistabile D. Deci, numărul maxim de stări ale circuitului este 4. Circuitul nu prezintă intrări de date și are 3 ieșiri Y_2, Y_1, Y_0 . Este un automat de tip Moore (nu are intrări, ieșirea depinde exclusiv de starea prezentă). Schema bloc a automatului este:



Starea prezentă este determinată de ieșirile bistabilelor, Q_1, Q_0 . Starea viitoare este determinată de intrările bistabilelor, D_1, D_0 . Ecuațiile stărilor viitoare sunt deduse din circuit:

$$D_1 = Q_0$$

$$D_0 = Q_1 \cdot \overline{Q_0}$$

Ecuațiile ieșirilor sunt deduse din circuit:

$$Y_2 = \overline{Q_1} \cdot \overline{Q_0}$$

$$Y_1 = Q_0$$

$$Y_0 = Q_1 \cdot Q_0$$

Cu ajutorul ecuațiilor, se poate deduce tabelul de tranziții. Tabelul se completează astfel:

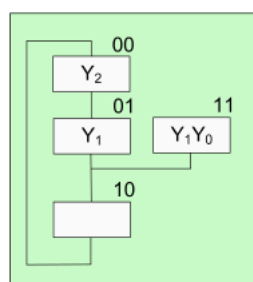
- se completează coloana stărilor prezente cu codurile tuturor celor 4 stări posibile;
- pe baza ecuațiilor $D_{1,0}(Q_{1,0})$ se completează coloanele stărilor viitoare;
- pe baza ecuațiilor $Y_{2,1,0}(Q_{1,0})$ se completează coloanele ieșirilor.

Stare prezentă		Stare viitoare		Ieșiri		
Q_1	Q_0	D_1	D_0	Y_2	Y_1	Y_0
0	0	0	1	1	0	0
0	1	1	0	0	1	0
1	0	0	0	0	0	0
1	1	1	0	0	1	1

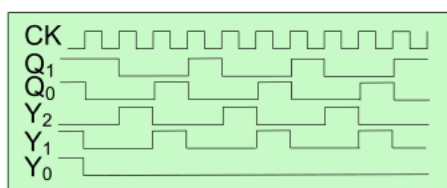
Organigrama automatului se poate deduce din tabelul de tranziții. Organigrama prezintă 4 stări. Trecerea dintr-o stare în alta se face necondiționat, conform tabelului de tranziții. Conform tabelului de tranziții, din starea 00 se trece necondiționat în starea 01, din 01 în 10, din 10 în 00 și din 11 în 10.

Ieșirile sunt active în stările corespunzătoare prezente în tabel. Y_2 este activă în starea 00, Y_1 este activă în stările 01 și 11 iar Y_0 este activă în starea 11.

Organigrama automatului este:



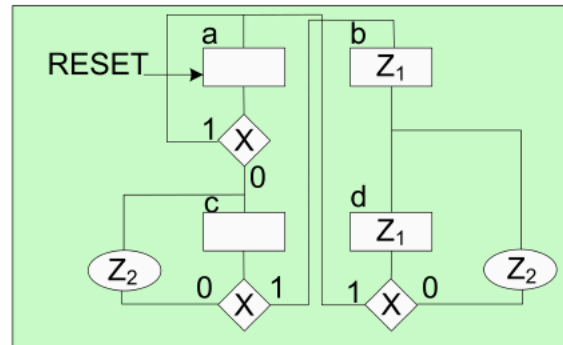
Automatul prezintă 3 stări între care evoluează ciclic, 00, 01, 10. În cazul că automatul se inițializează în starea 11, urmează starea 10 și ciclul se reia. Forme de undă generate de automat pot fi descrise complet dacă se pornește din starea 11. Urmează stările 10, 00, 01, 10, 00,



4. Sinteza circuitelor logice secvențiale [2pct]

Se consideră organigrama:



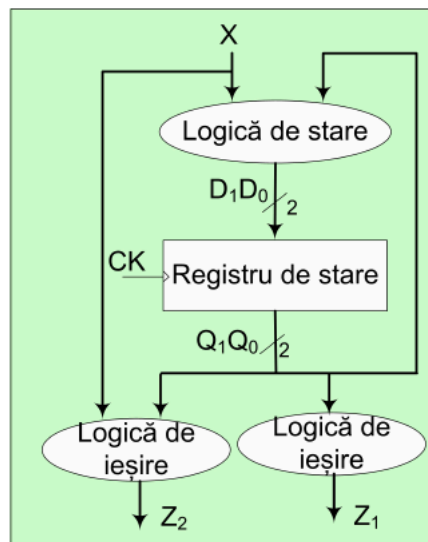


- [0.5] Determinați schema bloc a automatului și precizați caracteristicile acestuia.
- [0.2] Codificați stările cu un număr minim de biți.
- [1.0] Implementați automatul cu bistabile D și porți NAND.
- [0.3] Inițializați automatul în starea impusă.

Soluție

Organigrama prezintă 4 simboluri de stare. Deci, automatul are 4 stări ce pot fi codificate cu un număr de minimum 2 biți de cod. În simbolurile de decizie apare numele unei singure intrări X . Numele ieșirilor apar în simbolurile stărilor (ieșiri dependente exclusiv de stare) sau în simbolurile de ieșire imediată (ieșiri dependente atât de stare cât și de intrare). Există două ieșiri, Z_1 dependentă de stare și Z_2 dependentă și de stare și de intrare. Deci, este un automat Mealy.

Schema bloc a automatului este:



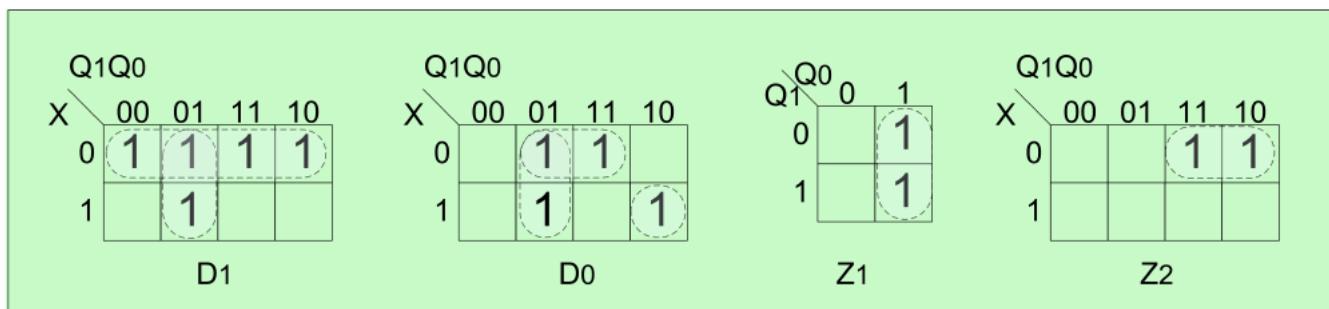
Cele 4 stări se pot codifica cu minimum 2 biți astfel: $a = 00$, $b = 01$, $c = 10$, $d = 11$. Codurile se aleg astfel încât să nu existe două stări cu același cod.

Pentru implementare, se determină tabelul de tranziții pe baza organigramei. Fiecare tranziție între două stări din organigramă va genera o linie în tabelul de tranziții.

Intrare X	Stare prezentă Q_1 Q_0		Stare viitoare D_1 D_0		Ieșiri Z_2 Z_1	
0	a	0	0	c	1	0
1	a	0	0	a	0	0
-	b	0	1	d	1	1
0	c	1	0	c	1	0
1	c	1	0	b	0	1
0	d	1	1	d	1	1
1	d	1	1	a	0	0



Funcțiile de tranziție ale stării $D_{1,0}(Q_1, Q_0, X)$ și funcțiile ieșirilor $Z_2(Q_1, Q_0, X)$ și $Z_1(Q_1, Q_0)$ se minimizează utilizând diagrame V-K:



Se obțin expresiile:

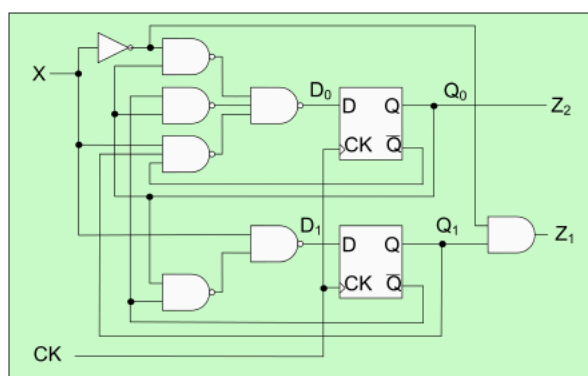
$$D_1 = \overline{X} + \overline{Q_1} \cdot Q_0$$

$$D_0 = \overline{X} \cdot Q_0 + \overline{Q_1} \cdot Q_0 + X \cdot Q_1 \cdot \overline{Q_0}$$

$$Z_1 = Q_0$$

$$Z_2 = \overline{X} \cdot Q_1$$

Implementarea prezintă două bistabile pentru cei 2 biți de cod ai stării prezente și porți logice pentru logica de stare și cea a ieșirilor.

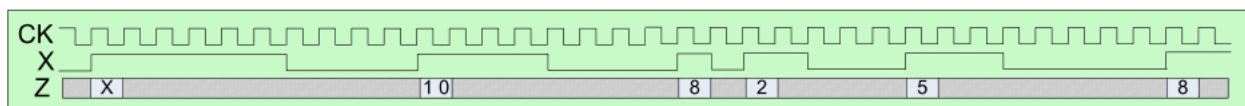


Circuitul se inițializează în starea a prin resetarea ambelor bistabile (aducerea în starea inițială 00, cod ce corespunde stării a). Circuitul care generează pulsul de inițializare a bistabilelor (reset) este un circuit RC care produce un puls de scurtă durată, după aplicarea tensiunii de alimentare. Lățimea pulsului de reset este determinată de produsul $R \cdot C$. Circuitul RC de inițializare și formele de undă ale tensiunilor și curenților asociate acestuia sunt prezentate în continuare.



5. Proiectare sistem digital [1pct]

- [1.0] Proiectați un sistem secvențial sincron cu o intrare X care prezintă maximum 15 perioade de ceas între două fronturi crescătoare consecutive. După fiecare front crescător al intrării X , pe ieșirea Z (4 biți) se prezintă durata între ultimele două fronturi crescătoare ale intrării X (exprimată în perioade de ceas). Formele de undă și temporizarea sunt prezentate în figură.

*Soluție*

Circuitul trebuie să numere în sens crescător. Evenimentul care determină re-inițializarea număratorului în starea 1 este determinat de apariția frontului crescător al semnalului de intrare X . Cu un circuit format dintr-un bistabil și porți logice se detectează momentul apariției frontului crescător al intrării X ($X = 1$ și $X_d = 0$, unde s-a notat cu X_d valoarea X întârziată cu un tact). Acest puls se aplică pe intrarea de inițializare sincronă a număratorului LD și determină încărcarea număratorului cu 1.

La ieșirea Z se va prezenta ieșirea număratorului. Formele de undă rezultate și circuitul proiectat sunt prezentate în continuare.

