Dan NICULA

ELECTRONICĂ DIGITALĂ
Carte de învăţătură 2.0

Editura Universităţii *TRANSILVANIA* din Braşov
ISBN 978-606-19-0563-8

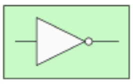
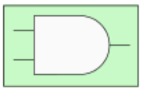
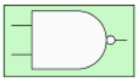
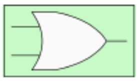
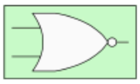
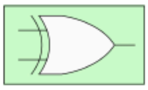
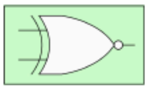
2015

Lecţia 3

Porţi logice

3.1 Noţiuni teoretice

O poartă logică este un circuit electronic care implementează o funcţie logică. Porţile logice au asociate simboluri grafice.

		NOT	AND	NAND	OR	NOR	XOR	XNOR
								
A	B	$\overline{A}$	$A \cdot B$	$\overline{A \cdot B}$	$A + B$	$\overline{A + B}$	$A \oplus B$	$\overline{A \oplus B}$
0	0	1	0	1	0	1	0	1
0	1	1	0	1	1	0	1	0
1	0	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1

Noţiunea de *poartă* se justifică prin faptul că se poate considera că unul din semnale condiţionează trecerea altui semnal prin circuit.

Logica Booleană operează cu două valori: *adevărat* şi *fals*. Acestor valori li se pot asocia pe mulţimea binară două valori numerice: 0 = fals, 1 = adevărat.

Evaluarea valorii de adevăr a unei expresii formate din propoziţii simple este posibilă prin considerarea unor operatori de *negare*, *conjuncţie* şi *disjuncţie*.

Tabelele de adevăr al operatorilor sunt:

NOT

A	$\overline{A}$
0	1
1	0

AND

A	B	$A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

OR

A	B	$A + B$
0	0	0
0	1	1
1	0	1
1	1	1

Pe baza celor 3 operatori, se pot defini operatori compuşi, conform tabelelor de adevăr:

NAND

A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

NOR

A	B	$\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

XOR

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

XNOR

A	B	$\overline{A \oplus B}$
0	0	1
0	1	0
1	0	0
1	1	1

3.2 Pentru cei ce vor doar să promoveze examenul

1. Să se determine porţile logice echivalente porţilor:

   a) $A \cdot \overline{B}$ **b)** $A + \overline{B}$ **c)** $\overline{A \cdot \overline{B} \cdot C}$ **d)** $\overline{A + B + \overline{C}}$

   Soluţie

   O poartă logică echivalentă se obţine prin negarea atât a intrărilor cât şi a ieşirilor şi interschimbarea operatorilor logici AND ⇔ OR. Transformarea se poate justifica analitic aplicarea teoremei lui DeMorgan. Eventual, anterior aplicării teoremei lui DeMorgan se aplică întregii expresii o dublă negare.

   a) $A \cdot \overline{B} = \overline{\overline{A \cdot \overline{B}}} = \overline{\overline{A} + \overline{\overline{B}}} = \overline{\overline{A} + B}$

   c) $\overline{A \cdot \overline{B} \cdot C} = \overline{A} + \overline{\overline{B}} + \overline{C} == \overline{A} + B + \overline{C}$

2. Să se determine structura de porţi logice care realizează următoarea funcţie logică:

$$Y = (A \cdot B + C + D) \cdot \overline{E \cdot F \cdot G}$$

   Soluţie

   Structura de porţi reprezintă o implementare a operatorilor prezenţi în expresia funcţiei, ţinând cont de precedenţa acestora (figura 3.1).

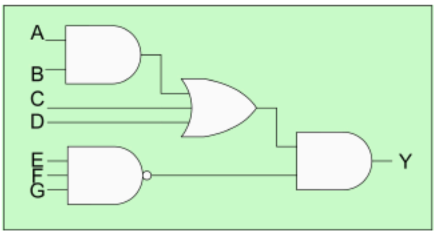


Figura 3.1 Structura de porţi logice pentru implementarea funcţiei de la problema 2.

3. Să se determine funcţia logică a structurii de porţi logice prezentate în figura 3.2.

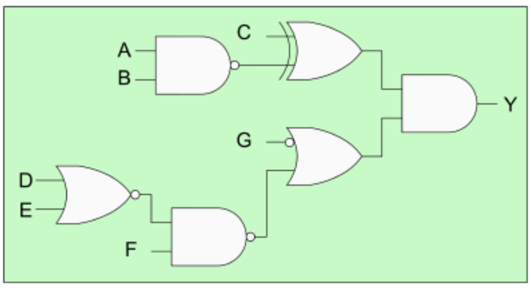


Figura 3.2 Structura de porţi logice (problema 3).

4. Desenaţi diagramele temporale asociate circuitelor cu porţi logice prezentate în figura 3.3.

   Soluţie

   Circuitul are trei intrări: A, B şi C. Stimulii de intrare vor avea $2^3 = 8$ valori diferite. Pentru fiecare combinaţie de intrare se determină valoarea logică a ieşirii porţilor, în funcţie de tipul acesteia.

   $D = A + \overline{B}$, $E = D \cdot \overline{C}$

   Formele de undă pentru D şi E se determină prin aplicarea funcţiilor menţionate pentru toate combinaţiile intrărilor. O alternativă constă în utilizarea unui tabel de adevăr pentru centralizarea datelor.

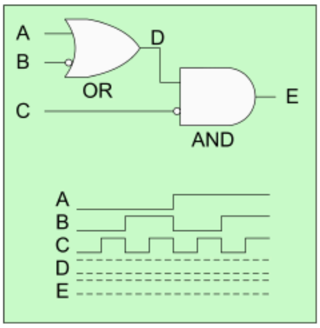


Figura 3.3 Circuite cu porţi logice şi diagrame temporale asociate (problema 4).

A	B	C	$\overline{B}$	$\overline{C}$	$D = A + \overline{B}$	$E = D \cdot \overline{C}$
0	0	0	1	1	1	1
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	1	0	0	0	0
1	0	0	1	1	1	1
1	0	1	1	0	1	0
1	1	0	0	1	1	1
1	1	1	0	0	1	0

3.3 Pentru cei ce vor să înveţe

1. Să se demonstreze că următoarele seturi de operatori logici sunt complete. Prezentaţi modul de realizare a tuturor operatorilor logici (NOT, AND, NAND, OR, NOR, XOR, XNOR) utilizând numai porţile din setul complet.

   - {AND, NOT}
   - {NAND}
   - {OR, NOT}
   - {NOR}
   - {XOR, AND}

   Soluţie

   În figura 3.4 este prezentat modul de realizare a operatorilor logici NOT, AND, NAND, OR, NOR, XOR şi XNOR utilizând doar porţile din seturile complete {AND, NOT}, {NAND}, {OR, NOT}, {NOR} şi {XOR, AND}.

2. Justificaţi semnificaţia de "poartă logică" pentru porţile logice: AND, OR, XOR, NOR, NAND.

   Soluţie

   Se consideră porţile cu două intrări. Dacă se denumeşte o intrare *data* şi o intrare *validare*, se pot găsi următoarele semnificaţii ale funcţionării porţilor logice.

   AND: Dacă $validare = 1$, trece *data* (poarta este deschisă).
   Dacă $validare = 0$, la ieşire este întotdeauna 0 (poarta este blocată pentru *data*).
   OR: Dacă $validare = 0$, trece *data* (poarta este deschisă).
   Dacă $validare = 1$, la ieşire este întotdeauna 1 (poarta este blocată pentru *data*).
   XOR: Dacă $validare = 0$, trece *data* (poarta este deschisă).
   Dacă $validare = 1$, trece $\overline{data}$ (poarta este deschisă ca un inversor).
   NAND: Dacă $validare = 1$, trece $\overline{data}$ (poarta este deschisă ca un inversor).

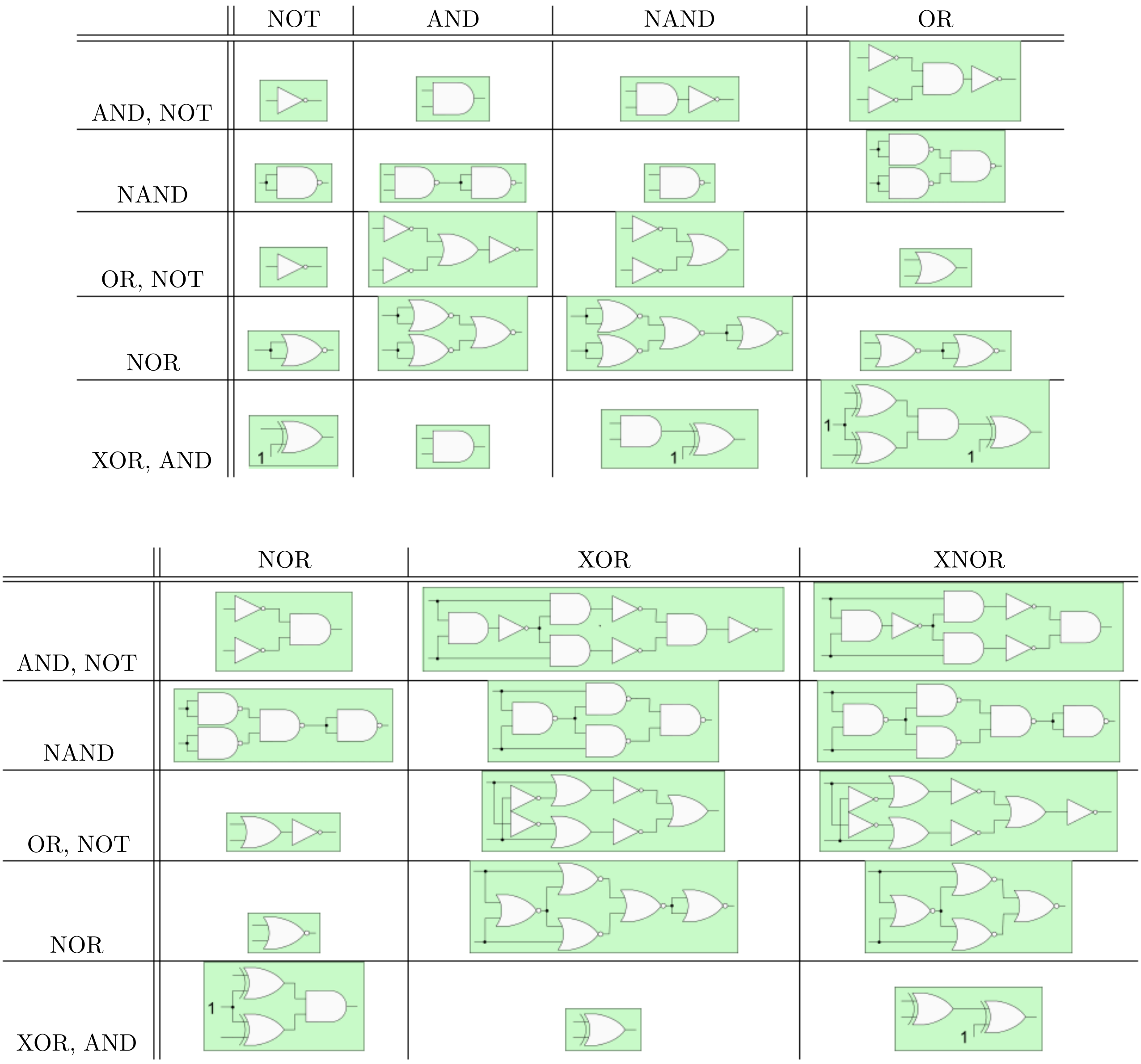


Figura 3.4 Realizarea operatorilor logici cu operatori din seturi complete (problema 1).

Dacă *validare* $= 0$, la ieşire este întotdeauna 1 (poarta este blocată pentru *data*).

NOR: Dacă *validare* $= 0$, trece $\overline{data}$ (poarta este deschisă ca un inversor).

Dacă *validare* $= 1$, la ieşire este întotdeauna 0 (poarta este blocată pentru *data*).

3. Să se determine porţile logice echivalente porţilor:

a) $A \cdot \overline{B}$ **b)** $A \cdot \overline{B} \cdot C$ **c)** $\overline{A \cdot B}$ **d)** $A + B + \overline{C}$

Soluţie

O poartă logică echivalentă se obţine prin negarea atât a intrărilor cât şi a ieşirilor şi interschimbarea operatorilor logici AND $\Leftrightarrow$ OR. Figura 3.5 prezintă porţi logice echivalente.

4. Să se determine structura de porţi logice care realizează următoarea funcţie logică:

$$Y = (A \cdot B \cdot C + D) \cdot \overline{E \cdot F} + G \cdot H \cdot (\overline{I + J} + K)$$

Soluţie

Structura de porţi este prezentată în figura 3.6.

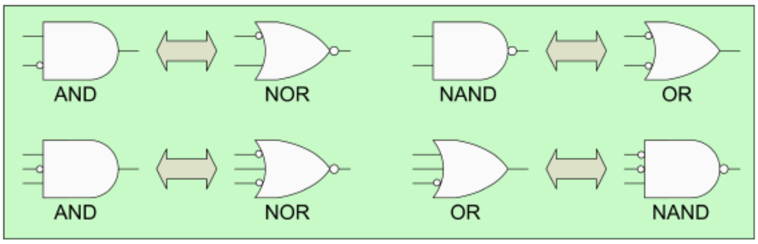


Figura 3.5 Porţi logice echivalente (problema 3).

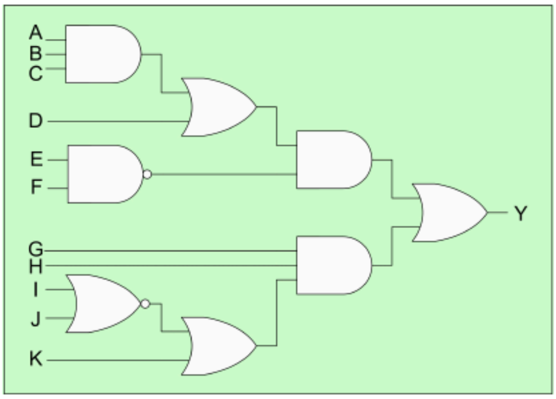


Figura 3.6 Structura de porţi logice (problema 4).

5. Să se determine structurile de porţi logice care realizează următoarele funcţii logice. Să se simplifice expresiile utilizând prelucrări analitice şi să se determine structurile de porţi logice simplificate.
   a) $Y_1 = (\overline{A \cdot B} + C) \cdot [\overline{(D+E)} \cdot F + \overline{G}]$;
   b) $Y_2 = (A \cdot \overline{B} + C) \cdot \overline{A} \cdot B + \overline{B} \cdot C$;
   c) $Y_3 = \overline{A} \cdot B \cdot (\overline{C} \cdot \overline{D} + \overline{C} \cdot D) + A \cdot B \cdot (\overline{C} \cdot \overline{D} + \overline{C} \cdot D) + A \cdot \overline{B} \cdot \overline{C} \cdot D$;
   d) $Y_4 = (\overline{A} \cdot \overline{B} + A \cdot \overline{B}) \cdot (C \cdot D + C \cdot \overline{D})$;
   e) $Y_5 = A \cdot B \cdot (C + D \cdot E \cdot F) + C \cdot E \cdot (A + B + F)$.

   Soluţie

   Structurile de porţi sunt prezentate în figura 3.7.

6. Să se determine funcţia logică a structurii de porţi logice prezentate în figura 3.8.

   Soluţie

   Pornind de la intrarea reţelei spre ieşire, după fiecare poartă se determină expresia logică a ieşirii respective care este apoi propagată la intrarea următoarelor porţi logice. Pentru reţeaua din figura 3.8, la ieşirile porţilor se deduc:

   $G_1 = \overline{A}$
   $G_2 = \overline{D}$
   $G_3 = G1 \cdot B = \overline{A} \cdot B$
   $G_4 = C \cdot D$
   $G_5 = B \cdot C$
   $G_6 = A \cdot C \cdot G_2 = A \cdot C \cdot \overline{D}$
   $G_7 = G_4 + G_5 = C \cdot D + B \cdot C$
   $G_8 = G_3 \cdot G_7 = (\overline{A} \cdot B) \cdot (C \cdot D + B \cdot C)$
   $G_9 = F = G_6 + G_8 = A \cdot C \cdot \overline{D} + \overline{A} \cdot B \cdot (C \cdot D + B \cdot C) = A \cdot C \cdot \overline{D} + \overline{A} \cdot B \cdot C \cdot D + A \cdot B \cdot C$.

7. Determinaţi funcţiile logice implementate de structurile de porţi logice din figura 3.9.

   Soluţie

   a) $Y = \overline{A \cdot B \cdot C} + (E \cdot F + \overline{G}) \cdot B$
   b) $Y = B \cdot (C \cdot \overline{D} \cdot E + F \cdot G \cdot \overline{E}) \cdot (\overline{A \cdot B} + C)$

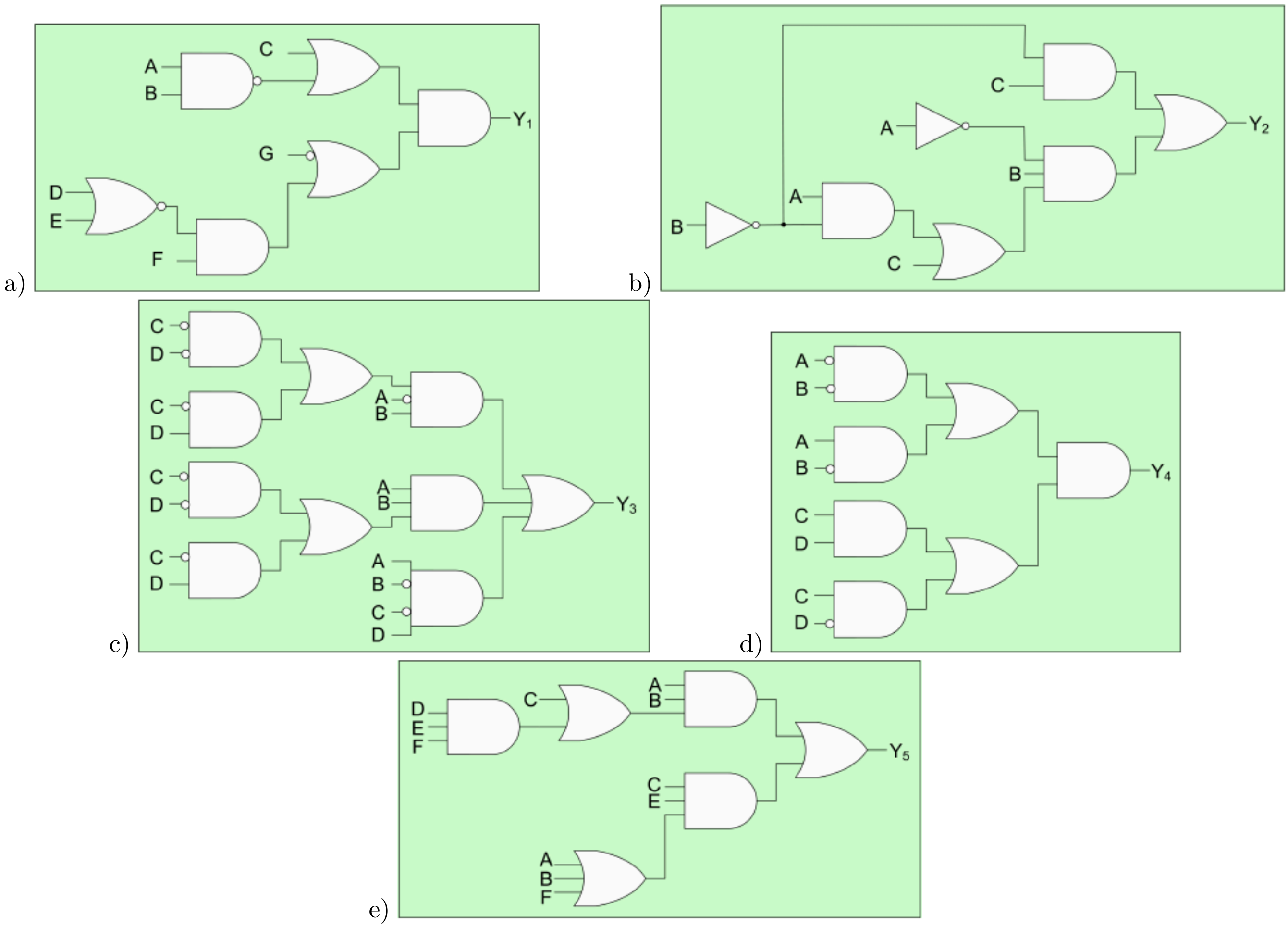


Figura 3.7 Structuri de porţi logice (problema 5).

8. Desenaţi diagramele temporale asociate circuitelor cu porţi logice prezentate în figura 3.10-a,b.

   Soluţie

   Circuitele au trei intrări: A, B şi C. Stimulii de intrare vor avea $2^3 = 8$ valori diferite. Pentru fiecare combinaţie de intrare se determină valoarea logică a ieşirii porţilor, în funcţie de tipul acesteia.
   a) $D = A \cdot \overline{B}$, $E = D + \overline{C}$
   b) $D = A \cdot \overline{B}$, $F = B \cdot C$, $G = D + F$
   Diagramele temporale sunt prezentate în aceeaşi figură 3.10-a,b.

9. Determinaţi tipul porţilor logice caracterizate de diagramele temporale prezentate în figura 3.11. A, B şi C sunt intrări iar D şi E sunt ieşiri.

   Soluţie

   Diagramele temporale prezintă formele de undă ale intrărilor A, B, C şi ale ieşirilor D şi E. Se observă că diagramele prezintă toate combinaţiile intrărilor, $2^3 = 8$.

   În primul caz, se remarcă faptul că ieşirea D este egală cu 1 dacă un număr impar de intrări sunt egale cu 1. Aceasta implică relaţia:
   $D = A \oplus B \oplus C$.

   În al doilea caz, funcţia este:
   $E = \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot C$.
   Implementarea directă a funcţiei este prezentată în figura 3.12. Alternativa este să se realizeze tabelul de adevăr şi să se completeze coloanele ieşirilor pe baza formelor de undă. Ulterior, expresia funcţiei se poate deduce din tabelul de adevăr.

10. Să se implementeze funcţia logică $F = A \oplus B$ cu porţi:
    a) NAND cu două intrări;

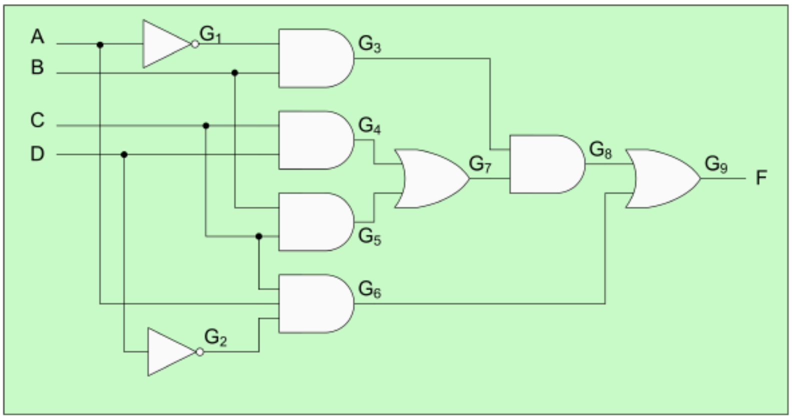


Figura 3.8 Structura de porţi logice (problema 6).

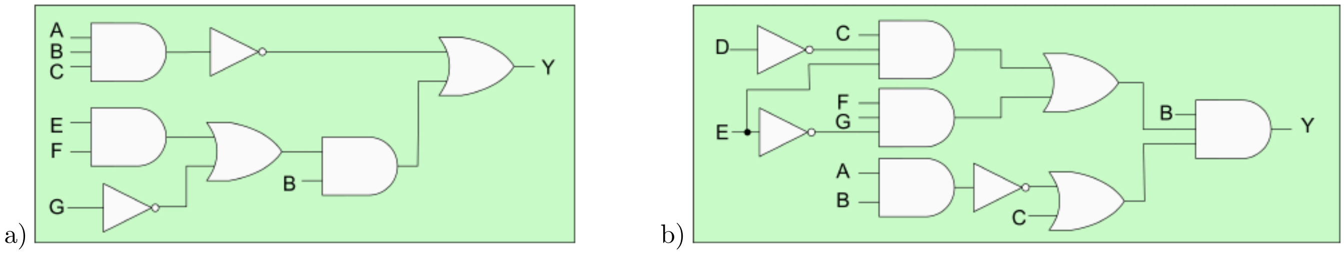


Figura 3.9 Structura de porţi logice (problema 7).

b) NOR cu două intrări.

Soluţie

Pentru implementarea cu porţi NAND, funcţia F se rescrie:

$F = A \oplus B = A \cdot \overline{B} + \overline{A} \cdot B = \overline{\overline{A \cdot \overline{B} + \overline{A} \cdot B}} = \overline{\overline{(A \cdot \overline{B})} \cdot \overline{(\overline{A} \cdot B)}}$

Pentru implementarea cu porţi NOR, funcţia F se rescrie:

$F = A \oplus B = A \cdot \overline{B} + \overline{A} \cdot B = \overline{\overline{A \cdot \overline{B}}} + \overline{\overline{\overline{A} \cdot B}} = \overline{(\overline{A} + B)} + \overline{(A + \overline{B})} = \overline{\overline{\overline{(\overline{A} + B)} + \overline{(A + \overline{B})}}}$

Ambele implementări sunt reprezentate în figura 3.13.

Se observă că în ambele implementări anterioare sunt necesare două porţi pentru realizarea intrărilor negate. Se pot rescrie expresiile pentru a se pune în evidenţă termeni comuni astfel:

$\overline{A \cdot \overline{B}} = \overline{A \cdot \overline{B} + A \cdot \overline{A}} = \overline{A \cdot (\overline{B} + \overline{A})} = \overline{A \cdot (\overline{AB})}$

$\overline{\overline{A} \cdot B} = \overline{\overline{A} \cdot B + \overline{B} \cdot B} = \overline{B \cdot (\overline{A} + \overline{B})} = \overline{B \cdot (\overline{AB})}$

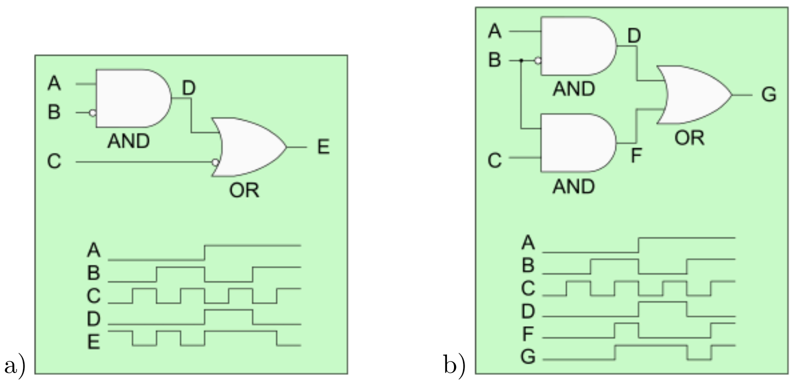


Figura 3.10 Circuite cu porţi logice şi diagrame temporale asociate (problema 8).

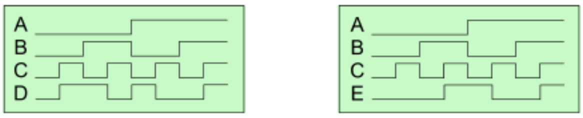


Figura 3.11 Diagrame temporale (problema 9).

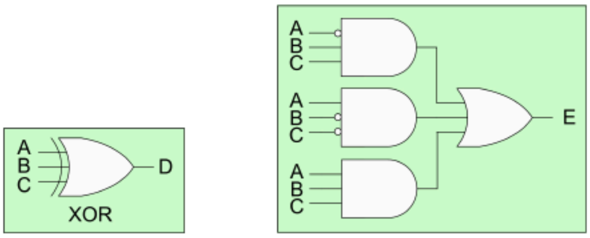


Figura 3.12 Circuite determinate pe baza diagramelor temporale prezentate în figura 3.11 (problema 9).

Deci: $F = A \oplus B = \overline{\overline{A \cdot \overline{(A \cdot B)}}.\overline{B \cdot \overline{(A \cdot B)}}}$.

Similar:

$\overline{\overline{A} + B} = \overline{\overline{(A + B)} + B}$

$\overline{A + \overline{B}} = \overline{A + \overline{(A + B)}}$

Deci: $F = A \oplus B = \overline{\overline{\overline{\overline{(A + B)} + B} + \overline{A + \overline{(A + B)}}}}$.

Cele două implementări optimizate sunt prezentate în figura 3.14.

11. Justificaţi afirmaţia că poarta logică XOR implementează un circuit de adunare a doi biţi.

Soluţie

Tabelul de adevăr al funcţiei logice XOR şi al adunării pe 2 biţi este prezentat în continuare.

A	B	$A \oplus B$	$A + B$ (plus)
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

Se observă egalitatea coloanelor asociate funcţiei logice XOR şi a funcţiei matematice de adunare.

12. Justificaţi afirmaţia că poartă logică AND implementează un circuit de înmulţire a doi biţi.

Soluţie

Tabelul de adevăr al funcţiei logice AND şi al înmulţirii pe 2 biţi este prezentat în continuare.

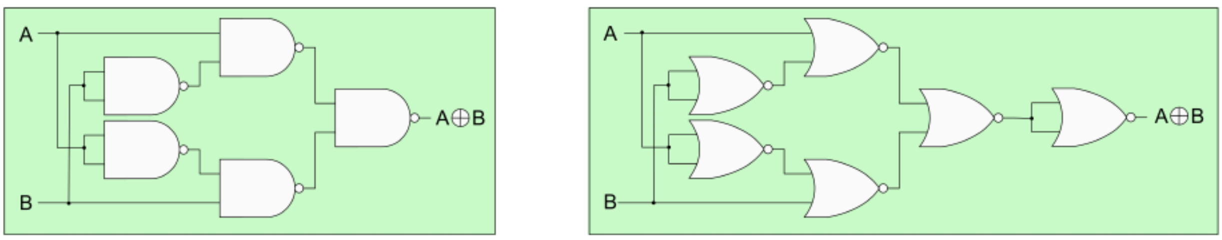


Figura 3.13 Implementarea funcţiei XOR cu porţi NAND şi NOR (problema 10).

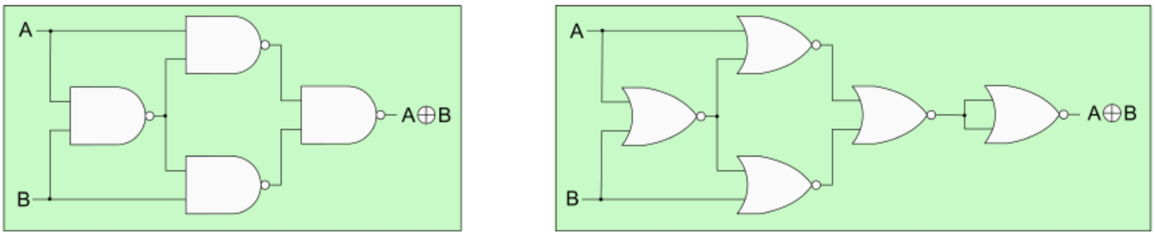


Figura 3.14 Implementarea funcţiei XOR cu porţi NAND şi NOR, optimizate (problema 10).

A	B	$A\cdot B$	$A\times B$ (înmulţire)
0	0	0	0
0	1	0	0
1	0	0	0
1	1	1	1

Se observă egalitatea coloanelor asociate funcţiei logice AND şi a funcţiei matematice de înmulţire.

13. Operaţiile logice cu şiruri de biţi (bus-uri de date) se efectuează considerând fiecare bit separat (operaţii ”bit cu bit”). Se consideră următoarele bus-uri de 8 biţi: $A = 10101101$ şi $B = 10001110$.

Determinaţi rezultatul operaţiilor: $A\cdot B$, $\overline{A\cdot B}$, $A+B$, $\overline{A+B}$, $A\oplus B$, $\overline{A\oplus B}$, $\overline{A}$, $\overline{B}$.

Soluţie

$A\cdot B = 1010\_1101 \cdot 1000\_1110 = 1000\_1100$;
$\overline{A\cdot B} = \overline{1010\_1101 \cdot 1000\_1110} = 0111\_0011$;
$A+B = 1010\_1101 + 1000\_1110 = 1010\_1111$;
$\overline{A+B} = \overline{1010\_1101 + 1000\_1110} = 01010\_000$;
$A\oplus B = 1010\_1101 \oplus 1000\_1110 = 0010\_0011$
$\overline{A\oplus B} = \overline{1010\_1101 \oplus 1000\_1110} = 1101\_1100$
$\overline{A} = \overline{1010\_1101} = 0101\_0010$
$\overline{B} = \overline{1000\_1110} = 0111\_0001$.

14. Implementaţi funcţiile $F = X\cdot Y + \overline{X}\cdot\overline{Y} + \overline{Y}\cdot Z$ şi $G = A\cdot B\cdot C + \overline{A}\cdot\overline{C} + \overline{A}\cdot\overline{B}$ cu:
a) porţi AND, OR şi NOT,
b) porţi OR şi NOT,
c) porţi AND şi NOT.

Soluţie

Implementarea cu porţi (AND, OR, NOT) se face direct din expresia prezentată (sumă de produse).
Implementarea cu porţi (AND, NOT) se face prin modificarea operatorului OR cu o structură de porţi echivalente folosind porţi AND şi NOT (aşa cum este prezentat în figura 3.4).

Analitic, transformarea funcţiei se face prin aplicarea dublei negaţii şi a teoremei lui DeMorgan asupra sumei.
$F = X\cdot Y + \overline{X}\cdot\overline{Y} + \overline{Y}\cdot Z = \overline{\overline{X\cdot Y + \overline{X}\cdot\overline{Y} + \overline{Y}\cdot Z}} = \overline{X\cdot Y}\cdot\overline{\overline{X}\cdot\overline{Y}}\cdot\overline{\overline{Y}\cdot Z}$

Implementarea cu porţi (OR, NOT) se face prin modificarea operatorului AND cu o structură de porţi echivalente folosind porţi OR şi NOT (aşa cum este prezentat în figura 3.4).

Analitic, transformarea funcţiei se face prin aplicarea dublei negaţii şi a teoremei lui DeMorgan asupra produselor.
$F = X\cdot Y + \overline{X}\cdot\overline{Y} + \overline{Y}\cdot Z = \overline{\overline{X\cdot Y}} + \overline{\overline{\overline{X}\cdot\overline{Y}}} + \overline{\overline{\overline{Y}\cdot Z}} = \overline{\overline{X}+\overline{Y}} + \overline{X+Y} + \overline{Y+\overline{Z}}$

Structurile sunt prezentate în figura 3.15.

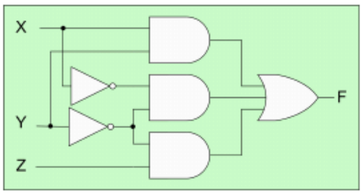
15. Precizaţi porţi logice echivalente (opţional cu intrări sau ieşiri negate) pentru circuitele prezentate în figura 3.16.

16. Precizaţi circuitele logice echivalente cu porţi NAND pentru circuitele prezentate în figura 3.17.

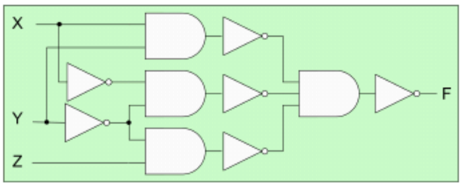
17. Determinaţi structura de porţi logice care implementează funcţiile, fără a le simplifica. Simplificaţi funcţiile prin prelucrări algebrice şi propuneţi o structură de porţi logice simplificată.

AND, OR, NOT	AND, NOT	OR, NOT

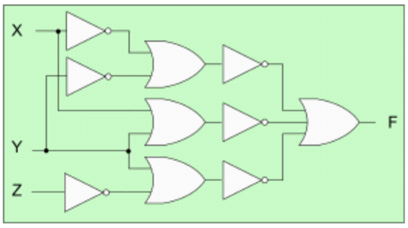
$$F = X\cdot Y + \overline{X}\cdot\overline{Y} + \overline{Y}\cdot Z$$



$F = X\cdot Y + \overline{X}\cdot\overline{Y} + \overline{Y}\cdot Z$

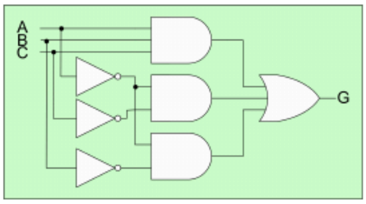


$F = \overline{\overline{X\cdot Y}\cdot\overline{\overline{X}\cdot\overline{Y}}\cdot\overline{\overline{Y}\cdot Z}}$

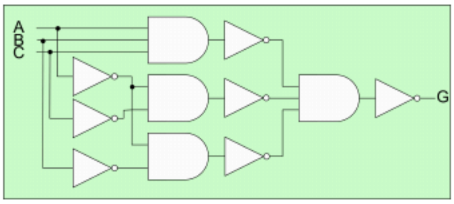


$F = \overline{\overline{X}+\overline{Y}}+\overline{X+Y}+\overline{Y+\overline{Z}}$

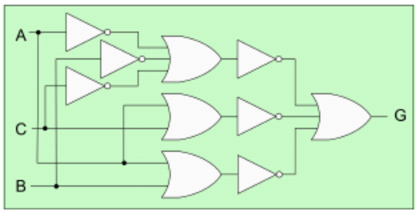
$$G = A\cdot B\cdot C + \overline{A}\cdot\overline{C} + \overline{A}\cdot\overline{B}$$



$G = A\cdot B\cdot C + \overline{A}\cdot\overline{C} + \overline{A}\cdot\overline{B}$



$G = \overline{\overline{A\cdot B\cdot C}\cdot\overline{\overline{A}\cdot\overline{C}}\cdot\overline{\overline{A}\cdot\overline{B}}}$



$G = \overline{\overline{A}+\overline{B}+\overline{C}}+\overline{A+C}+\overline{A+B}$

Figura 3.15 Realizarea operatorilor logici cu operatori din seturi complete (problema 14).

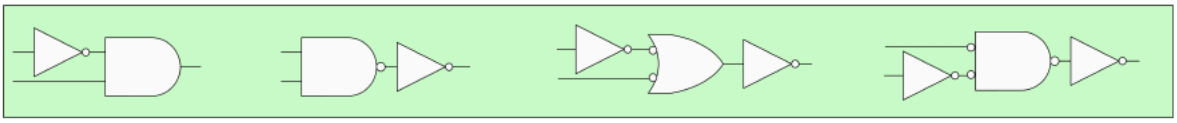


Figura 3.16 Circuite logice (problema 15).

a) $B\cdot\overline{C} + A\cdot B + A\cdot C\cdot D$
b) $(A+B)\cdot(C+D)\cdot(\overline{A}+B+D)$
c) $A\cdot(B\cdot\overline{C}+\overline{B}\cdot C)+C\cdot(B\cdot D+\overline{B}\cdot\overline{D})$
d) $(A\cdot B+\overline{A}\cdot\overline{B})\cdot(C\cdot\overline{D}+\overline{C}\cdot D)$
e) $W\cdot\overline{X}\cdot\overline{Y}+\overline{W}\cdot Z+X\cdot Y$
f) $W\cdot\overline{Y}\cdot(X+Z)+\overline{X}\cdot Y\cdot(W+Z)+W\cdot\overline{Z}\cdot(X+Y)$

18. Se consideră funcţia logică $F = X\cdot\overline{Y}\cdot Z+\overline{X}\cdot\overline{Y}\cdot Z+\overline{W}\cdot X\cdot Y+W\cdot\overline{X}\cdot Y+W\cdot X\cdot Y$
a) Obţineţi tabelul de adevăr al funcţiei.
b) Determinaţi structura de porţi logice care implementează funcţia, conform expresiei originale.
c) Simplificaţi expresia funcţiei utilizând alegebra Booleană.
d) Obţineţi tabelul de adevăr al funcţiei din expresia simplificată şi demonstraţi că este identic cu cel obţinut anterior.
e) Determinaţi structura de porţi logice care implementează funcţia, conform expresiei minimizate.
f) Comparaţi costurile celor două implementări ca număr de porţi logice şi ca număr de intrări în porţi logice.

Soluţie

a) Tabelul de adevăr al funcţiei şi structura de porţi sunt prezentate în figura 3.18.

c) $F = X\cdot\overline{Y}\cdot Z+\overline{X}\cdot\overline{Y}\cdot Z+\overline{W}\cdot X\cdot Y+W\cdot\overline{X}\cdot Y+W\cdot X\cdot Y = \overline{Y}\cdot Z\cdot(X+\overline{X})+X\cdot Y\cdot(W+\overline{W})+W\cdot\overline{X}\cdot Y = \overline{Y}\cdot Z+X\cdot Y+W\cdot\overline{X}\cdot Y = \overline{Y}\cdot Z+Y\cdot(X+\overline{X}\cdot W) = \overline{Y}\cdot Z+Y\cdot(X+W) = \overline{Y}\cdot Z+Y\cdot X+Y\cdot W$

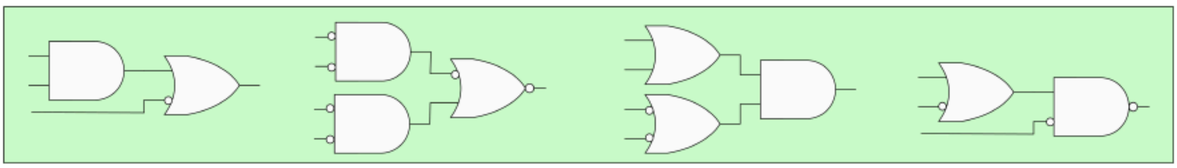
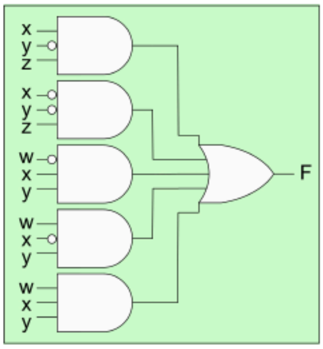


Figura 3.17 Circuite logice (problema 16).

Inițial



W	X	Y	Z	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Simplificat

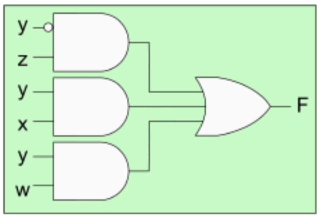


Figura 3.18 Tabelul de adevăr și structura de porți logice inițială și simplificată (problema 18).

f) Costurile implementării, calculate ca număr de porți logice și ca număr de intrări în porți logice, sunt:

Implementare inițială:
3 porți NOT × 1 intrare;
5 porți AND × 3 intrări;
1 poartă OR × 5 intrări.
Total: 9 porți × 23 intrări.

Implementare după simplificare:
1 poartă NOT × 1 intrare;
3 porți AND × 2 intrări;
1 poartă OR × 3 intrări.
Total: 5 porți × 10 intrări.

19. Un circuit logic are trei intrări și două ieșiri. O ieșire este egală cu 1 dacă toate intrările sunt egale cu 1. A doua ieșire este egală cu 0 dacă două sau mai puțin de două intrări sunt egale cu 0. Să se determine tabelul de adevăr al funcțiilor și expresiile analitice ale acestora.

Soluție

Definirea celei de-a doua funcții este similară cu: *"ieșirea este egală cu 0 dacă există 0, 1 sau 2 intrări egale cu 0"*, adică *"ieșirea este egală cu 1 dacă există 3 intrări egale cu 0"*. Tabelul de adevăr al celor două funcții este:

A	B	C	O_1	O_2
0	0	0	0	1
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	0

Expresiile analitice ale ieșirilor sunt:
$O_1 = A \cdot B \cdot C$
$O_2 = \overline{A} \cdot \overline{B} \cdot \overline{C} = \overline{A + B + C}$

20. Determinați funcția logică cu trei intrări care este egală cu 1 doar în cazul în care valoarea de la intrare (exprimată în binar) este mai mică decât 3. Să se determine tabelul de adevăr și expresia ieșirii.

Soluție

Valoare	A	B	C	O
0	0	0	0	1
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

Expresia ieşirii este: $O = \overline{A} \cdot (\overline{B} + \overline{C})$.

21. Proiectaţi un circuit logic cu trei intrări şi trei ieşiri. Dacă valoarea de la intrare (exprimată în binar) este 0, 1, 2 sau 3 atunci ieşirea este mai mare cu o unitate faţă de intrare. Dacă valoarea de la intrare este 4, 5, 6, sau 7 atunci ieşirea este mai mică cu o unitate faţă de intrare. Să se determine tabelul de adevăr şi expresiile celor trei ieşiri.

    Soluţie

Valoare intrare	I_2	I_1	I_0	O_2	O_1	O_0	Valoare ieşire
0	0	0	0	0	0	1	1
1	0	0	1	0	1	0	2
2	0	1	0	0	1	1	3
3	0	1	1	1	0	0	4
4	1	0	0	0	1	1	3
5	1	0	1	1	0	0	4
6	1	1	0	1	0	1	5
7	1	1	1	1	1	0	6

Expresiile analitice ale ieşirilor sunt:
$O_2 = \overline{I_2} \cdot I_1 \cdot I_0 + I_2 \cdot \overline{I_1} \cdot I_0 + I_2 \cdot I_1 \cdot \overline{I_0} + I_2 \cdot I_1 \cdot I_0 = \overline{I_2} \cdot I_1 \cdot I_0 + I_2 \cdot (\overline{I_1} \cdot I_0 + I_1 \cdot \overline{I_0} + I_1 \cdot I_0) = \overline{I_2} \cdot I_1 \cdot I_0 + I_2 \cdot (\overline{I_1} \cdot I_0 + I_1 \cdot (\overline{I_0} + I_0)) =$
$= \overline{I_2} \cdot I_1 \cdot I_0 + I_2 \cdot (\overline{I_1} \cdot I_0 + I_1 \cdot 1) = \overline{I_2} \cdot I_1 \cdot I_0 + I_2 \cdot (\overline{I_1} \cdot I_0 + I_1) = \overline{I_2} \cdot I_1 \cdot I_0 + I_2 \cdot (I_0 + I_1)$
$O_1 = I_2 \oplus I_1 \oplus I_0$, (se observă că $O_1 = 1$ dacă un număr impar de intrări sunt egale cu 1).
$O_0 = \overline{I_0}$, (se observă coloana O_0 complementară coloanei I_0).

22. Să se proiecteze un circuit logic care să compare 2 biţi A şi B producând 3 ieşiri: $E = 1$ dacă $A = B$, $L = 1$ dacă $A < B$ şi $G = 1$ dacă $A > B$.

    Soluţie

    Tabelul de adevăr al circuitului comparator este:

A	B	G	E	L
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Din tabelul de adevăr, rezultă ecuaţiile circuitului comparator de 1 bit şi structura de porţi logice reprezentată în figura 3.19:

$G = A \cdot \overline{B}$
$E = \overline{A \oplus B}$
$L = \overline{A} \cdot B$

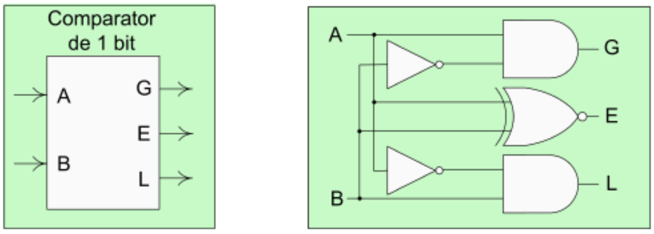


Figura 3.19 Circuitul comparator de 1 bit: simbol bloc şi structură de porţi logice.

3.4 Pentru cei ce vor să devină profesionişti

1. Să se proiecteze un circuit logic care să compare 2 biţi A şi B şi care să ţină cont de rezultatul comparaţiei unor biţi de pondere superioară.

   Soluţie

   În cazul propagării rezultatelor comparării de la biţii mai semnificativi, circuitul are 5 intrări (intrările comparate A şi B şi intrările cu rezultatele comparării biţilor superiori G_i, E_i, L_i) şi 3 ieşiri (rezultatele comparării biţilor curenţi sau propagarea rezultatelor comparării biţilor superiori G_o, E_o, L_o).

   Tabelul de funcţionare al acestui circuit este:

G_i	E_i	L_i	A	B	G_o	E_o	L_o	Observaţii
0	0	0	X	X	X	X	X	caz imposibil la intrare
0	0	1	X	X	0	0	1	deja s-a determinat că $A < B$
0	1	0	0	0	0	1	0	
0	1	0	0	1	0	0	1	prin compararea biţilor superiori,
0	1	0	1	0	1	0	0	s-a determinat până acum că $A = B$
0	1	0	1	1	0	1	0	
0	1	1	X	X	X	X	X	caz imposibil la intrare
1	0	0	X	X	1	0	0	deja s-a determinat că $A > B$
1	0	1	X	X	X	X	X	caz imposibil la intrare
1	1	0	X	X	X	X	X	caz imposibil la intrare
1	1	1	X	X	X	X	X	caz imposibil la intrare

   Din tabelul de adevăr se deduc ecuaţiile:

   $G_o = G_i + E_i \cdot A \cdot \overline{B}$ — $A > B$ dacă din compararea biţilor mai semnificativi s-a dedus că $A > B$ ($G_i = 1$) **sau** dacă până la acest index a fost egalitate ($E_i = 1$) **şi** $A_i > B_i$.

   $E_o = E_i \cdot \overline{A \oplus B}$ — $A = B$ dacă din compararea biţilor mai semnificativi s-a dedus egalitatea ($E_i = 1$) **şi** biţii curenţi sunt deasemenea egali $A_i = B_i$.

   $L_o = L_i + E_i \cdot \overline{A} \cdot B$ — $A < B$ dacă din compararea biţilor mai semnificativi s-a dedus că $A < B$ ($L_i = 1$) **sau** dacă până la acest index a fost egalitate ($E_i = 1$) **şi** $A_i < B_i$.

   Ecuaţiile de mai sus se pot deduce prin observarea cazului când o anumită ieşire este activată, la parcurgerea biţilor de la cel mai semnificativ (stânga) spre cel mai puţin semnificativ (dreapta). Comparatorul de index i va realiza următoarele funcţii:

   - Numărul A este mai mare decât B ($G_o = 1$) dacă în urma comparării biţilor superiori s-a decis că $A > B$ ($G_i = 1$) **sau** dacă în urma comparării biţilor superiori s-a decis că $A = B$ ($E_i = 1$) **şi** $A_i > B_i$.
   - Numărul A este egal cu B ($E_o = 1$) dacă în urma comparării biţilor superiori s-a decis că $A = B$ ($E_i = 1$) **şi** prin compararea biţilor curenţi se constată că $A_i = B_i$.
   - Numărul A este mai mic decât B ($L_o = 1$) dacă în urma comparării biţilor superiori s-a decis că $A < B$ ($L_i = 1$) **sau** dacă în urma comparării biţilor superiori s-a decis că $A = B$ ($E_i = 1$) **şi** $A_i < B_i$.

   Figura 3.20 prezintă simbolul bloc şi structura de porţi logice a circuitului comparator cu propagarea rezultatelor comparării de la biţii superiori.

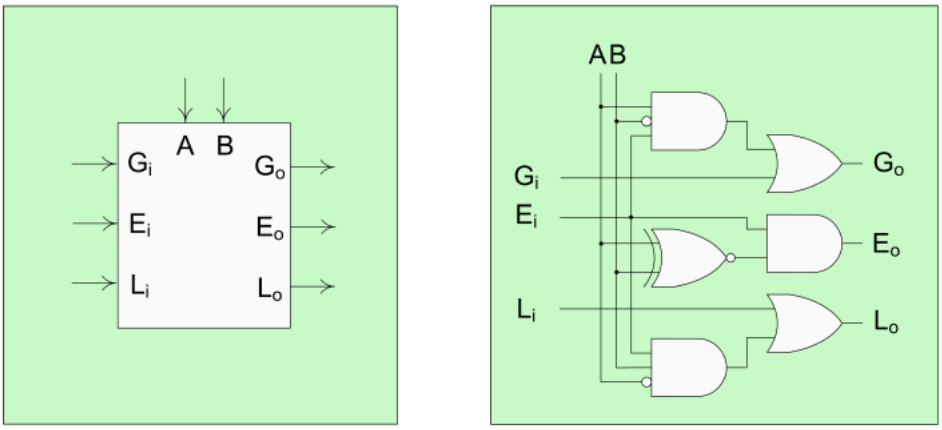


Figura 3.20 Circuitul comparator de 1 bit cu propagarea rezultatelor comparării biţilor superiori: simbol bloc şi structură de porţi logice.

2. Utilizând 4 instanţieri ale circuitului descris la problema 1, să se proiecteze un circuit comparator a două cuvinte de câte 4 biţi.

   Soluţie

   Compararea a două cuvinte de mai mulţi biţi se poate face prin instanţierea mui multor celule de comparare pe bit, conectate astfel încât să propage rezultatele compărării biţilor mai semnificativi spre biţii mai puţin semnificativi. Esenţa compărării este că dacă prin compararea unor biţi (cei mai semnificativi) se decide că un număr este mai mare, nu mai trebuie comparaţi cei mai puţin semnificativi pentru că nu vor schimba rezultatul final. La compararea celui mai semnificativ bit, intrările de transport se conectează astfel încât să semnifice egalitatea biţilor superiori ($G_iE_iL_i = 010$). Circuitul pentru compararea a două numere de câte 4 biţi este prezentat în figura 3.21.

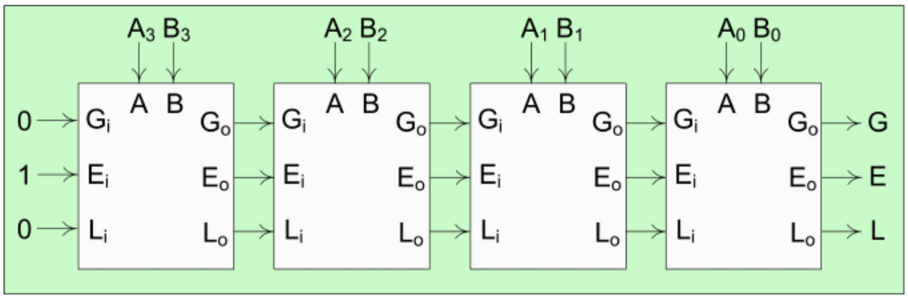


Figura 3.21 Circuitul comparator a două cuvinte de câte 4 biţi.

3. Cum se defineşte noţiunea de "margine de zgomot"?

   Soluţie

   Marginea de zgomot (Engl. *"Noise Margin"*) reprezintă nivelul maxim al zgomotului (tensiune electrică) care poate afecta o linie de transmisiune digitală astfel încât valoarea logică detectată de receptor să fie identică cu valoarea logică emisă de sursă. Figura 3.22 prezintă grafic valorile de tensiune de ieşire generate de o poartă emiţătoare şi tensiuni de intrare la poarta receptoare. Se definesc noţiunile:

   Margine de zgomot în starea H (High = 1 logic): $NM_H = V_{OH} - V_{IH}$
   Margine de zgomot în starea L (Low = 0 logic): $NM_L = V_{IL} - V_{OL}$
   Margine de zgomot : $NM = min(NM_H, NM_L)$

   Se remarcă atributele asociate valorilor limită ale tensiunilor de intrare şi ieşire:
   V_{OH} - tensiune minimă *garantată* la ieşirea porţii emiţătoare
   V_{OL} - tensiune maximă *garantată* la ieşirea porţii emiţătoare

V_{IH} - tensiune minimă *acceptată* la intrarea porţii receptoare
V_{IL} - tensiune maximă *acceptată* la intrarea porţii receptoare

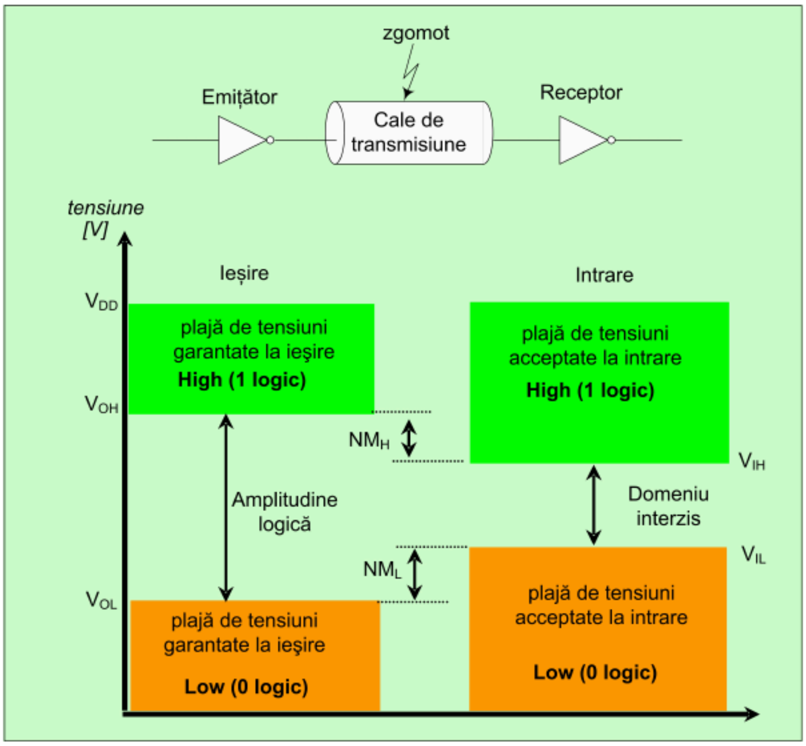


Figura 3.22 Definirea nivelelor de tensiune şi a marginii de zgomot pentru porţile logice.

4. Propuneţi un set de valori pentru intrările circuitului prezentat în figura 3.23 astfel încât ieşirea să fie egală cu 1.

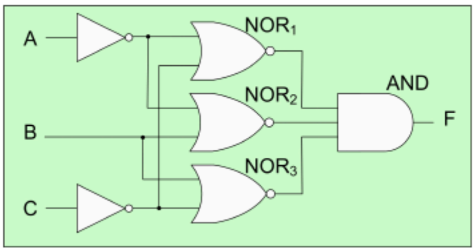


Figura 3.23 Circuitul pentru problema 4.

Soluţie

Pentru ca ieşirea F să fie egală cu 1 trebuie ca toate intrările în poartă AND să fie egale cu 1. Pentru ca toate intrările porţii AND să fie 1, trebuie ca la toate intrările porţilor NOR să fie semnale cu valoare logică 0. Rezultă: $A = 1$, $B = 0$ şi $C = 1$.

Analitic, expresia funcţiei este:

$F = \overline{\overline{A} + \overline{C}} \cdot \overline{\overline{A} + B} \cdot \overline{B + \overline{C}}$

Din condiţia $F = 1$ rezultă:

$\overline{\overline{A} + \overline{C}} = 1$ şi

$\overline{\overline{A} + B} = 1$ şi

$\overline{B + \overline{C}} = 1$.

$\overline{\overline{A}+\overline{C}} = 1 \Rightarrow \overline{A}+\overline{C} = 0 \Rightarrow \overline{A} = 0$ şi $\overline{C} = 0$, adică $A = 1$ şi $C = 1$.

$\overline{\overline{A}+B} = 1 \Rightarrow \overline{A}+B = 0 \Rightarrow \overline{A} = 0$ şi $B = 0$, adică $A = 1$ şi $B = 0$.

$\overline{B+\overline{C}} = 1 \Rightarrow B+\overline{C} = 0 \Rightarrow B = 0$ şi $\overline{C} = 0$, adică $B = 0$ şi $C = 1$.

În final, rezultă: $A = 1$, $B = 0$ şi $C = 1$.

5. Cum se defineşte noţiunea de "fan-out"?

Soluţie

Noţiunea de *"fan-out"* desemnează parametrul unei porţi logice numeric egal cu numărul de porţi de acelaşi tip ce pot fi comandate de o ieşire. Fiecare intrare într-o poartă logică conectează o capacitate suplimentară pe ieşirea porţii care generează semnalul. La o încărcare mare, ieşirea unei porţi logice nu mai poate genera un curent suficient de mare pentru a încărca sarcina capacitivă, ceea ce va determina deteriorarea fronturilor semnalelor digitale (fronturi mai puţin abrupte) şi menţinerea porţii logice de destinaţie cu un semnal de intrare în domeniul interzis (între cele două nivele de tensiune asociate stărilor logice 0 şi 1). Cantitativ, fan-out-ul unei porţi se defineşte ca raportul între curentul de ieşire şi curentul de intrare al unei porţi logice.

Fan-out în starea H (High = 1 logic):	$FO_H = I_{OH} - I_{IH}$
Fan-out în starea L (Low = 0 logic):	$FO_L = I_{OL} - I_{IL}$
Fan-out:	$FO = min(FO_H, FO_L)$