

Logică digitală



-Curs 1-
INTRODUCERE

Prezentare curs

Curs 1. Introducere în Design-ul Digital

Reprezentarea unui design; Niveluri de abstractizare; Procesul aferent unui design; Programme CAD

Curs 2-3. Tipuri de date și reprezentarea lor în sistemele de calcul

Sisteme de numerație pozitionale; Sisteme de numerație: binar, octal, hexazecimal; Reprezentarea numerelor binare în sistemele de calcul; Reprezentarea numerelor de virgulă flotantă; Coduri binare pentru numere zecimale

Prezentare curs

Curs 4-5. Algebra Booleană și logica digitală

Axiomele și teoremele algebrei booleene; Funcții booleene; Forma canonică; Forma standard; Porti logice; Aspecte legate de implementarea portilor logice;

Curs 6-7. Simplificarea funcțiilor booleene

Metoda hărților Karnaugh; Metoda tabulară Quine McCluskey; Sinteză funcțiilor folosind biblioteci standard de porti; Hazardul în design-ul digital;

Prezentare curs

Curs 8-9. Circuite combinaționale

Sumatoare; Multiplexoare; Demultiplexoare;
Magistrale; Unități logice: Unitate Aritmetică-logică;
Circuite combinaționale mai complexe;

Curs 10-12. Circuite secvențiale

Clasificarea circuitelor secvențiale; Elemente de memorare asincrone: tabelul caracteristic, tabelul excitațiilor, și ecuația de stare; Elemente de memorare sincrone: tabelul caracteristic, tabelul excitațiilor, și ecuația de stare; Analiza circuitelor secvențiale; Sinteză circuitelor secvențiale;

Prezentare curs

Curs 13. Componente pentru memorare

Registre; Numărătoare; Pila de registre; Stiva

Curs 14. Circuite combinaționale

Diagrame ASM; Sinteză circuitelor secvențiale folosind diagrame ASM;

Lucrări laborator

L1. Reprezentarea numerelor

**L2. Axiomele și teoremele algebrei
booleene. Minimizarea funcțiilor**

**L3. Toolflow-ul Xilinx pentru
verificarea unui design pe placa**

**L4. Realizarea unui design simplu și
verificarea lui pe FPGA**

Lucrări laborator

L5. Minimizarea funcțiilor folosind hărți Karnaugh

L6. Minimizarea funcțiilor folosind metoda Quine McCluskey

L7. Design-ul pe FPGA a unui demultiplexor

L8. Design-ul pe FPGA a unui decodificator pentru afisaj cu segmente

Lucrări laborator

**L9. Design-ul pe FPGA a unui
element de memorare simplu**

**L10. Design-ul pe FPGA a unui
numărător**

L11. Design-ul pe FPGA a unei stive

**L12. Design-ul pe FPGA al unui
automat secvential sincron ,
specificat prin diagrama ASM**

Notare

- 60 % Examen:
 - Întrebări de tip grilă
 - 2 aplicații
 - 40 % Activitate pe parcurs:
 - prezență (curs & laborator) - 10 %
 - Teme – 5%
 - realizarea sarcinilor de laborator – 25%
-

Introducere în Design-ul Digital

- Reprezentarea unui design;
 - Niveluri de abstractizare;
 - Procesul aferent unui design
 - Programe CAD;
-

Reprezentarea unui design

- **Reprezentare comportamentală sau funcțională**
 - Specifică comportamentul sau funcția unui design fără a oferi informații legate de implementare;
- **Reprezentare structurală**
 - Specifică implementarea unui design în termeni de componente de bază și maniera în care sunt interconectate
- **Reprezentarea fizică**
 - Specifică caracteristicile fizice ale design-ului
- ***Blueprint pt. producție***

Niveluri de abstractizare

Niveluri	Descriere	Componente structurale	Obiecte fizice
Tranzistor	Ec.diferențiale, diagrame U/I	Tranzistori, rezistori, cap.	Celule analogice și digitale
Logic	Ec.booleene, FSM	Porti, elem. De mem.	Module sau unități
Procesor	Algoritmi, set de instrucțiuni	Sumatoare, comp., registre	Microcipuri
Sistem	Programe, Specificări de executabile	Procesoare, controlere, memorii, IP	Printed-circuit boards, System-on-chip

Procesul aferent unui design

Metodologii: Top-down, Bottom-up, Meet-in-the-middle.

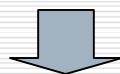
Proces de design tipic:

- Analiza pieței
 - Cerințele produsului
 - Specificația produsului
 - Arhitectura
 - Design
 - Verificare și simulare
 - Design fizic
 - Generare de teste
 - Documentație
 - Fabricare
 - Testare
-

Etapele de design (1)

Design and implement a simple unit permitting to speed up encryption with RC5-similar cipher with fixed key set on 8031 microcontroller. Unlike in the experiment 5, this time your unit has to be able to perform an encryption algorithm by itself, executing 32 rounds.....

Specificații funcționare sistem



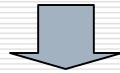
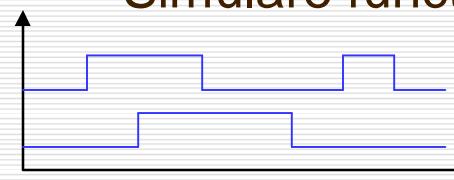
Descrierea folosind un limbaj de descriere hardware

```
Library IEEE;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

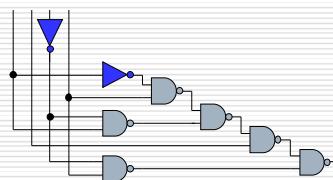
entity RC5_core is
port(
    clock, reset, encr_decr: in std_logic;
    data_input: in std_logic_vector(31 downto 0);
    data_output: out std_logic_vector(31 downto 0);
    out_full: in std_logic;
    key_input: in std_logic_vector(31 downto 0);
    key_read: out std_logic;
);
end AES_core;
```



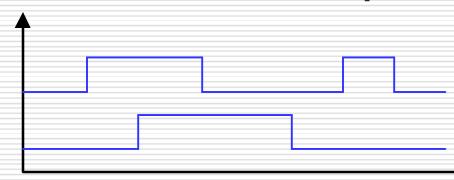
Simulare funcțională



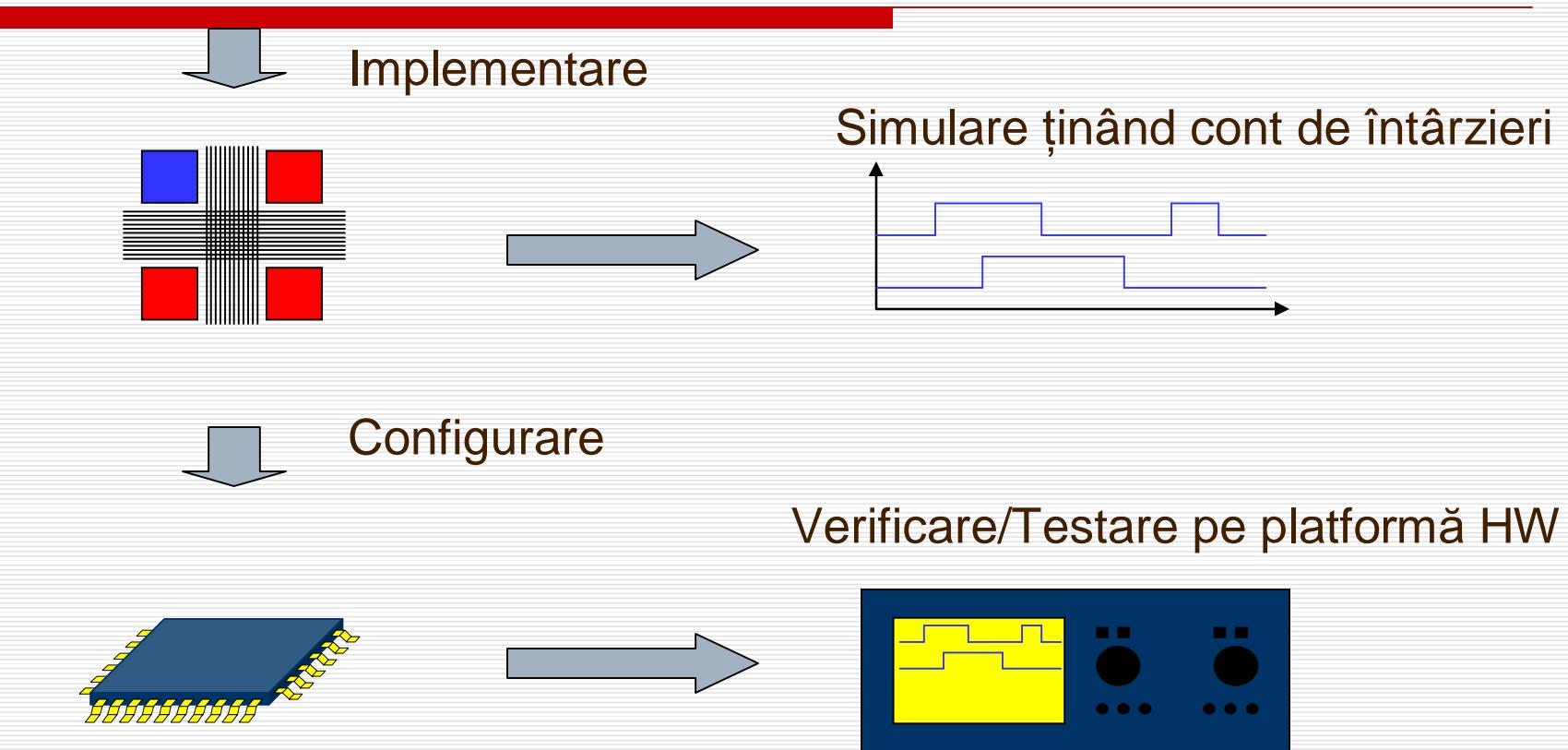
Sinteză



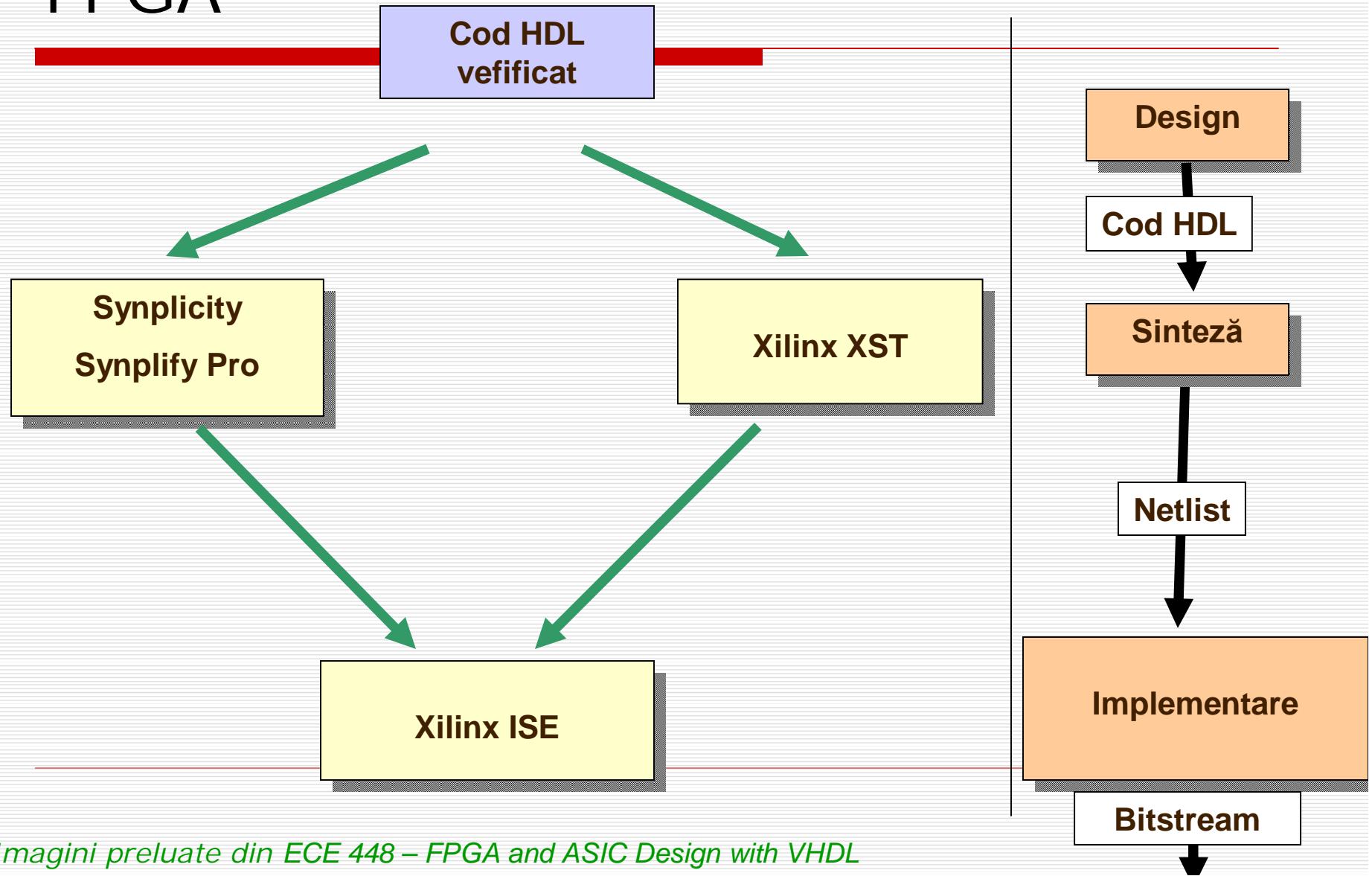
Simulare post-sinteză



Etape de design (2)



Tool-uri folosite în etapele de Design pe FPGA



Imagini preluate din ECE 448 – FPGA and ASIC Design with VHDL

Exemple tool-uri de sinteză



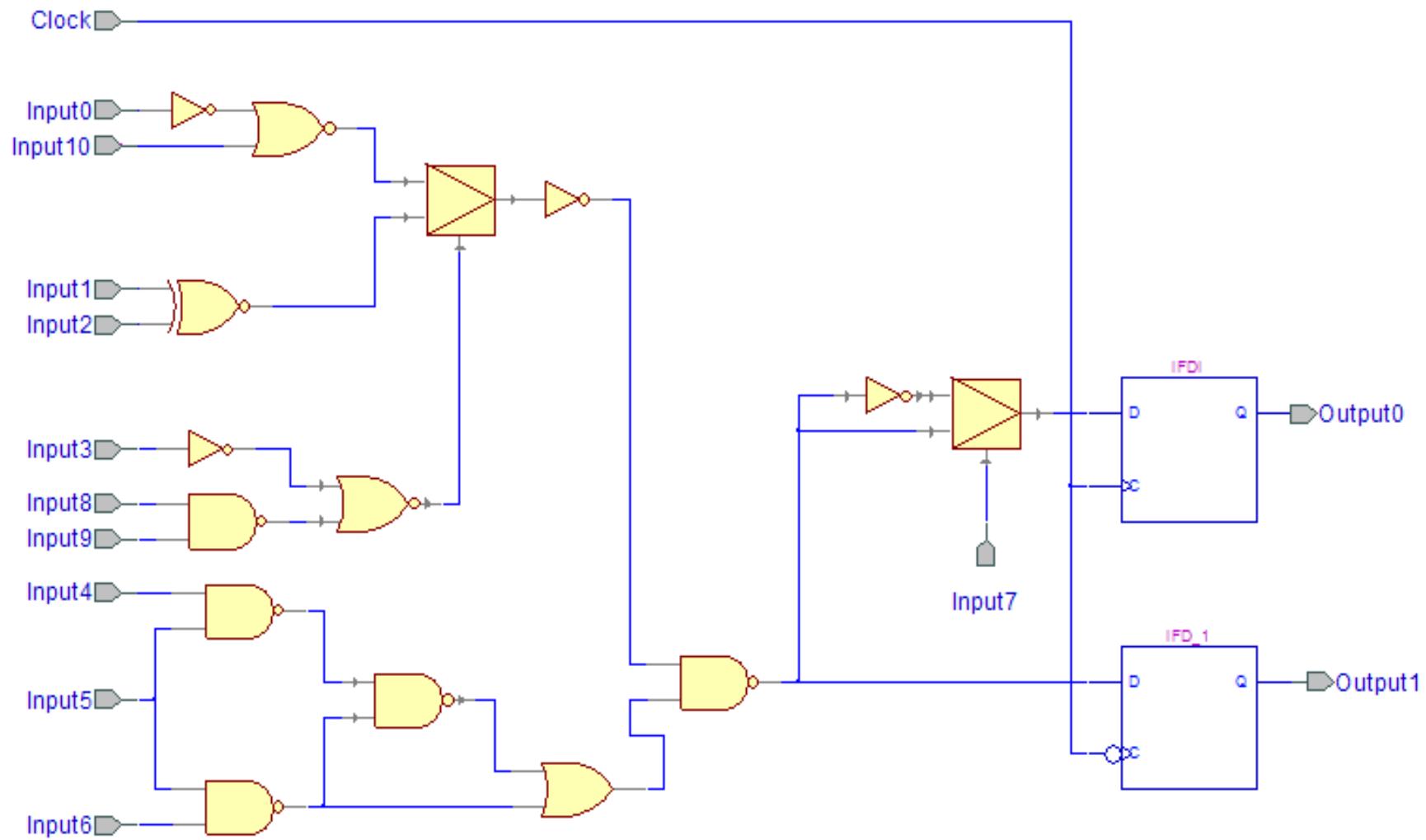
Synplify Pro



Xilinx XST

... and others

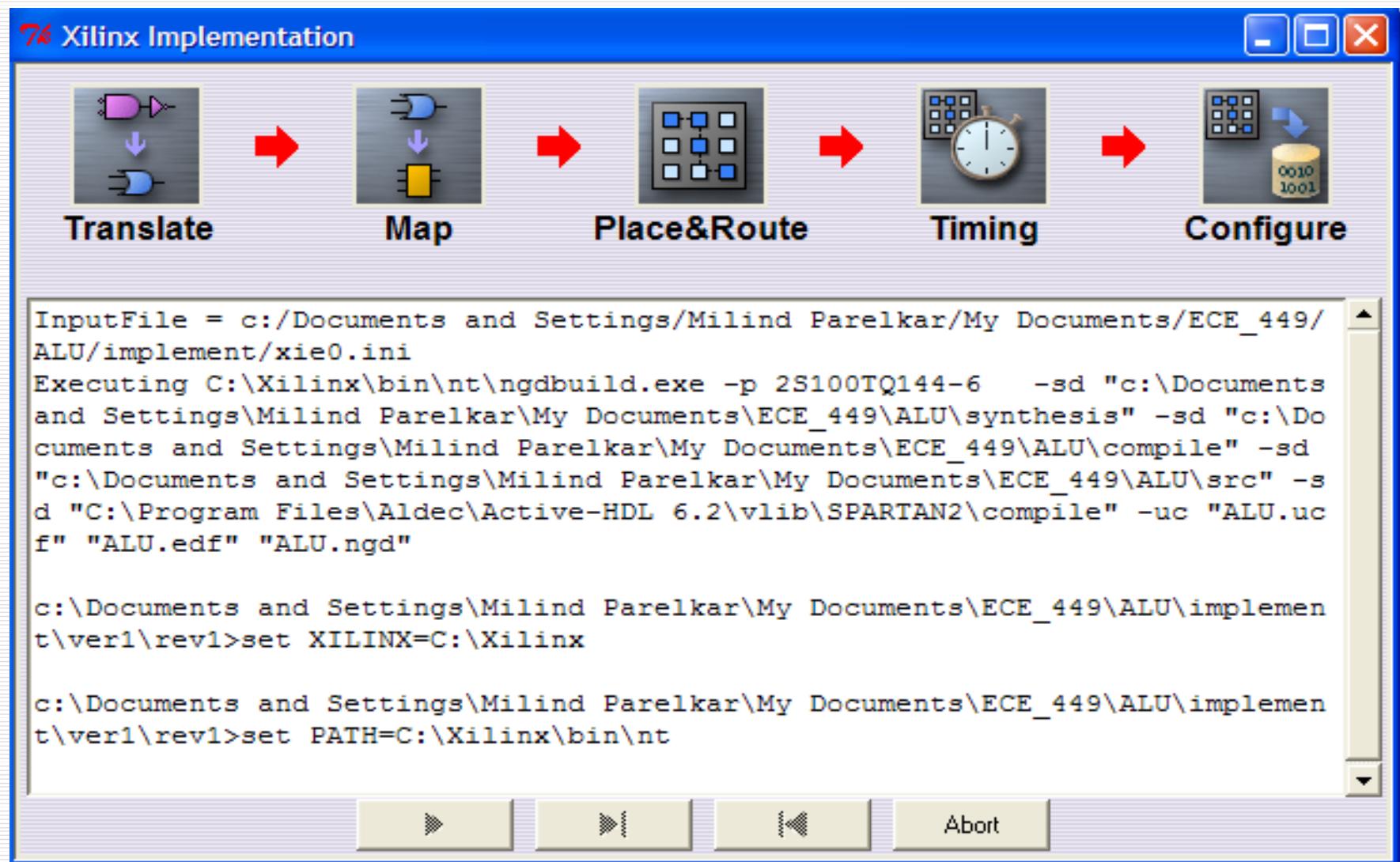
Exemplu netlist (post-sinteză)



Implementare

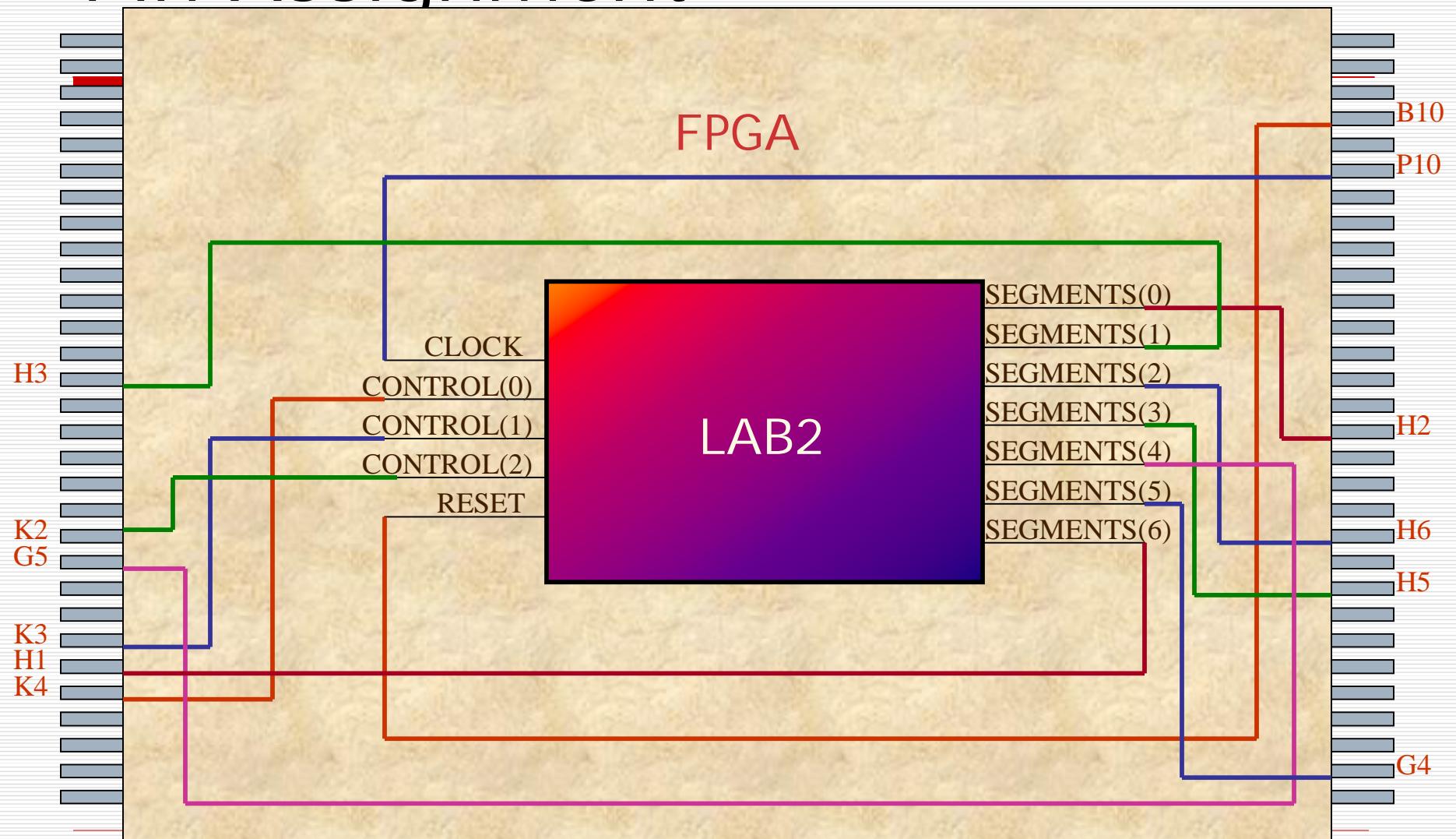
- După sinteză întregul proces legat de implementare este rezultatul tool-urilor puse la dispozitie de vendorii de FPGA





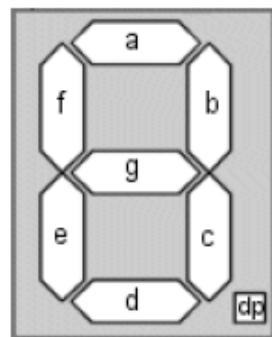
Imagini preluate din ECE 448 – FPGA and ASIC Design with VHDL

Pin Assignment

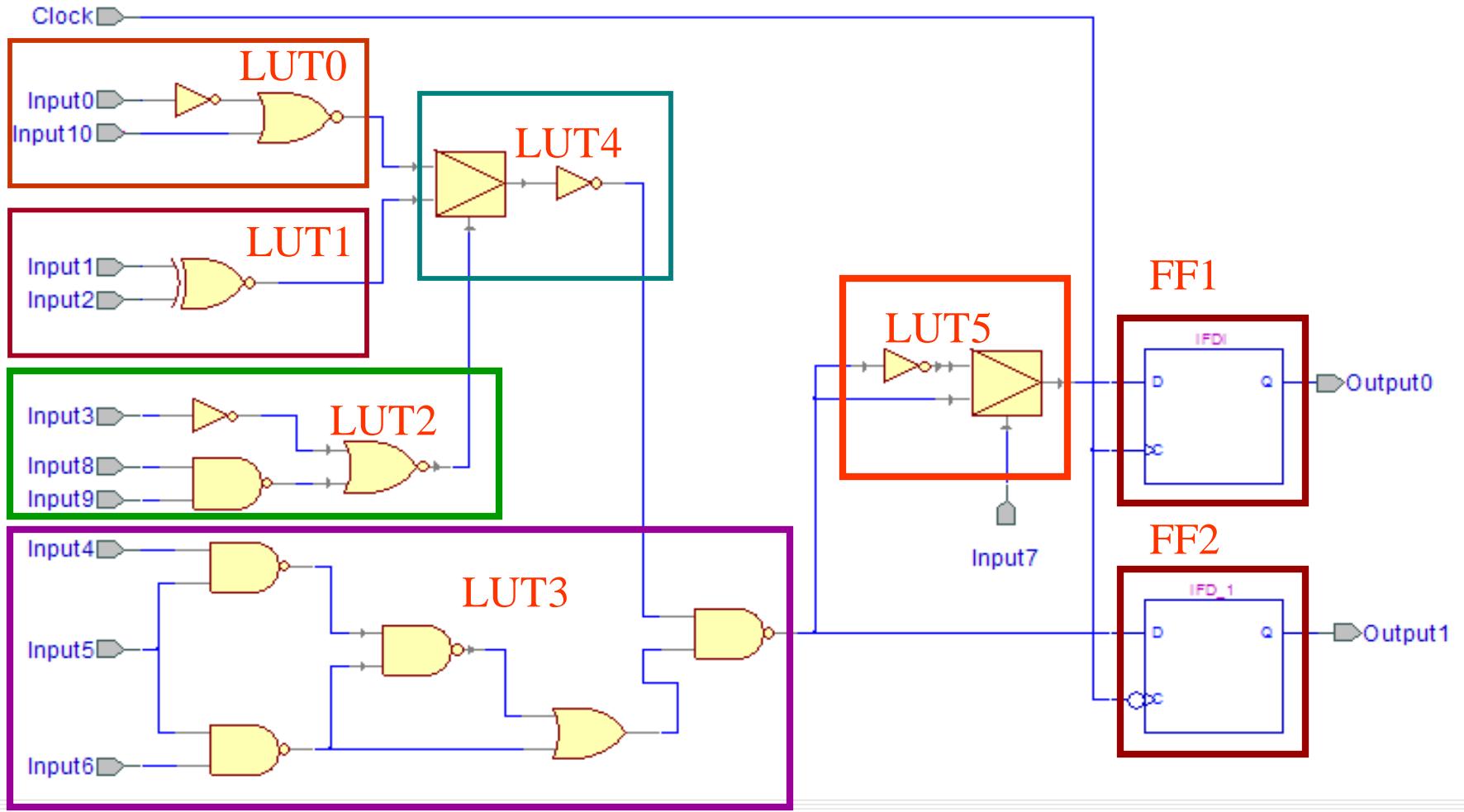


Description	FPGA Pins
Seven Segment 0 'a'	H2
Seven Segment 0 'b'	H3
Seven Segment 0 'c'	H6
Seven Segment 0 'd'	H5
Seven Segment 0 'e'	G5
Seven Segment 0 'f'	G4
Seven Segment 0 'g'	H1
Seven Segment 0 'dp'	C2
Seven Segment 1 'a'	J1
Seven Segment 1 'b'	J2
Seven Segment 1 'c'	K2
Seven Segment 1 'd'	C3
Seven Segment 1 'e'	C1
Seven Segment 1 'f'	H4
Seven Segment 1 'g'	B1
Seven Segment 1 'dp'	J4

The segments of the display are labelled "a-g" and "dp" in the table above and the figure below.



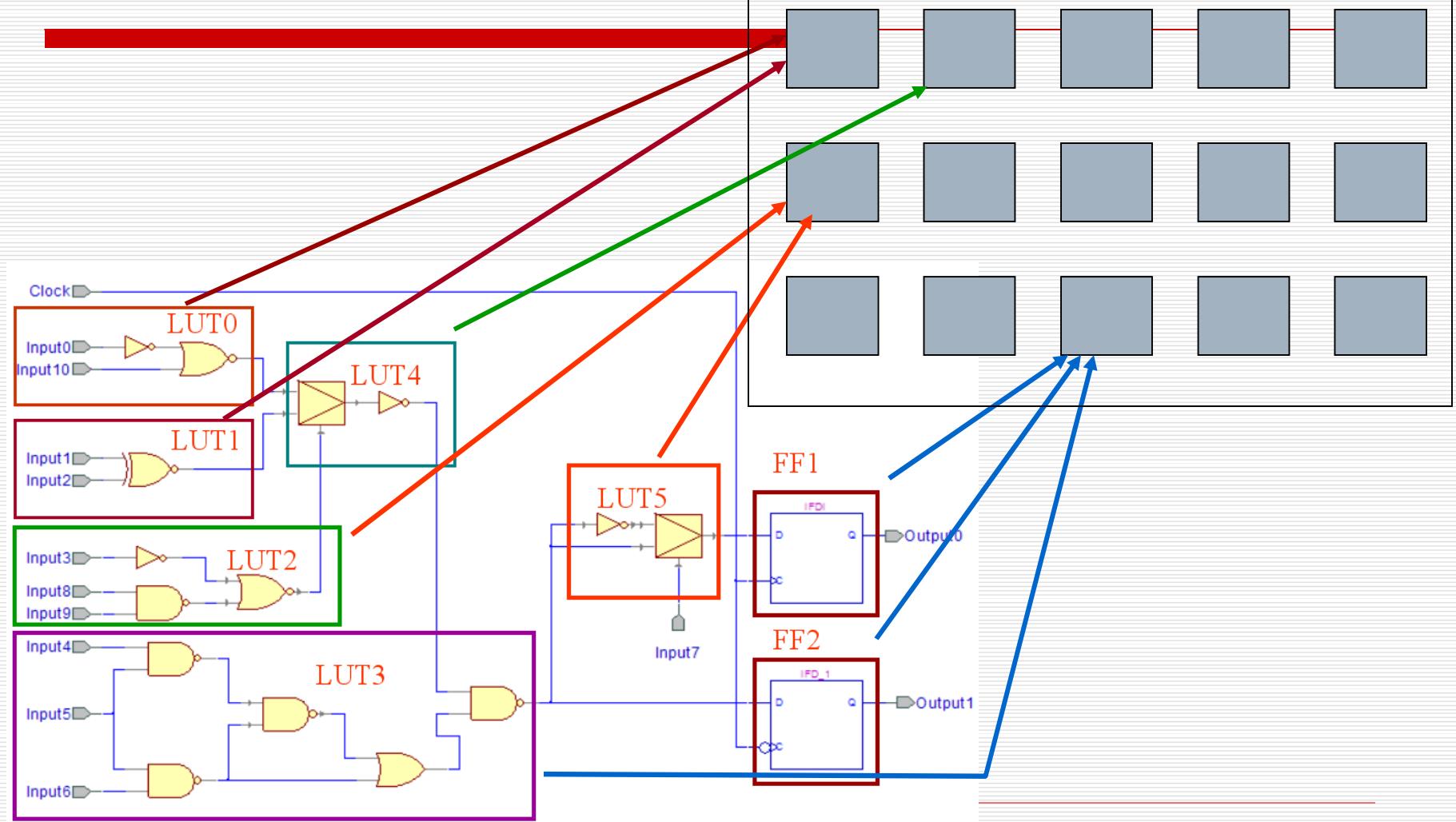
Mapping



Placing

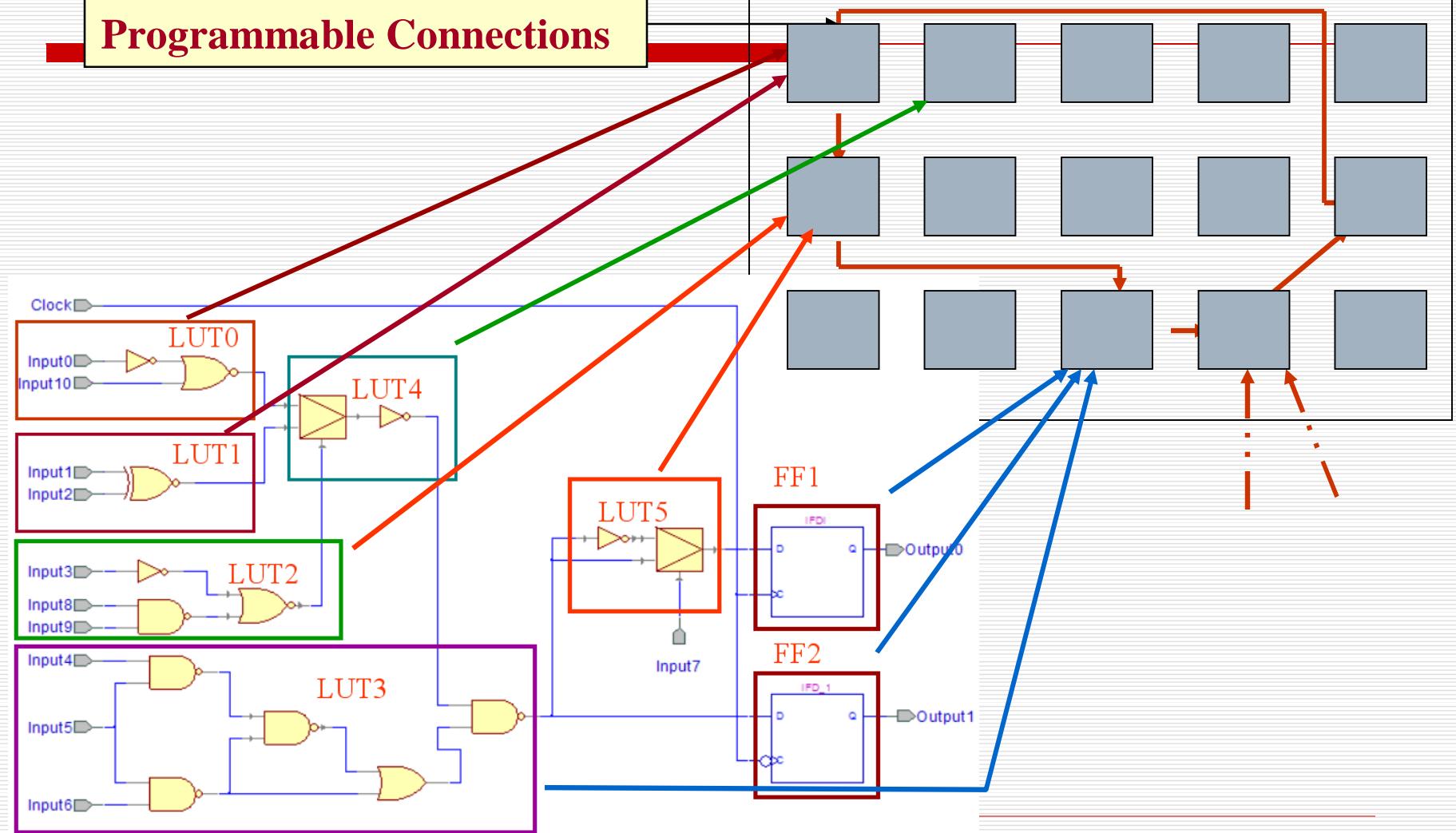
FPGA

CLB SLICES



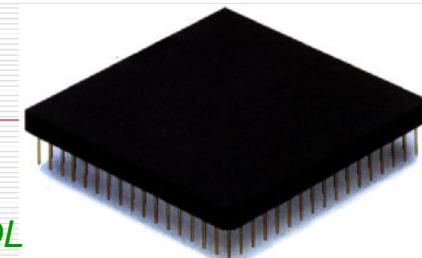
Routing

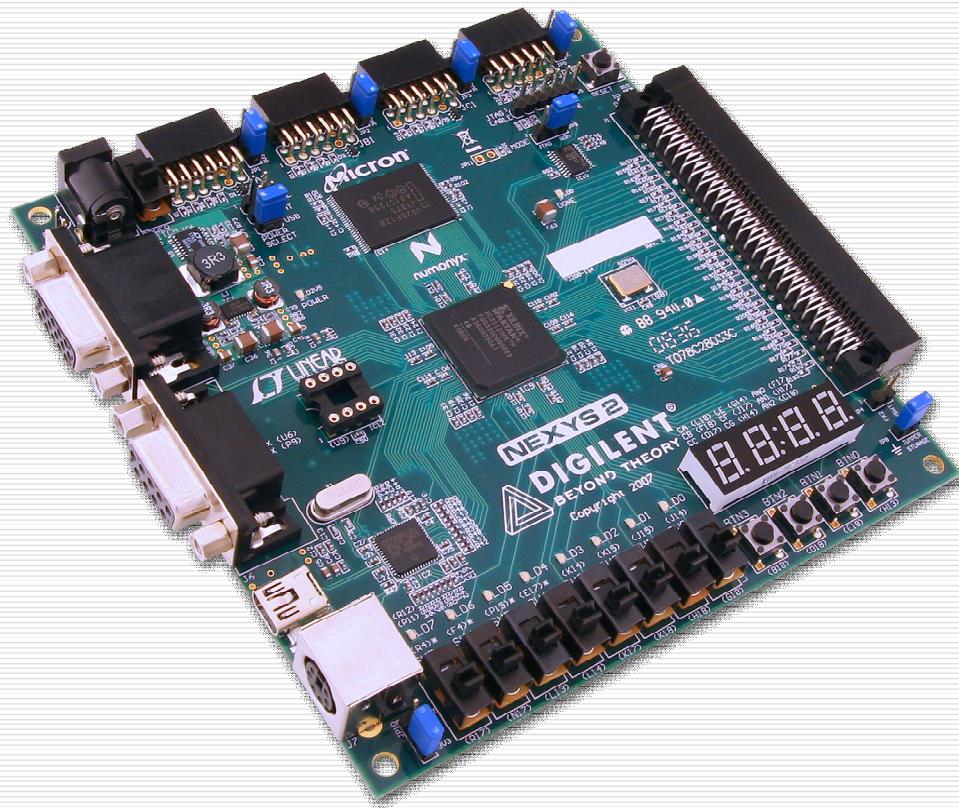
Programmable Connections



Configuration

- După ce întregul design este realizat el trebuie să fie scris într-un format recunoscut de FPGA
 - Acest fișier se numește bit stream: BIT file (.bit)
- Acest fisier BIT poate fi descarcat pe FPGA sau poate fi convertit într-un fișier PROM care să conțină info. de configurare





Copyright Digilent Inc

Întrebări?

Hands-on Session

**Enough Talking Let's Get To It
!!Brace Yourselves!!**

