

• citirea nu modifica cache-ul, dar scrierea da.

La hit:

• WB scrie și în cache și în MM, dar la hit are treabă și cu MM

(ce ne vaia) - update implicit

• WB scrie doar în cache, dar la un mom. dat îți trebuie update făcut doar la când replace-un blocul din cache, că nu mai ai memorie de el.

Dar, la miss:

WA: dacă un bloc de care ai nevoie nu e în cache, îl aduci în cache înainte să îl accesezi (il aloci blocul)

WNA: lăși blocul în MM și îl scrii atunci

~~WB~~ ~~WA~~

• Read-ul e mereu cu alocare

WT + WNA: Write Miss Penalty = 1

WB + WA: CPU ref = 10^8 words/sec

Nb acc = $10^8 \times 0,1 \times (0,3 \cdot \text{Write Miss Pen} + 0,7 \cdot \text{Read Miss Pen})$

frecv. Miss Rate

RMP = WMP pt. ca se alocă (se updatează) se replace-mie, e accesezi polit-
WMP = $0,35 \cdot \frac{\text{Block size}}{\text{Bus width}} \text{ BUS Writes} + \frac{\text{Block size}}{\text{Bus width}} \text{ BUS Reads}$

dirty = 2 m.m allocate

update

dispare pt. WMP la WB + WNA, dar RMP e la fel

WT + WA :

$$No\ acc : 10^9 \cdot 0,1 (0,3 \cdot WMP + 0,7 \cdot RMP) + 10^9 \cdot 0,9 \cdot 0,3 \cdot WHP$$

WMP nu are update, rămâne partea de allocate

$$WMP = \underbrace{2\text{ BUS Reads}}_{\text{Allocate}} + \underbrace{1\text{ BUS Write}}_{\text{write în MM după ce ai adus în cache}} = 3\text{ BUS Acc}$$

$$WHP = 1\text{ (mereu)}$$

$$RMP = \underbrace{2\text{ BUS Acc}}_{\text{Allocate}}$$

WT + WNA : RMP = 2 BUS Acc

$$WMP = 1 \leftarrow \text{write}$$

(procesorul scrie 1 curent)

• $CPU\ time = \underbrace{C (CPI\ ideal \cdot \underbrace{Mem\ acc\ per\ inst}_{\text{Misses per inst}} \times \underbrace{Miss\ Rate}_{\text{CCT}} \times \underbrace{Miss\ Penalty}_{\text{CCT}})}_{\text{CCT}}$

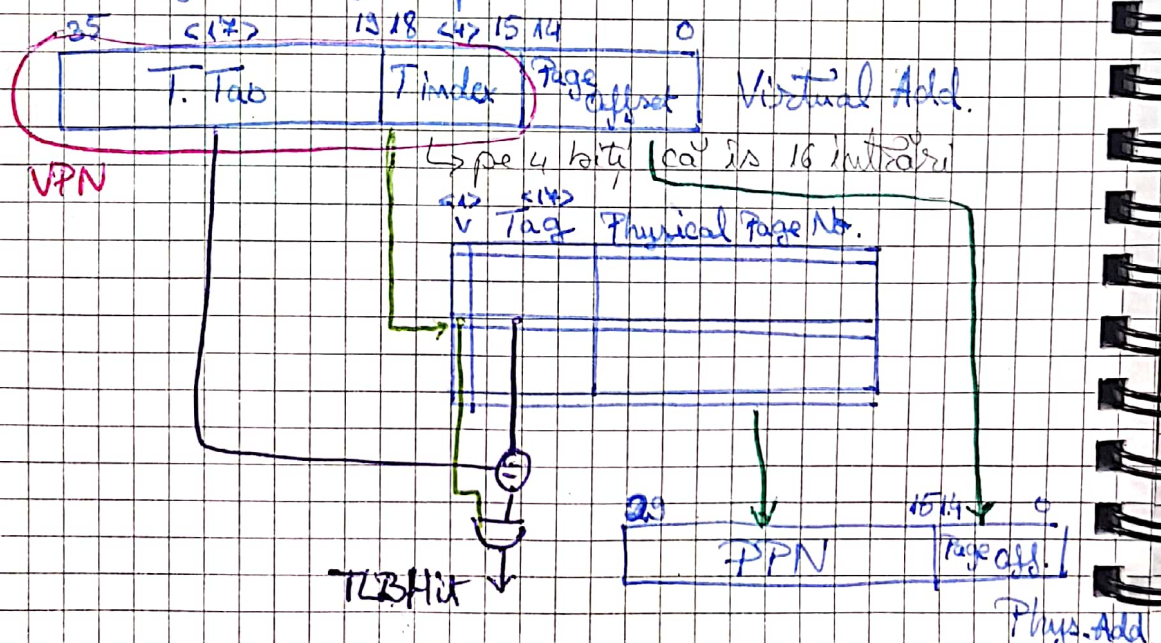
• Virt Mem Space = 64 GiB = $2^6 \cdot 2^{30}\text{ B}$

Phys Mem. Space = 1 GiB = 2^{30} B

Page size = 32 KiB = 2^{15} B

TLB (Translation Lookaside Buffer): 16 intrări cu DM
(în exemplul din caiet e full asociativ)

Se cere: diagrama logică pt. VA → PA translation



Dacă e legat cu cache, luăm Phys Addr și împărțim cei 30 de biți în Index, Tag, etc.

⊗ Să zicem că la asta adăugăm un 2 way ^{SA} cache, continuăm ca la curs.

(Dacă aveam 2 way TLB, practic Tindex era pe 3 biți (cele 16 intrări se împărțeau în 8 și 8), T.Tab pe 22 și tabelul intermediar apărea în 2 copii.)

Revenind la ⊗: 1 word = $2^2 B$, 1 block = 64 words = 2^6 și 16 entrities, venim cu cei 30 biți de la Phys Addr.

