



SÍNTESIS DE REDES ACTIVAS

Trabajo Practico de Laboratorio N°1 AO Ideal: Circuitos Analógicos Lineales y No Lineales.

Profesor Titular: Dr. Ing. Ferreyra Pablo
Profesor Adjunto: Ing. Reale Cesar
Ayudante alumno: Lucas Heraldo Duarte

Alumnos: Alaniz Franco
Ferraris Domingo

Año Académico: 2021
Repositorio de GitHub: <https://github.com/DarioAlaniz/repoSistesisDeRedes>

1. *Circuito I: Amplificador diferencial.*

Para el primer circuito se tiene un amplificador de 2 etapas, con 2 entradas de señal. Implementado con fuente de alimentación partida $\pm 10V$ y con todas sus resistencias iguales.

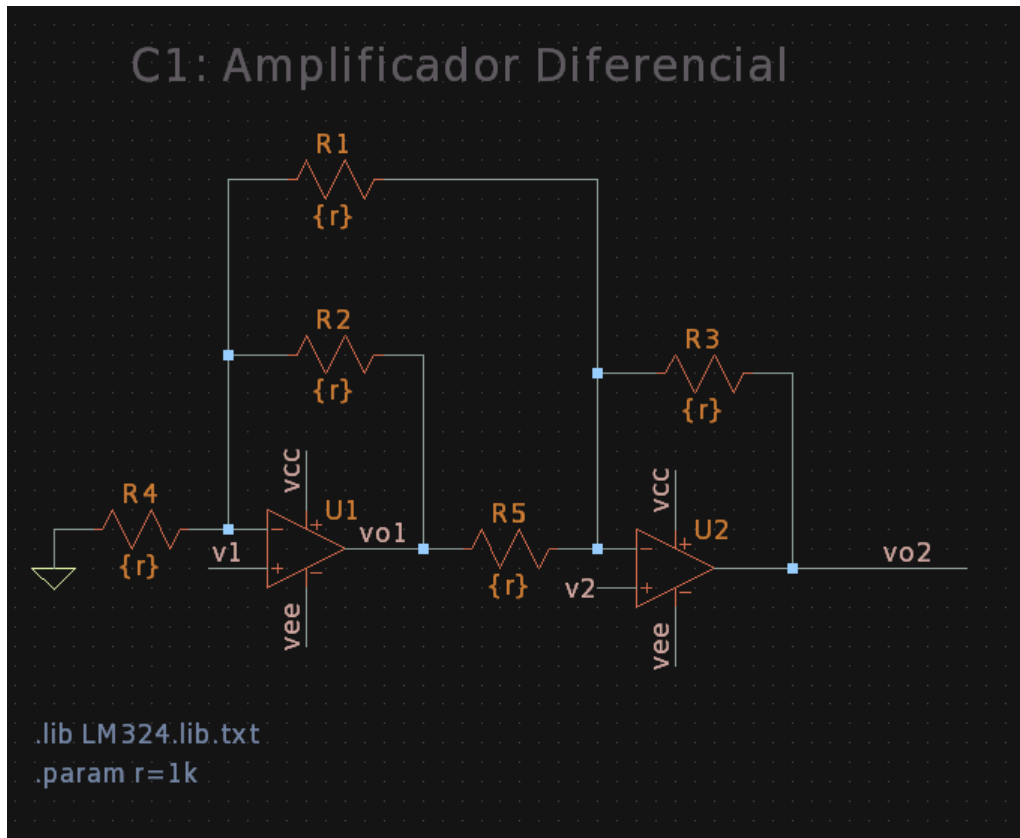


Figura 1: Amplificador diferencial.

1.1. **Parámetros/Relaciones a analizar.**

Se analizaron y simularon $vo1$ y $vo2$ tanto en función de las entradas $v1$ y $v2$, así como del modo común y diferencial vd y vc con la definición indicada.

1.1.1. Tensiones v_{o1} y v_{o2} en función de v_1 y v_2 .

Para el análisis se aplicó superposición, y se fueron identificando las conexiones entre bloques de configuraciones conocidas.

Aplicando superposición, anulando v_2 tenemos:

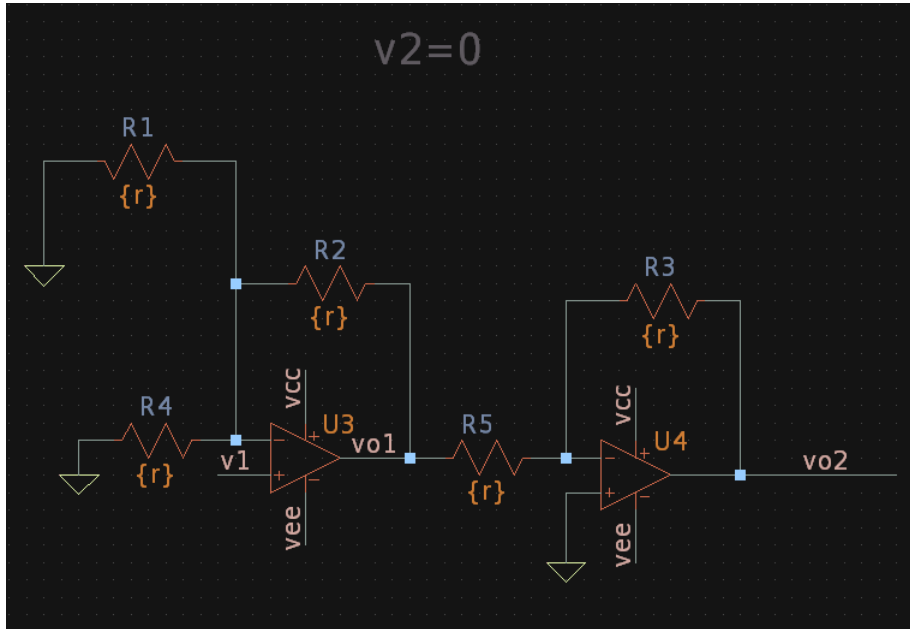


Figura 2: Pasivando v_2 .

Para $v_2=0$, se reconoció a v_{o1} como la salida de un no inversor:

$$v_{o1}(1) = \left(1 + \frac{R_2}{R_1 // R_4}\right) v_1$$

Luego se reconoció a v_{o2} como la salida de un inversor atacado por v_{o1} :

$$v_{o2}(1) = -\frac{R_3}{R_5} \left(1 + \frac{R_2}{R_1 // R_4}\right) v_1$$

Continuando con el análisis, anulando v_1 se tiene:

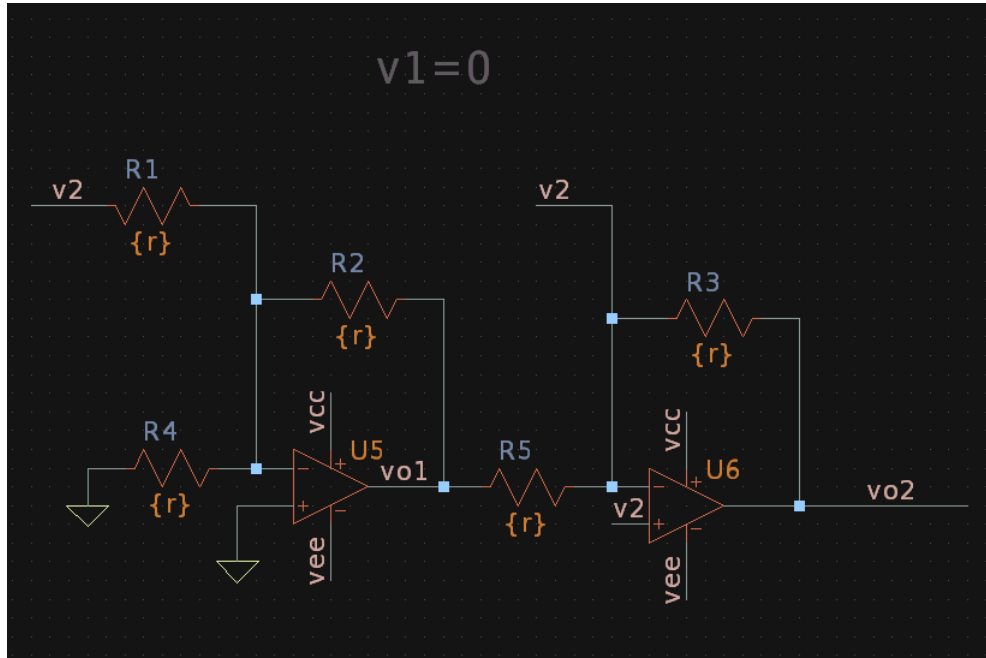


Figura 3: Pasivando v1.

Para $v_1=0$, se reconoció a v_{o1} como la salida de un inversor con divisor de tensión en la entrada:

$$v_{o1}(2) = -\frac{R_2}{R_1 // R_4} \frac{R_4}{R_4 + R_1} v_2 = -\frac{R_2}{R_1 // R_4} \frac{R_4 // R_1}{R_1} v_2 = -\frac{R_2}{R_1} v_2$$

Luego se considero a v_{o2} como la salida de un no inversor:

$$v_{o2}(2) = \left(1 + \frac{R_3}{(R_2 + R_5) // R_1} \right) v_2$$

Finalmente para v_{o1} :

$$v_{o1} = \left(1 + \frac{R_2}{R_1 // R_4} \right) v_1 - \frac{R_2}{R_1} v_2$$

$$\mathbf{v_{o1} = 3v_1 - v_2}$$

Y combinando para v_{o2} :

$$v_{o2} = -\frac{R_3}{R_5} \left(1 + \frac{R_2}{R_1 // R_4} \right) v_1 + \left(1 + \frac{R_3}{(R_2 + R_5) // R_1} \right) v_2$$

$$\mathbf{v}_{o2} = -4\mathbf{v}_1 + 4\mathbf{v}_2$$

1.1.2. Tensiones vo1 y vo2 en función de vd y vc.

Se analizo en función de vd y vc teniendo en cuenta que cualquiera de las salidas es una combinación lineal de las tensiones de entrada y las definiciones de las señales en modo común y diferencial dadas.

Como :

$$v_{o\mu} = G_1 v_1 + G_2 v_2$$

Y además :

$$v_d = v_2 - v_1$$

$$v_c = \frac{v_2 + v_1}{2}$$

Combinando para v1 y v2, y sumando miembro a miembro:

$$v_{o\mu} = (G_1 + G_2)v_1 + G_2 v_d$$

$$v_{o\mu} = (G_1 + G_2)v_2 - G_1 v_d$$

$$v_{o\mu} = \left(\frac{G_1 + G_2}{2} \right) v_c + \left(\frac{G_2 - G_1}{2} \right) v_d$$

Finalmente :

$$v_{o1} = 2v_c - 2v_d$$

$$v_{o2} = 0v_c + 4v_d$$

1.1.3. Impedancias vistas por fuentes de señal.

En ambos casos al estar la señal aplicada directamente a la entrada de los VFA, las impedancias vistas por las fuentes de señal tienden a infinito.

1.1.4. Resultados del análisis.

$$\mathbf{v_{o1}} = \mathbf{3v_1 - v_2} \quad (1)$$

$$\mathbf{v_{o2}} = \mathbf{-4v_1 + 4v_2} \quad (2)$$

$$\mathbf{v_{o1}} = \mathbf{2v_c - 2v_d} \quad (3)$$

$$\mathbf{v_{o2}} = \mathbf{0v_c + 4v_d} \quad (4)$$

$$\mathbf{Z_{i1}} = \mathbf{Z_{i2}} \rightarrow \infty \quad (5)$$

1.2. Simulaciones

Se realizaron barridos en continua desde -10 a 10V para v1 y v2, y se grafico vo1 y vo2 para todos los casos.

1.2.1. Barrido para v1.

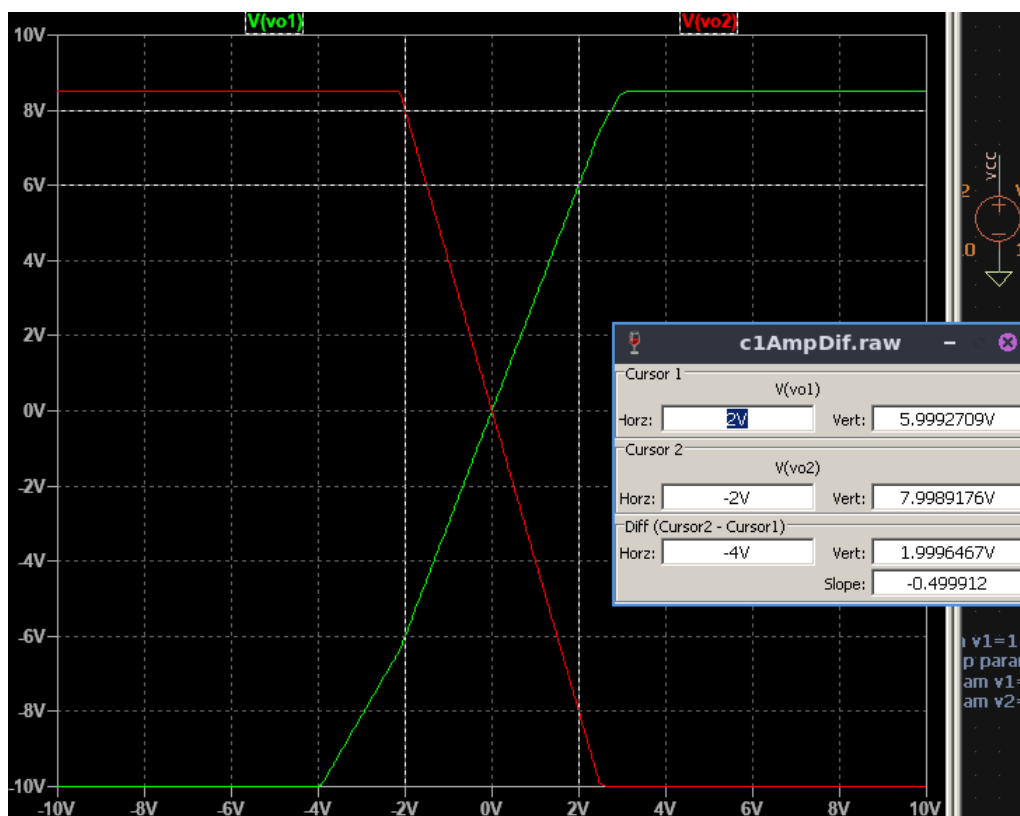


Figura 4: Barrido en DC para v1, se observa vo1(v1) vo2(v1).

Se ve como para baja excursión las salidas son las rectas $vo1 = 3v1$ y $vo2 = -4v1$ predichas anteriormente.

1.2.2. Barrido para v_2 .

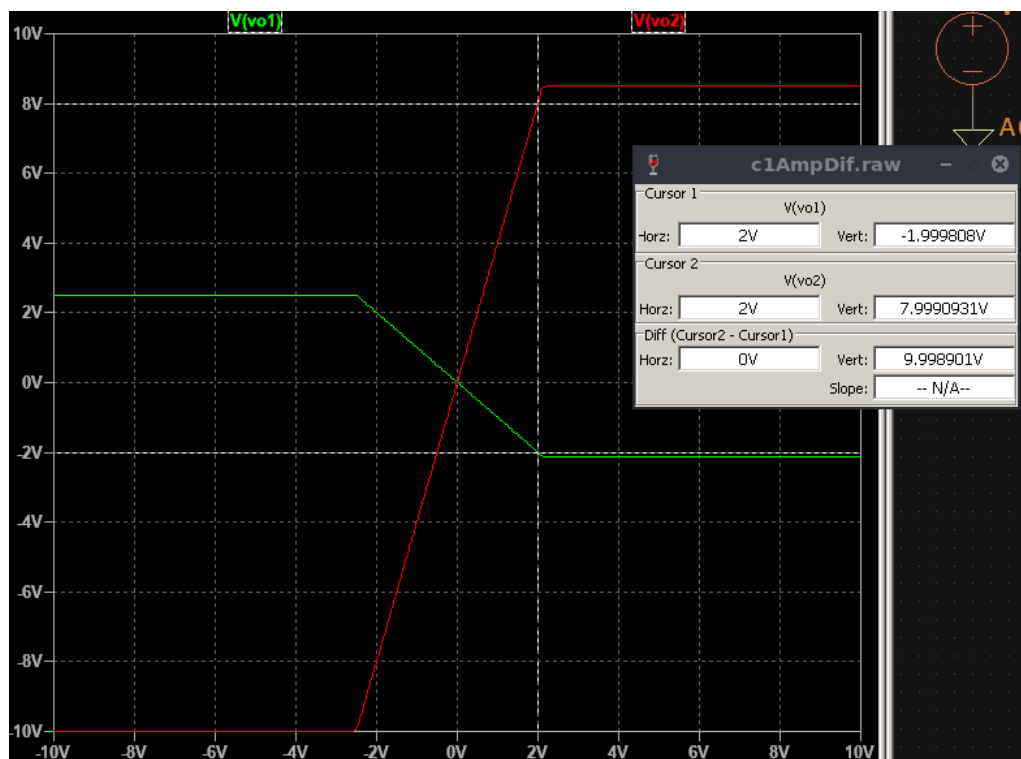


Figura 5: Barrido en DC para v_2 , se observa $vo_1(v_2)$ $vo_2(v_2)$.

Se ve como para baja excursión las salidas son las rectas $vo_1 = -v_2$ y $vo_2 = 4v_2$ predichas anteriormente. Además como la primer etapa sale de operación arriba de $\pm 2V$ en v_2 .

1.2.3. Barrido para modo común.

En este caso se aplico la misma señal a las entradas y se realizo un barrido desde -10 a 10V.

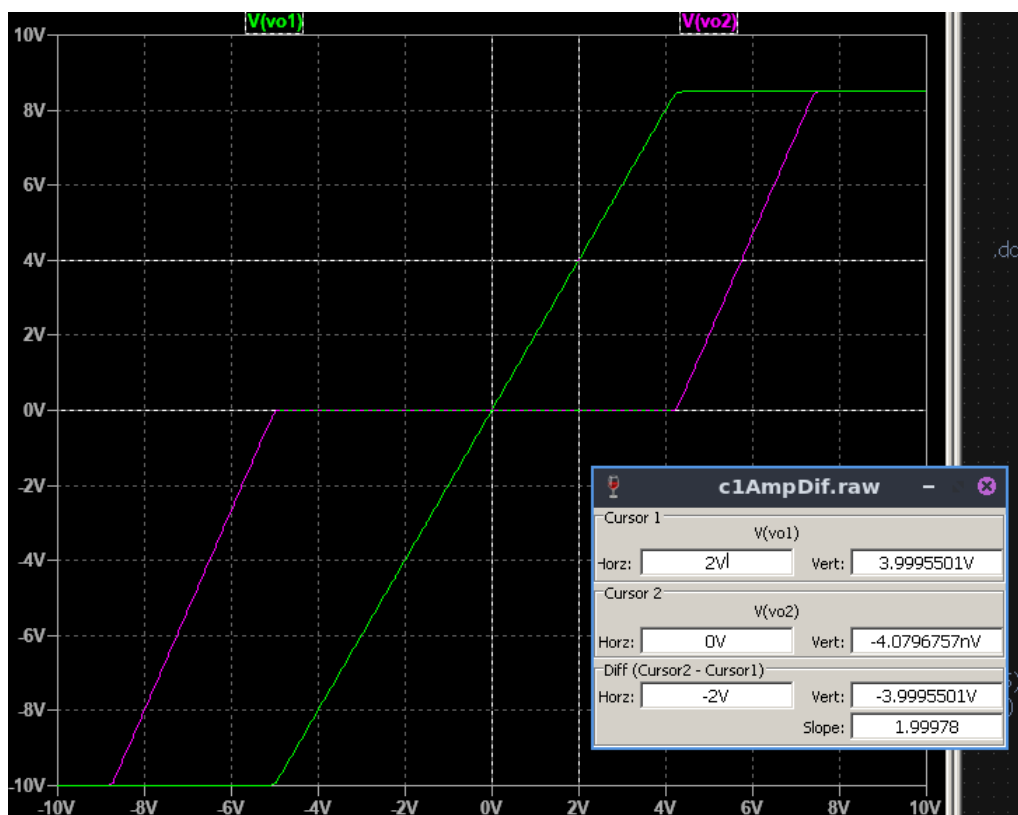


Figura 6: Barrido para v_c , se observa $vo1(v_c)$ $vo2(v_c)$.

Se observo la ausencia de modo común en la salida, al menos para el rango seguro de operación para el sistema entre $\pm 4V$.

1.2.4. Impedancias de entrada.

Se simulo en un barrido de frecuencia la relación $v1/i1$ y $v2/i2$ para estudiar las impedancias de entrada de la etapas.

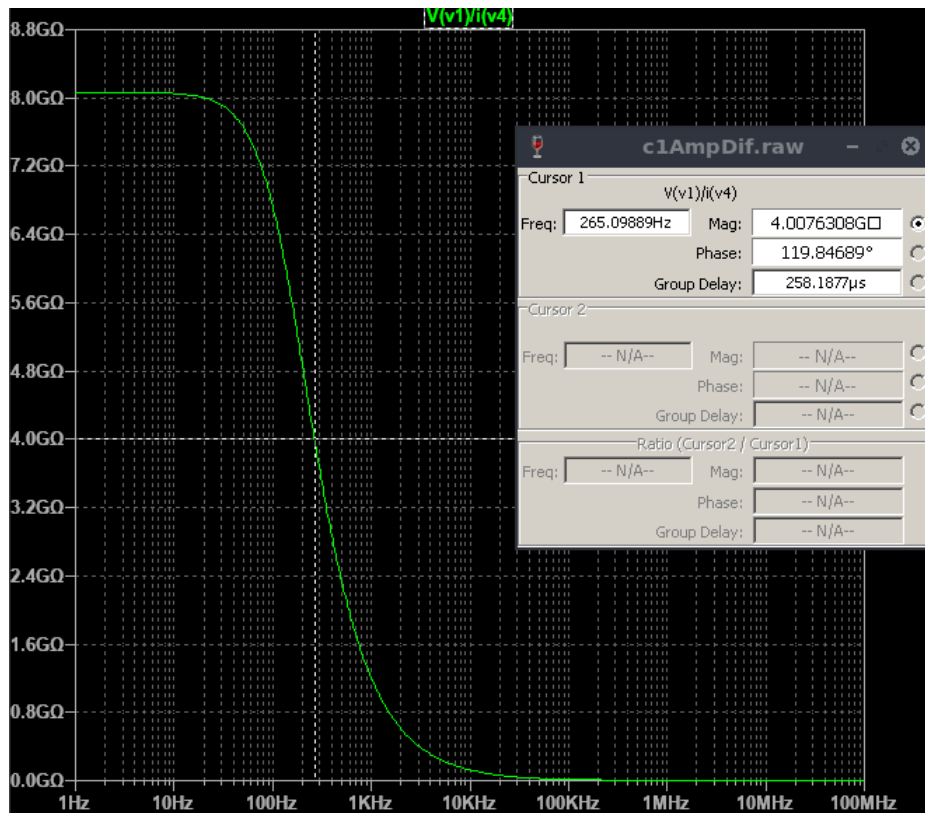


Figura 7: Impedancia de entrada Z_{i1} .

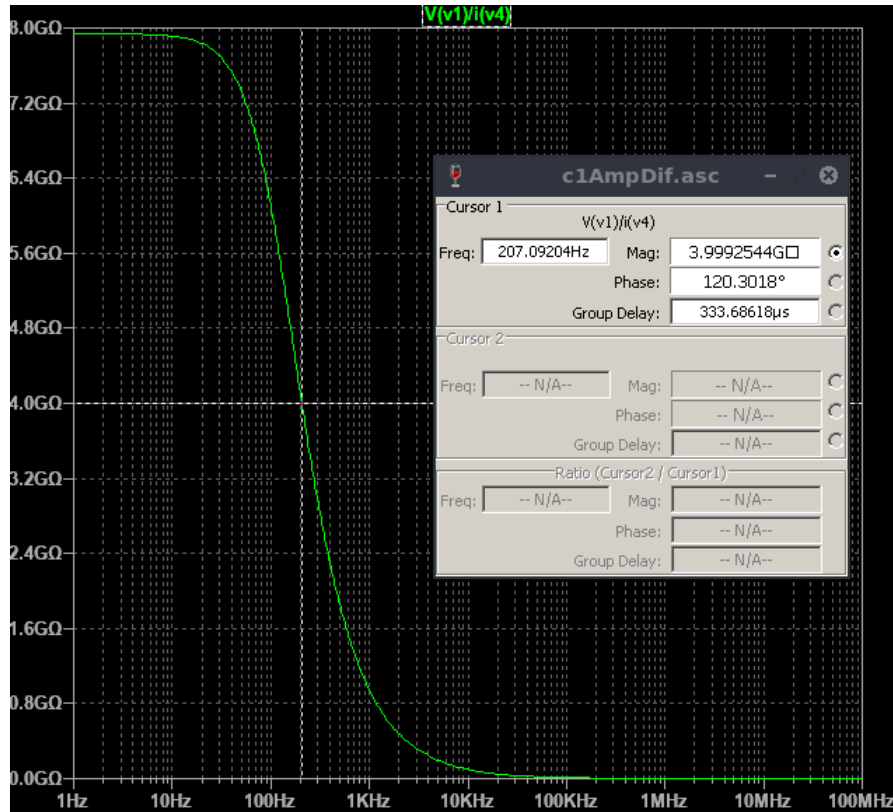


Figura 8: Impedancia de entrada Z_{i2} .

En ambos casos se nota como para la banda de 100-200Hz aproximadamente la impedancia de entrada cae a la mitad de su valor máximo.

1.2.5. Barrido en frecuencia.

Adicionalmente se realizó un barrido de 1Hz a 100MHz para $v_1 = v_2 = 1V = v_c$ para estudiar la respuesta en frecuencia de ambas partes.

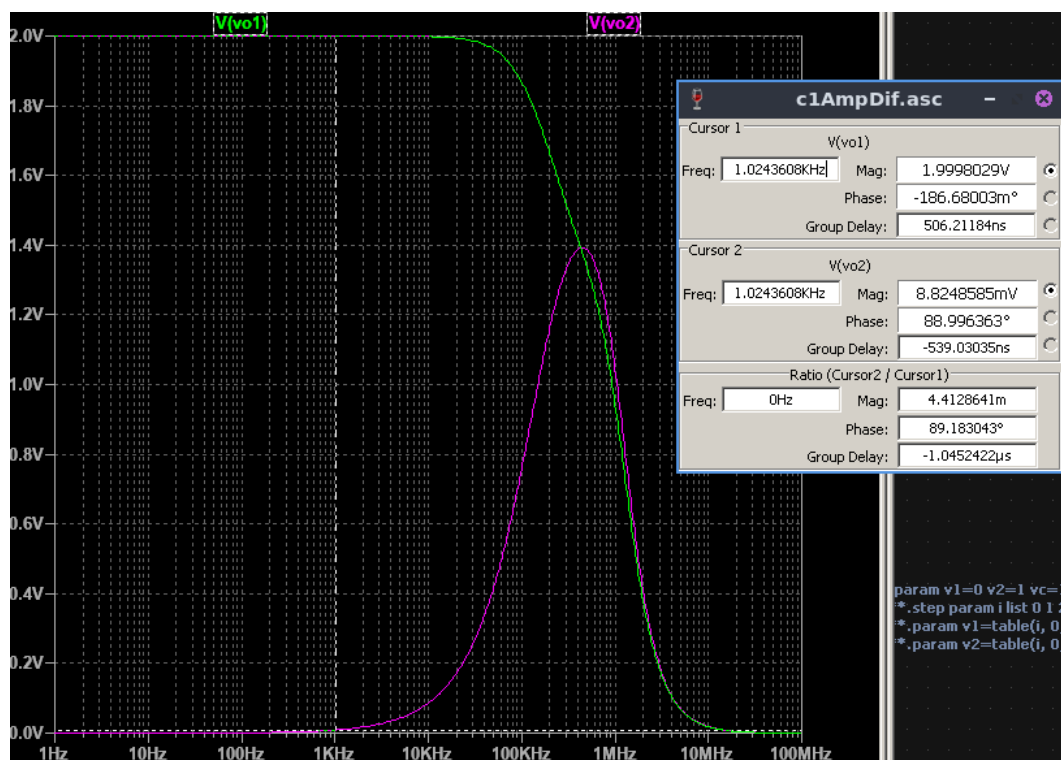


Figura 9: Barrido en frecuencia para $v1 = v2 = 1V$, se observa $vo1(vc)$ $vo2(vc)$.

Vemos como se cumple el comportamiento predicho para $vo1$ y $vo2$ en la banda de 1KHz, y como para alta frecuencia cae la RRM del sistema.

2. *Circuito II: Fuente de Corriente Controlada por Tensión.*

En este caso se tiene un OpAmp operando con realimentación positiva y negativa trabajando como fuente de corriente controlada por tensión. Implementada con fuente simétrica $\pm 10V$, un LM324 y resistencias.

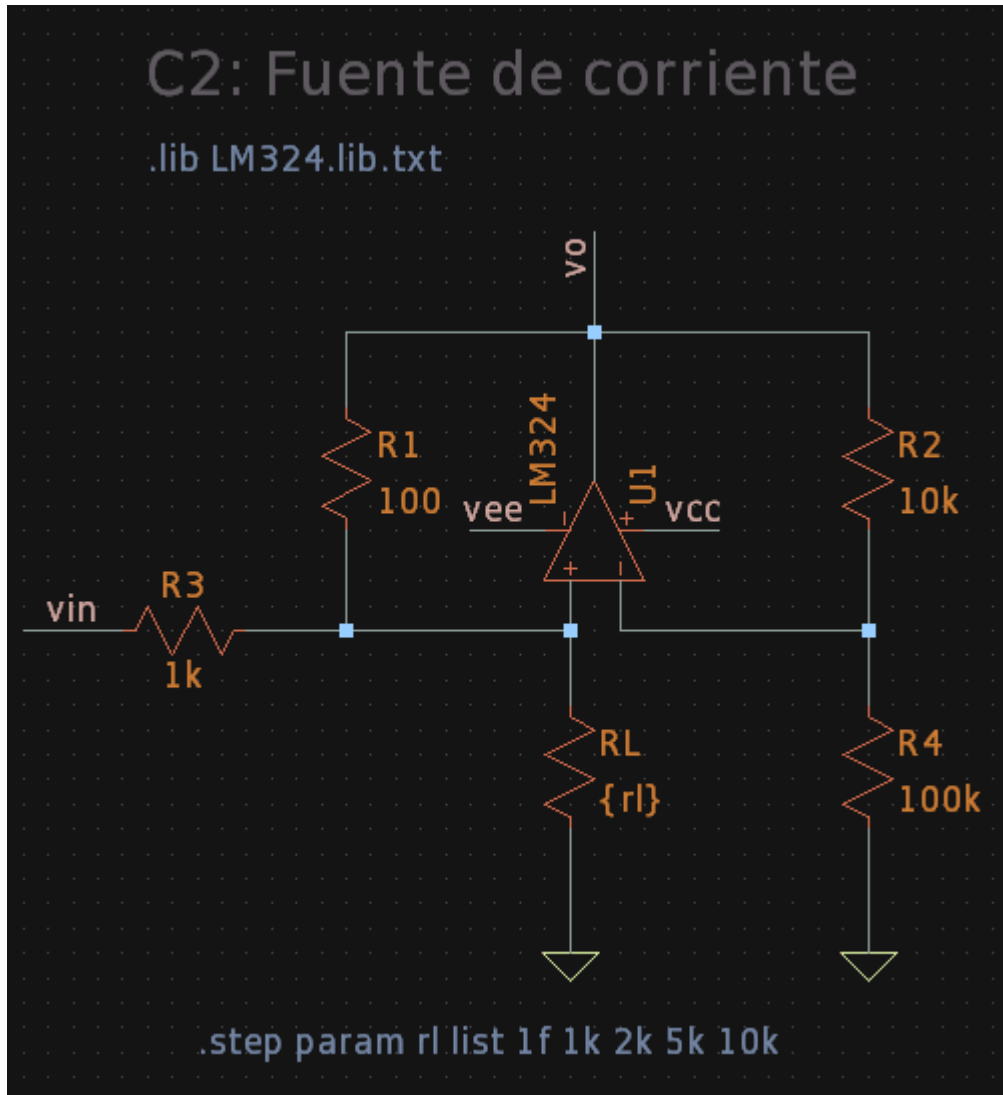


Figura 10: Fuente de corriente Controlada por Tensión

2.1. Parámetros/Relaciones a Analizar.

2.1.1. $I_{Rl} = f(RL, Vin)$.

Considerando como ideal el operacional, tenemos:

$$\begin{aligned}
 v^+ &= v^- \\
 i_{R1} * R_1 &= -i_{R2} * R_2 \\
 i_{R2} &= -i_{R1} * \frac{R_1}{R_2} \\
 v_{R4} &= i_{R3} * R_4 \quad (\text{Como: } i_{R3} = i_{R2}) \\
 v_{R4} &= -i_{R1} * \frac{R_1}{R_2} * R_4 \\
 \frac{v_{R4}}{i_{R1}} &= -\frac{R_1}{R_2} * R_4 \\
 \text{Y como: } \frac{v_{in}}{i_{in}} &= \frac{v_{R4}}{i_{R1}} \\
 \Rightarrow \mathbf{Z} &= -\frac{\mathbf{R}_1}{\mathbf{R}_2} * \mathbf{R}_4
 \end{aligned}$$

Se noto que la impedancia vista desde la entrada no inversora resulta negativa y una combinación de las resistencias conectadas (2.1.1).

Realizando un equivalente desde la entrada no inversora tenemos el siguiente circuito:

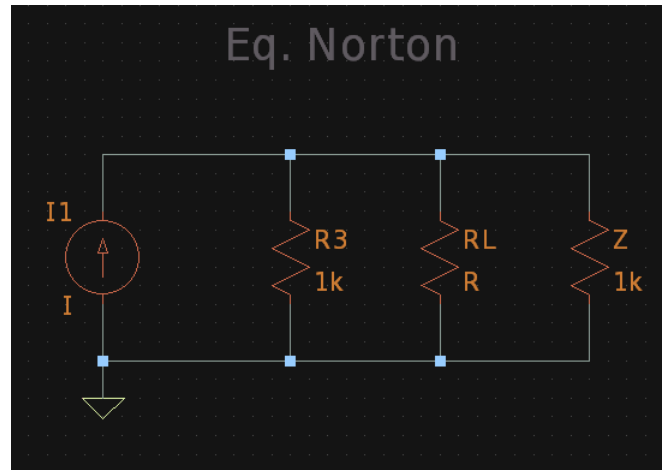


Figura 11: Circuito equivalente, con: $I_{in} = \frac{V_{in}}{R_3}$ y Z obtenida previamente (2.1.1).

Haciendo $Z = -1k\Omega$, hace que junto con R_3 (su paralelo) se anulen, resultando que $I_{in} = I_{RL}$.

Por lo tanto:

$$I_{RL} = f(RL, V_{in}) = \frac{V_{in}}{R_3} \quad (6)$$

$$I_{RL} = \frac{V_{in}}{1k\Omega} \quad (7)$$

Donde se noto que I_L es función solo de V_{in} ya que R_3 debe estar fijo para que se cumpla que $Z = -R_3$.

Aclaración:

Debido a que en el circuito hay realimentación en ambos signos puede darse el caso que se haga inestable si la realimentación positiva es mayor que la negativa: $K^+ > K^-$.

*Para que esto no suceda la fuente de excitación debe tener una resistencia asociada de un valor $R_3 \leq R_4 * \frac{R_1}{R_2}$ (Criterio de estabilidad).*

2.1.2. $V_o = f(V_{in}, Rl)$.

Considerando que el criterio de estabilidad se cumple entonces $K^+ < K^-$, se puede decir que la tensión de salida depende de una configuración no inversora dada por la ecuación:

$$v_o = v^+ * (\frac{R_2}{R_4} + 1)$$

$$v_o = I_{RL} * R_L * (\frac{R_2}{R_4} + 1)$$

$$\mathbf{v_o} = \frac{\mathbf{V_{in}}}{\mathbf{R_3}} * \mathbf{R_L} * (\frac{\mathbf{R_2}}{\mathbf{R_4}} + 1) \quad (8)$$

$$\mathbf{v_o} = \frac{\mathbf{V_{in}}}{\mathbf{1k\Omega}} * \mathbf{R_L} * (1,1) \quad (9)$$

Como expresa la ecuación (8) en la medida que RL o Vin aumenten, la ganancia $\frac{R_2}{R_4}$ debe disminuir para no llevar el operacional a la saturación.

2.1.3. $R_{Lmax} = f(Vin)$.

Partiendo de la ecuación (8), despejamos el valor de R_{Lmax}

$$\mathbf{R_{L,max}} = \frac{\mathbf{v_{o,max}}}{\mathbf{V_{in}}} * \frac{\mathbf{R_3 * R_4}}{\mathbf{R_2 + R_4}} \quad (10)$$

Donde se nota que es inversamente proporcional a RL.

2.2. Simulaciones.

Se realizaron barridos en continua para estudiar distintos casos de I_{RL} y v_o :

2.2.1. Corriente por RL.

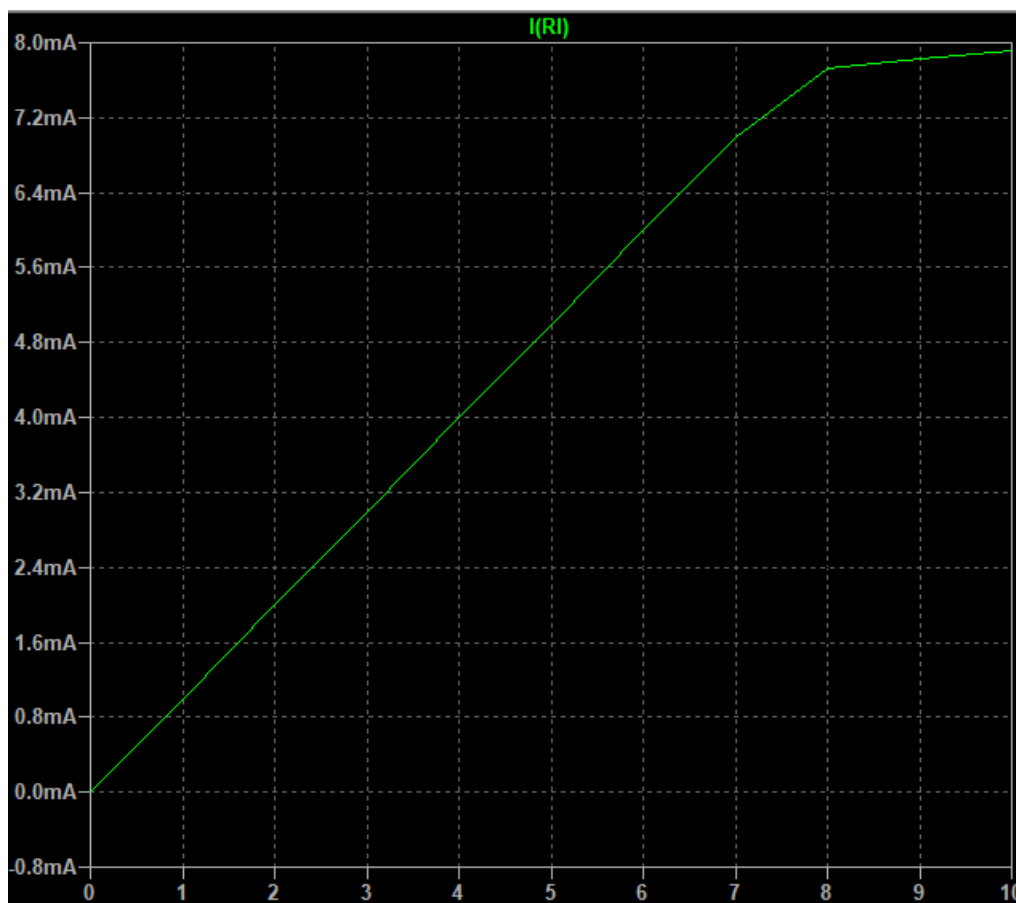


Figura 12: $I_{RL} = f(V_{in})$

Para la figura 12 se observa la variación de $I_{RL} = f(V_{in})$, cumpliéndose linealmente hasta aproximadamente 7 Volt, ya que este punto empieza a saturarse el operacional por lo tanto sale de zona lineal.

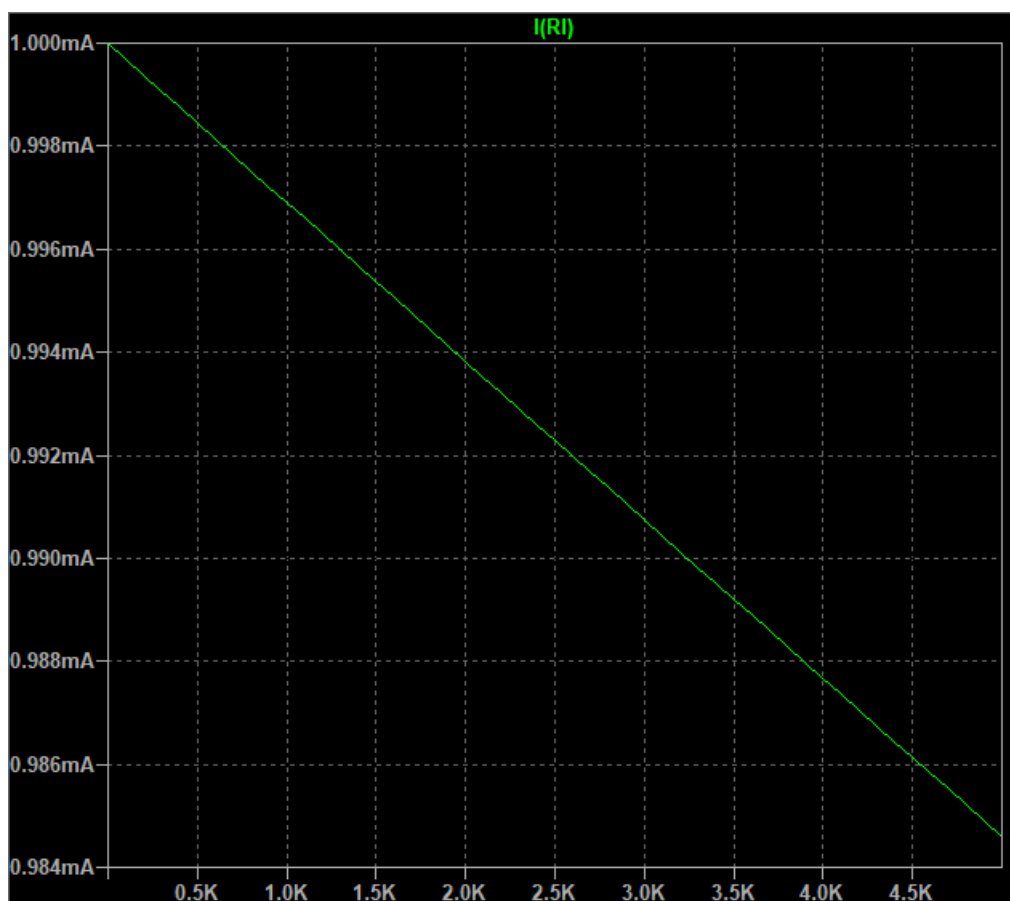


Figura 13: $I_{RL} = f(R3)$

En cuanto a la figura 13 se observa mínima variación de $I_{RL} = f(R3)$, debido a que Z deja de cumplir que es igual a $-R3$.

2.2.2. Tensión v_o .



Figura 14: $v_o = f(V_{in})$

La figura 14 muestra la variación de $v_o = f(V_{in})$ hasta el punto de saturación.

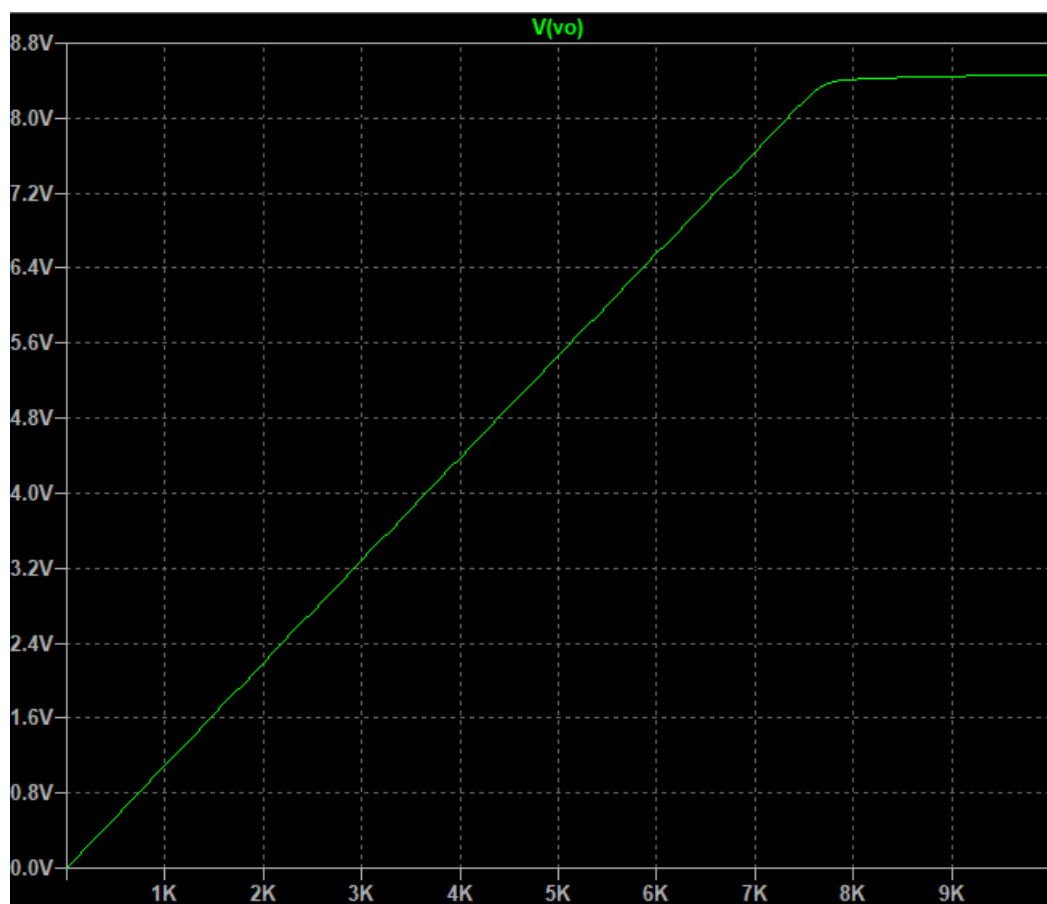


Figura 15: $v_o = f(RL)$

Luego la figura 15 muestra la variación de $v_o = f(RL)$ hasta el punto de saturación. Como se nota son resultados idénticos ya que las dos son proporcionales a v_o .

2.2.2.1 Simulación:

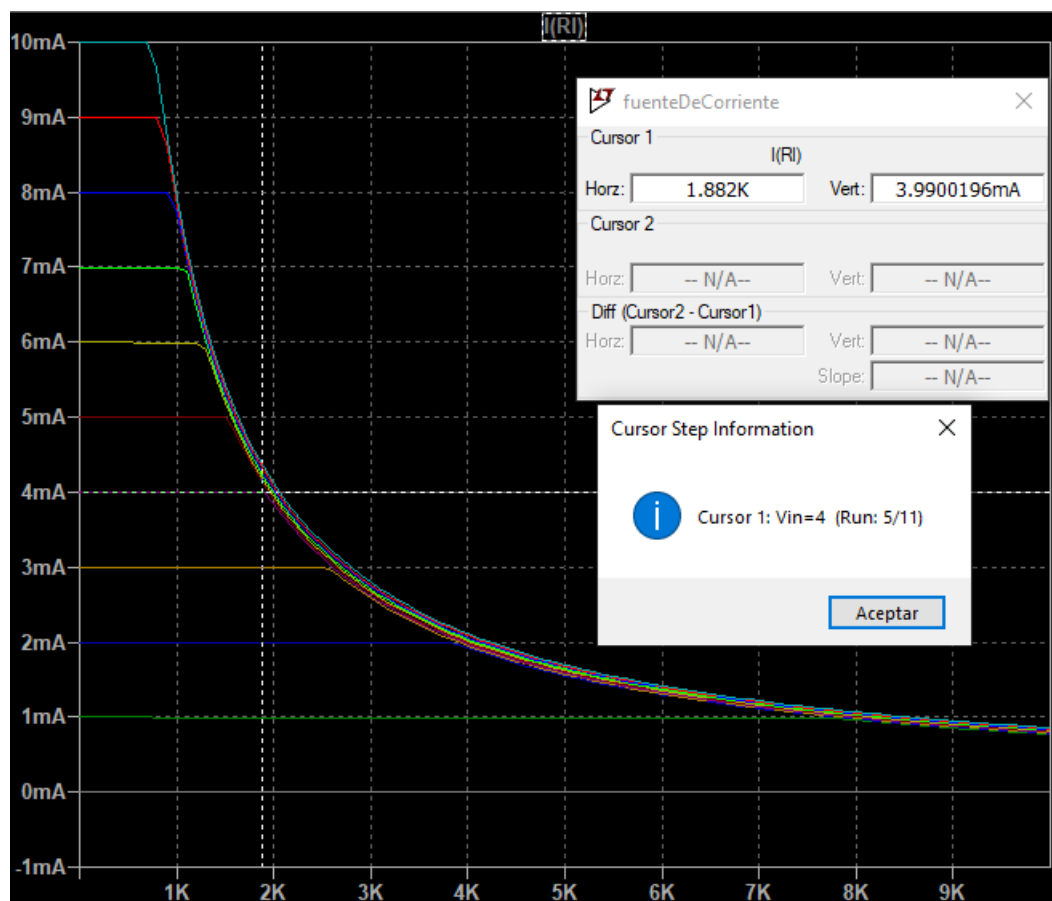


Figura 16: $R_l = f(V_{in})$

Se observa en la figura 16 que a medida que aumenta la tensión de entrada el valor máximo de RL disminuye, como ejemplo se tomo para $V_{in}=4V$ una $Rl_{max} = 1,882k\Omega$.

2.2.3. Tabla de Mediciones/Simulaciones

I_{Rl}		$V_{in}[V]$		
		0.5	-1	2
$R_l[\Omega]$	0	497.66 μ A	-1.00mA	1.99mA
	1k	497.28 μ A	-1.00mA	1.99mA
	2k	496.90 μ A	-1.00mA	1.99mA
	5k	495.79 μ A	-998.69 μ A	1.54mA
	10k	493.91 μ A	-904.29 μ A	783.08 μ A

Se noto que para 0.5 [V] de V_{in} la corriente es casi constante, ya para -1 [V] presenta diferencias para valores grandes de resistencia y para 2[V] cuando el valor de resistencia es grande el operacional se satura y sale de la zona lineal por lo que ya deja de ser constante la corriente como se observa en la figura 16.

3. *Circuito III: Rectificador de precisión.*

Para este caso tenemos 2 opamps LM324 con diodos trabajando como un rectificador de precisión con una entradas de señal común a ambos. Implementado con fuente simétrica $\pm 10V$ y un par de diodos de pequeña señal 1N4148.

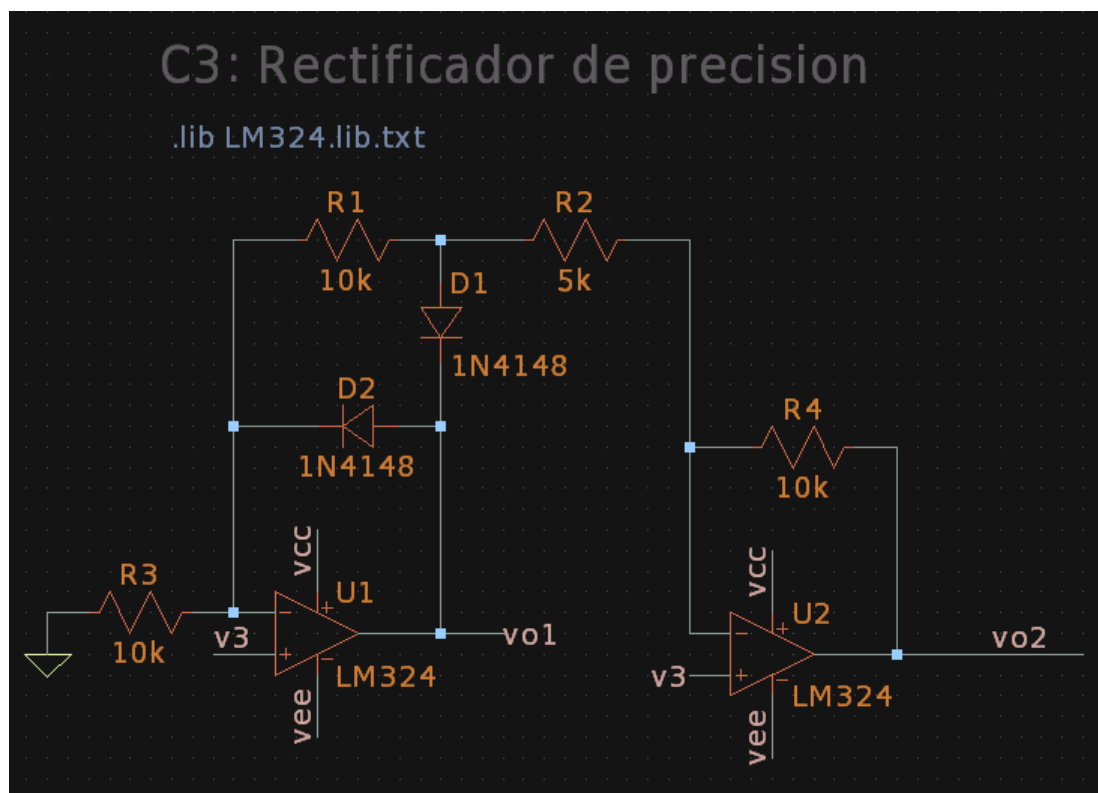


Figura 17: Rectificador de precisión.

3.1. Parámetros/Relaciones a analizar.

3.1.1. Tensiones vo1 y vo2 en función de v1.

Para el análisis por tratarse de una aplicación no lineal se consideraron los casos donde la señal de entrada v1 es mayor/menor que cero, se reemplazaron los diodos por sus equivalentes ideales de cortocircuito/circuito abierto,

y analizo el circuito para cada caso identificando las conexiones entre bloques de configuraciones conocidas.

En el caso que v_1 sea mayor a cero tenemos una tensión positiva en v_1 , por lo que D2 se polariza en directa (cortocircuito) mientras que D1 en inversa (alta impedancia):

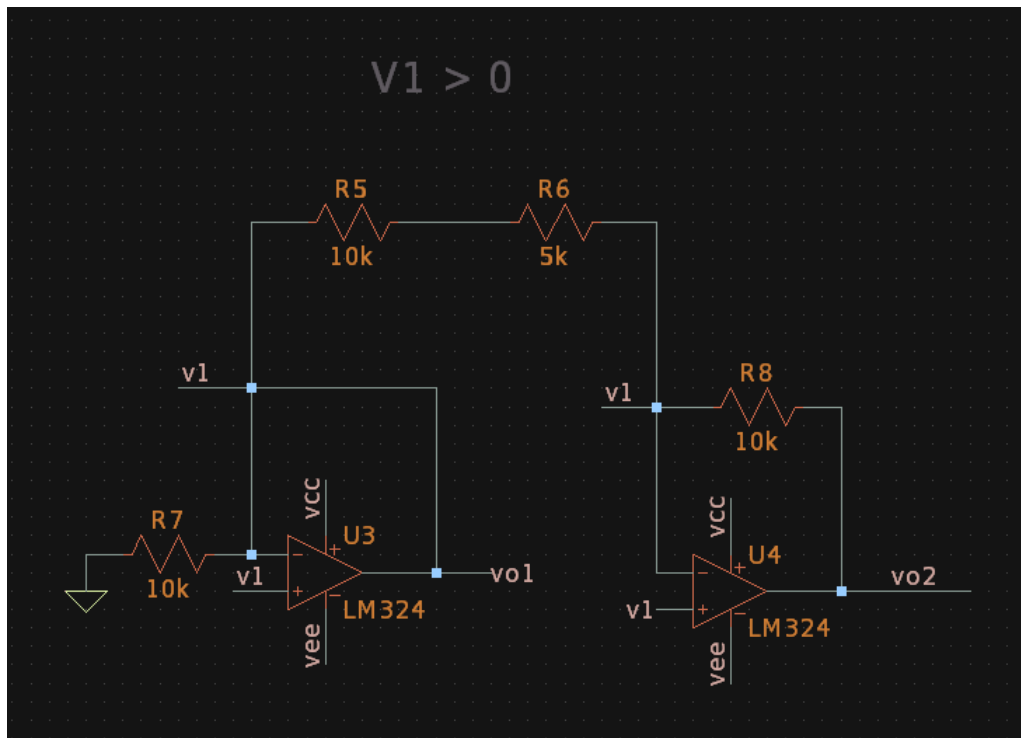


Figura 18: Caso $v_1 \geq 0$.

Considerando funcionamiento lineal y realimentación negativa se tiene que los nodos conectados a las entradas no inversoras de ambos amplificadores están a un mismo potencial, por tanto la corriente por R1 y R2 debe ser nula, esto deja trabajando a los amplificadores en configuración no inversora e independientes entre si.

Considerando el siguiente modelo básico para una configuración no inversora:

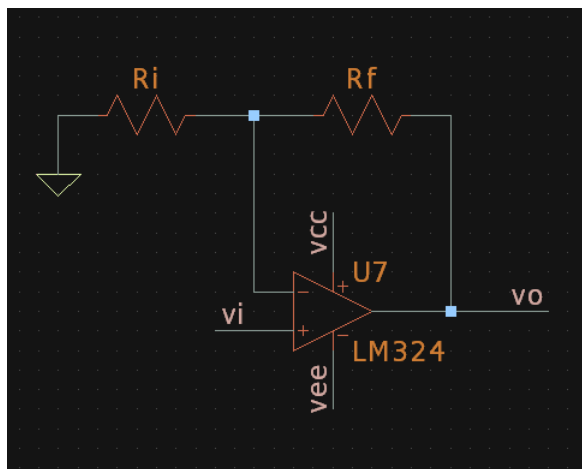


Figura 19: No inversor básico.

Podemos decir que para nuestro caso:

$$v_{o1} = \lim_{R_f \rightarrow 0} \left(1 + \frac{R_f}{R_3}\right) v_1 = v_1 \quad (11)$$

$$v_{o2} = \lim_{R_i \rightarrow \infty} \left(1 + \frac{R_4}{R_i}\right) v_1 = v_1 \quad (12)$$

Es decir que cuando $v_1 > 0$ ambas salidas copian a la tensión de entrada.

En el caso que v_1 sea menor a cero tenemos una tensión negativa en v_{o1} , así que en este caso D1 se polariza en directa (cortocircuito) mientras que D2 en inversa (alta impedancia):

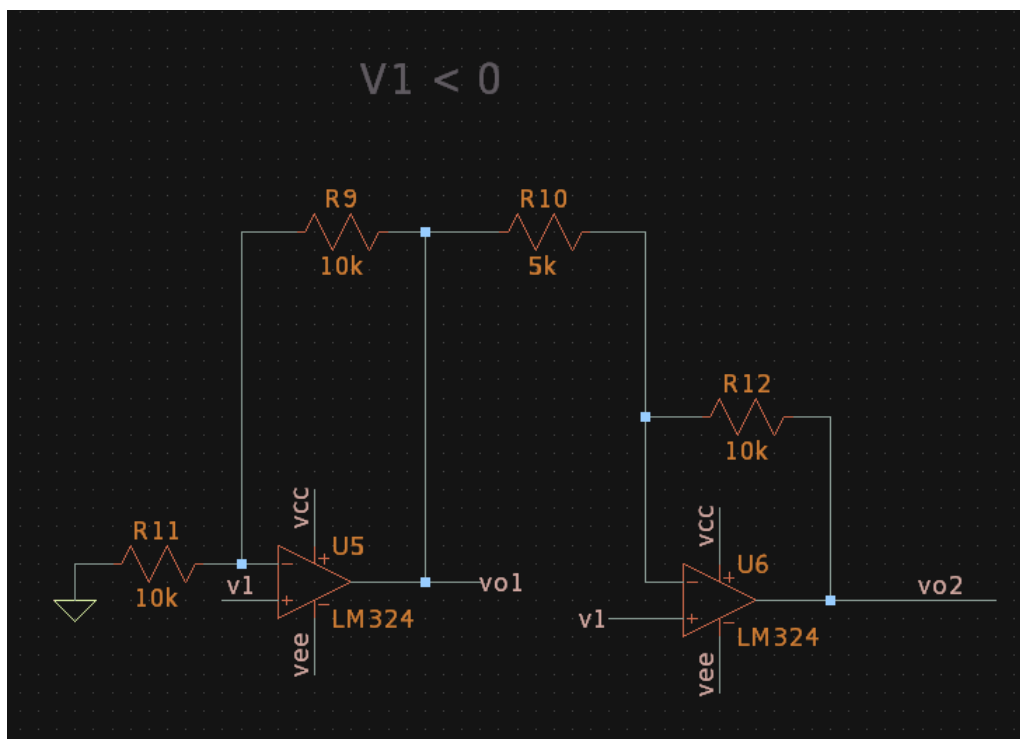


Figura 20: Caso $v_1 \neq 0$.

En este caso se tiene que la primera etapa actúa como no inversor, mientras que la segunda tiene señal en ambas entradas por lo que se usó nodos para su análisis.

$$\frac{v_{o1} - v_1}{R_2} + \frac{v_{o2} - v_1}{R_4} = 0$$

Sabiendo que:

$$v_{o1} = \left(1 + \frac{R_1}{R_3}\right) v_1$$

Reemplazando y despejando v_{o2} :

$$v_{o2} = v_1 \left(1 - \frac{R_4 R_1}{R_2 R_3}\right) \quad (13)$$

Por lo tanto resumiendo el análisis:

$$\begin{aligned}
 vo1(v1) &= \begin{cases} \left(1 + \frac{R_1}{R_3}\right) v_1 = 2v_1 & \text{Para } v1 < 0 \\ v_1 & \text{Para } v1 > 0 \end{cases} \\
 vo2(v1) &= \begin{cases} v_1 \left(1 - \frac{R_4 R_1}{R_2 R_3}\right) = -v_1 & \text{Para } v1 < 0 \\ v_1 & \text{Para } v1 > 0 \end{cases}
 \end{aligned}$$

3.2. Simulaciones

Se realizaron barridos en continua desde -10 a 10V para v_1 , y se grafico vo_1 y vo_2 para todos los casos.

3.2.1. Transferencia para vo_1

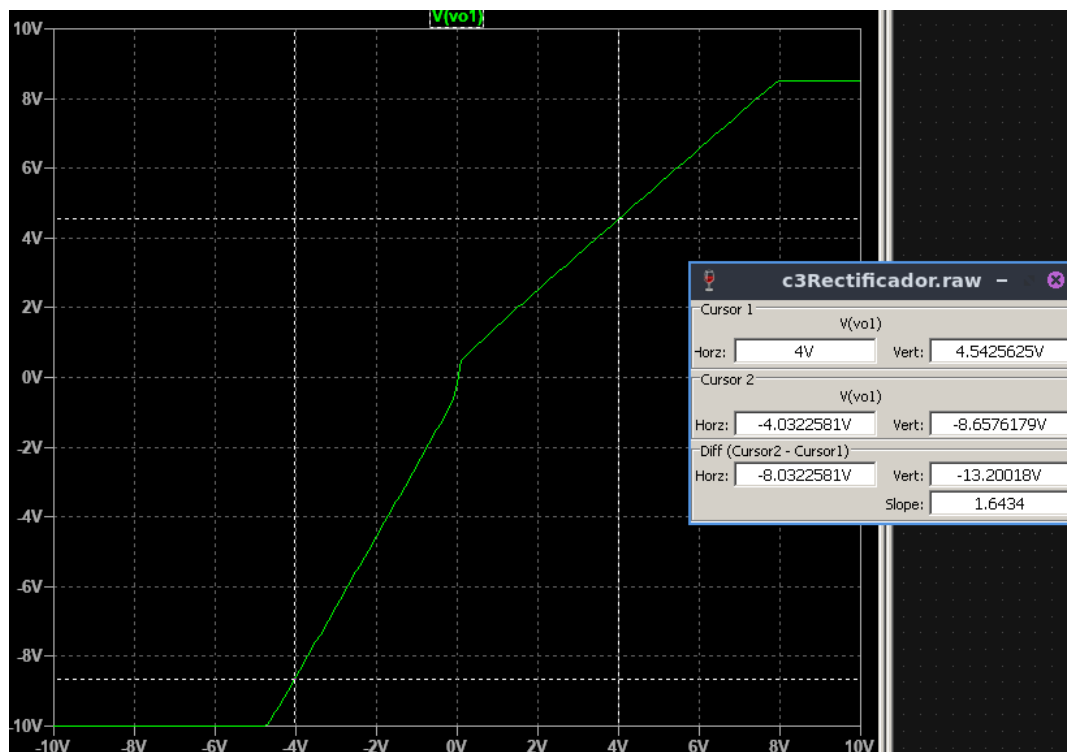


Figura 21: Barrido en DC para vo_1 , se observa $vo_1(v_1)$.

Se ve como copia los semi ciclos positivos de la señal y amplifica en 2 los negativos. Además para baja excursión presenta alta ganancia y alinealidades.

3.2.2. Transferencia para vo2

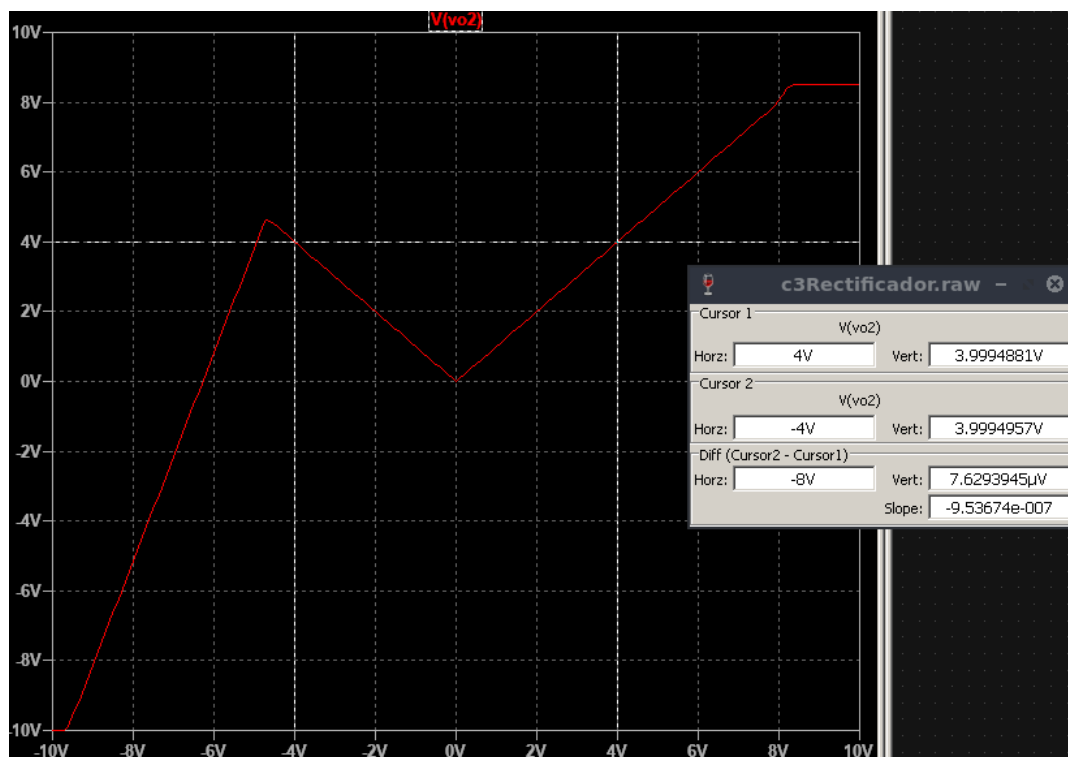


Figura 22: Barrido en DC para vo2, se observa vo2(v1).

En el rango de -4 a 4v la salida es el valor absoluto de la entrada, lo que se traduce a una rectificación de onda completa de una senoidal.

3.2.3. Análisis temporal para vo2.

En este caso se simuló un transitorio con una entrada senoidal de 1KHz con 26mV, 1, 4 y 9V de amplitud, para observar la salida en el tiempo dentro y fuera de los rangos de funcionamiento.

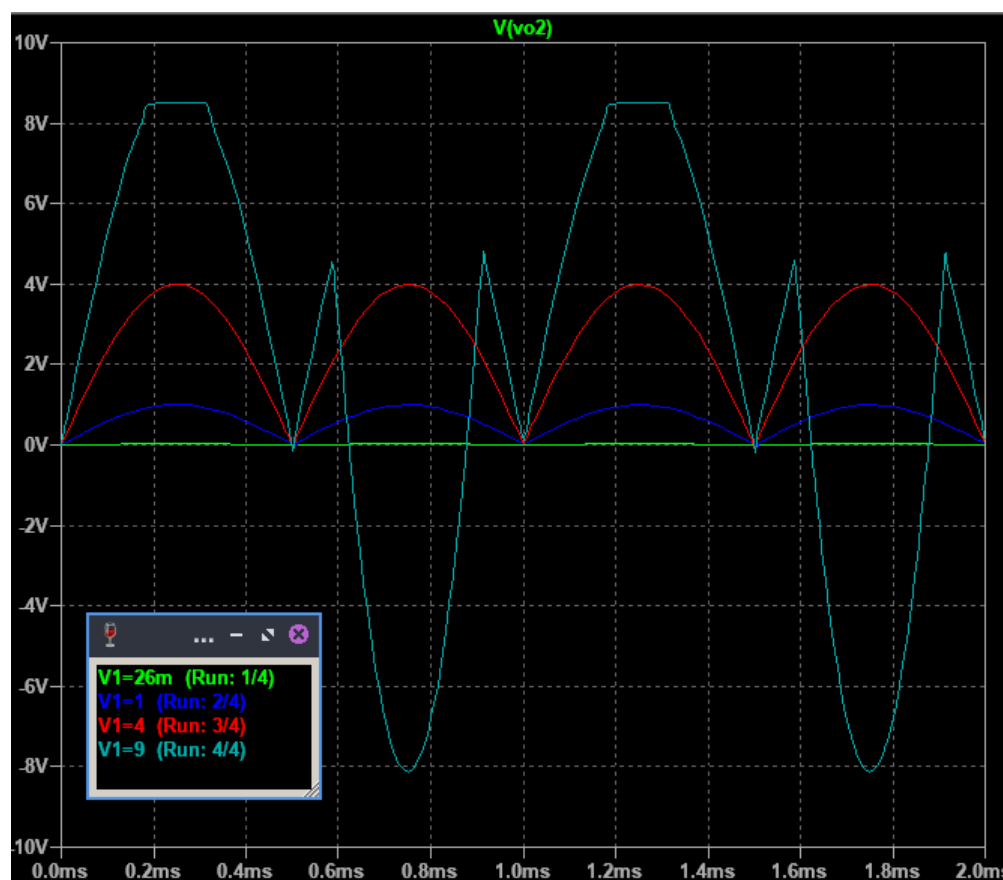


Figura 23: Análisis temporal.

Se vio como de 1 a 4V se nota la señal rectificada precisa, aunque para no para 9V fuera del rango de funcionamiento.

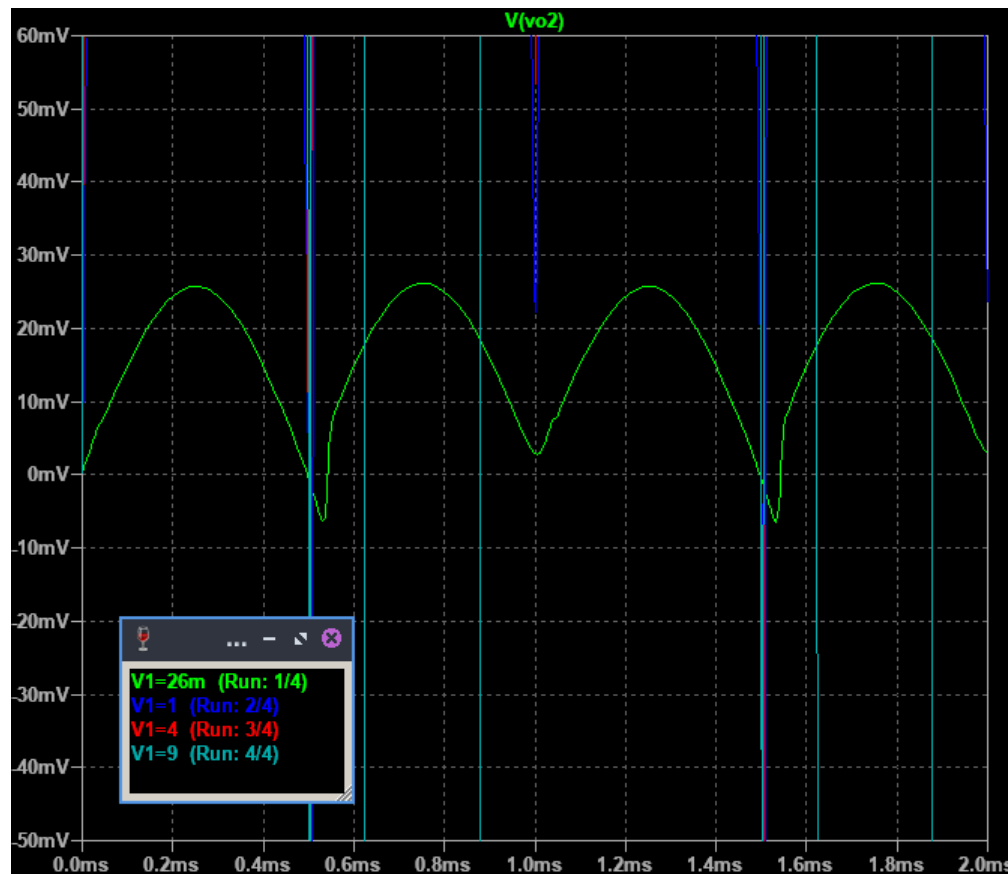


Figura 24: Análisis temporal de pequeña señal.

Para el caso de 26mV en la entrada se aprecia mayor distorsión y asimetría, debida a las alinealidades cercanas al origen mencionadas en la transferencia realizada.

4. *Circuito IV: Comparador con histeresis (Schmitt Trigger Inversor).*

En este circuito tenemos el LM324 operando con realimentación positiva trabajando como un Schmitt trigger inversor con una entradas de señal atenuada por divisor de tensión. Implementado con fuente de alimentación asimétrica 0 a 10V y resistencias.

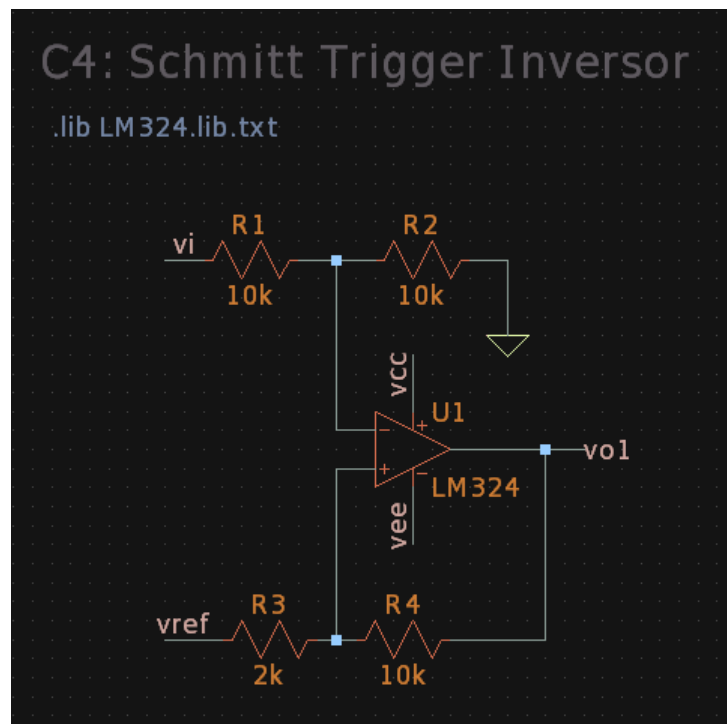


Figura 25: Schmitt trigger.

4.1. Parámetros/Relaciones a analizar.

4.1.1. Umbrales de conmutación.

Para un análisis mas completo se considero el caso general con alimentación simétrica, y se tuvo en cuenta el efecto de que el OpAmp no sea de tipo Rail to rail, se analizo v_o a partir de la tensión diferencial v_d , y finalmente se considero a $V_{ee} = 0V$ para nuestro caso.

Partiendo de:

$$\begin{aligned}v^- &= k_1 * v_{in} \\v^+ &= k_2 * (v_o - v_{ref}) + v_{ref} \\ \text{Con: } k_1 &= \frac{R_2}{R_1 + R_2} \\ k_2 &= \frac{R_3}{R_3 + R_4}\end{aligned}$$

4.1.1.1 Si $v_d < 0$.

En este caso si v_d llega a ser menor a cero la salida para un amplificador ideal debería pasar de V_{cc} a V_{ee} , por tanto si se tiene en cuenta v_d :

$$v_d = v^+ - v^- < 0 \Rightarrow v_o = V_{ee}$$

entonces:

$$\begin{aligned}v^+ &< v^- \\ k_2 * (v_o - v_{ref}) + v_{ref} &< k_1 * v_{in} \\ \frac{k_2}{k_1} * (v_o - v_{ref}) + \frac{v_{ref}}{k_1} &< v_{in} \\ \frac{k_2}{k_1} * v_o + \frac{1 - k_2}{k_1} * v_{ref} &< v_{in} \\ \text{Reemplazando : } \begin{cases} v_o &= V_{cc} \\ V_{cc} &= 10V \\ v_{ref} &= 2V \\ R_3 &= 2k\Omega \\ R_1 &= R_2 = R_4 = 10k \end{cases} \\ v_{in} &> 6,67V \Rightarrow v_o = V_{ee}\end{aligned}$$

4.1.1.2 Si $v_d > 0$.

Luego si v_d llega a ser mayor a cero la salida para un amplificador ideal debería pasar de V_{ee} a V_{cc} , por tanto teniendo en cuenta v_d :

$$v_d = v^+ - v^- > 0 \Rightarrow v_o = V_{cc}$$

entonces:

$$\begin{aligned}
 v^+ &> v^- \\
 k_2 * (v_o - v_{ref}) + v_{ref} &> k_1 * v_{in} \\
 \frac{k_2}{k_1} * (v_o - v_{ref}) + \frac{v_{ref}}{k_1} &> v_{in} \\
 \frac{k_2}{k_1} * v_o + \frac{1 - k_2}{k_1} * v_{ref} &> v_{in} \\
 \text{Reemplazando : } \begin{cases} v_o &= V_{ee} \\ V_{ee} &= -10V \\ v_{ref} &= 2V \\ R_3 &= 2k\Omega \\ R_1 &= R_2 = R_4 = 10k\Omega \end{cases}
 \end{aligned}$$

$$v_{in} < 0V \Rightarrow v_o = V_{cc}$$

Por lo tanto resumiendo el análisis:

$$v_o(v_{in}) = \begin{cases} V_{cc} & \text{Para } v_{in} < 0V \\ V_{ee} & \text{Para } v_{in} > 6,67V \end{cases}$$

4.1.1.3 Caso de $V_{ee} = 0$.

Ahora cuando se produce el cambio de $V_{ee}(v_o = 0V)$ a V_{cc} la relación queda:

$$\frac{1 - k_2}{k_1} * v_{ref} > v_{in}$$

donde se ve que el punto de conmutación queda directamente dependiente de v_{ref} .

Reemplazando $v_{ref} = 2V$; $R_3 = 2k\Omega$; $R_4 = 10k\Omega$; $R_1 = R_2 = 10k\Omega$

$$\text{Si: } v_{in} < 3,33V \Rightarrow v_o = V_{ee} \quad (14)$$

Además los análisis anteriores son validos para un amplificador ideal o de tipo Rail to rail, en nuestro caso se obtuvo por simulación que la salida

máxima posible para el LM324 es de 8.5V, por lo que para nuestro caso queda:

$$\mathbf{v_{in} > 6,17V \Rightarrow v_o = V_{cc}} \quad (15)$$

Finalmente para nuestro caso particular del LM324 y $V_{ee}=0V$:

$$v_o(v_{in}) = \begin{cases} V_{cc} & \text{Para } v_{in} < 3,33V \\ V_{ee} & \text{Para } v_{in} > 6,17V \end{cases}$$

4.2. Simulaciones

4.2.1. Efecto de histeresis en la salida v_o .

4.2.1.1 Caso General con V_{cc} y V_{ee} distinto de cero y simetricos

Para visualizar la histeresis se tomo el caso de alimentación simétrica y realizo un transitorio con una entrada senoidal de amplitud 10V y frecuencia 1KHz.

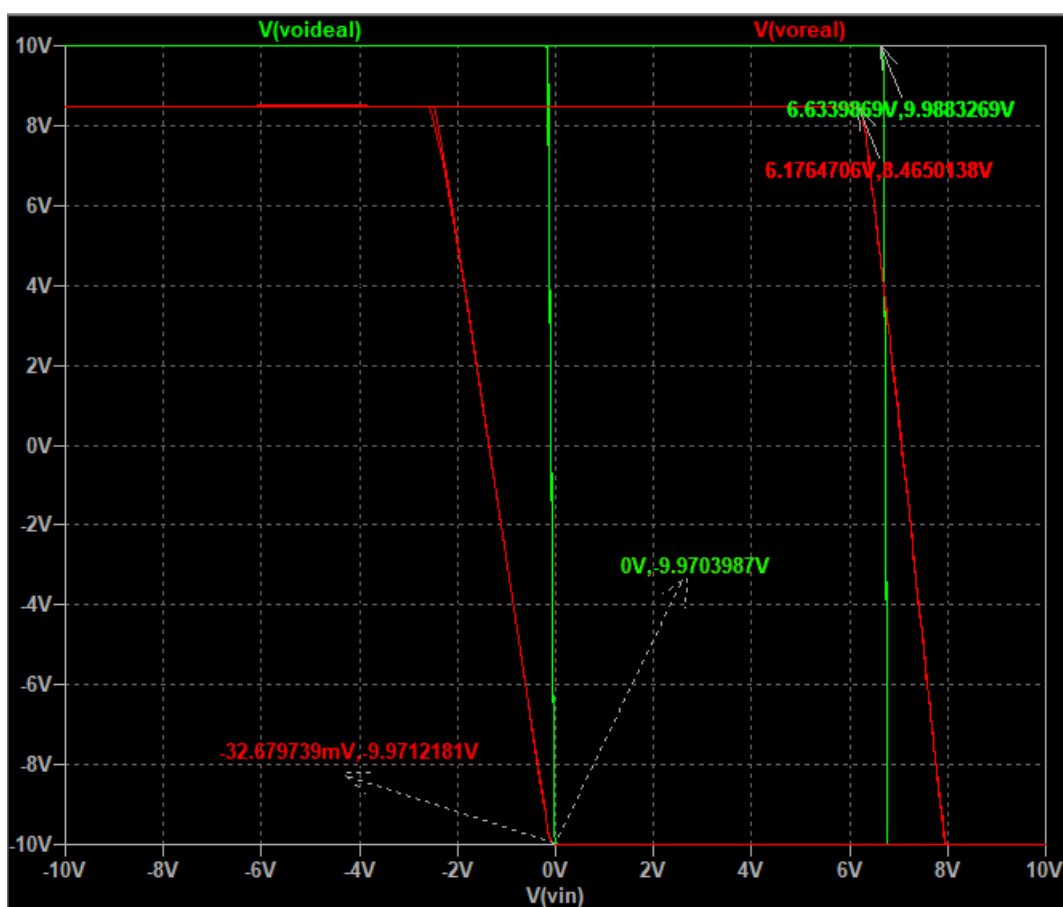


Figura 26: $v_o(v_{in})$

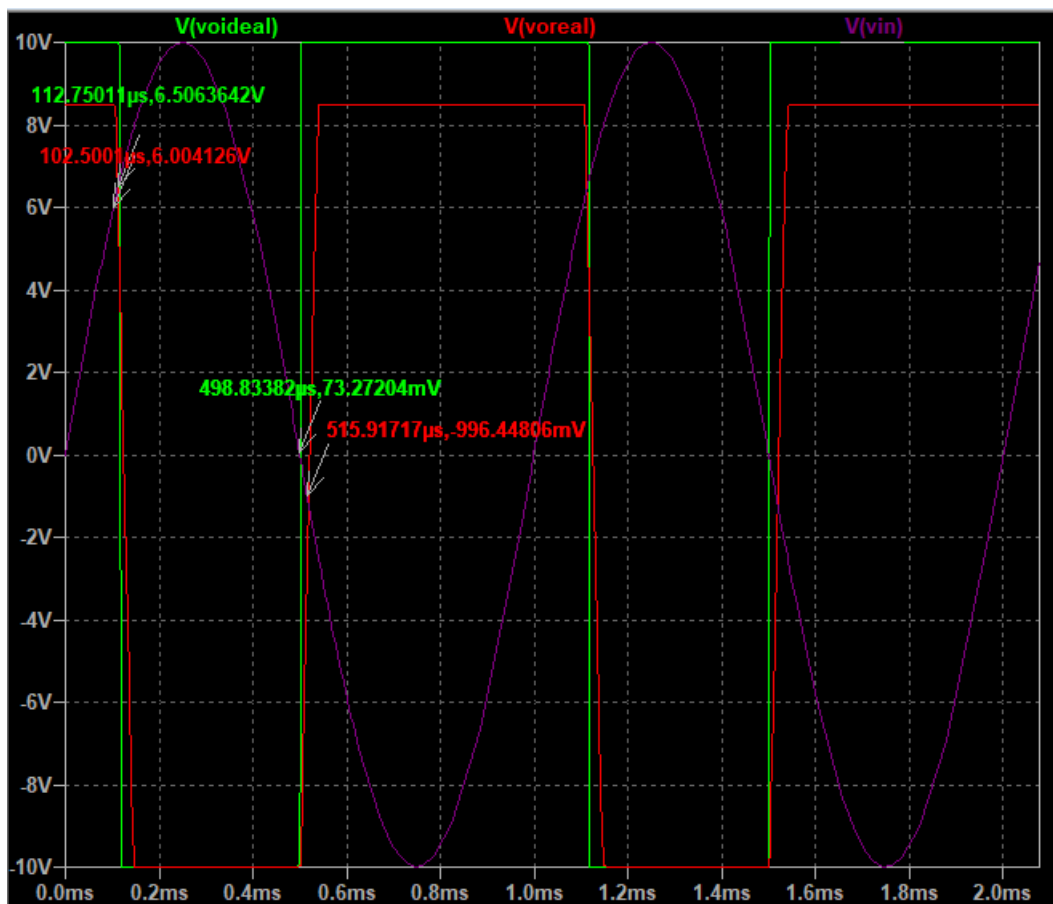


Figura 27: $v_o(v_{in})$ vista en función del tiempo

Se observa la diferencia del ideal respecto del real, el ideal llega a V_{cc} mientras que el real tiene un limite en aproximado $8.5[V]$, produciendo que el umbral del cambio de V_{cc} a V_{ee} sea menor del teórico obtenido y ademas se nota la diferencia del slewrate.

4.2.1.2 Caso de estudio con $V_{ee} = 0$ y $V_{cc} = 10$

Se realizo un análisis transitorio a $1Khz$ de frecuencia de amplitud $\pm 10[V]$.

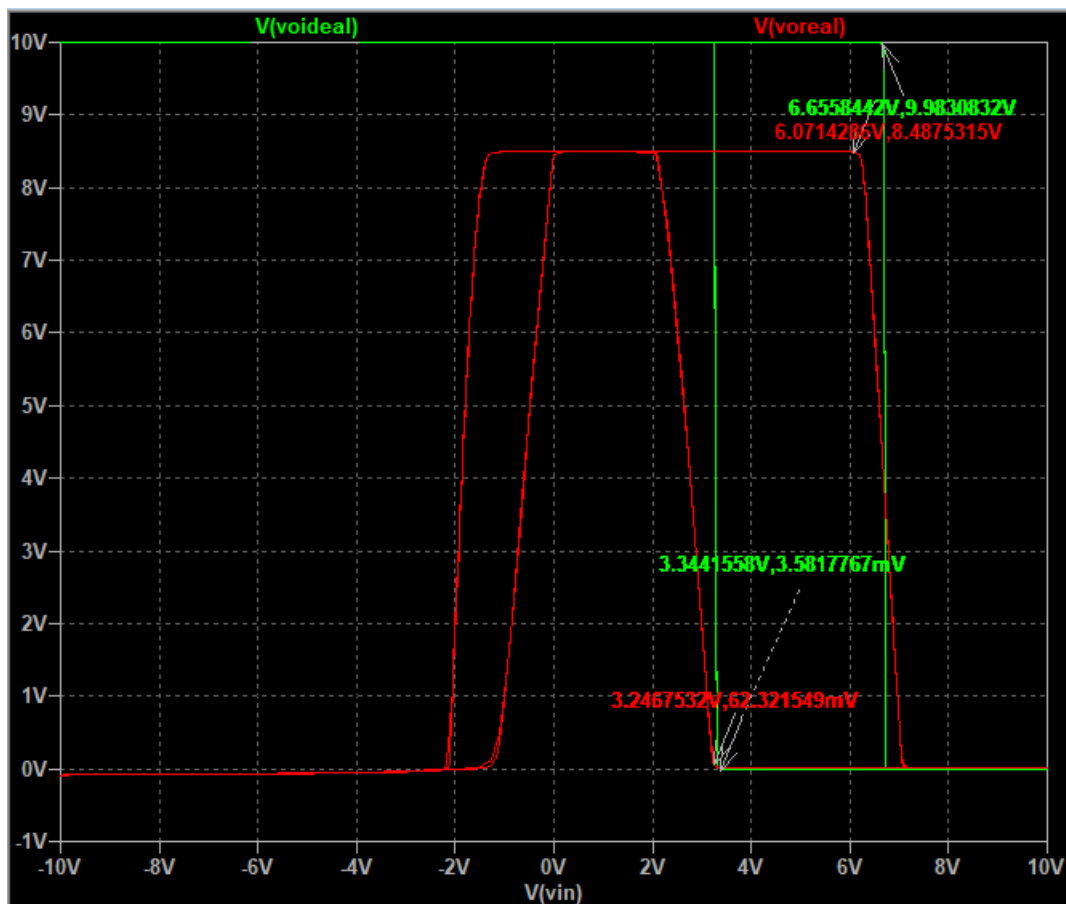


Figura 28: $v_o(v_{in})$ con $V_{ee}=0$

Como se aprecia el ideal responde bien a lo obtenido teórico (4.1.1.3), pero en el caso real se presenta un segundo ciclo de histeresis mas chico(lazo izquierdo) produciendo una conmutación de salida no deseada.

Viendo un análisis temporal se tiene:

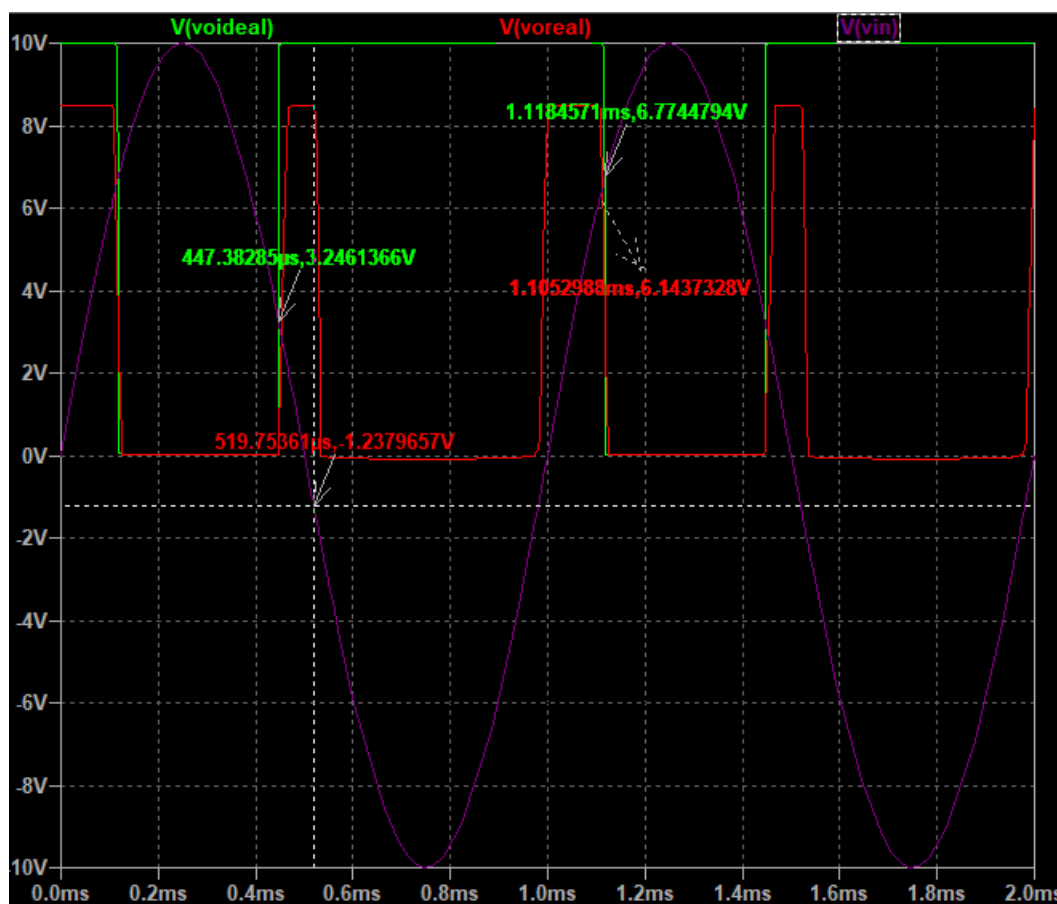


Figura 29: $v_o(v_{in})$ con $V_{ee}=0$, en el tiempo

Se aprecia mejor la influencia del pequeño lazo de histéresis haciendo que la salida cuando debería permanecer en V_{cc} conmuta a $V_{ee}=0$ cuando la entrada es de valor absoluto mayor a $1.23[V]$.

Viendo más en detalles que sucede con las entradas inversora y no inversora se aprecia:

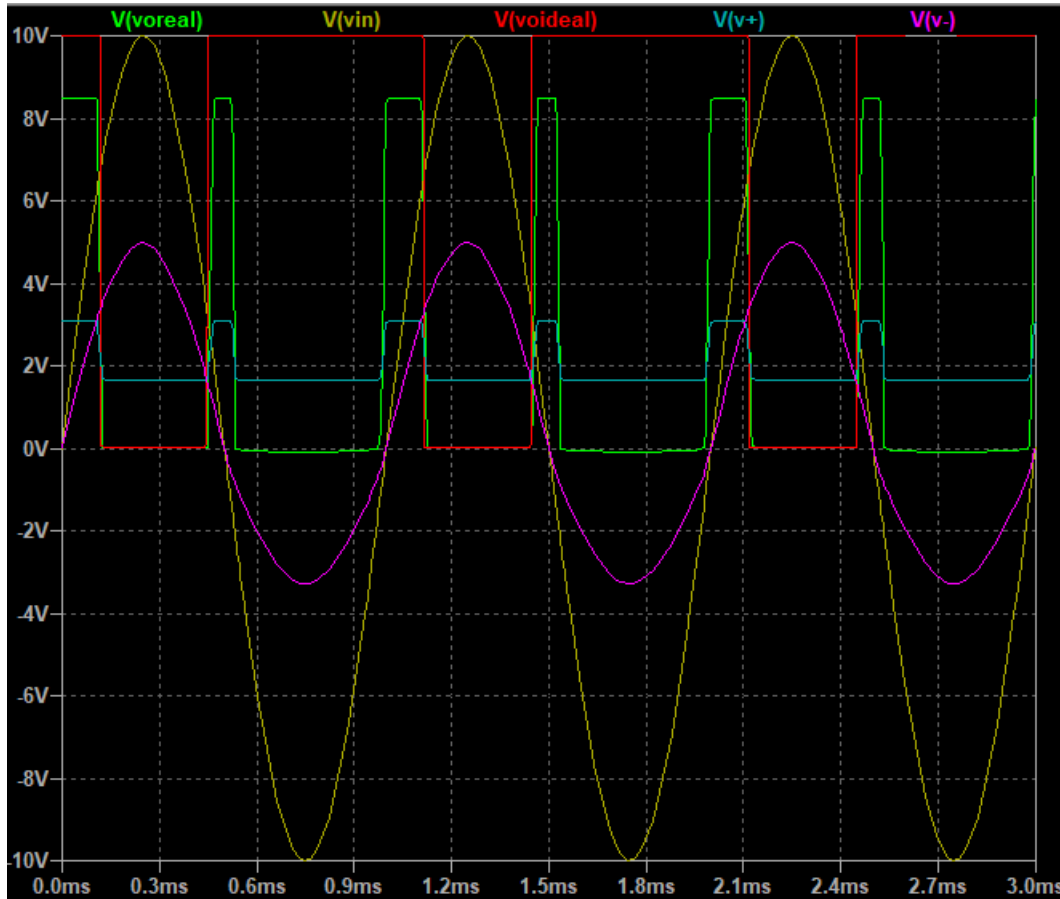


Figura 30: $v_o(v_{in})$ con $V_{ee}=0$, operacional fuera de rango

Notamos que a los pocos voltios negativos de la entrada inversora el operacional no responde a lo teórico ($vd > 0 \Rightarrow V_{cc}$) por lo que suponemos que al no tener una fuente de alimentación simétrica los transistores internos dejan de trabajar correctamente por lo tanto el operacional sale de rango de funcionamiento.

Una solución a este problema fue establecer un offset de continua a la señal de entrada y evitar tensiones negativas de entrada, teniendo los siguientes resultados con un offset de 5[V] y amplitud de la señal senoidal de 5[V], haciendo una excursión de 10[V].

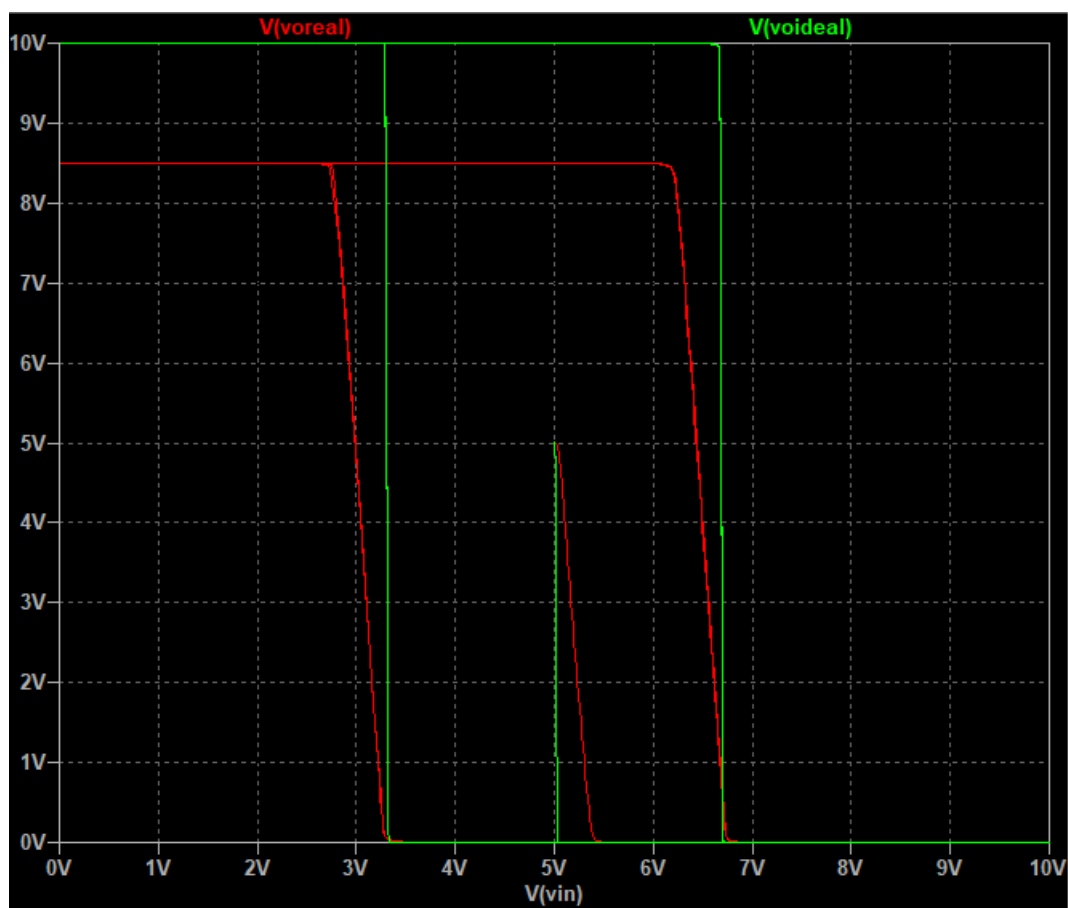


Figura 31: $v_o(v_{in})$ con $V_{ee}=0$, con un offset de señal de entrada

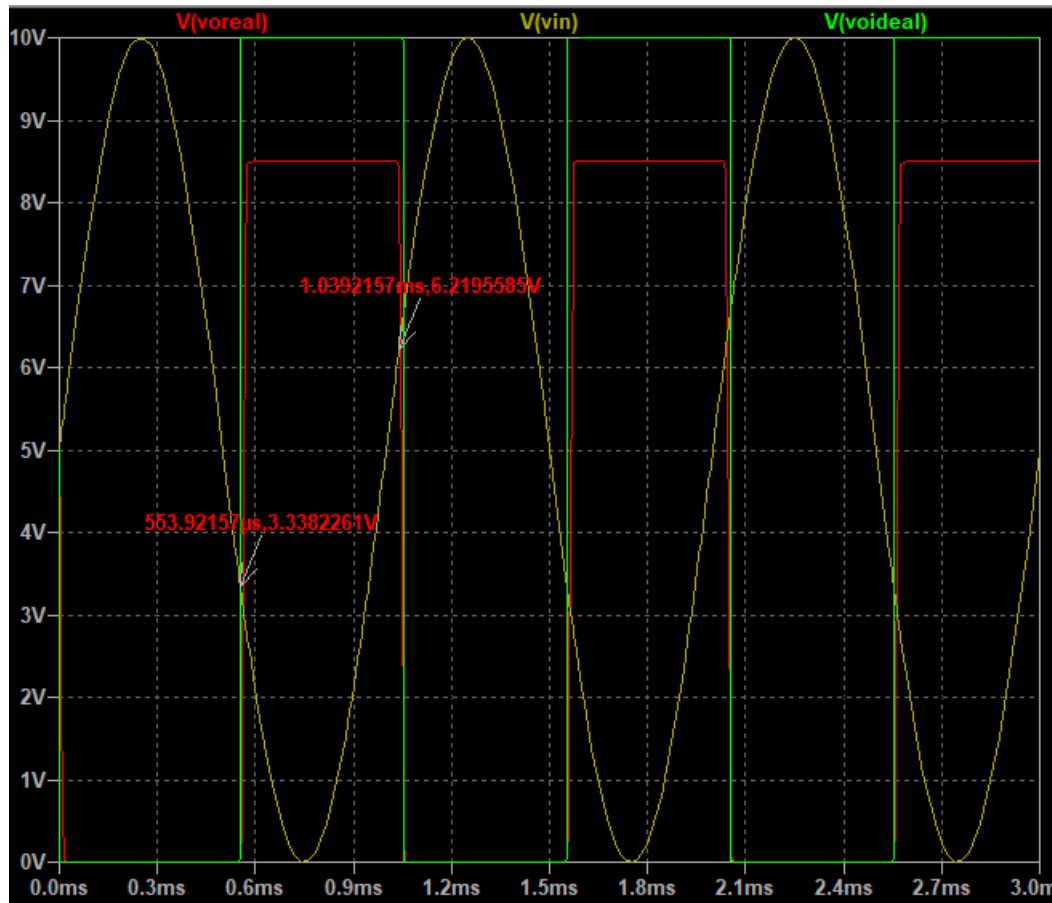


Figura 32: $v_o(v_{in})$ con $V_{ee}=0$, con un offset de señal de entrada

4.2.2. Efecto de V_{ref} en ciclo de histeresis.

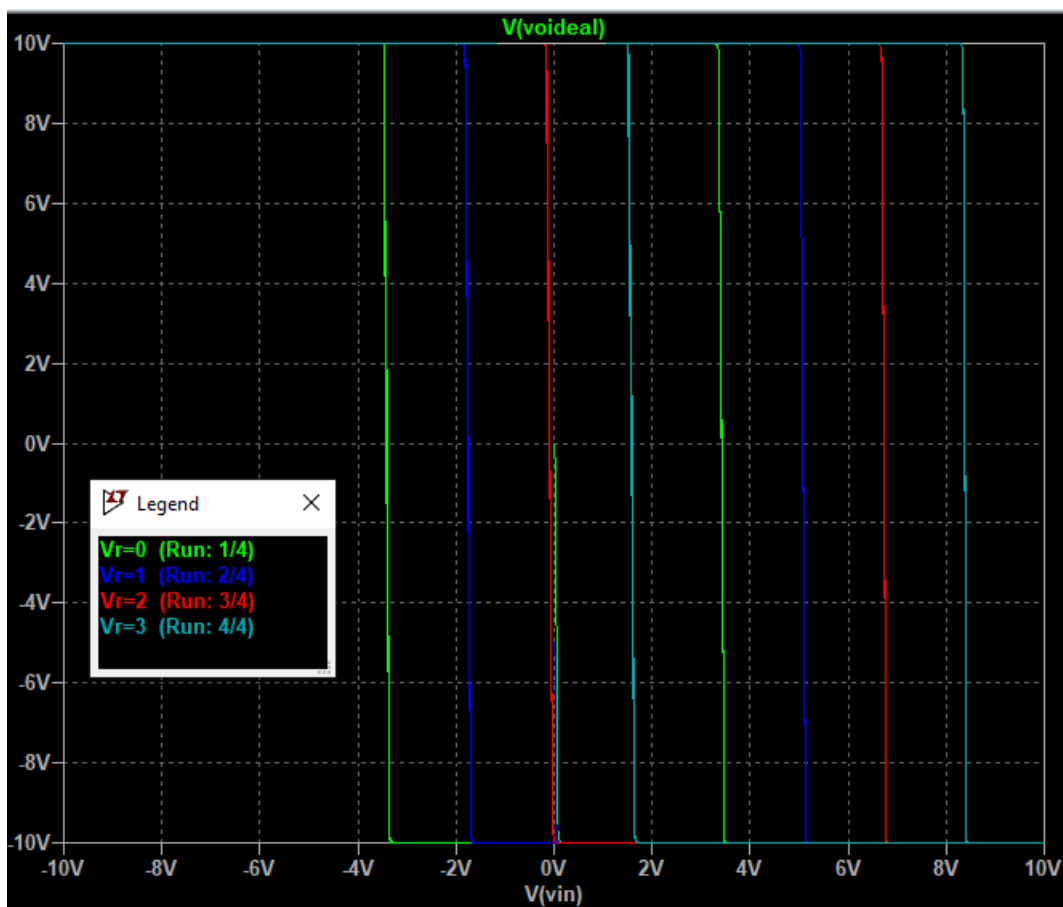


Figura 33: Efecto de V_{ref} para el caso de un operacional ideal

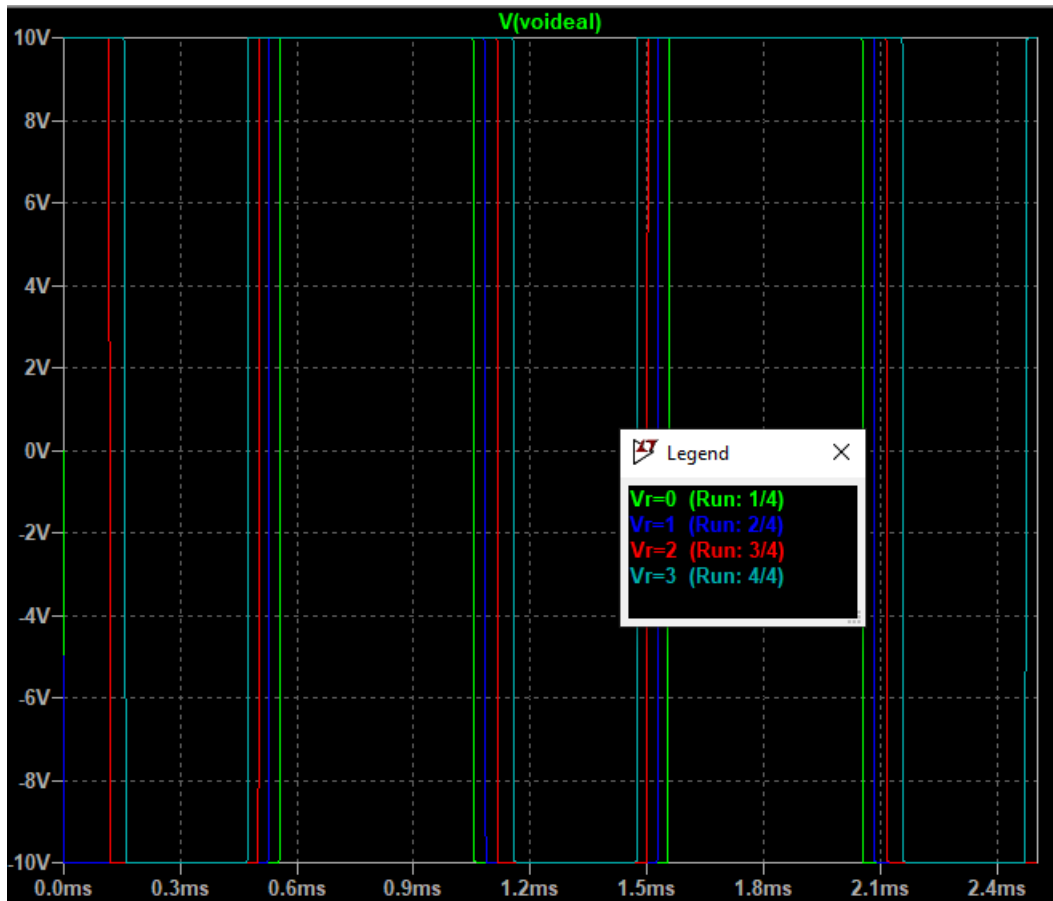


Figura 34: Efecto de V_{ref} para el caso de un operacional ideal

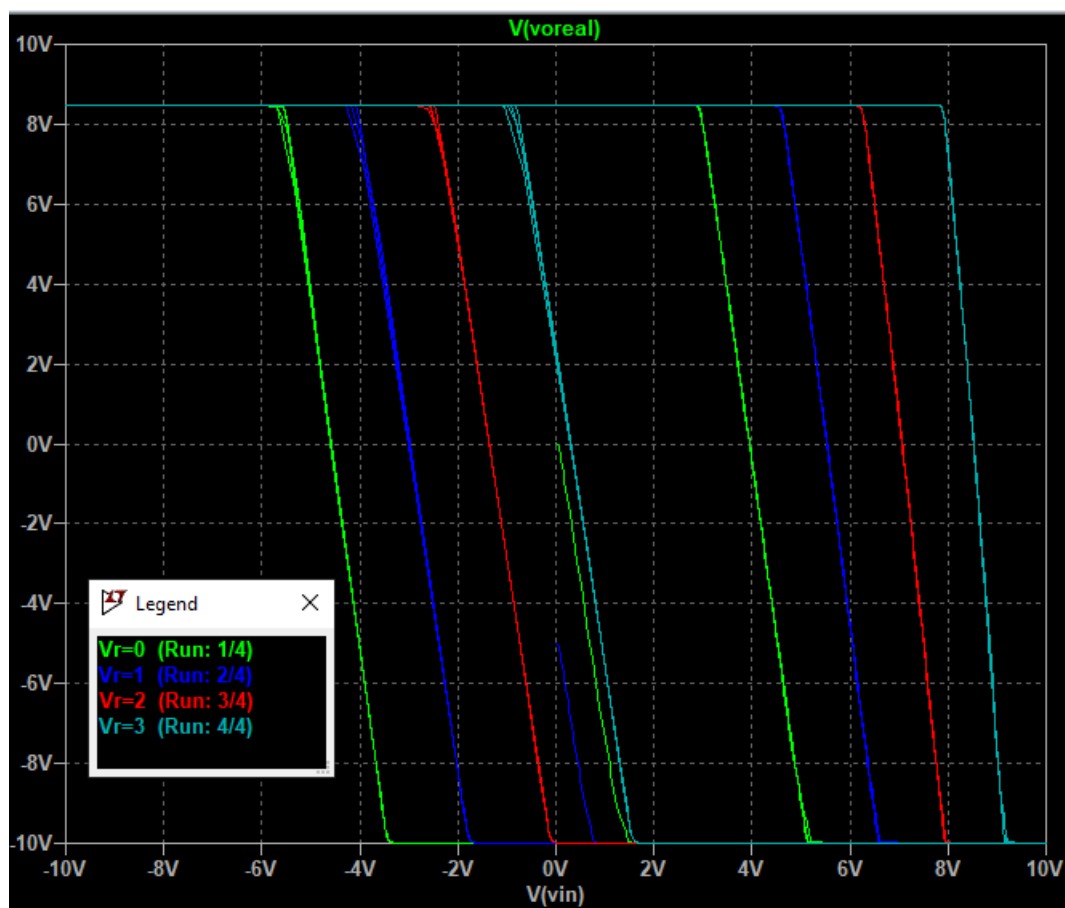


Figura 35: Efecto de V_{ref} para el caso de un operacional real (LM324)

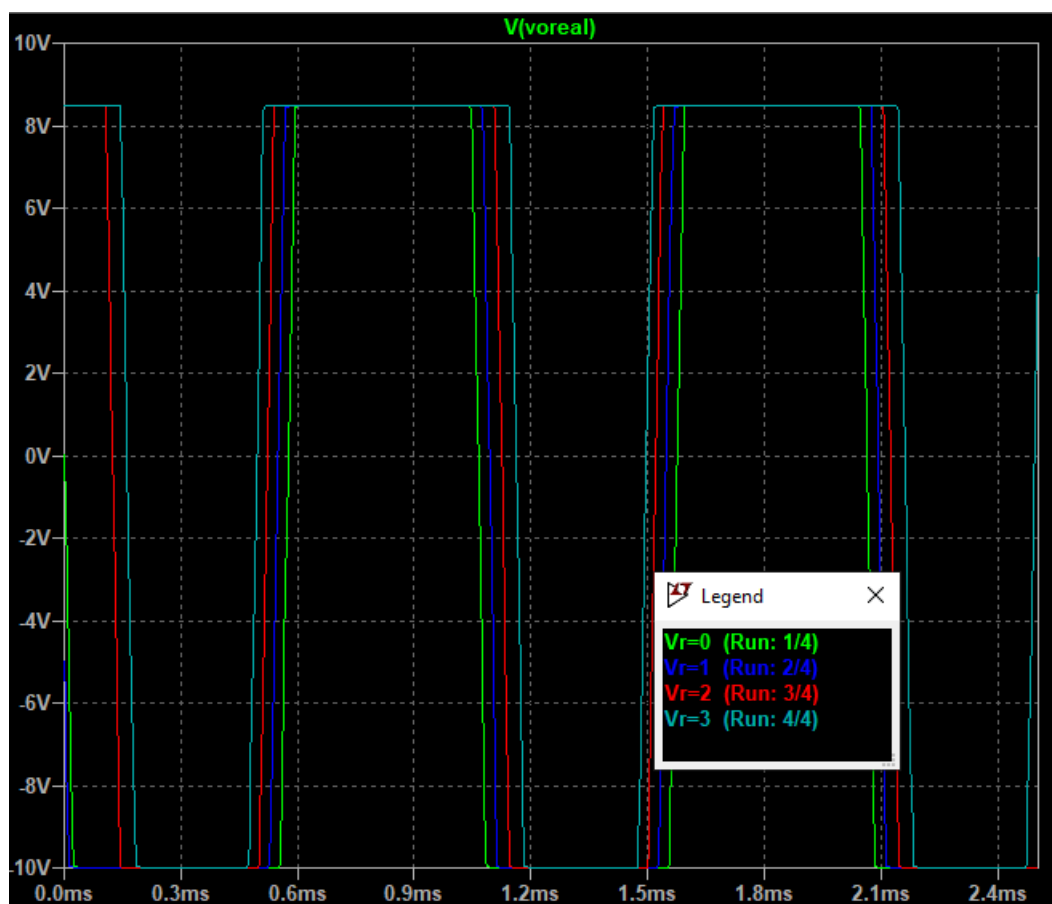


Figura 36: Efecto de V_{ref} para el caso de un operacional real (LM324)

Se observa como la influencia de V_{ref} hace que los umbrales aumenten produciendo un efecto parecido a una señal pwm.

5. Adicional1: Primer propuesta.

Si bien nuestro interés es el de realizar completamente los desafíos adicionales propuestos, por motivo de tiempos se completaron los análisis principales en esta entrega. No obstante pensamos y planteamos algunos esquemas muy básicos para los ejercicios adicionales que adjuntamos seguidamente, en otra entrega se completaran los diseños y análisis finales.

Diseñar un regulador de carga de batería, que corte cuando se alcanzan los 12.8V y reinicie la carga cuando baja a 10.5V.

MATERIALES:

AO ideal con saturación.

Resistencias.

1 Relé 12V, Normal Abierto, 20mA de corriente de bobina.

1 Transistor NPN B548 o 1 Transistor PNP BC558.

1 Diodo 1N4148.

1 Referencia de Tensión: TL431.

Batería 12V (Rango 8V a 13V) – Rinterna = 0,5ohm.

Celda Fotovoltaica: 15V Tensión Sin Carga, 1A de Corriente de Carga.

Como idea aproximada del sistema la tensión de batería llega a la entrada del schmitt trigger (posiblemente se adapte con un divisor de tensión) con tensión de referencia y resistencias configurado para que cumpla:

ON: $v_{in} < 10.5V$.

OFF: $v_{in} > 12.8V$.

El cual controlaría el transistor que daría la corriente necesaria para el relé, conectado con su diodo protector de contra-corriente. El mismo se encarga de abrir/cerrar el circuito que carga la batería por medio de la celda fotovoltaica. Todas las etapas estarían alimentadas con la referencia de tensión TL431.

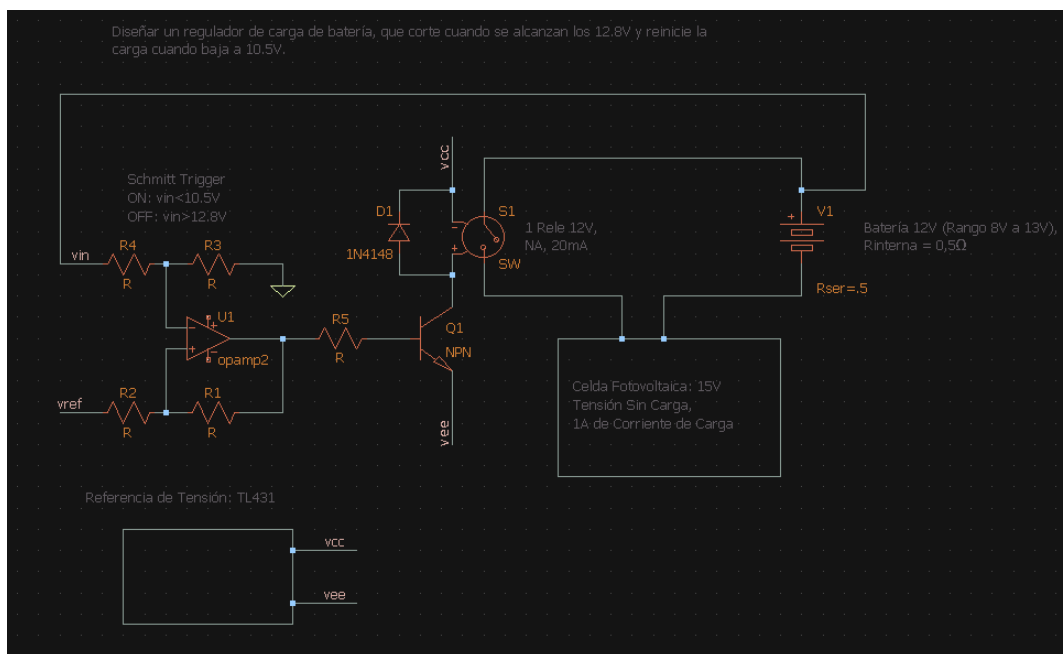


Figura 37: Primer arquitectura propuesta.

Mas adelante se adjuntara el diseño y análisis final del sistema.