# **Sistema de Controlo de Alarme Doméstico**

Unidade Curricular de LSDig

****Dário Matos -89288 // Samuel Santos – 89149

# Especificações do Sistema

O projeto da simulação do Alarme Doméstico dará uso a vários componentes da FPGA disponibilizada. Os interruptores (switches) simularão sensores de janelas e de presença no interior, ativados eventualmente através de interação do utilizador. Displays de 7 segmentos da FPGA serão utilizados para apresentar o estado do alarme e as temporizações em caso de ativação/desativação do mesmo. O controlo do alarme dependerá da interação manual com as KEYS, simulando a inserção de códigos pré-definidos ou reprogramáveis. Finalmente, os LEDs serão também incluidos, sendo que a sua ativação servirá de indicador do estado do alarme (ligado, ativado,...)

# Arquitectura Detalhada do Sistema

Com vista a simular corretamente o funcionamento de um Alarme Doméstico, o grupo envolvido no projeto planeia utilizar os seguintes blocos/componentes:

- Divisor de Frequências (Clock Divider), de forma a estabelecer o intervalo de tempo adequado para os efeitos de simulação

- Multiplexer 8:1, implementando os 8 interruptores em questão (representando os 8 sensores da casa) e devolvendo o valor de qualquer um, aquando da sua ativação.

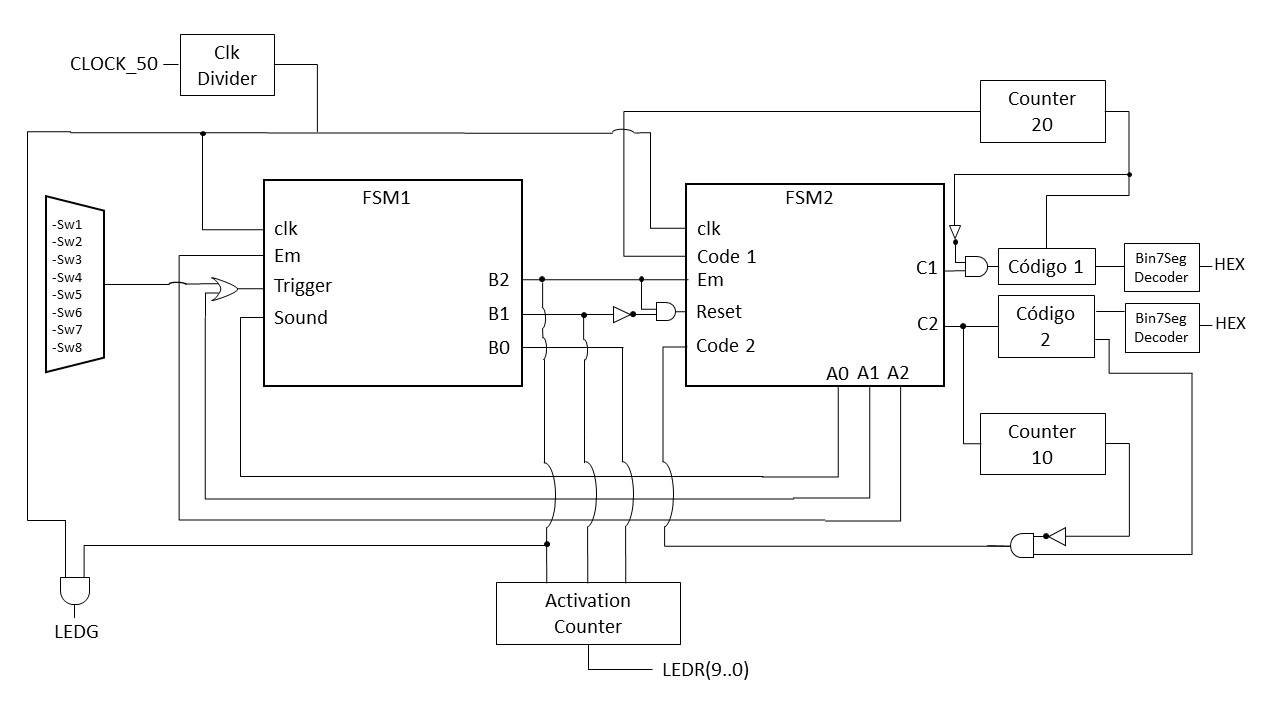
- FSM1 representativo da mudança de estados do alarme, com base numa entrada “Enable”, que determinrá se o Alarme está ligado ou não, e entradas “Trigger” e “*Sound*” (provenientes da segunda FSM) que se traduzirá na ativação do alarme já ligado.

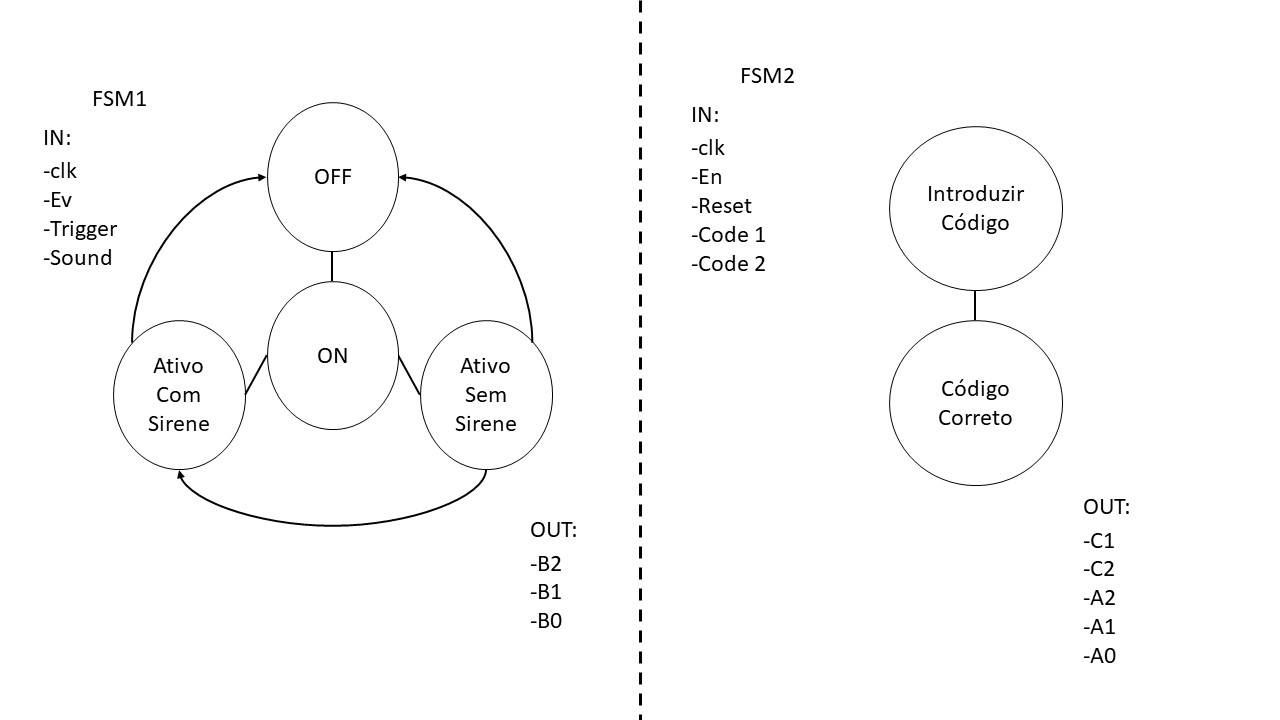
- FSM2, responsável pela mudança de estados entre o processo de inserção do código (somente quando necessário) e a inserção do código correto. Esta mudança é desencadeada pelas saídas da primeira máquina de estados, que concluem se é ou não necessário introduzir este código.

- Contadores de 20 e 10 segundos, respetivamente

- Bloco de registo de informações das últimas 4 ativações do alarme (Activation Counter).

- Blocos de introdução e verificação do código, ativados quando necessario pela FSM2.





Arquitetura Faseada e Divisão do Trabalho

O grupo visa que pelo menos o MUX, Bloco Combinatório e Datapath sejam implementados e estejam funcionais até 28 de Maio(desenvolvimento), de forma a garantir mais de uma semana para finalizar o projeto e validá-lo, corrigindo possíveis erros nos resultados.

Estas etapas do desenvolvimento do projeto serão realizadas a par, ou seja, ambos os elementos do grupo estarão presentes aquando do progresso na realização do projeto. Embora este seja o objetivo do grupo, mesmo que por motivos externos os elementos sejam forçados a trabalhar em diferentes locais e datas, limitar-se-á a contribuição de cada um a 50% das tarefas totais.

Manual do Utilizador

Para testar corretamente o funcionamento do Sistema de Controlo de Alarme Doméstico, o utilizador “comum” terá de estar familiarizado com as funcionalidades de cada interruptor e botão da FPGA. Assim, só o poderá fazer depois de ler a Secção “Arquitetura Detalhada do Sistema”, e dada como garantida esta informação, o utilizador deve proceder aos seguintes passos:

1. Ligar a FPGA.
2. Introduzir o código para que seja ligado o alarme.
3. Aguardar 20s, simulando a saída do proprietário da casa.
4. Alterar um dos interruptores, de modo a simular a ativação do alarme. Caso altere um interruptor correspondente a um sensor de janela, introduzir o código de desativação do alarme, pois este será imediatamente ativado, caso seja alterado um interruptor relativo aos sensores de presença, aguardar 10s e proceder da mesma forma.