

## Câu hỏi trắc nghiệm môn Kiến Trúc Máy Tính – CO2007

Câu 1. Đây là sự phân loại các máy tính trong giai đoạn hiện tại?

- A. Máy tính nhúng, máy tính cá nhân, máy chủ và siêu máy tính
- B. Thiết bị di động, máy tính cá nhân và máy chủ
- C. Siêu máy tính, điện toán đám mây và máy tính cá nhân
- D. Tất cả đều sai

Câu 2. Yếu tố nào ảnh hưởng đến hiệu suất của một chương trình trên máy tính?

- A. Ngôn ngữ lập trình
- B. Kiến trúc bộ xử lý
- C. Kiến trúc tập lệnh
- D. Tất cả đều đúng

Câu 3. Hoạt động của hệ điều hành sẽ ảnh hưởng đến loại thời gian nào?

- A. Thời gian CPU - CPU time
- B. Thời gian thực thi CPU - CPU execution time
- C. Thời gian tổng thể - Elapsed time
- D. Tất cả các loại thời gian kể trên

Câu 4. Để tăng hiệu suất của một ứng dụng, cách nào sau đây là khả thi?

- A. Giảm thời gian một chu kỳ của máy tính thực thi ứng dụng
- B. Thay đổi ngôn ngữ lập trình để giảm số lượng lệnh máy
- C. Thay đổi giải thuật để giảm số chu kỳ cần thiết cho chương trình
- D. Tất cả các biện pháp trên

Câu 5. Tại sao tần số xung clock của các bộ xử lý Intel bắt đầu giảm vào năm 2004?

- A. Do nhu cầu tính toán giảm
- B. Gặp phải “bức tường công suất”
- C. Chuyển sang các hệ thống đa nhân
- D. Để giảm giá thành sản xuất do khủng hoảng kinh tế

Câu 6. Mức trừu tượng của chương trình giảm dần theo thứ tự nào?

- A. Ngôn ngữ cấp cao, ngôn ngữ máy, hợp ngữ
- B. Ngôn ngữ máy, hợp ngữ, ngôn ngữ cấp cao
- C. Ngôn ngữ cấp cao, hợp ngữ, ngôn ngữ máy
- D. Hợp ngữ, ngôn ngữ máy, ngôn ngữ cấp cao

Câu 7. Đây là phát biểu đúng trong ngữ cảnh bộ xử lý kiến trúc MIPS?

- A. Một lệnh máy tương đương nhiều lệnh ngôn ngữ lập trình C
- B. Một lệnh cấp cao luôn phải cần nhiều lệnh máy
- C. Một lệnh hợp ngữ tương đương một lệnh máy
- D. Tất cả đều sai

Các số liệu sau sử dụng cho các câu hỏi 8 đến 11:

Đoạn chương trình gồm 1000 lệnh trong đó lệnh load/store chiếm 30%, lệnh jump chiếm 10%, 20% lệnh rẽ nhánh, còn lại là các lệnh về đại số. Biết CPI của lệnh load/store là 2.5, lệnh jump là 1, lệnh rẽ nhánh là 1.5 và lệnh đại số là 2. Biết máy tính có tần số hoạt động là 2 GHz.

Câu 8. Tính thời gian thực thi của đoạn chương trình trên?

- A. 950 ns
- ☒ B. 975 ns
- C. 1000 ns
- D. 1950 ns

Câu 9. Phải cải tiến CPI của lệnh load/store thành bao nhiêu để chương trình chạy nhanh gấp 1.5×

- A. 0.5
- B. 1
- C. 1.5
- ☒ D. Tất cả đều sai

Câu 10. Tính CPI trung bình của đoạn chương trình trên?

- A. 1.25
- B. 1.5
- ☒ C. 1.95
- D. 2.0

Câu 11. Người ta tiến hành cải tiến lệnh load/store sao cho CPI của nó giảm đi một nửa. Tính speedup của hệ thống (speedup được tính bằng tỉ lệ giữa thời gian thực thi cũ và mới)?

- A.  $\approx 1.22$
- ☒ B.  $\approx 1.24$
- C.  $\approx 1.26$
- D.  $\approx 1.28$

Câu 12. Định luật Moore là định luật về điều gì?

- A. Sự gia tăng kích thước chip
- B. Sự gia tăng giá thành sản xuất các chip
- C. Sự gia tăng hiệu suất của các chip
- ☒ D. Sự gia tăng số lượng các bóng bán dẫn trên chip

Câu 13. Lệnh nào sau đây là một lệnh MIPS hợp lệ?

- A. ~~add \$0, \$t0, 5~~
- B. ~~sl \$t0, \$t1, 34~~
- ☒ C. lw \$t1, 0x08(\$t0)
- D. ~~andi \$t0, \$t1, \$t2;~~

Câu 14. Cho lệnh MIPS sau: add \$s0, \$s0, \$s0 #add two registers. Chọn phát biểu đúng:

- A. Lệnh trên có lỗi biên dịch do toán hạng nguồn và đích giống nhau
- B. Lệnh trên có lỗi thực thi do toán hạng nguồn và đích giống nhau
- C.  $\$s0 = \$s0 * 2$
- ☒ D. Tất cả đều sai

Câu 15. Cho đoạn lệnh MIPS sau: lw \$t0, 30(\$s3) # load word add \$s1, \$s2, \$t0. Giả sử \$s3 chứa địa chỉ nền (base address) của một dãy kiểu integer, chọn phát biểu đúng:

- A. Đoạn lệnh trên có lỗi khi biên dịch
- ☒ B. Đoạn lệnh trên có lỗi khi thực thi
- C.  $\$s1 = \$s2 + 30 * \$s3$
- D. Tất cả đều sai

Câu 16. Chọn phát biểu đúng về các lệnh MIPS chuẩn sau:

- A. Lệnh lhu chuyển 16 bits dữ liệu từ bộ nhớ vào cả 16 bits cao lẫn 16 bits thấp
- B. Lệnh lb chuyển 1 byte dữ liệu từ thanh ghi xuống bộ nhớ
- C. Lệnh sb thực hiện việc mở rộng dấu dữ liệu
- ☒ D. Lệnh lui chuyển giá trị tức thời vào 16 bits cao của thanh ghi

Câu 17. Để gán giá trị 0x12345678 cho thanh ghi \$t0, cần thực hiện những lệnh MIPS chuẩn nào?

- A. lui \$t0, 0x1234 lli \$t0, 0x5678
- ☒ B. lui \$t0, 4660 ori \$t0, \$t0, 22136
- C. addi \$t0, \$zero, 0x12345678
- D. Tất cả đều đúng

Câu 18. Muốn đảo tất cả các bit trong thanh ghi \$s1 thì cần thực hiện lệnh MIPS chuẩn nào sau đây?

- A. not \$s0, \$s1
- ☒ B. nor \$s0, \$s1, \$s1
- C. andi \$s0, \$s1, -1
- D. or \$s0, \$s1, \$zero

Câu 19. Lệnh MIPS chuẩn nào sau đây gán giá trị 0 cho thanh ghi \$s0?

- A. add \$s0, \$s0, \$zero
- B. ori \$s0, \$s0, 0
- ☒ C. lui \$s0, 0;
- D. Các câu A, B và C đều đúng

Dữ liệu sau dùng cho các câu hỏi từ 20 đến 22 Cho hình ảnh một số ô nhớ trong bộ nhớ của kiến trúc MIPS chuẩn như sau:

Địa chỉ:	8	9	10	11
	0x12	0x34	0x56	0x78
	0x9A	0xBC	0xDE	0xF0
Địa chỉ:	12	13	14	15

Biết rằng thanh ghi \$s0 mang giá trị 8.

Câu 20. Hãy cho biết giá trị thanh ghi \$t0 là bao nhiêu sau khi thực thi lệnh lh \$t0, 6(\$s0)

- A. Lệnh trên bị lỗi vì \$s0 + 6 không chia hết cho 4
- B. 0x0000F0DE
- C. 0x0000DEF0
- ☒ D. 0xFFFFDEF0

Câu 21. Hãy cho biết giá trị thanh ghi \$t0 là bao nhiêu sau khi thực thi lệnh lw \$t0, 6(\$s0)

- A. Lệnh trên bị lỗi vì \$s0 + 6 không chia hết cho 4
- ☒ B. Chưa thể xác định vì chưa biết giá trị hai ô nhớ có địa chỉ 16 và 17
- C. 0xF0DE
- D. 0xDEF0

Câu 22. Hãy cho biết những ô nhớ nào sẽ thay đổi giá trị sau khi thực hiện lệnh `sw $t1, 4($s0)`, nếu thanh ghi `$t1` mang giá trị `0x00000000`

- A. Lệnh trên bị lỗi
- B. Các ô nhớ có địa chỉ 8, 9, 10 và 11
- ☒ C. Các ô nhớ có địa chỉ 12, 13, 14, và 15
- D. Không có ô nhớ nào thay đổi giá trị

Câu 23. Đâu không phải là một loại toán hạng trong các lệnh MIPS chuẩn?

- A. Số nguyên
- ☒ B. Số thực
- C. Ô nhớ
- D. Thanh ghi

Dữ liệu sau dùng cho các câu hỏi từ 24 đến 25 Giả sử thanh ghi `$s0` và `$s1` mang giá trị lần lượt là `0x12345678` và `0xCAFEFACE`.

Câu 24. Giá trị của thanh ghi `$s2` sẽ là bao nhiêu sau lệnh MIPS? `andi $s2, $s0, 2017`

- A. Lệnh trên có lỗi cú pháp
- B. `0x12340660`
- ☒ C. `0x00000660`
- D. Tất cả đều sai

Câu 25. Giá trị của thanh ghi `$s2` sẽ là bao nhiêu sau đoạn lệnh MIPS? `sll $s2, $s0, 4` nor `$s2, $s1, $s0`

- A. Lệnh trên có lỗi cú pháp
- ☒ B. `0x25010101`
- ~~C. `0x14000031`~~
- D. `0xDAFEFEFE`

Câu 26. Lệnh máy của lệnh hợp ngữ MIPS `add $t0, $s1, $s2` là gì?

- A. `000000100011001001000000001000002`
- B. `0x02324020`
- C. Cả A & B đều sai
- ☒ D. Cả A & B đều đúng

Câu 27. Hãy cho biết lệnh hợp ngữ MIPS tương ứng với lệnh máy: `0000_0000_0001_0000_0010_1000_1000_00002`

- ☒ A. Không có lệnh hợp ngữ tương đương
- B. `sll $t2, $s0, 4`
- C. `and $zero, $t2, $s0`
- D. `add $zero, $t2, $s0`

Câu 28. Lệnh máy của lệnh hợp ngữ MIPS `lw $t0, -32($s1)` là gì?

- A. `0x8E280020`
- ☒ B. `0x8E28FFE0`
- C. `0x8D11FFE0`
- D. `0x8D110020`

Câu 29. Một xung đồng hồ có  $2 \times 10^9$  lần có giá trị 1 trong mỗi giây, vậy chu kỳ của nó là bao nhiêu?

A.  $2 \times 10^{-9}$  giây

☒ B. 0.5 ns

C. 2 GHz

D. Không thể xác định được chu kỳ

Câu 30. Đây là đặc tính đúng của một kiến trúc tập lệnh kiểu RISC (Reduced Instruction Set Computer)?

A. Số lượng lệnh ít

B. Số lượng thanh ghi nhiều ( $\geq 32$ )

☒ C. CPI trung bình thấp

D. Tất cả các đặc tính trên

Câu 31. Chọn phát biểu đúng về thanh ghi bộ đếm chương trình (Program counter - PC) trong kiến trúc MIPS chuẩn

A. Là thanh ghi đa dụng

☒ B. Chứa địa chỉ của lệnh đang được thực thi

C. Có thể được cập nhật trực tiếp bằng các lệnh MIPS

☒ D. Tất cả các đặc tính trên đều sai

Câu 32. Toán hạng bộ nhớ trong các lệnh MIPS chuẩn có thể có dạng nào sau đây?

A. 1200

B. \$s0(\$s1)

☒ C. 100(\$s1)

D. Tất cả các dạng trên

Câu 33. Sắp xếp các công nghệ chế tạo bộ xử lý theo thứ tự từ cũ đến mới:

A. Bóng đèn chân không (Vacuum tube), Mạch tích hợp (Integrated circuit), Bóng bán dẫn (Transistor)

B. Mạch tích hợp, Bóng bán dẫn, Bóng đèn chân không

C. Mạch tích hợp, Bóng đèn chân không, Bóng bán dẫn

☒ D. Bóng đèn chân không, Bóng bán dẫn, Mạch tích hợp

Câu 34. Sự khác biệt giữa máy chủ (Server) và siêu máy tính (Supercomputer) là gì?

A. Siêu máy tính có giá thành cao hơn rất nhiều

B. Máy chủ phải truy xuất thông qua môi trường mạng

C. Chi phí vận hành máy chủ cao hơn vì có rất nhiều người sử dụng cùng lúc

☒ D. Tất cả các yếu tố trên

Câu 35. Benchmark SPEC CPU2006 là gì?

☒ A. Một phần mềm dùng để đánh giá hiệu suất các bộ xử lý

B. Một phần mềm dùng để phân tích các thông số cần thiết cho việc đánh giá hiệu suất của một ứng dụng (CPI, Instruction count, Cycle time)

C. Một phần mềm dùng để đánh giá công suất các bộ xử lý

D. Tất cả đều sai

Câu 36. Một ứng dụng được biên dịch trên một máy tính bởi hai trình biên dịch 1 và 2. Nếu biết rằng CPI trung bình có trọng số của đoạn chương trình được sinh ra bởi trình biên dịch 1 lớn bởi trình biên dịch 2 thì kết luận nào sau đây là đúng?

A. Trình biên dịch 1 tốt hơn

B. Trình biên dịch 2 tốt hơn

C. Hai trình biên dịch là như nhau vì thực hiện trên cùng một máy

☒ D. Chưa thể xác định được trình biên dịch nào tốt hơn

Dữ liệu sau dùng cho ba câu hỏi tiếp theo: Một chương trình P được biên dịch trên hai hệ thống máy tính khác nhau và có các thông số như sau:

Máy tính A    Máy tính B    Số lượng lệnh  $1.5 \times 10^6$      $2.0 \times 10^6$     Tần số hoạt động 2.0 GHz    3.0 GHz  
CPI trung bình 1.5    1.0

Câu 37. Thời gian thực thi đoạn chương trình trên trên máy A và B lần lượt là:

☒ A. 1.125 ms và 0.667 ms

B. 2.5 ms và 1.3 ms

C. Chưa thể xác định

D. Tất cả đều sai

Câu 38. Chọn kết luận đúng:

A. Máy A nhanh hơn máy

B. xấp xỉ 1.68 lần ☒ Máy B nhanh hơn máy A xấp xỉ 1.68 lần

C. Máy A nhanh hơn máy B 1.5 lần

D. Máy B nhanh hơn máy A 1.5 lần

Câu 39. Cần thay đổi tần số của máy chậm hơn thành bao nhiêu để hiệu suất hai máy như nhau?

A. 4.0 GHz

B. 3.623 GHz

☒ C. 3.373 GHz

D. Chưa thể xác định

Câu 40. Lệnh MIPS chuẩn nào sau đây gán giá trị 0xCA201800 vào thanh ghi \$a0

A. move \$a0, 0xCA201800

B. addi \$a0, \$zero, 0xCA201800

☒ C. lui \$a0, 0xCA20 ori \$a0, \$a0, 0x1800

D. ori \$a0, \$zero, 0x1800 lui \$a0, 0xCA20

Câu 41. Chọn phát biểu SAI về kiểu lệnh kiểu R

☒ A. Khi sử dụng lệnh R thì phải luôn đủ 3 thanh ghi (Rs, Rt, Rd)

B. Trường Function dùng xác định phép toán của lệnh đó

C. Trường Opcode luôn bằng KHÔNG (ZERO)

D. Lệnh bne, beq không thuộc kiểu R

Câu 42. Một lệnh rẽ nhánh có điều kiện thì có thể rẽ tối đa đến:

A. Bất kì vị trí nào trong chương trình

B. Bất kì vị trí nào trong bộ nhớ

☒ C. Trong khoảng  $\pm 215$  lệnh từ lệnh rẽ nhánh hiện tại

D. Trong khoảng  $\pm 216$  lệnh từ lệnh rẽ nhánh hiện tại

Câu 43. Trong phép cộng với số trực tiếp (addi), giá trị immediate:

A. Là số nguyên có dấu 32 bit

B. Là số nguyên không dấu 32 bit

☒ C. Là số nguyên có dấu 16 bit

D. Là số nguyên không dấu 16 bit

Câu 44. Chọn phát biểu đúng về lệnh jump

- A. Nhảy đến bất kỳ vị trí nào trong chương trình
- B. Nhảy đến bất kỳ vị trí nào trong bộ nhớ lệnh (instruction memory)
- C. Chỉ nhảy trong khoảng 226 lệnh tính từ câu lệnh jump

☒ D. Chỉ nhảy trong vùng được xác định bởi 4-bit cao PC cũ

Câu 45. Chọn phát biểu ĐÚNG

- A. Địa chỉ trong lệnh load/store phải luôn chia hết cho 4
- ☒ B. Chỉ có lệnh load/store mới truy xuất bộ nhớ dữ liệu
- C. Lệnh load/store thuộc kiểu R
- D. Cả A, B, C đều đúng

Câu 46. Chọn phát biểu ĐÚNG.

- A. Tất cả các lệnh phải có trường thanh ghi ~~x~~ jal
- B. Phép cộng đại số có thể là kiểu R hoặc I
- ☒ C. Thanh ghi lệnh 32 bit do đó có thể có đến 232 lệnh khác nhau
- D. Các phép nhảy và rẽ nhánh có cùng chung kiểu lệnh ~~x~~

Câu 47. Các lệnh nào sau đây đúng cú pháp

- ☒ A. add \$zero, \$a0, \$a1
- B. lw \$a0, \$a1(\$a2)
- C. slt \$a0, \$a1, 100
- D. sll \$a0, \$a1, \$a2

Câu 48. Lệnh nào sau đây làm thay đổi thanh ghi \$ra

- A. jr \$ra
- ☒ B. jal label
- C. move a0,ra
- D. sw ra,4(sp)

Câu 49. Lệnh MIPS chuẩn nào sau đây gán giá trị 0 cho thanh ghi \$s0?

- A. add \$s0, \$s0, \$zero
- B. ori \$s0, \$s0, 0
- ☒ C. lui \$s0, 0;
- D. Các câu A, B và C đều đúng

Câu 50. Tại sao các lệnh MIPS số thực lại không hỗ trợ số trực tiếp (immediate)?

- A. Vì số thực không biểu diễn trong máy tính được
- B. Vì số thực trong máy tính có kích thước bằng hoặc lớn hơn kích thước từ lệnh
- C. Vì số các khối phần cứng tính toán phép toán số thực đòi hỏi 2 thanh ghi dữ liệu nguồn
- D. Vì các lệnh số thực cần hai thanh ghi dữ liệu nguồn

Câu 51. Dấu của phép nhân hai số nguyên có thể được tính bằng toán tử luận lý nào?

- A. and
- B. or
- C. xor
- D. nor

Câu 52. Trường hợp nào sau đây có thể xảy ra tràn số

- A. Cộng số dương với số âm
- B. Trừ hai số dương
- C. Cộng hai số âm

D. Tất cả các trường hợp trên

Câu 53. Chọn phát biểu đúng về các thanh ghi số thực trong bộ xử lý co-processor của MIPS

A. Các thanh ghi có kích thước 64 bit vì số thực chính xác kép biểu diễn bằng 64 bit

B. Có tất cả 32 thanh ghi số thực, các thanh ghi có thể được truy xuất theo cặp

C. Giá trị của các thanh ghi chuẩn của MIPS (ví dụ s0,t0) được hiểu là số thực nếu các thanh ghi này tham gia vào các lệnh số thực

D. Tất cả đều đúng

Câu 54. Chọn phát biểu đúng về dạng chuẩn IEEE 754

A. Số thực âm sẽ được biểu diễn theo dạng bù hai giống như các biểu diễn số nguyên

B. Dạng chuẩn IEEE 754 chỉ có hai dạng là 32 bit hoặc 64 bit

C. Số thực dương và số thực âm có cùng giá trị tuyệt đối sẽ khác nhau 1 bit (trong lưu trữ)

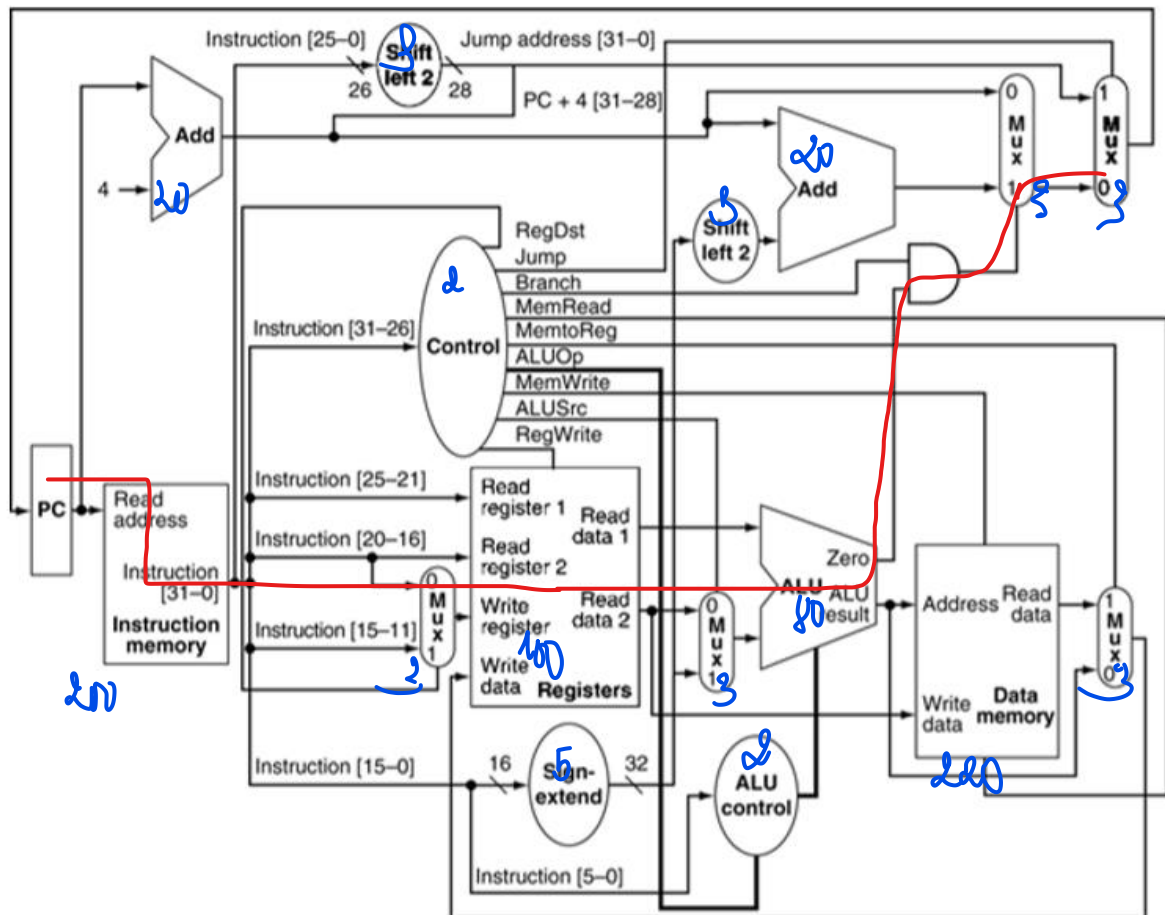
D. Mọi số thực trong tự nhiên đều có thể được biểu diễn chính xác bằng dạng chuẩn IEEE 754

Thông tin sau dùng cho 8 câu hỏi tiếp theo:

Cho sơ đồ bộ xử lý MIPS đơn chu kỳ như hình sau: Thời gian trễ của các khối “bộ nhớ lệnh” (I-Mem), “bộ nhớ dữ liệu” (D-Mem), “bộ cộng” (Add), “bộ hợp kênh (Mux), “bộ tính toán số học luận lý” (ALU), “bộ thanh ghi” (Regs), “bộ mở rộng dấu” (SE), “bộ dịch trái 2” (SL2), “bộ điều khiển chính” (M-Ctrl), “bộ điều khiển ALU” (ALU-Ctrl) được cho theo bảng sau (các thời gian trễ khác không đáng kể):

I-Mem	D-Mem	Add	Mux	ALU	Regs	SE	SL2	M-Ctrl	ALU-Ctrl
200ps	220ps	20ps	3ps	80ps	100ps	5ps	3ps	2ps	2ps





Câu 55. Chọn phát biểu ĐÚNG khi bộ xử lý thực thi lệnh: `lw $t0, -8($s0)` #giả sử thanh ghi  $\$s0 = 100$

- A. Cờ “Zero” = 1
- B. Tín hiệu “MemRead” = 0 và “ALUSrc” = 1
- C. Tín hiệu “MemWrite” = 0 và “RegWrite” = 1**
- D. Tín hiệu lựa chọn phép toán từ “ALU-Ctrl” là phép TRỪ

Câu 56. Chọn phát biểu ĐÚNG khi bộ xử lý thực thi lệnh: `beq $t0, $t1, 8` # giả sử thanh ghi  $\$t0 = \$t1$

- A. Cờ “Zero” = 1 và tín hiệu “Jump” = 1
- B. Tín hiệu “Branch” = 1 và “ALUSrc” = 1
- C. Giá trị thanh ghi sau khi thực thi lệnh này:  $PC = PC + 32$
- D. Giá trị thanh ghi PC sau khi thực thi lệnh này:  $PC = PC + 36$**

Câu 57. Thời gian thực thi lệnh: `beq $t0, $t1, 8` # giả sử thanh ghi  $\$t0 = \$t1$

- A. 303ps
- B. 389ps**
- C. 386ps
- D. 463ps

Câu 58. Chu kỳ xung nhịp nhanh nhất của thiết kế này:

- A. 603ps
- B. 606ps

C. 583ps

D. 547ps

Câu 59. Giả sử bộ xử lý đơn chu kỳ này hỗ trợ thêm lệnh SWR (Store Word Register). Xác định giá trị các tín hiệu điều khiển RegDst, ALUSrc, MemtoReg, MemWrite, biết rằng lệnh SWR có cú pháp như sau: SWR Rd, Rt(Rs) # Mem[Reg[Rt]+Reg[Rs]] = Reg[Rd]

A. 1 – 0 – 1 – 0

B. 0 – 1 – 1 – 0

C. 1 – 1 – 0 – 1

D. 0 – 0 – 1 – 1

Câu 60. Từ thiết kế trên, người ta sửa đổi sang dạng đa chu kỳ. Với thiết kế đa chu kỳ, mỗi chu kỳ sẽ thực thi một trong 5 công đoạn: nạp lệnh (IF), giải mã lệnh (ID), tính toán (EX), truy xuất bộ nhớ dữ liệu (MEM), ghi giá trị vào thanh ghi (WB). Chu kỳ xung nhịp ngắn nhất có thể của thiết kế đa chu kỳ:

A. 200ps

B. 220ps

C. 180ps

D. 303ps

Câu 61. Chọn phát biểu ĐÚNG khi bộ xử lý thực thi lệnh: j 2018 #giả sử thanh ghi địa chỉ lệnh Jump này là 2000

A. Tín hiệu “MemWrite” = x và “MemRead” = x (x: có thể 0 hay 1)

B. Tín hiệu “RegWrite” = 1 và “ALUSrc” = x

☒ C. Giá trị thanh ghi PC sau khi thực thi lệnh nhảy: PC = 8072

D. Giá trị thanh ghi PC sau khi thực thi lệnh nhảy: PC = 2018

Câu 62. Từ thiết kế trên, người ta sửa đổi sang dạng đường ống 5 công đoạn: nạp lệnh (IF), giải mã lệnh (ID), tính toán (EX), truy xuất bộ nhớ dữ liệu (MEM), ghi giá trị vào thanh ghi (WB). Khi thực thi chương trình có số lệnh lớn, tính speedup của bộ xử lý mới theo cơ chế đường ống:

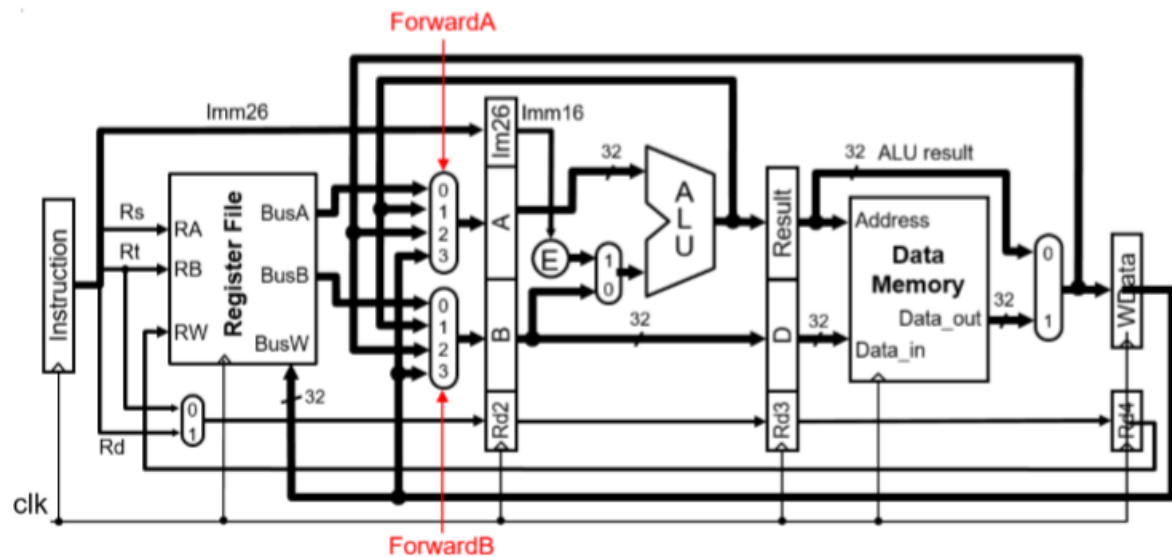
A. 4.5

B. 3.02

C. 2.74

D. 5

Thông tin sau dùng cho 7 câu hỏi tiếp theo: Cho sơ đồ bộ xử lý MIPS đường ống như hình sau:



Cho đoạn chương trình hợp ngữ MIPS sau, ban đầu \$t3 = 1:

```

1  loop:  addi    $t1, $t1, 4
2          lw     $t2, 0($t1)
3          addi   $t2, $t2, 2
4          sw     $t2, 100($t1)
5          addi   $t3, $t3, -1
6          bne    $t3, $zero, loop

```

*Handwritten notes: stall (next to \$t1, 4), stall (next to \$t2, 2), stall (next to \$t2, 100(\$t1)), stall (next to \$t3, -1)*

Giả sử đoạn chương trình được thực thi trên bộ xử lý MIPS đường ống.

Câu 63. Có bao nhiêu data hazard ở đoạn chương trình trên?

- A. 3
- B. 4**
- C. 5
- D. 6

Câu 64. Chỉ dùng phương pháp chen stall để giải quyết data hazards. Tính CPI trung bình cho đoạn chương trình trên?

- A. 3.6
- B. 3.5**
- C. 3.3
- D. 3.0

Câu 65. Dùng phương pháp chen stall và forwarding để giải quyết data hazards. Tính số chu kỳ xung nhịp cho đoạn chương trình trên?

- A. 10
- B. 11
- C. 12
- D. 15

Câu 66. Tính speedup cho trường hợp bộ xử lý là 5-stage pipeline, sử dụng stall và forwarding với trường hợp bộ xử lý là đa chu kỳ cùng thực thi đoạn chương trình trên?

- A. 2.2
- B. 2.0
- C. 1.3
- D. 1.8

Câu 67. Dùng phương pháp chèn stall và forwarding để giải quyết data hazards. Nếu đoạn chương trình trên được sắp xếp lại, tính số chu kỳ xung nhịp nhỏ nhất có thể cho đoạn chương trình trên?

- A. 10
- B. 11
- C. 20
- D. 21

Câu 68. Dùng phương pháp chèn stall và forwarding để giải quyết data hazards. Khi lệnh  $sw\ \$t2, 100(\$t1)$  đang ở giai đoạn giải mã lệnh (ID), các tín hiệu điều khiển ForwardA, ForwardB có giá trị lần lượt là:

- A. 1 - 2
- B. 0 - 2
- C. 0 - 1
- D. 2 - 1

Câu 69. Ban đầu  $\$t3 = 2$ , chỉ dùng phương pháp chèn stall để giải quyết data hazards, lệnh bne sử dụng chiến thuật đoán trước không nhảy. Tính số chu kỳ xung nhịp cho đoạn chương trình trên?

- A. 32
- B. 34
- C. 36
- D. 38

Thông tin sau dùng cho 3 câu hỏi tiếp theo: Một hệ thống máy tính có CPU quản lý không gian bộ nhớ 32 bits, sử dụng 512 KB bộ nhớ đệm với block có kích thước 16 words (1 word = 4 bytes). Bộ nhớ đệm cấu hình theo phương pháp direct mapped.

Câu 70. Xác định số bit dùng các vùng tag, index, offset:

- A. 14-12-6
- B. 13-13-6
- C. 11-13-8
- D. 12-13-7

Câu 71. Truy xuất ô nhớ có địa chỉ 1000001 sẽ có các vùng tag, index, offset là:

- A. 3, 3337, 1
- B. 0, 7812, 65
- C. 1, 7433, 1
- D. 0, 3906, 65

Câu 72. Tính số Kbit chính xác cần thiết để hiện thực bộ nhớ đệm (thực tế mỗi line gồm data, tag, valid bit):

- A. 2108 Kbit
- B. 4208 Kbit

- C. 8296 Kbit
- D. Cả A, B, C đều sai

Thông tin sau dùng cho 2 câu hỏi tiếp theo: Một bộ xử lý hoạt động với xung clock có tần số 2GHz, sử dụng bộ nhớ đệm lệnh có tỉ lệ trật là 2%, bộ nhớ đệm dữ liệu có tỉ lệ trật là 5%. Cho biết CPI khi trúng 100% là 1.5, các lệnh truy xuất dữ liệu chiếm tỉ lệ 35%, thao tác chép một khối từ bộ nhớ chính vào đệm tiêu tốn mất 37.5ns.

Câu 73. Tính CPI trung bình khi có không dùng đệm

- A. 102.75
- B. 76
- C. 101.75
- D. A, B, C đều sai

Câu 74. Tính CPI trung bình khi có dùng đệm

- A. 5.75
- B. 4.75
- C. 4.31
- D. A, B, C đều sai