

# Technika Cyfrowa

## Sprawozdanie z ćwiczenia nr 2

Rozmus Dariusz, Fabia Jakub, Smołka Tomasz, Czyż Bartosz, Zając Kacper

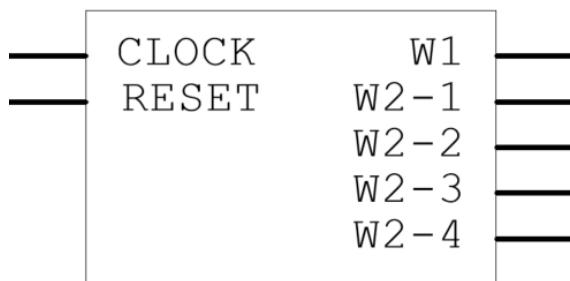
### 1 Treść zadania

Korzystając tylko z konkretnego jednego typu przerzutników oraz z dowolnych bramek logicznych, proszę zaprojektować czterobitowy licznik działający zgodnie z ciągiem Fibonacciego (z nieobowiązkowym upraszczającym zastrzeżeniem, że wartość "1" powinna się pojawiać tylko raz w cyklu). Po uruchomieniu licznika, w kolejnych taktach zegara powinien on zatem przechodzić po wartościach:

0, 1, 2, 3, 5, 8, 13, 0, 1, 2, 3, 5, 8, 13, 0, 1, ... itd.

Aktualna wartość wskazywana przez licznik powinna być widoczna na wyświetlacza siedmiosegmentowych.

### 2 Idea rozwiązania



Rysunek 1: Schemat wyjść i wejść układu głównego.

Wejścia układu:

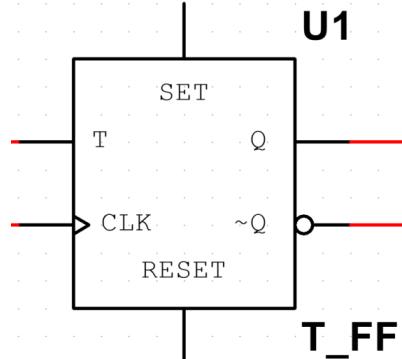
- Clock - zegar,
- Reset - zeruje pamięć.

Wyjścia układu:

- W1 - Sygnał do wyświetlacza siedmiosegmentowego oznaczającego cyfrę dziesiątek,
- W2 - Sygnały do wyświetlacza siedmiosegmentowego oznaczającego cyfrę jedności.

### 3 Układ główny

Do budowy pamięci licznika wykorzystaliśmy przerzutniki typu T:



Rysunek 2: Przerzutnik typu T - Flip Flop.

CLK	$Q_n$	T	$Q_{n+1}$
↗	0	0	0
↗	0	1	1
↗	1	1	0
↗	1	0	1

Tabela 1: Tabelka prawdościowa przerzutnika T Flip Flop

#### 3.1 Licznik

Ciąg liczb 0, 1, 1, 2, 3, 5, 8, 13 wymaga 8 stanów licznika, więc potrzebujemy 3 przerzutników ( $2^3 = 8$ ).

Stan aktualny			Stan następny			Sygnał do przedztnika		
$Q_2$	$Q_1$	$Q_0$	$Q_2$	$Q_1$	$Q_0$	$T_2$	$T_1$	$T_0$
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	1	1	1

Tabela 2: Tabelka prawdościowa licznika.

### 3.1.1 Tablice Karnaugh

$Q_1 Q_0$	00	01	11	10
$Q_2$	0	1	1	1
.	1	1	1	1

Tabela 3: Tablice Karnaugh dla  $T_0$ .

$$T_0 = '1'$$

(sygnał cały czas wysoki)

$Q_1 Q_0$	00	01	11	10
$Q_2$	0	0	1	0
.	1	0	1	0

Tabela 4: Tablice Karnaugh dla  $T_1$ .

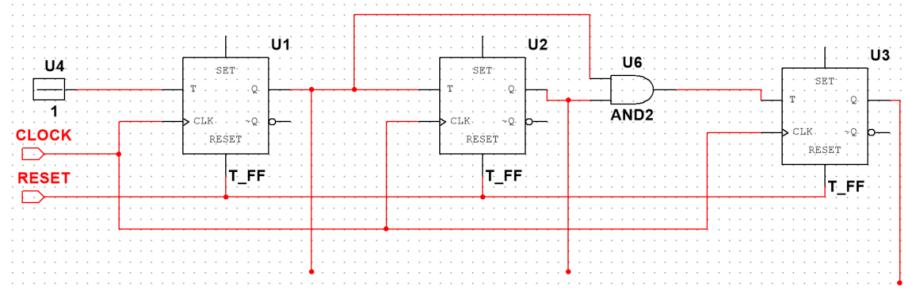
$$T_1 = Q_0$$

$Q_1 Q_0$	00	01	11	10
$Q_2$	0	0	0	0
.	1	0	1	0

Tabela 5: Tablice Karnaugh dla  $T_2$ .

$$T_2 = Q_1 Q_0$$

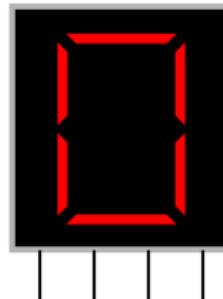
### 3.1.2 Układ licznika



Rysunek 3: Układ licznika (bit najsłabszy po lewej).

### 3.2 Wyjścia do wyświetlacza

Aby wyświetlić aktualną wartość będziemy się posługiwać wyświetlaczami siedmiosegmentowymi.



Rysunek 4: Wyświetlacz siedmiosegmentowy.

Val	a	b	c	d
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Tabela 6: Tabelka prawdosiowa wyświetlacza siedmiosegmentowego (w programie Multisim)

Na potrzeby tego zadania będziemy potrzebowali wartości: 0, 1, 2, 3, 5, 8.

Val	$Q_2$	$Q_1$	$Q_0$	$W_1$	$W_{21}$	$W_{22}$	$W_{23}$	$W_{24}$
0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1
1	0	1	0	0	0	0	0	1
2	0	1	1	0	0	0	1	0
3	1	0	0	0	0	0	1	1
5	1	0	1	0	0	1	0	1
8	1	1	0	0	1	0	0	0
13	1	1	1	1	0	0	1	1

Tabela 7: Tabela prawdociowa wyjść do wyświetlacza.

### 3.2.1 Tablice Karnaugh

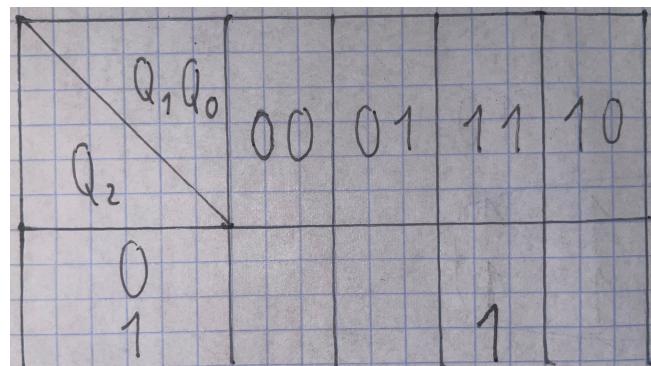


Tabela 8: Tablice Karnaugh dla  $W_1$ .

$$W_1 = Q_2 Q_1 Q_0$$

	$Q_1 Q_0$	00	01	11	10
$Q_2$					
0					
1					1

Tabela 9: Tablice Karnaugh dla  $W_{21}$ .

$$W_{21} = Q_2 Q_1 \overline{Q}_0$$

	$Q_1 Q_0$	00	01	11	10
$Q_2$					
0					
1				1	1

Tabela 10: Tablice Karnaugh dla  $W_{22}$ .

$$W_{22} = Q_2 \overline{Q}_1 Q_0$$

	$Q_1 Q_0$	00	01	11	10
$Q_2$					
0					
1		1		1	1

Tabela 11: Tablice Karnaugh dla  $W_{23}$ .

$$W_{23} = Q_2 \overline{Q}_1 * \overline{Q}_0 + Q_1 Q_0$$

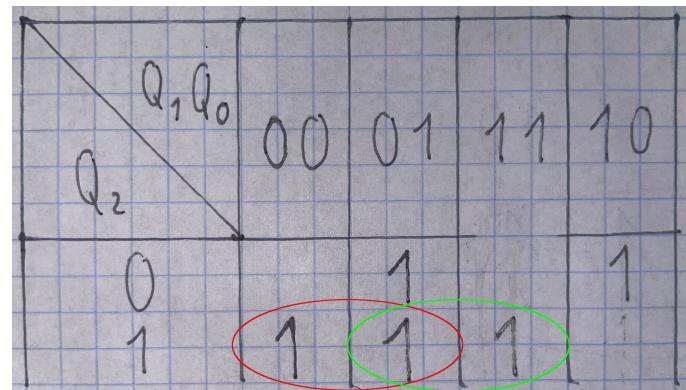
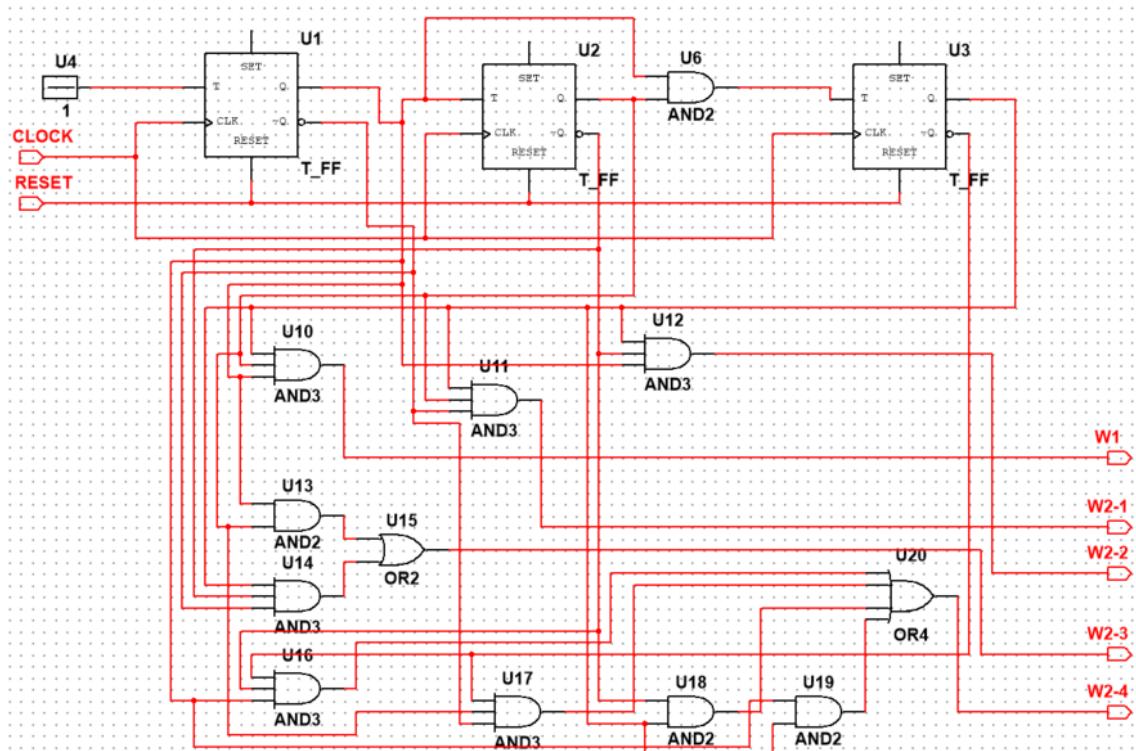


Tabela 12: Tablica Karnaugh dla  $W_{24}$ .

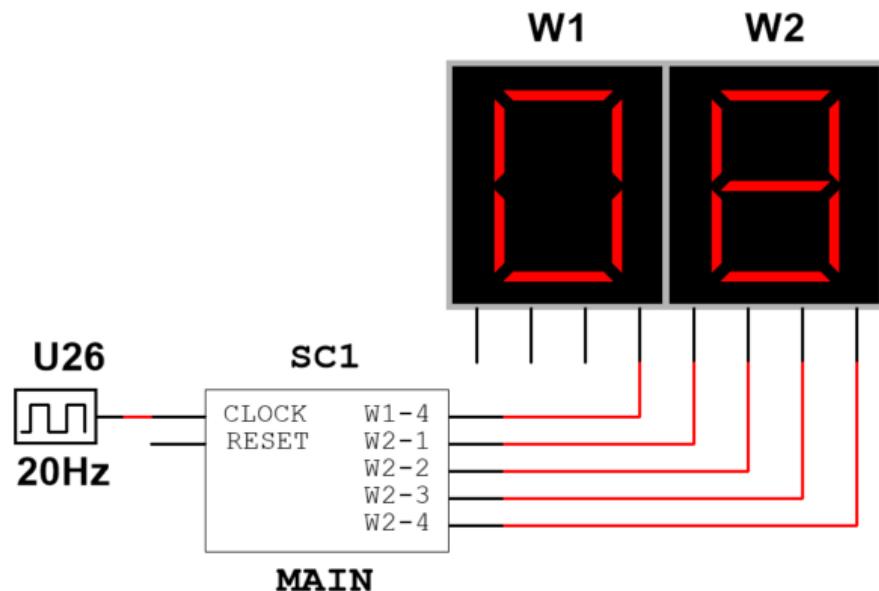
$$W_{24} = Q_2\bar{Q}_1 + Q_2Q_0 + \bar{Q}_2 * \bar{Q}_1Q_0 + \bar{Q}_2Q_1\bar{Q}_0$$

### 3.2.2 Układ wyjścia do wyświetlacza



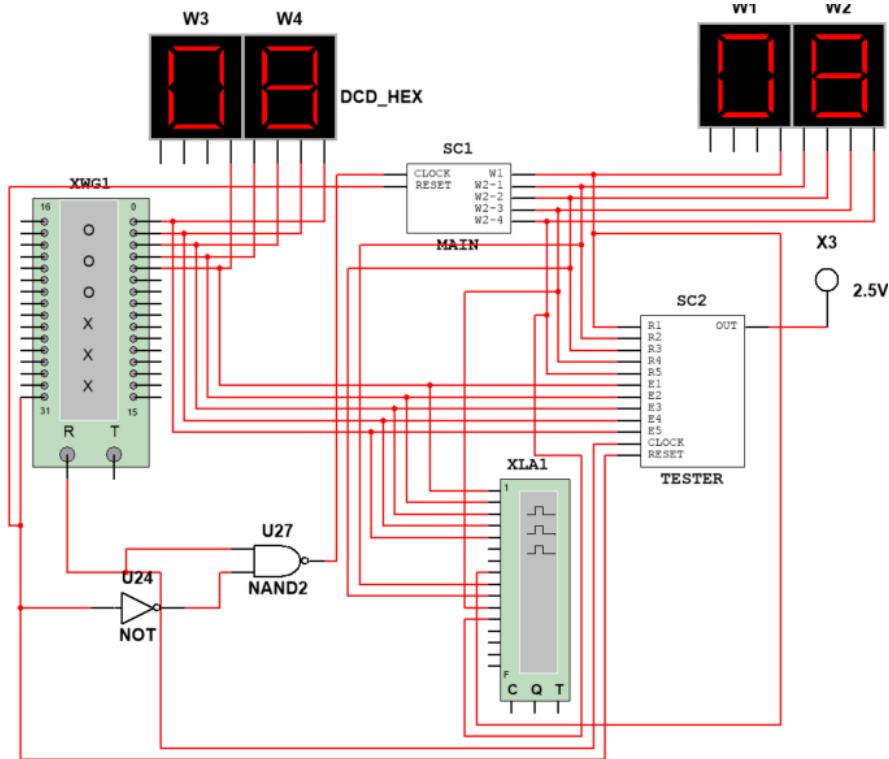
Rysunek 5: Układ wyświetlacza.

### 3.3 Układ - licznik Fibonacciego



Rysunek 6: Układ - licznik Fibonacciego.

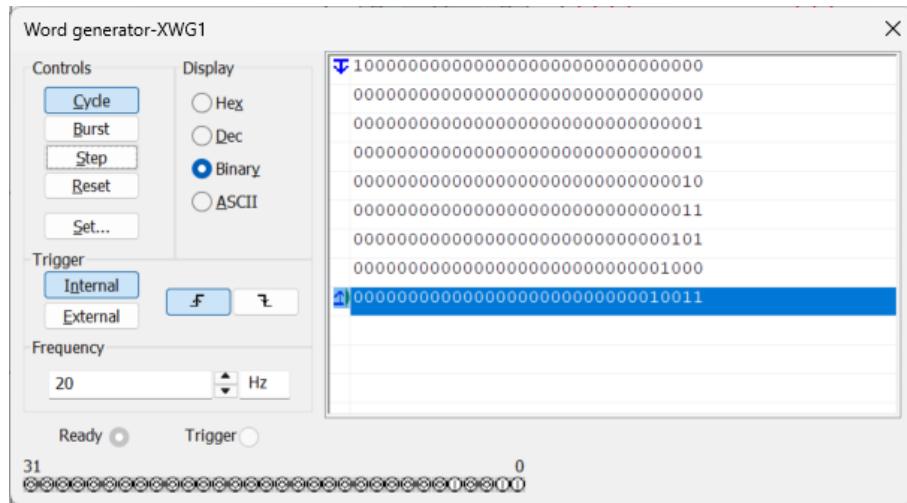
## 4 Układ testujący



Rysunek 7: Układ testujący.

Układ testowy ma 2 dodatkowe bramki: NOT oraz NAND. Ich zadaniem jest opóźnienie zegara o jeden cykl, ponieważ pierwszym słowem generowanym przez generator słów jest RESET.

### 4.1 Generator słów

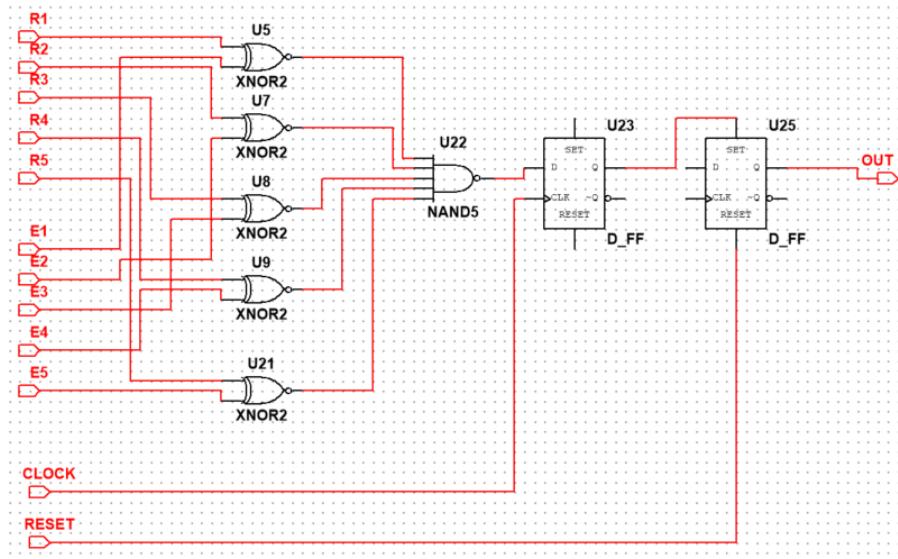


Rysunek 8: Ustawienia generatora słów.

Wyjścia układu:

- 1-5 - Kolejne wartości ciągu Fibonacciego,
- 31 - Reset.

## 4.2 Podukład testujący



Rysunek 9: Podukład testujący.

Wejścia generatora:

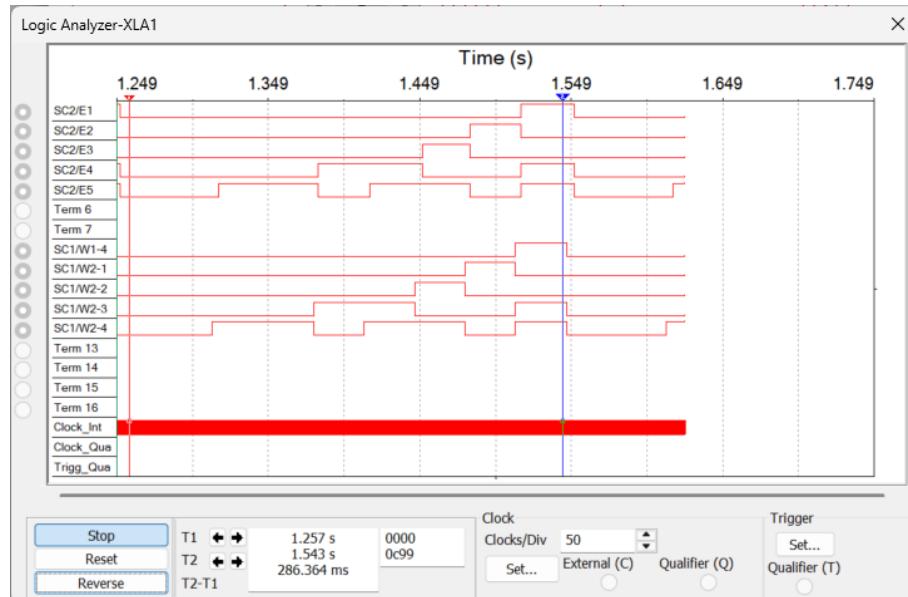
- R 1-5 - Sygnały generowane przez układ główny,
- E 1-5 - Sygnały generowane przez generator słów,
- Clock - Zegar (z generatora słów),
- Reset - Reset, generowany na początku każdego cyklu (z generatora słów).

Wyjście układu

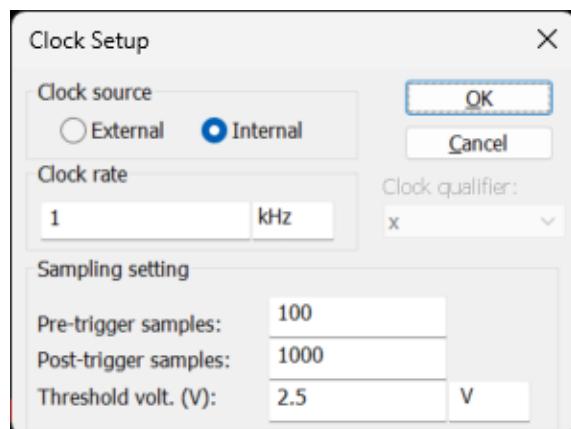
- Out - Sygnał błędu.

2 przerzutniki typu D mają za zadanie zapamiętać sygnał błędu do końca cyklu (0,1...,13).

### 4.3 Analizator logiczny



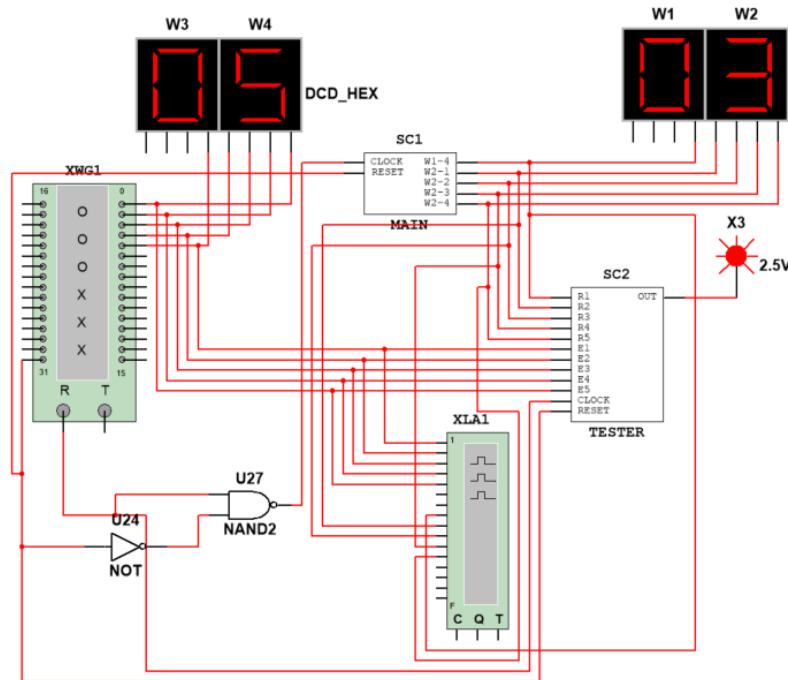
Rysunek 10: Analizator logiczny.



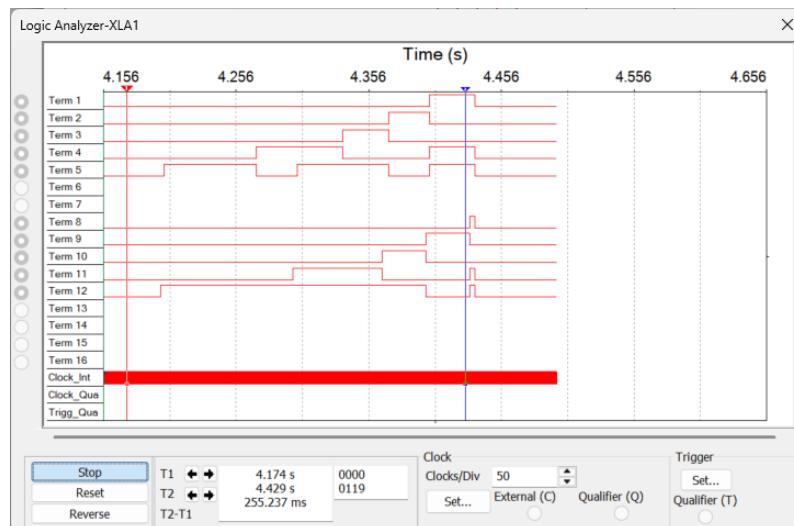
Rysunek 11: Ustawienia analizatora logicznego.

## 4.4 Wykrycie błędu

Tutaj jedna bramka układu głównego jest źle podpięta.



Rysunek 12: Błąd wykryty przez podukład testujący.



Rysunek 13: Błąd widoczny na analizatorze logicznym.