

## Architecture des ordinateurs - Logique

### Séance 2 - Conduire en autonomie le process d'implémentation sur carte, compréhension des soustractions par la méthode du complément.

Auteur : E. Poisson Caillault

---

Vous ferez un projet par cahier des charges demandé afin de ne pas perdre ce qui est opérationnel. Pour chaque CDC, déposer sur sakai : la description (CDC4.decomposition.txt), l'ensemble des sources .vhd .xdc et une image du chronogramme de test.

## 1 Cahier des Charges 4 (CDC)

Un étudiant souhaite réviser le codage binaire des nombres relatifs sur 4 bits à partir du complément à 2. Pour rappel dans un mot codé sur 4 bits, le premier bit de poids fort est le codage du signe ('0' équivalent à un entier positif, '1' pour un entier négatif).

On lui impose d'utiliser une carte Basys3 de la société Diligent et l'outil de programmation de la carte associée Vivado.

Pour cela il dispose d'une entrée E1 sur 4 bits  $E1 = \{E1(3), E1(2), E1(1), E1(0)\}$  qu'il entrera par les 4 commutateurs de droites et les 4 leds juste au-dessus des mêmes commutateurs permettront de lire les bits de son complément à 2.

Il affichera sur un bloc afficheur la valeur décimale du mot codé, pour les chiffres négatifs le point sera allumé, respectivement éteint pour un chiffre positif.

1. Expliciter la décomposition fonctionnelle du système.
2. Écrire un module ComplementA1 qui prend en entrée un mot de 4 bits et renvoie son complément à 1 sur 4 bits. Tester votre solution (écrire le module de test TestComplementA1 et lancer une simulation fonctionnelle).
3. Écrire un module ComplementA2 qui prend en entrée un mot de 4 bits et renvoie son complément à 2 sur 4 bits. Tester votre solution (écrire le module de test TestComplementA2 et lancer une simulation fonctionnelle). Utiliser dans le simulateur la fonctionnalité radix -> signed decimal pour lire plus facilement les valeurs correspondantes.
4. Écrire un module AffichageRelatif et tester votre solution (écrire le module de test TestAffichageRelatif et lancer une simulation fonctionnelle).
5. Écrire le composant CDC4 selon les spécifications fournies et réaliser l'implémentation de la porte AND par un cheminement complet de conception de projet (programmation, simulation fonctionnelle, écriture des contraintes, synthèse et test sur cible).
6. Lorsque cela est opérationnel, présenter la solution à votre enseignant.

## 2 Cahier des Charges 5 (CDC)

Nous étoffons le CDC4 :

L'étudiant pourra faire la soustraction de deux nombres relatifs A et B codé sur 4 bits en base 2 qu'il saisira via 8 commutateurs (B: 4 tout à droite, A: 4 tout à gauche sur la carte). L'afficheur renverra la solution de la soustraction A-B (équivalent à  $C_2(A) + C_2(B)$ ).

1. Expliciter la décomposition fonctionnelle du système.
2. A partir du projet du CDC 1 que vous aurez dupliqué en projet CDC2, insérer ces nouvelles fonctionnalités du système.
3. Conduire le cheminement complet de conception de projet (programmation, simulation fonctionnelle, écriture des contraintes, synthèse et test sur cible).
4. Lorsque cela est opérationnel, présenter la solution à votre enseignant.

### **3 Cahier des Charges 6 (CDC)**

Selon l'appui sur des boutons poussoirs, l'étudiant pourra soit lire A soit lire B soit lire A-B.

1. Définir complètement la décomposition fonctionnelle du système et la description opératoire sur la carte.
2. Conduire le cheminement complet de conception de projet (programmation, simulation fonctionnelle, écriture des contraintes, synthèse et test sur cible).
3. Lorsque cela est opérationnel, présenter la solution à votre enseignant.

### **4 Cahier des Charges 6 (CDC)**

Reprendre l'ensemble pour des mots sur 5 bits et un affichage en hexadécimal. Adopter le même protocole.