

UNIVERSIDAD DE COSTA RICA

PLAN DE TRABAJO PARA EL PROYECTO I

## IE0523 CIRCUITOS DIGITALES II

*Freddy Zúñiga Cerdas*  
*A45967*

*Alexander Calderón Torres*  
*B61325*

Profesor  
JORGE SOTO

May 25, 2021

## 1 Introducción

El siguiente documento es una tentativa de plan de trabajo para llevar a buen término el proyecto 1 de Circuitos Digitales II, consta de un digrama de flujo donde se detalla el plan de trabajo deseable.

El grupo 7 consta de dos integrantes: Freddy Zúñiga y Alexander Calderón, de ellos el líder del proyecto será el primero.

Se ha creado un repositorio en github del proyecto en la siguiente dirección:

[https://github.com/Darkgambler/PROYECTO1\\_DIGITALESII.git](https://github.com/Darkgambler/PROYECTO1_DIGITALESII.git)

## 2 Diagrama del Plan de Trabajo

En la Figura 1 se muestra el diagrama del flujo de trabajo que se va a **intentar** seguir para crear los módulos del proyecto. El cual incluye dos grupos de verificaciones a nivel de testbench, el primero una verificación o prueba individual que consiste en probar el módulo creado como si fuera en sí mismo un proyecto individual, una vez pasada dicha prueba debe pasar una prueba de integración con el módulo anterior en la jerarquía, así con todos los módulos hasta llegar al final resultando en el proyecto completo. Se recalca que seguir el diagrama es el ideal, refiriéndonos al test de integración, de no poderse hacer esta prueba por cuestión de tiempo se cambiará por otro individual test. Se comentará más adelante sobre esto.

## 3 Especificaciones del Plan de trabajo

En las siguientes subsecciones se explicará en que consiste cada proceso de importancia en el diagrama de la sección anterior.

### 3.1 Proceso start or modify module(i)

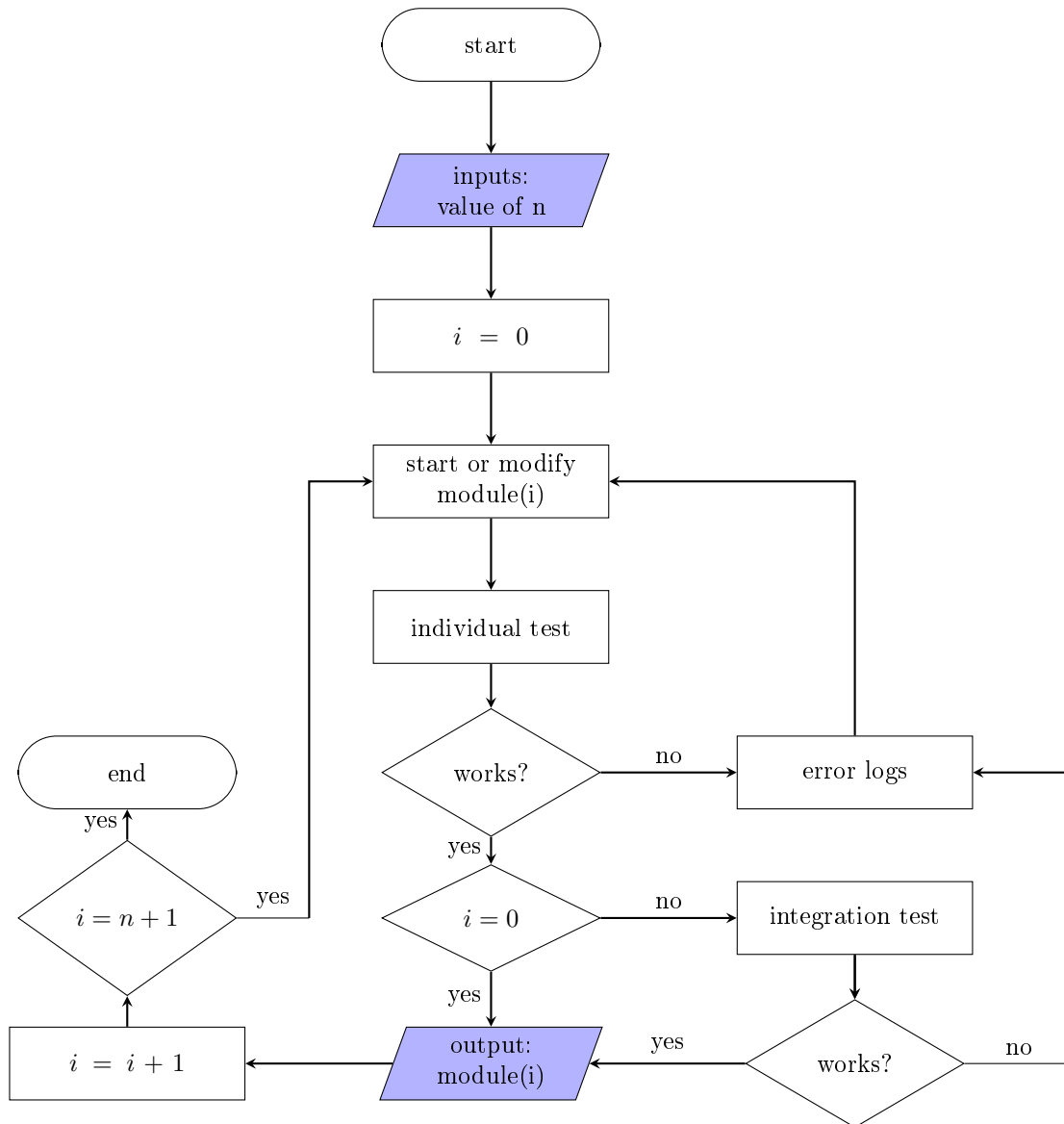
En esta parte del trabajo se creará el código verilog que cumpla con las especificaciones que le corresponden al módulo que se debe crear, además se tendrá que sintetizar usando yosys para ser probados ambos módulos juntos en el individual test, para dar por válida la prueba el conductual y el sintetizado deben funcionar correctamente.

### 3.2 Proceso individual test

El individual test consiste en las pruebas básicas similares a las hechas en las tareas del curso, cuentan con un probador y un testbench, y se deben utilizar varias señales y tratar de cubrir el máximo de escenarios posibles. Se busca probar la funcionalidad individual, como si el módulo fuera un fin en sí mismo y no parte de un proyecto integrado más grande. Según el itinerario estas pruebas son obligatorias y no se pueden omitir pues deben ser entregados los gtkw generados para que el módulo pueda ser evaluado por el profesor. Como punto de partida la prueba que debe cumplir es la mostrada en las especificaciones del proyecto, en el documento llamado **PHI PCIE.pdf**, a partir de eso se proponen valores random para las salidas del probador usando la función de verilog: repeat(). De requerirse pruebas específicas se modificará el probador para ese fin.

### 3.3 Proceso integration test

Este proceso es deseable pero no obligatorio en los plazos establecidos, de poder cumplirse ahorraría una semana de trabajo pues al ir integrando cada parte terminaría completando el proyecto cuando los módulos paralelo y serial estén completos. En caso de no contar con tiempo para la prueba de



**Figura 1:** Diagrama de Flujo de Trabajo

integración esta se sustituye por una individual en el diagrama. Los valores de salida del probador seguirán la misma lógica mencionada en el Proceso individual test.

### 3.4 Error Logs

A esta parte se llega siempre que hay un fallo en el módulo y es un registro escrito, que puede ser un simple txt o una base de datos, aun por definirse de los errores que aparecieron y deseablemente las posibles causas y soluciones para o bien modificar el modulo o bien rehacerlo, pero tomando en cuenta los logs.