Bitácora de Avances Proyecto 1

Montaje y funcionamiento del Timer

Asignatura:

Microprocesadores

Presentado por:

Nombre: Cód.:

Darmael Alfredo Vargas Figueredo…………………………………1.118.560.349

Duvier de Jesús Bohórquez Palacio…………………………………1.094.948.815

Braulio Loaiza Castaño……………………………………………………1.096.646.602

Profesor:

Gerardo Andrés López Orozco

Programa de Ingeniería Electrónica

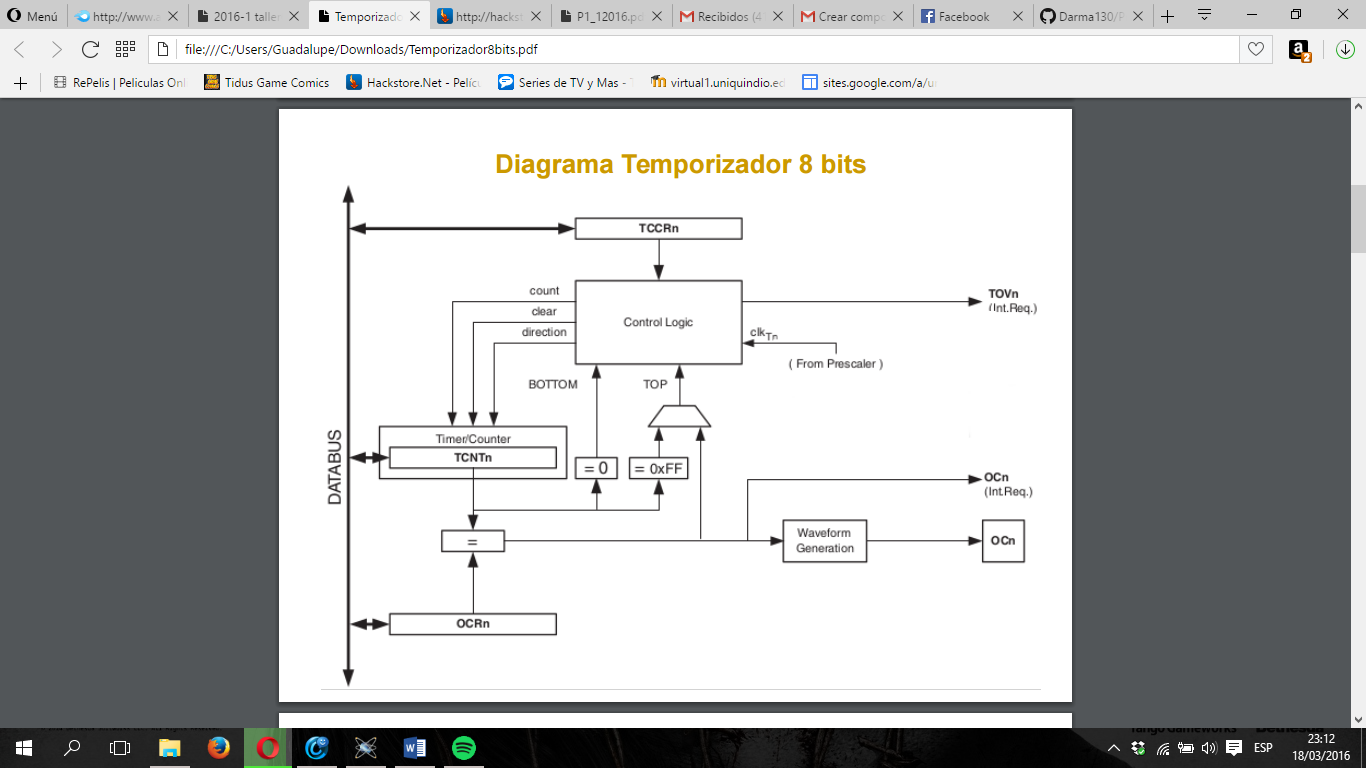
Facultad de Ingeniería

Universidad del Quindío

Armenia, Quindío

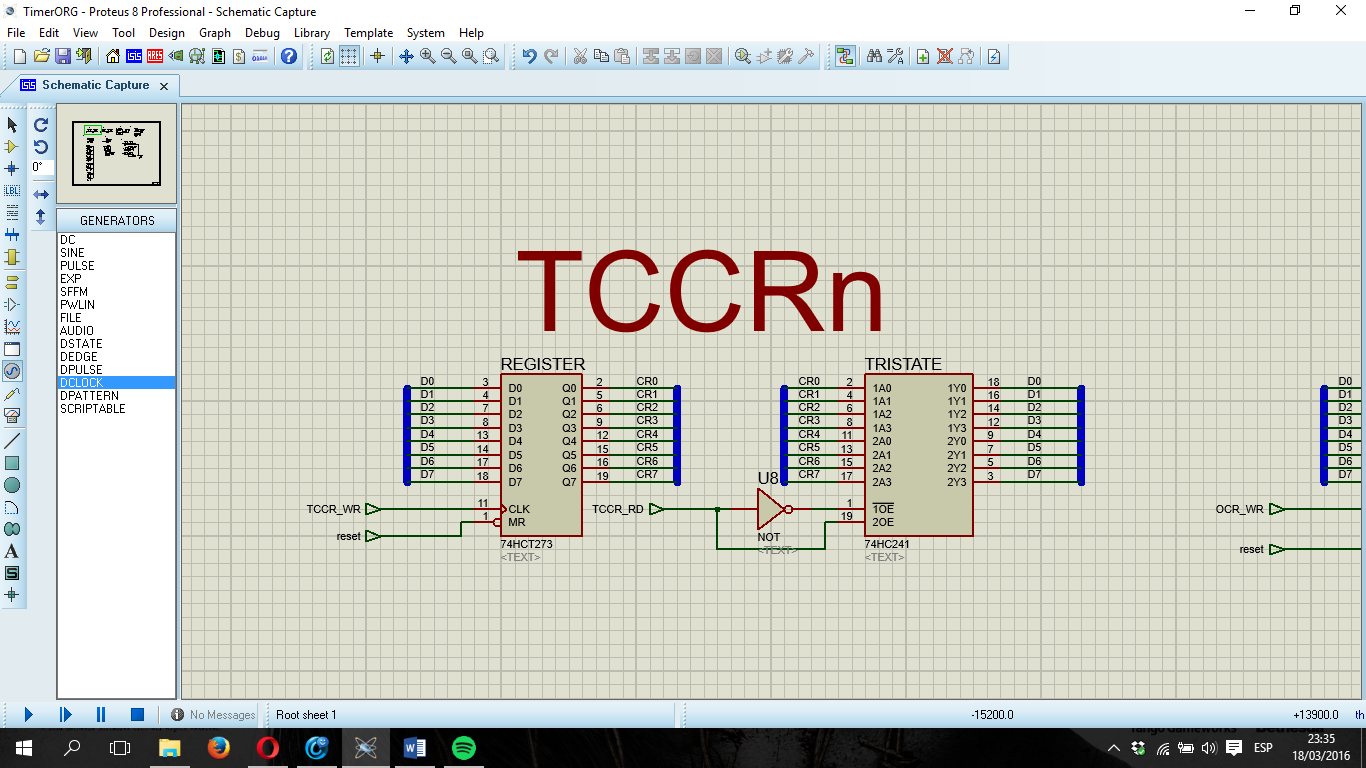
Marzo de 2016

Para esta semana se propuso el montaje del Timer, parte final del proyecto, éste se divide en varias partes, cada parte tiene dirección en el bloque de memoria y entre todas constituyen un diagrama de bloques que explica específicamente la interconexión de estos, el diagrama de bloques es el siguiente:



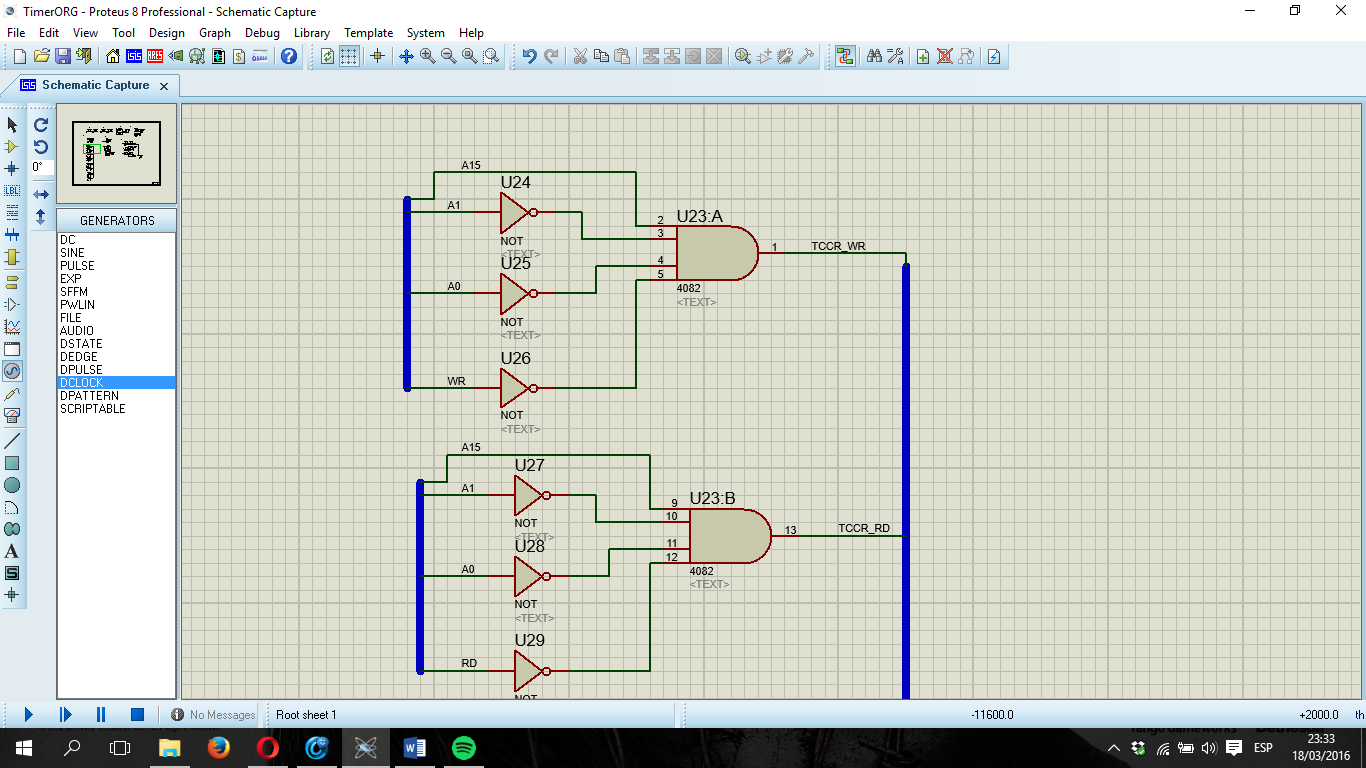
En la parte superior se tiene a TCCRn que es una de las partes más fundamentales del circuito la cual se encarga de recibir comandos directamente desde el microprocesador y configura el modo de operación del TOP y funcionamiento del preescalador, también se encarga de controlar el generador de forma de onda.

Su configuración es de la siguiente manera:

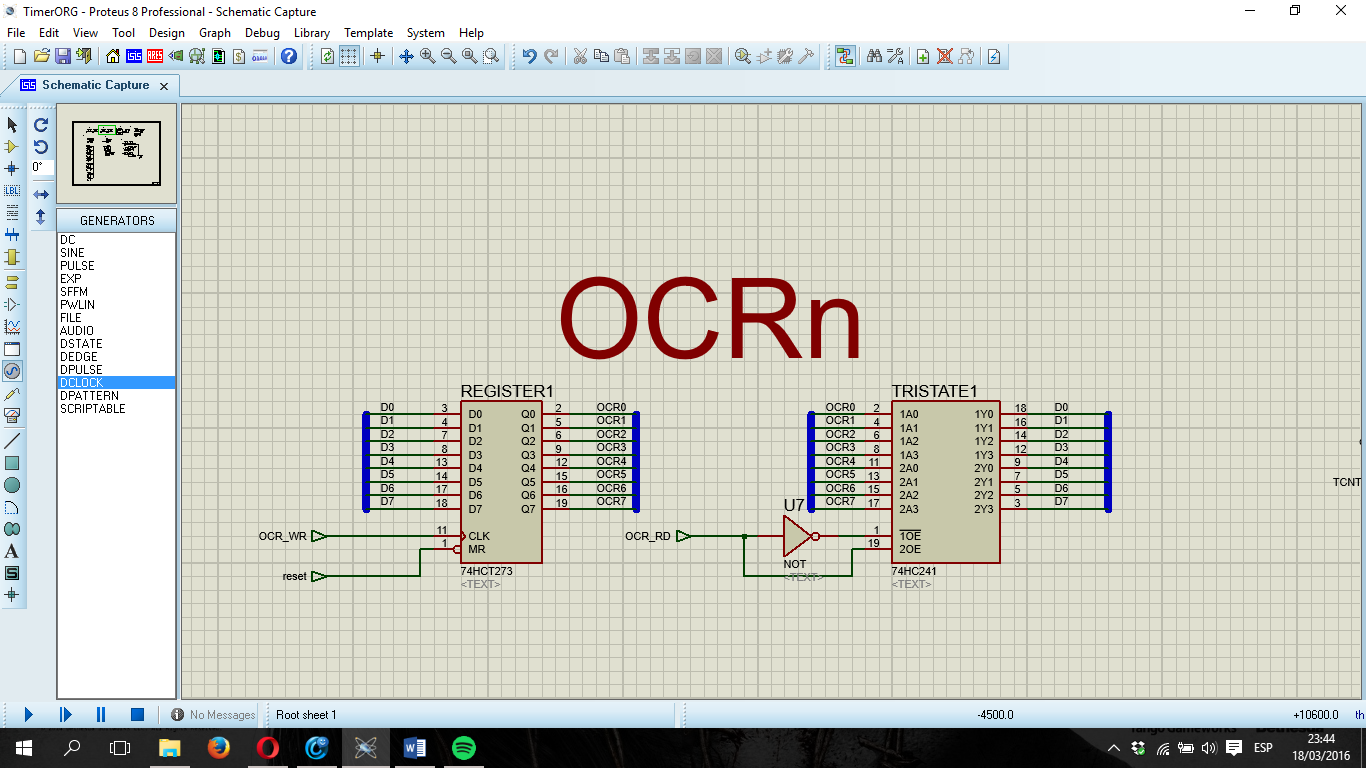


Las salidas CR0,CR1,CR2,CR3,CR4,CR5,CR6,CR7 corresponden respectivamente a los valores de CS00, CS01,CS02,WGM01,COM00,COM01,WGM00

Sus datos pueden ser bidireccionales, así que puede ser de lectura o escritura, su posición en bloque de memoria se asume como 0x8000 y su configuración depende de A0, WR y RD de la siguiente forma:

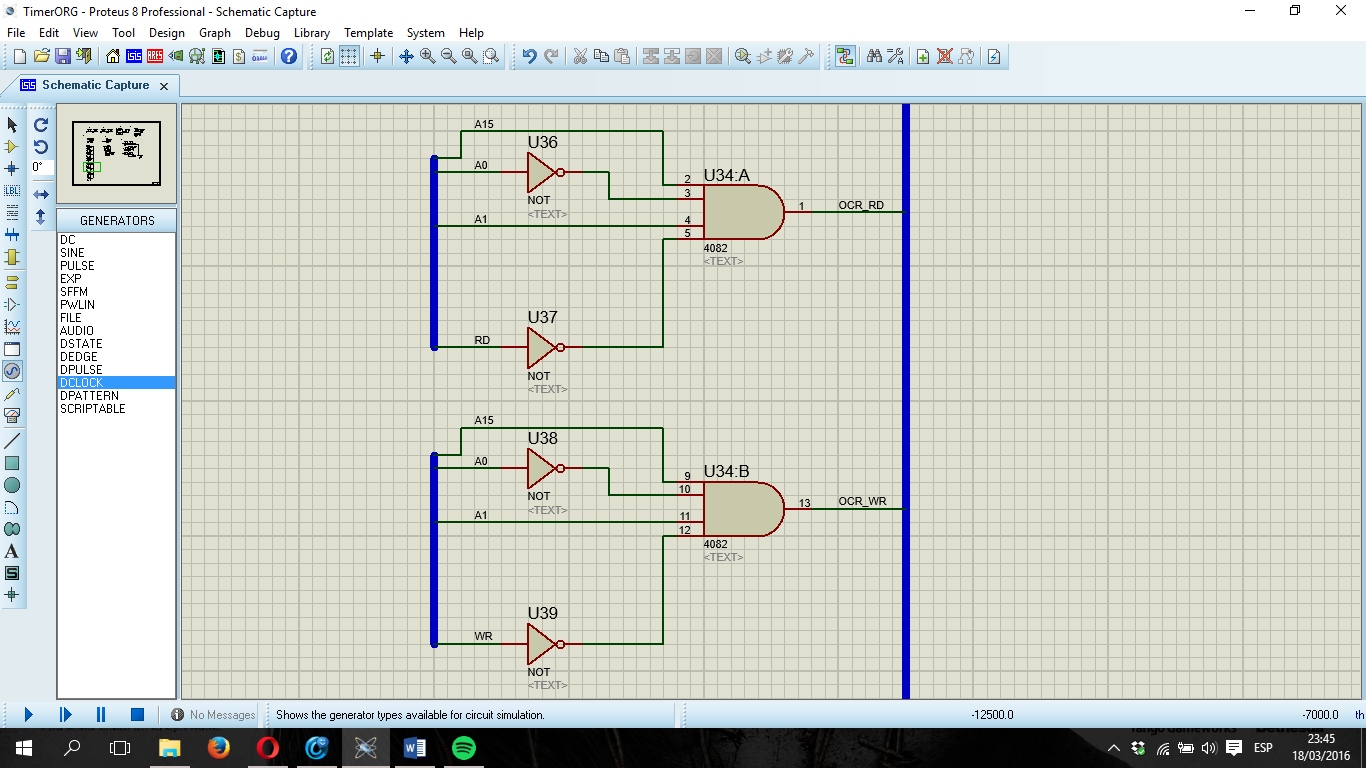


OCRn de la misma manera que TCCRn tiene datos tanto de entrada como de salida, dependiendo de la configuración de lectura o escritura del mismo, posteriormente estos datos se comparan con los datos del Timer/counter originando el valor de TOP. Su estructura es de a siguiente manera:

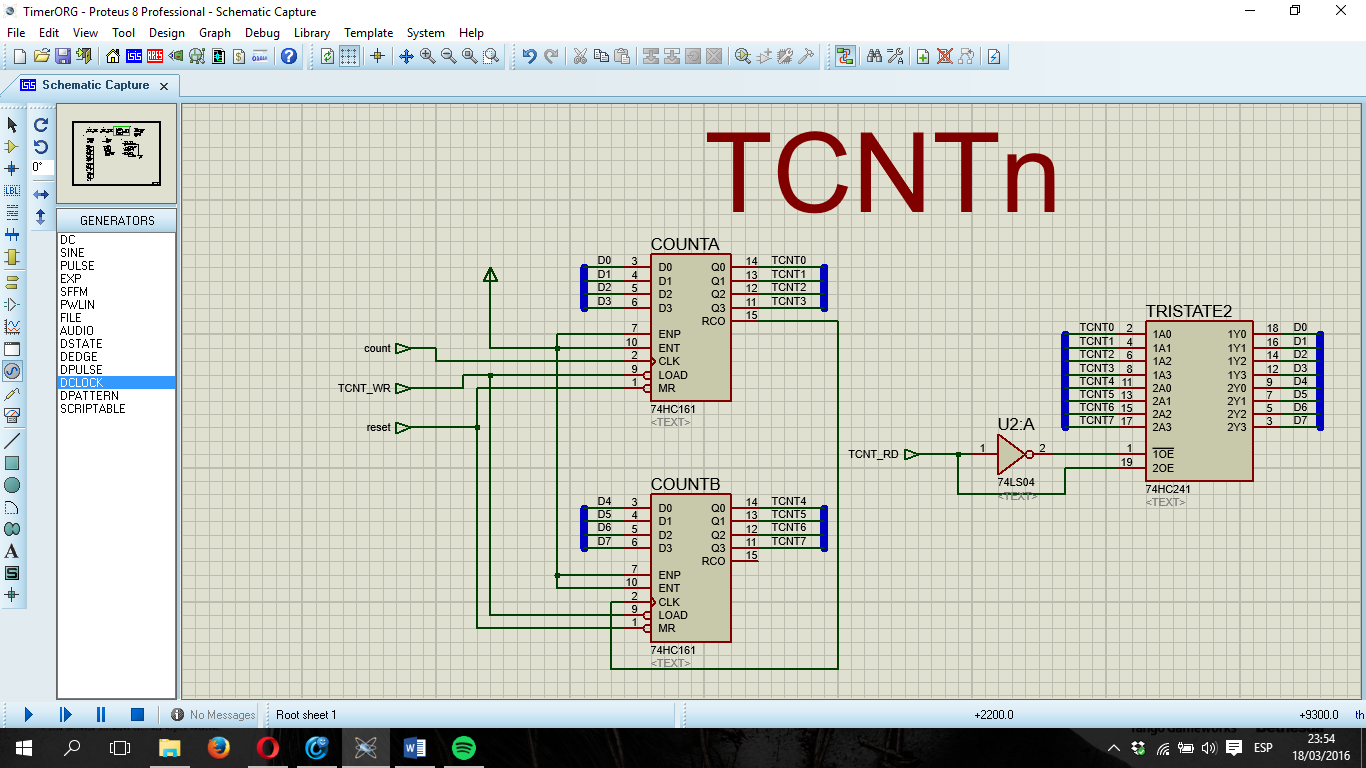


Su ubicación en el bloque de memoria corresponde a la dirección 0x8002 dependiendo de A15, A1 y A0.

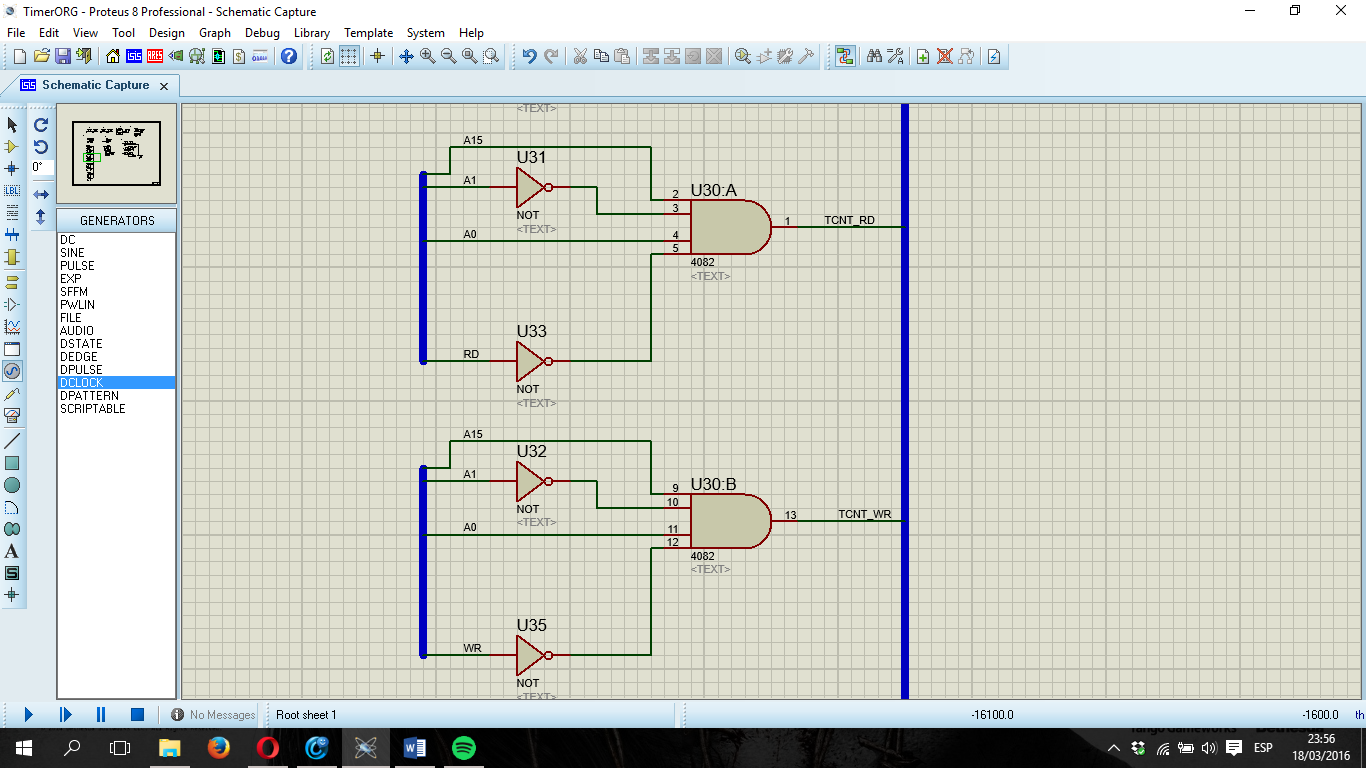
Y su configuración lógica está dada por:



TCNTn corresponde al temporizador y contador del circuito recibiendo órdenes directas del bloque de control lógico y sus salidas se comparan con los datos del bloque anterior, siendo fundamental en la creación de BOTTOM y TOP, su configuración puede ser de lectura y de escritura, su posición en el bloque de memoria es 0x8001 dependiendo ésta de A15, A1, A0, WR y RD. Su estructura e de la siguiente forma:

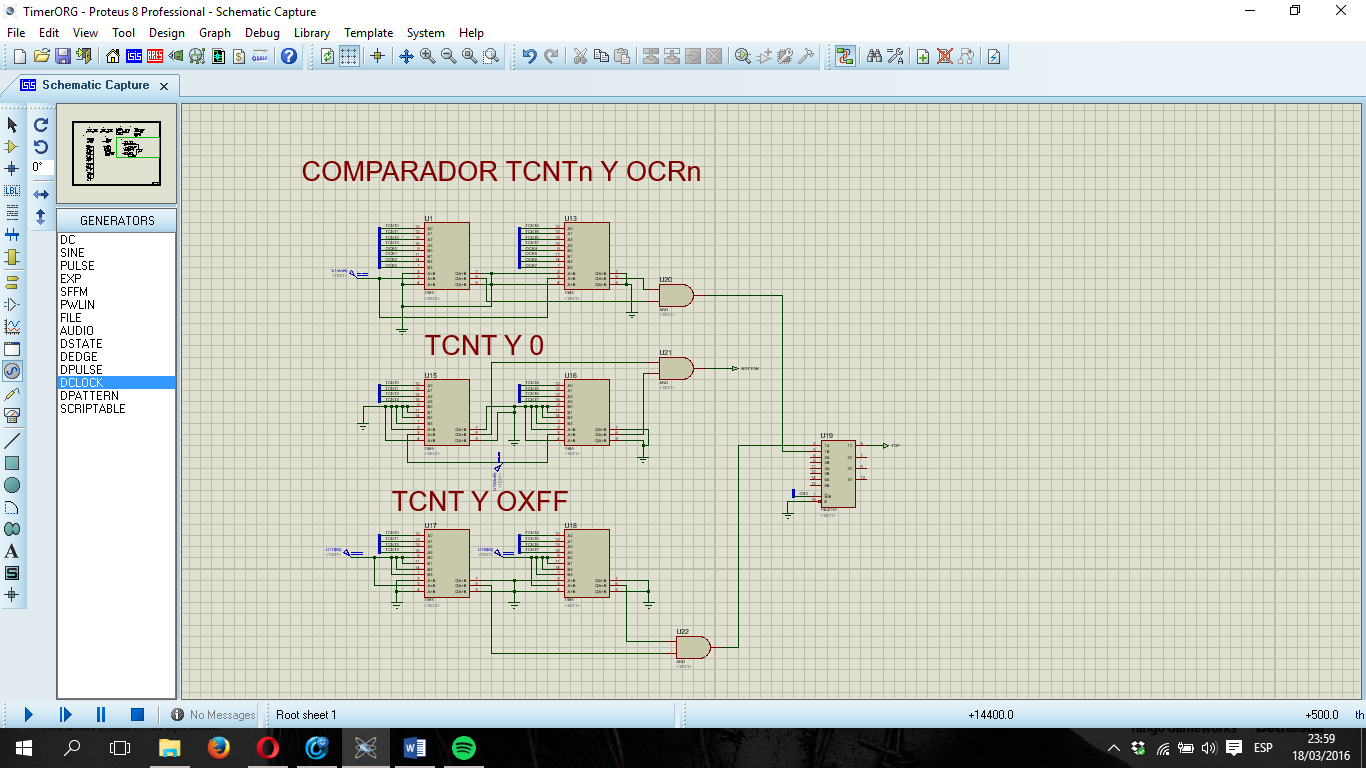


Y su estructura de control está dada por:

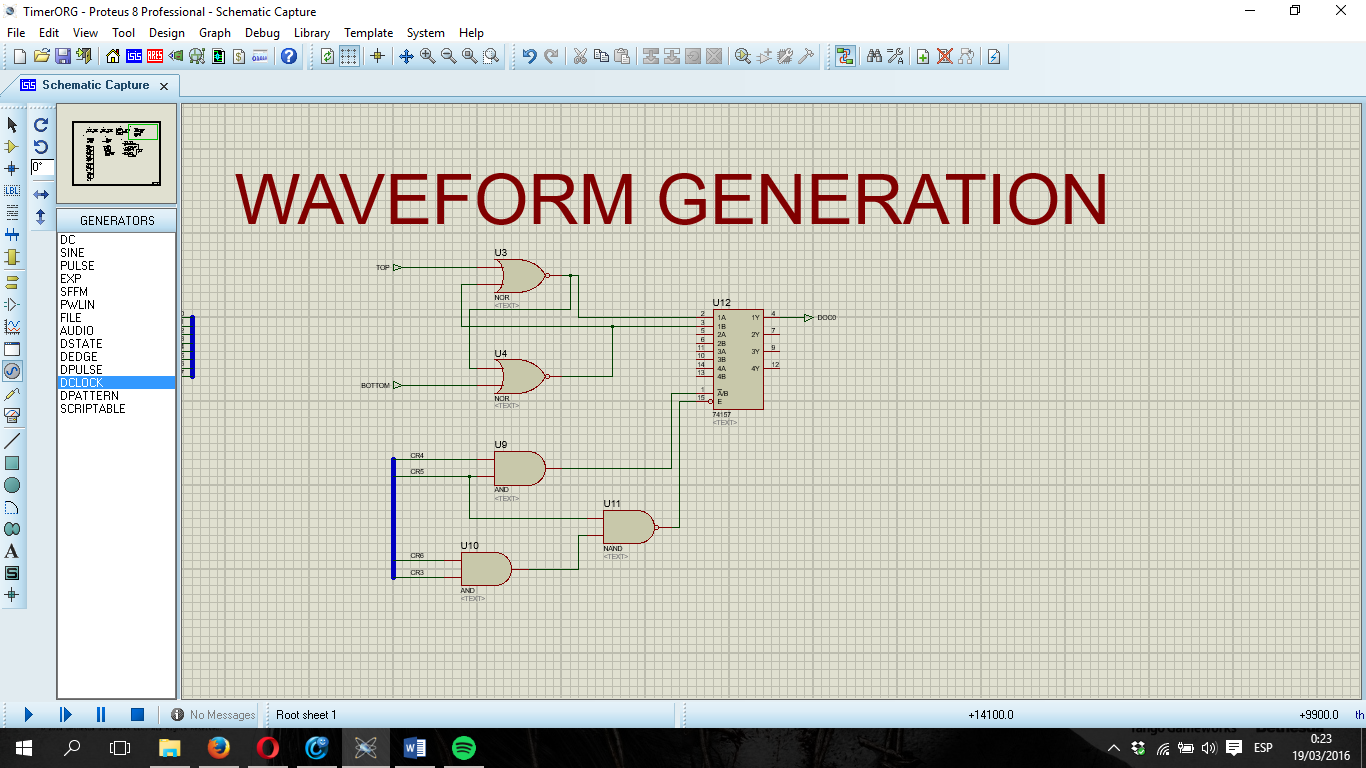


**Estructura de comparación**

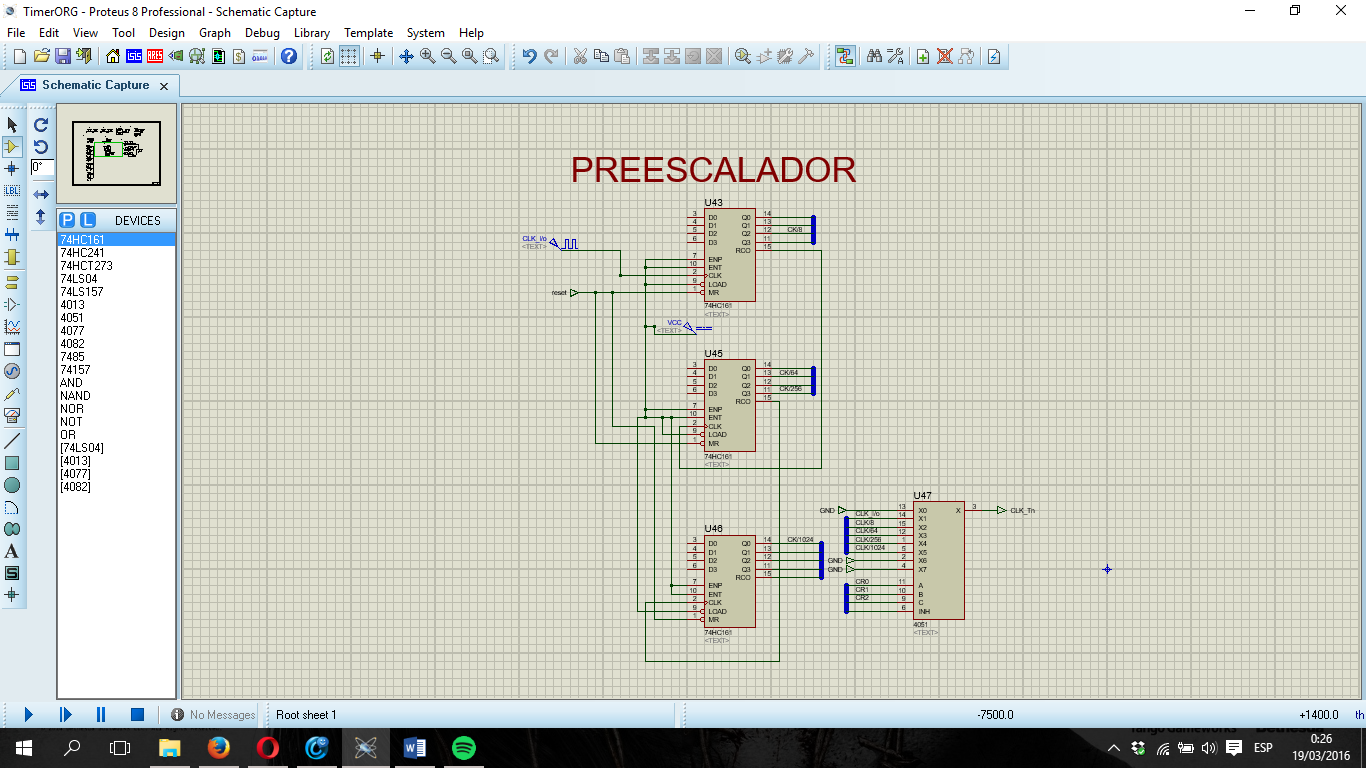
Se constituye por la comparación directa entre los datos de TCNT y OCR, TCNT y 0x00, y finalmente TCNT y 0xFF, para esto se usaron comparadores 7845 configurados en cascada, esto porque la máxima capacidad individual de comparación es de 4 bits por componente, además solo se mira si los datos son iguales, ignorando sus otras formas de comparación, el resultado de comparar TCNT y 0x00 define el valor de BOTTOM, mientras que las dos comparaciones restantes van a un multiplexor cuyo modo de operación define WGM01 también llamado CR3 y este sería el comando TOP que iría a la estructura de control lógico principal.



El generador de forma de onda toma los datos de TOP y BOTTOM y los lleva a un multiplexor cuyo modo de operación está definido por los valores de COM00, COM01 y COM02 encendiendo y apagando dependiendo de los valores el multiplexor, creando una forma de onda cuadrada llamada DOC0. El generador de forma de onda tiene la siguiente estructura:

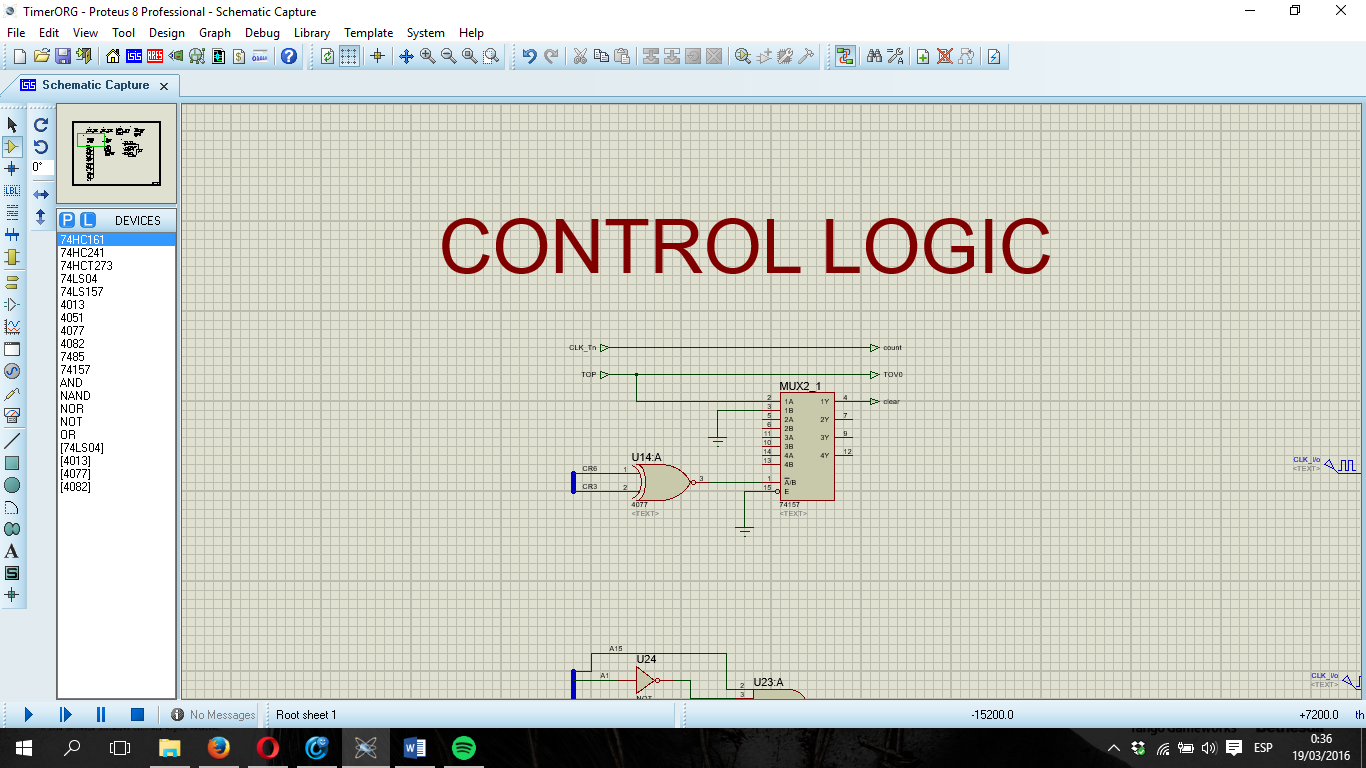


El preescalador tiene la función de aumentar o disminuir la frecuencia del temporizador del sistema a partir de un contador y un multiplexor de 8bits cuyo modo de operación depende de CS00, CSO1 y CS02. Tiene la siguiente estructura:



Toma la frecuencia de reloj original (CLK I/O) y tiene como salida CLK\_Tn.

El bloque de control lógico tiene la función de tomar la señal dada por el preescalador y mandarla hacia la entrada TCNTn en forma de count, también convierte el valor de TOP en la salida TOV0 y genera la señal clear a partir del multiplexor y los valores que asuman CR6 y CR3. Es el bloque más importante y tiene la siguiente estructura:



Finalmente la salida toma la señal de reloj del sistema y la salida del generador de forma de onda y los lleva a un multiplexor que es quien define la salida del puerto OCn , su modo de funcionamiento está definido por CR4 y CR5 que en ausencia de señal de ambos pone un cero en la salida y mientras que haya un valor en 1 va a dar como salida la señal PWM generada.