

**ASIGNATURA:**                **ÉNFASIS 1 – ARQUITECTURAS HARDWARE DE PROCESADORES DIGITALES DE SEÑALES**

**MODALIDAD:**                TEÓRICO – PRÁCTICA

**INTENSIDAD:**                4 HORAS POR SEMANA

**PRERREQUISITOS:**        Haber aprobado quinto semestre y la suficiencia de Inglés requerido por el PIET.

**CONOCIMIENTOS PREVIOS:** VHDL, FPGA, PROCESAMIENTO DIGITAL DE SEÑALES

**SEMESTRE:**                VII

### **OBJETIVO GENERAL**

Los estudiantes que finalicen exitosamente este curso contarán con capacidades para diseñar e implementar los elementos de un procesador digital de señales basados en tecnologías Soc.

### **OBJETIVOS ESPECÍFICOS**

Específicamente, dichos estudiantes podrán:

- Identificar las arquitecturas necesarias para el desarrollo de un procesador digital de señales basado en Soc.
- Diseñar la estructura SoC de un sistema de procesamiento digital de señales.
- Implementar los algoritmos de procesamiento sobre la estructura Soc definida por el diseño.

### **METODOLOGÍA**

Se realizarán clases teóricas participativas en las cuales se expondrán los principios fundamentales de la temática desarrollada y se resolverán problemas con ejemplos de aplicación. Se realizarán sesiones prácticas con el propósito de aplicar los elementos teóricos vistos en clase. Finalmente, durante cada semana se propondrán actividades extra clase (desarrollo de talleres, lectura de artículos y simulaciones).

### **CONTENIDO**

1. Arquitecturas SoC (8 Hrs)
  - a. Arquitectura SoC basada en FPGA.

- b. Aritmética de un Procesador Digital de Señales.
- 2. Aritmética para señales (8 Hrs)
  - a. Decimación.
  - b. Interpolación.
  - c. Representación en formato Q15.
- 3. Fundamentos de Procesamiento de Señales (16 Hrs)
  - a. Algoritmos de convolución Lineal sobre sistemas SoC.
  - b. Algoritmos de convolución Circular sobre sistemas SoC.
  - c. Arquitecturas IIR sobre sistemas SoC.
  - d. Arquitecturas FIR sobre sistemas SoC.
- 4. Diseño e implementación de Filtros Digitales (16 Hrs)
  - a. Filtros Digitales de Respuesta Finita al Impulso (FIR).
  - b. Filtros Digitales de Respuesta Infinita al Impulso (IIR).
- 5. Algoritmos de Transformadas de Fourier en SoC (16 Hrs).
  - a. Implementación de la transformada del Coseno en SoC.
  - b. Implementación de la transformada de Fourier Discreta (DFT) en SoC.
  - c. Implementación de la transformada de Fourier Rápida (FFT) en SoC.

## EVALUACIÓN

Se realizarán 3 evaluaciones de la siguiente forma:

Evaluación	Porcentaje	Actividades
Primer Parcial	35%	Parcial Escrito y/o Lectura de Artículos y/o Práctica de Laboratorio.
Segundo Parcial	35%	Parcial Escrito y/o Lectura de Artículos y/o Práctica de Laboratorio.
Examen Final	30%	Parcial Escrito y/o Lectura de Artículos y/o Proyecto final

## RECURSOS

- Software para Procesamiento de Señales: MATLAB, Simulink.
- Tarjetas FPGA: Altera, Xilinx.

## BIBLIOGRAFÍA

- J. Proakis and D. Manolakis, "*Digital Signal Processing: Principles, Algorithms and Applications*", 4<sup>th</sup> Edition, Prentice Hall, 2007.
- S. Engelberg, *Digital Signal Processing – An Experiment Approach*, 1<sup>st</sup> Edition, Springer, 2008.

- U. Meyer-Baese, “*Digital Signal Processing with Field Programmable Gate Arrays*”, 3<sup>rd</sup> Edition, Springer, 2007.
- P. Chu, “*Embedded SoPC Design with NIOS II Processor and VHDL Examples*”, John Wiley & Sons, New York, 2011.
- M. Zwolinski, “*Digital System Design with VHDL*”, 2<sup>nd</sup> Edition, Prentice Hall, 2004.
- Artículos Seleccionados.