

# Computer Architecture Final Project

Group20

B06505021 楊欣哲 B06901188 李宗倫 B07901007 張智盛

No latch:

```
Statistics for case statements in always block at line 154 in file
'/home/raid7_2/userb06/b06188/Final_Project_v2/RISCV.v'
=====
|          Line          | full/ parallel |
=====
|          157          |   auto/auto    |
=====

Statistics for case statements in always block at line 191 in file
'/home/raid7_2/userb06/b06188/Final_Project_v2/RISCV.v'
=====
|          Line          | full/ parallel |
=====
|          226          |   auto/auto    |
|          336          |   auto/auto    |
=====

Warning: /home/raid7_2/userb06/b06188/Final_Project_v2/RISCV.v:81: Net Read_data_1 connected to instance r is declared as
R-1004)
Warning: /home/raid7_2/userb06/b06188/Final_Project_v2/RISCV.v:81: Net mem_wdata_D connected to instance r is declared as
R-1004)

Inferred memory devices in process
in routine RISCV line 72 in file
'/home/raid7_2/userb06/b06188/Final_Project_v2/RISCV.v'.
=====
| Register Name | Type   | Width | Bus | MB | AR | AS | SR | SS | ST |
=====
| PC_reg        | Flip-flop | 32    | Y   | N   | N   | N   | N   | N   | N   |
=====

Warning: /home/raid7_2/userb06/b06188/Final_Project_v2/RISCV.v:663: signed to unsigned conversion occurs. (VER-318)

Inferred memory devices in process
in routine register line 675 in file
'/home/raid7_2/userb06/b06188/Final_Project_v2/RISCV.v'.
=====
| Register Name | Type   | Width | Bus | MB | AR | AS | SR | SS | ST |
=====
| r_reg         | Flip-flop | 1984  | Y   | N   | N   | N   | N   | N   | N   |
=====

Statistics for MUX_OPs
=====
| block name/line | Inputs | Outputs | # sel inputs |
=====
| register/658    | 32     | 64      | 5             |
| register/659    | 32     | 64      | 5             |
=====

Presto compilation completed successfully.
Current design is now '/home/raid7_2/userb06/b06188/Final_Project_v2/RISCV.db:RISCV'
Loaded 2 designs.
Current design is 'RISCV'.
Current design is 'RISCV'.
```

Time report:

```
U2452/Y (A022X2)          0.24      3.89 f
U1299/Y (INVX3)           0.06      3.95 r
U1298/Y (NAND2X2)         0.04      3.99 f
PC_reg_13_/D (DFFHQX2)    0.00      3.99 f
data arrival time                                3.99

clock CLK (rise edge)      3.70      3.70
clock network delay (ideal) 0.50      4.20
clock uncertainty          -0.10      4.10
PC_reg_13_/CK (DFFHQX2)    0.00      4.10 r
library setup time         -0.11      3.99
data required time          3.99

-----
data required time          3.99
data arrival time          -3.99
-----
slack (MET)                 0.00
```

## Area report:

```

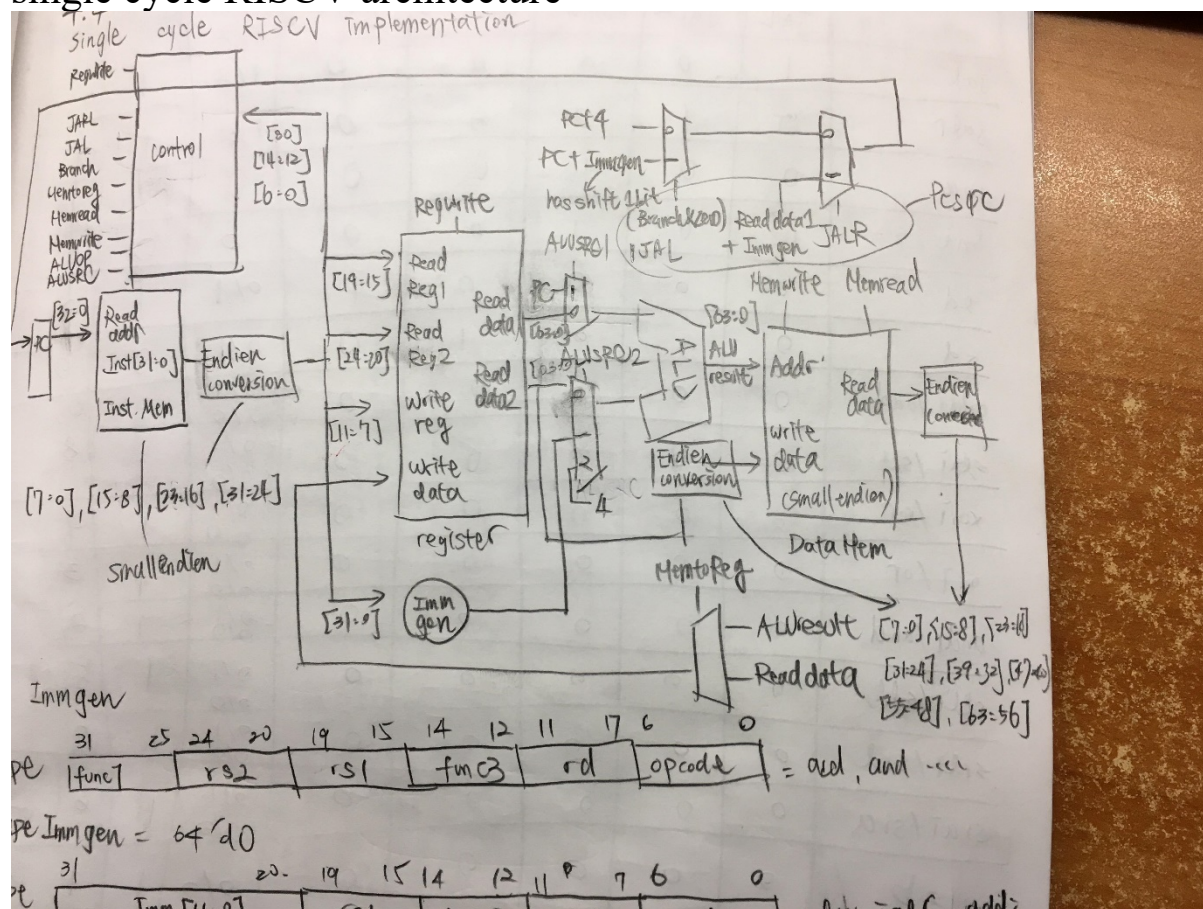
Number of ports:      1051
Number of nets:       13397
Number of cells:      12464
Number of combinational cells: 10435
Number of sequential cells: 2023
Number of macros/black boxes: 0
Number of buf/inv:    2158
Number of references: 226

Combinational area:    136163.729862
Buf/Inv area:          24228.687720
Noncombinational area: 61401.748293
Macro/Black Box area:  0.000000
Net Interconnect area: 1539401.150757

Total cell area:       197565.478155
Total area:            1736966.628911
1
dc_shell>

```

## single cycle RISC-V architecture



大致上分成 PC，ICACHE，register，immgen，control unit，alu，DCACHE 七大部分。

其中，ICACHE，DCACHE 中資料是以 small endian 形式儲存，而 register 是以 big endian 形式儲存，因此從 ICACHE 讀 INSTRUCTION，和從 DCACHE 讀 READ\_DATA 和寫 WRITE\_DATA 需要額外進行 endian conversion。

ALUSRC 的部分跟課本的架構不同，主要是因為多了 jal 和 jalr 的指令，我希望能將 PC+4 寫入 ALU\_RESULT，在傳回 WRITE\_DATA。因為 ALU\_RESULT 本來就是寫入 WRITE\_DATA 的其中一個選項，這樣的寫法能增加共用。

Alu 的部分，slt，sub，bne，beq 可共用一個減法器，這樣可以節省面積。

Outcome:

RTL pass cycle: 4.09

SYN pass cycle: 4.09

Total cell area: 197565.478155

A\*T: 808042.805

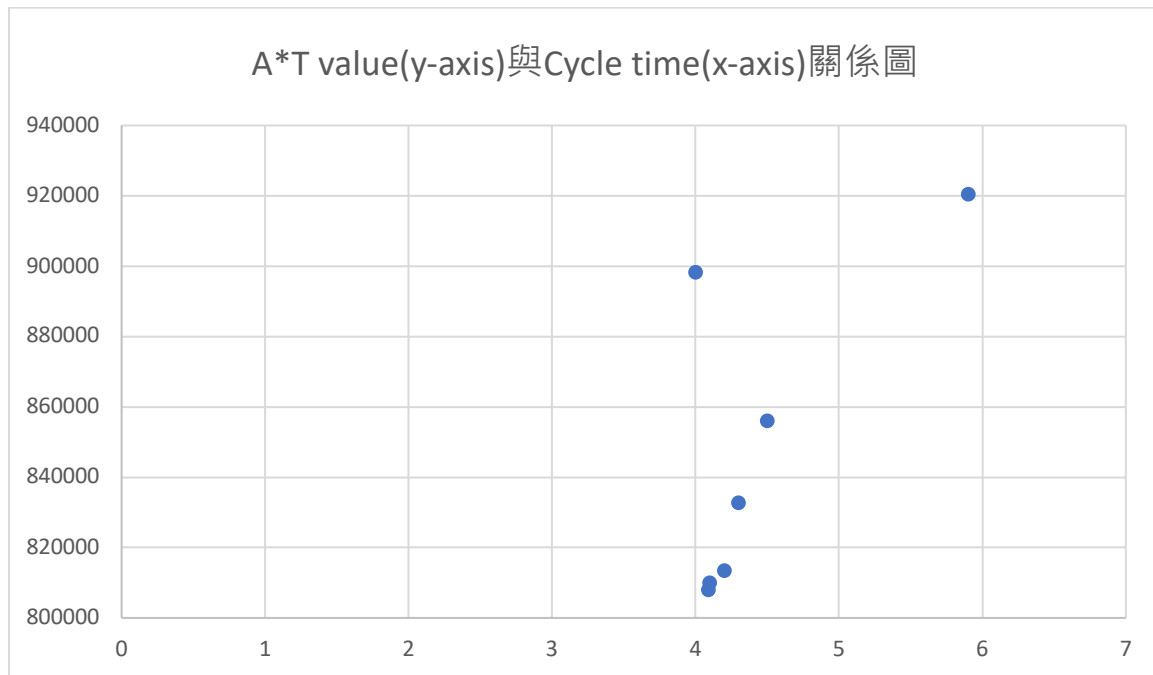
Index	RISCV_tb.v 的 cycle time	RISCV_syn.sdc 的 cycle time	Total cell area	Area*Time value
1	5.9	5.9	156018	920506
2	4.5	4	190208	855936
3	4.3	3.8	193666	832763
4	4.2	3.8	193666	813397
5	4.1	3.7	197565	810016
6	4.09	3.7	197565	808040
7	4	3.5	224552	898208

在此次 project 中，我們嘗試了許多不同 cycle 的組合，試圖找到最佳的 A\*T value。

一開始，我們將 RISCV\_tb.v 及 RISCV\_syn.sdc 的 cycle time 都設定為一樣，發現到 AT 的最小值出現在 T=5.9 時。後來，我們試圖降低 RISCV\_syn.sdc 的 cycle time，並讓 RISCV\_syn.sdc 的時間 ≤ RISCV\_tb.v 的時間，經過數十次的 try and error，最後列出如上表格中可以通過

simulation 的 cycle time 及其 AT 值。從表格中可以發現，area 隨著 RISCV\_syn.sdc 的時間降低而增加，並在達到 3.5 時急劇上升，進而導致 index7 的 AT 結果反而不如 index6 的 AT 結果。

總結我們的實驗結果發現：在 AT 值當中，area 及 time（RISCV\_tb.v 的 cycle time）兩者呈現反向關係，並且可以找到使 AT 乘積最小的點，也就是 index6 的結果。



上圖的每個數據點是我們在每個 time 可以得到的最小 AT 值，最後取 AT 最小的點為結果。

分工：

B06505021 楊欣哲：程式主架構設計與撰寫

B06901188 李宗倫：程式效能優化及 AT value try & error

B07901007 張智盛：程式正確性驗證（生成測資測試）