

课程设计报告

设计题目 数字式电容测试仪

课程名称 电子电路课程设计

专业 理工科强化班 班级

学生学号 姓名

指导教师 常玉梅

开课日期 2022年10月24日至2022年11月4日

南京邮电大学电工电子实验教学中心

数字式电容测试仪

摘要

本课程设计的目的是设计一个能在 $100\text{pF} \sim 9.9\text{mF}$ 测量范围内测出电容容值并以数字方式直观显示数值的数字式电容测试仪。显示方式用三位数码管显示，前两位显示电容量的数值，最后一位显示 10 的倍率，单位为 10pF 。本设计采用测量周期法。由待测电容、定时电阻和NE555组成一个多谐振荡器，输出脉宽与待测电容大小成正比的方波信号。把这个脉冲信号作为频率计数器的控制信号，通过频率计对振荡器的高频脉冲计数。最后将计数结果经过处理送到CD4511锁存，CD4511连接数码管，功能实现。计数和转换电路由可编程器件实现。

关键词：NE555，电容测试仪，FPGA，电路

ABSTRACT

The purpose of this course is to design a digital capacitor tester that measures the capacitor value with the range of $100\text{pF} \sim 9.9\text{mF}$ and displays the value visually in digital numbers. The display mode is displayed with three digital nixie tubes. The first two digits display the capacitor value and the third digit displays the magnification of 10 , with the unit of 10pF . This design adopts the measurement cycle method. A multivibrator is composed of the capacitor to be measured, resistor and NE555. The output pulse width is square wave signal proportional to the capacitor to be measured. This pulse signal is used as the control signal of the frequency meter. Finally, the counting result is

processed and sent to the CD4511 latch, then the CD4511
is connected to the nixie tube for function realization.
Counting and conversion circuits are realized by FPGA.

目录

第一章 课题技术指标	1
1.1 系统功能要求	1
1.2 系统结构要求	1
1.3 技术指标	1
1.4 设计条件	1
第二章 整体电路设计	2
2.1 整体方案设计	2
2.2 设计原理	2
2.3 方案论证	3
2.3.1 恒压充电法	4
2.3.2 恒流充电法	4
2.3.3 可行性分析	4
第三章 单元电路设计	5
3.1 振荡电路	5
3.2 多谐振荡器(闸门电路)的设计	6
3.3 计数电路	7
3.4 转换电路	9
3.5 显示电路	9
3.6 锁存和清零控制电路	10
第四章 整体电路图(全部源程序)、预习报告电路图	11
第五章 测试与调试	11
5.1 单元电路 整体电路功能测试	11
5.2 误差分析	13
参考文献	13
结束语	14

页, 共 页 成绩 _____ 教师签名 _____ 批改日期 年 月 日

附录一：元器件清单	- - - - -	15
附录二：全部源程序	- - - - -	16
附录三：整体电路图	- - - - -	21
附录四：项目报告电汽图	- - - - -	22
附录五：ISE原理图	- - - - -	23
附录六：课程完成情况和实物照片	- - - - -	24

第二章 整体电路设计

2.1 整体方案设计

电容测试仪的设计方法有很多，本设计采用测量周期的方法实现电容量。原理框图如图2-1所示。

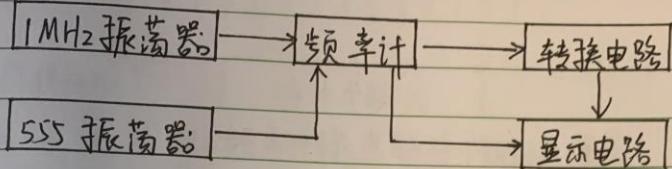


图2-1 测量周期法测量电容值整体框图。

先设计一个高频率的方波信号发生器，这里使用10MHz晶体振荡器加辅助电路完成。再由待测电容、定时电阻和555定时器组成一个多谐振荡器。由于该振荡器的输出脉冲宽度随待测电容的大小而变，脉宽与C的大小成正比。把555振荡器产生的脉冲信号作为闸门控制信号通过频率计对10MHz晶振的高频脉冲计数，计数值通过转换电路与电容值一一对应起来。

电路通电后频率产生电路产生1MHz信号，插上待测电容后555振荡器产生闸门信号，频率计开始计数，闸门信号的一个周期结束停止计数，将计数结果经过处理送入(D4511)并锁存，频率计清零，振荡器循环。

2.2 设计原理

由被测电容C和NE555组成的多谐振荡器输出信号的对应公式为

$$T = 0.7C \times (R_1 + 2R_2)$$

给出晶振的频率为 1MHz . 即晶振周期 $T_1 = 1\text{ms}$.
 $C = 100\text{pF}$ 时 R_1+R_2 为 $143\text{k}\Omega$.

频率计输出脉冲个数 N 的原理图如图 2-2 所示.

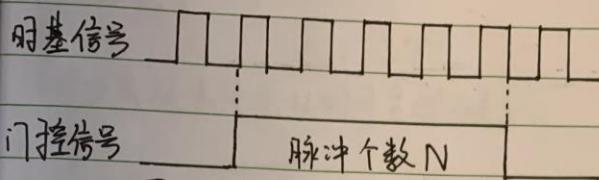


图 2-2 频率计输出脉冲个数 N 原理图

其中时基信号由用钟电路产生. 门控信号由多谐振荡器产生. 将得到脉冲进行计数. 通过若干 74160 级联实现. 再由转换电路将数由三位数码管显示.

计数结果和电容值对应表如表 2-1 所示.

表 2-1 计数结果和电容值对应关系表.

待测电容 C	计数闸门 T	计数值	显示 (nF)
$<100\text{pF}$	$<10\text{ms}$	<10	000
100pF	10ms	10	101
68nF	6.8ms	6800	683
100nF	10ms	10000	104
3.3mF	350ms	350000	355
10nF	1s	最高位溢出	000

2.3 方案论证

在设计之初我查阅了大量资料. 进行了全面的考查. 结合我们所学知识. 我进行了以下方案论证.

2.3.1 恒压充电法.

用一个电阻和电容串联，用恒压源对电容进行充电，然后根据电容充电的曲线超过某个固定电压所需要的时间，利用曲线拟合的方法量.

$$C = \frac{i \times dt}{dv}$$

可见电容值和电压以时间呈微分关系.

2.3.2 恒流充电法.

用恒流源对电容充电，此时电容的量程和充电时间是成正比的，所以可以利用AD或者比较功能同某个固定电压比较，来实现电容测量.

$$C = \frac{q}{i} \quad q = i \times t$$

$$V = \frac{ixt}{C}$$

恒流源的电流大小是已知的，根据时间和电压即可求出电容.

2.3.3 可行性分析

恒压充电法：时间和容值都是非线性的，因此操作难度高，精度低，且难以实现数字化.

恒流充电法：测量精度相比恒压充电法有所提高，便于操作和实现，但要使用恒流源，恒流源的设计要求高，且达不到测量所需的精度要求，因此也不适用.

而本设计使用的测量周期法，测试结果较为精确，且电容值范围便于调节，故使用此方案.

第一章：课题技术指标

1.1 系统功能要求

电容测试仪在一定的测量范围内测量出电容的
容值，并以数字方式直观地显示测量数值。

1.2 系统结构要求

数字式电容测试仪的整体方案如图1-1所示。

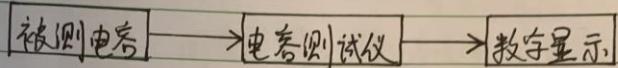


图1-1 数字式电容测试仪整体框图。

1.3 技术指标

1. 电容器的测量范围 $100\text{pF} \sim 9.9\text{mF}$
2. 显示方式：三位数码管显示，前两位显示电容量的数值（有效位），后一位显示 10 的倍率（添加 0 的个数），容量单位为 pF 。
3. 测量误差 $\leq \pm 10\%$

1.4 设计条件

1. 直流稳压电源
2. 装有 ISE 软件的计算机
3. 面包板
4. 元器件清单（见附录一）

第二章 整体电路设计

2.1 整体方案设计

电容测试仪的设计方法有很多，本设计采用测量周期的方法实现电容量。原理框图如图2-1所示。

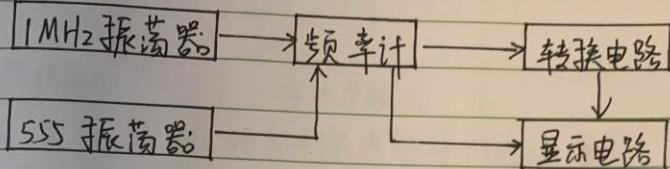


图2-1 测量周期法测量电容值整体框图。

先设计一个高频率的方波信号发生器，这里使用10MHz晶体振荡器加辅助电路完成。再由待测电容、定时电阻和555定时器组成一个多谐振荡器。由于该振荡器的输出脉冲宽度随待测电容的大小而变，脉宽与C的大小成正比。把555振荡器产生的脉冲信号作为闸门控制信号通过频率计对10MHz晶振的高频脉冲计数，计数结果通过转换电路与电容值一一对应起来。

电路通电后频率产生电路产生1MHz信号，插上待测电容后555振荡器产生闸门信号，频率计开始计数，闸门信号的一个周期结束停止计数，将计数结果经过处理送入(D4511)并锁存，频率计清零，振荡器循环。

2.2 设计原理

由被测电容C和NE555组成的多谐振荡器输出信号的对应公式为

$$T = 0.7C \times (R_1 + 2R_2)$$

给出晶振的频率为 1MHz . 即晶振周期 $T_1 = 1\text{ms}$.
 $C = 100\text{pF}$ 时 R_1+R_2 为 $143\text{k}\Omega$.

频率计输出脉冲个数 N 的原理图如图 2-2 所示.

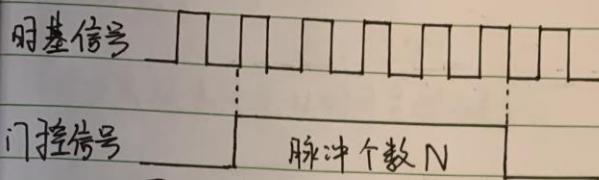


图 2-2 频率计输出脉冲个数 N 原理图

其中时基信号由用钟电路产生. 门控信号由多谐振荡器产生. 将得到脉冲进行计数. 通过若干 74160 级联实现. 再由转换电路将数由三位数码管显示.

计数结果和电容值对应表如表 2-1 所示.

表 2-1 计数结果和电容值对应关系表.

待测电容 C	计数闸门 T	计数值	显示 (nF)
$<100\text{pF}$	$<10\text{ms}$	<10	000
100pF	10ms	10	101
68nF	6.8ms	6800	683
100nF	10ms	10000	104
3.3mF	350ms	350000	355
10nF	1s	最高位溢出	000

2.3 方案论证

在设计之初我查阅了大量资料. 进行了全面的考查. 结合我们所学知识. 我进行了以下方案论证.

2.3.1 恒压充电法.

用一个电阻和电容串联，用恒压源对电容进行充电，然后根据电容充电的曲线超过某个固定电压所需要的时间，利用曲线拟合的方法量.

$$C = \frac{i \times dt}{dv}$$

可见电容值和电压以时间呈微分关系.

2.3.2 恒流充电法.

用恒流源对电容充电，此时电容的量程和充电时间是成正比的，所以可以利用AD或者比较功能同某个固定电压比较，来实现电容测量.

$$C = \frac{q}{i} \quad q = i \times t$$

$$V = \frac{ixt}{C}$$

恒流源的电流大小是已知的，根据时间和电压即可求出电容.

2.3.3 可行性分析

恒压充电法：时间和容值都是非线性的，因此操作难度高，精度低，且难以实现数字化.

恒流充电法：测量精度相比恒压充电法有所提高，便于操作和实现，但要使用恒流源，恒流源的设计要求高，且达不到测量所需的精度要求，因此也不适用.

而本设计使用的测量周期法，测试结果较为精确，且电容值范围便于调节，故使用此方案.

第三章 单元电路设计 3.1 振荡电路

振荡器用于提供计数器标准的计数信号，其频率的准确度直接影响测试精度。本设计使用封装好的 10MHz 晶振加辅助电路实现。

晶振电路和晶振的外形封装见图3-1、图3-2

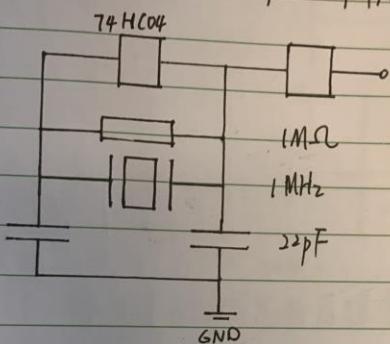


图3-1 晶振电路图

V _{CC}	U _O
4	3

MCO — 1510A
1.0000MHz
TQG 9H

1	2
GND	

图3-2 晶振的外形封装图

3.2 多谐振荡器(闸门电路)的设计

本设计采用双极型集成运放 NE555 组成的多谐振荡器。原理图如图 3-3 所示。

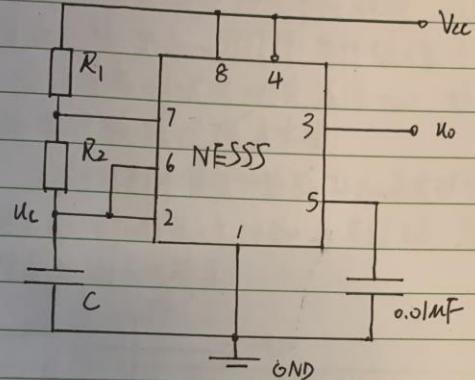


图 3-3 555 振荡器原理图。

该振荡器输出脉冲有：

$$\text{输出高电平时间} : T_{ph} = 0.7(R_1 + R_2)C$$

$$\text{输出低电平时间} : T_{pl} = 0.72R_2C$$

$$\text{输出脉冲周期} : T = 0.7(R_1 + 2R_2)C$$

NE555 芯片引脚图如图 3-4 所示。

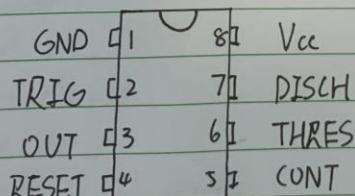


图 3-4 NE555 引脚图

3.3 计数电路

为满足计数要求，应使用若干个十进制计数器级联。
低位计数器的进位脉冲作为高位计数器的计数脉冲。
每 100pF 容量对应 10 个计数脉冲，故在测量范围 $100\text{pF} \sim 9.9\mu\text{F}$
内计数范围为 $10 \sim 999999$ 。当计数值小于 10 或大于 999999 时，
该数字电容测试仪必定显示 000。故在测量范围 $100\text{pF} \sim 9.9\mu\text{F}$
内需要计数器级联来实现。

本设计使用集成计数器 74160 来实现计数。一个 74160 的计数
模长为 10，则使用 6 个 74160 异步级联，模长为 1000000。异步级联
原理图如图 3-5 所示。

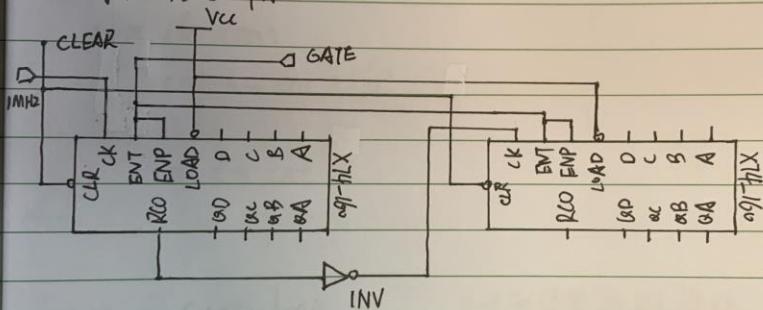


图 3-5 异步级联原理图

计数器计数模块的 verilog 代码如下。

```
module count
    input clk,           // 时基信号
    input clear-n,       // 清零信号
    input en,            // 使能信号
    output [3:0] dout,   // 进位信号
    output reg co
```

);

reg [3:0] cnt;
assign dout = cnt; //计数器用于计算在一个闸门周期内脉冲信号的个数

always @ (posedge clk or negedge clear_n) begin
if (clear_n) //计数器计数模块
cnt <= 4'd0;
else if (cnt == 4'd9)
cnt <= 4'd0;
else if (en)
cnt <= cnt + 1'b1;
else
cnt <= cnt;
end

always @ (cnt) begin //进位信号控制模块.
if (cnt == 4'd9)
co <= 1'd1;
else
co <= 1'd0;
end

endmodule

然后在总代码上计数器级联，形成28位计数器

3.4 转换电路

由于显示方式为三位数码管显示，其中前两位显示电容器的数值，后一位显示 10 的倍率。而计数器的范围为 $0 \sim 999999$ ，故需作适当转换。

倍率转换电路 verilog 代码如下。

```
always @(*) begin
    if (!lock[23:4] || lock[27:24])
        lcd <= {lock[3:0], 4'd0, 4'd0};
    else if (!lock[23:8])
        lcd <= {lock[7:0], 4'd1};
    else if (!lock[23:12])
        lcd <= {lock[11:4], 4'd2};
    else if (!lock[23:16])
        lcd <= {lock[15:8], 4'd3};
    else if (!lock[23:20])
        lcd <= {lock[19:12], 4'd4};
    else
        lcd <= {lock[23:16], 4'd5};
end.
```

3.5 显示电路

本设计使用 3 个 4511，其输入为经且转换的三组 BCD 码。输出可直接驱动动态七段共阴数码管。

显示电路具有以下两种情况

1. 十位无进位或百万位有进位：全零给显示电路，显示 000
2. 十位有进位，更高位无进位：计数器十位给显示电路

信率为1.

3. 十位有进位，更高位无进位：送计数器十位，百位值给显示电路，信率为2

4. 百位有进位，更高位无进位：送计数器百位，千位值给显示电路，信率为3

5. 千位有进位，更高位无进位：送计数器千位，万位值给显示电路，信率为4

6. 万位有进位，更高位无进位：送计数器万位，十万位给显示电路，信率为5。

3.6 锁存和清零控制电路

在设计计数器计数的时候，显示电路处于锁存状态。当计数即将结束的时候，抢占很小的一个时间，将锁存端置‘0’，显示瞬时的计数值。之后又将锁存端置‘1’，显示电路锁存住，使其保持计数结果不变。如此循环。

首先将清零信号置‘0’，计数器实现清‘0’。将使能信号也置‘0’。锁存信号的值不变。其次清零信号置‘1’，使能信号置‘1’，计数器正常工作。锁存信号的值不变。最后清零置‘1’，使能关闭，计数器保持，锁存器开始工作。

代码设计使用有限状态机实现。原理框图如图3-6所示。

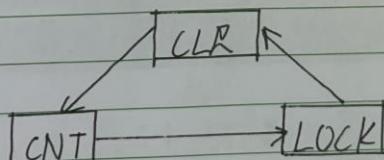
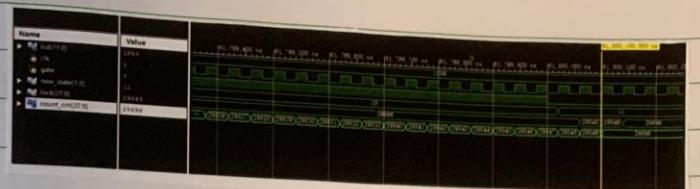
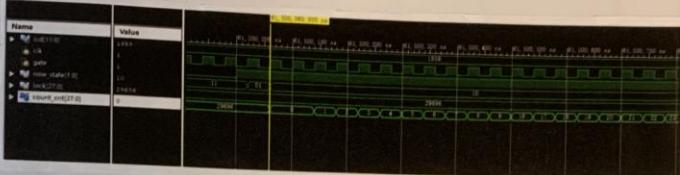


图3-6 有限状态机原理框图。



(a)



(b)

图 5-2. 仿真测试图2

如图2. 改变输入周期. 显示数字改变. 可知频率计数部分无误.

连接电源. 晶体管正常发光. 显示“000”. XC3S50 目标板发光. 显示工作正常. 插上 10nF 电容. 晶体管显示“104”. 显示电路工作正常. 换上 10nF 电容. 晶体管显示“103”. 镇流和清零控制电路工作正常. 详细实物照片见附录六.



图 5-3. 仿真测试图3.

如图所示. 用脉冲记数工作正常. 镇流和清零控制电路无误.

整体电路工作正常.

其中 CLR 是清零状态的实现，在 gate 信号上升沿后的第一个时钟周期实现。

CNT 是计数信号的实现，在 CLR 信号后时钟的上升沿实现。

LOCK 是锁存信号的实现，在 gate 信号为低电平时实现。实现计数器数值的锁存。

锁存和清零控制模块 verilog 代码见附录二

第四章 整体电路图(全部源程序)、项目报告电路图

详见附录二、附录三和附录四、附录五

第五章 测试与调试

5.1 单元电路、整体电路功能测试



(a)



cbc

图 5-1 仿真测试图 1

如图 5-1，记数器从 0 一直记数到目标数值 5120，可知记数部分无误。

5.2 误差分析.

电容测试仪显示结果见附录六.

表5-1 误差分析表.

待测电容C	理论显示值(μF)	实际显示值(μF)	误差
2.2μF	2.25	2.45	9.1%
10nF	1.03	1.03	0
100nF	1.04	1.04	0
1μF	1.05	1.15	10%
47nF	0.473	0.493	7.4%
100pF	0.1	0.11	10%
10μF	0.00	0.00	0
47μF	0.00	0.00	0

由表5-1: 该电容测试仪误差在技术指标内.

参考文献

- [1] 郭宇锋. 电工电子实验技术. 下册. 第2版. 北京. 人民邮电出版社. 2022,
- [2] 郭宇锋, 成谢锋. 电子系统设计与实践教程. 北京. 人民邮电出版社. 2015,
- [3] 张玉芹, 倪远泉. 教学式电容测量仪设计[J]. 郑州师范学院报(自然科学版). 2011. 11(03): 52-54,

结束语

本设计主要用于 $100\text{pF} \sim 9.9\text{nF}$ 电容的测量。设计中应用了单稳态触发器、多谐振荡器、滤波器、译码器、晶体管等。测量比较精准，显示速度快，能适应多种环境下的电容测量。

在此次电工电子课程设计中我投入了最大的热情与精力。从设计电路、构思原理、选择元器件，到 ISE 仿真。于是在电路中出现了不少问题，例如元器件损坏却没发现，在仿真时浪费了很多时间，verilog 语言语法出错，仿真失败等等。我经常会因为一个问题而在电脑前调好几个小时，但发现问题、解决问题的过程就是学习的过程。

这是一次理论与实际相结合的过程，在此过程中我将所学的电工电子知识运用到实际设计中。等到做出实物的那一刻，我充分体会到了知识的魅力和动手实践的乐趣。

总的来说，这是一次综合能力的锻炼，也激发了我对电路图的研究的兴趣。对我们来说，实践是检验真理的唯一标准。

附录一：

元器件清单

序号	元件型号	数量
1	4S11	3
2	NE555	1
3	C392共阴极数码管	3
4	75K几	1
5	晶振 1MHz	1
6	10nF (103)	2
7	47μF	1
8	100pF (101)	1
9	1nF (102)	1
10	47nF (473)	1
11	100nF (104)	1
12	1μF (105)	1
13	10μF	1
14	2.2μF (225)	1
15	下载线 下载线器B	1
16	下载电缆	1
17	XC3550AN 目标板	1
18	镊子	1
19	面包板	1
20	剥线钳	若干
21	导线	

第 15 页，共 25 页 成绩 _____ 教师签名 _____ 批改日期 _____ 年 _____ 月 _____ 日

附录二：全部源程序

1.top 代码：

```
module top(
    input clk,
    input gate,
    output reg [11:0] lcd
);

parameter [1:0] IDLE = 2'b00;
parameter [1:0] CLR = 2'b01;
parameter [1:0] CNT = 2'b10;
parameter [1:0] LOCK = 2'b11;

reg [1:0] now_state;
reg [1:0] next_state;
reg clear_n;
reg en;
wire [27:0] count_cnt;
reg [27:0] lock;

initial now_state = IDLE;

always @ (posedge clk) begin
    now_state <= next_state;
end

always @ (*) begin
    case (now_state)
        IDLE: next_state <= CLR;
        CLR: next_state <= CNT;
        CNT: next_state <= (gate) ? CNT : LOCK;
        LOCK: next_state <= (gate) ? CLR : LOCK;
    endcase
end
```

```

always @(posedge clk) begin
    case(now_state)
        CLR: begin
            clear_n <= 1'b0;
            en <= 1'b0;
            lock <= lock;
        end
        CNT: begin
            clear_n <= 1'b1;
            en <= 1'b1;
            lock <= lock;
        end
        LOCK: begin
            clear_n <= 1'b1;
            en <= 1'b0;
            lock <= count_cnt;
        end
    endcase
end

always @(*) begin
    if(!lock[23:4] || lock[27:24])
        lcd <= {lock[3:0],4'd0,4'd0};
    else if(!lock[23:8])
        lcd <= {lock[7:0],4'd1};
    else if(!lock[23:12])
        lcd <= {lock[11:4],4'd2};
    else if(!lock[23:16])
        lcd <= {lock[15:8],4'd3};
    else if(!lock[23:20])
        lcd <= {lock[19:12],4'd4};
    else
        lcd <= {lock[23:16],4'd5};
end

count count1(
    .clk      (clk),

```

17/25

```
.clear_n  (clear_n),
.en        (en),
.dout     (count_cnt[3:0]),
.co        (co1)
);
count count2(
    .clk      (~co1),
    .clear_n  (clear_n),
    .en       (en),
    .dout    (count_cnt[7:4]),
    .co      (co2)
);
count count3(
    .clk      (~co2),
    .clear_n  (clear_n),
    .en       (en),
    .dout    (count_cnt[11:8]),
    .co      (co3)
);
count count4(
    .clk      (~co3),
    .clear_n  (clear_n),
    .en       (en),
    .dout    (count_cnt[15:12]),
    .co      (co4)
);
count count5(
    .clk      (~co4),
    .clear_n  (clear_n),
    .en       (en),
    .dout    (count_cnt[19:16]),
    .co      (co5)
);
count count6(
    .clk      (~co5),
    .clear_n  (clear_n),
    .en       (en),
    .dout    (count_cnt[23:20]),
```

```
        co <= 1'd1;
    else
        co <= 1'd0;
end

endmodule
```

3. 测试代码：

```
'timescale 1ns / 1ps

module tb_top();
reg clk;
reg gate;
wire [11:0] lcd;

top u_top(
    .clk      (clk),
    .gate     (gate),
    .lcd      (lcd)
);

initial begin
    clk = 0;
    gate = 0;
    forever #60000 gate = ~gate;
end

always #20 clk = ~clk;
endmodule
```

```
        .co      (co6)
    );
count count7(
    .clk      (~co6),
    .clear_n (clear_n),
    .en       (en),
    .dout     (count_cnt[27:24]),
    .co       (x)
);

endmodule
```

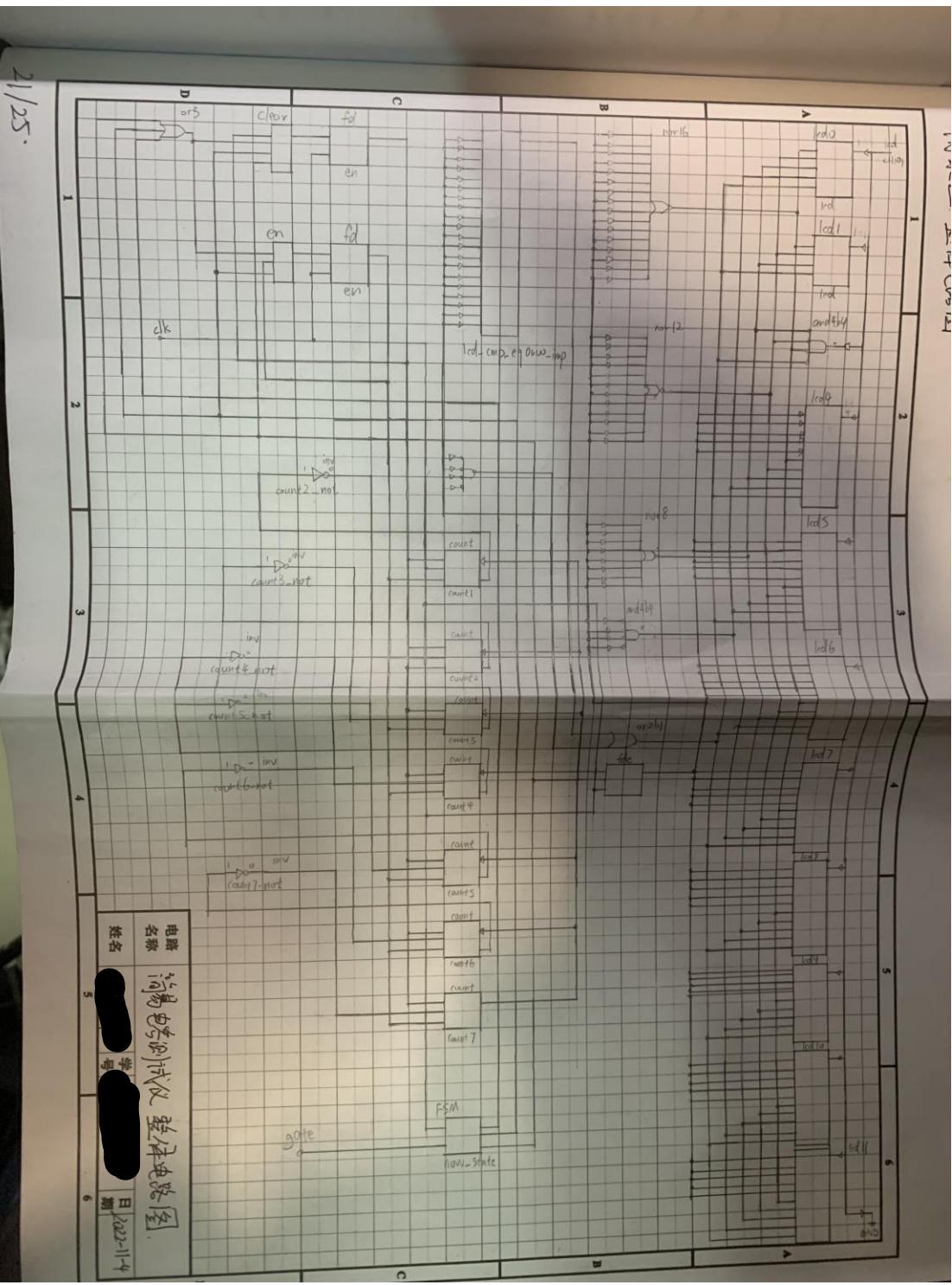
2.count 代码：

```
module count(
    input clk,
    input clear_n,
    input en,
    output [3:0] dout,
    output reg co
);

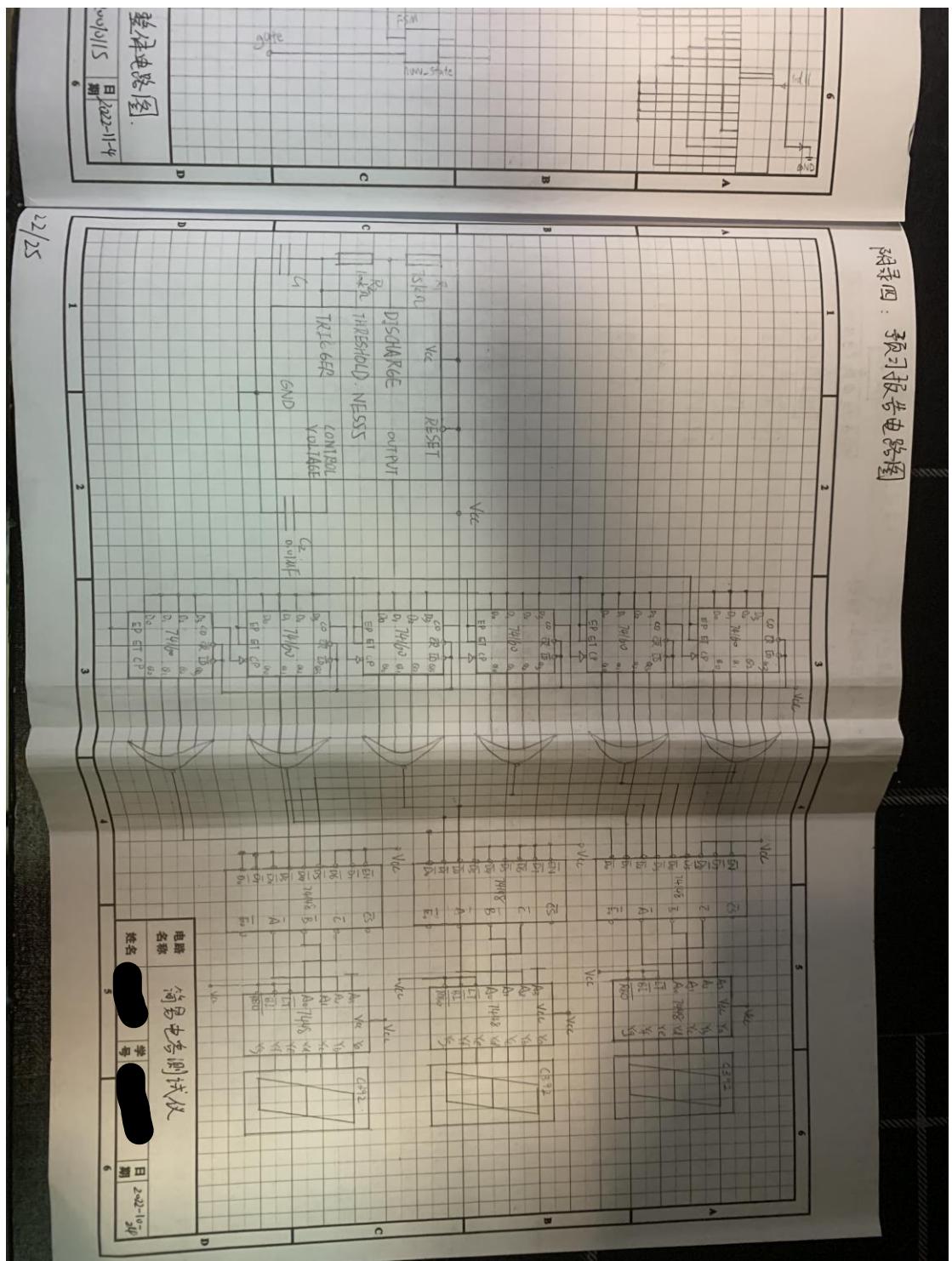
reg [3:0] cnt;
assign dout = cnt;

always @(posedge clk or negedge clear_n) begin
    if(!clear_n)
        cnt <= 4'd0;
    else if(cnt == 4'd9)
        cnt <= 4'd0;
    else if(en)
        cnt <= cnt + 1'b1;
    else
        cnt <= cnt;
end

always @(cnt) begin
    if(cnt == 4'd9)
        co = 1'b1;
    else
        co = 1'b0;
end
```



附录四：项目报告电路图



电子电路课程设计——简易电容测试仪

练习报告

整屏要求：

电容测试仪在一定的测量范围内测出电容的容值

并以数字方式直现的显示测量数值。

电容测试

1. 电容的测量范围 $100\text{PF} \sim 100\text{NF}$

2. 三位数显示电容的数值

(精度 $\pm 1\%$)，后一位显示 10 的倍率 (倍、加 0 的阶数)。容量

单位为 PF

3. 测量误差： $< 10\%$

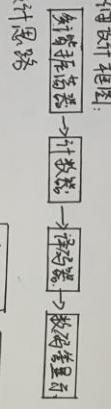
(设计指标：测量范围 $100\text{PF} \sim 100\text{NF}$ ，最小数位数显示四位)

设计思路：

微测电容 → 电容测试仪 → 显示数字

其中，多谐振荡器是电容测试仪的核心，振荡器的振荡频率以及其产生的基准频率的稳定性决定了电容测量仪的精度和稳定性。

详细设计框图：



设计思路

1.1MHz 振荡器

微处理器 → 数字计数 → 译码器 → 数码管显示

设计思路

微测电容 → 微处理器 → 显示数字

微测电容由 NE555 组成多谐振荡器，SS555 的振荡频率在一定条件下电容的倒数产生的频率与电容成正比。

$$T = 0.7 \times C \times (R_{12}R_2)$$

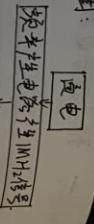
$$\text{即 } C = \frac{T}{0.7 \times R_{12}R_2}$$

将 T 时间内对一个振荡频率进行计数，使脉冲个数等于电容需要显示的值，将脉冲数输入单片机中显示电容大小。

SOP 脚本的录屏脚本中显示。

SOP 脚本的录屏脚本中显示。

系统流程图



附录二

参考资料

[1] 《电子系统设计与实践教材》

[2] ‘简易电容测试仪设计’.pdf (1.21 MB)

[3] NE555 应用电路大全 23 种. 有源振荡器设计篇

[4] 74HC4046 固定功能 (ESD)

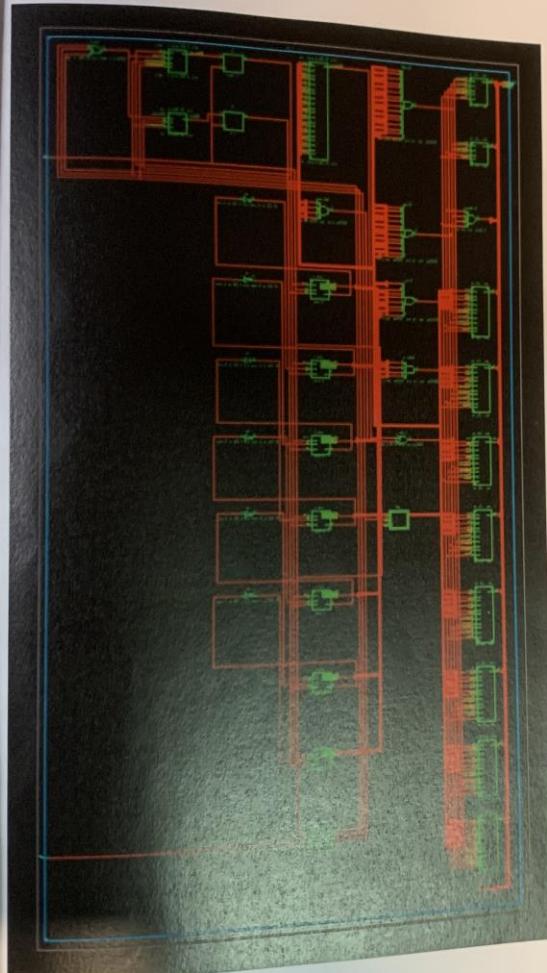
[5] 电容测试仪 - Multisim 仿真图及实物

[6] ‘简易电容测试仪的课程设计’.pdf

[7] 电容测量仪设计. 重第 8 版

[8] [简单数字电容测试仪]. PDF

附录五：ISE 原理图



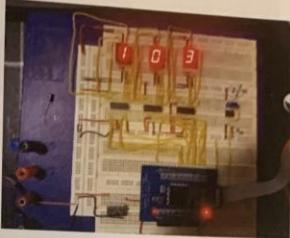
23/25

附录六：课程完成情况和实物照片

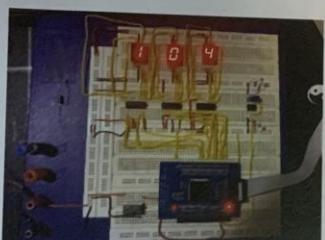
1. 课程完成情况



2.2 μ F (显示 245)



10nF (显示 103)



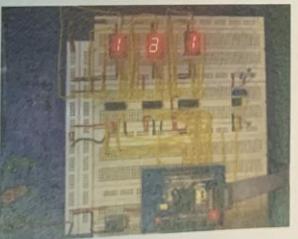
100nF(显示 104)



1 μ F (显示 115)



47nF (显示 493)



100pF (显示 111)

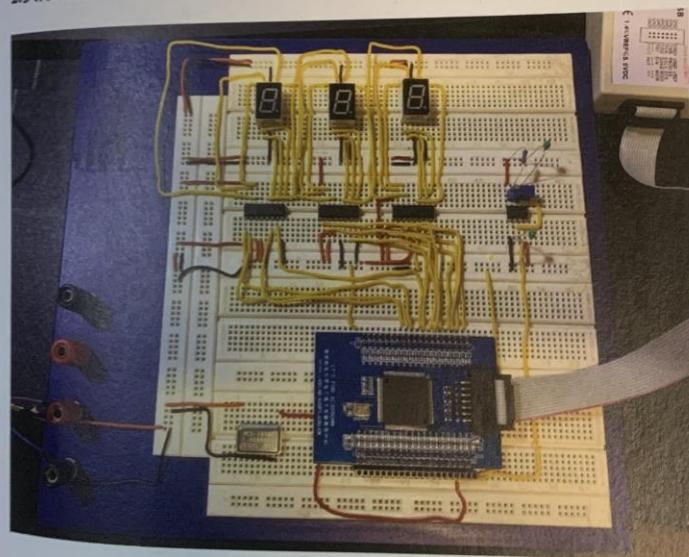
24/25



10 μ F (显示 000)

47 μ F (显示 000)

2 实际电路连接图



25/25