



南京邮电大学
Nanjing University of Posts and Telecommunications

电工电子实验报告

课程名称： 电工电子实验（二）
实验项目： 组合逻辑电路

学 院： 贝尔英才学院
班 级：
学 号：
姓 名：
学 期： 2022-2023学年第1学期

组合逻辑电路

一、实验目的

1. 掌握基本门电路的实际应用方法。
2. 掌握基本门多余端的处理方法。
3. 用实验验证所设计电路的逻辑功能。
4. 判断、观察组合逻辑电路险象并了解消除险象的方法。

二、预习要求

1. 详细阅读附录A中电工电子综合实验箱的基本功能及使用方法。
2. 复习SSI组合逻辑电路的设计方法。
3. 复习组合逻辑电路险象及消除险象的方法。
4. 了解数字示波器的使用方法。
5. 熟悉集成电路的管脚排列顺序，并了解本实验所用集成电路的主要参数。
6. 设计出实验内容中要求的电路图。

三、实验仪器

1. EDA软件：NI Multisim 14.0

四、实验原理

1. 组合逻辑电路设计

组合逻辑电路是指纯由小、中、大规模集成电路构成的电路，电路中没有记忆元器件。

组合逻辑电路的设计是数字技术中的一个重要课题。所谓组合逻辑电路的设计，就是按照逻辑要求，确定逻辑关系，构成经济、合理和实用的逻辑电路。其设计步骤如下。

- (1) 将逻辑问题的文字描述变换成真值表。
- (2) 利用卡诺图或公式法求得最简逻辑表达式，并根据所选用的器件对最简逻辑表达式进行变换，得到所需形式的逻辑表达式。
- (3) 由逻辑表达式画出逻辑图。

组合逻辑电路的设计原则不外两条：首先，所设计出的电路能实现给定的逻辑功能；其次，电路尽可能是最佳的。

实际的组合逻辑电路设计可分为纯逻辑设计和工程设计。

纯逻辑设计一是把器件都视为理想器件，二是想用什么器件就用什么器件，如课堂上的理论设计。实际上，任何器件都是非理想的，都是有一定的延迟时间的，且器件的品种还受市场供应制约。

工程设计要根据特定要求满足主要性能指标，并兼顾其他的原则。例如，做高速运算和控制时，最主要的质量指标是速度，因而可以选用 ECL 类型的集成电路，并尽量减少电路的级数。对于宇航、卫星等数字设备，显然，最主要的质量要求是低功耗、高可靠性，这时就应选用CMOS类型的集成电路，并尽可能使电路结构简单。工程设计应从电路的速度、造价、工作可靠性及功耗等方面综合考虑，这是一个复杂问题。总之，工程设计应尽可能用标准器件，所使用的器件应尽可能少，使性能价格比最大。

对于任何一个逻辑问题，只要能列出它的真值表，就能顺利地设计出逻辑电路。但是，把逻辑问题的文字描述转换成真值表并不是一件容易的事情，取决于设计者对逻辑问题的理解和个人的经验。

例4-1 举重比赛中有三个裁判。裁判认为杠铃已完全举上时，按下自己面前的按钮。假定主裁判和两个副裁判面前的按钮分别为A、B和C。表示完全举上的指示灯F只有在三个裁判或两个裁判（但其中一个必须是主裁判）按下自己面前的按钮时才亮。试设计满足该逻辑功能的逻辑电路。

首先按题意列出真值表，列真值表要解决两个问题：一是根据逻辑问题确定逻辑变量和输出二是概括逻辑功能填写真值表。由题意可以明显看出，裁判面前的按钮为逻辑变量，指示灯为输出函数。

按钮和指示灯都只有两种状态，用“1”表示按钮按下，“0”表示不按。

F=“1”表示灯亮，F=“0”表示灯灭。根据题意列出真值表如表4-1所示。

例4-1 真值表

| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

经卡诺图化简可得

$$F=AC+AB$$

采用与非门时，所得逻辑电路如图 4-10 所示。

对于多输出函数，简化时也是以单个函数简化法作为基础。但多输出网络是一个整体，它的每个输出对应一个函数，并且是一组函数的一部分。我们所要求的是整体简化，因此，在简化时应该照顾到全局。

2. 组合逻辑电路的冒险现象及消除方法

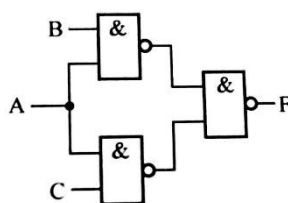


图 4-10 例 4-1 的逻辑电路

前面所讨论的组合逻辑电路设计基础是输入和输出信号都是稳定的。也就是说，讨论的是静态下的逻辑关系。对于实际的组合逻辑电路来说，当所有的输入信号达到稳定时，输出并不能立即达到稳态，而是要经过一个过渡过程。在这个过程中，真值表所描述的逻辑关系可能暂时受到破坏，即输出端可能不是原来所期望的状态。这种在输入信号发生变化时，组合逻辑电路有瞬时干扰信号（毛刺）输出的现象称为冒险现象（简称为险象）。

（1）组合逻辑电路中的逻辑险象。

逻辑险象是指电路中一个输入变量发生变化时，电路在瞬变过程中出现短暂错误输出（毛刺）的现象。

图4-11所示的 $F = A \cdot \bar{A}$ 电路中，由于 G_1 门的延迟，信号A由“0”变到“1”时，在电路输出端错误产生“0-1-0”型险象。一个信号经过不同途径到达同一门的输

入端时，由于每条途径上的延时往往不同，因而到达的时间可能有先有后，这种现象称为竞争。竞争就是产生险象的根本原因。

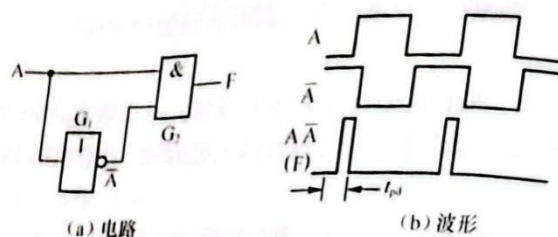


图 4-11 “0-1-0”型险象

同样，或门电路中也会产生险象，如图4-12所示，这是一种“1-0-1型险象。

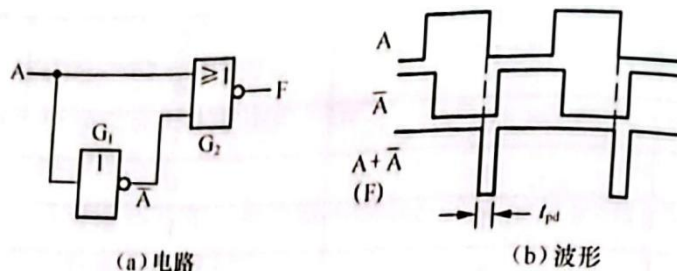


图 4-12 “1-0-1”型险象

我们把单一输入变量变化前后输出稳定值相同，而在输入变量变化时所产生的瞬时错误输出，称为静态逻辑险象。上面讨论的“0-1-0”型和“1-0-1”型险象都属于这种险象。

在组合逻辑电路中，还有另一类逻辑险象——动态逻辑险象。动态逻辑险象是指单一输入变量变化前后输出稳定值不同时电路中出现的险象。具有动态逻辑险象的电路所造成的瞬时误动作是输出产生三次或大于三次的奇数次变化，也就是波形的毛刺是以“1-0-1-0”或“0-1-0-1”形式出现的。图4-13所示电路中，在 $B=C=1$ ， A 由“1”变为“0”时，输出 F 为“1”→“0”→“1”→“0”，出现正向尖脉冲。

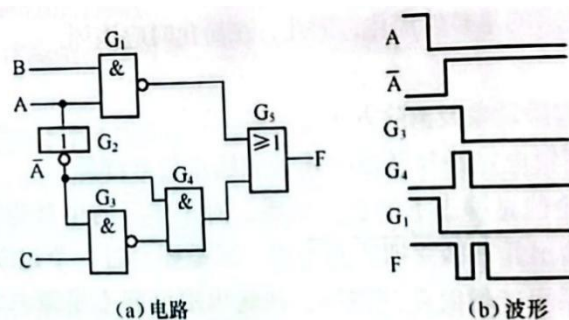


图 4-13 动态逻辑险象

(2) 静态逻辑险象的判别方法。

判断一个电路中是否存在静态逻辑险象的方法有代数法、卡诺图法和示波器法。

①代数法。

代数法是根据函数式的结构来判断，方法如下。

当变量同时以原变量和反变量形式出现在函数式中时，该变量就具备了竞争条件。

消除式中其他变量而仅留下被研究的变量，若得到下列两种形式，则说明存在静态的逻辑险象。

$$F = A * \bar{A} \quad \text{“0-1-0”型险象}$$

$$F = A + \bar{A} \quad \text{“1-0-1”型险象}$$

消除其他变量的方法，是将这些变量的各种取值组合依次代入函数式，把它们从式中消去。如果某一变量仅以一种形式出现在函数式中，它的变化不会引起竞争，可不考虑它的影响。

②卡诺图法。

由一个函数(或电路)所对应的卡诺图很容易判断该函数(或电路)中是否存在静态逻辑险象。只要有二个卡诺圈相切，则当变量在两卡诺圈搭接处发生变化时必然产生险象，而若两卡诺圈交叠或相互错开，则不会产生险象。

③示波器法。

险象仅仅发生在输入信号变化瞬间，因而可以借助示波器，让待研究的输入变量处于变化之中，来观察是否有险象发生，具体方法如下。

将给定逻辑电路中某一具有竞争能力的变量用频率较高(>1MHz)的脉冲信号代替，而将其他变量接逻辑开关，然后在这些变量的各种取值下，用双踪示波器同时观察该脉冲信号及输出波形，就可看出该变量变化时，输出波形有无毛刺产生。对每一个具有竞争能力的变量逐一测试，就可较快确定该逻辑电路中实际上是否存在险象、险象类型，以及险象出现的条件。

至于动态逻辑险象，它的判断不像静态逻辑险象那样一目了然，只能针对某种转换进行具体分析。消除动态逻辑险象也比较困难。在实验中，我们可用上述示波器法来判断动态逻辑险象。

(3)组合逻辑电路中的功能险象

组合逻辑电路中有二个或二个以上输入变量同时发生变化，由不同变化途径而产生的险象称为功能险象。类似于逻辑险象，它也分为静态功能险象和动态功能险象。

如图4-14所示的电路来说，当ABCD由“0001”变到“0111”，变量B和C不可能绝对同时变化，若C先从“0”变到“1”，由卡诺图可见，这时F为“1”→“0”→“1”，产生静态功能险象，而当ABCD由“1100”变到“1011”时，如途径是“1011”→“1101”→“1111”→“1011”，则F“1”→“0”→“1”→“0”为产生动态险象。

由上面的功能分析可见，这类险象是由电路的逻辑功能决定的，所以称为功能险象。无论是静态功能险象还是动态功能险象，都可由卡诺图来判断。

(4)险象的消除方法。

险象对数字系统的危害视它的负载电路性质而定。

如果负载是组合电路或惯性大的仪表，则

影响不大；如果负载是时序电路，而且毛刺的宽度

等于或大于后级的响应时间，则会使时序电路中的触发器错误动作。显然该情况下险象是有害的。险象的消除方法有以下几种。

①修改逻辑设计。

对逻辑险象来说，可在原两数式中加上多余项或乘上多余因子（对或与表达式），也就是：在卡诺图中，用一个多余圈将两个相切的卡诺圈连接起来。或将卡诺图重圈，避免相切。其目的是使原函数F不再可能化为 $A + \bar{A}$ 的或 $A \cdot \bar{A}$ 形式，从而消除逻辑险象。

可以证明，添加多余项后，原来的险象消除了，但增加了设备量。

②加滤波电路。

在对输出波形要求不高的情况下，可在输出端加一个RC积分器（低通滤波器）或直接加滤波电容，适当选取R、C值将毛刺压抑在电路正常工作的允许范围内，从而消除毛刺对后级工作的影响，如图4-15所示，

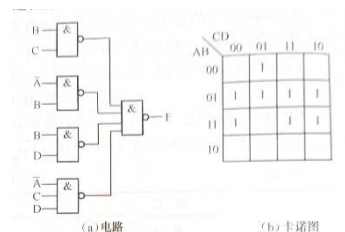
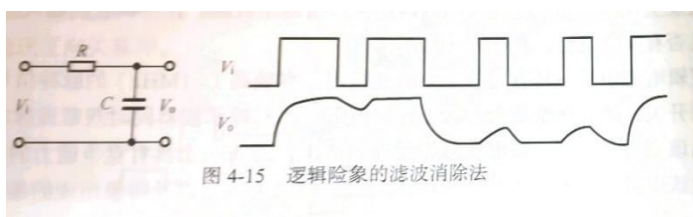
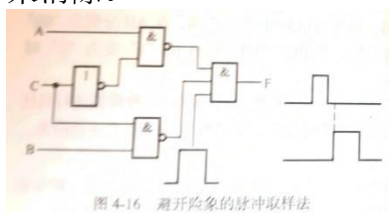


图 4-14 功能险象电路及卡诺图



③加取样脉冲。

由上面的分析可知，险象仅发生在输入信号变化的瞬间。因此，在组合逻辑电路输出门的一个输入端加一个取样脉冲，就可以有效地消除任何险象。取样脉冲的出现时间一定要与输入信号的变化时间错开，这样，通过取样就能正确反映组合逻辑电路的输出值，如图4-16所示。但必须指出，加取样脉冲后，输出将不是电位信号，而是脉冲信号。至于功能险象，它是由几个输入变量的实际变化存在时差引起的，因而很难在逻辑设计时设法避免，通常采用加取样脉冲或加滤波电路来消除。



五、实验内容

1. 用与非门设计一数字锁逻辑电路，该锁有3个按钮A、B、C，F1表示开锁，F2表示报警

(1) 实验电路图及设计过程

55.5

A, B, C

1. 表示按钮按下
0 表示按钮未按下

F₁

1. 表示开锁
0 表示没开锁

F₂

1 表示报警
0 表示没报警

真值表:

| A | B | C | F ₁ | F ₂ |
|---|---|---|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |

卡诺图

F₁ / BC

| A \ BC | 00 | 01 | 11 | 10 |
|--------|----|----|----|----|
| 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

F₂ / BC

| A \ BC | 00 | 01 | 11 | 10 |
|--------|----|----|----|----|
| 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |

逻辑表达式:

$$F_1 = \overline{A}C + AB + B\overline{C}$$

$$= \overline{A}C + \overline{A}B\overline{C} + AB\overline{C}$$

$$F_2 = \overline{A}C + \overline{B}C$$

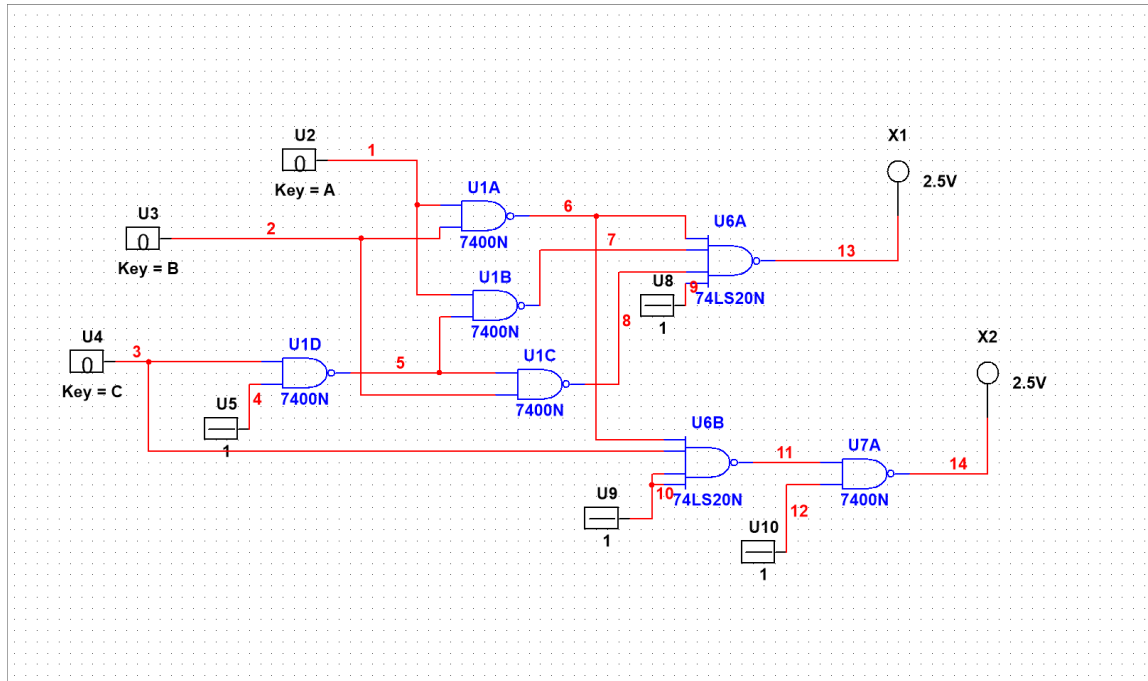
$$= \overline{A}C + \overline{B}C$$

$$= C(\overline{A} + \overline{B})$$

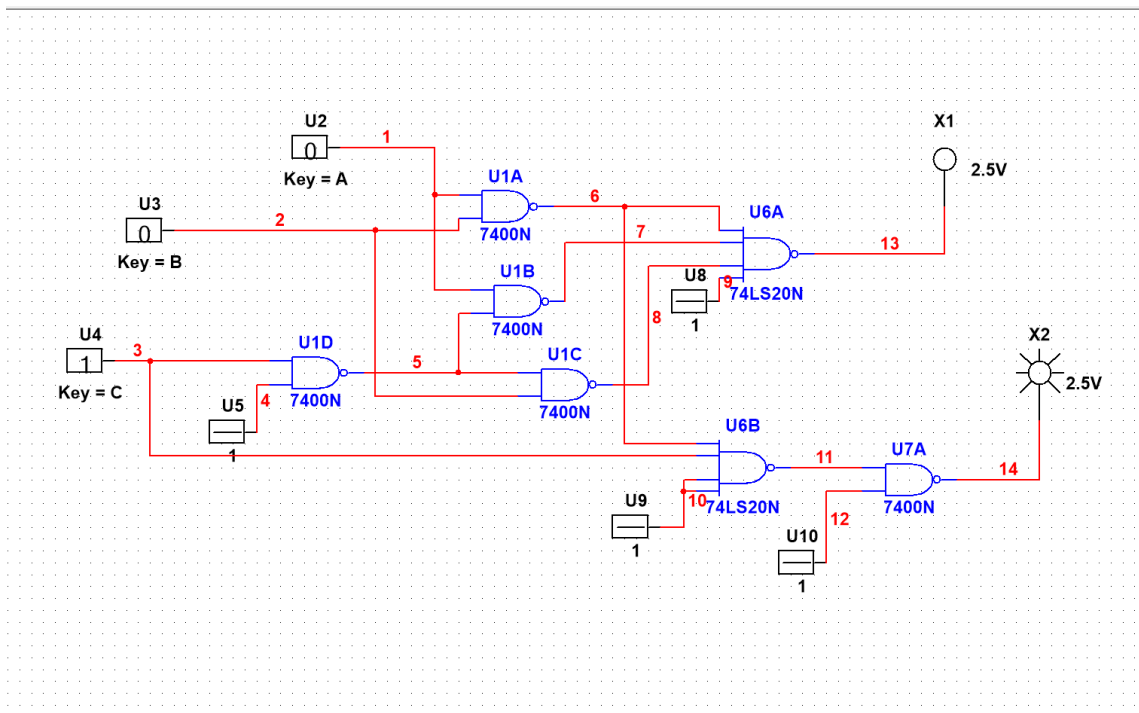
电路图

(2) 仿真结果

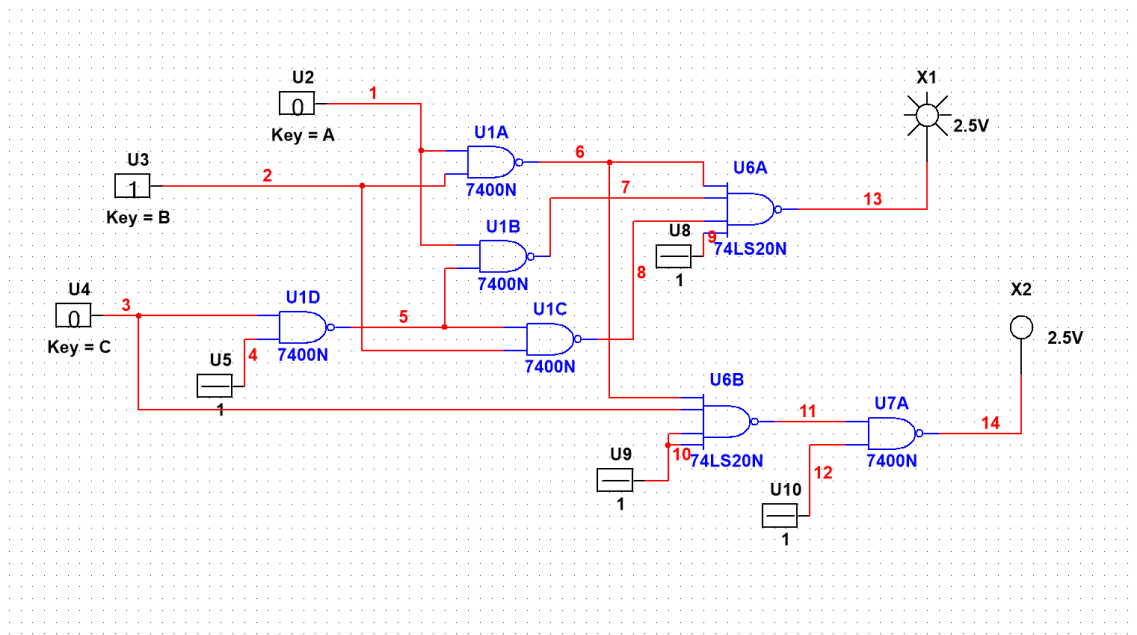
① 静态测试



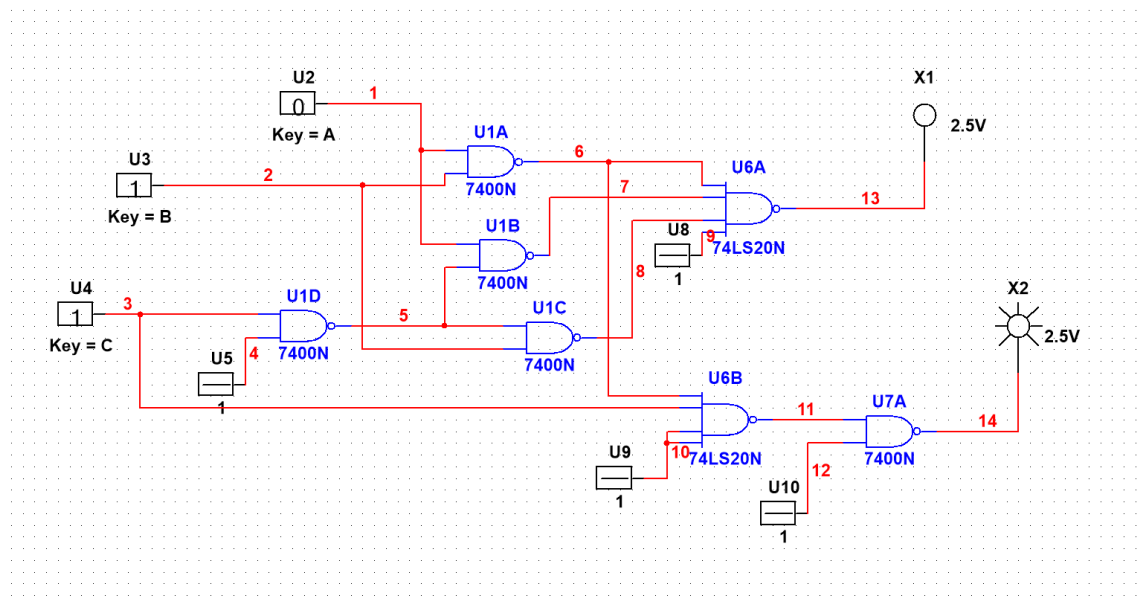
000



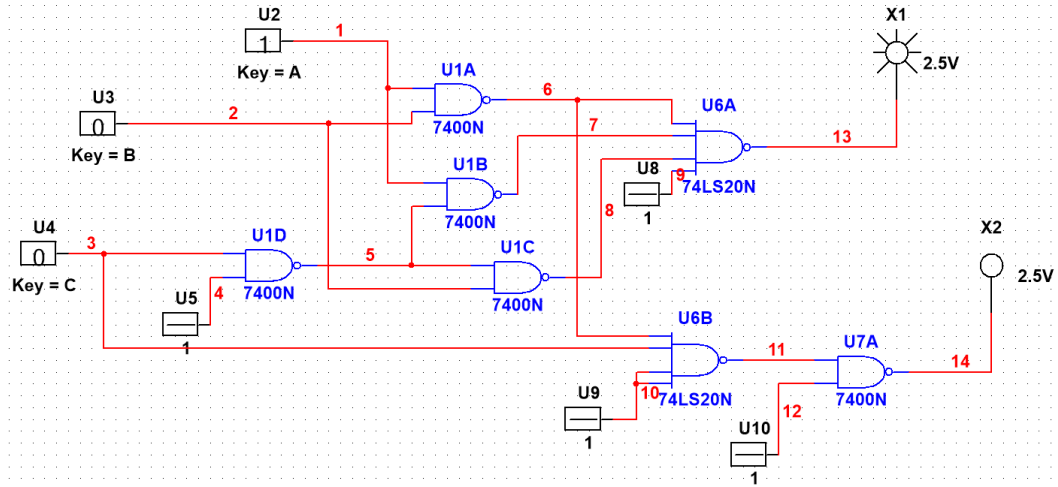
001



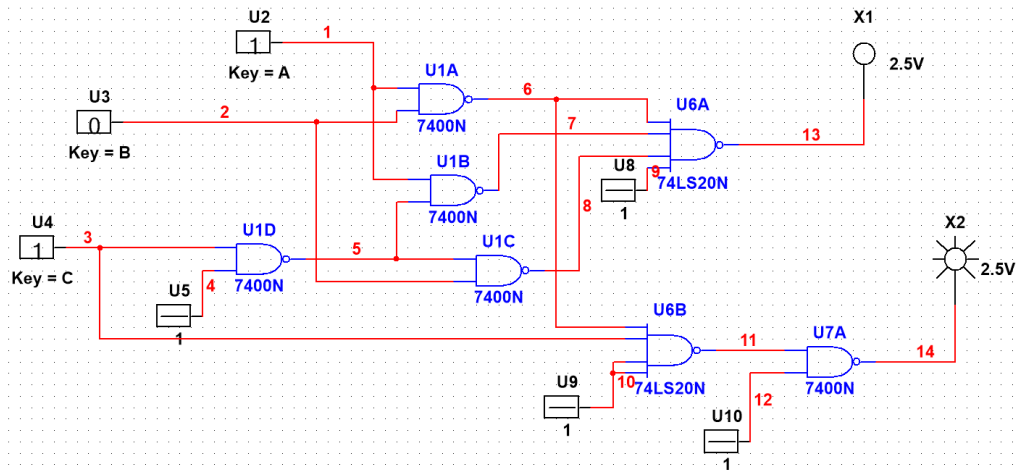
010



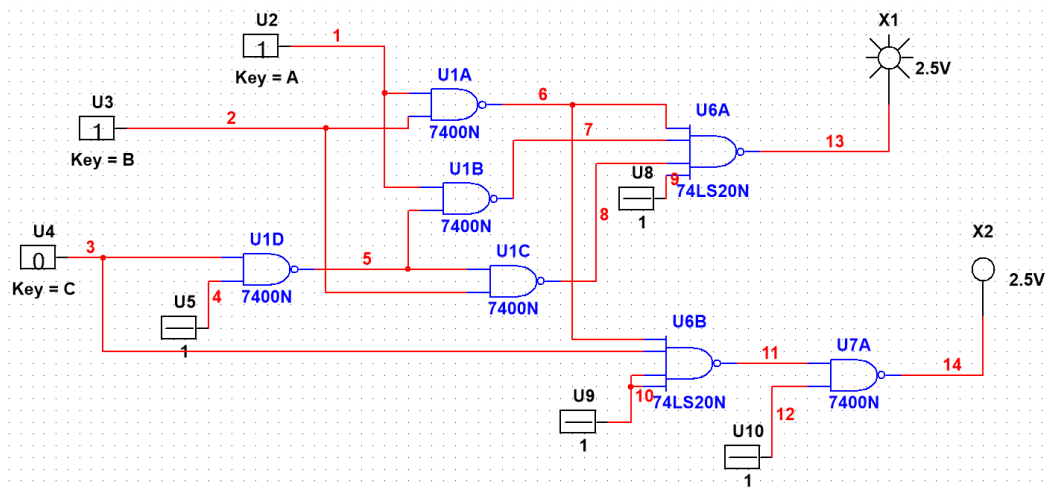
011



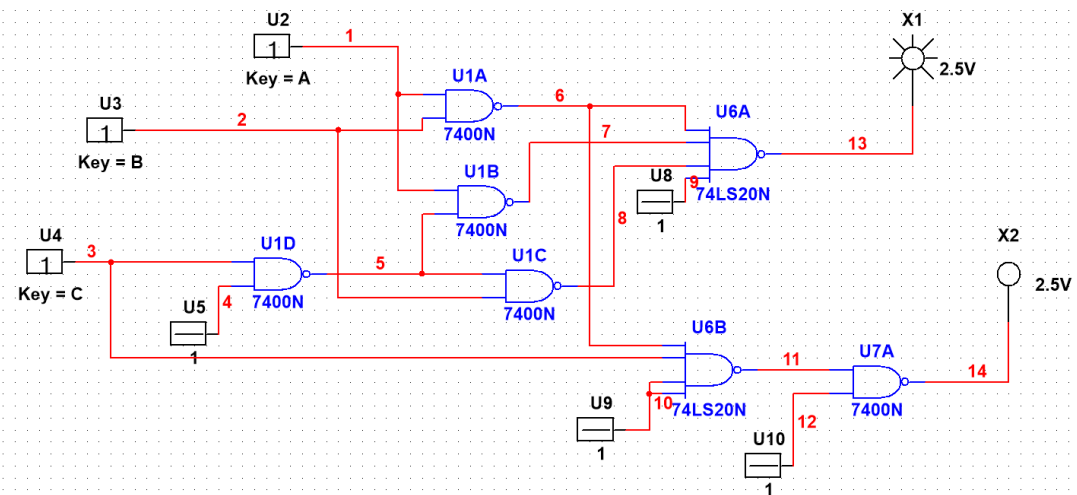
100



101

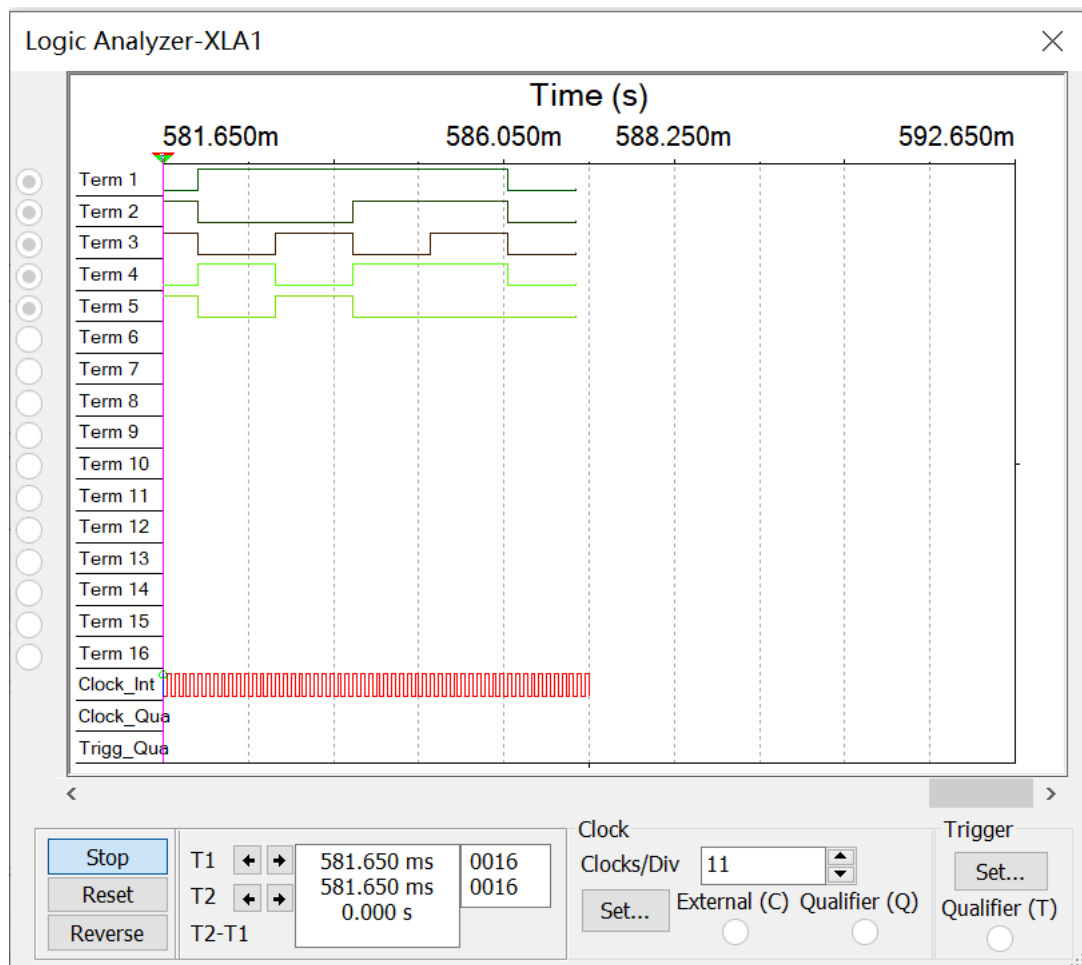


110



111

② 动态测试结果



2. 有一组逻辑电路如图4-17所示，

(1) 实验电路图

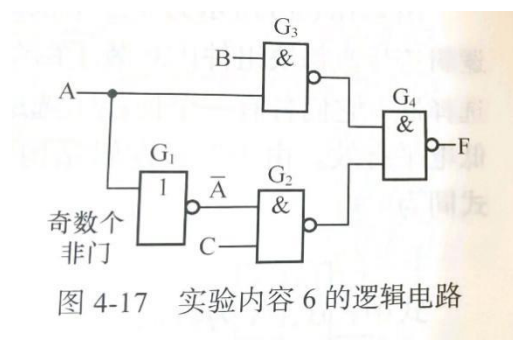
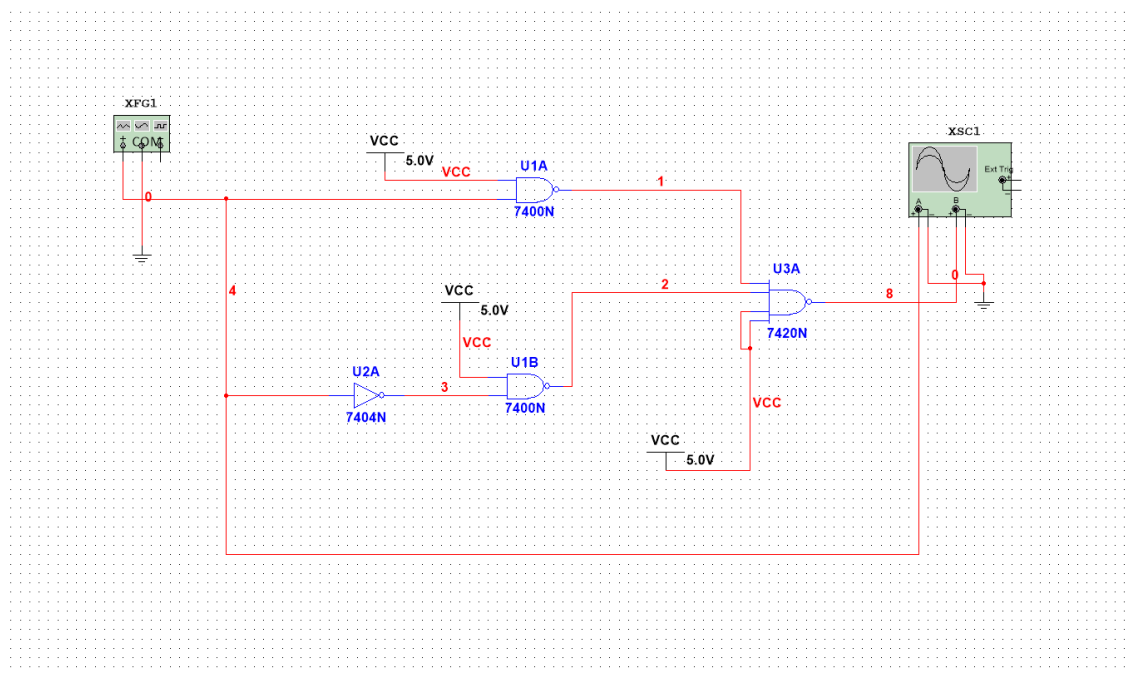
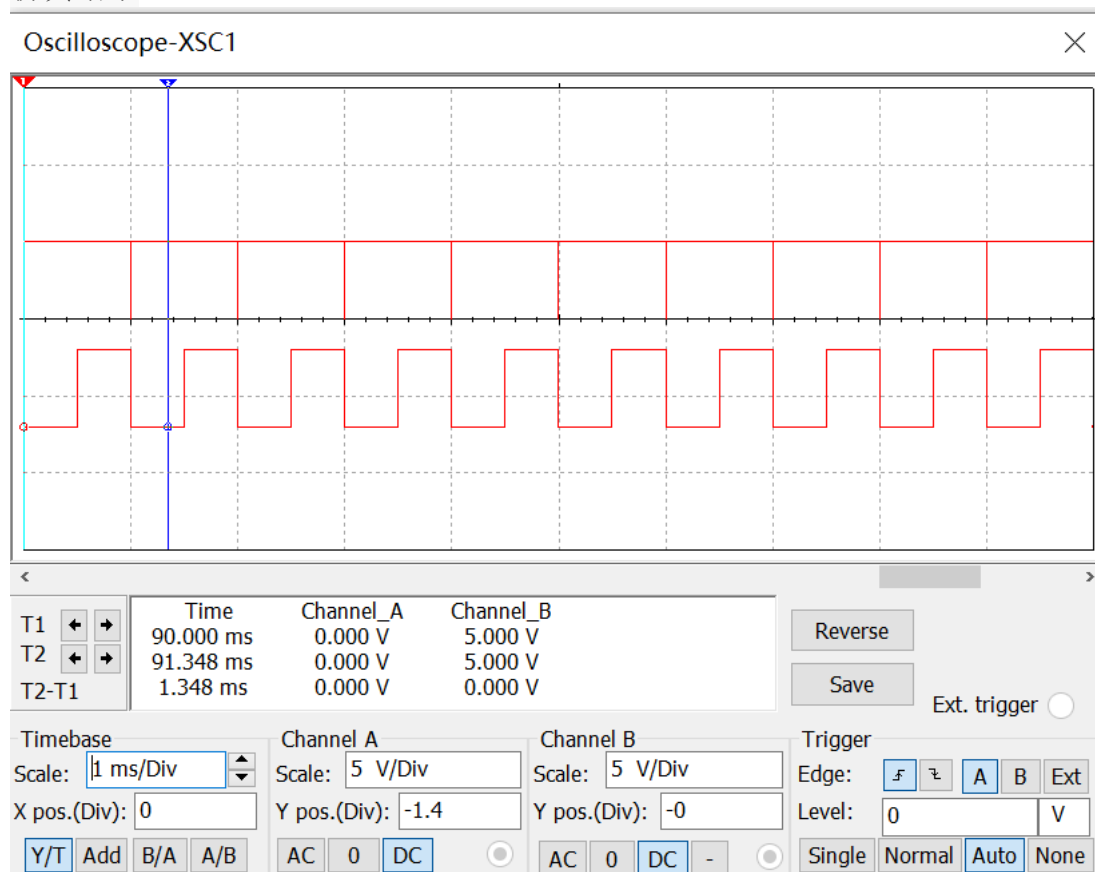


图 4-17 实验内容 6 的逻辑电路

(2) 观测逻辑险象的仿真电路



(3) 仿真结果



六、实验总结

通过本次实验我掌握基本门电路的实际应用方法。掌握了基本门多余端的处理方法。学会了用实验验证所设计电路的逻辑功能。能判断、观察组合逻辑电路险象并了解消除险象的方法。