Lab 9 Report

I spend 10 hours on this lab

Block diagram:

图示

描述已自动生成

System Verilog:

文本

描述已自动生成

电脑屏幕截图

描述已自动生成

文本

描述已自动生成

文本

描述已自动生成

电脑屏幕截图

描述已自动生成

图形用户界面, 文本

中度可信度描述已自动生成

文本

描述已自动生成

Table 1:

表格

描述已自动生成

Simulation waveform:

图形用户界面

描述已自动生成The figure below shows the success result of testbench

电脑萤幕画面

描述已自动生成

The figure above shows the correct value is written to the correct address with red circle.

The figure below shows 7 written in memory but there is no 25 because once the testbench detects the 25 written in 100, it will stop at once.

电脑萤幕画面

描述已自动生成

RTL view schematic

图表

描述已自动生成

图示, 示意图

描述已自动生成

图表

低可信度描述已自动生成

图示, 示意图

描述已自动生成

Controller is the same as Lab8