

**GOBIERNO CONSTITUCIONAL DEL ESTADO LIBRE Y SOBERANO DE OAXACA  
INSTITUTO ESTATAL DE EDUCACIÓN PÚBLICA DE OAXACA  
COORDINACIÓN GENERAL DE PLANEACIÓN EDUCATIVA  
COORDINACIÓN GENERAL DE EDUCACIÓN MEDIA SUPERIOR Y SUPERIOR**

**PROGRAMA DE ESTUDIO**

|                         |                                     |
|-------------------------|-------------------------------------|
| NOMBRE DE LA ASIGNATURA | <b>Arquitectura de computadoras</b> |
|-------------------------|-------------------------------------|

|                                  |   |                             |
|----------------------------------|---|-----------------------------|
| CICLO<br><b>Segundo Semestre</b> | CLAVE DE LA ASIGNATURA<br><b>210201</b> | TOTAL DE HORAS<br><b>85</b> |
|----------------------------------|---|-----------------------------|

|  |
|--|
| OBJETIVO(S) GENERAL(ES) DA LA ASIGNATURA   |
| Proporcionar al estudiante los conceptos teóricos, las bases metodológicas y las técnicas de diseño relacionadas con la implementación de arquitecturas de procesadores de alto rendimiento. |

|                  |
|------------------|
| TEMAS Y SUBTEMAS |
|------------------|

- 1. Fundamentos del diseño de computadoras**
  - 1.1 Terminología
  - 1.2 Requerimientos funcionales
  - 1.3 Nuevas tendencias en tecnología
  - 1.4. Cinco componentes clásicos de una computadora
  - 1.5. Generaciones de computadoras
- 2. Rendimiento**
  - 2.1 Definiciones de rendimiento
  - 2.2 Medición del rendimiento
  - 2.3 Elección de programas para evaluar el rendimiento
  - 2.4 Comparación y resumen de rendimientos
  - 2.5 Tiempo de ejecución ponderado
  - 2.6 Principios cuantitativos de diseño de computadoras
  - 2.7 Conjuntos de benchmarks del SPEC
- 3. Diseño de repertorios de instrucciones**
  - 3.1 Clasificación de las arquitecturas a nivel lenguaje máquina
  - 3.2 Direccionamiento de memoria
  - 3.3 Modos de direccionamiento
  - 3.4 Operaciones del repertorio de instrucciones
  - 3.5 Tipo y tamaño de los operandos
  - 3.6 Codificación del repertorio de instrucciones
- 4. Ejemplos de las arquitecturas de nivel lenguaje máquina**
  - 4.1 La arquitectura MIPS64
  - 4.2 Arquitectura de x86 de Intel. Arquitectura I-64 de Intel
- 5. Segmentación del path de datos**
  - 5.1 Implementación de MIPS sin segmentación
  - 5.2 Segmentación básica para una máquina RISC
  - 5.3 Rendimiento para caso de segmentación
  - 5.4 Riesgos de la segmentación
  - 5.5 Extensión de la segmentación de MIPS para manipular operaciones multiciclo
  - 5.6 Riesgos y adelantamiento en el caso de la segmentación con latencia grande



COORDINACIÓN  
GENERAL DE EDUCACIÓN  
MEDIA SUPERIOR Y SUPERIOR

- 6. Planificación estática de segmentación**
  - 6.1 Paralelismo del nivel de instrucción
  - 6.2 Planificación básica de la segmentación y el desenrollamiento del ciclo
  - 6.3 Dependencias
  - 6.4 Paralelismo del nivel de ciclo
- 7. Planificación dinámica de segmentación**
  - 7.1 Planificación dinámica con el marcador
  - 7.2 El algoritmo de Tomasulo
- 8. Procesadores de emisión múltiple**
  - 8.1 Emisión múltiple
  - 8.2 Procesadores superescalares con planificación estática
  - 8.3 Emisión múltiple con planificación dinámica
  - 8.4 Especulación basada en hardware
  - 8.5 Emisión múltiple estática, enfoque de VLIW
  - 8.6 Tecnología Hyperthreading (HT) de Intel
- 9. Memoria cache**
  - 9.1 La cache de datos
  - 9.2 Cache de instrucciones
  - 9.3 Rendimiento de la cache
  - 9.4 Fuentes de los fallos de la cache
  - 9.5 Reducción de la penalización de fallos
  - 9.6 Caches de dos y tres niveles.
- 10. Memoria principal**
  - 10.1 Tecnología de memoria principal
  - 10.2 Organizaciones para mejorar el rendimiento de la memoria principal
  - 10.3 Memoria virtual
  - 10.4 Técnicas para traducción rápida de direcciones
  - 10.5 Selección del tamaño de página
  - 10.6 Protección de procesos
- 11. Dispositivos de memoria. Entradas/Salidas. Buses.**
  - 11.1 Discos magnéticos
  - 11.2 Discos ópticos
  - 11.3 Buses
  - 11.4 Conexión de los dispositivos de E/S a CPU/memoria
  - 11.5 Buses estándares

#### ACTIVIDADES DE APRENDIZAJE

Exposición por parte del maestro; lecturas enfocadas y actualizadas; una variedad de estudios de arquitecturas reales o basados en los modelos y algoritmos presentados en curso; investigaciones del comportamiento de los diferentes modelos del path de datos de computadora con diferentes ejemplos del código; desarrollo de los diagramas de temporización; estudio de la planificación estática y dinámica de segmentación para el caso de procesadores de emisión simple y emisión múltiple.

#### CRITERIOS Y PROCEDIMIENTOS DE EVALUACIÓN Y ACREDITACIÓN

Resolución de los problemas en clase con la evaluación de la habilidad de los estudiantes de aplicar los conocimientos obtenidos en la práctica; evaluación de la habilidad los estudiantes trabajar independiente por medio de las tareas y proyectos de corto plazo; exámenes parciales y examen final.



COORDINACIÓN  
GENERAL DE EDUCACIÓN  
MEDIA SUPERIOR Y SUPERIOR

I.E.E.P.O

**BIBLIOGRAFÍA**

## Libros básicos:

- **Computer Organization and Design: The Hardware/Software Interface.** David A. Patterson, John L. Hennessy, 4-th edition, Morgan Kaufmann Publishers, Inc. San Francisco, CA, USA, 2008.
- **Computer Architecture: A Quantitative Approach.** John L. Hennessy, David A. Patterson., 4-ra edit Morgan Kaufmann Publishers, Inc. San Francisco, CA, USA, 2006.
- **Los microprocesadores Intel 8086/8088, 80186, 80286, 80386 y 80486. Arquitectura, programación Interfaces.** Barry B. Bray. 3-ra edición. Prentice-Hall Hispanoamericana, S.A., 1995.
- **The 80386, 80486, and Pentium Processor. Hardware, Software and Interfacing.** Walter A. Triebel. Prentice-Hall. Inc., 1998.

## Libros de consulta:

- **Computer Organization and Architecture. Designing for Performance.** Stalling W., 6-th edition, Prentice Hall, USA, 2002.
- **Intel Microprocessors.** Barry B. Brey, Prentice Hall, 2008.
- **Intel 64 and IA-32 Architectures Software Developer's Manual.** Intel Corp., 2009.

**PERFIL PROFESIONAL DEL DOCENTE**

Estudios formales mínimo de maestría y de preferencia doctorado completados en electrónica y computación o un área relacionada; habilidades y técnicas docentes dinámicas y actualizadas.



COORDINACIÓN  
GENERAL DE EDUCACIÓN  
MEDIA SUPERIOR Y SUPERIOR  
I.E.E.P.O