

## Bitácora

David Badilla Sánchez 2013389091

**7/9/2017**

Se empezó con el diseño del compilador. Se acordó que el enfoque del ISA sería lo más similar a un MIPS de 32 bits.

**9/7/2017**

Se deja completamente listo el análisis léxico. Se crean archivos de configuración para definir las instrucciones que se utilizan y el formato de los registros utilizados

**10/9/2017**

Se completa el análisis sintáctico.

**16/9/2017**

Se empieza con la generación de código que ira a la ROM del procesador

**30/9/2017**

Se completa la generación de código.

**10/10/2017**

Se empieza el manejo de riesgo en a nivel de compilador. Se agregarán NOPS dependiendo del tipo de riesgo que se esté tratando.

**12/10/2017**

Se concluye el manejo de riesgos a nivel de compilador.

**14/10/2017 y 15/10/2017**

Manejo de errores en el compilador. Se analiza y reparan diferentes tipos de errores existentes en el procesador