

Universidade de Itaúna		Curso: Ciência da Computação		Disciplina: Organização Computadore	-	e de
Professor (a): Adriana Dornas				Ano: 2021		
3º Período	Turno: Noite		CIU:	Atividade rela	ativa à aula	de
			82148	1 5/03/2021	L	
Nome: Edmilson Lino Cordeiro						
Davi Ventura Cardoso Perdigão						
João Paulo Fern	andes Rocha					
Perguntas e Respostas: Pipeline						

 No mundo da computação é possível notar que possuem várias arquiteturas relacionadas aos processadores, e uma delas é a Arquitetura de Pipeline. Descreva como é e como funciona essa arquitetura.

Pipeline, muitas vezes traduzido para português como paralelismo, é uma técnica que permite os processadores executarem tarefas diferentes ao mesmo tempo. Essas tarefas são colocadas em uma fila de memória dentro do processador (CPU) onde aguardam o momento de serem executadas: assim que uma instrução termina o primeiro estágio e parte para o segundo, a próxima instrução já ocupa o primeiro estágio. Essa técnica aumenta o desempenho do processador e reduz o tempo de execução global de tarefas.

Quando é carregada uma nova instrução, ela primeiramente passa pelo primeiro estágio, que trabalha nela durante apenas um ciclo de clock, passandoa para o estágio seguinte. A instrução continua então sendo processada sucessivamente pelo segundo, terceiro, quarto e quinto estágios do processador.

2. Quais as principais mudanças necessárias para se ter uma Arquitetura Básica Pipeline em um Computador?

A primeira mudança necessária é a separação da memória em duas partes independentes (ou duas memórias). Uma parte será utilizada apenas para instruções, e outra apenas para os dados. Isso é necessário para que a etapa "FI" acesse a memória para buscar a próxima instrução, ao mesmo tempo em que a "WM" acessa a memória para salvar o resultado de outra instrução anterior. Se houvesse apenas uma memória para dados e instruções, isso não seria possível. Essa mudança vai contra o que foi projetado na Arquitetura de von Neumann, e considerado um grande avanço. Ela foi batizada de Arquitetura Harvard.

Outra mudança importante foi a adição de memórias intermediárias entre cada etapa. Essas memórias são utilizadas para armazenar o resultado da etapa anterior e passá-lo para a etapa posterior no ciclo seguinte. Elas são necessárias porque as etapas não executam necessariamente sempre na mesma velocidade. Se uma etapa for concluída antes da etapa seguinte, seu resultado deve ser guardado nessas memórias para aguardar que a etapa seguinte conclua o que estava fazendo. Só então ela poderá receber o resultado da etapa anterior.

3. Com a utilização do Pipeline, podemos perceber que ele pode acelerar alguns processos dentro do processador, sendo assim, através da explicação e da imagem em questão, como isso pode ser relacionada à uma analogia de "Lavanderia"?

Vamos pegar de exemplo uma lavanderia da sua cidade, nela possuem várias máquinas no estabelecimento, sendo assim, cada máquina representa um Pipeline, enquanto algumas peças de roupas estão sendo lavadas, outras estão secadas, outras passadas e por fim outras estão sendo armazenadas para serem entregues ao cliente. Assim funciona dentro dos pipelines que levam a informação para poder transmiti-la da maneira mais rápida possível dentro destes canos.

4. Através da apresentação, podemos perceber que o Pipeline pode ser de grande ajuda em algumas funções especificas, mas como nem tudo são flores, cite algumas vantagens e desvantagens da utilização do Pipeline.

A vantagem desta técnica, é que o primeiro estágio não precisa ficar esperando a instrução passar por todos os demais para carregar a próxima, e sim carregar uma nova instrução assim que se livra da primeira, ou seja, depois do primeiro pulso de clock. Porém, entre os problemas enfrentados estão a dependência de instruções anteriores e desvios que dificultam o processo, bem como a diferença de complexidade de instruções que fazem com que elas possam levar um tempo variável para execução.

- 5. Descreva as funções de cada um dos cinco estágios do Pipeline na estrutura MIPS.
- 1° ETAPA IF: é responsável pela busca da instrução, traduzir seu endereço virtual para o endereço físico e enviá-lo ao endereço em que a instrução está armazenada.
- **2° ETAPA RD**: é nessa etapa que ocorre a decodificação da instrução, a busca do operando que será necessário para sua execução, a leitura do banco de registradores e, caso a instrução a ser executada seja um desvio, será realizado o cálculo do endereço que ele será armazenado.

- **3° ETAPA ALU**: nesta etapa que as instruções são efetivamente executadas, conforme a natureza da instrução, será realizado umas das seguintes ações.
- Se a instrução for de natureza registrador-registrador, a ULA (Unidade Lógica e Aritmética) executará a tarefa.
- Se for uma instrução de leitura ou escrita, o endereço virtual de dados é calculado.
- Se a instrução é um desvio, suas condições são verificadas e será decidido se o desvio será ou não tomado.
- 4° ETAPA MEM: etapa onde a memória cache é acessada para o envido do endereço físico resultante da execução da instrução.
- **5° ETAPA WB**: processo onde o resultado da instrução executada é armazenado nos registradores.