

## 引言

MAX<sup>®</sup> II 器件的内部振荡器是用户闪存 (UFM) 的组成部分。内部振荡器能够满足很多设计对时钟的需求，避免了使用外部时钟电路。本应用笔记介绍内部振荡器的例化及其使用。

## 内部振荡器

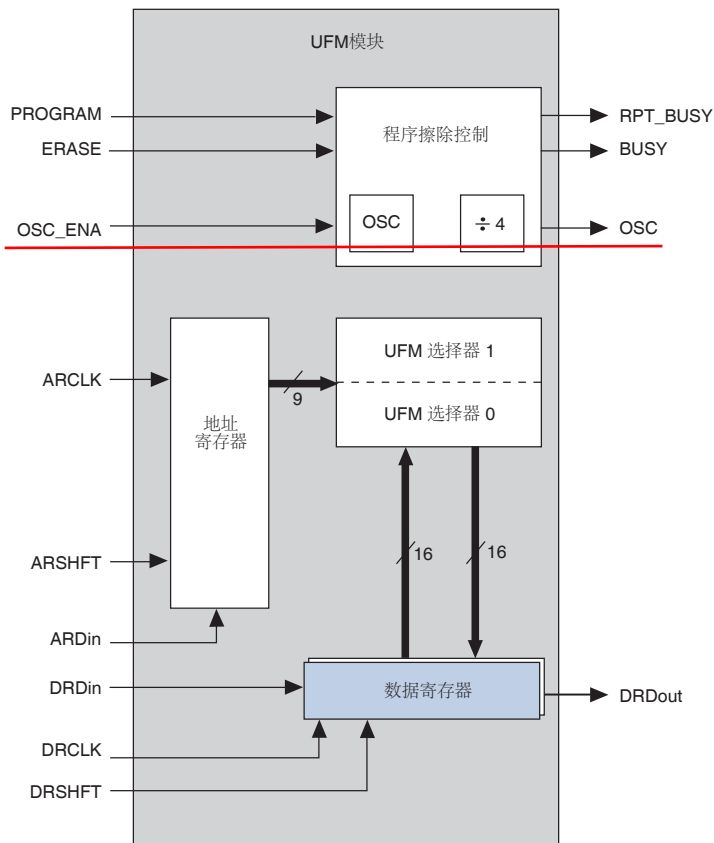
大部分设计在正常工作时都需要时钟。利用内部时钟，MAX II 器件不再需要外部时钟电路。例如，内部振荡器能够满足 LCD 控制器、SM 总线控制器以及其他接口协议的时钟要求，还可以实现脉冲宽度调制器。这不但减少了元件数量，节省了电路板面积，而且还降低了系统总成本。

内部振荡器具有以下特性：

- 未分频内部振荡器工作频率范围在 13.33 MHz 至 22.22 MHz 之间。振荡器输出频率 OSC 是未分频频率的四分之一，在 3.3 MHz 到 5.5 MHz 之间。
- 不需要例化 UFM 就可以例化内部振荡器。这可以通过使用 Quartus<sup>®</sup> II 软件的 MAX II 振荡器宏功能来实现。

在图 1 中，内部振荡器是 UFM 的一部分。

图 1. 内部振荡器是 UFM 的一部分 注释 (1)

**图 1 的注释:**

- (1) 内部振荡器是程序擦除控制模块的组成部分，该模块控制 UFM 的编程和擦除。数据寄存器保持和 UFM 之间传送的数据。地址寄存器保持数据读取和写入的地址。

表 1 列出了 MAX II 振荡器宏功能中使用的信号。

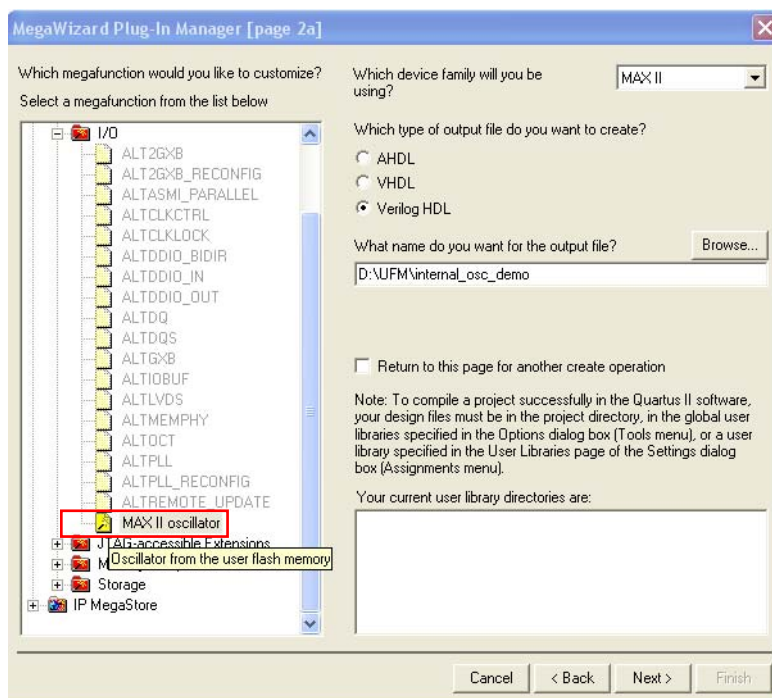
表 1. 引脚说明	
信号	方向
OSC_ENA	用于使能内部振荡器的信号。
OSC	内部振荡器输出。振荡器没有工作时，该信号为低电平。

## 使用 MAX II CPLD 的内部振荡器

内部振荡器有一路输入 OSC\_ENA 和一路输出 OSC。输入引脚 OSC\_ENA 用于激活内部振荡器。激活后，输出上将产生频率为 3.3 MHz 到 5.5 MHz 的信号。如果振荡器使能信号 OSC\_ENA 被驱动为低电平，振荡器输出保持低电平不变。

您可以使用 MegaWizard® 插件管理器的 MAX II 振荡器宏功能来例化振荡器，按下面步骤进行：

1. 打开内部振荡器要例化的工程。
2. 在 Tools 菜单中，单击 **MegaWizard Plug-In Manager**。
3. 在 MegaWizard 插件管理器的第一页，选择 **Create a new custom megafunction variation**，然后单击 **Next**。
4. 在 MegaWizard 插件管理器的第 2a 页，选择 **MAX II** 以及文件输出类型（图 2）。

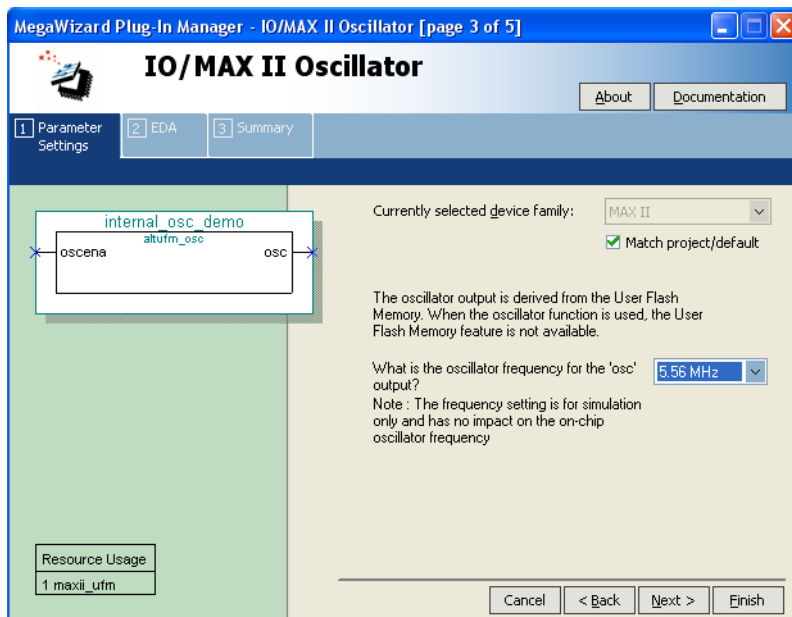
图 2. 在 MegaWizard 插件管理器中选择 `altufm_osc` 宏功能

5. 在宏功能列表中，双击 **I/O**，然后单击 **MAX II oscillator**。键入输出文件名称，然后单击 **Next**。现在可以选择振荡器输出频率（图 3）。



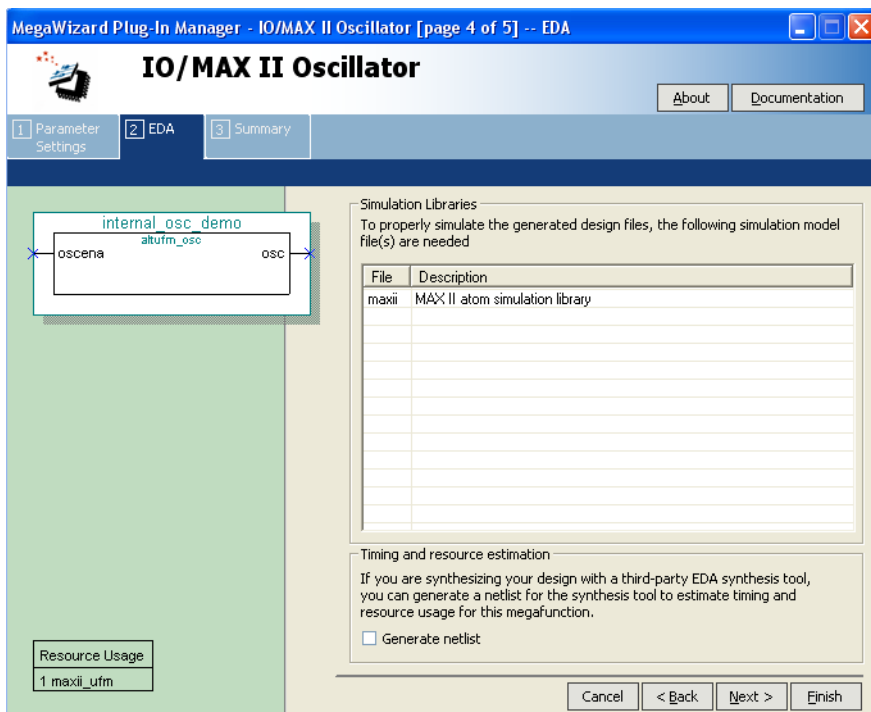
请注意，频率设置只用于仿真，对片内振荡器频率没有影响。频率仅由 CPLD 决定，范围在 3.3 MHz 至 5.5 MHz 之间。

图 3. OSC 宏功能 MegaWizard 插件管理器第 3 页



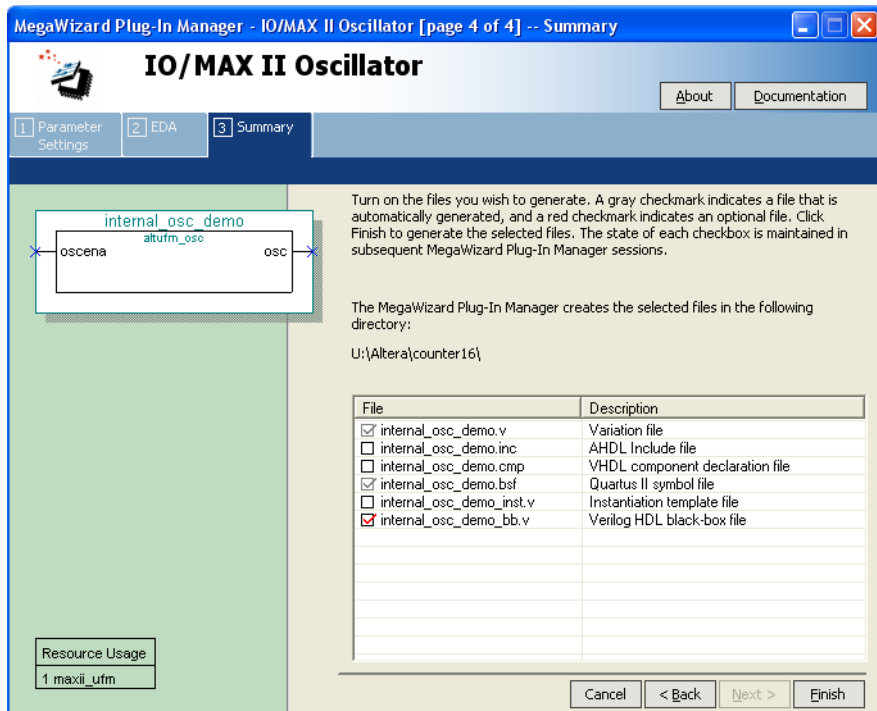
6. 在 **Simulation Libraries** 中，列出了必须包含的模型文件，如图 4 所示。单击 **Next**。

图 4. 仿真库



7. 选择要产生的文件 (图 5)。单击 **Finish**。产生所选的文件, 可以从输出文件夹中访问该文件 (图 2)。一旦将例化代码加入到文件中后, OSC\_ENA 输入必须作为连线, 分配逻辑值“1”, 以使能振荡器。

图 5. OSC 宏功能 MegaWizard 插件管理器总结页面



## 设计实现

该设计实例可以采用 EPM240G 或者其他 MAX II CPLD 来实现，这些器件都含有内部振荡器。其具体实现包括将振荡器输出分配给计数器，驱动 MAX II CPLD 上的 GPIO 引脚，以演示内部振荡器的功能。然后，驱动 LED，产生滚动效应，演示内部振荡器。

下面详细介绍了在 MDN-B2 演示板上怎样实现该设计实例。表 2 列出了该设计实例的 EPM240G 引脚分配。

**表 2. 使用 MDN-B2 演示板实现设计实例**

EPM240G 引脚分配			
信号	引脚	信号	引脚
d2	69 引脚	d3	40 引脚
d5	71 引脚	d6	75 引脚

表 2. 使用 MDN-B2 演示板实现设计实例			
EPM240G 引脚分配			
信号	引脚	信号	引脚
d8	73 引脚	d10	73 引脚
d11	75 引脚	d12	71 引脚
d4_1	85 引脚	d4_2	69 引脚
d7_1	87 引脚	d7_2	88 引脚
d9_1	89 引脚	d9_2	90 引脚
sw9	82 引脚	—	—

在 Quartus II 软件中，将未使用的引脚分配为 **As input tri-stated**。

设计说明

在 MDN-B2 演示板上演示该设计时，请按照以下步骤进行：

- 1. 打开演示板电源 ( 使用滑动开关 SW1)。
- 2. 通过演示板的 JTAG 插头 JP5 和普通编程电缆 (ByteBlaster™ II 或者 USB-Blaster™)，把设计下载到 MAX II CPLD 中。在编程启动前以及启动过程中，保持演示板上 SW4 的按下状态不变。完成后，关断电源，拔下 JTAG 连接器。
- 3. 观察红色 LED 和双色 LED 上的 LED 显示顺序滚动。按下演示板上的 SW9，禁止内部振荡器，LED 显示滚动将停止在当前位置上。

源代码

正如本文档所示，该应用笔记的设计实例采用了 Verilog 来实现，成功地运行在 MDN-B2 演示板上。下面的链接提供本应用笔记的源代码、测试台文件以及完整的 Quartus II 工程：

[www.altera.com/literature/an/an496.jsp](http://www.altera.com/literature/an/an496.jsp)

结论

MAX II CPLD 特性丰富，具有独特的内部振荡器，而且还是低功耗可编程逻辑解决方案。正如本设计实例所示，对于需要时钟的设计，该器件是非常好的选择，它不需要外部时钟电路，从而节省了电路板面积，降低了成本。



## 其他资源

- MAX II CPLD 主页：  
[www.altera.com/products/devices/cpld/max2/mx2-index.jsp](http://www.altera.com/products/devices/cpld/max2/mx2-index.jsp)
- MAX II 器件资料：  
[www.altera.com/literature/lit-max2.jsp](http://www.altera.com/literature/lit-max2.jsp)
- MAX II 关断设计：  
[www.altera.com/support/examples/max/exm-power-down.html](http://www.altera.com/support/examples/max/exm-power-down.html)
- MAX II 应用笔记：
  - *AN 422: 利用 MAX II CPLD 实现便携式系统的功耗管理*
  - *AN 428: MAX II CPLD 设计指南*

## 文档版本历史

表 3 列出了本应用笔记的版本历史。

表 3. 文档版本历史		
日期和文档版本	进行的改动	注释
2007 年 12 月, 1.0 版	初次发布	—



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
**Technical Support:**  
[www.altera.com/support/](http://www.altera.com/support/)  
**Literature Services:**  
[literature@altera.com](mailto:literature@altera.com)

版权 © 2007 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。

