

# 目 录

1、 MAX7000 系列器件.....	1
2、 MAX3000A 系列器件.....	2
3、 MAX II 系列器件.....	3
4、 Cyclone 系列器件.....	4
5、 Cyclone II 系列器件.....	6
6、 Stratix 系列器件.....	8
7、 Stratix GX 系列器件.....	10
8、 Stratix II 系列器件.....	13
9、 HardCopy II 结构化 ASIC.....	16
10、其它系列器件.....	17
11、配置器件.....	19
12、下载电缆.....	19
13、开发软件.....	20
14、IP CORE.....	23
15、Nios II 嵌入式处理器.....	25
16、ALTERA 开发板.....	27
17、ALTERA 电源选择.....	27

## MAX7000 系列

Altera 的 MAX<sup>®</sup> 7000 CPLDs 基于先进的多阵列矩阵 (MAX) 架构, 为大量应用提供了世界级的高性能解决方案。基于电可擦除可编程只读存储器 (EEPROM) 的 MAX7000 产品采用先进的 CMOS 工艺制造, 提供从 32 到 512 个宏单元的密度范围, 速度达 3.5 ns 的管脚到管脚延迟。MAX 7000 器件支持在系统可编程能力 (ISP), 可以在现场轻松进行重配置。Altera 提供 5.0V、3.3V 和 2.5V 核电压的 MAX 7000 器件。

### MAX7000 I/O 支持

器 件	核电压	输入电压				输出电压				高级 I/O 支持		
		1.8V	2.5V	3.3V	5.0V	1.8V	2.5V	3.3V	5.0V	GTL+	SSTL 2/3	66bit 66MHz PCI
MAX7000S	5.0V			✓	✓			✓	✓			
MAX7000AE	3.3V		✓	✓	✓		✓	✓				
MAX7000B	2.5V	✓	✓	✓		✓	✓	✓		✓	✓	✓

### MAX7000 选型向导

Device	Macro	Pin/Package	I/O Pins	Speed Grade
EPM7032S	32	44-Pin PLCC/TQFP	36	5、6、7、10
EPM7032AE	32	44-Pin PLCC/TQFP	36	4、7、10
EPM7032B	32	44-Pin PLCC/TQFP, 49-Pin BGA	36, 36	3、5、7
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36、68、68	5、6、7、10
EPM7064AE	64	44-Pin PLCC/TQFP, 100-Pin TQFP, 100-Pin BGA	36、68、68	4、7、10
EPM7064B	64	44-Pin TQFP, 49-Pin BGA, 100-Pin TQFP, 100-Pin BGA	36、41、68、68	3、5、7
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68、84、100	6、7、10、15
EPM7128AE	128	84-Pin PLCC, 100-Pin TQFP/BGA, 144-Pin PQFP, 256-Pin BGA	68、84、84、100、100	5、7、10
EPM7256S	256	208-Pin PQFP/RQFP	164	7、10、15
EPM7256AE	256	100-Pin TQFP/BGA, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	84、84、120、164、164	5、7、10
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	120、176、212	7、10、12

### ALTERA 器件封装

- PLCC : 塑封 J 引线芯片封装
- TQFP : 薄塑封四角扁平封装
- PQFP : 塑封四角扁平封装
- RQFP : 高效四角扁平封装
- BGA : 球栅阵列
- FBGA : 1.0 毫米间距球栅阵列
- UBGA : 0.8 毫米间距球栅阵列

## MAX3000A 系列

- 32-512个宏单元，600-5000可用门
- 3.3-V 在系统编程ISP（通过JTAG口）
- 2.5、3.3-V 或 5.0-V多电压操作
- 2个全局时钟和6个输出使能信号
- 可编程的输出电压摆率控制
- 可编程触发器具有单独的清除、置位、时钟和时钟使能控制
- 兼容PCI Local Bus Specification, Revision 2.2.
- 可编程保密位
- 可编程节省功率模式，使每个宏单元功耗降低50%或者更低

## MAX3000A 器件的特性

Feature	EPM3032A	EPM3064A	EPM3128A	EPM3256A	EPM3512A
Usable gates	600	1,250	2,500	5,000	10,000
Macrocells	32	64	128	256	512
Logic array blocks	2	4	8	16	32
Maximum user I/O pins	34	66	96	158	208
t <sub>PD</sub> (ns)	4.5	4.5	5.0	7.5	7.5
t <sub>SU</sub> (ns)	2.9	2.8	3.3	5.2	5.6
t <sub>CO1</sub> (ns)	3.0	3.1	3.4	4.8	4.7
f <sub>CNT</sub> (MHz)	227.3	222.2	192.3	126.6	116.3

## MAX3000A 器件的选型:

Device	44-Pin PLCC	44-Pin TQFP	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA	Speed Grade
EPM3032A	34	34					-4、-7、-10
EPM3064A	34	34	66				-4、-7、-10
EPM3128A			80	96			-5、-7、-10
EPM3256A				116	158		-7、-10
EPM3512A					172	208	-7、-10

## MAX3000A 器件支持的 I/O 特性

V <sub>CCIO</sub> 电压	输入信号			输出信号	
	2.5V	3.3V	5.0V	2.5V	3.3V
2.5V	✓	✓	✓	✓	
3.3V	✓	✓	✓		✓

## MAX II 系列

Altera推出的MAX II器件系列是有史以来成本最低的CPLD。MAX II器件基于突破性的新型CPLD架构，提供业界所有CPLD系列中单个I/O管脚最低成本和最小功耗。通过采用低功耗处理技术，MAX II器件和前一代MAX器件相比，成本减半，功耗只有十分之一，并具四倍的密度和两倍的性能。这种上电即用、非易失性的器件系列用于通用的低密度逻辑应用环境。除了给予传统CPLD设计最低的成本，MAX II器件还将成本和功耗优势引入了高密度领域，使设计者可以采用MAX II器件替代高成本或高功耗的ASSP和标准逻辑器件。

### MAX II 系列器件先进特性

特 性	说 明
成本优化架构	以最小化裸片面积为目标的架构，打破了典型 CPLD 的成本、容量和功耗限制，是上一代 CPLD 密度的四倍，成本却只有一半，业界单个 I/O 管脚成本最低。
低功耗	提供了 CPLD 业界最低的动态功耗，只有前一代 MAX 系列 CPLD 的十分之一。
高性能	支持内部时钟频率高达 300 MHz 。
用户Flash存储器	提供 8K 比特用户可访问的 Flash 存储器，可用于片内串行或并行非易失性存储。
在系统可编程（ISP）	MAX II 器件运行用户在器件工作的状态下更新配置 Flash 存储器。
I/O能力	支持多种单端 I/O 接口标准如 LVTTTL、LVCMOS 和 PCI 接口。
JTAG翻译器	支持一种 JTAG 翻译器特性，能够配置外部不兼容 JTAG 协议的器件，如分立的 Flash 存储器件。
工业级温度支持	支持工业级温度范围，从-40° C 到+100° C（结温），用于各种工业和其他温度敏感的应用领域。
扩展级温度支持	提供扩展级温度范围，从-40° C 到 +125° C（结温），支持汽车舱内应用。
多电压内核	片内电压调整器支持 3.3V、2.5V 或 1.8V 电源输入

### MAX II 器件的特性

Feature	EPM240	EPM570	EPM1270	EPM2210
LEs	240	570	1,270	2,210
Typical Equivalent Macrocells	192	440	980	1,700
Equivalent Macrocell Range	128 to 240	240 to 570	570 to 1,270	1,270 to 2,210
UFM Size (bits)	8,192	8,192	8,192	8,192
Maximum User I/O pins	80	160	212	272
tPD1 (ns)	4.5	5.4	6.0	6.6
fCNT (MHz)	304	304	304	304
tSU (ns)	1.6	1.6	1.6	1.6
tCO (ns)	4.2	4.3	4.4	4.5

## MAX II 器件的封装与最大 I/O 脚数

Device	100-Pin TQFP	144-Pin TQFP	256-Pin FineLine BGA	324-Pin FineLine BGA
EPM240	80			
EPM570	76	116	160	
EPM1270		116	212	
EPM2210			204	272

- 速度等级：-3、-4、-5
- 支持双标签（即C3与I4为同一型号）

## MAX II 应用

MAX II 器件适用于通用控制路径应用，包括：

- 上电顺序
- 系统配置
- I/O 扩展
- 接口桥接

## Cyclone 系列

Cyclone系列FPGA是基于成本优化的，全铜工艺的 1.5V SRAM工艺，相对竞争对手的FPGA，仅一半的成本，依然提供的强大的功能。最高达 20,060 个逻辑单元和 288K位的RAM，除此之外，Cyclone系列的FPGA还集成了许多复杂的功能。Cyclone系列FPGA提供了全功能的锁相环（PLL），用于板级的时钟网络管理和专用 I/O 接口，这些接口用于连接业界标准的外部存储器器件。Altera的Nios®II系列嵌入式处理器的IP资源也可以用于Cyclone系列FPGA的开发。设计者只需下载Altera提供的完全免费的Quartus® II 网络版开发软件就可以马上进行Cyclone系列FPGA的设计和开发。Cyclone FPGA是在 2002 年 12 月份推出的。从那以后，已向全球数千位不同的客户交付了数百万片，成为Altera历史上采用最快的产品。

### Cyclone器件的特性

特 性	说 明
成本优化的架构	具有多达20060个逻辑单元，容量是以往低成本FPGA的四倍，可用来实现复杂的应用。
嵌入式存储器	Cyclone器件中M4K存储块提供288kbit存储容量，能够被配置来支持多种操作模式，包括RAM、ROM、FIFO及单口和双口模式。
外部存储器接口	具有高级外部存储器接口，允许设计者将外部单数据率（SDR）SDRAM，双数据率（DDR）、SDRAM和 DDR FCRAM 器件集成到复杂系统设计中，而不会降低数据访问的性能。
支持LVDS I/O	Cyclone器件具有多达129个兼容LVDS的通道，每个通道数据率高达640Mbps。
支持单端I/O	Cyclone器件支持各种单端I/O接口标准，如3.3-V、2.5-V、1.8-V、LVTTTL、LVCMOS、SSTL和 PCI 标准，满足当前系统需求。
时钟管理电路	Cyclone器件具有两个可编程锁相环（PLL）和八个全局时钟线，提供健全的时钟管理和频率合成功能，实现最大的系统性能。Cyclone PLL具多种高级功能，如频率合成、可编程相移、可编程延迟和外部时钟输出。这些功能允许设计者管理内部和外部系统时序。
接口和协议	支持诸如PCI等串行、总线和网络接口，可访问外部存储器器件和多种通信协议。

热插拨和上电顺序	Cyclone器件具有健全的片内热插拨和顺序上电支持,确保和上电顺序无关的正常工作。这一特性在上电前和上电期间起到了保护器件的作用并使I/O缓冲保持三态,让Cyclone器件成为多电压系及需高可用性和冗余性应用的理想选择。
DSP实现	Cyclone器件为在FPGA上实现低成本数字信号处理(DSP)系统提供了理想的平台。
串行配置器件	Cyclone器件能用Altera®新的串行配置器件进行配置。
Nios®II系列嵌入式处理器	Cyclone器件的Nios II系列嵌入式处理器能够降低成本,增加灵活性,非常适合于替代低成本的分立微处理器。
支持工业级温度	部分Cyclone器件提供工业级温度范围-40° C至 +100° C (节点)的产品。
扩展温度支持	部分Cyclone器件达到扩展温度范围E-40° C至+125° C (节点)。这些器件是需要扩展温度范围和质量产品的in-cabin automotive应用的理想选择。

### Cyclone 器件各型号的特性

Feature	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
LEs	2,910	4,000	5,980	12,060	20,060
M4K RAM blocks	13	17	20	52	64
Total RAM bits	59,904	78,336	92,160	239,616	294,912
PLLs	1	2	2	2	2
Maximum user I/O pins	104	301	185	249	301

### Cyclone 器件封装与最大 I/O 脚数

Device	100-Pin TQFP	144-Pin TQFP	240-Pin PQFP	256-Pin FineLine BGA	324-Pin FineLine BGA	400-Pin FineLine BGA
EP1C3	65	104				
EP1C4					249	301
EP1C6		98	185	185		
EP1C12			173	185	249	
EP1C20					233	301

- 速度等级: -6、-7、-8
- 支持双标签(工业级 I7 与商业级 C6 为同一型号)

### Cyclone 器件的配置器件

配置器件	器 件 数 量				
	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
EPCS1	1	1	1	N/A	N/A
EPCS4	1	1	1	1	1
EPCS16	1	1	1	1	1
EPCS64	1	1	1	1	1
EPC2	1	1	1	2	2
EPC4	1	1	1	1	1

## Cyclone II 系列

Altera 推出的 Cyclone II FPGA 是 Cyclone 系列低成本 FPGA 中的最新产品。Altera 于 2002 年推出的 Cyclone 器件系列永远地改变了整个 FPGA 行业，带给市场第一也是唯一的以最低成本为基础而设计的 FPGA 系列产品。Altera 采用相同的方法在尽可能小的裸片面积下构建了 Cyclone II 系列。Cyclone II FPGA 系列提供了与其上一代产品相同的优势——一套用户定义的功能、业界领先的性能、低功耗但具有更多的密度和功能，极大地降低了成本。Cyclone II 器件扩展了低成本 FPGA 的密度，最长达 68,416 个逻辑单元 (LE) 和 1.1M 比特的嵌入式存储器。

Cyclone II 器件的制造基于 300mm 晶圆，采用台积电 90nm、低K值电介质工艺，这种可靠工艺也曾被用于 Altera 的 Stratix II 器件。这种工艺技术确保了快速有效性和低成本。通过使硅片面积最小化，Cyclone II 器件可以在单芯片上支持复杂的数字系统，而在成本上则可以和 ASIC 竞争。Cyclone II 器件的特性如下表所列：

特 性	说 明
成本优化的架构	器件架构为最低的成本而优化，提供多达 68,416 个逻辑单元 (LE)，密度超过第一代 Cyclone FPGA 的 3 倍。Cyclone II FPGA 内部的逻辑资源可以用来实现复杂的应用。
工艺技术	在 300 毫米晶圆的基础上，采用了 TSMC 领先的 90nm 低电介工艺技术而生产。
嵌入式存储器	基于流行的 M4K 存储区块，提供多达 1.1 兆比特的嵌入式存储器，可以支持配置为广泛的操作模式，包括 RAM、ROM、先入先出 (FIFO) 缓冲器以及单端口和双端口模式。
嵌入式乘法器	提供最多 150 个 18x18 比特乘法器，是低成本数字信号处理 (DSP) 应用的理想方案。这些乘法器可用于实现通用 DSP 功能，如有限冲击响应 (FIR) 滤波器、快速傅立叶变换、相关器、编/解码器以及数控振荡器 (NCO)。
外部存储器接口	提供高级外部存储器接口支持，允许开发人员集成外部单倍数据速率 (SDR)、双倍数据速率 (DDR)、DDR2 SDRAM 器件以及第二代四倍数据速率 (QDR II) SRAM 器件，数据速率最高可达 668 Mbps。
差分 I/O 支持	提供差分信号支持，包括 LVDS、RSDS、mini-LVDS、LVPECL、SSTL 和 HSTL I/O 标准。LVDS 标准支持接收端最高 805 Mbps 数据速率，发送端最高 622 Mbps。
单端 I/O 支持	支持各种单端 I/O 标准，如当前系统中常用的 LVTTTL、LVCMOS、SSTL、HSTL、PCI 和 PCI-X 标准。
接口和协议支持	支持串行总线和网络接口（如 PCI 和 PCI-X），快速访问外部存储器件，同时还支持大量通讯协议，包括以太网协议和通用接口。
时钟管理电路	支持最多达四个可编程锁相环 (PLL) 和最多 16 个全局时钟线，提供强大的时钟管理和频率合成能力，使系统性能最大化。这些 PLL 提供的高级特性包括频率合成、可编程占空比、外部时钟输出、可编程带宽、输入时钟扩频、锁定探测以及支持差分输入输出时钟信号。
Nios® II 嵌入式处理器	Cyclone II 器件的 Nios II 嵌入式处理器降低了成本，提高了灵活性，给低成本分立式微处理器提供了一个理想的替代方案。
片内匹配	支持驱动阻抗匹配和片内串行终端匹配。片内匹配消除了对外部电阻的需求，提高了信号完整性，简化电路板设计。Cyclone II FPGA 通过外部电阻还可支持并行匹配和差分匹配。
热插拔及上电顺序	提供强大的片内热插拔以及上电顺序支持，确保器件正确操作不依赖上电顺序。该特性同时实现了上电之前和上电过程中对器件和三态 I/O 缓冲的保护，使 Cyclone II 器件成为多电压系统以及具高可靠性和冗余需求的应用的理想方案。

特 性	说 明
循环冗余码(CRC)	具有 32 比特 CRC 自动校验功能。内置的 CRC 校验电路简化了校验流程，只需在 Quartus II 软件中单击一下即可。这是 FPGA 中对付单事件干扰 (SEU) 问题最有效的解决方案。
Cyclone II 与 Cyclone FPGA 的差别	Cyclone II FPGA 提供比 Cyclone FPGA 更新更先进的特性。这些特性包括嵌入式乘法器、支持 DDR2 和 QDR II 存储器件的外部存储器接口、片内串行匹配，以及支持更多的差分 and 单端 I/O 标准。

### Cyclone II 器件的特性

Feature	EP2C5	EP2C8	EP2C20	EP2C35	EP2C50	EP2C70
LEs	4, 608	8, 256	18, 752	33, 216	50, 528	68, 416
Total RAM bits	119, 808	165, 888	239, 616	483, 840	594, 432	1, 152, 000
Embedded multipliers	13	18	26	35	86	150
PLLs	2	2	4	4	4	4
Maximum user I/O pins	142	182	315	475	450	622

### Cyclone II 器件封装与最大 I/O 脚数

Device	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA	484-Pin FineLine BGA	672-Pin FineLine BGA	896-Pin FineLine BGA
EP2C5	90	143				
EP2C8	86	139	182			
EP2C20			152	309		
EP2C35				316	471	
EP2C50				288	446	
EP2C70					418	616

■ 速度等级：-6、-7、-8

### Cyclone II 适用配置器件

	E P 2 C 5	E P 2 C 8	E P 2 C 2 0	E P 2 C 3 5	E P 2 C 5 0	E P 2 C 7 0
EPCS1	X					
EPCS4	X	X	X			
EPCS16	X	X	X	X	X	X
EPCS64	X	X	X	X	X	X



## Stratix 系列

Stratix™ 器件采用 1.5V 0.13μm全铜SRAM工艺，为满足高带宽系统的需求进行了优化。Stratix器件具有非常高的内核性能、存储能力、架构效率和及时面市的优势。Stratix器件提供了专用的功能用于时钟管理和数字信号处理（DSP）应用及差分 and 单端I/O标准。此外，Stratix器件具有片内匹配和远程系统升级能力。Stratix器件系列是功能丰富的高带宽系统方案，开创了可编程芯片系统（SOPC）方案的新纪元。

### Stratix 器件的特性

特 性	说 明
<b>高性能架构</b>	
高性能架构	高性能Stratix器件架构经由速度优化的互连结构和高效的时钟网络构成，它们连接逻辑单元（LE）、TriMatrix™ 存储块、数字信号处理（DSP）块、锁相环（PLL）和I/O单元（IOE），获取最大的系统性能。需要更高性能的设计者可以使用Stratix II FPGA。
<b>大存储带宽和高速外部存储器接口</b>	
TriMatrix存储器	TriMatrix 存储器具有多达 7Mbit 的 RAM 和 8Tbps 的器件存储带宽。这种复杂的存储结构包括三种大小的嵌入 RAM 块——M512、M4K 和 M-RAM 块，可配置支持广泛的应用。
外部存储接口	Stratix 器件提供了先进的外部存储接口，允许设计者将外部大容量 SRAM 和 DRAM 器件集成到复杂系统设计中，而不会降低数据存取的性能。
SRAM器件	支持三类 SRAM 器件的接口——双数据率（DDR）、四数据率（QDR）、QDR II 和零总线转换（ZBT），速度高达 200MHz。
DRAM器件	Stratix 器件支持和三类高速同步 DRAM（SDRAM）器件的接口——单数据率（SDR SDRAM），DDR SDRAM 和快速循环（FCRAM），速度高达 200MHz。
<b>高性能数字信号处理</b>	
DSP块	Stratix 器件包括高性能嵌入式 DSP 单元，它为 DSP 应用进行了优化。DSP 块消除了 DSP 应用中的性能瓶颈，具有可预测和可靠的性能，能够节省资源而不影响性能。
DSP性能	Stratix 器件具有比 DSP 处理器更大的数据处理能力，具有最大的系统性能。
软乘法器	提供灵活的软乘法器实现，可配置为不同的数据宽度和延迟。软乘法器除了 DSP 块之外提供非常高的 DSP 吞吐量。
<b>大I/O带宽和高速接口</b>	
大I/O带宽	支持各种单端和差分 I/O 标准，易于同背板、主处理器、总线、存储器件和 3D 图像控制器相连接。
差分I/O支持	Stratix True-LVDS™ 电路提供多达 152 个高速差分 I/O 通道，其中 80 个通道优化高达 840Mbps 的数据率，同时满足新兴 I/O 接口的高性能需求，包括支持 LVDS、LVPECL、PCML 和 HyperTransport™ 标准。
单端I/O支持	支持高带宽单端 I/O 接口标准，如 SSTL、HSTL、GTL、GTL+、CTT 和 PCI-X，满足现今苛刻的系统需求。
高速接口	Stratix 器件支持多种高速接口标准，如 SPI-4 Phase 2、SFI-4、10G Ethernet XSB1、HyperTransport、RapidIO™ 和 UTOPIA IV 标准，提供灵活性和快速的及时面市。
<b>系统时钟管理</b>	
时钟管理电路	具有多达 12 个可编程 PLL 和 40 个系统时钟，具有健全的时钟管理和频率合成能力，以获得最大系统性能。
时钟管理功能	Stratix PLL 具有以前只有高端分立 PLL 器件才具有的功能，包括时钟切换、PLL 重配置、扩频时钟、频率合成、可编程相位偏移、可编程延迟偏移、外部反馈和可编程带宽。这些特性允许设计者管理 Stratix 器件内外的系统时序。
<b>片内热插拔和上电顺序支持</b>	
热插拔和上电顺序	具有健全的片内热插拔和上电顺序支持，确保器件的正常操作和上电顺序无关。该特性也在上电之前和上电期间保护器件和三态 I/O 缓冲，使得 Stratix 器件成为多电压系统及高可用性和冗余性应用的理想方案。

特 性	说 明
<b>远程系统升级能力</b>	
远程系统升级	Stratix 器件具有远程系统升级能力，允许安全、可靠、无差错地从远程进行系统升级。
<b>嵌入式处理器核</b>	
Nios <sup>®</sup> II 系列 嵌入式存储器	Stratix 器件现今的架构特性结合 Nios II 嵌入式处理器具有无与伦比的处理能力，满足网络、电信、DSP 应用、海量存储和其它大带宽系统的需求。Stratix 器件将 Nios II 处理器性能提升到 150 DMIPS 以上。
<b>低成本的批量成品器件</b>	
HardCopy Stratix <sup>™</sup> 器件	HardCopy 器件为 Stratix 器件提供了至批量成品的低成本无缝移植方式。另外，掩码编程 HardCopy Stratix 器件具有比最快 Stratix FPGA 速度等级更快的性能（平均增加 50%）。

### Stratix 器件各型号的特性

Feature	EP1S10	EP1S20	EP1S25	EP1S30	EP1S40	EP1S60	EP1S80
LEs	10, 570	18, 460	25, 660	32, 470	41, 250	57, 120	79, 040
M512 RAM blocks (32 × 18 bits)	94	194	224	295	384	574	767
M4K RAM blocks (128 × 36 bits)	60	82	138	171	183	292	364
M-RAM blocks (4K × 144 bits)	1	2	2	4	4	6	9
Total RAM bits	920, 448	1, 669, 248	1, 944, 576	3, 423, 744	5, 215, 104	7, 427, 520	10, 118, 016
DSP blocks	6	10	10	12	14	18	22
Embedded multipliers	48	80	80	96	112	144	176
PLLs	6	6	6	10	12	12	12

### Stratix 器件封装与最大 I/O 脚数

Device	672-Pin BGA	956-Pin BGA	484-Pin FineLine BGA	672-Pin FineLine BGA	780-Pin FineLine BGA	1,020-Pin FineLine BGA	1,508-Pin FineLine BGA	1,923-Pin FineLine BGA
EP1S10	341		331	341	422			
EP1S20	422		257	422	582			
EP1S25	469			469	593	702		
EP1S30		679			593	726		
EP1S40		679				769	818	
EP1S60		679				769	1,018	
EP1S80		679					1,199	1,234

■ 速度等级：-5、-6、-7

## Stratix 器件的配置器件

配置器件	器 件 数 量						
	EP1S10	EP1S20	EP1S25	EP1S30	EP1S40	EP1S60	EP1S80
EPC2	3	4	5	7	8	11	15
EPC4	1	1	N/A	N/A	N/A	N/A	N/A
EPC8	1	1	1	1	1	N/A	N/A
EPC16	1	1	1	1	1	1	1

## Stratix GX 系列

Stratix GX器件基于Altera的Stratix体系，采用 1.5V、0.13um全铜SRAM工艺，融合了业界最快的FPGA架构和高性能的多达 20 个全双工速度高达 3.125Gbps的高速收发器通道, 将业界最快速的FPGA架构和高性能的数千兆位收发器相融合，满足了现今高性能高要求系统对大带宽的需求。

## Stratix GX 器件系列特性

特 性	说 明
<b>收发器技术</b>	
数千兆位收发器	Stratix GX 器件具有多达 20 个全双工速度高达 3.125Gbps 的通道，满足了高速背板和芯片至芯片应用、通信、数字广播、测试设备、大存储系统的需求。
SerialLite	SerialLite 协议是针对小尺寸，低延迟和小负荷而设计的精简点到点协议。设计者在 Stratix GX 器件中使用 SerialLite 能够在应用中拥有实现串行 I/O 标准的低风险方式。
收发器协议	Stratix GX 通道可配置支持多种高速接口协议，如 SerialLite、10Gbit 以太网 (XAUI)、千兆以太网、1G、2G 和 10Gbps 光纤通道、串行 RapidIO™、SMPTE 292M 和 PCI Express 标准。
<b>源同步信号</b>	
源同步差分通道	Stratix GX 器件提供了多达 45 个接收器和 45 个发送器源同步通道，支持高达 1Gbps 和 DPA 电路。这些同步也支持不同的高级 I/O 标准如 LVDS、LVPECL、PCML 和 HyperTransport™ 技术。
动态相位调整 (DPA)	具有嵌入 DPA 电路(含两个高达 1Gbps 的 DPA 组)，它消除了在使用源同步信号技术中由偏移造成的问题，从而简化了 PCB 的布局。
源同步协议	Stratix GX 源同步通道支持各种高速接口协议，如 10Gbit 以太网(XSBI)、POS-PHY Level 4 (SPI-4 Phase 2)、SFI-4、HyperTransport 接口、RapidIO 标准和 UTPIA IV。
系统封装接口 Level 4 (SPI-4) Phase 2	Stratix GX器件是第一款具有嵌入DPA电路的FPGA，支持高达 1Gbps的数据传送速率。符合SPI-4.2的POS-PHY Level 4 MegaCore®功能集成了这个电路，提供了多种配置选项，允许设计者优化内核满足特定的系统需求。
<b>高性能架构</b>	
高性能架构	Stratix GX体系包含高性能逻辑单元、TriMatrix存储器、DSP块、锁相环 (PLL)、千兆位收发器块和DPA电路，满足了不断增长的带宽需求，最大化系统性能。
MultiTrack 互连	Stratix GX 器件有连续互连线，它有不同长度的线组成，能够提升系统性能。

DirectDrive 技术	Stratix GX 器件有统一的确定的走线结构，能够进行模块化设计，并保持其在整个器件中性能一致。
Stratix 与 StratixGX差别	Stratix GX器件基于高性能Stratix架构，增加了一些诸如专用高速千兆收发器和具有DPA电路的源同步信号等特性。
<b>高性能数字信号处理</b>	
DSP块	DSP 块是为 DSP 应用优化的高性能嵌入 DSP 单元。DSP 块消除了 DSP 应用的瓶颈，提供了可预测和可靠的性能，在不损失性能的情况下节省资源。
<b>循环冗余码 (CRC)</b>	
CRC	具有 32 比特 CRC 自动校验功能。内置的CRC校验电路简化了校验流程，只需在Quartus II 软件中单击一下即可。这是FPGA中对付单事件干扰（SEU）问题最有效的解决方案
<b>大存储带宽和高速外部存储接口</b>	
TriMatrix 存储器	TriMatrix 存储器提供了高达 3.4Mbit 的 RAM 和 4Tbps 的器件存储带宽。这种复杂的存储结构包括三种大小不同的嵌入 RAM 块——M512, M4K 和 M-RAM 块，它们可以配置支持多种应用。
外部存储器接口	Stratix GX 器件提供了先进的外部存储器接口，允许设计者将外部大容量 SRAM 和 DRAM 器件集成到复杂的系统设计中，而不会降低数据存储的性能。
SRAM器件	Stratix GX 器件支持四类 SRAM 器件的接口——双数据率 (DDR)、四数据率 (QDR)、QDR II 和零总线转换 (ZBT)、速率高达 668Mbps。
DRAM器件	Stratix GX 器件支持三类高速同步 DRAM (SDRAM) 接口——单数据率 (SDR SDRAM)、DDR SDRAM 和快速循环 (FCRAM)、速率高达 400Mbps。
<b>大 I/O 带宽</b>	
支持差分 I/O	源同步电路支持 LVDS、LVPECL、3.3V PCML 和 HyperTransport 的差分 I/O 标准。
支持单端 I/O	Stratix GX 器件支持大带宽单端 I/O 接口标准，如 SSTL、HSTL、GTL、GTL+、CTT 和 PCI-X，满足现今高性能系统的需求。
<b>支持片内热插拔和上电顺序</b>	
热插拔和上电顺序	提供了健全的片内热插拔和上电顺序支持，确保了器件独立于上电顺序正常工作。该特性也在上电之前和之中，保护了器件和三态高速收发器和一般 I/O 缓冲，使得 Stratix GX 器件成为多电源系统和需要高可用性和冗余度的系统的理想方案。
<b>远程系统升级能力</b>	
远程系统升级	Stratix GX 器件具有远程系统升级能力，允许从远程安全可靠地无差错地升级系统。
<b>嵌入式处理器</b>	
Nios® II 系列嵌入式处理器	Stratix GX 器件的高级架构特性结合 Nios II 嵌入处理器核，能够提供无与伦比的处理能力，满足网络、电信、DSP 应用、大存储和其它大带宽系统的需求。使用高性能的 Nios II 核，能够在 Stratix GX 器件上达到超过 150 DMIPS 的性能。
<b>系统应用</b>	
Stratix GX应用	是一些市场上背板和芯片至芯片应用中高速通信的理想选择
桥接应用	为桥接不同的高速通信协议和完全适应高增值专用功能提供了理想的解决方案。
交换结构应用	Stratix GX 器件具有多达 20 个 3.125Gbps 通道，高性能的可编程逻辑和 TriMatrix 存储器，是灵活的交换结构方案。这在 FPGA 市场上独一无二的。
基站收发器应用	Stratix GX 器件具有高性能数字信号处理 (DSP) 块，TriMatrix 存储块和高性能 I/O 电路，结合可编程逻辑结构，为基站收发器卡提供了最优的解决方案。
HDTV视频	Stratix GX 器件支持 HD-SDI 标准和多收发器通道，是 HDTV 视频产品应用的灵活方案。

## Stratix GX器件各型号的特性

Feature	EP1SGX10C EP1SGX10D	EP1SGX25C EP1SGX25D EP1SGX25F	EP1SGX40D EP1SGX40G
LEs	10,570	25,660	41,250
Transceiver channels	4, 8	4, 8, 16	8, 20
Source-synchronous channels	22	39	45
M512 RAM blocks (32 × 18 bits)	94	224	384
M4K RAM blocks (128 × 36 bits)	60	138	183
M-RAM blocks (4K × 144 bits)	1	2	4
Total RAM bits	920,448	1,944,576	3,423,744
Digital signal processing (DSP) blocks	6	10	14
Embedded multipliers (1)	48	80	112
PLLs	4	4	8

## Stratix GX 器件的封装与最大 I/O 数

Device	672-Pin FineLine BGA	1,020-Pin FineLine BGA
EP1SGX10C	366	
EP1SGX10D	366	
EP1SGX25C	462	
EP1SGX25D	462	614
EP1SGX25F		614
EP1SGX40D		638
EP1SGX40G		638

## Stratix GX 适合的配置器件

配置器件	器 件 数 量						
	EP1SGX10C	EP1SGX10D	EP1SGX25C	EP1S25D	EP1SGX25F	EP1SGX40D	EP1SGX40G
EPC2	3	3	5	5	5	8	8
EPC4	1	1	N/A	N/A	N/A	N/A	N/A
EPC8	1	1	1	1	1	1	1
EPC16	1	1	1	1	1	1	1

## Stratix II 系列

Stratix® II 器件系列将FPGA性能推向了新高度，该系列是业界最快、密度最高的FPGA。Stratix II器件构建在新的创新性逻辑结构上，比第一代Stratix FPGA平均超出 50%的性能，且逻辑容量多出两倍。Stratix II器件扩展了FPGA设计的适用范围，使设计人员能够实现当今高级系统所需的高性能要求，而不必采用成本高的ASIC进行开发。基于获奖的Stratix器件系列体系结构，Stratix II器件具有多种强大的系统级功能以及重要的改进和新特性。

Stratix II FPGA采用TSMC的 90nm低k绝缘工艺技术，在 300mm圆晶片上制造。Stratix II器件以创新和高效的逻辑结构，将性能发挥到了极致，消耗更少的资源，并且对前代体系结构完全后向兼容。该逻辑结构将器件密度增加到了前所未有的等级，高达 180K等价逻辑单元 (LE) 以及9 Mbits of RAM，比前代FPGA成本明显降低。

### Stratix II 器件的特性

功 能	说 明
<b>结构性能和效率</b>	
最快的FPGA性能	Stratix II 器件采用最尖端的 90nm 技术，具有无可匹敌的容量和逻辑效率。新的逻辑结构，革新性的特性如数字信号处理 (DSP) 块和 TriMatrix 存储器，以及健全的设计软件工具提供业界迄今最快的 FPGA。
容量和逻辑效率	具有多达 180K等效逻辑单元 (LE) 和 9Mbit的嵌入存储器，是业界容量最大的FPGA。Stratix II FPGA是基于革新性逻辑架构的产品，和以往的产品系列相比平均性能提高 50%，逻辑利用率降低 25%。
高性能架构	高性能的 Stratix II 器件架构除了具有革新性逻辑结构之外，还包括速度优化的互连结构和极高效的时钟网络，它们连接 LE、TriMatrix™ 存储块、DSP 块、锁相环 (PLL) 和 I/O 单元 (IOE) 实现最大系统性能。
Stratix II 及 Stratix器件的差别	Stratix II 架构是业界最快的 FPGA 架构，在极其成功的 Stratix 架构之上提供了先进的功能，而且还具有其它功能如新的逻辑结构、带动态相位调整 (DPA) 电路的源同步信号和采用配置比特流加密技术的设计安全技术。
<b>源同步信号、高 I/O 带宽和高速接口</b>	
源同步信号 I/O 标准	Stratix II 器件具有 152 个接收机和 156 个发送机通道，支持高达 1Gbps 数据传送速率的源同步信号。
Stratix II DPA	Stratix II 器件具有嵌入 DPA 电路，消除了使用源同步信号技术长距离传送信号时由偏移引发的相位对齐问题从而简化了印刷电路板 (PCB) 布局。
差分 I/O 支持	Stratix II FPGA 支持高达 1Gbps 的高速差分 I/O 信号，满足新兴接口包括 LVDS、LVPECL 和 HyperTransport™ 标准的高性能需求。
Stratix II 器件中的单端 I/O 标准	Stratix II 器件支持现今对系统需求很严格的大带宽、单端 I/O 接口标准 (SSTL、HSTL、PCI 和 PCI-X) 的需求。
源同步协议	Stratix II 器件支持多种高速接口标准 (SPI-4.2、SFI-4、10G 以太网 XSB1、HyperTransport、RapidIO™、NPSI 以及 UTOPIA IV)，具有高度的灵活性和快速的面市时间。
<b>设计安全</b>	
设计安全性	采用 128 位高级加密标准 (AES) 算法对配置比特流进行加密，支持设计安全性。

功 能	说 明
<b>大存储带宽和高速外部存储器接口</b>	
Stratix II 器件中的 TriMatrix 存储器	Stratix II FPGA 中的 TriMatrix 存储器具有多达 9Mbit 的 RAM。这种先进的存储结构包括三种大小的嵌入存储器块——M512、M4K 和 M-RAM 块，可配置支持多种特性。
Stratix II 器件中的外部存储接口	Stratix II 器件提供先进的外部存储接口，允许设计者将外部大容量 SRAM 和 DRAM 器件集成到复杂系统设计中，而不会降低数据存取的性能。
<b>高性能数字信号处理</b>	
Stratix II DSP 块	Stratix II 器件包括高性能的嵌入 DSP 块，它能够运行在 370MHz，并为 DSP 应用进行优化。DSP 块消除了大计算量应用中的性能瓶颈，提供可预测和可靠的性能，这样既节省资源又不会损失性能。
Stratix II 器件中的 DSP 性能	Stratix II 器件具有比 DSP 处理器更大的数据处理能力，实现最大的系统性能。
Stratix II 器件中的软核乘法器	Stratix II 器件提供了灵活实现的软核处理器，它可以配置成不同的数据宽度和延迟。软核乘法器除了提供 DSP 块外还具有非常高的 DSP 吞吐量。
<b>系统时钟管理</b>	
Stratix II 时钟管理电路	每个 Stratix II 器件具有多达 16 个高性能的低偏移全局时钟，它可以用于高性能功能或全局控制信号。另外，每个区域八个本地（区域）时钟将任何区域的时钟总数增加至 24 个。这种高速时钟网和充裕的 PLL 紧密配合，确保最复杂的设计能够运行在优化性能和最小偏移的时钟下。
Stratix II 时钟管理特性	Stratix II 器件具有多达 12 个可编程 PL，具有健全的时钟管理和频率合成能力，实现最大的系统性能。PLL 具有高端功能，包括时钟切换、PLL 重配置、扩频时钟、频率综合、可编程相位偏移、可编程延迟偏移、外部反馈和可编程带宽。这些功能运行设计者管理 Stratix II 器件内外的系统时序。
<b>片内匹配</b>	
Stratix II 器件中的片内匹配	Stratix II 器件具有串行和差分片内匹配，使得印刷电路板（PCB）所需的外部电阻数量最少，从而简化电路板布局。
<b>远程系统升级功能</b>	
远程升级系统	Stratix II 器件具有远程系统升级功能，允许无差错地从远程安全和可靠地升级系统
<b>嵌入式软核处理器</b>	
Nios II 处理器	Stratix II 器件高级架构特性结合 Nios II 嵌入处理器具有无与伦比的处理能力，满足网络、电信、DSP 应用、大容量存储和其它高带宽系统的需求。Stratix II 器件改善了最新 Nios II 处理器的整体系统性能。
<b>低成本批量成品器件</b>	
HardCopy II 器件	HardCopy 系列已扩展到支持 Stratix II FPGA 至 HardCopy II 结构化 ASIC 的移植。HardCopy II 结构化 ASIC 可提供有保证的操作和业界标准工具流程支持，是业界最完整的 ASIC 解决方案。

## Stratix II 器件各型号的特性

Feature	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
ALMs	6,240	13,552	24,176	36,384	53,016	71,760
Adaptive look-up tables (ALUTs)	12,480	27,104	48,352	72,768	106,032	143,520
Equivalent LEs	15,600	33,880	60,440	90,960	132,540	179,400
M512 RAM blocks	104	202	329	488	699	930
M4K RAM blocks	78	144	255	408	609	768
M-RAM blocks	0	1	2	4	6	9
Total RAM bits	419,328	1,369,728	2,544,192	4,520,488	6,747,840	9,383,040
DSP blocks	12	16	36	48	63	96
18-bit × 18-bit multipliers	48	64	144	192	252	384
Enhanced PLLs	2	2	4	4	4	4
Fast PLLs	4	4	8	8	8	8
Maximum user I/O pins	365	499	717	901	1,109	1,173

## Stratix II 器件封装与最大 I/O 脚数

Device	484-Pin FineLine BGA	672-Pin FineLine BGA	1,020-Pin FineLine BGA	1,508-Pin FineLine BGA
EP2S15	341	365		
EP2S30	341	499		
EP2S60	341	499	717	
EP2S90			757	901
EP2S130			741	1109
EP2S180			741	1173

- 速度等级：-3、-4、-5
- 支持双标签（工业级 I4 与商业级 C3 为同一型号）

## Stratix II 的配置器件

配置器件	数 量					
	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
EPCS1						
EPCS4	1					
EPCS16	1	1	1	1		
EPCS64	1	1	1	1	1	1
EPC8						
EPC16						



## HardCopy II 结构化 ASIC

HardCopy® II 结构化ASIC构建在Altera成功的前两代结构化ASIC基础上，实现了业界风险最低、产品面市最快的解决方案。工程师采用Stratix® II FPGA原型来测试其设计，然后由Altera的HardCopy设计中心将设计无缝移植为低成本、功能等价、引脚兼容的HardCopy II器件。HardCopy II系列实现了：

- 带有两层定制金属层的 90-nm 技术
- 超过 350-MHz 的系统性能
- 与 Stratix II FPGA 原型（动态和静态）相比，内核功耗降低 50%

第一代HardCopy系列构建在粗粒度FPGA架构上，而HardCopy II 架构构建在HCell精细粒度架构上。Hcell支持FPGA无缝移植，可实现ASIC技术那样的密度、成本、性能和功耗特性。采用Stratix II FPGA做为原型和测试后，能够保证设计人员实现其系统设计的置入式功能等价替换。

### HardCopy II 器件特性

Feature	HC210W	HC210	HC220	HC230	HC240
ASIC gates	1, 000, 000	1, 000, 000	1, 600, 000	2, 200, 000	2, 200, 000
Additional gates for DSP block	0	0	300, 000	700, 000	1, 400, 000
Total RAM bits	875, 520	875, 520	3, 059, 712	6, 345, 216	8, 847, 360
Enhanced PLLs	2	2	2	4	4
Fast PLLs	2	2	2	4	8
Maximum user I/O pins		334	494	698	951

### Stratix II 到 HardCopy II 的移植

HardCopy II Options					
HardCopy II Device	Stratix II Device				
	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
HC210W 484-pin FineLine BGA	✓	✓	✓		
HC210 484-pin FineLine BGA	✓	✓	✓		
HC220 672-pin FineLine BGA		✓			
HC220 780-pin FineLine BGA			✓	✓	
HC230 1020-pin FineLine BGA			✓	✓	✓
HC240 1020-pin FineLine BGA					✓
HC240 1508-pin FineLine BGA					✓

其它系列器件

FLEX6000 系列

DEVICE	GATES	PIN/PACKAGE OPTIONS	I/O PINS	SUPPLY VOLTAGE	SPEED GRADE	FLIP-FLOPS	LOGIC ELEMENTS
EPF6010A	10,000	100-Pin TQFP, 144-Pin TQFP	71, 71, 102, 102	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin BGA <sup>1</sup> , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup>	81, 81, 117, 171, 171	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA <sup>1</sup>	117, 171, 199, 218, 218	3.3 V	-1, -2, -3	1,960	1,960

FLEX10K 系列

DEVICE	GATES	PIN/PACKAGE OPTIONS	I/O PINS	SUPPLY VOLTAGE	SPEED GRADE	LOGIC ELEMENTS	RAM BITS
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	59, 102, 134	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup>	66, 102, 134, 150	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin RQFP	102, 147, 189	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	147, 189, 246	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>1</sup> , 356-Pin BGA, 484-Pin BGA <sup>1</sup>	102, 147, 189, 191, 246, 246	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup> , 484-Pin BGA <sup>1</sup>	102, 147, 176, 220	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	147, 189	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA	189, 274	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup>	189, 274, 291	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>1</sup> , 484-Pin BGA <sup>1</sup>	102, 147, 189, 191, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K50S	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>1</sup> , 356-Pin BGA, 484-Pin BGA <sup>1</sup>	102, 147, 189, 191, 220, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	189, 358	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup> , 600-Pin BGA	189, 274, 369, 406	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>1</sup> , 356-Pin BGA, 484-Pin BGA <sup>1</sup>	147, 189, 191, 274, 338	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	600-Pin BGA	470	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup> , 600-Pin BGA, 672-Pin BGA <sup>1</sup>	186, 274, 369, 424, 413	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	600-Pin BGA, 672-Pin BGA <sup>1</sup>	470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K200S	200,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup> , 600-Pin BGA, 672-Pin BGA <sup>1</sup>	182, 274, 369, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	600-Pin BGA	470	3.3 V	-1, -2, -3	12,160	40,960

ACEX 系列

DEVICE	GATES	PIN/PACKAGE OPTIONS	I/O PINS	SUPPLY VOLTAGE	LOGIC ELEMENTS	RAM BITS
EP1K10	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup>	66, 92, 120, 136	2.5 V	576	12,288
EP1K30	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup>	102, 147, 171	2.5 V	1,728	24,576
EP1K50	50,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup> , 484-Pin BGA <sup>1</sup>	102, 147, 186, 249	2.5 V	2,880	40,960
EP1K100	100,000	208-Pin PQFP, 256-Pin BGA <sup>1</sup> , 484 Pin BGA <sup>1</sup>	147, 186, 333	2.5 V	4,992	49,152

Excilibur 系列

DEVICE	GATES	PIN/PACKAGE OPTIONS	I/O PINS	SUPPLY VOLTAGE	LOGIC ELEMENTS	RAM BITS	EMBEDDED PROCESSOR
EPXA1	100,000	484-Pin BGA <sup>1</sup> , 672-Pin BGA <sup>1</sup>	186, 246	1.8 V	4,160	53,248	32-bit ARM922T
EPXA4	400,000	672-Pin BGA <sup>1</sup> , 1,020-Pin BGA <sup>1</sup>	434, 496	1.8 V	16,640	212,992	32-bit ARM922T
EPXA10	1,000,000	1,020-Pin BGA <sup>1</sup>	711	1.8 V	38,400	327,680	32-bit ARM922T

## Mercury 系列

DEVICE	GATES	PIN/PACKAGE OPTIONS	I/O PINS	SUPPLY VOLTAGE	CDR CHANNELS	LOGIC ELEMENTS	RAM BITS
EP1M120	120,000	484-Pin BGA <sup>1</sup>	303	1.8 V	8	4,800	49,152
EP1M350	350,000	780-Pin BGA <sup>1</sup>	486	1.8 V	18	14,400	114,688

## APEX20K 系列

DEVICE	GATES	PIN/PACKAGE OPTIONS	I/O PINS	SUPPLY VOLTAGE	LOGIC ELEMENTS	RAM BITS
EP20K30E	30,000	144-Pin TQFP	92	1.8 V	1,200	24,576
EP20K60E	60,000	144-Pin TQFP, 144-Pin BGA <sup>1</sup> , 208-Pin PQFP, 324-Pin BGA <sup>1</sup> , 356-Pin BGA	92, 93, 148, 196, 196	1.8 V	2,560	32,768
EP20K100	100,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA <sup>1</sup> , 356-Pin BGA	101, 159, 189, 252, 252	2.5 V	4,160	53,248
EP20K100E	100,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA <sup>1</sup> , 356-Pin BGA	92, 151, 183, 246, 246	1.8 V	4,160	53,248
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup>	88, 143, 175, 271, 316	1.8 V	6,400	81,920
EP20K200	200,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup>	144, 174, 277, 382	2.5 V	8,320	106,496
EP20K200E	200,000	208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup> , 652-Pin BGA, 672-Pin BGA <sup>1</sup>	136, 168, 271, 376, 376, 376	1.8 V	8,320	106,496
EP20K200C	200,000	208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup>	136, 168, 271, 376	1.8 V	8,320	106,496
EP20K300E	300,000	240-Pin PQFP, 652-Pin BGA, 672-Pin BGA <sup>1</sup>	152, 408, 408	1.8 V	11,520	147,456
EP20K400	400,000	652-Pin BGA, 672-Pin BGA <sup>1</sup>	502, 502	2.5 V	16,640	212,992
EP20K400E	400,000	652-Pin BGA, 672-Pin BGA <sup>1</sup>	488, 488	1.8 V	16,640	212,992
EP20K400C	400,000	652-Pin BGA, 672-Pin BGA <sup>1</sup>	488, 488	1.8 V	16,640	212,992
EP20K600E	600,000	652-Pin BGA, 672-Pin BGA <sup>1</sup> , 1,020-Pin BGA <sup>1</sup>	488, 508, 588	1.8 V	24,320	311,296
EP20K600C	600,000	652-Pin BGA, 672-Pin BGA <sup>1</sup> , 1,020-Pin BGA <sup>1</sup>	488, 508, 588	1.8 V	24,320	311,296
EP20K1000E	1,000,000	652-Pin BGA, 672-Pin BGA <sup>1</sup> , 1,020-Pin BGA <sup>1</sup>	488, 508, 708	1.8 V	38,400	327,680
EP20K1000C	1,000,000	652-Pin BGA, 672-Pin BGA <sup>1</sup> , 1,020-Pin BGA <sup>1</sup>	488, 508, 708	1.8 V	38,400	327,680
EP20K1500E	1,500,000	652-Pin BGA, 1,020-Pin BGA <sup>1</sup>	488, 808	1.8 V	51,840	442,368

## APEX II 系列

DEVICE	PIN/PACKAGE OPTIONS	I/O PINS	SUPPLY VOLTAGE	LOGIC ELEMENTS	RAM BITS
EP2A15	724-Pin BGA, 672-Pin BGA <sup>2</sup>	492, 492	1.5 V	16,640	425,984
EP2A25	724-Pin BGA, 672-Pin BGA <sup>2</sup>	540, 492	1.5 V	24,320	622,592
EP2A40	724-Pin BGA, 672-Pin BGA <sup>2</sup> , 1,020-Pin BGA <sup>2</sup>	540, 492, 735	1.5 V	38,400	655,360
EP2A70	724-Pin BGA, 1,508-Pin BGA <sup>2</sup>	540, 1,060	1.5 V	67,200	1,146,880

## HardCopy 系列

DEVICE	PIN/PACKAGE OPTIONS	I/O PINS	SUPPLY VOLTAGE	LOGIC ELEMENTS	RAM BITS
HC20K400	652-Pin BGA, 672-Pin BGA <sup>1</sup>	488, 488	1.8 V	16,640	212,992
HC20K600	652-Pin BGA, 672-Pin BGA <sup>1</sup>	488, 508	1.8 V	24,320	311,296
HC20K1000	652-Pin BGA, 672-Pin BGA <sup>1</sup> , 1,020-Pin BGA <sup>1</sup>	488, 508, 708	1.8 V	38,400	327,680
HC20K1500	652-Pin BGA, 1,020-Pin BGA <sup>1</sup>	488, 808	1.8 V	51,840	442,368
HC1S25	672-Pin BGA <sup>1</sup>	473	1.5 V	25,660	1,944,576
HC1S30	780-Pin BGA <sup>1</sup>	597	1.5 V	32,470	2,137,536
HC1S40	780-Pin BGA <sup>1</sup>	615	1.5 V	41,250	2,244,096
HC1S60	1020-Pin BGA <sup>1</sup>	773	1.5 V	57,120	5,215,104
HC1S80	1020-Pin BGA <sup>1</sup>	773	1.5 V	79,040	5,658,048

## 配置器件

器 件	封 装	支持电压	描 述
EPC1441	8-Pin PDIP	3.3V or 5.0V	441-K bit ; 一次性
EPC1	8-Pin PDIP	3.3V or 5.0V	1-M bit ; 一次性
EPC2	20-Pin PLCC	3.3V or 5.0V	1.6-M bit ; 可重复擦除; JTAG 编程
EPC4	100-Pin PQFP	3.3V	4-M bit ; 可重复擦除; JTAG 编程
EPC8	100-Pin PQFP	3.3V	8-M bit ; 可重复擦除; JTAG 编程
EPC16	88-Pin BGA 100-Pin PQFP	3.3V	16-M bit ; 可重复擦除; JTAG 编程
EPCS1	8-Pin SOIC	3.3V	1-M bit; 可重复擦除; AS 模式
EPCS4	8-Pin SOIC	3.3V	4-M bit; 可重复擦除; AS 模式
EPCS16	16-Pin SOIC	3.3V	16-M bit; 可重复擦除; AS 模式
EPCS64	16-Pin SOIC	3.3V	64-M bit; 可重复擦除; AS 模式

## 下载电缆

电缆型号	接口类型	JTAG	PS	AS	软件支持	
					MaxplusII	QuartusII
ByteBlaster MV	Parallel	YES	YES	NO	YES	YES
ByteBlaster II	Parallel port	YES	YES	YES	NO	YES
MasterBlaster	USB	YES	YES	NO	YES	YES

## 开发软件:



MAX+PLUS II 提供了与结构无关的设计环境, 确保了易于输入设计、快速编译、模拟仿真及完成器件编程。支持 MAX、FLEX、ACEX 等系列器件, 最终版本是 V10.23 版。适合于初级开发者使用。



QUARTUS II 为单芯片系统 (SOPC) 设计提供了一个全面的环境。提供业界最快的编译时间, 支持 ALTERA 绝大部分系列的器件。目前 QUARTUS II 版本是 V4.2 版。下表是该软件的一些功能列表和使用参考文献

分 类	特 性	参 考 文 献
System Design	SOPC Builder	SOPC Builder User Guide
	DSP Builder	DSP Builder User Guide
FPGA Design	LogicLock Block-Based	AN 161 Using the LogicLock Methodology in the Quartus II Design Software
	NativeLink® Integration	Quartus II Handbook
	Text-Based/ Schematic Design	Quartus II Handbook
	Block Design Entry	Quartus II Handbook
	Library of Parameterized	Quartus II Handbook
	OpenCore Functions	AN 176 OpenCore Plus Hardware Evaluation
	MegaWizard Plug-In Manager	Quartus II Handbook
	HardCopy Migration	Quartus II Handbook
Synthesis	VHDL and Verilog Synthesis	AN 238 Quartus II Verilog HDL & VHDL Integrated Synthesis
	Third-Party Synthesis	AN 226 Synplify & Quartus II Design methodology
Place & Route	PowerFit Place-and-Route	Quartus II Handbook
	Timing Closure Floorplan Editor	AN 198 Timing Closure with the Quartus II Software
	Physical Synthesis	Quartus II Handbook
	Design Space Explorer	Quartus II Handbook
	Chip Editor	AN310 Using Quartus II Chip Editor
	Incremental Fitting	Quartus II Handbook
	Fast Fit and Auto Fit	Quartus II Handbook

分 类	特 性	参 考 文 献
Verification	Static Timing Analysis	Quartus II Handbook
	OpenCore Evaluation	AN 176 OpenCore Plus Hardware Evaluation
	Functional/ Timing Simulation	Quartus II Handbook
	Testbench Generation	Quartus II Handbook
	SignalTap® II Logic Analysis	AN 280 Design Verification Using the SignalTap II Embedded Logic Analyzer
	SignalProbe™ In-System Debugging	
	ModelSim-Altera	AN 204 Using ModelSim-Altera in a Quartus II Design Flow
	Formal Verification	Quartus II Handbook
	PowerGauge™ Power Analysis	Quartus II Handbook
Program	IEEE 1532	Quartus II Handbook
	Jam™ STAPL	Quartus II Handbook

## SOPC Builder

SOPC Builder工具是一个革命性的系统级开发工具，它使得集成组件时花费的时间最少。SOPC Builder可以快速的开发定制的方案，重建已经存在的方案，并为其添加新的功能，提高系统的性能。通过自动集成系统组件，SOPC Builder允许用户将工作的重点集中到系统级的需求上，而不是把一系列的组件装配在一起这种普通的、手工的工作上面。所有版本的Altera® Quartus® II的设计软件都已经包含了SOPC Builder。SOPC Builder 提供了一个强大的平台，用于组建一个在模块级和组件级定义的系统。SOPC Builder 的组件库包含了从简单的固定逻辑的功能块到复杂的、参数化的、可以动态生成的子系统等一系列的组件。这些组件可以从 Altera 或其他第三方合作伙伴购买来的 IP 核，它们其中一些是可以免费下载用作评估的。用户还可简单地创建他们自己的定制 SOPC Builer 组件。SOPC Builder 库中已有的组件包括了：

### 处理器

- 片内处理器
- 片外处理器的接口

### IP 外设

- 存储器接口
- 通用的微-外设
- 通讯外设
- 桥接口
- 数字信号处理（DSP）IP
- 硬件加速外设

## DSP Builder

DSP Builder 是一个数字信号处理 (DSP) 开发工具, 它提供了 Quartus® II 软件和 MATLAB/Simulink 工具之间的接口。

### 2.2.0 版本的新特性

- 支持Stratix® II 和 Cyclone II 器件
- 支持 Quartus II 软件 4.1 及更高版本
- 支持 MATLAB 7.0 版 和 Simulink 6.0 版
- Verilog HDL 仿真支持
- 增加对MegaCore®功能的支持
- 对多 non-PLL 时钟域的支持
- 新的模块:
  - VCD Sink block (AltLab library)
  - Sum of Products block (Arithmetic library)
  - to-n Demultiplexer block (Gate library)
  - Square Root block (Arithmetic library)
  - Bus Probe block (AltLab library)

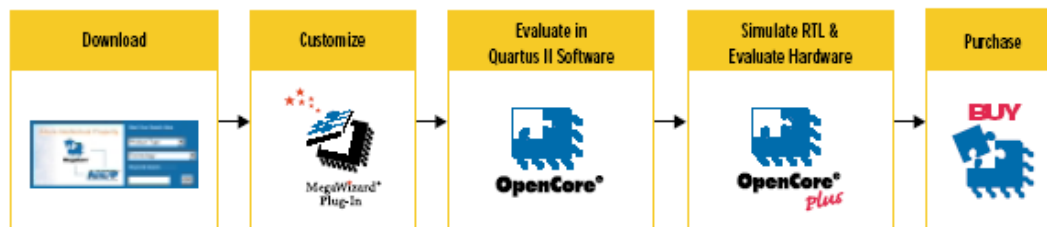
### 特 性

- 用于连接Mathwork的MATLAB (信号处理工具箱和滤波器设计工具箱), Simulink环境和Altera® 的 Quartus II设计软件环境。
- 支持 Altera 的 DSP 核, 这些核均可以从 Altera 的网站下载 (例如: FIR Compiler、Reed-Solomon Compiler 等等)
- 可以利用 Altera 的 DSP 开发板来快速的实现设计的原型
- 支持SignalTap® II逻辑分析仪 (一种嵌入式的信号分析仪, 它可以探测到DSP开发板上Altera器件内部的信号, 并把数据引入到MATLAB的工作区以便于进行可视化的分析)
- 包括了用户可以创建的定制的逻辑, 用于配合SOPC Builder和Nios® II嵌入式处理器设计。
- 包括了 PLL 块, 用于多时钟设计
- 包括了状态机块
- 针对 DSP 系统的算法和实现, 支持统一的表示方法
- 根据 MATLAB 和 Simulink 的测试矢量, 可以自动生成 VHDL 测试激励或 Quartus II 矢量文件 (.vec)
- 自动调用 VHDL 综合器和 Quartus II 编译器
- 仿真可以设定为比特或周期精度
- 提供多种的定点运算和逻辑操作, 用于配合使用 Simulink 软件
- 支持多种 Altera 的器件:
  - Stratix、Stratix II 和 Stratix GX 器件
  - Cyclone 和 Cyclone II 器件
  - APEX II、APEX 20KC 和 APEX 20KE 器件
  - Mercury 器件
  - ACEX® 1K 器件
  - FLEX® 10K 和 FLEX 6000 器件

## IP CORE（宏功能模块）

ALTERA 提供众多宏功能模块、IP 内核以及系统集成方案。ALTERA 推荐使用现成的或者经过测试的宏功能模块及 IP 内核，用来配合已有的 HDL 设计方法。当在完成复杂系统设计的时候，这些宏功能模块、IP 内核无疑将大大的减少设计风险及缩短开发周期，同时设计师可以将更多的精力放在改善系统功能，而不去重新开发现成的宏功能模块和 IP 内核。

### ALTERA IP 设计流程



### DSP IP

CATEGORY	FUNCTION DESCRIPTION
Arithmetic	Logarithm Function
	Square Root Function
Correlation	Correlator
Encryption/Decryption	DES Encryption Processor
	High-Speed Rijndael/Advanced Encryption Standard (AES) Encryption &Decryption
	Low-Speed Rijndael/AES Encryption & Decryption
	MD5A Hash Function
	SHA-1 Hash Function
Filtering	FIR Compiler
	IIR Compiler
Error Detection/Correction	CRC Generator/Checker
	Reed-Solomon Compiler, Decoder
	Reed-Solomon Compiler, Encoder
	Symbol Interleaver/Deinterleaver
	Turbo Decoder Function
	Turbo Encoder Function
	Viterbi Compiler, High-Speed Parallel Decoder
	Viterbi Compiler, Low-Speed/Hybrid Serial Decoder
	Reed-Solomon Decoder Minicore
Image & Video Processing	Color Space Converter
Modulation/Demodulation	Constellation Mapper/Demapper
Signal Generation	Numerically Controlled Oscillator Compiler
Speech & Audio Processing	u-Law and A-Law Companders
Transforms	Cordinate Rotation Digital Computer (CORDIC)
	FFT/IFFT
	Hadamard Transform Processor



## Microsystem Interface IP

CATEGORY	FUNCTION DESCRIPTION
HyperTransport	HyperTransport Interface
Memory Controllers	DDR SDRAM Controller
	SDR SDRAM Controller
	QDR SRAM Controller
	ZBT SRAM Controller
PCI	PCI Compiler, 32-bit Master/Target
	PCI Compiler, 32-bit Target
	PCI Compiler, 64-bit Master/Target
	PCI Compiler, 64-bit Target
	PCI32 Nios Target
Processors	ARM922T Hard Embedded Processor
	Nios Soft Embedded Processor
	Nios II Soft Embedded Processor
Peripherals	UART, A16450P
	UART, A6402
	UART with FIFO Buffer

## Communications IP

CATEGORY	FUNCTION DESCRIPTION
Cell/Packet	ATM Cell Processor Compiler (up to 2.5 Gbps)
	PPP Packet Processor 155 and 622 Mbps
CSIX	Commons Switch Interface - Layer 1 (CSIX-L1)
Encoding/Decoding	8B10B Encoder/Decoder
PDH (T/E Carrier)	E3 Mapper
	T3 Framer
	T3 Mapper
POS-PHY	POS-PHY Level 2 PHY-Layer
	POS-PHY Level 2 Link-Layer
	POS-PHY Level 3 PHY-Layer
	POS-PHY Level 3 Link-Layer
	POS-PHY Level 4 (SPI-4.2)
SONET/SDH	SONET/SDH Compiler (OC-1 to OC-192)
Ethernet	10/100 Ethernet MAC
UTOPIA	UTOPIA Level 2 Master
	UTOPIA Level 2 Slave
	UTOPIA Level 3 Master
	UTOPIA Level 3 Slave

## Nios II 系列嵌入式处理器

Altera推出的Nios® II系列嵌入式处理器扩展了目前世界上最流行的软核嵌入式处理器的性能，并降低了其性能。把Nios II嵌入到Altera的Stratix® II、Stratix、Cyclone™ 和HardCopy®系列器件中，用户可以获得超过 200 DMIPS的性能，而只需花费不到 35 美分的逻辑的资源。用户可以从三种处理器以及超过 60 个的IP核中选择所需要的，Nios II系统为用户提供了最基本的多功能性，设计师可以以此来创建一个最适合他们需求的嵌入式系统。

### Nios II 处理器的优点和特性

使用 Nios II 处理器的用户可以根据他们的需要来调整嵌入式系统的特性、性能以及成本，快速使得产品推向市场，扩展产品的生命周期，并且避免处理器的更新换代。

#### 提高系统性能

- 一系列的处理器核可供选择，其中包括了超过 200 DMIPS 性能的核
- 实现任何数量的处理器或将不同的处理器核组和在一起
- 增加了已有的处理器，在 FPGA 中添加一个或更多的 Nios II 软核处理器

#### 更低的系统成本

- 通过将处理器、外设、存储器和 I/O 接口集成到单一 FPGA 中，从而降低了系统成本、复杂性和功耗
- 通过将 Nios II 处理器嵌入到低成本的 FPGA 中只需花费 35 美分或者更低

#### 功能强大易用的开发工具

- 通过使用 Nios II 集成开发环境 (IDE)，从而加速了软件的开发
- 利用强大的SOPC Builder系统开发工具和Quartus® II设计软件可以在几分钟内设计一个系统

#### 使用完全功能的开发包

- 使用易用的 Nios II 开发包开始一个设计
- 使用易用的 Nios II 开发包开始设计
- 可以选择具有低成本特性的 Cyclone FPGA 开发套件，或高性能的 Stratix FPGA 开发套件
- 一键式升级流程将 Nios 设计转至 Nios II 处理器

## Nios II 处理器内核

Nios®II 系列嵌入式处理器目前包括以下三种处理器内核，用以实现通用指令集架构 (ISA)。

### Nios II/f 内核

Nios II/f 快速内核设计初衷是为拥有尽可能高的性能。此内核适用于对性能要求敏感的应用，以及那些拥有大量编码和/或数据的应用，比如系统内运行了一个完整功能的操作系统。获得其性能的代价是内核面积的占用增加，这使得 Nios II/f 内核比 Nios II 标准内核大近 35%。集中于提高其执行性能使得以下两项需求增加：

- ◇ 使指令周期的执行效率最大化
- ◇ 使处理器内核的最大工作频率 ( $f_{\max}$ ) 最大化

#### Nios II/f 内核特性：

- Nios II/f 内核特性
- 指令和数据缓存可配置

- 最大可达 2G 字节的外部寻址空间
- 6 阶流水线以达到最大 DMIPS/MHz
- 动态分枝预测
- 最多可达 256 个定制指令
- 联合测试行动组（JTAG）调试模块
- 可选的调试功能，包括硬件断点、数据触发、实时跟踪

Nios II/f 内核如果用在具有数据信号处理（DSP）模块的 Altera® 器件系列中，例如以 Stratix® 系列为目标器件，则可以提供额外的功能和性能。在这种情况下，Nios II/f 内核提供可完成单周期乘法操作的硬件乘法电路。该乘法器单元也可作为单周期 barrel 移位器使用。Nios II/f 内核同时提供可选的除法电路用以加速除法操作。

### Nios II/e 内核

Nios II/e 经济型内核被设计成为面积尽可能最小化的处理器内核。Nios II/e 内核具有一个单一的设计目标：尽可能地降低对资源的利用，同时依然保持与 Nios II ISA 的兼容。硬件资源的保留需要消耗执行性能；Nios II/e 内核大约是 Nios II 标准内核尺寸的一半。此内核适用于价格敏感方面的应用，以及只需要简单控制逻辑的应用。

#### Nios II/e 内核特性：

- 每个指令需要 6 个时钟（典型的）
- 最大可达 2G 比特的外部寻址空间
- JTAG 调试模块
- 整个系统小于 700 个逻辑单元（LE）
- 可选的调试功能
- 最多可达 256 个定制指令

### Nios II/s 内核

Nios II/s 标准内核被设计成为一个小型的、无需为软件性能的提升做大幅度平衡的处理器内核。Nios II/s 内核耗用了比 Nios II/f 快速内核大约少 25% 的逻辑资源，比 Nios II/e 经济内核则高出 400% 的执行性能。通过一个选择的过程，一些硬件特性被删除以保持性能/成本的平衡。此内核适用于价格敏感的、中等性能需求的应用，包括那些拥有大量编码和/或数据的应用，比如系统内运行了一个完整功能的操作系统。

#### Nios II/s 内核特性：

- 指令和数据缓存可配置
- 最大可达 2G 比特的外部寻址空间
- 5 阶流水线
- 静态分支预报
- 最多可达 256 个定制指令
- JTAG 调试模块
- 可选的调试功能，包括硬件断点、数据触发、实时跟踪

Nios II/s 内核如果用在具有 DSP 模块的 Altera 器件系列中，如以 Stratix 系列为目标器件，可以提供额外的功能和性能。在这种情况下，Nios II/s 内核提供三个周期可完成乘法操作的硬件乘法电路。该乘法器单元也可作为 barrel 移位器使用。

## Altera 开发板

Altera®开发包为工程师提供完整的、高质量的设计环境。大量的开发包帮助您简化设计流程、缩短上市时间。开发包包括软件、参考设计、电缆和编程硬件。表 1 列出了Altera的开发包。

开 发 板 描 述	器 件 型 号	订 单 代 号
DSP Development Kit, Stratix II Edition	EP2S60F1020C4	DSP-DEVKIT-2S60
High-Speed Development Kit, Stratix II Edition	EP2S60F1020C3	HS-DEVKIT-2S60
MAX II Development Kit	EPM1270F256C5ES	MAXII-DEVKIT-1270
Nios II Development Kit, Cyclone Edition	EP1C20FC400	NIOS-DEVKIT-1C20
Nios II Development Kit, Stratix Edition	EP1S10F780	NIOS-DEVKIT-1S10
Nios II Development Kit, Stratix II Edition	EP2S30F672C5	NIOS-DEVKIT-2S30
Nios II Development Kit, Stratix Professional Edition	EP1S40F780	NIOS-PROKIT-1S40
Nios II Evaluation Kit	EP1C12F324	NIOS-EVALKIT-1C12
DSP Development Kit, Stratix Edition	EP1S25F780	DSP- BOARD/S25
DSP Development Kit, Stratix Professional Edition	EP1S80B956	DSP-BOARD/S80
High-Speed Development Kit, Stratix GX Edition	EP1SGX40G	HS-BOARD/SX40
PCI Development Kit, Stratix Edition	EP1S25F1020C5	PCI-BOARD/S25
PCI High-Speed Development Kit, Stratix Professional Edition	EP1S60F1020C6	PCI-BOARD/S60

## ALTERA 电源选择

### National 的解决方案

具体请参考<http://www.national.com/appinfo/power/alterafpga.html>

建议采用 National 的 Power Design Tool 工具

### TI 的解决方案

具体请参考[www.ti.com/alterafpga](http://www.ti.com/alterafpga)

### LINEAR 的解决方案

具体请参考[www.linear.com/designtools/Altera.jsp](http://www.linear.com/designtools/Altera.jsp)