

Рис. 3.1. Условное обозначение дешифратора 2×4

На входы X_0 , X_1 , можно подать 4 комбинации логических уровней: 00, 01, 10, 11. Схема имеет 4 выхода, на одном из которых формируется нулевой сигнал, а на остальных единичный. Номер этого единственного выхода, на котором формируется нулевой уровень, соответствует числу M , определяемому состоянием входов X_0 , X_1 , следующим образом:

$$M = 2^1 \cdot X_1 + 2^0 \cdot X_0. \quad (3.1)$$

Выходные сигналы дешифратора описываются соотношениями:

$$Y_0 = \overline{X_1} \wedge \overline{X_0}, \quad Y_1 = \overline{X_1} \wedge X_0, \quad Y_2 = X_1 \wedge \overline{X_0}, \quad Y_3 = X_1 \wedge X_0. \quad (3.2)$$

Помимо информационных входов X_0 , X_1 дешифратор имеет дополнительные входы управления E . Сигналы на этих входах, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом - уровень логического нуля. Дешифратор, представленный на рис.3.1, имеет один инверсный вход управления.

Формирование выходных сигналов в этом дешифраторе с учетом сигнала управления описывается следующим образом:

$$Y_0 = \overline{E} \wedge \overline{X_1} \wedge \overline{X_0}, \quad Y_1 = \overline{E} \wedge \overline{X_1} \wedge X_0, \quad Y_2 = \overline{E} \wedge X_1 \wedge \overline{X_0}, \quad Y_3 = \overline{E} \wedge X_1 \wedge X_0. \quad (3.3)$$

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет со-

бой конъюнкцию всех разрешающих сигналов управления. Например, для дешифратора КР555ИД7 с одним прямым входом управления E1 и двумя инверсными E2 и E3 функция E имеют вид:

$$E = E1 \wedge \overline{E2} \wedge \overline{E3}. \quad (3.4)$$

Работа дешифратора описывается с помощью таблицы состояния (табл. 3.1).

Таблица 3.1

Входы			Выходы			
E	X1	X0	Y3	Y2	Y1	Y0
1	×	×	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

На рис. 3.2 приведена схема наращивания разрядности дешифратора. Для построения дешифратора 3×8 на основе двух полных дешифраторов 2×4 нужно соединить параллельно их входы X0 и X1. Входной сигнал X2 подключается непосредственно к входу разрешения E младшего дешифратора и через инвертор к входу разрешения E старшего дешифратора.

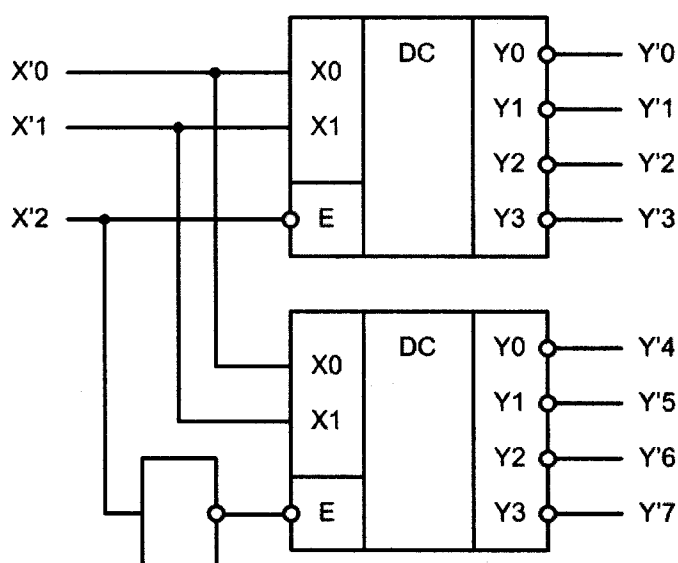


Рис. 3.2. Схема построения дешифратора 3×8

В зависимости от состояния сигнала X2 только один из выходных дешифраторов будет реагировать на комбинацию сигналов на входах X0 и X1.

Только выбранный дешифратор сформирует единицу на одном из своих выходов, номер которого определяется сигналами X0 и X1. Например, если на входах X2 X1 X0 присутствует число 101, то единичный сигнал в разряде X2 запретит работу младшего дешифратора и на его выходах установятся единичные сигналы. На вход разрешения старшего дешифратора единичный сигнал X2 поступает после инвертирования и разрешает его работу. В результате нулевой уровень появится на выходе Y5.

Дешифраторы находят широкое применение в вычислительной технике. В составе компьютеров, например, дешифраторы позволяют адресоваться к определённому устройству, с которым в данный момент осуществляется обмен информацией. Для этого достаточно подключить вход разрешения работы этого устройства к соответствующему выходу дешифратора, а входы дешифратора использовать для задания адреса устройства.

3. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В состав лабораторного стенда входят:

- базовый лабораторный стенд;
- лабораторный модуль **dLab3** для исследования работы дешифратора.

4. РАБОЧЕЕ ЗАДАНИЕ

Подготовьте шаблон отчета в редакторе **MS Word**.

Установите лабораторный модуль **dLab3** на макетную плату лабораторной станции NI ELVIS. Внешний вид модуля показан на рис.3.3.

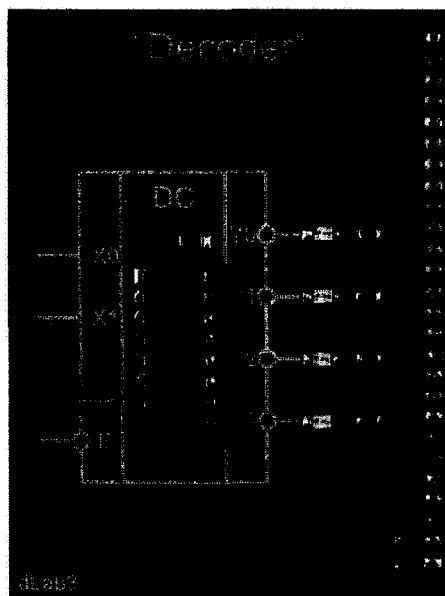



Рис. 3.3. Внешний вид модуля dLab3 для исследования работы дешифратора

Загрузите файл **dLab-3.vi**. На экране появится изображение ВП, необходимого для выполнения работы (рис.3.4). Запустите программу, щелкнув левой кнопкой мыши на экранной кнопке RUN .

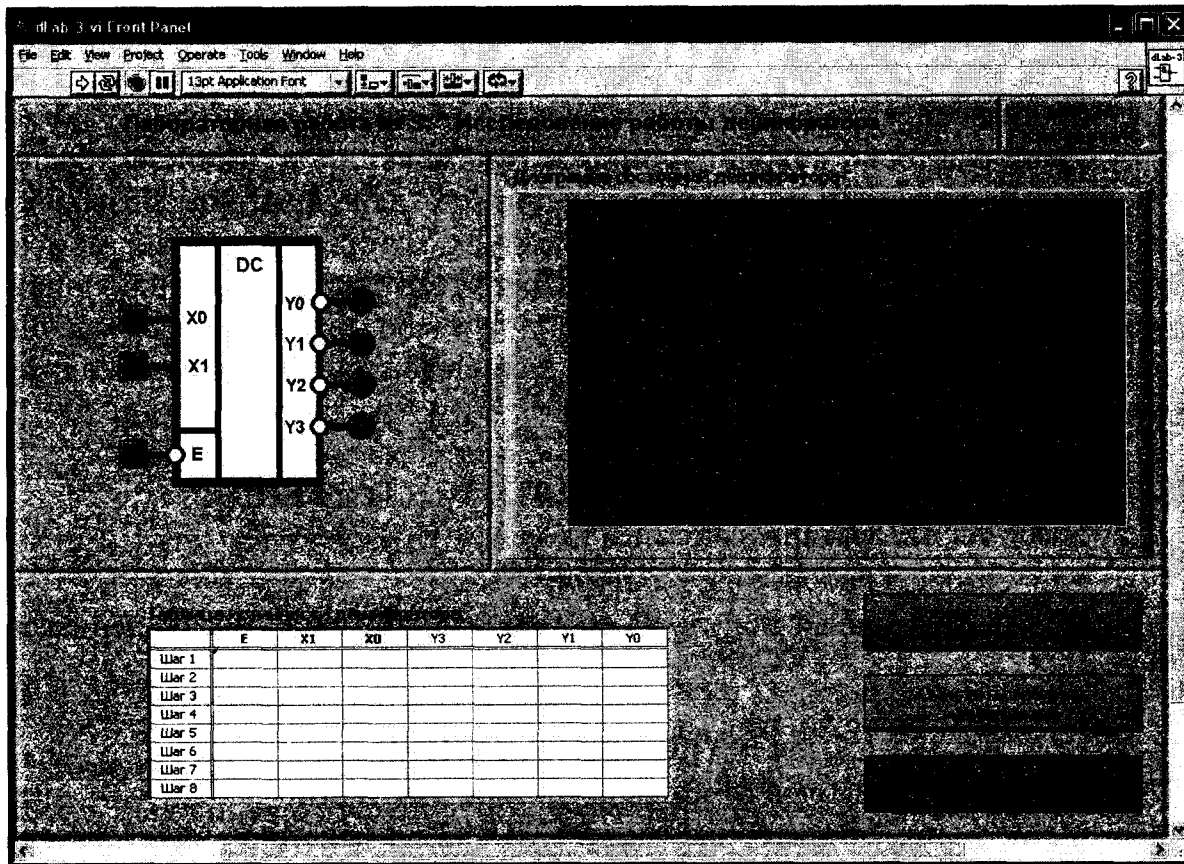


Рис. 3.4. Лицевая панель ВП

- 4.1. Нажмите на кнопку «Очистить таблицу и диаграмму».
- 4.2. Установите на входах «Е», «X0» и «X1» дешифратора значения сигналов, приведенные в первой строке табл.3.2.

Таблица 3.2

Вход E	Вход X1	Вход X0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку квадратной формы, расположенную около соответствующего входа. При этом на кнопке отображается состояние входа («0» - синий цвет или «1» - оранжевый цвет). На индикаторах круглой формы, расположенных около выходов «Y0», «Y1», «Y2» и «Y3» дешифратора, будет отображено состояние выходных сигналов.

4.3. Занесите логические состояния входов и выходов дешифратора в таблицу истинности и на диаграмму состояний. Для этого на лицевой панели ВП нажмите на кнопку **«Добавить состояние в таблицу и на диаграмму»**.

4.4. Повторите пп.4.2 – 4.3 для остальных строк табл.3.2.

4.5. Скопируйте полученные таблицу истинности и диаграмму состояний в отчет. Сначала скопируйте таблицу истинности в буфер обмена, для чего щелкните правой кнопкой мыши на изображении таблицы и выберите из контекстного меню команду **«Copy Data»**. Затем перейдите в редактор **MS Word** и вставьте изображение таблицы из буфера обмена на страницу отчета. Повторите те же действия с диаграммой состояний.

4.6. По таблице истинности и временной диаграмме определите, какой логический сигнал на входе управления «Е» дешифратора является активным.

4.7. Выключите ВП, для чего нажмите на панели ВП кнопку **«Завершить работу»**.

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

- Какие логические функции выполняет дешифратор?
- Что понимают под унитарным кодом?
- Чем отличается полный дешифратор от неполного?
- Каковы назначение и условное графическое обозначение дешифратора?
- Каково назначение входа управления «Е» в дешифраторе? Как работает дешифратор при пассивном сигнале на этом входе?
- Как увеличить разрядность дешифратора?

ЛАБОРАТОРНАЯ РАБОТА № 4

ИССЛЕДОВАНИЕ РАБОТЫ МУЛЬТИПЛЕКСОРА

1. ЦЕЛЬ РАБОТЫ

Целью работы является исследование работы мультиплексора.

2. СВЕДЕНИЯ, НЕОБХОДИМЫЕ ДЛЯ ВЫПОЛНЕНИЯ РАБОТЫ

Мультиплексором (Multiplexer - MUX) $M \times 1$ называют комбинационное устройство с M информационными (X_0, X_1, \dots, X_{M-1}), K адресными

(A_0, A_1, \dots, A_{K-1}) входами и одним выходом (Y), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

Кроме информационных и адресных входов, мультиплексор содержит вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. Если на вход разрешения подан пассивный уровень, мультиплексор перейдет в пассивное состояние, при котором сигнал на выходе сохраняет постоянное значение независимо от значений информационных и адресных сигналов.

В зависимости от соотношения числа информационных входов M и числа адресных входов K мультиплексоры делятся на полные и неполные. Если выполняется условие $M = 2^K$, то мультиплексор будет полным. Если это условие не выполняется, т.е. $M < 2^K$, то мультиплексор будет неполным.

Число информационных входов у мультиплексоров обычно 2, 4, 8 или 16. На рис.4.1 представлен мультиплексор 4×1 с инверсным входом разрешения E и прямым выходом Y , представляющий собой половину микросхемы мультиплексора КР555КП2.

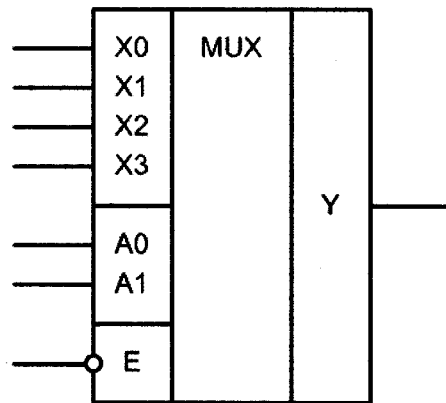


Рис. 4.1. Условное обозначение мультиплексора 4×1

Выражение для выходной функции такого мультиплексора можно записать в виде:

$$Y = \bar{E} \wedge (X_0 \wedge \bar{A}_0 \wedge \bar{A}_1 \vee X_1 \wedge A_0 \wedge \bar{A}_1 \vee X_2 \wedge \bar{A}_0 \wedge A_1 \vee X_3 \wedge A_0 \wedge A_1), \quad (4.1)$$

где X_0, X_1, X_2, X_3 – информационные входы мультиплексора;

A_0, A_1 – адресные входы мультиплексора;

E – вход разрешения.

Работа мультиплексора описывается таблицей состояний (табл.4.1).

Таблица 4.1

<i>E</i>	<i>A1</i>	<i>A0</i>	<i>X3</i>	<i>X2</i>	<i>X1</i>	<i>X0</i>	<i>Y</i>
1	×	×	×	×	×	×	0
0	0	0	×	×	×	0	0
0	0	0	×	×	×	1	1
0	0	1	×	×	0	×	0
0	0	1	×	×	1	×	1
0	1	0	×	0	×	×	0
0	1	0	×	1	×	×	1
0	1	1	0	×	×	×	0
0	1	1	1	×	×	×	1

Примечание: символ × указывает на то, что состояние соответствующего сигнала не имеет значения, т.е. не влияет на состояние выхода.

Микросхемы мультиплексоров можно объединять для увеличения количества каналов. Например, два 4-канальных мультиплексора легко объединяются в 8-канальный с помощью инвертора на входах разрешения и элемента 2И-НЕ для объединения выходных сигналов (рис.4.2). Старший разряд адреса *A3* будет при этом выбирать один из двух мультиплексоров по входу разрешения.

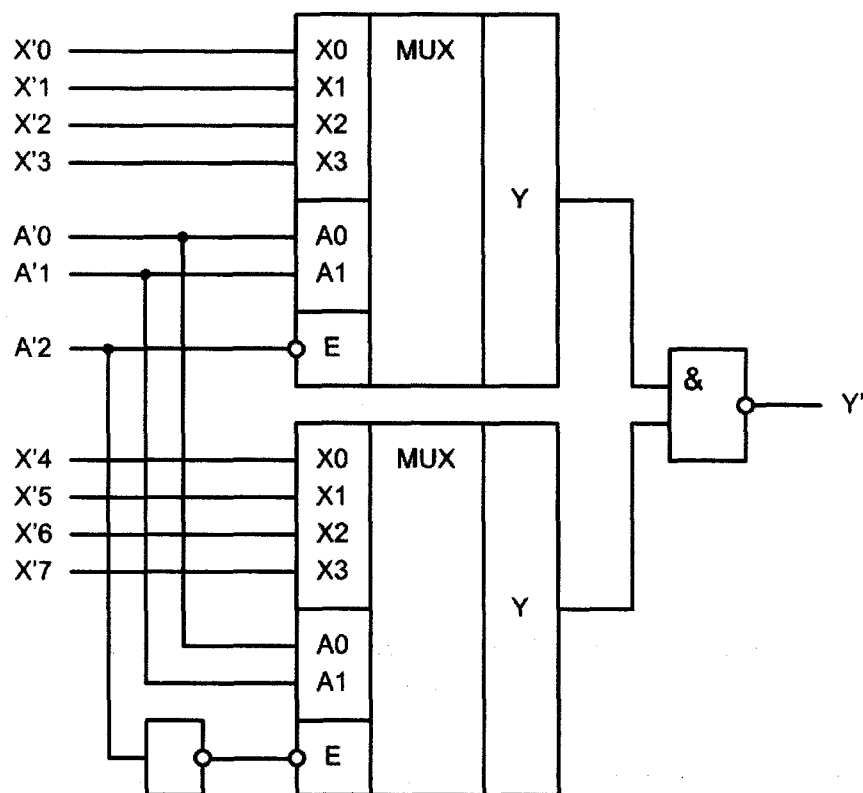


Рис. 4.2. Схема каскадирования мультиплексоров

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающих устройств, в узлах объединения или разветвления шин и т.д.

На базе мультиплексоров можно построить различные комбинационные устройства с минимальным числом дополнительных элементов логики. Такой подход используется, например, в микросхемах с программируемой логикой - программируемых логических матрицах.

3. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

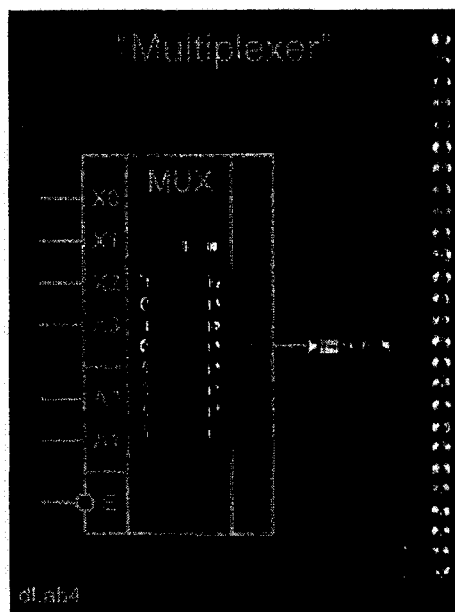
В состав лабораторного стенда входят:

- базовый лабораторный стенд;
- лабораторный модуль **dLab4** для исследования работы мультиплексора.


4. РАБОЧЕЕ ЗАДАНИЕ

Подготовьте шаблон отчета в редакторе **MS Word**.

Установите лабораторный модуль **dLab4** на макетную плату лабораторной станции NI ELVIS. Внешний вид модуля показан на рис.4.3.



*Рис. 4.3. Внешний вид модуля **dLab4** для исследования работы мультиплексора*

Загрузите файл **dLab-4.vi**. На экране появится изображение ВП, необходимого для выполнения работы (рис.4.4). Запустите программу, щелкнув левой кнопкой мыши на экранной кнопке RUN .

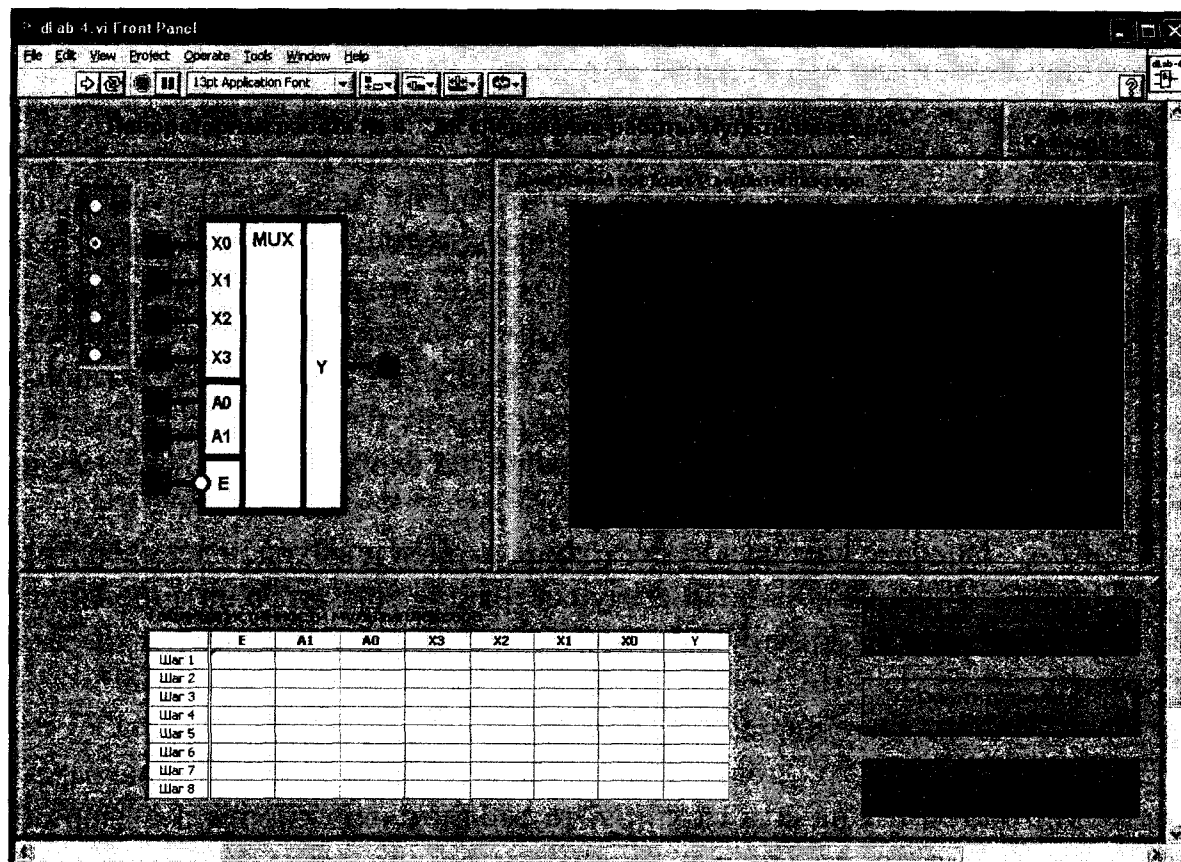


Рис. 4.4. Лицевая панель ВП

- 4.1. Нажмите на кнопку «Очистить таблицу и диаграмму».
- 4.2. Установите на входе разрешения «Е» и адресных входах «А0» и «А1» мультиплексора значения сигналов, приведенные в первой строке табл.4.2.

Таблица 4.2

Вход E	Вход A ₁	Вход A ₀
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку квадратной формы, расположенную около со-

ответствующего входа. При этом на кнопке отображается состояние входа («0» - синий цвет или «1» - оранжевый цвет).

4.3. При установленном значении адреса (A0, A1) определите, какой из входов «X0» – «X3» мультиплексора подключен к выходу Y. Для этого нужно поочередно нажимать и отпускать манипулятором мышь кнопки квадратной формы, расположенные около информационных входов «X0» – «X3». Активным является тот вход, изменение сигнала на котором будет сопровождаться переключением индикатора круглой формы, расположенного около выхода мультиплексора «Y». Отметьте активный вход мультиплексора, нажав мышью на одну из пяти радиокнопок «Активный вход», расположенных слева напротив входов «X0» – «X3» мультиплексора.

4.4. Занесите логические состояния входов и выходов дешифратора в таблицу истинности и на диаграмму состояний. Для этого на лицевой панели ВП нажмите на кнопку «Добавить состояние в таблицу и на диаграмму».

4.5. Повторите пп.4.2 – 4.4 для остальных строк табл.4.2.

4.6. Скопируйте полученные таблицу истинности и диаграмму состояний в отчет. Сначала скопируйте таблицу истинности в буфер обмена, для чего щелкните правой кнопкой мыши на изображении таблицы и выберите из контекстного меню команду «Copy Data». Затем перейдите в редактор MS Word и вставьте изображение таблицы из буфера обмена на страницу отчета. Повторите те же действия с диаграммой состояний.

4.7. По таблице истинности и временной диаграмме определите, какой логический уровень на входе управления «Е» дешифратора является активным.

4.8. Выключите ВП, для чего нажмите на панели ВП кнопку «Завершить работу».

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

- Каково назначение мультиплексора? Приведите его условное графическое обозначение?
- Чем отличается полный мультиплексор от неполного?
- Каким логическим уравнением описывается работа мультиплексора 2×1 с управляющим входом?
- Как увеличить разрядность мультиплексора?
- Зачем нужен вход «Е» у мультиплексора? Как работает мультиплексор при пассивном сигнале на этом входе?
- Как с помощью мультиплексора можно осуществить преобразование параллельного кода в последовательный?

ЛАБОРАТОРНАЯ РАБОТА № 5

ИССЛЕДОВАНИЕ РАБОТЫ СУММАТОРА

1. ЦЕЛЬ РАБОТЫ

Целью работы является исследование работы сумматора.

2. СВЕДЕНИЯ, НЕОБХОДИМЫЕ ДЛЯ ВЫПОЛНЕНИЯ РАБОТЫ

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания как двоичных, так и десятичных чисел. Приведем основные классификационные признаки сумматоров.

По виду выполняемой операции можно выделить две группы сумматоров:

- сумматоры, выполняющие сложение положительных чисел (без учета знака числа);
- сумматоры, выполняющие операцию сложения положительных и отрицательных чисел. Такие устройства называют сумматорами-вычитателями. Они могут работать в режиме алгебраического (с учетом знака) суммирования и вычитания чисел.

По используемой системе счисления сумматоры подразделяются на:

- двоичные сумматоры, выполняющие операции над двоичными числами;
- десятичные сумматоры, выполняющие операции над десятичными числами.

По последовательности выполнения операции во времени выделяют:

- параллельные сумматоры, в которых все разряды складываемых чисел подаются на входы сумматора одновременно. Такие сумматоры строятся на комбинационных устройствах и рассматриваются в дальнейшем;
- последовательные сумматоры, на входы которых разряды складываемых чисел подаются последовательно во времени (разряд за разрядом). В них используются элементы памяти.

Среди двоичных сумматоров различают одноразрядные и многоразрядные сумматоры. Одноразрядные сумматоры служат основой для построения многоразрядных. Многоразрядные сумматоры подразделяются на сумматоры с последовательным и параллельным переносом.

Полным одноразрядным сумматором (рис.5.1) называется комбинационное устройство с тремя входами и двумя выходами, выполняющее сложение трех одноразрядных чисел по правилам двоичной арифметики.

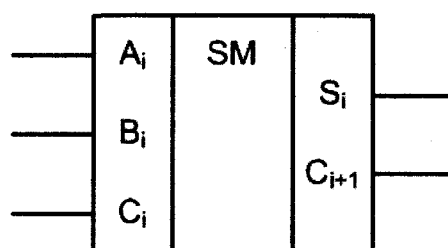


Рис. 5.1. Условное графическое обозначение одноразрядного полного сумматора

На входы сумматора поступают сигналы A_i , B_i i -го разряда и сигнал C_i ; переноса из предыдущего разряда, с выхода снимаются сигналы текущего разряда суммы S_i и переноса C_{i+1} в следующий разряд. Работа одноразрядного полного сумматора описывается таблицей состояний (табл. 5.1).

Таблица 5.1

Входы			Выходы	
C_i	B_i	A_i	C_{i+1}	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Выходной сигнал переноса формируется в соответствии с выражением:

$$C_{i+1} = A_i \wedge B_i \vee B_i \wedge C_i \vee C_i \wedge A_i. \quad (5.1)$$

Полные одноразрядные сумматоры используются для построения многоразрядных сумматоров. На рис. 5.2 приведена схема соединения двух одноразрядных полных сумматоров для получения двухразрядного полного сумматора. Выход переноса предыдущего одноразрядного сумматора соединяется в входом переноса предыдущего.

Полученный сумматор называется сумматором с последовательным переносом. Сумматор с последовательным переносом имеет низкое быст-

родействие, так как сигналы суммы и переноса старшего разряда появятся только после того, как последовательно сформируются сигналы переноса всех предыдущих разрядов.

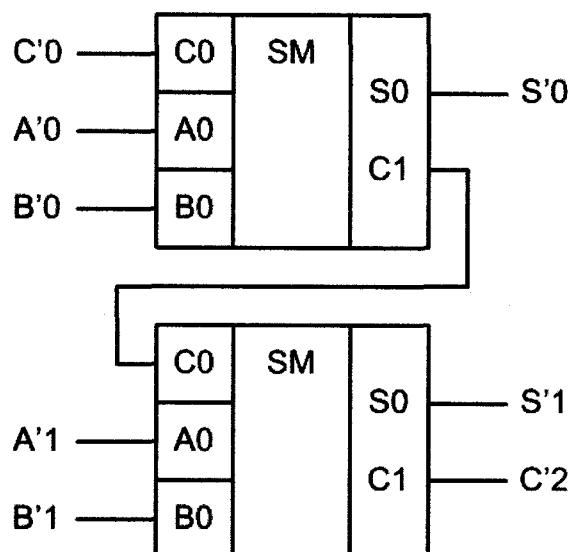


Рис. 5.2. Схема увеличения разрядности сумматора

Для увеличения быстродействия многоразрядного сумматора применяется схема ускоренного переноса, которая в соответствии с состоянием сигналов на информационных входах и входного сигнала переноса формирует выходной сигнал переноса. Такой сумматор называется сумматором с параллельным переносом. На этом принципе построен четырехразрядный сумматор К155ИМ3 (рис.5.3).

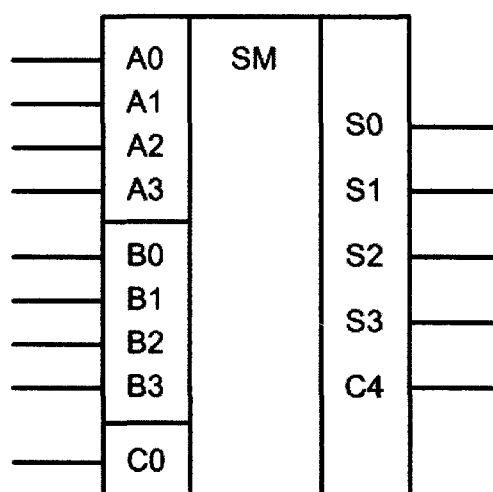


Рис. 5.3. Условное обозначение четырехразрядного сумматора

Путем соединения выводов переноса C0, C4 четырехразрядных сумматоров в последовательную цепь можно построить сумматоры с разрядностью 8, 12, 16 и т.д. Такой многоразрядный сумматор называют сумматором с последовательным групповым переносом.

3. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В состав лабораторного стенда входят:

- базовый лабораторный стенд;
- лабораторный модуль **dLab5** для исследования работы сумматора.

4. РАБОЧЕЕ ЗАДАНИЕ

Подготовьте шаблон отчета в редакторе **MS Word**.

Установите лабораторный модуль **dLab5** на макетную плату лабораторной станции NI ELVIS. Внешний вид модуля показан на рис.5.4.

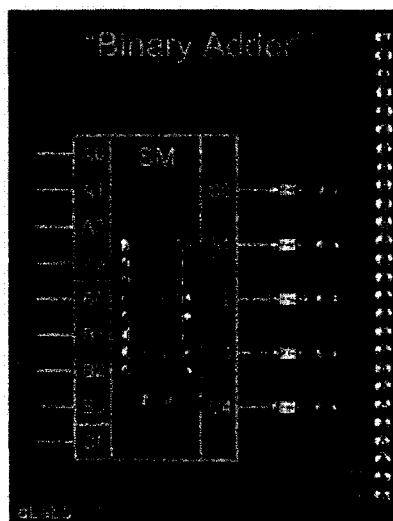



Рис. 5.4. Внешний вид модуля **dLab5** для исследования работы сумматора

Загрузите файл **dLab-5.vi**. На экране появится изображение ВП, необходимого для выполнения работы (рис.5.5). Запустите программу, щелкнув левой кнопкой мыши на экранной кнопке **RUN** .

4.1. Нажмите на кнопку «Очистить таблицу».

4.2. Установите на входах «C0», «A0», «A1», «A2», «A3», «B0», «B1», «B2» и «B3» – значения сигналов, приведенные в первой строке табл.5.2. Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку квадратной формы, расположенную около соответствующего входа. При этом на кнопке отображается состояние входа («0» - синий цвет или «1» - оранжевый цвет). На индикаторах круглой формы, расположенных около выходов «S0», «S1», «S2», «S3» и

«C4» сумматора, будет отображено состояние его выходных сигналов.

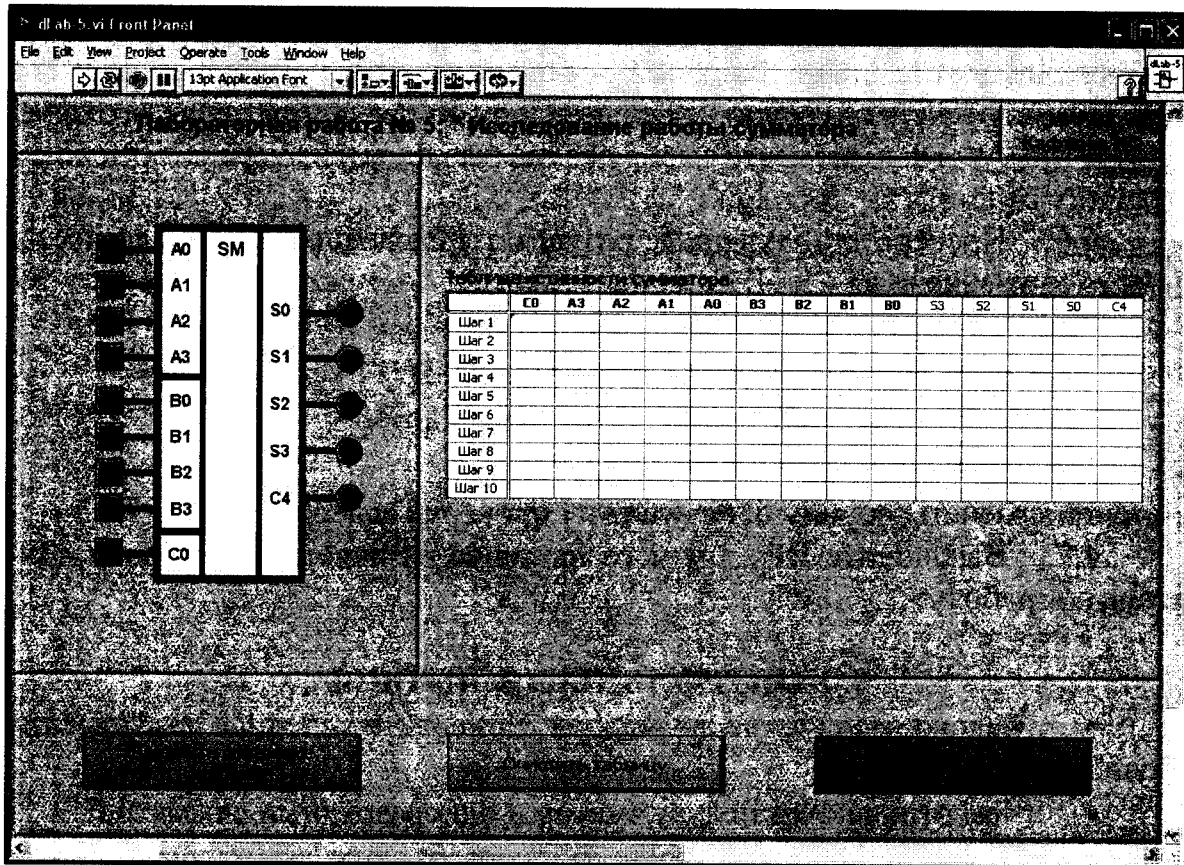


Рис. 5.5. Лицевая панель ВП

Таблица 5.2

Вход C0	Вход A3	Вход A2	Вход A1	Вход A0	Вход B3	Вход B2	Вход B1	Вход B0
0	0	0	1	0	0	1	0	0
0	1	0	0	1	1	1	0	1
0	0	1	0	1	0	1	1	0
0	1	0	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1
1	0	0	1	1	0	1	0	1
1	0	0	1	0	1	0	0	0
1	1	0	0	1	0	0	1	1
1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	1	1

4.3. Занесите логические состояния входов и выходов сумматора в таблицу истинности. Для этого на лицевой панели ВП нажмите на кнопку «Добавить состояние в таблицу».

4.4. Повторите пп.4.2 – 4.3 для остальных строк табл.5.2.

4.5. Скопируйте полученную таблицу истинности и диаграмму состояний в отчет. Сначала скопируйте таблицу истинности в буфер обмена, для чего щелкните правой кнопкой мыши на изображении таблицы и выберите из контекстного меню команду «**Copy Data**». Затем перейдите в редактор **MS Word** и вставьте изображение таблицы из буфера обмена на страницу отчета.

4.6. Проверьте полученные результаты сложения двоичных чисел с помощью уравнения:

$$C_0 + 2^0(A_0 + B_0) + 2^1(A_1 + B_1) + 2^2(A_2 + B_2) + 2^3(A_3 + B_3) = \\ = 2^0S_0 + 2^1S_1 + 2^2S_2 + 2^3S_3 + 2^4C_4,$$

выполнив расчеты вручную. Результаты проверки занесите в отчет.

4.7. Выключите ВП, для чего нажмите на панели ВП кнопку «**Завершить работу**».

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

- Каково назначение сумматора. Приведите условное графическое обозначение сумматора?
- Чем отличаются полусумматор и одноразрядный сумматор?
- В чем основное отличие многоразрядных сумматоров параллельного и последовательного действий?
- С какой целью формируются функции переноса и передачи переноса?
- В каких случаях выполняется параллельный групповой перенос?
- Перечислите основные способы повышения быстродействия сумматоров.
- Как увеличить разрядность сумматора?

ЛАБОРАТОРНАЯ РАБОТА № 6

ИССЛЕДОВАНИЕ РАБОТЫ ЦИФРОВОГО КОМПАРАТОРА

1. ЦЕЛЬ РАБОТЫ

Целью работы является исследование работы цифрового компаратора.

2. СВЕДЕНИЯ, НЕОБХОДИМЫЕ ДЛЯ ВЫПОЛНЕНИЯ РАБОТЫ

Цифровым компаратором (comparator) называется комбинационное устройство, предназначенное для сравнения кодов двух двоичных чисел и формирования результата сравнения в виде цифровых сигналов.

Компараторы делятся на две группы:

- схемы проверки равнозначности кодов;
- схемы сравнения кодов.

Схемы проверки равнозначности кодов имеют на входе две переменные A и B , каждая из которых содержит M двоичных разрядов, и один выход Y . При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал $Y=1$ при равенстве входных чисел. Функционирование схемы по каждому разряду подчиняется таблице истинности (табл. 6.1). В этой таблице A_i и B_i являются i -тыми разрядами многоразрядных двоичных чисел A и B , а Y_i - результатом сравнения разрядов с номером i .

Таблица 6.1

A_i	B_i	Y_i
0	0	1
0	1	0
1	0	0
1	1	1

Многоразрядные двоичные числа будут равны, если выполняется равенство в каждом разряде, то есть $Y_i = 1$ для каждого разряда. Чтобы сформировать окончательный результат сравнения многоразрядных чисел достаточно вычислить конъюнкцию:

$$Y = Y_1 \wedge Y_2 \wedge \dots \wedge Y_M, \quad (6.1)$$

где M – число разрядов в сравниваемых числах, Y – результат сравнения.

Только при поразрядном равенстве выходной сигнал Y будет равен логической единице.

Для построения многоразрядных схем сравнения используют элементы «исключающее ИЛИ». Эти элементы реализуют функцию:

$$d_i = \overline{A_i} \wedge B_i \vee A_i \wedge \overline{B_i}. \quad (6.2)$$

Если сравнить выражение (6.2) с табл.6.1, то можно заметить соотношение: $d_i = \overline{Y_i}$. Отсюда следует, что

$$Y = \overline{d_1} \wedge \overline{d_2} \wedge \dots \wedge \overline{d_M} = \overline{d_1 \vee d_2 \vee \dots \vee d_M}. \quad (6.3)$$

На рис. 6.1 показана схема проверки на равенство, построенная на элементах «исключающее ИЛИ» в соответствии с выражением (6.3).

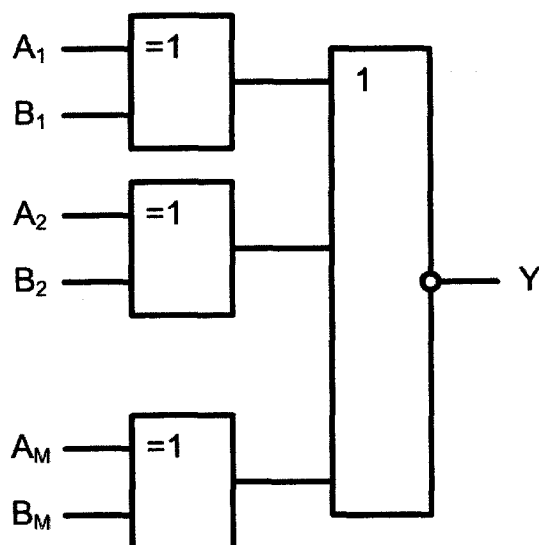


Рис. 6.1. Схема сравнения на равенство

Схемы сравнения выполняют более сложный логический анализ входных кодов и на выходе формируют три выходных сигнала, соответствующие результатам сравнения: $A > B$, $A = B$ или $A < B$. Примером служит интегральная микросхема цифрового компаратора К555СП1.

Помимо восьми входов для сравниваемых кодов (два четырехразрядных слова, обозначаемых $A_0...A_3$ и $B_0...B_3$) компаратор К555СП1 имеет три управляющих входа для наращивания разрядности $I(A > B)$, $I(A < B)$, $I(A = B)$ и три выхода результирующих сигналов $(A > B)$, $(A < B)$, $(A = B)$. Условное графическое изображение компаратора приведено на рис. 6.2.

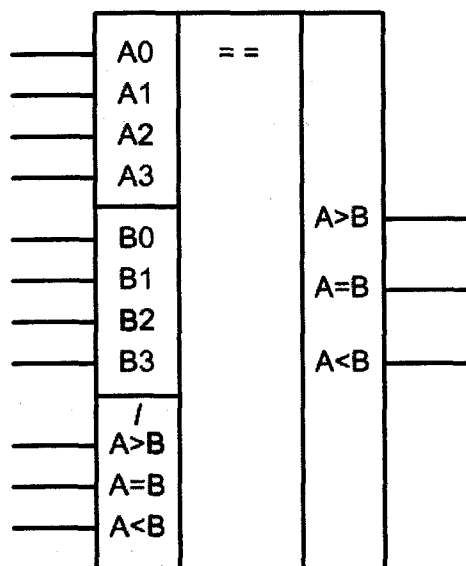


Рис. 6.2. Условное графическое изображение компаратора

Работа четырехразрядного компаратора описывается таблицей истинности (табл. 6.2).

Таблица 6.2

Входы сравниваемых кодов				Входы наращивания			Выходы		
A3,B3	A2,B2	A1,B1	A0,B0	I(A>B)	I(A<B)	I(A=B)	A>B	A<B	A=B
A3>B3	x	x	x	x	x	x	1	0	0
A3<B3	x	x	x	x	x	x	0	1	0
A3=B3	A2>B2	x	x	x	x	x	1	0	0
A3=B3	A2<B2	x	x	x	x	x	0	1	0
A3=B3	A2=B2	A1>B1	x	x	x	x	1	0	0
A3=B3	A2=B2	A1<B1	x	x	x	x	0	1	0
A3=B3	A2=B2	A1=B1	A0>B0	x	x	x	1	0	0
A3=B3	A2=B2	A1=B1	A0<B0	x	x	x	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	1	0	0	1	0	0
A3=B3	A2=B2	A1=B1	A0=B0	0	1	0	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	x	x	1	0	0	1
A3=B3	A2=B2	A1=B1	A0=B0	1	1	0	0	0	0
A3=B3	A2=B2	A1=B1	A0=B0	0	0	0	1	1	0

Примечание: символ x указывает на то, что состояние соответствующих сигналов не влияет на состояние выхода.

В том случае, когда используется одиночная микросхема (разрядность входных кодов не более четырех), для ее правильной работы на вход $I(A=B)$ следует подать логический сигнал «1», а на входы $I(A>B)$ и $I(A<B)$ – сигнал «0». Если сравниваются коды с разрядностью более четырёх, то выходы компаратора младших разрядов подключаются к одноимённым входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов.

На рис. 6.3 показана схема построения 12-разрядного компаратора на основе четырехразрядных компараторов.

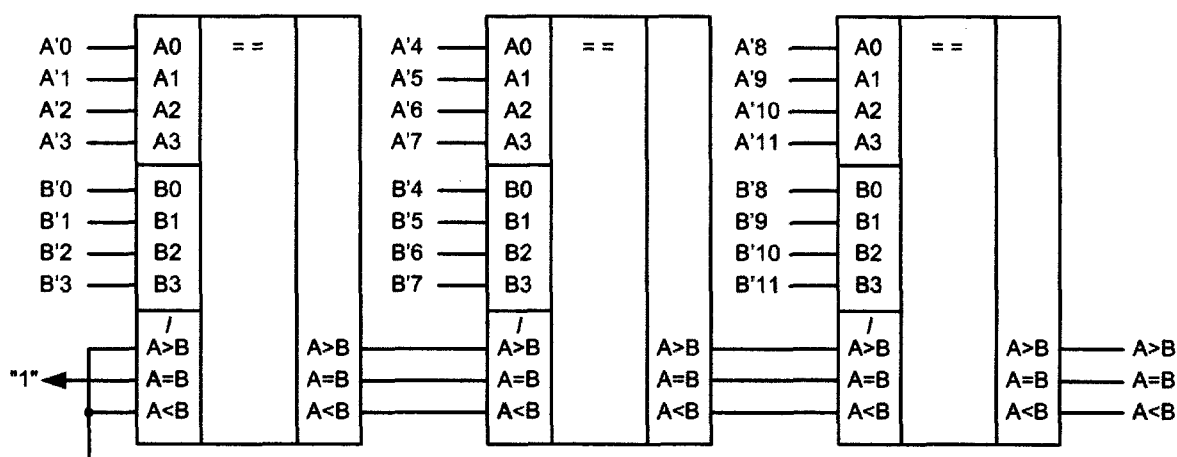


Рис. 6.3. Каскадирование цифровых компараторов

Основным применением цифровых компараторов в вычислительной технике является селектирование адреса, т.е. сравнение цифрового кода на шине адреса с заданным базовым адресом. При их совпадении на выходе компаратора появляется сигнал, разрешающий работу адресуемого устройства.

3. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА

В состав лабораторного стенда входят:

- базовый лабораторный стенд;
- лабораторный модуль **dLab6** для исследования работы цифрового компаратора.

4. РАБОЧЕЕ ЗАДАНИЕ

Подготовьте шаблон отчета в редакторе **MS Word**.

Установите лабораторный модуль **dLab6** на макетную плату лабораторной станции **NI ELVIS**. Внешний вид модуля показан на рис. 6.4.

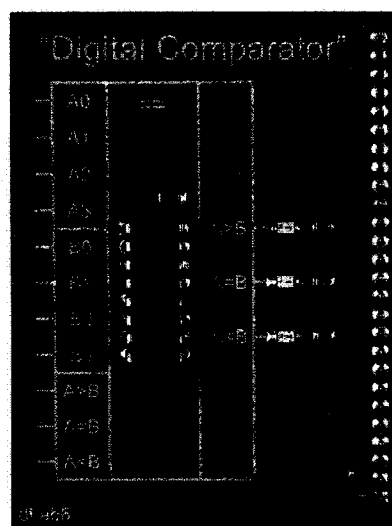



Рис. 6.4. Внешний вид модуля **dLab6** для исследования работы цифрового компаратора

Загрузите файл **dLab-6.vi**. На экране появится изображение ВП, необходимого для выполнения работы (рис.6.5). Запустите программу, щелкнув левой кнопкой мыши на экранной кнопке **RUN** .

4.1. Нажмите на кнопку «Очистить таблицу».

4.2. Установите на входах «A0»-«A4», «B0»-«B4», «I(A>B)», «I(A=B)» и «I(A<B)» – значения сигналов, приведенные в первой строке табл.6.3. Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку квадратной формы, расположенную около соответствующего входа. При этом на кнопке отображается состоя-