

Práctica 4 – Diseño e implementación de sistemas secuenciales síncronos como máquinas de estados finitos

El objetivo de esta práctica es diseñar un sistema secuencial síncrono generador de ondas. Inicialmente, dicho diseño se realizará por medio de una máquina de estados finitos, que posteriormente se modelará mediante VHDL. Finalmente, este diseño se integrará con otros componentes para su implementación en la placa de desarrollo disponible.

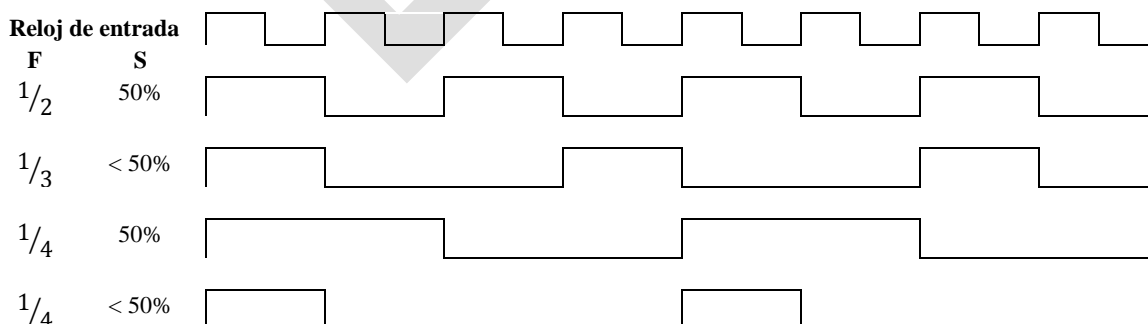
1. Diseño de un sistema secuencial síncrono

Se desea diseñar un circuito que genere una onda cuadrada (O) a partir de una entrada de reloj.

El sistema dispone, adicionalmente de 2 señales de control: F y S

- F permite seleccionar la frecuencia de la señal de salida generada. Cuando F es “11”, la salida se mantendrá a nivel bajo. Cuando F es “00”, “01” y “10”, la salida será una onda cuadrada con frecuencia igual a la mitad, un tercio y un cuarto, respectivamente, de la frecuencia del reloj de entrada.
- S permite indicar el ciclo de servicio de la señal generada. Cuando S = ‘0’, la salida tendrá un ciclo de servicio del 50% (la señal estará el mismo tiempo a nivel alto que a nivel bajo). Cuando S = ‘1’, la salida tendrá un ciclo de servicio menor que el 50% (estará menos tiempo a nivel alto que a nivel bajo). En aquellos casos en los que solo exista una posibilidad (la señal solo pueda tener un ciclo de servicio igual al 50% o menor que el 50%), se ignorará la señal S.

Ambas entradas pueden variar en cualquier momento, pero no se volverá a tener en cuenta su valor hasta finalizar la generación completa del periodo de la señal de salida.



Se pide diseñar:

1. El diagrama y tabla de estados codificada para su implementación como un autómata de Moore **utilizando el mínimo número de estados posibles**. Cada grupo utilizará la codificación que se le asigne.
2. Descripción del sistema especificado mediante VHDL (utilizando 2 o 3 procesos). Comprobar su correcto funcionamiento mediante simulación.
3. Tabla de excitación y salida, a partir de la codificación seleccionada y el elemento de memoria asignado a cada grupo. Ecuaciones lógicas y/o programación de la memoria ROM necesaria para implementar los circuitos de excitación y salida.
4. Descripción del sistema especificado mediante VHDL (de forma estructural, utilizando el elemento de memoria, ecuaciones lógicas y/o memoria ROM). Simular su correcto funcionamiento.

La siguiente tabla indica la codificación y los elementos secuenciales y combinacionales que deberá utilizar cada grupo.

Grupo	Codificación	Secuencial	Combinacional
Azerar	Random	Contador reversible con carga paralelo	Puertas lógicas
Badiola-Payá	Random	Contador descendente con carga paralelo	Puertas lógicas
Ben Kasem	One-hot	Registro de desplazamiento a izquierda con carga paralelo	Puertas lógicas
Castaño-Santonja	One-hot	Contador en anillo (desplazamiento a derecha) con carga paralelo	Puertas lógicas
Castelló-Yago	$S=Q(t)$	Registro paralelo-paralelo	ROM
Catalá	Random	Registro de desplazamiento a derecha con carga paralelo	ROM
Catalán-Lurbe-Martínez	Random	Contador en anillo (desplazamiento a derecha) con carga paralelo	ROM
Compas	$S=Q(t)$	Registro paralelo-paralelo	Puertas lógicas
Conejero	One-hot	Registro paralelo-paralelo	Puertas lógicas
Crespo	One-hot	Contador en anillo (desplazamiento a izquierda) con carga paralelo	ROM
Csipak-Gracia	$S=Q(t)$	Contador reversible con carga paralelo	ROM
Docón	One-hot	Registro de desplazamiento universal con carga paralelo	Puertas lógicas
Domingo-Izquierdo-Marsall	Random	Contador en anillo (desplazamiento a izquierda) con carga paralelo	Puertas lógicas
Fernández-Korkishko	One-hot	Contador ascendente con carga paralelo	Puertas lógicas
Gavrishev	$S=Q(t)$	Registro de desplazamiento universal con carga paralelo	ROM
Khali-Pérez	Random	Registro paralelo-paralelo	Puertas lógicas
León	$S=Q(t)$	Contador reversible con carga paralelo	ROM
Madorrán-Tamarit	Random	Contador ascendente con carga paralelo	ROM
McMullen-Sánchez	$S=Q(t)$	Contador descendente con carga paralelo	Puertas lógicas
Navarro	$S=Q(t)$	Registro de desplazamiento a izquierda con carga paralelo	Puertas lógicas
Pla-Valero	One-hot	Registro paralelo-paralelo	ROM
Rejas	$S=Q(t)$	Registro de desplazamiento a derecha con carga paralelo	ROM
Yakovenko	One-hot	Contador reversible con carga paralelo	Puertas lógicas

2. Implementación del sistema diseñado

Se pretende implementar en la placa de desarrollo el sistema secuencial síncrono especificado en el problema anterior. Para ello, se utilizarán los **interruptores** disponibles en la placa de desarrollo como entradas (f_i y s_i), y un **botón** como señal de reset del circuito (rst_i).

La salida de este diseño se utilizará como entrada serie de un **registro de desplazamiento de 16 bits**, que debe diseñarse, cuya salida se conectará en paralelo a 16 leds ($leds_o$).

Se utilizará un divisor de frecuencia para reducir la frecuencia de funcionamiento del reloj del sistema a 1 Hz.

El esquema estructural del sistema a implementar se muestra en la Figura 1:

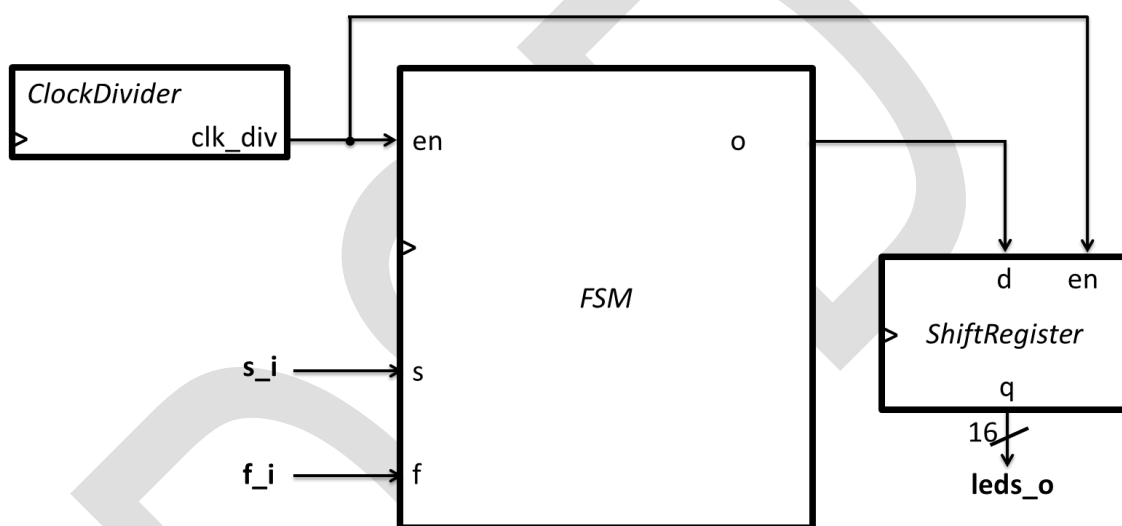


Figura 1. Diseño estructural del sistema a implementar.

NOTA: Para simplificar el esquema, no se han dibujado las líneas de reloj ni las de inicialización. Todos los componentes comparten la misma señal de reloj (clk_i) y la misma señal de reset (rst_i).

Un ejemplo de integración de todos los componentes para la implementación del sistema se muestra en la Figura 4.



Figura 4. Ejemplo de utilización del sistema a implementar.