

Práctica 3 – Diseño e implementación de un controlador VGA

El objetivo de esta práctica es desarrollar un diseño que genere las señales de sincronismo necesarias para mostrar imágenes en un monitor a través de un conector VGA. En una primera versión, se mostrará toda la pantalla pintada en el color que indique la entrada proporcionada a través de los interruptores de la placa de desarrollo. La segunda versión del sistema (opcional), obtendrá el color de los píxeles de la imagen a mostrar de uno de los bloques de memoria RAM disponibles internamente en la FPGA.

El sistema podrá describirse de manera comportamental, estructural o híbrida, según el diseñador estime conveniente.

En las páginas 14–17 del manual de referencia de la placa puede encontrarse toda la información necesaria para entender la operación básica de un monitor y las señales que es necesario generar para su control. En los siguientes apartados se realiza una breve explicación

1. Cómo funciona un monitor

Originalmente, la tecnología utilizada en los monitores (al igual que las televisiones) estaba basada en tubos de rayos catódicos (CRT – Cathode Ray Tube).

El funcionamiento de un monitor CRT se muestra en la Figura 1. Básicamente, consta de un cañón de electrones que dispone de tres haces de electrones diferentes (uno por cada color: rojo, verde y azul (Red, Green, Blue – RGB). Una serie de bobinas generan unos campos magnéticos que permiten dirigir los haces de electrones para que impacten en diversas posiciones de la pantalla. La parte interior de la pantalla está recubierta de fósforo (en tres colores diferentes – RGB) que brilla una vez recibe el impacto de los electrones.

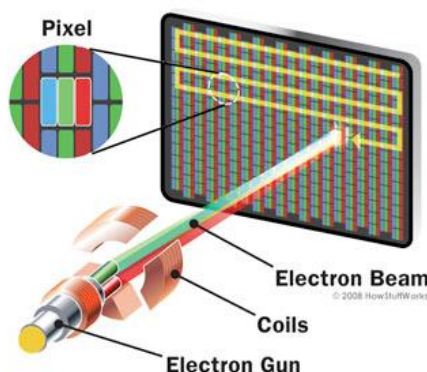


Figura 1. Funcionamiento de un monitor basado en tubo de rayos catódicos.

Así, los haces de electrones comienzan a dibujar la imagen a mostrar, píxel a píxel, comenzando por la esquina superior izquierda de la pantalla. Los haces van orientándose para ir dibujando todos los píxeles de la línea que se está dibujando. Una vez se finaliza la línea, los haces vuelven a su posición en el inicio de la línea y se orientan un poco más abajo para comenzar a dibujar la siguiente línea.

Al cabo de un periodo de tiempo, el fósforo pierde su brillo, por lo que es necesario volver a dibujar la imagen completa. Así, cuando los haces han alcanzado el final de la última línea (esquina inferior derecha), se orientan para que retornen a su posición de inicio (esquina superior izquierda) y comiencen a refrescar la imagen que se estaba mostrando o comiencen a dibujar la siguiente imagen a mostrar.

Por ello, es necesario controlar de manera precisa el barrido que realizan los haces de electrones para lograr dibujar la imagen deseada con la resolución requerida.

A pesar de que los monitores actuales utilizan tecnologías basadas en pantallas de cristal líquido (Liquid-Crystal Display – LDC), han evolucionado de tal manera que utilizan las mismas señales de sincronización que los antiguos monitores CRT.

2. El estándar Video Graphics Array (VGA)

Un adaptador de vídeo proporciona la interfaz necesaria para transmitir las señales requeridas para generar las imágenes que deben aparecer en la pantalla.

IBM fue el pionero en la creación de muchos de los primeros estándares, prácticamente todos obsoletos. Actualmente el único que todavía se mantiene como el mínimo estándar que deben soportar virtualmente todos los adaptadores de vídeo es el VGA (Video Graphics Array), introducido en 1987 en la línea de ordenadores IBM PS/2. Este término, VGA, se suele utilizar comúnmente para referirse tanto a este estándar, como al conector DE-15 disponible en muchos monitores y tarjetas gráficas, como a la resolución de 640x480 píxeles típica del estándar.

El estándar típico VGA corresponde a una resolución de 640 píxeles visibles por línea y 480 líneas visibles, con una frecuencia de refresco de la imagen de 60 Hz (60 veces por segundo).

Las señales básicas que utiliza el estándar VGA para controlar el monitor son las siguientes:

- Señal de sincronismo horizontal: Cuando se encuentra a nivel alto, el haz de electrones avanza horizontalmente a lo largo de la línea. Cuando se encuentra a nivel bajo es la indicación de que el haz debe volver a su posición inicial a la izquierda del monitor.
- Señal de sincronismo vertical: Cuando se encuentra a nivel alto el haz de electrones se desplazará una línea más debajo de la actual al terminar de dibujar la línea actual. Cuando se encuentre a nivel bajo es la indicación de que el haz debe volver a su posición inicial en la esquina superior izquierda del monitor.
- Rojo: Nivel del color rojo con el que se quiere pintar el píxel actual (0 V- completamente apagado y 0.7 V completamente encendido).
- Verde: Nivel del color verde con el que se quiere pintar el píxel actual (0 V- completamente apagado y 0.7 V completamente encendido).
- Azul: Nivel del color azul con el que se quiere pintar el píxel actual (0 V- completamente apagado y 0.7 V completamente encendido).

Las señales de sincronismo horizontal/vertical en el estándar considerado se gestionan a partir de un reloj a 25.175 MHz (denominado *pixel clock*). Teniendo en cuenta que el reloj integrado en la placa de desarrollo funciona 100 MHz, deberá dividirse por 4 para proceder a generar estas señales. La tabla que se encuentra en la

página 16 del manual de referencia de la placa, indica la temporización exacta de estas señales de sincronismo en base al reloj de 25 MHz.

La zona marcada como T_{disp} corresponde al tiempo en el que el monitor está realmente dibujando información en la pantalla, mientras que el resto del tiempo las salidas RGB deberían estar inactivas (0 V). Tanto la señal de sincronismo horizontal como la vertical deben encontrarse en esta zona para permitir el dibujado.

La placa de desarrollo implementa unos divisores resistivos para poder generar 16 niveles de rojo, verde y azul. Esto hace un total de 4096 colores diferentes a partir de 4 bits para cada color. Cuando las señales de sincronismo no se encuentren ambas en la zona de dibujado, el valor de estos bits deberá ser “0000”.

3. Diseño a realizar

Se pretende realizar un circuito de sincronización VGA que permita dibujar toda la pantalla del mismo color. Para ello, se utilizarán 12 interruptores disponibles en la placa de desarrollo para indicar el color que se desea mostrar.

La manera más cómoda de realizar el diseño es a través de una descripción comportamental, ya que cada una de las señales de sincronismo puede modelarse como un contador.

La Figura 2 muestra un posible esquema de la interfaz del diseño con la placa de desarrollo y el monitor. Simular primeramente su correcto comportamiento y, posteriormente, comprobar su implementación en la placa de desarrollo.

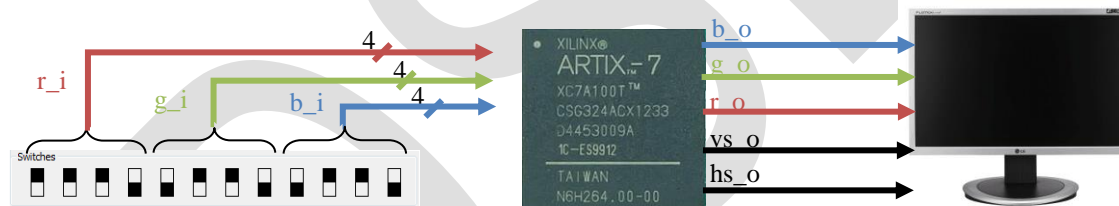


Figura 2. Interfaz del sistema a desarrollar.

4. Bonus: Utilización de IP (Intellectual Property) Cores

Los IP Cores son componentes reutilizables desarrollados por terceras empresas y que, por tanto, poseen su propiedad intelectual. Estos componentes pueden licenciarse tanto como modelos HDL sintetizables en cualquier tecnología (*soft cores*) como diseños ya implementados, y posiblemente optimizados, para una determinada tecnología (*hard cores*). Un claro ejemplo del negocio detrás de los IP Cores es ARM, que no dispone de fábricas propias para la producción de procesadores, sino que licencia los modelos de estos procesadores para que otras compañías los fabriquen.

En el caso de los diseños basados en FPGA, todos los fabricantes proporcionan diversos IP Cores para facilitar el desarrollo de componentes/interfaces comunes o utilizar componentes hardware que ya existen en el interior de los dispositivos (como pequeños bloques de memoria, multiplicadores, gestores de reloj digital, etc.).

En el caso de Xilinx Vivado, es posible añadir un nuevo IP Core como elemento a nuestro proyecto mediante la opción **Project Manager** → **IP Catalog**. Seguidamente, el diálogo que se muestra en la Figura 3 nos permitirá seleccionar el IP Core concreto que deseamos introducir en nuestro diseño. Todos aquellos que muestran *License*



Included pueden ser utilizados, mientras que los que indican *Purchase* deben ser adquiridos previamente.

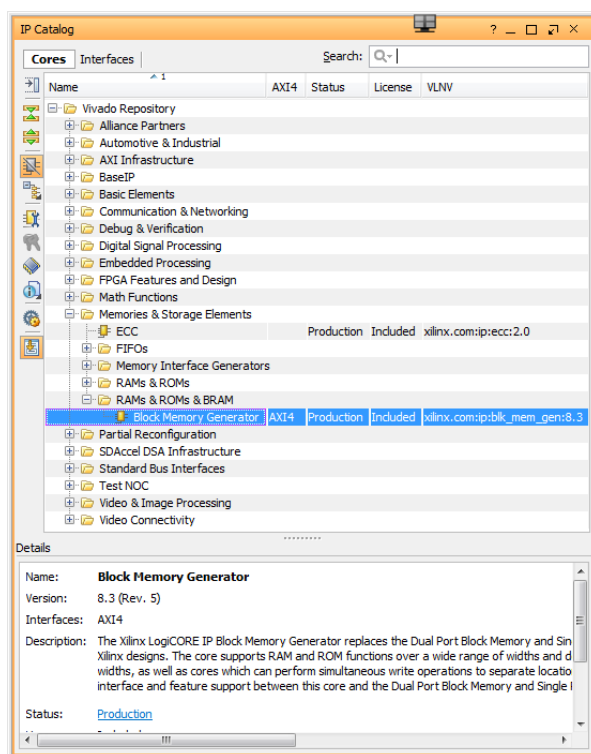


Figura 3. Diálogo de selección del tipo de IP Core a crear.

Si seleccionamos (doble click) cualquiera de los elementos disponibles, se mostrará un asistente que permitirá configurar aquellos parámetros que permitan ajustar el componente a nuestras necesidades. Como ejemplo, el asistente de configuración de un bloque de memoria se muestra en la Figura 4.

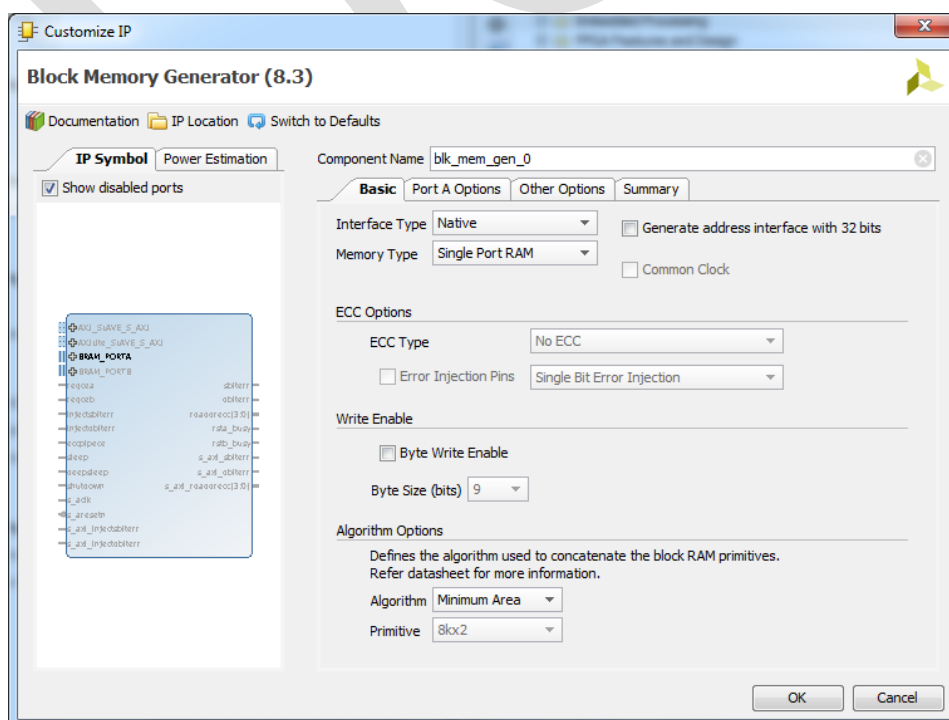


Figura 4. Asistente de configuración de un bloque de memoria.

