



**POLYTECHNIQUE
MONTRÉAL**

**LE GÉNIE
EN PREMIÈRE CLASSE**

David TREMBLAY 1748125

Tom AVEDISSIAN 1732195

TP1

Architecture du processeur

INF1600- Architecture des micro-ordinateurs

Groupe 02

Département de génie informatique et génie logiciel

**Le 9 octobre 2016
École polytechnique de Montréal**

Exercice 1 - Révision logique et arithmétique numérique

1.

- a) -68
- b) 99
- c) 2699
- d) -23390
- e) -2

2.

| ID | Numéros | BIN | OCT | DEC | HEX |
|----|----------|-----|-----|-----|-----|
| a) | 5821 | | | X | X |
| b) | 01101011 | X | X | | X |
| c) | 5213 | | X | X | X |
| d) | A4A2 | | | | X |
| e) | 11111110 | X | X | X | X |

3.

Elle assigne à la variable y une valeur qui est déterminée par la comparaison arithmétique (bitor) d'une variable x et de la valeur "24" décalée de 3 bits vers la droite (00011000→00000011). On peut donc affirmer que la variable y contiendra au-moins XXXXXX11.

4.

- a) 1111111111101001
- b) 0011101010011000
- c) 1111111010101011

5.

a) **EN BINAIRE:** 10010101**EN HEXADÉCIMAL:** 95

Il y a un débordement puisque $107 + 42 = 149$ et non -107

b) **EN BINAIRE:** 01010010**EN HEXADÉCIMAL:** 52

Il y a un débordement puisque $171 + 167 = 338$ et non 82

6.

- a) 194 167 145 178
- b) 178 145 167 194

Exercice 2 - Disque dur

a) Espace = octets / secteurs * secteurs / pistes * pistes / zones
= $(512 * 743 * 720 + 512 * 500 * 1200 + 512 * 1200 * 400 + 512 * 720 * 891) = 1,16 \text{ Go}$

b) Taux = Vitesse de rotation * secteurs/pistes * données/secteur
= $(120 * 743 * 512 * 8 / 2^{20}) * 720/3211 + (120 * 500 * 512 * 8 / 2^{20}) * 1200/3211 + (120 * 1200 * 512 * 8 / 2^{20}) * 400/3211 + (120 * 720 * 512 * 8 / 2^{20}) * 891/3211 = 329,41 \text{ Mb / s}$

c) Pour cette exercice, on doit ajusté les taux de lecture pour chacune des zones tel qu'à la question et réduire les taux supérieurs à 300 Mb/s s'ils sont supérieurs.

Zone 1: $120 * 743 * 512 * 8 / 2^{20} = 348,28 \text{ Mb/s}$ donc on ajuste à 300 Mb/s

Zone 2: $120 * 500 * 512 * 8 / 2^{20} = 234,38 \text{ Mb/s}$

Zone 3: $120 * 1200 * 512 * 8 / 2^{20} = 562,5 \text{ Mb/s}$ donc on ajuste à 300 Mb/s

Zone 4: $120 * 720 * 512 * 8 / 2^{20} = 337,5 \text{ Mb/s}$ donc on ajuste à 300 Mb/s

Taux effectif = $300 * 720/3211 + 234,375 * 1200/3211 + 300 * 400/3211 + 300 * 891/3211 = 275,47 \text{ Mb / s}$

d)

Le nombre de surface n'affecte en aucun cas les calculs effectués en a) b) et c) et les résultats ne changeraient donc pas.

Exercice 3 - Description RTN

1.

$$(op = 9) \rightarrow Ra \leftarrow ((Ra + k) \ll Rb)$$

2.

$$(op = 11) \rightarrow Rc \leftarrow \sim(Rb \ll Ra)$$

Exercice 4 - Architecture d'un microprocesseur

1.

a) Instruction: 00 29 80 00 (en little Endian)

b)

$$\begin{aligned} T &\leftarrow R(IR < 20..18 >) ; \\ T &\leftarrow T + R(IR < 17..15 >) ; \end{aligned}$$

$$T \leftarrow \text{Memoire2}[T];$$

$$R(IR < 23..21 >) \leftarrow T \gg R(IR < 17..15 >);$$

Voir tableau ci-dessous pour la correspondance avec les registres

c)

| op | A | B | C | D | E | F | G | UAL | EcrireEIP | EcrireT | EcrireRegistre |
|-----------------------------------|---|---|---|---|---|---|---|------|-----------|---------|----------------|
| $T \leftarrow r2$ | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0x0a | 0 | 1 | 0 |
| $T \leftarrow T + r3$ | 0 | 2 | 0 | 0 | 1 | 0 | 0 | 0x4a | 0 | 1 | 0 |
| $T \leftarrow \text{Memoire2}[T]$ | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0x0a | 0 | 1 | 0 |
| $r1 \leftarrow T \gg r3$ | 0 | 2 | 0 | 0 | 1 | 0 | 0 | 0x11 | 0 | 0 | 1 |

e)



La simulation écrit la valeur prévue (00000000) dans le bon registre (ECX)

2.

a) **Instruction:** 15 29 80 00 (En little Endian)

b)

$$T \leftarrow R(IR < 17..15 >);$$

$$T \leftarrow \text{Memoire2}[T];$$

$$T \leftarrow T + R(IR < 12..0 >); EIP \leftarrow IR;$$

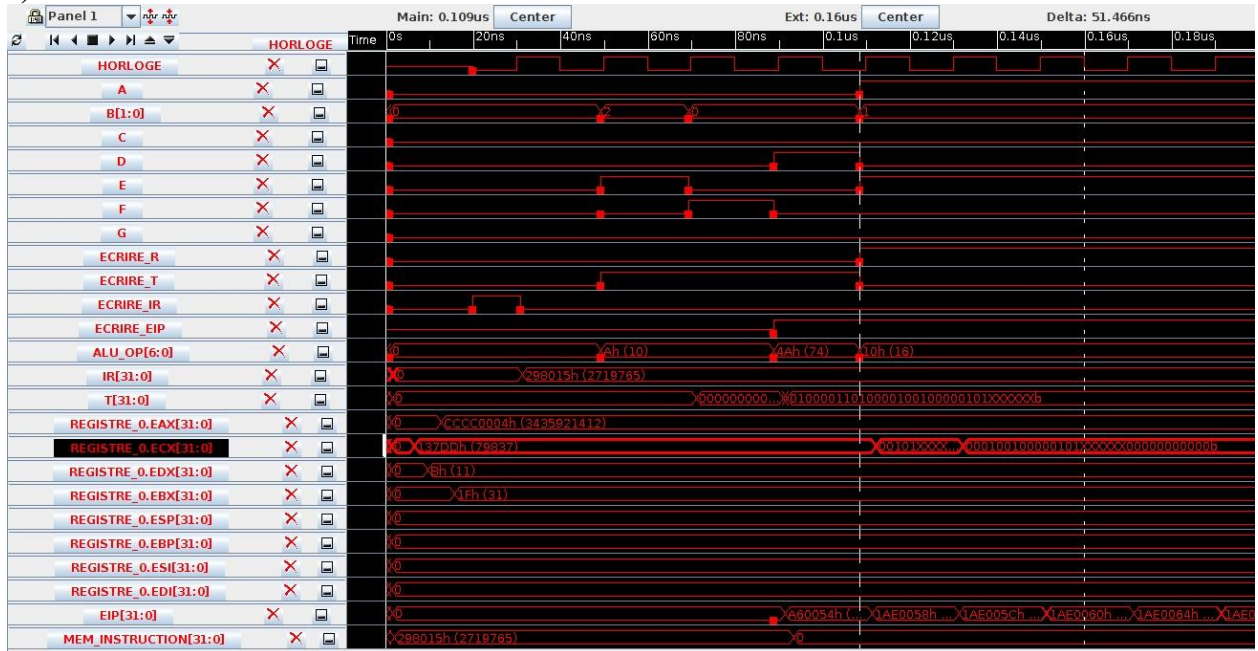
$$R(IR < 23..21 >) \leftarrow T \ll R(IR < 20..18 >); EIP \leftarrow EIP + 4;$$

Voir tableau ci-dessous pour la correspondance avec les registres

c)

| op | A | B | C | D | E | F | G | UAL | EcrireEIP | EcrireT | EcrireRegistre |
|--|---|---|---|---|---|---|---|------|-----------|---------|----------------|
| $T \leftarrow r3$ | 0 | 2 | 0 | 0 | 1 | 0 | 0 | 0x0a | 0 | 1 | 0 |
| $T \leftarrow Memoire2[T]T$ | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0x0a | 0 | 1 | 0 |
| $T \leftarrow T + 0x15 :$ $EIP \leftarrow IR$ | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0x4a | 1 | 1 | 0 |
| $r1 \leftarrow T \ll r2 :$ $EIP \leftarrow EIP + 4$ | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0x10 | 1 | 0 | 1 |

e)



La simulation écrit la valeur prévue dans le bon registre (ECX)