

KM1801BM2
6843. 480. 128 TO

21.05.85г.

Штуршаков
лаб. 211

Новый контрольный
экземпляр
для исправления
ошибок

612 *61*
ИНТЕГРАЛЬНАЯ МИКРОСХЕМА КМ1801ВМ2 КР1881ЕМ2

ТЕХНИЧЕСКОЕ ОПИСАНИЕ

ШИЗ.480.128 ТО

Изменение ①: 1. 143, 144, 145, 156, 160, 7, 166. 126.06.85
1. 56, 57, 58, 56, 8, 9, 11, 14, 15, 46, 43а,
1. 19, 1. 160, 8, 6, 2, 1. 2, 1. 80

1, 2, 10, 3, 1, 2, 6, 7, 9

I984

СОДЕРЖАНИЕ

Лист

| | | |
|-----|---|-----|
| I. | ВВЕДЕНИЕ..... | 3 |
| 2. | НАЗНАЧЕНИЕ..... | 4 |
| 3. | ТЕХНИЧЕСКИЕ ДАННЫЕ..... | 6 |
| 4. | ОПИСАНИЕ ВЫВОДОВ ПРЦ..... | 11 |
| 5. | ОПИСАНИЕ СТРУКТУРНОЙ СХЕМЫ ПРЦ..... | 20 |
| 6. | ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ ПРЦ..... | 39 |
| 7. | ИНИЦИРОВАНИЕ ПРЦ..... | 59 |
| 8. | СЛОВО СОСТОЯНИЯ ПРЦ..... | 62 |
| 9. | ОПИСАНИЕ СИСТЕМЫ КОМАНД..... | 67 |
| 10. | ПРЕРЫВАНИЕ ПРЦ..... | 147 |
| II. | ОСОБЕННОСТИ ВЫПОЛНЕНИЯ НЕКОТОРЫХ КОМАНД..... | 157 |
| 12. | ПРИМЕНЕНИЕ МИКРОСХЕМЫ КМ1801ВМ2. <i>БРД 1801ВМ2</i> | 159 |
| | ПРИЛОЖЕНИЕ 1 УСЛОВНЫЕ ОБОЗНАЧЕНИЯ И СОКРАЩЕНИЯ | 161 |
| | ПРИЛОЖЕНИЕ 2 СИСТЕМА КОМАНД..... | 164 |
| | ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ..... | 167 |

| НЭМ | Лист | № докум. | Подп. | Лата |
|----------|------------|----------|---------|------|
| Разраб. | Ильиненко | Б.Ю. | 18.294 | |
| Проф. | Бурмистров | Б.Ю. | Б.С.184 | |
| Испонта. | | | | |
| Утв. | Бородинко | Б.Ю. | 9.02.84 | |

ШИЗ.480.128 ТО

Микросхема КМ1801ВМ2
Техническое описание

| | | |
|------|------|--------|
| Лит. | Лист | Листов |
| 0 | 2 | 169 |

I. ВВЕДЕНИЕ

Настоящее техническое описание (ТО) предназначено для изучения микросхемы КМ1801ВМ2, *KP1801VM2*

Условные обозначения и сокращения, принятые в настоящем ТО, приведены в приложении I.

Система команд приведена в приложении 2.

*Данее по темату подгруживать
тит. микросхемы КМ1801ВМ2
также и тит. KP1801VM2*

| | | | |
|---------------------|------------|---------------------------|--|
| | | | |
| изм. лист. № докум. | Подп. Дата | Форма 5а по ГОСТ 2.106-68 | |

ШИЗ.480.128 ТО

VIUST

3

Формат 11

2. НАЗНАЧЕНИЕ

КР1801ВМ2

2.1. Микросхема КР1801ВМ2 является однокристальным 16-ти разрядным микропроцессором (далее по тексту ПРЦ), предназначенный для обработки цифровой информации.

В составе ЭВМ ПРЦ может использоваться для управления техническими процессами, в контрольно-измерительной аппаратуре, в системах связи, для решения инженерно-технических и экономических задач.

2.2. Условия эксплуатации

Микросхема допускает воздействие на нее механических нагрузок согласно ГОСТ 18725-73:

вибрационных нагрузок в диапазоне частот 1-600 Гц с максимальным ускорением 98 м/с^2 ($10g$);

многократных ударов с максимальным ускорением 735 м/с^2 ($75g$), длительность ударов 2-6 мс;

одиночных ударов с максимальным ускорением 1470 м/с^2 ($150g$), длительность удара 1-3 мс;

линейных центробежных нагрузок с максимальным ускорением 245 м/с^2 ($25g$).

Допускается эксплуатация микросхемы в условиях воздействия на нее следующих климатических факторов по ГОСТ 18725-73:

верхнего значения температуры окружающей среды $+70^\circ\text{C}$;

нижнего значения температуры окружающей среды минус 10°C ;

многократного циклического изменения температуры от минус 10°C до $+70^\circ\text{C}$;

верхнего значения относительной влажности воздуха 98% при температуре $+35^\circ\text{C}$ без конденсации влаги.

| | | | | |
|----------|---|---------|-------|------|
| Изм/лист | № | обозум. | Подп. | Цата |
| | | | | |

Форма 5а по ГОСТ 2.106-68

ЩИЗ.480.128 ТО

Лист

4

Формат 11

2.3. Минимальная наработка микросхемы в допустимых режимах и условиях составляет не менее 15000 часов. Интенсивность отказов в течение наработки составляет $0,9 \cdot 10^{-6}$ 1/час.

2.4. Питание ПРЦ производится от одного источника напряжения $+5V \pm 5\%$.

Изм. лист. № докум. подп. Шата

Форма 5а по ГОСТ 2.105-68

Изд. 480.128 ТО

Лист

5

формат 11

3. ТЕХНИЧЕСКИЕ ДАННЫЕ

3.1. ПРЦ выполнен по п-канальной МОП-технологии. Кристалл, содержащий около 120 тысяч элементов, имеет размер 5,3x5,45 мм и помещен в 40 выводной металлокерамический корпус ДИП типа 2123.40-6 УФ0.487.024 ТУ. Условное графическое обозначение ПРЦ приведено на рис. I.

3.2. Система счисления для чисел и команд - двоичная.

3.3. Разрядность для чисел и команд - 16 двоичных разрядов.

3.4. Система команд - безадресная, одноадресная, двухадресная.

3.5. Виды адресации:

регистровая, косвенно-регистровая, автоинкрементная, косвенно-автоинкрементная, автодекрементная, косвенно-автодекрементная, индексная, косвенно-индексная.

3.6. Число регистров общего назначения - 8.

3.7. Количество каналов передачи информации - 1.

3.8. Количество уровней запроса прерывания - 2.

Обработка внешних и внутренних прерываний выполняется с помощью памяти магазинного типа (стека).

3.9. Количество команд - 77.

3.10. Объем адресуемой памяти - 128Кбайт (в программах пользователя 64Кбайт).

3.11. Тактовая частота 0÷10 МГц(группа А), 0÷8МГц(группа Б).

3.12. Время выполнения команды типа "сложение" в регистрационном методе адресации при тактовой частоте 10 МГц - 1,0мкс.

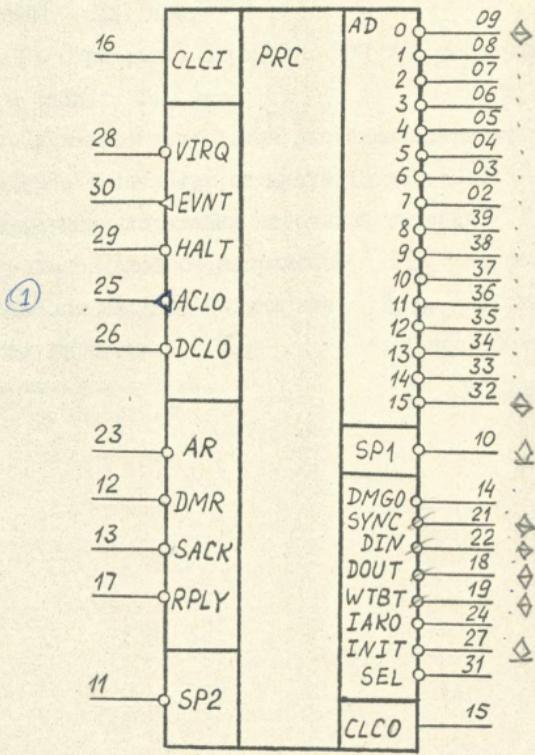


Рис.1 Условное графическое обозначение
микросхемы КМ1801ВМ2, КР1801ВМ2

3.13. Время выполнения команды "умножение" при тактовой частоте 10 МГц -10 мкс.

3.14. Время выполнения команды "деление" при тактовой частоте 10 МГц - 12 мкс.

3.15. Электрические параметры ПРЦ при температуре +25°C приведены в табл. I.

3.16. Предельно-допустимые значения электрических параметров в диапазоне температур от минус 10 до +70°C:

максимальное напряжение источника питания $U_{cc} = +7V$;

максимальное входное напряжение U_{ta} не более U_{cc} ;

минимальное входное напряжение U_{tb} не менее 0В;

емкость нагрузки C_L - не более 100 пФ. 60 пФ

предельно-допустимая
емкость нагрузки C_L - не более 100 пФ.

| | | | |
|--|--|--|--|
| | | | |
| | | | |

ШИЗ.480.128 Т0

изм.лист № 000 кум. подп. Дата

Лист

8

Форма 5а по ГОСТ 2.106-68

Формат

Таблица I

| Наименование параметра | Буквенное обозначение | Норма | | Выходной ток, мА | Температура, °C |
|--|-----------------------|-------------------|--------------------------|------------------|-------------------|
| | | не менее | не более | | |
| 1. Выходное напряжение низкого уровня, В | U_{OL} | | 96 0,45 | 3,2 | +25 |
| 2. Выходное напряжение высокого уровня, В | U_{OH} | 3,4 2,45 | - | -0,2 | +25 |
| 3. Входное напряжение низкого уровня, В | U_{IL} | - | $\leq 0,5$ 0,7 | - | +25 +10 +70 |
| 4. Входное напряжение высокого уровня, В | U_{IH} | $\geq 2,4$ 2,2 | - | - | +25 +10 +70 |
| 5. Ток утечки на входе при входном напряжении низкого уровня, мкА | I_{UL} | - | I | - | +25 |
| 6. Ток утечки на входе при входном напряжении высокого уровня, мкА | I_{UH} | - | I | - | +25 |
| 7. Ток утечки на выходе при напряжении низкого уровня, мкА | I_{OL} | - | 10 | - | +25 |
| 8. Ток утечки на выходе при напряжении высокого уровня, мкА | I_{OH} | - | 10 | - | +25 |
| 9. Ток потребления, мА | I_{ce} | - | 350 325 350 325 | - | +25 +10 +70 |
| 10. Выходное напряжение низкого уровня, В | U_{OL} | - | 965 0,5 | 3,2 | +25 +10 +70 |

ШИЗ.480.128 ТО

ЦМЛСЛ № докум. Подп. Дата

Лист

9

Форма 5а по ГОСТ 2.106-68

Продолжение табл. I

| Наименование параметра | Буквенное обозначение | Норма | | Выходной ток, мА | Температура, °С |
|---|-----------------------|-----------|----------|------------------|-----------------|
| | | не менее | не более | | |
| II. Выходное напряжение высокого уровня, В | U _{ОН} | 235 24 | - | -0,2 | -10 +70 |
| I2. Ток утечки на входе при входном напряжении низкого уровня, мкА | I _{LIN} | - | 10 | - | +70 |
| I3. Ток утечки на входе при входном напряжении высокого уровня, мкА | I _{LH} | - | 10 | - | +70 |
| I4. Ток утечки на выходе при напряжении низкого уровня, мкА | I _{LOL} | - | 50 | - | +70 |
| I5. Ток утечки на выходе при напряжении высокого уровня, мкА | I _{LOH} | - | 50 | - | +70 |

ИМЗ.430 128 ТО

ЦМЛЛСТ № докум. подп. дата

Лист

10

Форма 5а по ГОСТ 2.105-68

формат 11

4. ОПИСАНИЕ ВЫВОДОВ ПРЦ

Электрические схемы входных и выходных элементов ПРЦ приведены на рис.2+6. Обозначение и наименование выводов приведены в табл.2.

Выводы 09+ 02, 39+32 AD (0+ I5)

16 входов (выходов) совмещеннной по адресам и данным системной магистрали. Предназначены для передачи и приема адресов и данных. Совмещение использования одних и тех же выводов для передачи адресов и данных достигается разделением во времени. Низкий уровень сигнала на этих выводах свидетельствует о передаче логической единицы.

Вывод I0. Резервный выход. "Запрос "окна"

(1)

Вывод II. Резервный вход. "Разрешение "окна"

(1)

Вывод I2. "DMR".

Вход сигнала запроса на прямой доступ к памяти. Этот сигнал (низкий уровень) внешнее устройство на системной магистрали выставляет, сообщая о том, что ему необходим прямой доступ к памяти.

Вывод I3. "SACK".

Вход сигнала подтверждения разрешения на прямой доступ. Этот сигнал (низкий уровень) устройство, запросившее разрешение на прямой доступ к памяти, выставляет после получения сигнала разрешения на прямой доступ и свидетельствует о том, что управление передано этому устройству.

Вывод I4. "DMGO".

Выход сигнала разрешения на прямой доступ. Этот сигнал (низкий уровень) ПРЦ выставляет в ответ на получение сигнала DMR, сообщая о том, что прямой доступ к памяти разрешен.

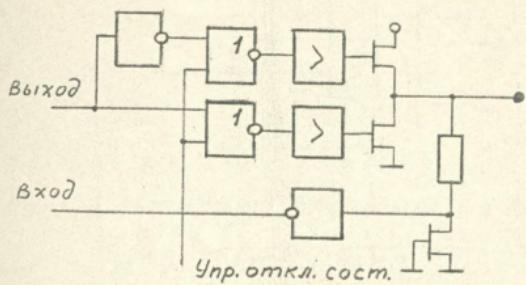


Рис. 2. Элемент входа-выхода

на выводах $\overline{AD}(0 \div 15)$

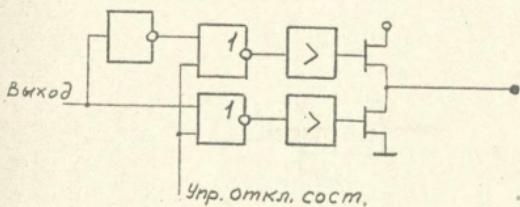


Рис. 3. Выходной элемент на
выводах \overline{SYNC} , \overline{DIN} , \overline{DOUT} , \overline{WTBT}

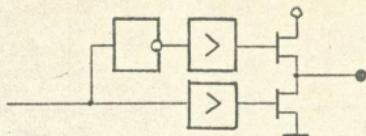


Рис. 4. Выходной элемент на выводах
CLCO, DMGO, IAKO, SEL

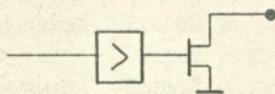


Рис. 5. Выходной элемент на выводах
INIT, SPI

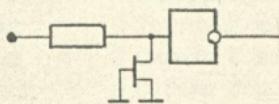


Рис. 6 Входной элемент на выводах
CLCI, VIRQ, HALT, ACLO, DCLO, AR, DMR, SACK,
RPLY, EVNT, SP2

Таблица 2

| № вывода | Обозначение | Тип вывода | Наименование |
|----------|-------------|------------|---|
| I 1 | OV | | Общий вывод 1 |
| 2 | AD7 | Вход-выход | Седьмой разряд АД |
| 3 | AD6 | Вход-выход | Шестой разряд АД |
| 4 | AD5 | вход-выход | Пятый разряд АД |
| 5 | AD4 | вход-выход | Четвертый разряд АД |
| 6 | AD3 | вход-выход | Третий разряд АД |
| 7 | AD2 | Вход-выход | Второй разряд АД |
| 8 | AD1 | вход-выход | Первый разряд АД |
| 9 | ADO | Вход-выход | Нулевой разряд АД |
| IO 10 | SP1 | Выход | Резервный |
| II 11 | SP2 | Вход | Резервный |
| I2 12 | DMR | Вход | Сигнал запроса на прямой доступ |
| I3 13 | SACK | Вход | Сигнал подтверждения разрешения прямого доступа |
| I4 14 | DM60 | Выход | Сигнал разрешения на прямой доступ |
| I5 15 | CLCO | Выход | Тактовый импульс |
| I6 16 | CLCI | Вход | Тактовый импульс |
| I7 17 | RPLY | Вход | Сигнал ответа внешнего устройства |
| I8 18 | DOUT | Выход | Сигнал сопровождения записи |
| I9 19 | WTBT | Выход | Сигнал управления "запись-байт" |
| 20 | OV | - | Общий вывод 2 |
| 21 | SYNC | Выход | Сигнал синхронизации обмена |
| 22 | DIN | Выход | Сигнал сопровождения чтения |
| 23 | AR | Вход | Сигнал "Адрес принят" |
| 24 | IAKO | Выход | Сигнал разрешения прерывания |
| 25 | ACLO | Вход | Сигнал аварии сетевого питания |
| 26 | DCLO | Вход | Сигнал аварии источника питания |
| 27 | INIT | Выход | Сигнал установки внешних устройств |
| 28 | VIRQ | Вход | Сигнал запроса на векторное прерывание |

Изм. лист № 60 к докум. Подл. Дата

Форма 5а по ГОСТ 2.106-68

ЩМЗ.480.128 ТО

Лист

14

Формат 11

Продолжение табл.2

| № вывода | Обозначение | Тип вывода | Наименование |
|----------|-------------|------------|---|
| 29 | HALT | Вход | Сигнал перехода в пультовой режим |
| 30 | EVNT | Вход | Сигнал прерывания от таймера |
| 31 | SEL | Выход | Сигнал управления "Обращение к системной памяти-чтение порта" |
| 32 | <u>ADI5</u> | Вход-выход | Пятнадцатый разряд АД |
| 33 | <u>ADI4</u> | Вход-выход | Четырнадцатый разряд АД |
| 34 | <u>ADI3</u> | Вход-выход | Тринадцатый разряд АД |
| 35 | <u>ADI2</u> | Вход-выход | Двенадцатый разряд АД |
| 36 | <u>ADI1</u> | Вход-выход | Одиннадцатый разряд АД |
| 37 | <u>AD10</u> | Вход-выход | Десятый разряд АД |
| 38 | <u>AD9</u> | Вход-выход | Девятый разряд АД |
| 39 | <u>AD8</u> | Вход-выход | Восьмой разряд АД |
| 40 | <u>U</u> | - | Выход питания от источника напряжения |

| | | | | |
|---------------------------|--------|------------|-------------------|------|
| Цем. лист № | докум. | Подп. Дата | шт.из. 480.128 ТО | Лист |
| Форма 5а по ГОСТ 2.106-68 | | | | 15 |
| формат 11 | | | | |

Вывод 15. "CL CO"

Выход внутренней тактовой частоты микросхемы. Служит для синхронизации устройств, работающих с ПРЦ. Частота импульсов CL CO равна половине частоты импульсов CL CI.

Вывод 16. "CL CI"

Вход тактового импульсного сигнала. Этот сигнал используется для синхронизации работы внутренних устройств ПРЦ. Микросхема состоит из устройств статического типа. Поэтому, период тактовой частоты может быть от 0 до 10 МГц.

Вывод 17. "RPLY "

Вход сигнала ответа ведомого устройства при обмене. Этот сигнал ведомое устройство выставляет при обменах по системной магистрали, сообщая ведущему устройству о том, что оно приняло или выдало информацию на системную магистраль.

Вывод 18. "DOUT "

Выход сигнала сопровождения записи при процедуре обмена по системной магистрали. Выставляя на этом выводе низкий уровень сигнала, ПРЦ сообщает ведомому устройству о том, что данные выданы на системную магистраль.

Вывод 19. "WTBT"

Выход информационного комбинированного сигнала "запись-байт". Во время выдачи адреса в цикле процедуры обмена по системной магистрали низкий уровень сигнала на этом выводе свидетельствует о том, что осуществляется процедура записи. Во время выдачи данных низкий уровень сигнала на этом выводе свидетельствует о том, что выдается не слово, а байт.

Вывод 20. " OV "

Это общий вывод (земля) всех устройств ПРЦ, кроме усилителей сигналов AD (0+15) и SEL.

Вывод 21. " SYNC "

Выход сигнала синхронизации обмена. Выставляя низкий уровень сигнала на этом выводе, ПРЦ сообщает ведомому устройству о том, что адрес выдан на системную магистраль.

Вывод 22. " DIN "

Выход сигнала сопровождения процедуры чтения данных. Выставляя низкий уровень сигнала на этом выводе, ПРЦ сообщает ведомому устройству о том, что он готов к приему данных с системной магистрали.

Вывод 23. " AR "

Вход сигнала "Адрес принят". После выдачи адреса на системную магистраль и выдачи сигнала SYNC ПРЦ ожидает появления сигнала AR. Низкий уровень сигнала на этом выводе свидетельствует о том, что ведомое устройство приняло адрес и ПРЦ может продолжать процедуру обмена.

Вывод 24. " IAKO "

Выход сигнала разрешения прерывания. Низкий уровень сигнала на этом выводе свидетельствует о том, что ПРЦ разрешает устройству, выставившему запрос на прерывание, выдать вектор прерывания на системную магистраль.

Вывод 25. " ACLO "

Вход сигнала аварии сетевого питания. Переход сигнала из высокого в низкий уровень на этом выводе вызывает прерывание программы ПРЦ и переход на подпрограмму обработки прерываний по сбою питания. Появление высокого уровня этого сигнала свидетельствует о нормальном состоянии сетевого питания и вызывает

переход к выполнению микропрограммного пуска.

Вывод 26. " DCL0 "

Вход сигнала аварии источника питания. Низкий уровень сигнала на этом выводе вызывает установку в начальное состояние всех блоков микросхемы и появление сигнала "установка" на выводе INIT .

Вывод 27. " INIT "

Выход сигнала установки . Этот сигнал используется для установки периферийной части системы в начальное состояние. Этот сигнал повторяет сигнал DCL0 .

Вывод 28. " VIRQ "

Вход сигнала запроса на векторное прерывание. При появлении на этом выводе низкого уровня сигнала ПРЧ, если прерывание разрешено, выдает сигналы DIN и IAK0 .

Вывод 29. " HALT "

Вход сигнала перехода в пультовой режим. Появление низкого уровня сигнала на этом выводе вызывает переход к программе пультового режима, находящейся в ПЗУ.

Вывод 30. " EVNT "

Вход сигнала запроса прерывания от таймера. Переход сигнала на этом выводе из высокого в низкий уровень свидетельствует о том, что таймер выставил запрос на прерывание.

Вывод 31. " SEL "

Выход сигнала обращения к системной области памяти или чтения порта (регистра начальных условий). Появление этого сигнала (низкий уровень) в фазе выдачи адреса свидетельствует о том, что обмен идет не с основной, а с дополнительной (системной) памятью .

Появление этого сигнала в фазе чтения одновременно с сигналом \overline{DIN} (низкий уровень) свидетельствует о том, что ПРЦ выполняет процедуру чтения регистра начальных условий.

Примечание: на вывод $\overline{SP2}$ (вывод II) необходимо подавать

низкий уровень. *Примечание к процессору
Д18 работы на демонстрационной
машине с использованием
сигналов $\overline{SP1}$ и $\overline{SP2}$ см.
в главе 12 настоящего ТО.*

126

| | | | | | |
|----------|---------------|-----------|-------|-----------------|------|
| | | | | III3.480.128 ТО | Лист |
| Изм | Лист | Набору м. | Подп. | Дата | |
| Форма 5а | ГОСТ 2.106-68 | | | | 19 |

Формат 11

5. ОПИСАНИЕ СТРУКТУРНОЙ СХЕМЫ ПРЦ.

5.1. Общая структурная схема ПРЦ представлена на рис.7.
ПРЦ состоит из следующих блоков:

- операционный блок (ОБ);
- блок микропрограммного управления (БМУ);
- блок расширенной арифметики (БРА);
- блок прерываний (БПР);
- блок обработки условий ветвлений (БОВ);
- интерфейсный блок (ИБ).

По внутренней магистрали адреса-данных на ОБ поступают данные и команды, на БОВ и БМУ – команды. На эту же магистраль ОБ выдает адреса операндов. Через согласующие элементы внутренняя магистраль связана с выводами АД и через них с системной магистралью. БМУ выдает код микрокоманды на шину микрокоманд. С шины микрокоманд соответствующие поля микрокоманды поступают на все блоки ПРЦ, кроме БОВ. Кроме этого, блоки связаны между собой синхронными и асинхронными управляющими сигналами. Ведущим является ОБ. Блок синхронизации ОБ отслеживает непосредственно или косвенно состояние всех групп блоков и задает цикл выполнения микрокоманд, составляющих команду.

5.2. Операционный блок

Структурная схема операционного блока (ОБ) представлена на рис.8.

ОБ предназначен для выполнения следующих функций:
вычисление адреса и его временное хранение в регистре
адреса;

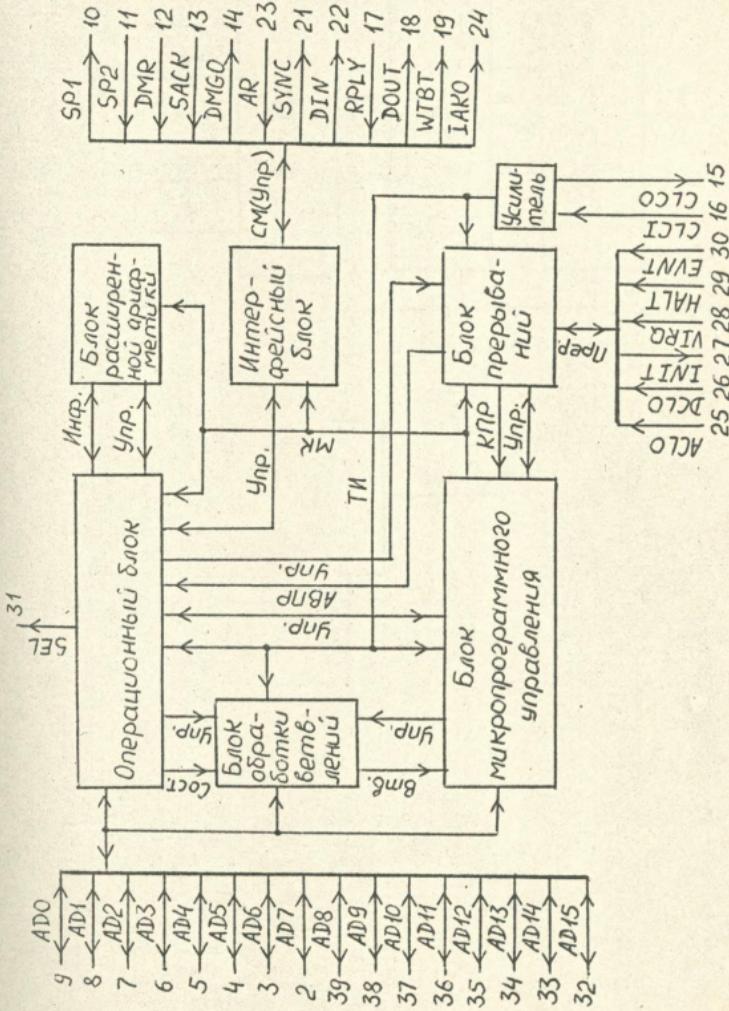


Рис.7. Структурная схема микросхемы KMI801BM2

| | | | |
|----------------------------|------|-----------|----------|
| 2 | 3.07 | ЩИ5696-84 | 18.12.89 |
| Лист №005 из 5. Подп. Дата | | | |

ЩИЗ.480.128 Т0

Лист

21

ГОСТ 2.106-58

Формат Н

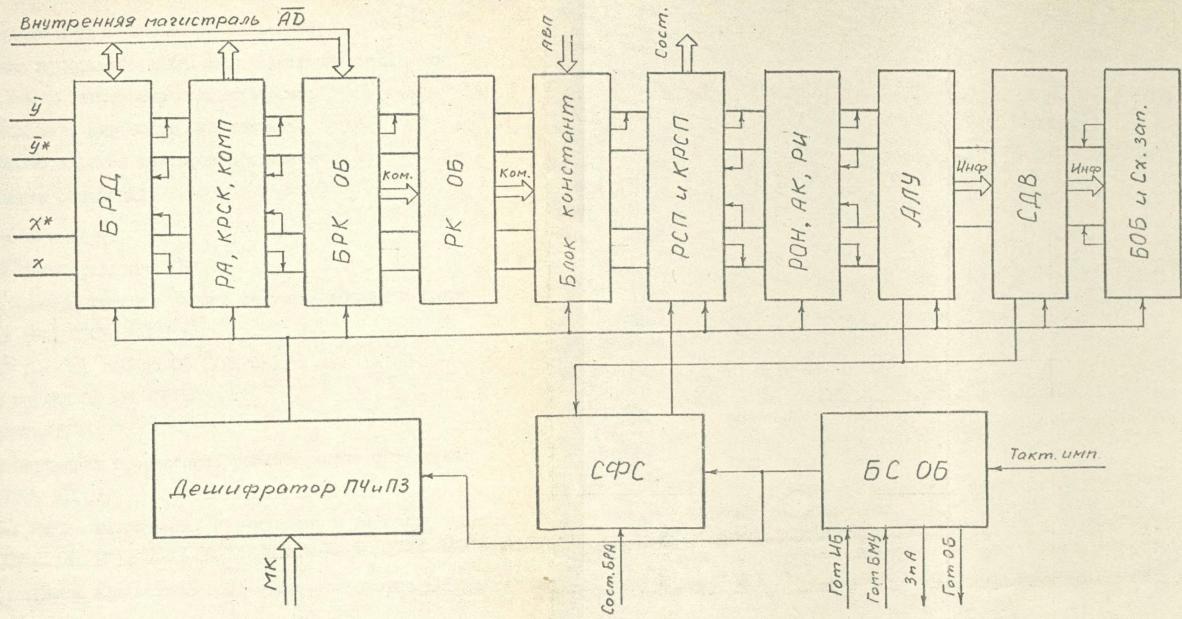


Рис. 8. Структурная схема операционного блока (OB)

| | | | |
|----------|----------|-------|------|
| Чит.лист | № докум. | Подп. | Дата |
|----------|----------|-------|------|

ЩИЗ.480.128 Т0

прием данных и их хранение в регистрах;
выполнение арифметических и логических операций между
регистрами и между регистрами и константами;
выдача данных в системную магистраль;
формирование адресов векторов прерывания;
формирование состояний,

В состав ОБ входят:
буферный регистр данных (БРД);
регистр адреса, регистр копии счетчика команд и компа-
ратор адресов (РА, КРСК, КОМП);
буферный регистр команд ОБ (БРК ОБ);
регистр команд ОБ (РК ОБ);
блок констант;
регистр состояния процессора, регистр копии состояния
процессора (РСП, КРСП);
регистры общего назначения, аккумулятор и регистр
источника (РОНы, АК, РИ);

16-ти разрядное арифметико-логическое устройство (АЛУ);
сдвигатель (СДВ);

блок обмена байтов и схема записи (БОБ и СхЗп).
В БРД принимаются данные из внешнего ЗУ. При записи во
внешнее ЗУ в БРД данные подготавливаются для передачи.

В регистре адреса (РА) записывается сформированный
адрес для передачи его в системную магистраль при обменах. Пос-
кольку в ПРЦ происходит прием команд с опережением, то к концу
выполнения текущей команды следующая команда уже принята на БРК,
т.е. эту команду уже невозможно программно модифицировать.
Для обеспечения возможности записи по адресу следующего за

командой слова введен регистр копии счетчика команд (КРСК) и компаратор (КОМП). В КРСК хранится адрес следующего за командой слова, т.е. СК+2. Перед циклом записи адрес на РА сравнивается компаратором с содержимым КРСК и, в случае равенства, после окончания записи происходит чтение команды по адресу, хранящемуся в КРСК, т.е. происходит повторный прием следующей команды. Ранее принятая следующая команда не выполняется. Процедура повторного чтения осуществляется аппаратно-микропрограммно.

В некоторых командах для вычисления адреса используется младший байт команды. Для его приема используются регистры БРК ОБ и РК ОБ. Младший байт исполняемой команды хранится в РК ОБ. Блок констант служит для формирования констант, необходимых при выполнении некоторых операций, и для формирования векторов прерываний. Блок констант представляет собой ПЗУ, адреса ячеек которого находятся в специальном поле микрокоманды. Код смещения команды читается также по адресу константы. Для этого код младшего байта команды поступает на блок констант. Для выборки векторов прерывания адрес вектора прерывания, выработанный в блоке прерываний, также поступает на блок констант.

Регистр состояния процессора и регистр копии регистра состояния служат для хранения признаков (состояний), вырабатываемых в процессе выполнения операций в ПРЦ. Формат регистра состояний и назначение отдельных разрядов будут описаны при описании работы процессора. В регистре копии регистра состояний сохраняется содержимое РСП при обработке некоторых прерываний. В ОБ имеются десять регистров, которые используются для промежуточного хранения информации. Восемь из них – это регистры общего назначения (РОН). РОН с адресом 07 используется как счетчик команд, а РОН с адресом 06 используется как указатель

стека. Эти регистры для хранения данных использовать нельзя. В блок регистров входят еще аккумулятор и регистр источника. Регистр аккумулятор используется для промежуточного хранения информации при выполнении некоторых команд, а регистр источника используется для хранения операнда-источника при выполнении двухадресных команд. РОНы доступны программно, аккумулятор и регистр источника доступны только микропрограммно.

Все арифметические и логические операции над операндами выполняются в 16-ти разрядном арифметико-логическом устройстве (АЛУ). АЛУ может обрабатывать как 16-ти разрядные слова, так и 8-ми разрядные байты. АЛУ имеет схему ускорения переноса, благодаря которой перенос может распространяться последовательно не более, чем через три разряда.

Из АЛУ результат операции поступает на сдвигатель (СДВ), где в командах сдвига происходит сдвиг операнда на один разряд влево или вправо и содержится логика формирования арифметического или циклического сдвига. Может осуществляться сдвиг или 16-ти разрядного слова, или 8-ми разрядного байта. После сдвигателя получается окончательный результат операции, который записывается в специальный регистр. Записью в этот регистр заканчивается фаза чтения цикла выполнения микрокоманды.

В цикле записи выполнения микрокоманды информация с регистра, на котором хранится результат операции, поступает через блок обмена байтов (БОБ) на схему записи (СхЗп). В БОБ меняются местами старший и младший байт операнда при выполнении команды SWAB. БОБ также используется при выдаче старшего байта в байтовых командах. Все блоки и регистры ОБ связаны двумя шинами. Шиной чтения x, y и шиной записи x^*, y^* . В фазе чтения информация читается на шину x или y в унарных операциях,

или одновременно на x и y с разных источников в бинарных операциях, и поступает на АЛУ. Схема записи выдает информацию на шины x^* , y^* , откуда она поступает по адресу приемника. Благодаря разделению шин чтения и записи совмещается дешифрация адреса чтения с циклом записи и адреса записи с циклом чтения, благодаря чему уменьшается цикл выполнения микрокоманды.

Кроме операционной части в ОБ входят также дешифратор микрокоманды, схема формирования состояния (СФС) и блок синхронизации ОБ (БС ОБ).

На дешифратор микрокоманды ОБ поступают те поля микрокоманды, которые связаны с выполнением операционной части микрокоманды, т.е. адреса operandов, режим записи и код операции. После дешифрации микрокоманды управляющие коды поступают на соответствующие блоки операционной части ОБ.

Схема формирования состояния (СФС) на основе сигналов, поступающих из АЛУ, сдвигателя и блока расширенной арифметики (БРА) формирует признаки результата операции N , Z , V , C , которые запоминаются в РСП и в дальнейшем используются в командах ветвления.

Работой ОБ управляет блок синхронизации ОБ (БС ОБ). БС ОБ осуществляет также синхронизацию всех остальных блоков ПРЦ. В ЕСОБ отслеживается готовность интерфейсного блока (ИБ) и блока микропрограммного управления (БМУ). После окончания цикла выполнения микрокоманды ЕСОБ вырабатывает сигнал ГОТ ОБ, запускающий БМУ, который вырабатывает следующую микрокоманду. Интерфейсный блок запускается сигналом записи в РА-ЗПА. Этот сигнал свидетельствует о том, что адрес подготовлен для выдачи в системную магистраль.

5.3. Блок расширенной арифметики

Структурная схема блока расширенной арифметики (БРА) представлена на рис.9.

БРА предназначен для аппаратной поддержки выполнения команд умножения, деления и параметрического сдвига (**MUL** , **DIV** , **ASH** , **ASHC**). При выполнении этих команд после приема операндов управление передается БРА. Для выполнения содержательной части команды используется одна микрокоманда, которая модифицируется по определенному алгоритму схемой управления БРА в процессе выполнения операции. После выполнения содержательной части операции при выполнении умножения и деления микрокоманда меняется и производится коррекция результата и формирование состояния.

В состав БРА входят:

регистр расширенной арифметики I (PPA1);

регистр расширенной арифметики 2 (PPA2);

счетчик тактов (СЧТ);

демодулятор тактов (ДШТ);

демодулятор микрокоманды (ДШ МК);

схема управления (СхУпр).

Регистры PPA1 и PPA2 служат для хранения промежуточных результатов вычислений. Регистр PPA2 – сдвигающий. Он при выполнении операций дополняет сдвигатель АЛУ. При выполнении умножения в PPA2 заносится множитель, а в PPA1 формируются частные произведения. В конце операции в PPA1 получается старшая часть произведения, а в PPA2 младшая. При делении в PPA1 заносится старшая часть делимого, а в PPA2 младшая, и в конце операции в PPA2 формируется частное, а в PPA1 – остаток.

| | | | | |
|--------------------------|----------|------------|----------------|------|
| ЭМЛ/лист № | документ | Подп. Цата | ШИЗ.480.128 ТО | Лист |
| Форма 5а по ГОСТ 2105-68 | | | | 27 |
| | | | Формат 11 | |

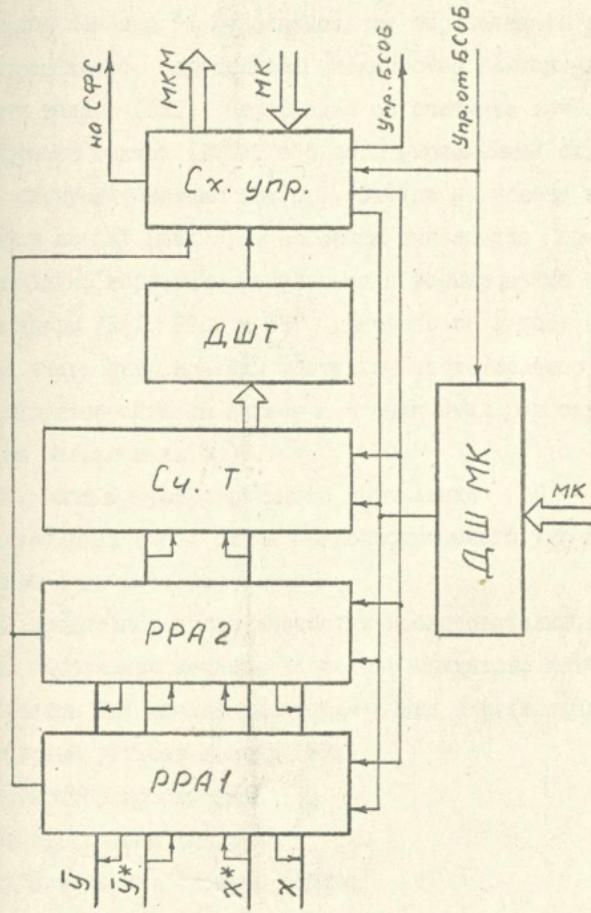


Рис. 9. Структурная схема блока
расширенной арифметики (БРА)

При сдвигах сдвигаемое слово заносится в PPA1 или в PPA2 и PPA1, если сдвигается двойное слово.

Каждая команда РА выполняется за определенное количество тактов. Константа, определяющая количество тактов, заносится в счетчик тактов (СЧТ). Информация со счетчика тактов поступает на дешифратор тактов (ДШТ), а с него управляющие сигналы поступают на схему управления (Сх.Упр.). Сх.Упр на основе кода команды и сигналов со СЧТ реализует алгоритм выполнения операционной части команды, коррекцию результата и формирование состояний.

Регистры PPA1, PPA2 и СЧТ доступны по адресу в микрокоманде. Адресная часть микрокоманды поступает на дешифратор микрокоманды, где формируются сигналы записи и чтения этих регистров под управлением сигналов из ЕСОБ.

5.4. Блок микропрограммного управления

Структурная схема блока микропрограммного управления (БМУ) представлена на рис.10.

БМУ предназначен для выработки последовательности микрокоманд при выполнении команды на основе принятого кода команды.

В состав БМУ входят следующие блоки и регистры:

буферный регистр команд (БРК);

дешифратор команд (ДШК);

регистр команд (РК);

накопитель микрокоманд (НМК);

регистр микрокоманд (РМК);

регистр следующего адреса (PCA);

регистр текущего адреса (PTA);

регистр прерываний (РПР);

блок синхронизации БМУ (БС БМУ).

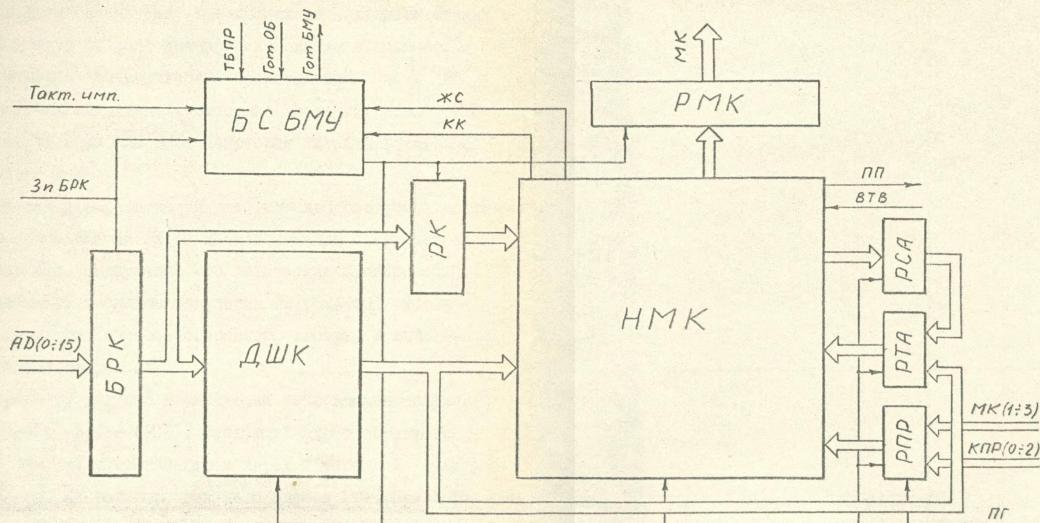


Рис.10. Структурная схема блока микропрограммного управления (БМУ)

Каждая команда, принятая ПРЦ, всегда поступает на БРК.

С БРК команда поступает на ДШК, где происходит предварительная дешифрация. Основную функцию дешифрации команды выполняет ПЛМ ДШК. ПЛМ содержит 50 логических произведений. Часть ДШК выполнена на логических схемах. Основная часть сигналов с ДШК поступает на управление ПЛМ НМК. Некоторые сигналы поступают на управление БПР и ИБ.

После окончания обработки текущей команды следующая команда переписывается с БРК на РК. С РК код команды поступает на НМК. НМК выполнен на ПЛМ, содержащей 200 логических произведений. ПЛМ НМК вырабатывает последовательность микрокоманд, которая обеспечивает выработку адресов operandов, выборку и выполнение команд и обработку прерываний.

Для перехода от текущей к следующей микрокоманде служит регистр следующего адреса (PCA). Следующий адрес образуется при выработке текущей микрокоманды и перед выработкой следующей переписывается на регистр текущего адреса РТА. При выработке первой микрокоманды на РТА заносится начальный адрес с ДШК.

Коды прерываний поступают с БПР на регистр прерываний (РПР). В командных прерываниях РПР устанавливается микропрограммно. в специальном формате микрокоманды. На вход ПЛМ НМК поступает также признак ветвления, который вырабатывается при выполнении команд ветвления и в некоторых специальных случаях.

Выработанный на ПЛМ НМК код микрокоманды записывается в регистр микрокоманд (РМК). Кроме микрокоманды на ПЛМ НМК вырабатывается ряд управляющих признаков. Это сигналы "Принять прерывание (ПП)", "Жду состояние (ЖС)", "Конец команды (КК)" и некоторые другие. Работой БМУ и его синхронизацией с другими

| | | | |
|--|--|--|--|
| | | | |
|--|--|--|--|

ЗМ.Лист №00000000000000000000000000000000

Форма 5а по ГОСТ 2.106-68

ЩИЗ.480.128 Т0

Лист

31

Формат 11

блоками управляет блок синхронизации БМУ (БС БМУ). Если нет сигналов торможения, БС БМУ запускается сигналом готовности ОБ (Гот ОБ). БМУ может останавливаться в случае ожидания приема команды по сигналу КК, ожидания выработки состояния по сигналу ЕС и при обработке некоторых прерываний по сигналу торможения от БПР (ТБПР). При выработке микрокоманды БС БМУ выдает сигнал Гот.БМУ, который запускает ЕСОБ. Если выполнение микрокоманды задерживается, БС БМУ останавливается до получения сигнала Гот.ОБ.

5.5. Блок обработки условий ветвления

Структурная схема блока обработки условий ветвления (БОВ) представлена на рис. II.

БОВ предназначен для выработки управляющего сигнала ветвления (ВТВ) для управления БМУ на основе кода операции команды и признаков ветвления N , Z , V , C , вырабатываемых в ОБ при выполнении команд.

В БОВ входят следующие блоки и регистры:

регистр команд (РК);

регистр состояния (РС);

ШЛМ, состоящая из двух матриц М1 и М2;

блок синхронизации БОВ.

Код команды (разряды 8+I5) принимается на РК при приеме каждой команды. После окончания каждой команды и при выполнении некоторых команд в РС записывается состояние N , Z , V , C . Информация с этих регистров поступает на вход первой матрицы ШЛМ. На основе кода команды и состояния ШЛМ БОВ вырабатывает признак ветвления.

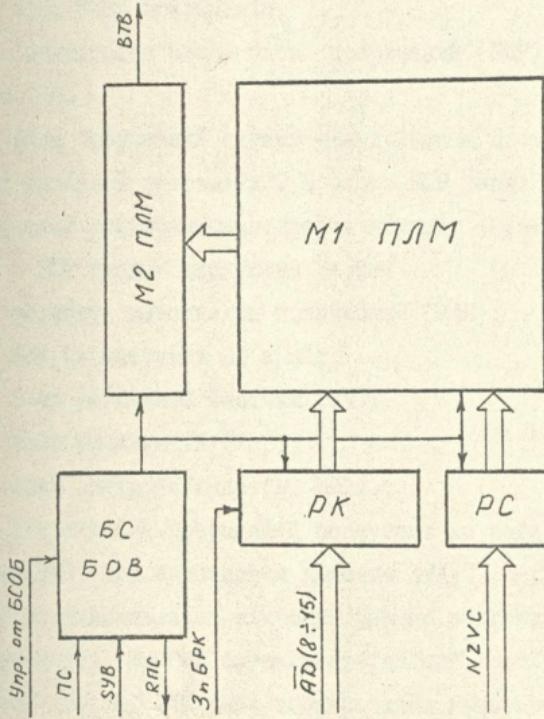


Рис. 11. Структурная схема блока
обработки условий ветвления (БОВ)

Работой БОВ управляет блок синхронизации БС БОВ. БС БОВ запускается при записи любой команды в РК ЕМУ по сигналу $S_{УВ}$ и в случае появления признака "ЖС" по сигналу ПС. Если признак ветвления вырабатывается по сигналу "ЖС", то после окончания цикла БОВ вырабатывается сигнал РИС, который запускает ЕМУ, снимая торможение по "ЖС".

5.6. Блок прерываний

Структурная схема блока прерываний (БПР) представлена на рис. I2.

Блок прерываний служит для приема и предварительной обработки сигналов прерываний. В блоке БПР также находится логика аппаратной поддержки выполнения команды RESET.

В БПР входят следующие блоки:

регистр источников прерываний (РИП);

ШЛМ на матрицах М1 и М2;

9-ти разрядный счетчик (СЧ);

блок управления (Упр.);

блок синхронизации (БС БПР).

Все сигналы прерываний поступают на регистр источников прерываний. При выполнении команды WAIT триггер "ждать" в РИП устанавливается микропрограммно в специальном формате микрокоманды. Из РИП сигналы прерывания поступают на входы 1-й матрицы ШЛМ. На ШЛМ реализована схема приоритетов прерывания. Каждое прерывание имеет свой приоритет. Если выставлено одновременно два прерывания, то сначала обслуживается прерывание с более высоким приоритетом. Если 7-й разряд РСП установлен в единицу, то внешние не фатальные прерывания маскируются.

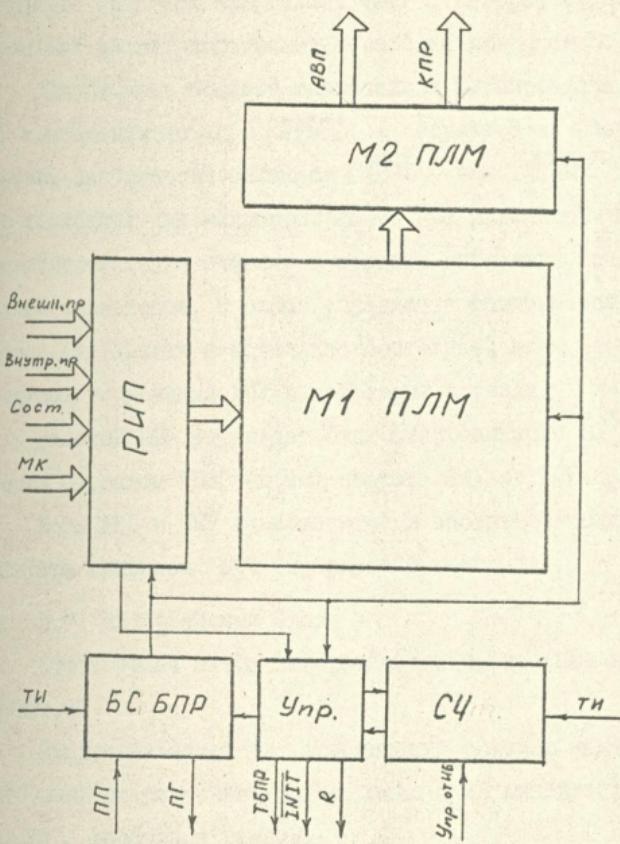


Рис. 12. Структурная схема блока прерываний (БПР)

Кроме организации схемы приоритета на ПЛМ БПР вырабатывается адрес вектора прерывания (АВП) для выборки его из блока констант ОБ и код прерывания (КПР), который служит для переключения БМУ на микропрограмму обработки прерываний.

Для отсчета момента зависания и формирования сигнала **INIT** при выполнении команды **RESET** служит 9-ти разрядный счетчик. Счетчик запускается сигналом **DIN** или **DOUT** при отслеживании зависаний или микропрограммно при выполнении команды **RESET**. Момент достижения счетчиком нужного состояния отслеживается схемой управления. В схеме управления формируется также сигнал сброса (установки в начальное состояние) всех блоков ПРЦ и сигнал торможения БМУ в некоторых случаях.

Работой БПР управляет блок синхронизации ЕС БПР. Он запускается сигналом "ПП" (прием прерывания) от БМУ.

Коды АВП и КПР записываются в соответствующие приемные регистры сигналом "ПГ" (прерывание готово).

5.7. Интерфейсный блок

Структурная схема интерфейсного блока (ИБ) представлена на рис. I.3.

ИБ предназначен для организации обменов между ПРЦ и устройствами на системной магистрали. В ИБ находится также арбитр прямого доступа к памяти.

В состав ИБ входят следующие блоки:

арбитр прямого доступа к памяти (АПД);

блок выдачи адреса (БВА);

блок приема и выдачи данных (БПВД);

декодатор поля обмена микрокоманды (ДШ ПО);

схема управления обменами (СУО).

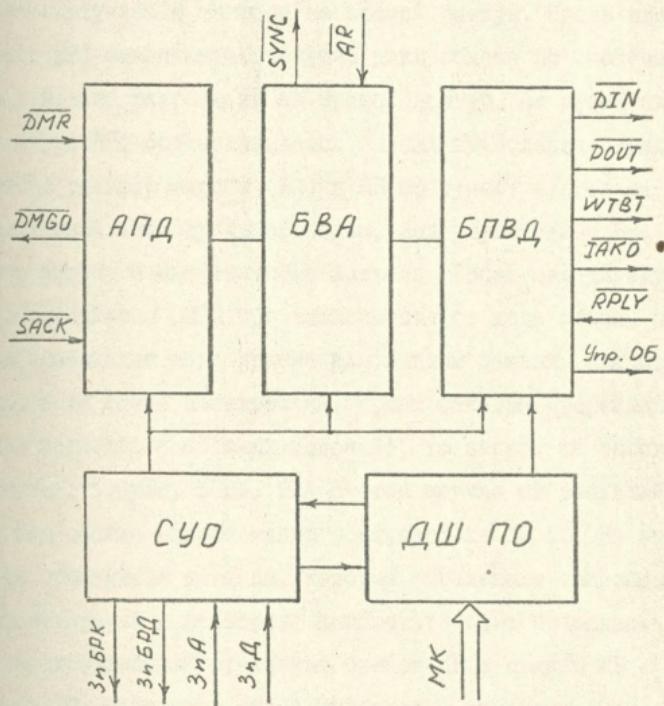


Рис. 13. Структурная схема интерфейсного блока (ИБ)

Арбитр прямого доступа предназначен для организации режима прямого доступа к памяти ЭВМ, построенной с использованием ПРЦ, для устройств, находящихся на системной магистрали. АПД отслеживает поступление запроса на прямой доступ. После поступления запроса ПРЦ заканчивает текущий цикл обмена по системной магистрали и выдает разрешение на прямой доступ. Во время цикла прямого доступа ПРЦ останавливается. После вычисления адреса и записи его в регистр адреса (РА) в ИБ поступает запрос на обмен. Если системная магистраль свободна, под управлением БВА начинается выдача адреса в системную магистраль. После выдачи адреса управление передается БПВД и, в зависимости от кода обмена микрокоманды, происходит цикл приема или выдачи данных или приема команды. Если обмен безадресный (прием вектора прерывания или чтение регистра начальных условий), то запрос на обмен начинает обрабатывать сразу БПВД. БВА в этом случае не запускается.

Код обмена микрокоманды поступает на ДШ ПО. На этом дешифраторе образуются сигналы, которые определяют тип обмена, направление приема и некоторые вспомогательные признаки.

Синхронизацией отдельных блоков ИБ и связью ИБ с другими блоками ПРЦ управляет схема управления обменами (СУО). На эту схему поступают сигналы записи в РА (ЗпА) и БРД (ЗпД), которые сообщают о готовности адреса и данных к выдаче, и, в свою очередь, СУО вырабатывает сигналы записи в БРК и БРД при поступлении команды и данных с системной магистрали. При задержках поступления данных с системной магистрали СУО вырабатывает сигналы торможения ОБ. Все временные диаграммы внешних обменов будут описаны в следующей главе.

6. ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ ПРЦ

6.1. Работа ПРЦ

Микропроцессор представляет собой законченный функциональный модуль. В ЭВМ минимальной конфигурации для его работы требуется только определенным образом организованная память. Однако, ПРЦ имеет средства коррекции интерфейса, которые позволяют менять временные диаграммы интерфейса при помощи внешних схем, приспособливая их для конкретных условий применения.

В ПРЦ предусмотрена также возможность расширения системы команд путем реализации дополнительных команд на системной (скрытой) памяти. ПРЦ имеет средства для организации системной памяти таким образом, что ее адресация не пересекается с адресами основной оперативной памяти ЭВМ. Системная память дополняет оперативную память. Она доступна только с помощью специальных команд.

В ПРЦ реализован метод приема команд с опережением. Алгоритм приема и обработки команд построен так, что к концу выполнения команды следующая команда уже принятая на буферный регистр команд и начинается прием еще одной команды. Разумеется, такой процесс опережения осуществим только на линейных участках программы, когда нет ветвлений. При выполнении команд ветвления и вообще любых команд, в которых происходит загрузка счетчика команд, команда, принятая на БРК, оказывается не той, которая предусматривалась по программе. В таких случаях аппаратно осуществляется повторный прием следующей команды.

Для восстановления опережения в этой же команде подготавливает-

| | | | |
|------------------|------------|--|--|
| | | | |
| ЭМ.Лист № докум. | Подп. Дата | | |

Форма 5а по ГОСТ 2106-68

ШИЗ.480.128 ТО

Лист

39

Формат 11