

基于 CPLD 的天气雷达信号处理器的设计实现

朱 毅,何建新

(成都信息工程大学 软件工程学院, 四川 成都 610225)

摘要:信号处理器是常规天气雷达数字化系统的关键部件. 利用复杂可编程逻辑器件(CPLD)产生整个信号处理器时序控制逻辑信号, 通过移位运算, 直接进行硬件积分处理. 实现雷达信号的采集、处理、质量控制、天线控制以及数据传输等功能, 并成功应用在常规天气雷达数字化改造系统中, 工作稳定, 性能良好.

关键词:信号处理;方位积分;距离积分;A/D 转换;CPLD

中图分类号:TN957.51 文献标志码:A 文章编号:1674-358X(2018)03-0052-05

DOI:10.15873/j.cnki.jxit.000237

天气雷达是气象部门进行短时临近预报和强天气过程预警的重要工具。目前常规天气雷达广泛应用于边远地区、山区,可以有效弥补新一代天气雷达探测盲区,因此对于常规天气雷达数字化改造技术的研究仍然被广为关注^[1]。在天气雷达数字化系统中,信号处理器完成数据采集、距离和方位积分、数据存储、实时显示等功能。不仅如此,它还作为主控微机与天线控制器之间信息传输的平台,一方面接收天线控制器提供的雷达天线的状态信息,为实时显示和软件处理提供方位角和仰角数据,另一方面,主控微机发出的控制命令通过它送往天线控制器,进而控制天线的动作。由此可见,信号处理器在雷达数字化系统中起着举足轻重的作用。

1 系统工作原理

从逻辑上划分,信号处理器包含两条数据处理通道,分别为信号处理通道和天线控制信息通道。信号处理通道是信号处理器接收来自雷达的对数视频信号,经 A/D 变换、积分运算,送入计算机处理并实时显示;天线控制信息通道是主控微机通过该信号处理器接收天线的状态信息,向天线控制器发送控制命令。信号处理器原理框图^[2]如图 1 所示。

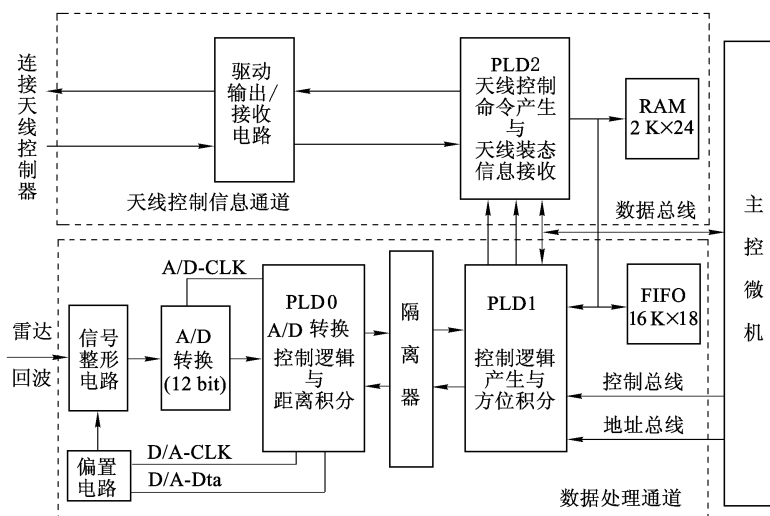


图 1 信号处理器原理框图

收稿日期:2018-04-12

基金项目:四川省科技成果转化项目(2018CC0093)

作者简介:朱 毅(1963—),男,教授,硕士生导师,主要从事信息处理技术研究。

1.1 信号处理通道

图 1 中雷达的对数视频信号被送至高带宽运算放大器的同相输入端,整形后输出至 A/D 转换器. 信号经 A/D 转换后送往 PLD0 芯片进行距离积分处理,其后通过隔离器送往方位积分电路.

在此信号处理通道上,使用了美国 Altera 公司的 PLD 芯片 MAX9320^[3](原理框图中的 PLD1). 在信号处理器的设计中,利用外部大容量 RAM 的配合,该 PLD 设计完成了方位积分运算,同时,为整个信号处理器的各部分电路提供时钟控制信号和相应的地址译码信号.

1.2 天线控制信息通道

该通道上用到的主要器件包括线路接收器件 26LS32、线路驱动输出器件 26LS31,以及另外一片 Altera 公司的 PLD 芯片 EPM7128(原理框图中的 PLD2)^[3]. 当需要控制雷达动作时,通过端口将命令字写入 PLD2 内部的移位寄存器,再由该器件内部产生的时钟将该命令字以串行的方式,通过 26LS31 送往天线控制器进行天线动作控制. 天线当前状态(方位角、仰角和状态匹配标志等)也是通过该信号通道送往主机.

2 信号处理器硬件设计

信号处理器由 A/D 变换电路、时序控制信号产生电路、距离积分与方位积分等电路构成. 下面就信号处理器的主要功能电路加以介绍.

2.1 A/D 变换电路

A/D 变换电路如图 2 所示.

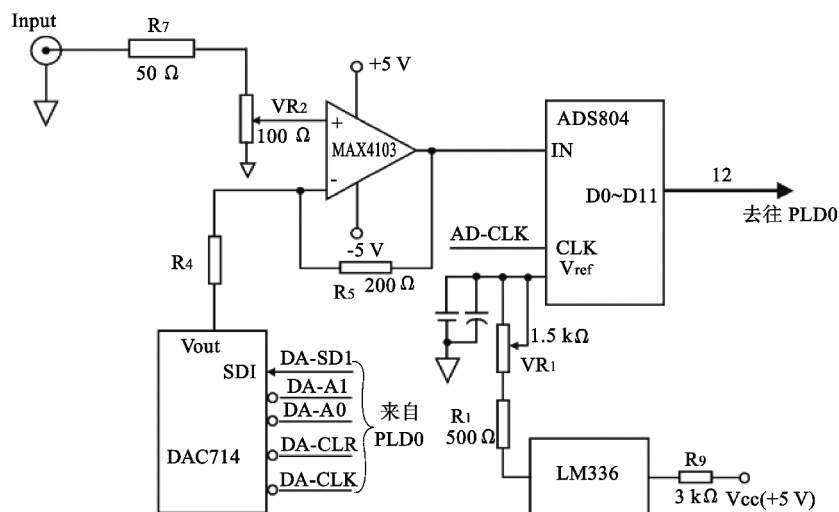


图 2 A/D 变换电路

为了满足系统对采样速度和分辨率的要求,选择了美国 BURR-BROWN 公司的 12 位,10 MHz 采样率的高速 A/D 转换芯片 ADS804.

作为 ADS804 芯片,其模拟输入信号的范围是 0~3 V,而常规天气雷达的视频输出信号经实际测量,一般都在 5~8 V,为此需在 A/D 芯片之前使用宽带的运算放大器,对雷达信号进行缓冲和整形. 本系统所采用的高速运放是 MAX4103.

为减小噪声对雷达观测的影响,在电路设计时,专门使用了 D/A 芯片 DAC714,在 MAX4103 的反相输入端提供直流偏置. 其工作原理为:如果显示的噪音过大,则由计算机输出一定的值和相应的控制指令,经 D/A 变换后,作为偏置电压送往运放 MAX4103 的反相输入端,抵消掉噪音.

不仅如此,利用此电路,在软件的控制下,输出一系列数字量,经 DAC714 后输出,作为模拟量加到 MAX4103 的输入端,经 A/D 变换后,采集进计算机并显示. 如此,一方面可以检测 A/D 转换的线性度,另一方面可以检查该处理器的信号处理通道是否工作正常,减小在雷达站现场调试的难度.

为提高 A/D 转换电路的精度,减小干扰,电路板设计制作时,采取了如下措施:1)电路板设计时,电源和地处于不同层;2)使用隔离器,将模拟区和数字区隔离;3)采用专门的线性电源为模拟电路部分单独供电,微机电源只对数字电路部分供电.采用上述措施后,A/D 转换电路的线性度得到较大改善.实际测得的 A/D 转换电路的线性度曲线如图 3 所示.

2.2 积分运算电路

为了使计算机屏幕上实时显示的雷达回波边缘清晰平滑,需要对采集的数据进行积分运算.在该信号处理器中,直接进行了硬件积分运算.

根据系统性能指标要求,独立积分次数应不低于 32 次^[4-6]. 设计中,距离积分确定为 2 次或 4 次(可选),方位积分 16 次.

2.2.1 距离积分电路

为了实现距离积分运算,系统使用了可编程逻辑器件 EPM7128.距离积分原理框图及距离积分电路时序图分别如图 4、图 5 所示.

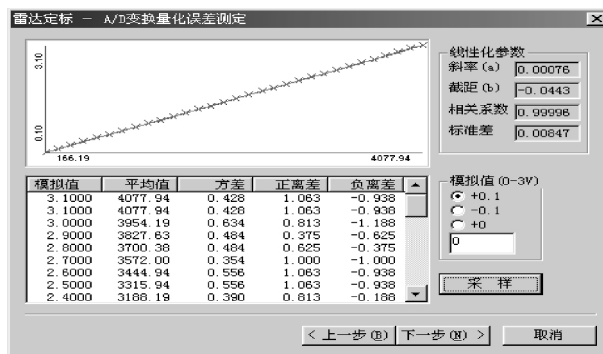


图 3 A/D 转换电路的线性度曲线

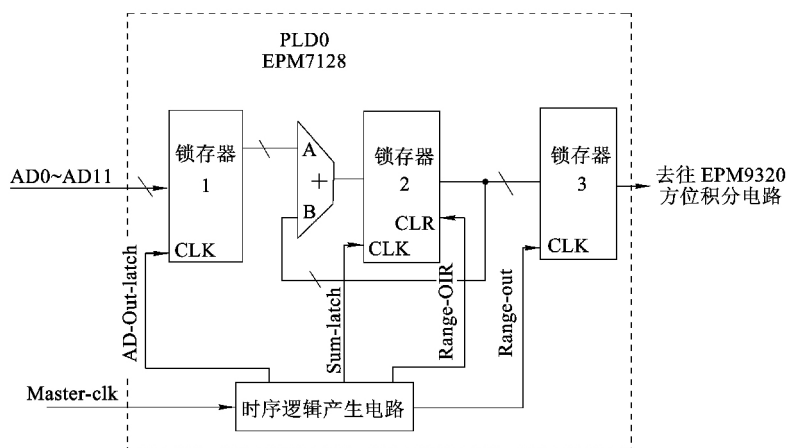


图 4 距离积分电路原理框图

距离积分由图 1 中的 PLD0 完成。当 A/D 的 12 位数据加到锁存器 1 的输入端时,在时钟上升沿锁存,作为加法器的一路(A 路)输入,加法器的另一路(B 路)输入来自锁存器 2 的输出,当 A 路和 B 路的数据经加法运算且数据稳定时,由 Sum-Latch 的上升沿将其锁存,这样重复 4 次,完成累加运算,此时在 Range-out 时钟的控制下,由锁存器 3 输出,为了实现积分运算(除法运算),只需丢弃最低 2 位,相当于除以 4,即积分 4 次。锁存输出后,由 Range-CLR 清零锁存器 2,开始下一距离单元的积分运算。所有的时钟均由 PLD0 内部的时序逻辑产生电路实现。

2.2.2 方位积分电路

方位积分是在一个运算角度(例如 1°)内,对 16 个径向数据在对应的距离单元上进行累加,最后的结果丢弃最低的 4 位,相当于除以 16,完成累加积

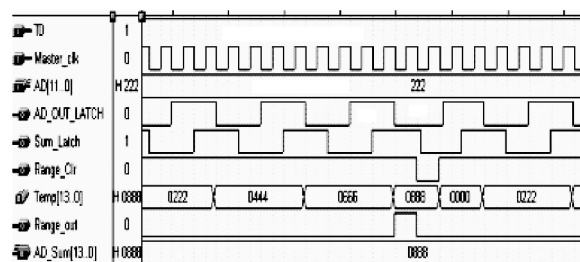


图 5 距离积分电路时序图

分. 由于涉及到径向数据的运算, 所以比距离积分复杂, 需要外部存储器 CY7C128 配合 PLD1, 将 16 次累加的中间结果先写入 CY7C128, 需要与另一径向数据累加时, 再从 CY7C128 中读出到累加器的一个输入端, 因此方位积分的过程比距离积分复杂. 其原理如图 6 所示.

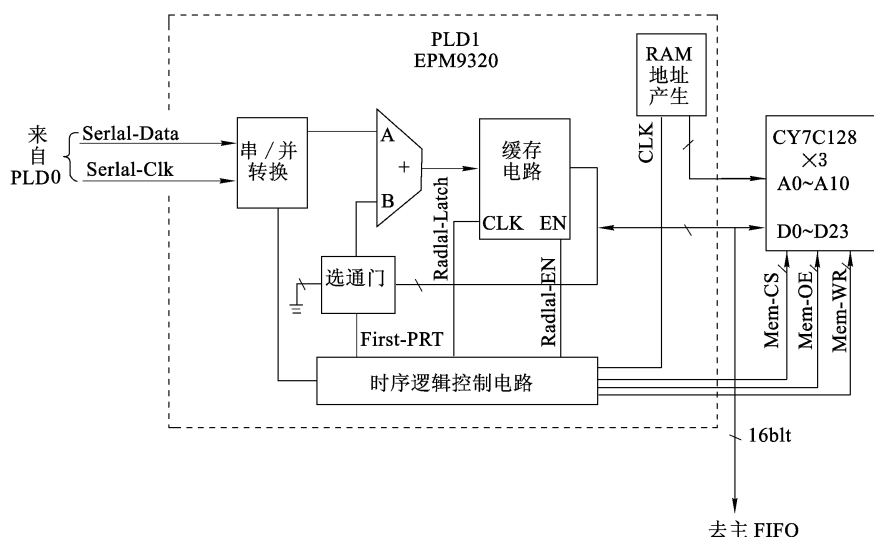


图 6 方位积分电路原理图

2.3 FIFO 电路

对于信号处理器, 其数据采集是高速的、不间断的, 为了将数据通过相对低速的 I/O 操作读入微机, 系统中使用了 FIFO 器件 CY7C4265 进行缓存, 保证数据采集能和 PC 机同步.

FIFO 器件是一种先进先出的双端口存储器件, 数据从一端写入, 从另一端读出. 数据按时间先后顺序写入 FIFO 器件, 数据仍依同样的顺序从 FIFO 存储器读出. 与 RAM 和 ROM 不同, FIFO 不需要地址访问. FIFO 经常用于处理串行数据流, 由于它有一定的存储器容量, 又无需寻址, 并且有相应的空、满、半空、半满等状态标志指示, 所以适合应用于这样一种场合, 即数据从高速数据源写入 FIFO, 然后读出到一个低速的数据总线上, 将数据速度从高速变为低速.

本系统中采用了 CYPRESS 公司的 FIFO 存储器 CY7C4265. 它是一款高速的、低功耗的 FIFO 器件, 其读写周期可达 10 ns, 它的存储器容量是 $16\text{ k} \times 8$ 位, 应用于本系统可存储 4 个径向的已积分处理的数据, TTL 电平兼容, 带有全空、全满、半空、半满状态标志输出. CY7C4265 的读、写 (RCLK/WCLK), 使能命令 (/REN) 等均由 EPM9320 内部的时钟产生电路提供.

3 数据采集软件

系统处理软件是利用 VC++ 语言编写而成的, 包括信号处理器驱动、雷达回波数据采集、存储和数据转换、实时显示、天线状态监控显示、系统自检以及雷达参数标定等子程序. 数据采集程序流程如图 7 所示.

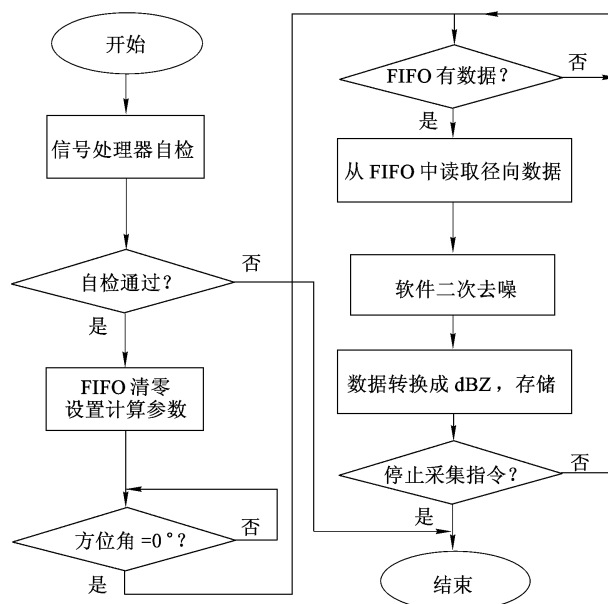


图 7 数据采集程序流程

4 结语

信号处理器作为天气雷达数字化系统的重要组成部分,在设计和实现中应用了复杂可编程逻辑器件,一方面大大缩短了设计开发周期,另一方面,提高了处理器的可靠性和稳定性,使大量复杂的时钟控制电路、运算处理等电路集成在一片芯片中,实现了信号处理器的小型化.全国十多部常规天气雷达中的实际使用证明,处理器性能稳定可靠,安装调试方便快捷.

参考文献:

- [1] 徐致火,何建新,史朝,等.我国地基天气雷达技术系统发展介绍[J].气象科技,2012,40(3):321-335.
- [2] 朱毅,何建新,李飞,等.天气雷达数据处理系统的设计与实现[J].成都信息工程学院学报,2010,25(3):237-241.
- [3] 何建新,王天宝,李飞,等.EDA技术及应用教程[M].成都:四川大学出版社,2001.
- [4] 方德贤,赵坤,李明,等.虚拟数字视频积分器的研制及应用[J].高原气象,2005,24(2):285-290.
- [5] 张沛源,周海光,梁海河,等.数字化天气雷达定标中应注意的一些问题[J].气象,2001,27(6):27-32.
- [6] 陈加清,朱福萌,焦中生,等.数字化天气雷达强度标定方法[J].解放军理工大学学报(自然科学版),2003,4(4):89-92.

(责任编辑 李莹)

Design and Implementation of Weather Radar Signal Processor Based on CPLD

ZHU Yi, HE Jianxin

(School of Software Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

Abstract: As the key component of a conventional weather radar digitizing system, signal processor adopts a Complex Programmable Logic Device (CPLD) to generate the timing control signals so that the hardware integration processing is directly performed through bit-shift operations, which can be used to realize such functions as signal acquisition, processing, quality control, antenna control and data transmission. It has been successfully applied in the weather radar digitizing system, with stable operation and good performance.

Key words: signal processing; azimuth integration; range integration; A/D conversion; CPLD