

文章编号: 1671-1742(2006)05-0640-05

# 基于 TMS3206C6701 高速浮点 DSP 的 EMIF 接口电路设计

郭在华, 何建新

(成都信息工程学院电子工程系, 四川 成都 610225)

**摘要:** 设计实现了一种在雷达信号处理中应用到的基于 TMS3206C6701 高速浮点 DSP 的接口转换电路。电路完成从评估板 EVM6701 通过扩展存储器接口 (EMIF) 向 DSPLink2 读写和处理数据 并将雷达接收到的信号引入 EVM6701 评估板 通过 DSP 处理器进行高速实时数字信号处理的功能, 从而大大提高了雷达的信号处理能力和性能。

**关 键 词:** 高速浮点 DSP; EVM; 接口 电路; EMIF; DSPLink2

中图分类号: TN911. 72

文献标识码: A

随着信息技术的发展, 数字信号处理技术成为数字化社会最重要的技术之一, 由于数字信号处理器 (DSP) 速度快, 稳定性高, 功耗小, 近几年来在通信、雷达、图像处理、自动控制等领域中得到了广泛的应用。其中, 美国 TI 公司的 TMS320 系列 DSP 占据了世界 DSP 市场的主要份额, TI 也因此成了世界最大的 DSP 芯片制造商。到目前为止, 已经能够生产 CPU 频率高达 600MHz 的高速 DSP 处理器。系统设计采用了 TI 基于浮点运算的 32 位高速数字信号处理器 TMS320C6701 (简称 C6701)。

## 1 设计任务

接口电路的设计是雷达系统信号处理的一个数据接口。主要的功能是通过 DSPLINK2 总线接口将雷达高速采集的数据传输引接到接口电路板上, 经过时序和控制的转换, 由 EVM6701 评估板的 EMIF 的 32 位接口进入 C6701DSP, 最后由高速浮点 TMS320C6701DSP 进行数据处理 (软件算法), 通过 HPI 接口向主机返回运算结果。

对计算机系统的要求: 利用 PC 机作为信号处理的终端, 在 WIN98、WIN2000 的系统下运行。PC 的基本配置应在 PIII 以上。

对信号处理系统的要求: 32 位高性能 DSP, 能进行实时浮点运算。设计目标如图 1 所示。

设计的过程中, 接口电路设计成 EVM6701 的子板 (DaughterBoard), 由于数据宽度为 32 位双字, 且能进行实时浮点运算, 更重要的是, 在 EVM6701 评估板上集成了一个外部存储器接口 EMIF (External Memory Interface), 此接口具有 32 位数据宽度和最高可达 532MBPS 的接口能力。同时在该评估板上还有一个 EPIF (External Peripheral Interface) 接口, 它们的对外连接头在物理结构上是一致的。接口电路子板通过这两个接口插接到评估板上, 并通过 DSPLINK2 接口和已有设备相连。电源可由 EMIF 接口直接提供。在设计的过程之中充分利用 EVM 评估板上 EMIF 接口 (J6) 的异步读写功能来完成信号的送入和评估板运算处理。

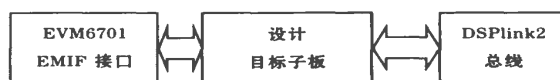


图 1 系统框图

## 2 TMS320C6701 高速浮点 DSP 及评估板 EVM6701

### 2.1 TMS320C6701 高速浮点 DSP

C6701 是一块通用 32 位浮点 DSP 处理器, 到目前为止, 它是 TI 能够提供的速度最快的一款浮点 DSP。与传统的 DSP 相比它的工作频率可高达 167MHz, 由于 DSP 核采用高性能的 VelociTI 超长指令字 (VLIW) 结构和多流水线技术。CPU 能够达到 1GFLOPS 运算速率, 一个周期内可同时运行 8 条 32 位指令, 向下兼容 32 位定点 DSP 处理器 C6201。除此之外, C6701 片内还集成了 1Mbit 的内部 SRAM 和 32 个 32 位的通用寄存器, 支持 64 位访

问, 有一个 32 位的外部存储器接口 EMIF, 该接口具有强大的扩展能力, 是 C6701 进行外部存储器扩展的通道。

2.2 评估板 EVM6701

基于 C6701 的 DSP 开发工具 EVM6701 具有强大的可开发能力。它采用基于 AMCC S5933 的 PCI 总线接口, 同时支持由第三方开发的仿真器在外部使用。开发者在使用的过程中可以内置方式通过 HPI 接口或是以外置方式通过 JTAG 接口向 CPU 写入软件代码来完成相关的算法程序。评估板上集成了丰富的应用资源, 包括一条 64Kx32bit、133MHz 的同步突发静态 RAM (SBSRAM) 和 2 条 1Mx32bit、100MHz 的 SDRAM, 一个 16 位音频接口和一个 32 位的外部存储器接口 (Exteranl Memory Interface, EMIF), 一个扩展外设接口 (External Peripheral Interface, EPIF)。本设计除了要用到相应的外部存储器外, 主要是通过 EMIF 和 EPIF 来实现对接口电路数据的连接和引入, 在评估板上由 C6701CPU 进行运算处理, 并向主机返回运算结果。

3 EVM6701 外部存储器接口 (EMIF)

3.1 接口组成结构

EMIF 是外部存储器和 C6701 片内其它单元间的, C6701CPU 访问片外存储器时必须通过 EMIF。TMS320C6701DSP 的 EMIF 接口具有很强的接口能力。其数据总线宽度为 32 位, 可寻址空间为 4GB, 可以与目前市场上几乎所有类型的存储存储器直接接口。在评估板上已经和一片 SBSRAM、两片 SDRAM 进行了接口, 同时向外提供了 32 的异步接口能力。如图 2 所示。

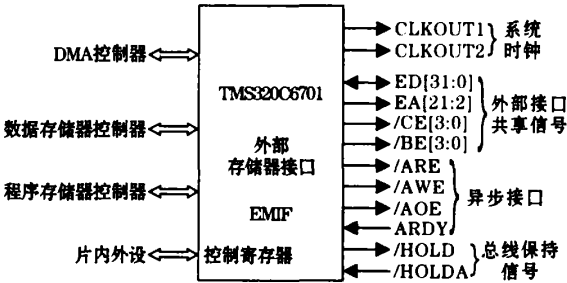


图 2 EMIF 接口信号

3.2 主要信号功能与使用

/AOE: EMIF 接口输出使能信号, 通过一个反向器控制 DSPLINK2 接口的 /W 信号。从而保证两个接口同时进行读或写操作。

/AWE: 写使能信号, /AOE 为高电平时, 在写周期中, 低电平有效后即可进行写操作。

/ARE: 读使能信号, 在 /AOE 有效时, 在读周期中, 有效后即可进行读操作。

/CE1: EMIF 接口上的片选信号, 在接口电路中用来控制数据缓冲的开启和内部存储器空间选择。它在内存中映射的空间为 0X01400000-0x16FFFFFF, 3M 映射空间, MAP1 映射方式。

ARDY: 准备状态信号, 工作时处于高电平, 在接口板上接 3.3V 电源。

BE[ 3: 0]: 字节选择信号, 分别确定工作时数据的宽度是 8 位还是 16 位或 32 位, 因为 LINK22EMIF 板工作在 32 位数据宽度, 该信号悬空。

ED[ 31: 0]: 32 位数据线, 在接口板上不作任何处理, 只通过两片 16 位高速双向数据缓冲进行数据的传输。

EA[ 21: 2]: 地址线, 共 20 位, 其中高 12 位通过 EPLD 后, 控制 8 位地址缓冲, 当高 12 位全 0 时, 低 8 位地址有效, 通过缓冲和 DSPLINK2 地址线连接。

电源线: 提供 +5V 和 +3.3V 的电压, 作为向接口电路板其它元件的电源供应。

3.3 EMIF 控制寄存器

在 TMS320C67X 的 EMIF 中有一组存储器映射寄存器, 通过设置这些寄存器的控制域来完成对 EMIF 的工作方式的控制。配置的内容包括各个空间上存储器类型、设置相应的接口时序、配置各个寄存器映射的内存空间等。一共有 8 个控制寄存器, 如表 1 所示。其详细比特域内容参见 TI 的说明文档。

表 1 C6701 控制寄存器

| 寄存器地址      | 寄存器           |
|------------|---------------|
| 0180 0000h | 全局控制寄存器       |
| 0180 0004h | CE1 空间控制寄存器   |
| 0180 0008h | CE0 空间控制寄存器   |
| 0180 000Ch | 保留            |
| 0180 0010h | CE2 空间控制寄存器   |
| 0180 0014h | CE3 空间控制寄存器   |
| 0180 0018h | SDRAM 控制寄存器   |
| 0180 001Ch | SDRAM 定时控制寄存器 |



据的读写交换。

4.1 DSPLINK2 的读写时序

DSPLINK2 的读写时序如图 5 所示。

4.2 DSPLINK2 主要接口信号:

- /IOE: 输出使能信号, 在读和写时都处于有效状态, 由 EMIF 接口的 /ARE、/AWE 3 个信号一起控制。
- /W: 读写控制, 低电平时写, 无效时为读控制。在其有(无)效之后, /IOE 有效时, 才能进行读写操作。该信号由 /AOE 通过反向器来控制。
- /RESET: 复位信号, 控制 DSP 的复位, 不作任何处理, 与 EPIF 接口的复位信号直拉相连。
- /INT0、/INT1: DSPLINK2 接口提供两个中断, 分别用来控制 DSP 的中断操作。

5 接口电路设计

TI 推出的 C6000 系列 DSP 的一个非常突出的特点就是它的对外接口能力。在利用 C6000 系列 DSP 进行接口设计时, 可以非常方便地通过对各个寄存器的设置来完成对不同速率信号的读与写, 从而实现与不同速度器件的异步接口。图 6 是电路的设计框图。系统工作在 100MHz 的时钟频率, 一个时钟周期为 10ns。

配置 CE1 寄存器:

(1)读计算: (unit: cycles)

$Setup > tws = 10ns \rightarrow setup = 10ns = 1(cycle)$   
 $Setup + strobe > = (tacc + tsu + tdmx) / tcy c \rightarrow strobe > = (90 + 4 + 4) / 10 + 1 = 11cycles$   
 $tmargin = 0ns$   
 $Hold > = tah = 10ns = 1 cycles$

(2)写计算:

$STROBE > = twp / tcy e = 120 / 10 = 1cycles$   
 $Setup + STROBE > = 130 / 10 - 12 = 1(cycles)$   
 $Hold = 2cycle$

(3)操作转换时间:

$TA > = (tskew + tohz) / 10 = (10) / 10 = 1cycle$

(4)配置 CE1 寄存器:

|             |               |         |              |               |           |           |             |
|-------------|---------------|---------|--------------|---------------|-----------|-----------|-------------|
| 31          | 28            | 27      | 22           | 21            | 20        | 19        | 16          |
| 写建立<br>0001 |               |         |              | 写触发<br>000001 |           | 写保持<br>10 | 读建立<br>0001 |
| 15          | 14            | 13      | 8            | 7             | 6         | 4         | 3           |
| 保留<br>11    | 读触发<br>001011 | 保留<br>0 | MTYPE<br>010 | 保留<br>00      | 读保持<br>01 | 2         | 1           |
| 0           |               |         |              |               |           |           |             |

图 7 CE1 寄存器

所以 CE1=0x1061CB21。

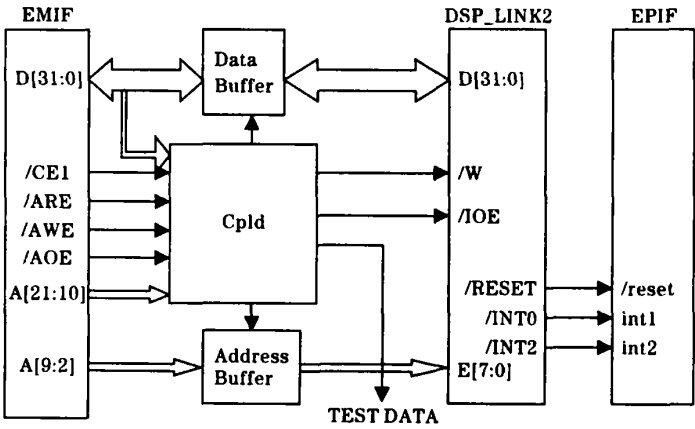


图 6 接口电路功能框图

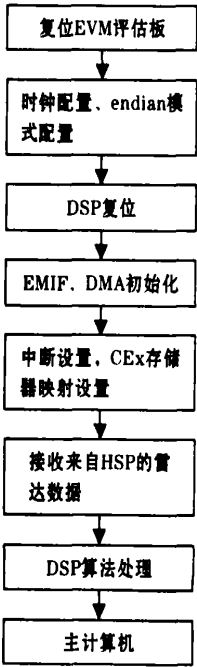


图 8 软件工作流程

## 6 程序流程:

此过程分别在主机和 DSP 处理器上运行。运行时,由主机来完成对 EVM 的配置和对 EMIF 接口的初始化工作, EVM 6701 的初始化工作由 DSP 来完成。工作时,主机向 DSP 发送命令, DSP 接到指令后执行装入的软件算法程序。然后将结果返回到主机。整个工作流程如图 8 所示。逻辑分析仪测试时序如图 9 所示。

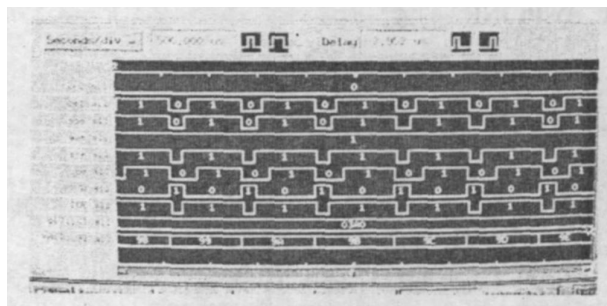


图9 逻辑分析仪测试时序

## 7 总结

该接口电路的设计对象是针对双线偏振多普勒天气雷达的信号处理系统,因此对系统的实时性要求高。由于在多普勒雷达基础之上增加了双线偏振功能,所测参数从原来的 2—3 个,增加到 5 个以上,数据处理量大大增加。因此系统采用了 TI 的性能最好的 C6000 系列浮点 DSP 来进行实时的信号处理。由于尚处在设计阶段,数据处理部分直接采用了 TI 提供的 EVM 开发板来完成此任务。在下一阶段的设计中,将在实现算法和功能的基础上开发完全针对天气雷达信号处理的信号处理板。

## 参考文献:

- [1] Doviak R J, Zrnic D S. Doppler radar and weather observation[M]. San Diego: Academic Press, Inc, 1993. 154—155.
- [2] Zhang Yin, Yu Wen-zhen. The GLC-12 Type X-band Fully Coherent Pulsed Doppler Weather Radar Technology with Dual-linear Polarization Capability[J]. Modern Radar, 2001, 23(2): 15—17.
- [3] TMS320C6000 EMIF to External Asynchronous SRAM Interface[Z]. Texas Instruments Incorporated, 1999.
- [4] TMS320C6000 HPI to PCI Interface using the PLX PCI9050[Z]. Texas Instruments Incorporated, 1999.
- [5] TMS320C6701 FLOATING POINT DIGITAL SIGNAL PROCESSOR[Z]. Texas Instruments Incorporated, 1999.
- [6] TMS320C6201/6701 EVALUATION MODULE USER'S GUIDE[Z]. Texas Instruments Incorporated, 1999.
- [7] TMS320C6201/6701 Evaluation Module Technical Reference[Z]. Texas Instruments Incorporated, 1999.
- [8] 任丽香, 马淑芬. TMS320C6000 系列 DSPs 原理与应用[M]. 北京: 电子工业出版社, 2000.
- [9] 何建新. 现代天气雷达[M]. 成都: 电子科技大学出版社, 2004.

## Design of an interface board based on high speed floating points DSP TMS320C6701

GUO Zai-hua, HE Jian-xin

(Dept. of Electronic Engineering CUIT, Chengdu 610225, China)

**Abstract:** An interface circuit board is designed and applied to processing the weather radar signals. It uses the high speed floating points DSP TMS320C6701 and completes reading and writing data from DSPLink2 to EMIF interface on EVM6701. The signals are processed in the DSP, which is integrated on the EVM. The performance of the weather radar signal processing is thus improved greatly.

**Key words:** floating point DSP; EVM; interface board; EMIF; DSPLink2