

# 基于 PCI 总线的雷达数据采集及定时板的设计

李学华, 何建新

(成都信息工程学院电子工程系, 成都 610041)

**摘 要:** 介绍了一种基于 PCI 总线的雷达数据采集及定时板的设计方案, 该设计把数据采集控制、发射机定时及接收机控制等集于一块 FPGA 芯片中实现, 具有设计简单, 可靠性高等优点。该设计已经成功地应用到民航飞行天气探测领域中

**关键词:** 雷达数据采集; PCI; FPGA; 定时

## Design of Radar Data Acquisition and Time-producing Based on PCI Bus

LI Xuehua, HE Jianxin

(Department of Electronic Engineering, Chengdu University of Information Engineering, Chengdu 610041)

**【Abstract】** A design of data-acquisition and time-producing based on PCI bus is introduced, which puts the control of data acquisition, transmitter time-producing and receiver control into one FPGA chip. It has advantages of simple design and high reliability. This design has been successfully used in weather detection for civil aviation.

**【Key words】** Radar data-acquisition; PCI; FPGA; Time-producing

在现代雷达系统中, 雷达信号处理部分一般由数字中频、DSP 信号处理器、雷达定时及计算机显示等部分组成, 其中 DSP 信号处理器是雷达数字信号处理及运算的核心部分, 也是技术难度较大、价格较高的一部分。随着计算机和 IC 技术的发展, 在现代雷达系统中, 雷达信号处理部分中的 DSP 信号处理器用高性能 PC 机来代替其运算功能已经成为了可能, 这不但从根本上改变了信号处理的设计思想, 同时也使得雷达信号处理的硬件简化成数字中频、数据采集及定时、计算机处理及显示 3 大部分组成, 大大简化了雷达信号处理部分的设计难度, 降低了系统的成本。

### 1 数据采集及定时方案分析

在本雷达系统设计中, 雷达的数字中频、数据采集及定时、信号处理分成了 3 个独立的模块。雷达回波数据在数字中频模块中经过高速采样、下变频、缓存, 数据速度已经降为 2.4Mbps(I、Q 数据各 24 位)。数据采集的目标即把这 2.4Mbps 的 I 和 Q 数据, 在定时信号的严格同步下, 准确地通过 PCI 总线传输到计算机中; 同时, 由 PC 机往 FPGA 的定时配置空间写入不同的定时参数, 以此产生整个雷达系统的发射机和接收机的定时与控制信号。

方案的设计主要考虑到雷达数据采集的距离分辨率、实时采集及定时信号产生与接口传送。鉴于数据速度并不很高, 方案中选用了两片 18 位的 FIFO 芯片 CY7C4265 共同构成 24 位、深度为 16kB 的数据缓存; 与计算机总线的接口采用 32 位的 PCI 总线接口芯片 PLX9054。总线接口逻辑、FIFO 控制逻辑及定时与控制信号皆由一块 FPGA 芯片 ACEX1K50-208 实现。在系统程序结构中, 尽量使程序都模块化、参数化, 以便提高模块的通用性、移植性和易扩展性。

### 2 雷达数据采集及定时工作流程

本数据采集及定时板是整个雷达系统的核心部件之一,

系统的主同步信号 T0、距离库参数、系统工作模式、接收机控制、发射机定时等都由其得到和产生; 与此同时, 回波的 I 和 Q 数据也由其传输到计算机进行各种处理。系统流程框图如图 1 所示。

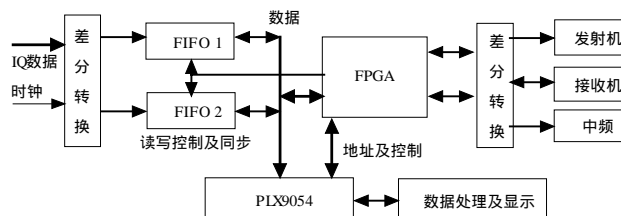


图 1 数据传输及定时原理框图

脉冲雷达的数据采集并不是随机的, 而是要求与系统主同步信号严格同步。在本雷达系统中, 系统主同步信号 T0 是由 FPGA 芯片根据定时参数产生的。定时参数是由用户依雷达工作模式通过 Windows 应用程序写入 FPGA 配置空间的, 其中参数中的距离库决定了每帧数据的数量及时间, 即由主机同步信号 T0 控制何时开始采集数据, 距离库参数控制每帧需要采集多少数据及每次计算机需要从 FIFO 中读入的数据量; 与数据有关的参数, 还有雷达的工作模式, 如在批处理模式中, 窄脉冲和宽脉冲下的 I、Q 数据量是不一样的。而对于雷达来说, 回波数据传输的准确性是至关重要的, 因此, 在设计过程中, 要特别注意回波数据质量及数量的严格准确。

发射机和接收机的定时参数, 一般是在雷达系统运行前进行初始化, 然后由 FPGA 的复杂逻辑产生。如果运行期间改变模式, 程序中处理先停止当前工作模式, 待新参数写入

**作者简介:** 李学华(1979—), 男, 硕士、讲师, 主研方向: 高速信号采集, 计算机接口应用; 何建新, 教授

**收稿日期:** 2005-06-01 **E-mail:** xuehua\_79@163.com

后重新产生新的定时和控制信号。考虑到信号传输线长,容易被衰减和干扰,通常采用差分线传输。

由上可知,在此数据采集及定时板卡设计中,FPGA 及 PCI 总线起了举足轻重的作用。下面就以 FPGA 及 PCI 总线的设计,详细叙述实现原理及过程。

### 3 数据采集及定时的实现

#### 3.1 PLX9054 局部总线时序

PLX9054 是 PLX 公司推出的一款 32 位 PCI 总线接口芯片,工作模式分为 M、J、C 3 种,本设计主要采用 C 模式。对于 PLX9054,除了 PCI 总线信号外,用户在设计时需要用到的信号主要是局部总线的数据、地址及控制信号 3 大类,而在三者之中,控制信号是设计的重点,包括 ADS, BLAST, READY, LWR/RD, LHOLD, HOLD 等信号,实现功能主要为单数据访问、突发式访问及 DMA。为了利于 PCI 模块的扩展和灵活使用,本设计中采用了状态机来实现 PLX9054 模块的局部总线时序,状态机如图 2 所示。状态机的时钟为局部总线时钟 LCLK,在 PLX9054 读写操作时,如果 ADS 为低就表示数据操作开始,BLAST 为低表示正在传输最后一个数据,即本次操作结束;如果 BLAST 一直为高,则表示数据仍在传送。图 2 中状态机 S0, S1, S2, S0 循环是实现单数据操作,S0, S1, S4, S0 实现 PCI 总线突发模式数据操作(包括 DMA)。READY 信号在 ADS 为低后有效,表示设备准备好,状态机 S2 和 S5 变为无效。为了易于程序设计,局部总线时序单独成模块,状态机直接作为端口输出,后面的模块只要根据状态机直接对信号进行相应变化就行,而并不需要对 PLX9054 接口很熟悉。

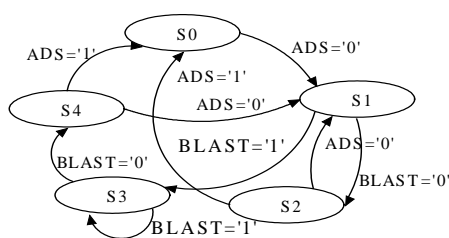


图 2 PLX9054 逻辑控制示意图

#### 3.2 用 FPGA 实现 FIFO 控制

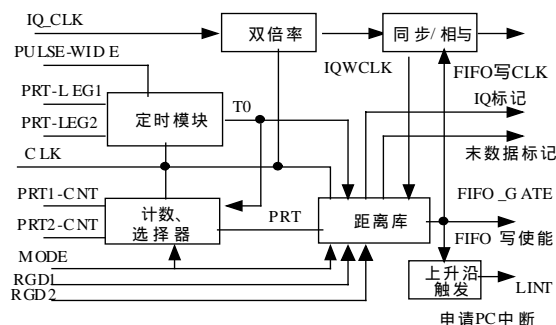


图 3 FIFO 逻辑示意图

雷达回波数据在传输到计算机之前,首先在 FIFO 中进行打包,包的大小及占用时间与雷达系统定时有关。如图 3 所示,PRT-LEG1 和 PRT-LEG2 为雷达重复频率参数,其决定系统主同步信号 T0 的周期;RGD1 和 RGD2 分别为距离库参数,其决定雷达的探测距离;PRT1-CNT 和 PRT2-CNT 分别表示窄脉冲和宽脉冲的个数;PULSE-WIDE 和 MODE 则

说明雷达的宽窄脉冲和工作模式。雷达在连续警戒模式和多谱勒模式下,主同步信号 T0 及 FIFO-GATE 信号只与 PRT-LEG1, RGD1 及 RGD2 有关。如果是 MODE='1',批处理模式下,则与 PRT-LEG1、PRT-LEG2、PRT1-CNT、PRT2-CNT、RGD1 及 RGD2 参数都有关。

由于 FIFO 写控制逻辑涉及参数和约束条件较多,实现复杂,也很容易出错。因此,在设计时,首先应对 T0 信号调试仿真,以保证主同步的准确。其次,在根据距离库计算 I、Q 数据量时,应同时考虑到与 T0 信号及 IQ\_CLK 的同步,信号仿真时序如图 4 所示。

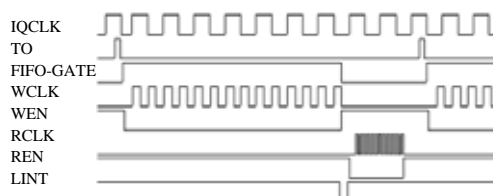


图 4 FIFO 读写时序仿真图

由于雷达中频 I 和 Q 数据是在 IQ\_CLK 的上升沿和下降沿分别有效的,而 FIFO 数据写入都是在时钟上升沿有效,因此,在 FPGA 中设计了一个双倍率模块,IQ\_CLK 经此模块后相当于进行了倍频。FIFO 数据帧读操作是在计算机响应中断后发起的,采用 DMA 方式。

#### 3.3 雷达定时信号实现

本板卡为发射机主要提供 4 种定时信号:充电定时信号 CHARGE,放电定时信号 DISCHARGE,抗干扰定时信号 RESIST\_INTF 及高频定时信号 RF\_PLS\_ST。其中充电定时信号决定了发射机每个周期回扫充电的起始时刻和重复频率;放电定时信号决定每个调制脉冲的起始时刻及调制脉冲的重复周期;抗干扰定时信号触发一个发射机的抗干扰脉冲;高频定时信号则决定了一个发射机输出高频脉冲的起始时刻,并且高频定时信号的重复周期决定了发射机输出高频脉冲的重复周期。4 种发射机时序关系及约束较多,实现逻辑较复杂,这里不再多述,仿真时序如图 5 所示。与发射机定时相关的参数,在雷达系统运行前由计算机统一进行初始化。

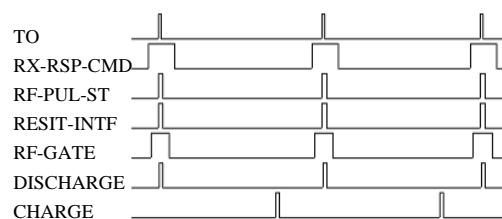


图 5 发射机定时时序

### 4 结束语

雷达数据采集及定时是雷达系统中核心部件之一,它的好坏直接影响到整个雷达系统的运行。本文介绍了一种基于 PCI 总线的雷达数据采集及定时板的设计方案,并对其关键技术要点作了详细的叙述。目前,本设计已经成功地应用到民航飞行天气探测领域中,并取得了良好的效果。

#### 参考文献

- 何建新. 现代天气雷达[M]. 四川: 电子科技大学出版社, 2004-05.
- 马晓岩. 雷达信号处理[M]. 长沙: 湖南科学技术出版社, 1999.
- PLX Technology, Inc. PCI9054 Data Book Version 1.0 [R]. 1998-12.