

S8-Buses-del-Sistema

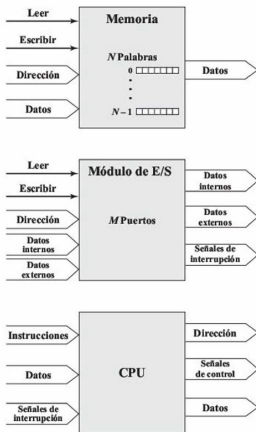
Elizabeth Lopez, Francisco Morales, Juan Murillo

Outline

- 1 Buses del Sistema (Sección)
- 2 Interconexión con Buses (Sección)
- 3 Interconexión punto a punto
- 4 Introducción QPI
- 5 QuickPath Interconnect (QPI)
- 6 PCI Express (E4, 11)
- 7 Referencias

Estructuras de Interconexión (E1, 7, 97)

- Conjunto de líneas que conectan los módulos elementales de un computador. Para que se comuniquen e intercambien datos.
- La estructura depende de los intercambios que se produzcan en los módulos.



Módulos:

- **Memoria:** constituido por N palabras de igual longitud. Se pueden realizar las operaciones Read(Leer) y Write(Escribir). La posición de memoria se especifica mediante una dirección.
- **Módulo de E/S:** se encarga de controlar los dispositivos externos enlazados a los puertos, donde se les asignara una dirección M. Controla los datos de salida y entrada. Realiza las operaciones de lectura y escritura. Envía señales de interrupción.
- **Procesador:** lee instrucciones y datos. Escribe datos después de procesarlos y controla el funcionamiento del sistema. Puede recibir señales de interrupción.

Intercambios de Datos:

- **Memoria a procesador:** el procesador lee información desde la memoria.
- **Procesador a memoria:** el procesador escribe un dato en la memoria.
- **E/S a procesador:** el procesador lee datos de un dispositivo de E/S.
- **Procesador a E/S:** el procesador envía datos al dispositivo de E/S.
- **Memoria a E/S - E/S a Memoria:** ambos intercambian datos directamente.

Interconexión con Buses (E1, 7, 99)

- Los buses son caminos de comunicación entre dos o más dispositivos con la habilidad de transmitir señales hacia los demás o recibir las señales emitidas.
- Solo un dispositivo puede emitir la señal en un periodo de tiempo. Si ambos transmiten la señal, esta podría solaparse y distorsionarse.
- Los caminos o líneas del bus transmiten señales binarias ya sea a travez de una sola línea o de varias de manera paralela.
- Existen diferentes tipos de buses para la comunicacion de diversos componentes. El que trabaja con los módulos elementales se denomina (System bus).

- ¿Qué son las líneas de datos?
 - Transporte
 - Datos
 - Memoria -> Procesador

- ¿Qué son las líneas de dirección?
 - Ubicación
 - Memoria
 - Puertos de E/S
 - Anchura del bus

- ¿Qué son las líneas de control?
 - Control
 - Señales
 - Escritura
 - Lectura

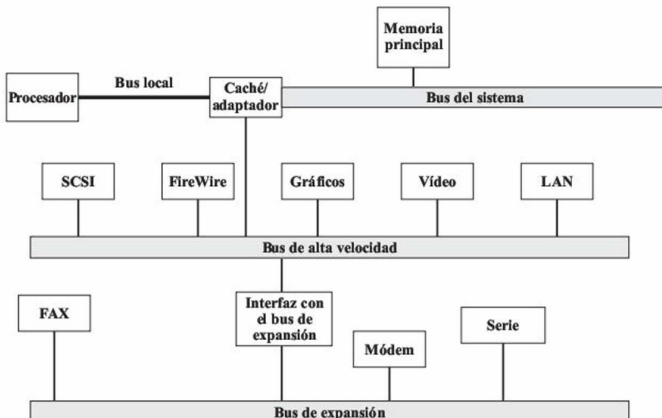
Jerarquía de Buses Múltiples (E2, 7)

Si se conecta un gran número de dispositivos al bus, las prestaciones pueden disminuir. Hay dos causas principales:

- 1 Mayor retarde de propagación. Este retardo determina el tiempo que necesitan los dispositivos para coordinarse en el uso del bus.
- 2 Posible cuello de botella. Este problema se puede resolver en alguna medida incrementando la velocidad a la que el bus puede transferir los datos y utilizando buses más anchos (por ejemplo incrementando el bus de datos de 32 a 64 bits)

Jerarquía de buses múltiples

La respuesta común a esta situación, por parte de la industria, ha sido proponer un bus de alta velocidad que está estrechamente integrado con el resto del sistema, y requiere solo un adaptador (bridge) entre el bus del procesador y el bus de alta velocidad. En algunas ocasiones, esta disposición es conocida como arquitectura de entreplanta (mezzanine architecture).



Jerarquía de buses múltiples

La ventaja de esta organización es que el bus de alta velocidad acerca al procesador los dispositivos que exigen prestaciones elevadas y al mismo tiempo es independiente del procesador. Así, se pueden tolerar las diferencias de velocidad entre el procesador y el bus de altas prestaciones y las variaciones en la definición de las líneas de los buses. Los cambios en la arquitectura del procesador no afectan al bus de alta velocidad, y viceversa.

Elementos de Diseño de un Bus (E2, 7)

- Elimina cuellos de botella asociados con buses compartidos.
- Mejora la escalabilidad en sistemas multiprocesador, ya que cada procesador puede comunicarse con otros sin interferencias.
- Aumenta la velocidad de transferencia y reduce la latencia.

Fue creado para solucionar los problemas de los buses compartidos, ofreciendo una conexión directa y eficiente entre los componentes. Este tipo de interconexión mejora el rendimiento al permitir una comunicación más rápida y efectiva entre los procesadores y otros dispositivos, sin las restricciones de los buses.

Características QPI:

- Múltiples conexiones directas
- Arquitectura de protocolo en capas
- Transferencia de datos en paquetes

Características de QPI

- **Múltiples conexiones directas:**

- Cada componente (como el procesador, la memoria o los dispositivos de entrada/salida) se conecta directamente con otros componentes de manera individual, sin tener que compartir el mismo canal.
- Al tener conexiones directas, cada componente puede enviar y recibir datos sin esperar turno, lo que hace que todo funcione de manera más rápida y eficiente.

- **Arquitectura de protocolo en capas:**

- Se usan protocolos como TCP/IP para organizar y manejar la comunicación. En lugar de enviar un mensaje de una sola forma simple, se utilizan diferentes pasos o etapas para asegurar que el mensaje llegue correctamente.

- **Transferencia en paquetes:**

- Los datos no se envían de manera continua, sino que se dividen en paquetes.
- Cada paquete contiene una parte de los datos y también incluye información adicional, como encabezados de control para saber a dónde deben ir los datos y códigos de control de errores para asegurarse de que los datos no se pierdan o se dañen durante el envío.

Arquitectura de protocolo QPI

- **Capa física:**

- Está formada por 84 enlaces individuales, cada camino de datos consta de un par de cables, llamados "carriles", que transmiten un bit a la vez.
- Hay 20 carriles en cada dirección: una para enviar datos y otra para recibir.
- Cada conjunto de 20 bits que se transmite se llama "phit", con una velocidad de transferencia de 6.4 giga transferencias por segundo (GT/s).

- **Capa de enlace:**

- Realiza dos funciones clave: control de flujo y control de errores. Estas se aplican a cada "flit"(unidad de control de flujo).
- Cada flit tiene una carga útil de 72 bits, que contiene los datos o mensajes.
- Los flits de datos transportan los bits reales entre los procesadores y el controlador de entrada/salida.
- Los flits de mensaje se utilizan para funciones como el control de flujo y el control de errores.
- El control de flujo asegura que el transmisor no envíe datos más rápido de lo que el receptor puede procesar.

PCI Express (E4, 11)

Stallings, W. (2006). *Organización y arquitectura de computadores*.
Pearson Educación.
<https://books.google.com.ec/books?id=C3HTAAAACAAJ>