

S8-Buses-del-Sistema

Elizabeth Lopez, Francisco Morales

Outline

Estructuras de Interconexión (E1, 7, 97)

Estructuras de Interconexión (E1, 7, 97)

Módulos:

- ▶ **Memoria:** constituido por N palabras de igual longitud. Se pueden realizar las operaciones Read(Leer) y Write(Escribir). La posición de memoria se especifica mediante una dirección.
- ▶ **Módulo de E/S:** se encarga de controlar los dispositivos externos enlazados a los puertos, donde se les asignara una dirección M. Controla los datos de salida y entrada. Realiza las operaciones de lectura y escritura. Envía señales de interrupción.
- ▶ **Procesador:** lee instrucciones y datos. Escribe datos después de procesarlos y controla el funcionamiento del sistema. Puede recibir señales de interrupción.

Estructuras de Interconexión (E1, 7, 97)

Intercambios de Datos:

- ▶ **Memoria a procesador:** el procesador lee información desde la memoria.
- ▶ **Procesador a memoria:** el procesador escribe un dato en la memoria.
- ▶ **E/S a procesador:** el procesador lee datos de un dispositivo de E/S.
- ▶ **Procesador a E/S:** el procesador envía datos al dispositivo de E/S.
- ▶ **Memoria a E/S - E/S a Memoria:** ambos intercambian datos directamente.

Interconexión con Buses (E1, 7, 99)

- ▶ Los buses son caminos de comunicación entre dos o más dispositivos con la habilidad de transmitir señales hacia los demás o recibir las señales emitidas.
- ▶ Solo un dispositivo puede emitir la señal en un periodo de tiempo. Si ambos transmiten la señal, esta podría solaparse y distorsionarse.
- ▶ Los caminos o líneas del bus transmiten señales binarias ya sea a travez de una sola línea o de varias de manera paralela.
- ▶ Existen diferentes tipos de buses para la comunicacion de diversos componentes. El que trabaja con los módulos elementales se denomina (System bus).

Estructura del Bus (E1, 7, 99)

Estructura del Bus

- ▶ ¿Qué son las líneas de datos?
 - ▶ Transporte
 - ▶ Datos
 - ▶ Memoria -> Procesador

Estructura del Bus

- ▶ ¿Qué son las líneas de dirección?
 - ▶ Ubicación
 - ▶ Memoria
 - ▶ Puertos de E/S
 - ▶ Anchura del bus

Estructura del Bus

- ▶ ¿Qué son las líneas de control?
 - ▶ Control
 - ▶ Señales
 - ▶ Escritura
 - ▶ Lectura

Jerarquía de Buses Múltiples (E2, 7)

Si se conecta un gran número de dispositivos al bus, las prestaciones pueden disminuir. Hay dos causas principales:

1. Mayor retarde de propagación. Este retardo determina el tiempo que necesitan los dispositivos para coordinarse en el uso del bus.
2. Posible cuello de botella. Este problema se puede resolver en alguna medida incrementando la velocidad a la que el bus puede transferir los datos y utilizando buses más anchos (por ejemplo incrementando el bus de datos de 32 a 64 bits)

Jerarquía de buses múltiples

Por consiguiente, la mayoría de los computadores utilizan varios buses, normalmente organizados jerárquicamente.

`./Images/jerarquiaBuses.jpeg`

Jerarquía de buses múltiples

La respuesta común a esta situación, por parte de la industria, ha sido proponer un bus de alta velocidad que está estrechamente integrado con el resto del sistema, y requiere solo un adaptador (bridge) entre el bus del procesador y el bus de alta velocidad. En algunas ocasiones, esta disposición es conocida como arquitectura de entreplanta (mezzanine architecture).

./Images/jerarquiaBuses2.jpeg

Jerarquía de buses múltiples

La ventaja de esta organización es que el bus de alta velocidad acerca al procesador los dispositivos que exigen prestaciones elevadas y al mismo tiempo es independiente del procesador. Así, se pueden tolerar las diferencias de velocidad entre el procesador y el bus de altas prestaciones y las variaciones en la definición de las líneas de los buses. Los cambios en la arquitectura del procesador no afectan al bus de alta velocidad, y viceversa.

Elementos de Diseño de un Bus (E2, 7)

Interconexión punto a punto (E3, 11)

Interconexión punto a punto

La interconexión punto a punto consiste en establecer una conexión directa entre dos componentes de un sistema informáticos. Esta arquitectura reemplazo a los buses compartidos, y la principal razón fue el aumento de frecuencia.

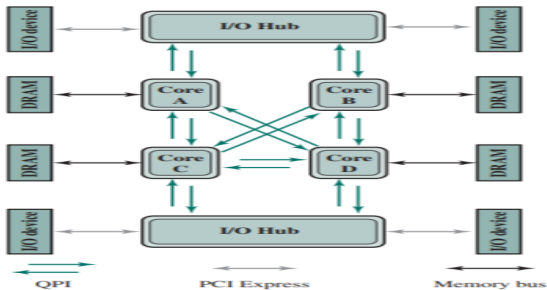


Figura: Multiprocesador con QPIs

Ventajas

- ▶ Elimina cuellos de botella asociados con buses compartidos.
- ▶ Mejora la escalabilidad en sistemas multiprocesador, ya que cada procesador puede comunicarse con otros sin interferencias.
- ▶ Aumenta la velocidad de transferencia y reduce la latencia.

QPI (E3, 11)

PCI Express (E4, 11)

Bibliografía I