

IFT 1227 – Architecture des ordinateurs

Devoir 2

- À faire en groupe de **deux** étudiants.
- Il y aura une pénalité de **10%** par jour de retard.
- Rapport : Écrire à la main ou par traitement de texte. Le rapport devra être clair, **présentable** et concis.

1. Conception des FSMs (20 pts)

Concevoir un circuit séquentiel Compteur modulo 16. Il y a une seule entrée possible – le signal « Remise à l'état initial » qui réinitialise le compteur. À chaque front montant de l'horloge le compteur incrémente sa valeur stockée et en arrivant à 15 il recommence.

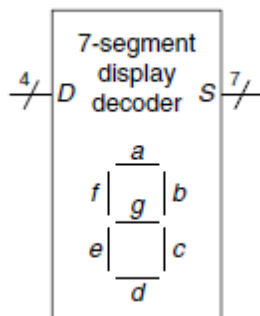
0 → 1 → 2 → 3 → 4 → 5 → 6 → 7 → 8 → 9 → A → B → C → D → E → F → 0 ...



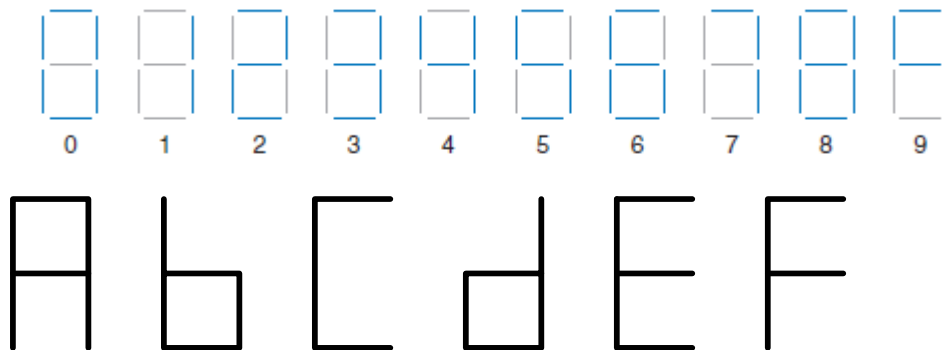
- Dessiner un diagramme des transitions d'états (FSM) - **10 pts**.
- Indiquer à côté de votre diagramme de quel type s'agit votre machine (Moore ou Melay) - **2.5 pts**?
- Écrire la(les) table(s) des transitions d'états et des sorties - **7.5 pts**.

2. Conception des circuits combinatoires (entrée VHDL) – 20 pts

Coder en VHDL un module afficheur 7 segments spécialisé `afficheur16`. Il faudra adapter le code de l'exemple 4.24 de votre livre. Sur la carte, pour allumer un segment il faudra assigner une valeur '0' au signal de control et '1' pour l'éteindre. La table de vérité de l'afficheur 7 segments est donnée dans exemple 2.10 de votre livre de référence.



Votre afficheur doit afficher les valeurs suivantes :



Synthétiser le circuit et vérifier son comportement en connectant les sorties au HEX0 et en modélisant les entrées par les interrupteurs: SW3 – SW0.

3. Conception des circuits séquentiels (entrée VHDL) – 20 pts

Coder en VHDL le FSM du compteur modulo 16 (créer un nouveau projet pour cette tâche). Pour pouvoir utiliser un bouton poussoir sur la carte pour un signal Reset, il faudra plutôt utiliser un reset négatif :

```
...  
process (clk, reset)  
begin  
    if reset = '1' then state <= S0; ...  
...  
process (clk, reset_n)  
begin  
    if reset_n = '0' then state <= S0; ...
```

Remplacer par

Entrées/Sorties :

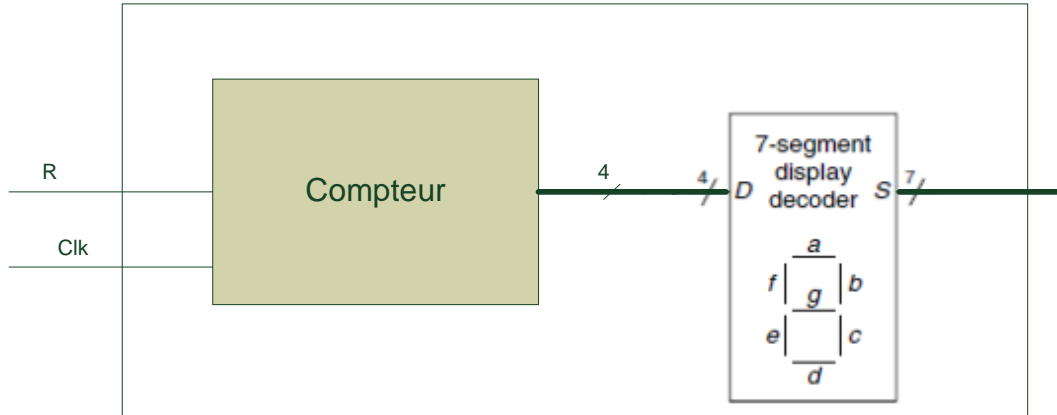
Modélisez les entrées **clk** et **reset_n** avec les boutons poussoirs, KEY[3] et KEY[2] respectivement. Connectez les sorties aux LEDR3 – LEDR0.

Le fonctionnement de votre compteur est commandé par une horloge. Chaque événement sera pris en compte en appuyant le bouton « Horloge », KEY[3] (on modélise un horloge de manière manuelle). Tester votre compteur.

4. Modélisation structurelle – 20 pts

Créer un nouveau projet pour un modèle structurel d'un circuit composé.

Dans le nouveau module VHDL instancier le composant `compteur` et un composant `afficheur16`. Connecter les sorties du compteur aux entrées de l'afficheur pour qu'on puisse maintenant d'afficher le contenu de notre compteur sur l'afficheur HEX0.



Laisser les assignations des pins d'entrées du compteur, connecter les sorties de l'afficheur16 aux pins de l'afficheur HEX0.

Remise

La remise électronique : Créer les 3 fichiers compressés (*.zip) contenant le code complet (avec le code généré par le système) de vos projets :

1. question 2;
2. question 3;
3. question 4;

Écrire un rapport contenant

- les démarches effectuées pour arriver à la solution pour la question 1.
- Les images des circuits synthétisés (netlist) pour les questions 2, 3, 4.

Barème de correction

Numéro 1 – 20 pts; 1a – 10; 1b – 2.5; 1c – 7.5.

Numéro 2 – 20 pts;

Numéro 3 – 20 pts;

Numéro 4 – 20 pts;

Présentation du rapport, respect des spécifications, propreté, lisibilité, etc. – 20 pts;

Total : 100 points

Bon travail!