

TECHNIKA CYFROWA
Ćwiczenie nr. 2
Czterobitowy układ TIMER

Antoni Kucharski, Maciej Wilewski, Dawid Mularczyk, Kamil Lesiński

Spis treści

| | | |
|-----------|---|-----------|
| 1 | Temat ćwiczenia | 2 |
| 2 | Opis rozwiązania | 2 |
| 3 | Licznik | 2 |
| 3.1 | Przerzutnik typu D | 2 |
| 3.2 | Dzielenie częstotliwości przez 2 | 3 |
| 3.3 | Licznik złożony z czterech przerzutników | 3 |
| 3.4 | Zakończenie odliczania po uzyskaniu wartości 0 | 4 |
| 4 | Licznik z możliwością ustawienia czasu początkowego | 5 |
| 5 | Transkoder liczby binarnej na dziesiętną | 6 |
| 5.1 | Tabela prawdy | 6 |
| 5.2 | Tabele Karnaugh i schematy w programie Multisim | 7 |
| 6 | Alarm | 10 |
| 7 | Pełny układ | 11 |
| 8 | Testowanie | 12 |
| 8.1 | Testowanie transkodera liczb szesnastkowych na dziesiętne | 12 |
| 9 | Wnioski | 14 |
| 10 | Zastosowania | 14 |

1 Temat ćwiczenia

Za pomocą dowolnych przerzutników i bramek logicznych należało zaprojektować czterobitowy układ TIMER odmierzający ustawiany za pomocą przełączników czas w granicach od 0 do 15. Układ powinien rozpocząć odliczanie po wciśnięciu przycisku START, a gdy czas dojdzie do zera — powinien się włączyć alarm w postaci diody LED. Ponowne wciśnięcie przycisku START ma uruchomić odliczanie po raz kolejny.

2 Opis rozwiązania

Układ który rozwiąże zadanie będzie składał się z:

- Czterech przełączników służących do ustawiania liczby od 0 do 15 włącznie, od której układ ma zacząć odliczanie (liczbę reprezentujemy binarnie, stąd 4 przełączniki — każdy reprezentuje jeden bit),
- Dwóch wyświetlaczy siedmiosegmentowych,
- Transkodera liczby binarnej na dziesiętną,
- Przełącznika modulującego tryb układu (TIME.SET)
 - Tryb odliczania: układ odlicza czas w dół od ustalonej wartości do zera
 - Tryb ustawiania liczby: ustawiamy wspomnianymi wyżej przełącznikami liczbę, i widzimy ją na wyświetlaczach. Funkcja odliczania jest zablokowana. W poprzednim trybie można również ustawiać liczbę, lecz układ zacząłby od razu odliczanie.
- Przycisku START uruchamiającego układ (korzystamy głównie gdy licznik doliczy się do zera, bo przełącznik TIME.SET również może rozpocząć odliczanie).
- Licznika zbudowanego z przerzutników typu D
- Diody LED

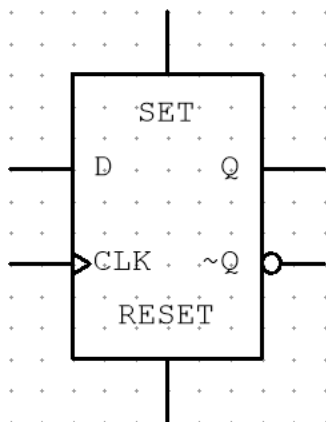
Układ zasilany jest źródłem prądu zmiennego. Przełącznik TIME.SET umożliwia uruchomienie programu, natomiast przełącznik start powoduje zrestartowanie odliczania. Odbywa się ono za pomocą przerzutników typu D. Podłączone są one do siedmiosegmentowych wyświetlaczy które pokazują odpowiednią liczbę. Przy pomocy tabel Karnaugh wyprowadzone zostały funkcje logiczne transkodera liczby binarnej na dziesiętną.

3 Licznik

Timer składa się z określonej liczby przerzutników (4) typu D. Pierwszy z nich jest podłączony do źródła prądu zmiennego.

3.1 Przerzutnik typu D

Przerzutnik typu D jest jednym z podstawowych elementów w elektronice cyfrowej. Jest to dwustanowy układ logiczny, który przechowuje jedną bitową wartość. Ma wejścia: dane (D), sygnał zegarowy (CLK), SET i RESET oraz dwa wyjścia: stan(Q) i stan sprzężony (Q'). W ćwiczeniu narastający sygnał zegarowy jest aktywnym sygnałem zegarowym przerzutnika.



Rysunek 1: Przerzutnik typu D użyty w zadaniu

Tabela 1: Tabela prawdy dla przerzutnika typu D z wejściami SET i RESET

| CLK | SET | RESET | D | Q | Q ₊ |
|-----|-----|-------|---|---|----------------|
| ↑ | 0 | 0 | 0 | 0 | 0 |
| ↑ | 0 | 0 | 1 | 0 | 1 |
| ↑ | 0 | 0 | 0 | 1 | 0 |
| ↑ | 0 | 0 | 1 | 1 | 1 |
| x | 1 | 0 | x | Q | 1 |
| x | 0 | 1 | x | Q | 0 |
| x | 1 | 1 | x | Q | x |

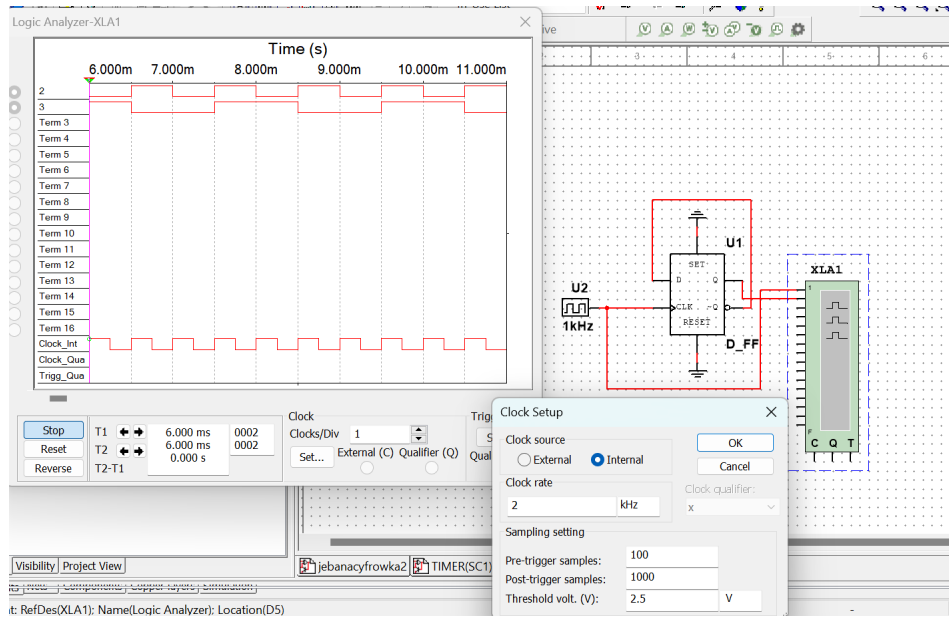
3.2 Dzielenie częstotliwości przez 2

Aby uzyskać sygnał wyjściowy Q w postaci sygnału zegarowego o częstotliwości równej połowie częstotliwości wejściowego sygnału zegarowego należy połączyć wyjście Q' z wejściem D. Wtedy przy każdym aktywnym sygnale zegarowym wartość Q zostanie zmieniona na przeciwną.

Tabela 2: Tabela prawdy

| CLK | Q | Q ₊ | kierunek sygnału |
|-----|---|----------------|------------------|
| ↑ | 0 | 1 | ↑ |
| ↑ | 1 | 0 | ↓ |

Warto zauważyć, że aby uzyskać narastający sygnał zegarowy na wyjściu konieczne będą dwa sygnały narastające na wejściu. Dzieje się tak, ponieważ sygnał narastający pojawia się przy zmianie z 0 na 1. Zakładając, że stan Q to 1 konieczny jest jeden sygnał narastający na wejściu, aby zmienić Q na 0 i drugi, żeby zmienić z 0 na 1. Na poniższym rysunku widać, że faktycznie sygnały narastające wyjścia Q następują dwa razy rzadziej od tych na wejściu CLK, zatem częstotliwość wyjściowego sygnału jest dwukrotnie mniejsza od częstotliwości sygnału wejściowego.



Rysunek 2: Zastosowanie przerzutnika typu D do dwukrotnego zmniejszenia częstotliwości sygnału zegarowego

3.3 Licznik złożony z czterech przerzutników

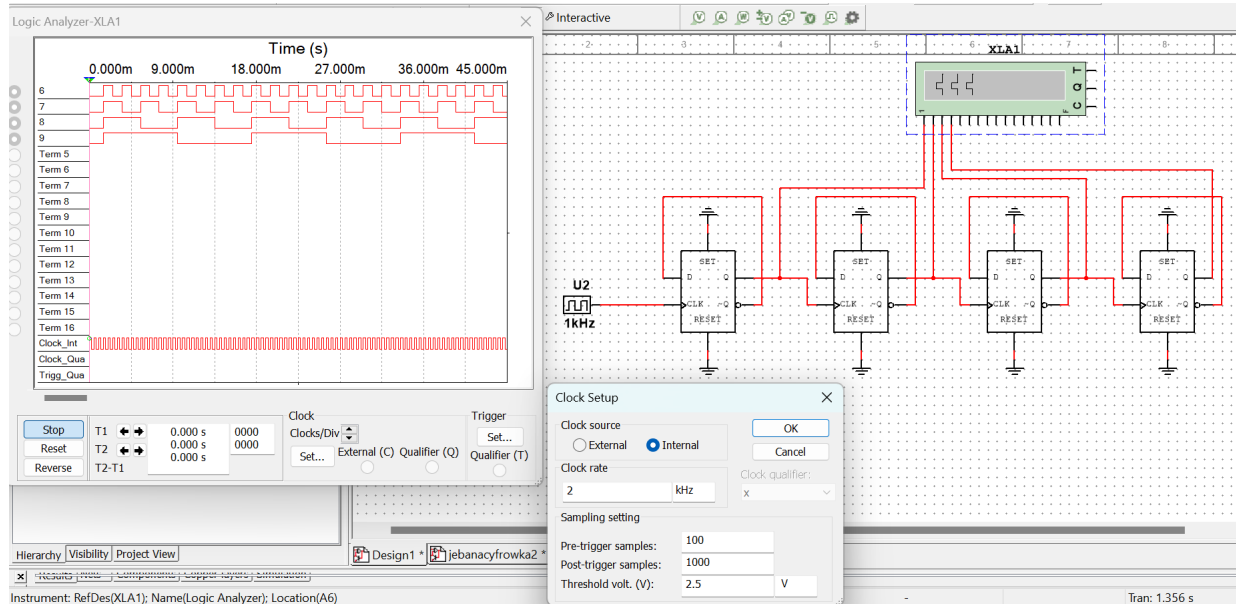
Użyty przez nas licznik jest asynchroniczny. Każdy z przerzutników otrzymuje sygnał zegarowy o innej częstotliwości (pierwszy — częstotliwość źródła, każdy kolejny — połowę częstotliwości poprzedniego). Pierwszy przerzutnik jest podłączony do źródła sygnału zegarowego. Drugi na wejście CLK otrzymuje wartość Q₁ (wyjście pierwszego). Trzeci na CLK otrzymuje Q₂, a czwarty Q₃. Poniższa tabela opisuje zachowanie takiego licznika. Przyjmujemy oznaczenia:

- Q_{i+} — wartość Q_i po otrzymaniu aktywnego sygnału zegarowego na wejściu CLK w przerzutniku i ,
- Q_{id} — kierunek przejścia stanu Q_i po otrzymaniu aktywnego sygnału zegarowego
 - $0 \rightarrow 1$ — sygnał narastający, czyli $Q_{id} = \uparrow$,

– $1 \rightarrow 0$ — sygnał opadający, czyli $Q_{id} = \downarrow$

Tabela 3: Tabela stanów wyjść i kierunków przejścia przerzutników, z których złożony jest licznik

| CLK | Q_4 | Q_3 | Q_2 | Q_1 | Q_{4d} | Q_{3d} | Q_{2d} | Q_{1d} | Q_{4+} | Q_{3+} | Q_{2+} | Q_{1+} |
|------------|-------|-------|-------|-------|--------------|--------------|--------------|--------------|----------|----------|----------|----------|
| \uparrow | 1 | 1 | 1 | 1 | — | — | — | \downarrow | 1 | 1 | 1 | 0 |
| \uparrow | 1 | 1 | 1 | 0 | — | — | \downarrow | \uparrow | 1 | 1 | 0 | 1 |
| \uparrow | 1 | 1 | 0 | 1 | — | — | — | \downarrow | 1 | 1 | 0 | 0 |
| \uparrow | 1 | 1 | 0 | 0 | — | \downarrow | \uparrow | \uparrow | 1 | 0 | 1 | 1 |
| \uparrow | 1 | 0 | 1 | 1 | — | — | — | \downarrow | 1 | 0 | 1 | 0 |
| \uparrow | 1 | 0 | 1 | 0 | — | — | \downarrow | \uparrow | 1 | 0 | 0 | 1 |
| \uparrow | 1 | 0 | 0 | 1 | — | — | — | \downarrow | 1 | 0 | 0 | 0 |
| \uparrow | 1 | 0 | 0 | 0 | \downarrow | \uparrow | \uparrow | \uparrow | 0 | 1 | 1 | 1 |
| \uparrow | 0 | 1 | 1 | 1 | — | — | — | \downarrow | 0 | 1 | 1 | 0 |
| \uparrow | 0 | 1 | 1 | 0 | — | — | \downarrow | \uparrow | 0 | 1 | 0 | 1 |
| \uparrow | 0 | 1 | 0 | 1 | — | — | — | \downarrow | 0 | 1 | 0 | 0 |
| \uparrow | 0 | 1 | 0 | 0 | — | \downarrow | \uparrow | \uparrow | 0 | 0 | 1 | 1 |
| \uparrow | 0 | 0 | 1 | 1 | — | — | — | \downarrow | 0 | 0 | 1 | 0 |
| \uparrow | 0 | 0 | 1 | 0 | — | — | \downarrow | \uparrow | 0 | 0 | 0 | 1 |
| \uparrow | 0 | 0 | 0 | 1 | — | — | — | \downarrow | 0 | 0 | 0 | 0 |
| \uparrow | 0 | 0 | 0 | 0 | \uparrow | \uparrow | \uparrow | \uparrow | 1 | 1 | 1 | 1 |



Rysunek 3: Działanie licznika złożonego z czterech przerzutników typu D

Z powyższej tabeli i wyników analizatora stanów logicznych wynika, że wartości Q_4 , Q_3 , Q_2 , Q_1 reprezentują kolejne liczby od 15 do 0 włącznie w reprezentacji binarnej. Po uzyskaniu wartości 0 jednak układ zaczyna ponownie odliczać od 15.

3.4 Zakończenie odliczania po uzyskaniu wartości 0

Aby zakończyć odliczanie po uzyskaniu wartości 0, na wejście pierwszego przerzutnika zamiast czystego sygnału zegarowego C prześlemy sygnał $CLK = C(Q_1' + Q_2' + Q_3' + Q_4')$. Spowoduje to zakłócenie sygnału C, ale zakładamy, że będzie wykorzystywany tylko w naszym układzie, więc nie ma ryzyka zaburzenia jego synchronizacji w kilku układach.

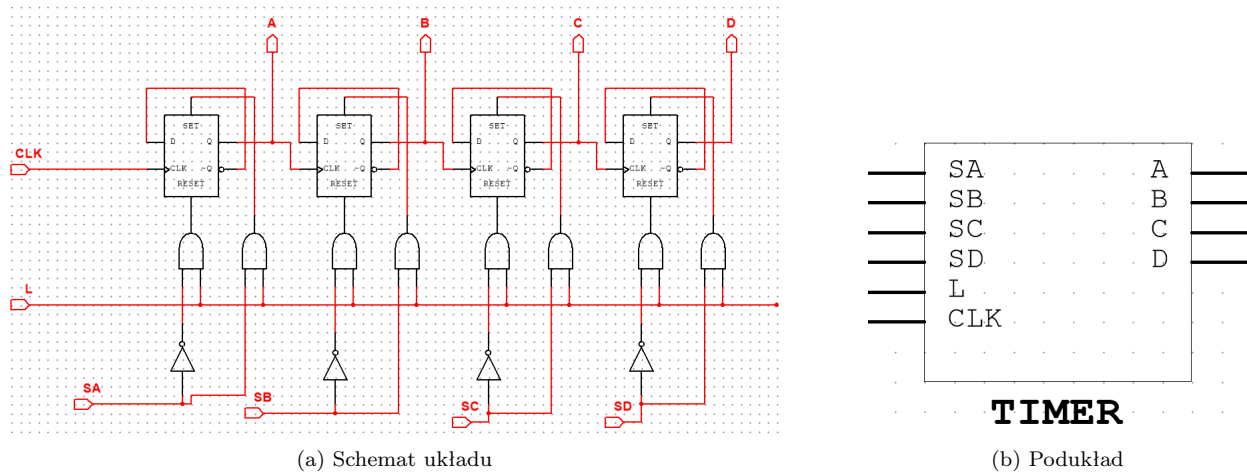
Tabela 4: Tabela stanów wyjść i kierunków przejścia przerzutników, z których złożony jest licznik

| CLK | Q_4 | Q_3 | Q_2 | Q_1 | Q_{4d} | Q_{3d} | Q_{2d} | Q_{1d} | Q_{4+} | Q_{3+} | Q_{2+} | Q_{1+} |
|-----|-------|-------|-------|-------|----------|----------|----------|----------|----------|----------|----------|----------|
| ↑ | 1 | 1 | 1 | 1 | — | — | — | ↓ | 1 | 1 | 1 | 0 |
| ↑ | 1 | 1 | 1 | 0 | — | — | ↓ | ↑ | 1 | 1 | 0 | 1 |
| ↑ | 1 | 1 | 0 | 1 | — | — | — | ↓ | 1 | 1 | 0 | 0 |
| ↑ | 1 | 1 | 0 | 0 | — | ↓ | ↑ | ↑ | 1 | 0 | 1 | 1 |
| ↑ | 1 | 0 | 1 | 1 | — | — | — | ↓ | 1 | 0 | 1 | 0 |
| ↑ | 1 | 0 | 1 | 0 | — | — | ↓ | ↑ | 1 | 0 | 0 | 1 |
| ↑ | 1 | 0 | 0 | 1 | — | — | — | ↓ | 1 | 0 | 0 | 0 |
| ↑ | 1 | 0 | 0 | 0 | ↓ | ↑ | ↑ | ↑ | 0 | 1 | 1 | 1 |
| ↑ | 0 | 1 | 1 | 1 | — | — | — | ↓ | 0 | 1 | 1 | 0 |
| ↑ | 0 | 1 | 1 | 0 | — | — | ↓ | ↑ | 0 | 1 | 0 | 1 |
| ↑ | 0 | 1 | 0 | 1 | — | — | — | ↓ | 0 | 1 | 0 | 0 |
| ↑ | 0 | 1 | 0 | 0 | — | ↓ | ↑ | ↑ | 0 | 0 | 1 | 1 |
| ↑ | 0 | 0 | 1 | 1 | — | — | — | ↓ | 0 | 0 | 1 | 0 |
| ↑ | 0 | 0 | 1 | 0 | — | — | ↓ | ↑ | 0 | 0 | 0 | 1 |
| ↑ | 0 | 0 | 0 | 1 | — | — | — | ↓ | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | — | — | — | — | 0 | 0 | 0 | 0 |

Otrzymawszy $Q_4 = 0$, $Q_3 = 0$, $Q_2 = 0$ i $Q_1 = 0$ wartość $\text{CLK} = C(Q_1' + Q_2' + Q_3' + Q_4')$ będzie stałe wynosić 0, zatem układ zatrzymał odliczanie.

4 Licznik z możliwością ustawienia czasu początkowego

Ustawianie czasu, od którego układ ma rozpocząć odliczanie odbywa się za pomocą czterech przełączników — każdy odpowiedzialny za wartość konkretnego bitu w reprezentacji binarnej liczby ze zbioru $\{0, 1, 2, \dots, 15\}$.



Rysunek 4: Licznika z możliwością ustawienia liczby początkowej

Definicja wejść:

- CLK — sygnał zegarowy
- L — sygnał “load”. Wartość 1 wskazuje, że układ jest w trybie ustawiania liczby, 0 — w trybie odliczania

Wejścia SA, SB, SC i SD to wartości, które chcemy ustawić bitom odpowiednio A, B, C, D. Jeżeli układ jest w trybie ustawiania liczby ($L = 1$) SA, SB, SC i SD są przekazywane wejściom SET przerzutnikom odpowiadającym ustawianemu bitowi, a ich zaprzeczenia — wejściom RESET. W przypadku trybu odliczania — SET i RESET są ustawione na 0, co umożliwia odliczanie.

Tabela 5: Tabela prawdy ustawiania liczby, od której zaczynamy odliczanie

| L | SA | SB | SC | SD | SET_A | RESET_A | SET_B | RESET_B | SET_C | RESET_C | SET_D | RESET_D |
|---|----|----|----|----|-------|---------|-------|---------|-------|---------|-------|---------|
| 0 | x | x | x | x | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |

5 Transkoder liczby binarnej na dziesiętną

Przyjmijmy oznaczenie **Bij** — j -ty bit i -tego wyświetlacza siedmiosegmentowego. $i \in \{1, 2\}$, $j \in \{1, 2, 3, 4\}$. Mamy 2 wyświetlacze, a każdy z nich ma wejście na cztery bity (jest to wyświetlacz liczby od 0 do F w systemie szesnastkowym, stąd 4 wejścia). Wyświetlacz po lewej pełni rolę cyfry dziesiątek (jest to wyświetlacz 2, czyli $i = 2$), zatem jedyny bit, który może się zmieniać to najmłodszy (B21), bo dla liczb od 0 do 15 włącznie cyfra dziesiątek przyjmuje wartość 0 lub 1. Wejścia pozostałych bitów wyświetlacza 2 są uziemione.

5.1 Tabela prawdy

Tabela 6: Tabela prawdy dla transkodera liczby binarnej na dziesiętną

| N | D | C | B | A | B21 | B14 | B13 | B12 | B11 |
|----|---|---|---|---|-----|-----|-----|-----|-----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 11 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 12 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 13 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 15 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |

5.2 Tabele Karnaugh i schematy w programie Multisim

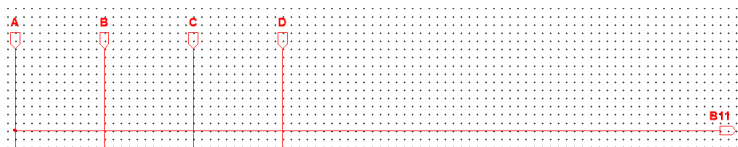
Na podstawie tabeli prawdy tworzymy tablice Karnaugh dla wyjść transkodera. Zaznaczamy największe grupy pól z jedynkami i zapisujemy powstałą formułę. Szkicujemy schemat układu oraz projektujemy go w Multisimie

Bit B11

Tabela 7: Tabela Karnaugh dla bitu B11

| DC\BA | 00 | 01 | 11 | 10 |
|-------|----|----|----|----|
| 00 | 0 | 1 | 1 | 0 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | 0 |
| 10 | 0 | 1 | 1 | 0 |

$$B11 = A$$



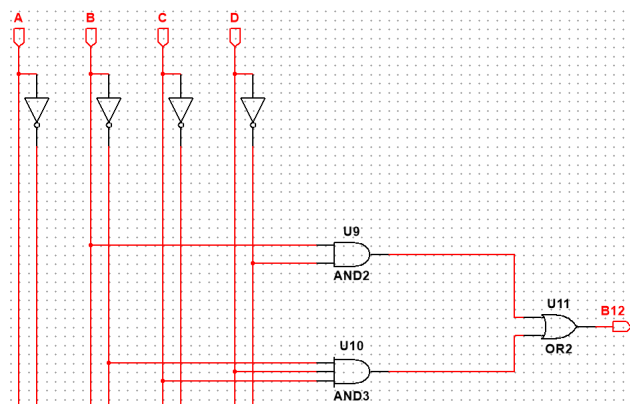
Rysunek 5: Schemat "transkodera" dla bitu B11

Bit B12

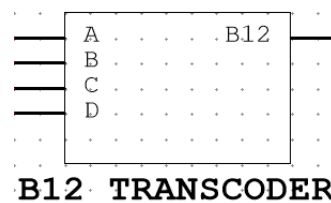
Tabela 8: Tabela Karnaugh dla bitu B12

| DC\BA | 00 | 01 | 11 | 10 |
|-------|----|----|----|----|
| 00 | 0 | 0 | 1 | 1 |
| 01 | 0 | 0 | 1 | 1 |
| 11 | 1 | 1 | 0 | 0 |
| 10 | 0 | 0 | 0 | 0 |

$$B12 = D'B + DCB'$$



(a) Schemat transkodera



(b) Podukład

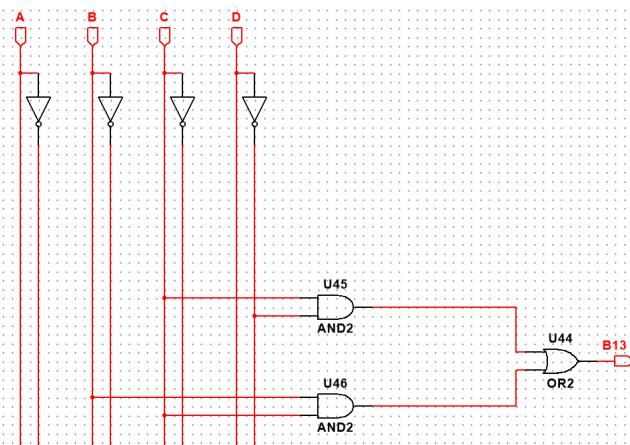
Rysunek 6: Transkoder dla bitu B12

Bit B13

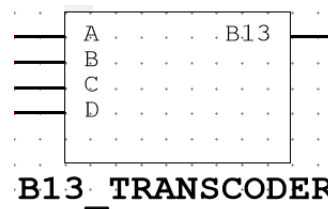
Tabela 9: Tabela Karnaugh dla bitu B13

| DC\BA | 00 | 01 | 11 | 10 |
|-------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 0 | 0 | 1 | 1 |
| 10 | 0 | 0 | 0 | 0 |

$$B13 = D'C + BC$$



(a) Schemat transkodera



(b) Podukład

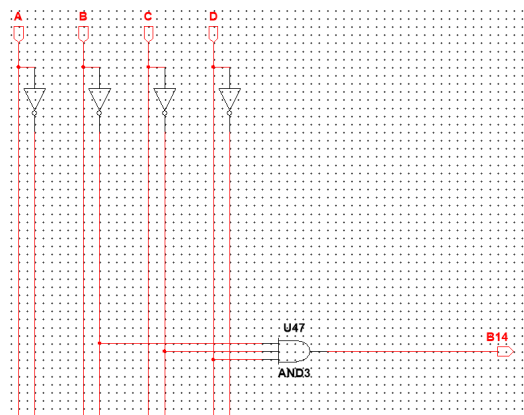
Rysunek 7: Transkoder dla bitu B13

Bit B14

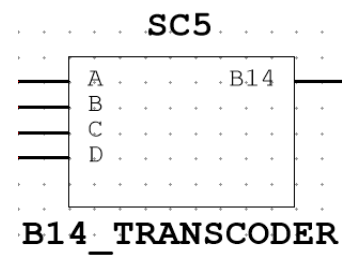
Tabela 10: Tabela Karnaugh dla bitu B14

| DC\BA | 00 | 01 | 11 | 10 |
|-------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 1 | 0 | 0 |

$$B14 = B'DC'$$



(a) Schemat transkodera



(b) Podukład

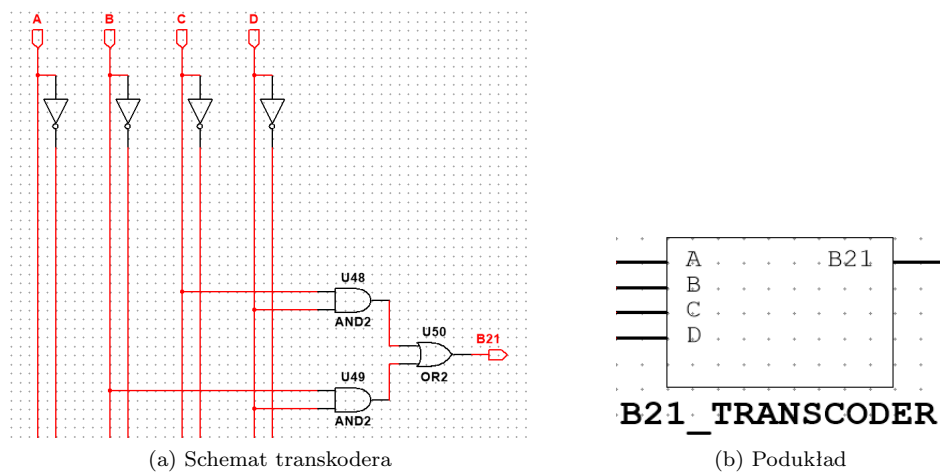
Rysunek 8: Transkoder dla bitu B14

Bit B21

Tabela 11: Tabela Karnaugh dla bitu B21

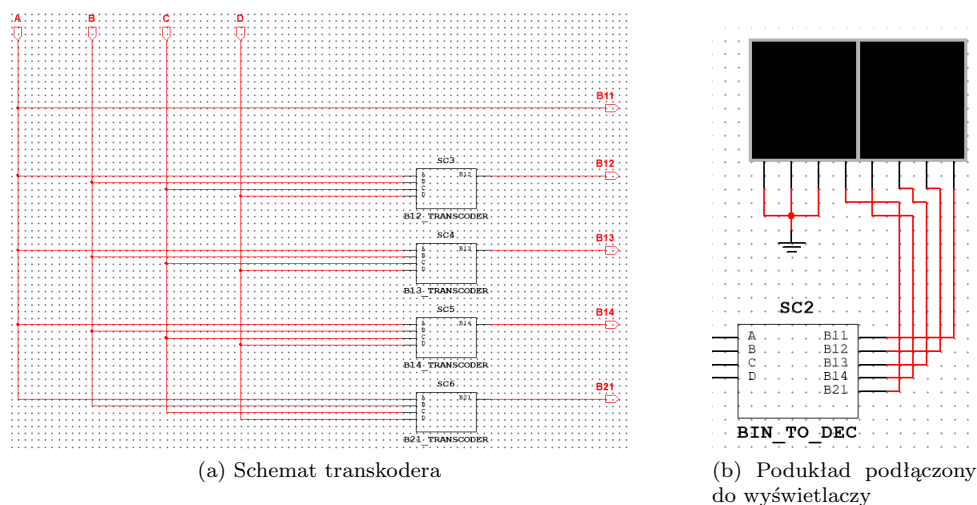
| DC\BA | 00 | 01 | 11 | 10 |
|-------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 0 | 0 | 1 | 1 |

$$B21 = DC + BD$$



Rysunek 9: Transkoder dla bitu B21

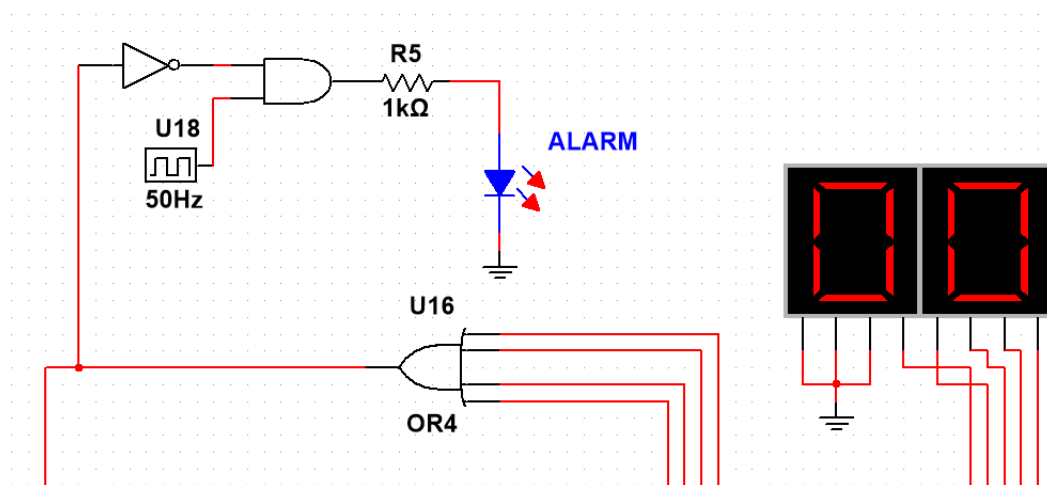
Pełny układ



Rysunek 10: Transkoder liczby binarnej na dziesiętną

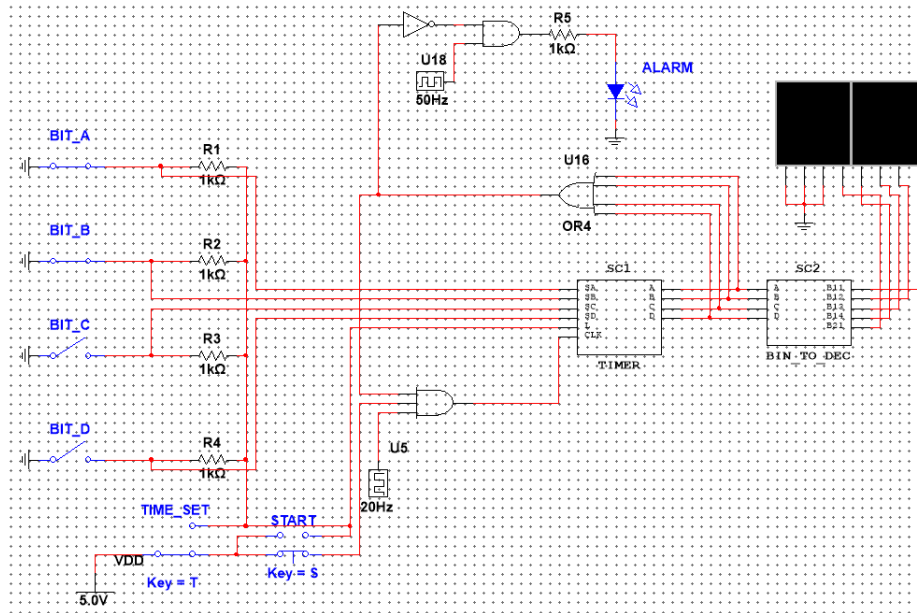
6 Alarm

Po upływie czasu który został ustawiony na przełącznikach uruchamia się alarm. Jest on reprezentowany przez czerwoną diodę LED.



Rysunek 11: Schemat alarmu

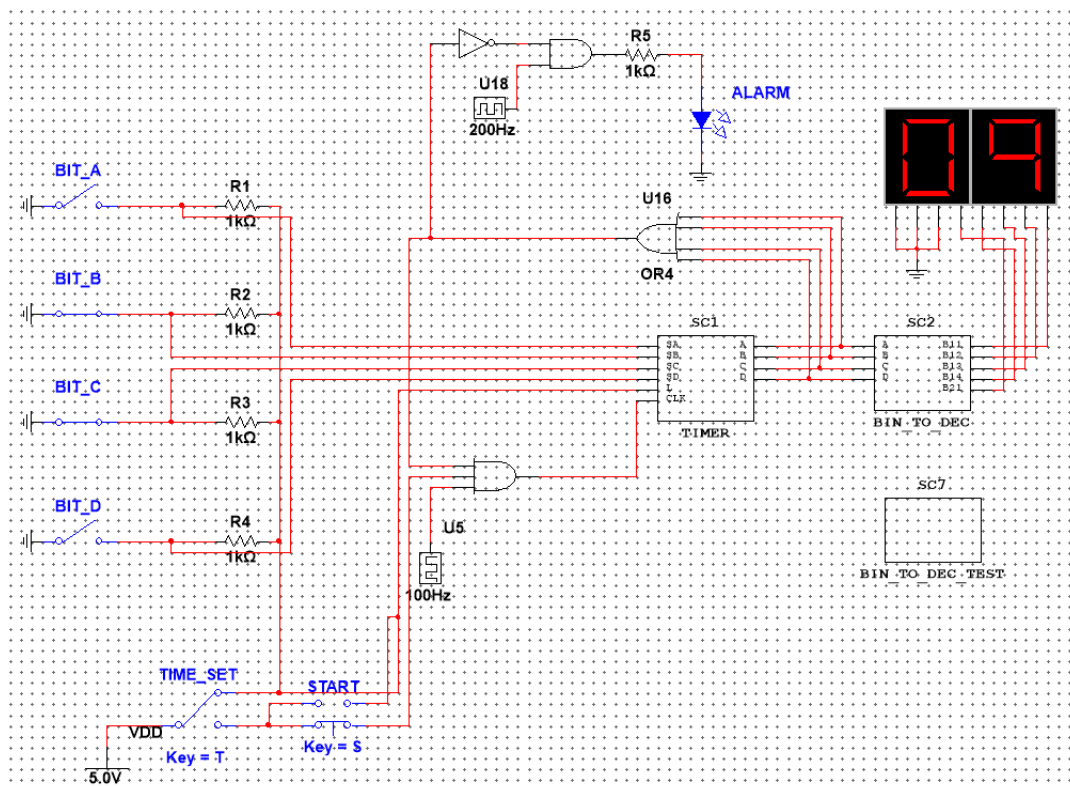
7 Pełny układ



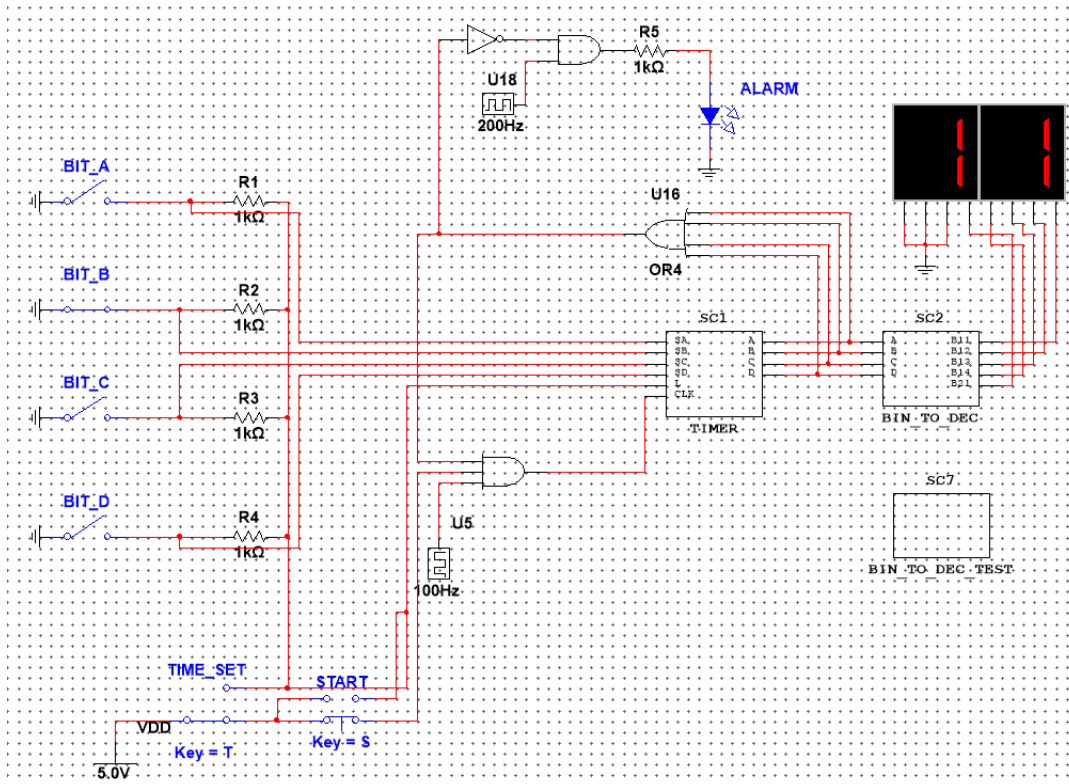
Rysunek 12: Schemat pełnego układu TIMER w Multisim

Powyższy rysunek przedstawia pełny układ zaprojektowany w Multisim. Warto dodać, że na wejście sygnału zegarowego pierwszego przerzutnika w liczniku jest przekazywana koniunkcja C (sygnału generowanego przez źródło sygnału zegarowego), L' (oznacza to, że układ nie jest w trybie ustawiania liczby tylko odliczania) oraz $A' + B' + C' + D'$.

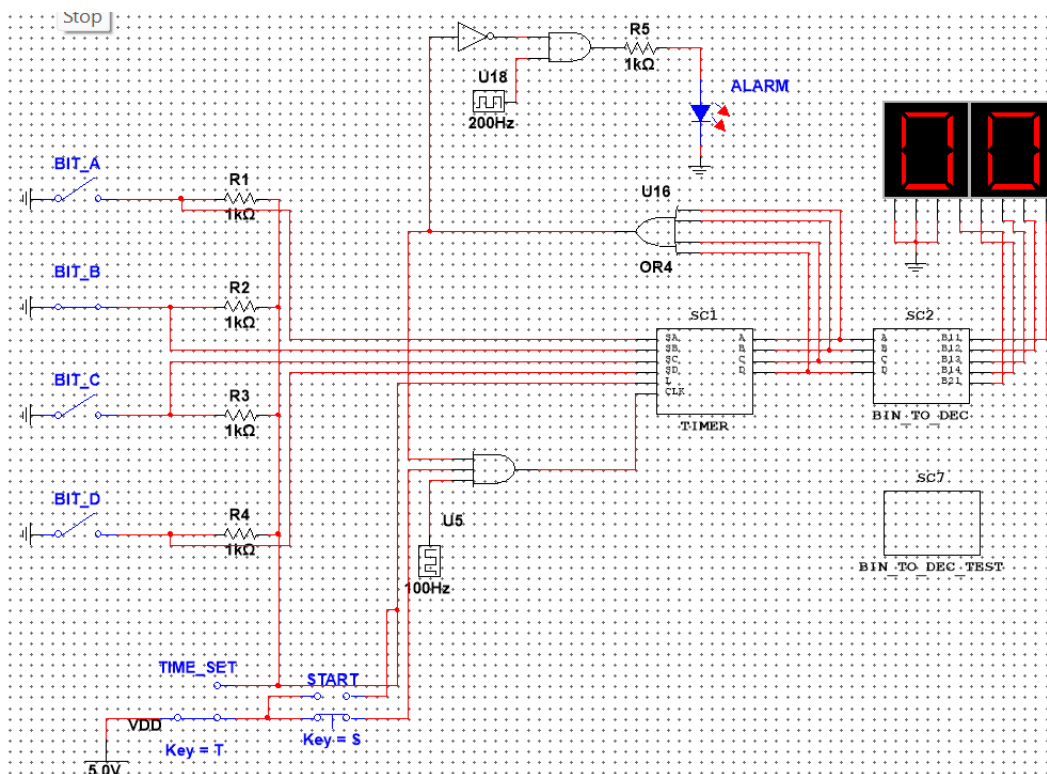
Wciśnięcie START będąc w trybie odliczania na czas trwania wciśnięcia ustawia $L = 1$ aby licznik ustawił wcześniej wybraną przez nas liczbę. Wtedy (zakładając, że nie ustawiliśmy 0) wartość L wraca do 0 oraz $A' + B' + C' + D' = 1$, więc odliczanie się wznowi.



Rysunek 13: Tryb ustawiania liczby (stałe widnieje 1001, czyli 9)



Rysunek 14: Tryb odliczania (ustawiona liczba to 1101, czyli 13)

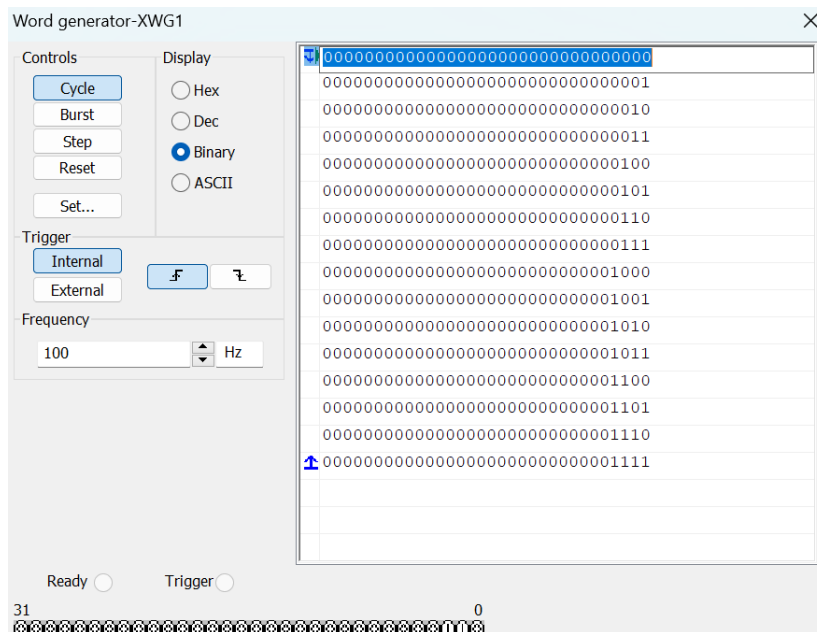


Rysunek 15: Doliczenie się do zera, miganie alarmu

8 Testowanie

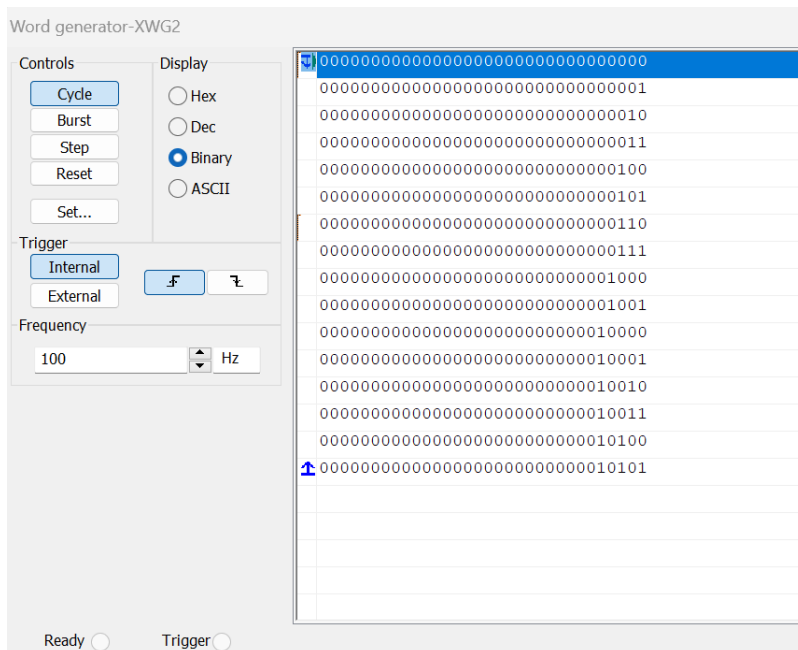
8.1 Testowanie transkodera liczb szesnastkowych na dziesiętne

Poniżej został przedstawiony generator liczb od 0 do 15 włącznie zapisane w systemie binarnym, które mają zostać prze-transkodowane na liczby w systemie dziesiętnym.

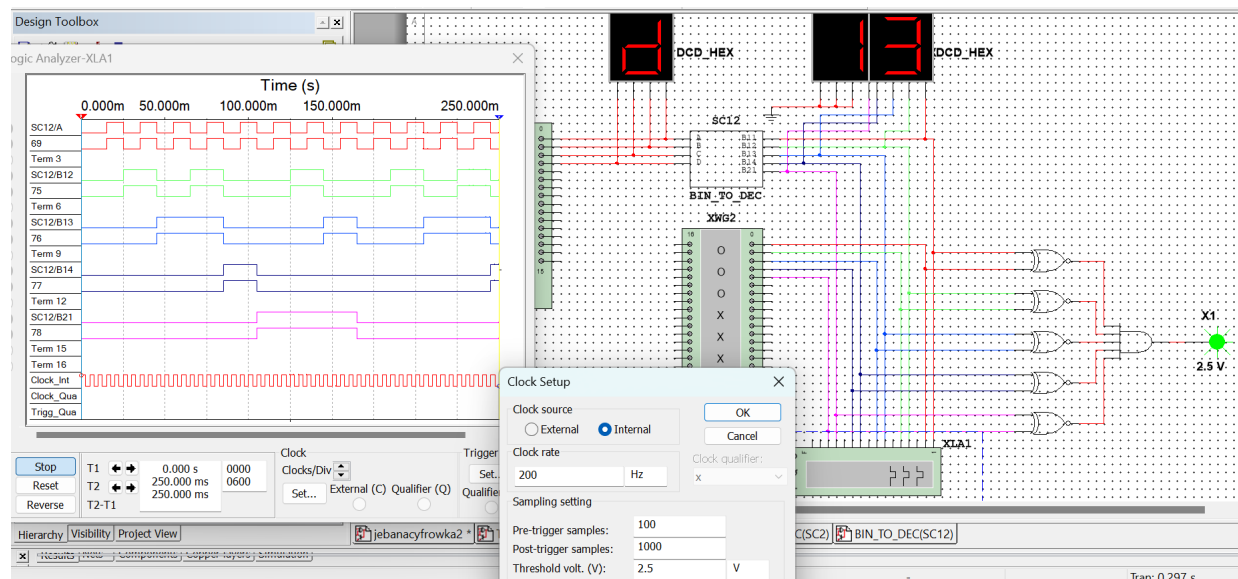


Rysunek 16: Generator liczb od 0 do 15 włącznie w systemie binarnym

W poniższym generatorze są ustawione oczekiwane wyniki transkodowania liczb.



Rysunek 17: Generator poprawnych kodów liczb w systemie dziesiętnym



Rysunek 18: Analizator stanów logicznych w układzie testującym

Z powyższego analizatora widać, że wszystkie sygnały o jednakowych kolorach (za wyjątkiem rzecz jasna wewnętrznego sygnału zegarowego analizatora na dole) mają takie same wykresy.

9 Wnioski

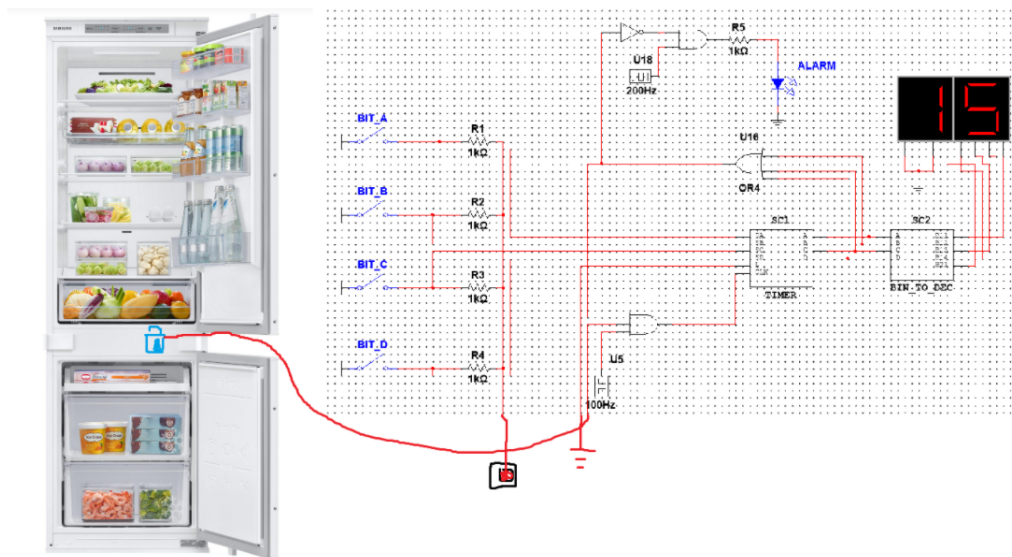
Zaprojektowany układ złożony z przerzutników typu D oraz wybranych bramek logicznych spełnia swoje zadanie odliczania od ustalonej wartości i informacji o zakończeniu działania. Możliwość ustawiania za pomocą przełączników liczby początkowej zwiększa jego zakres zastosowań.

Co można było zrobić lepiej?

- Użyć licznika synchronicznego,
- Dodać przełącznik umożliwiający zatrzymanie i wznowienie odliczania,
- Dodać 16 przełączników, gdzie każdy ustawia konkretną liczbę. Byłoby to bardziej efektywne niż ustawianie jej za pomocą reprezentacji dwójkowej

10 Zastosowania

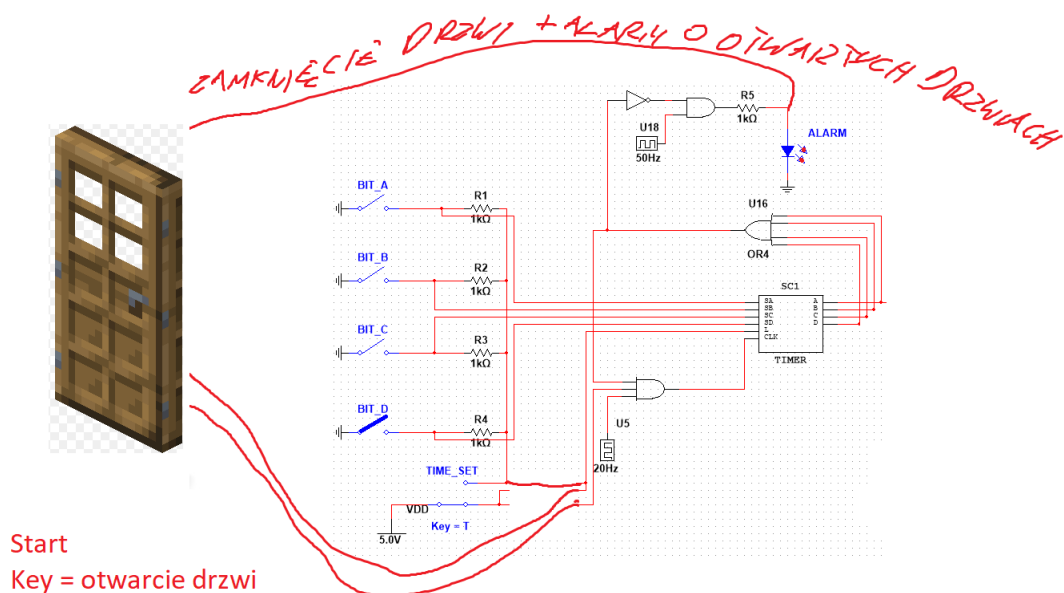
- System informujący o długim czasie otwarcia lodówki



Rysunek 19: Zastosowanie układu do informacji o długim otwarciu lodówki

Lodówka zawiera czujnik otwarcia drzwi. Działa ona jak przełącznik TIME_SET u nas, po otwarciu zaczyna się odliczanie.

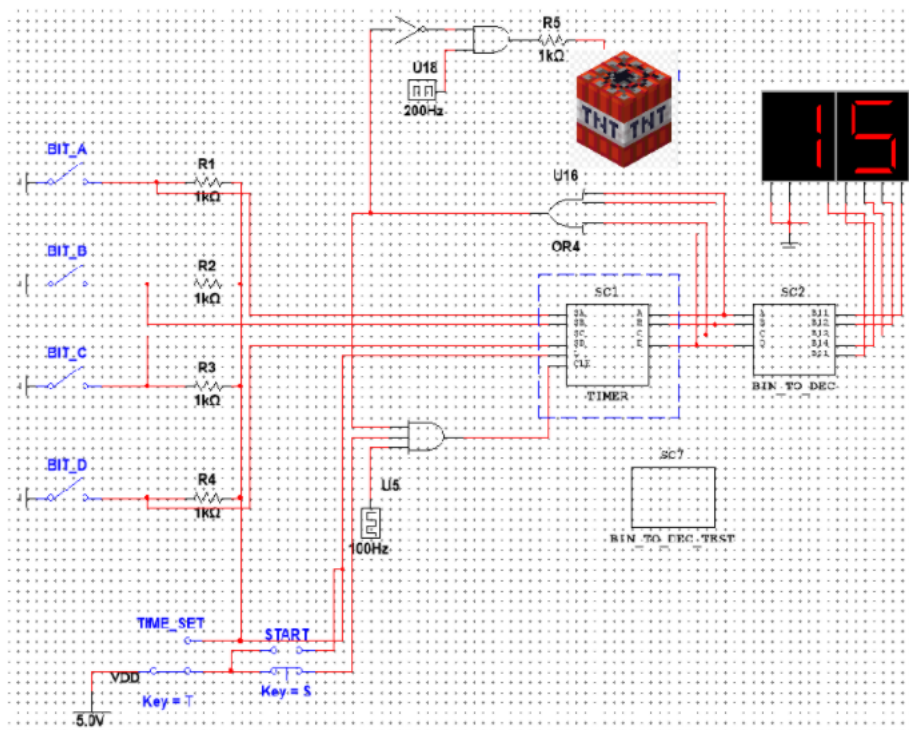
- System blokujący drzwi wejściowe do budynku po otwarciu ich przez mieszkańca za pomocą domofonu



Rysunek 20: System blokujący drzwi

W momencie otwarcia drzwi do bloku przez mieszkańca, są otwarte przez ustalony za pomocą przełączników czas.

- Odliczanie czasu do eksplozji bomby



Rysunek 21: Odliczanie do eksplozji bomby