

ILA (Integrated Logic Analyzer)使用教學

2020.1 版 Vivado 適用

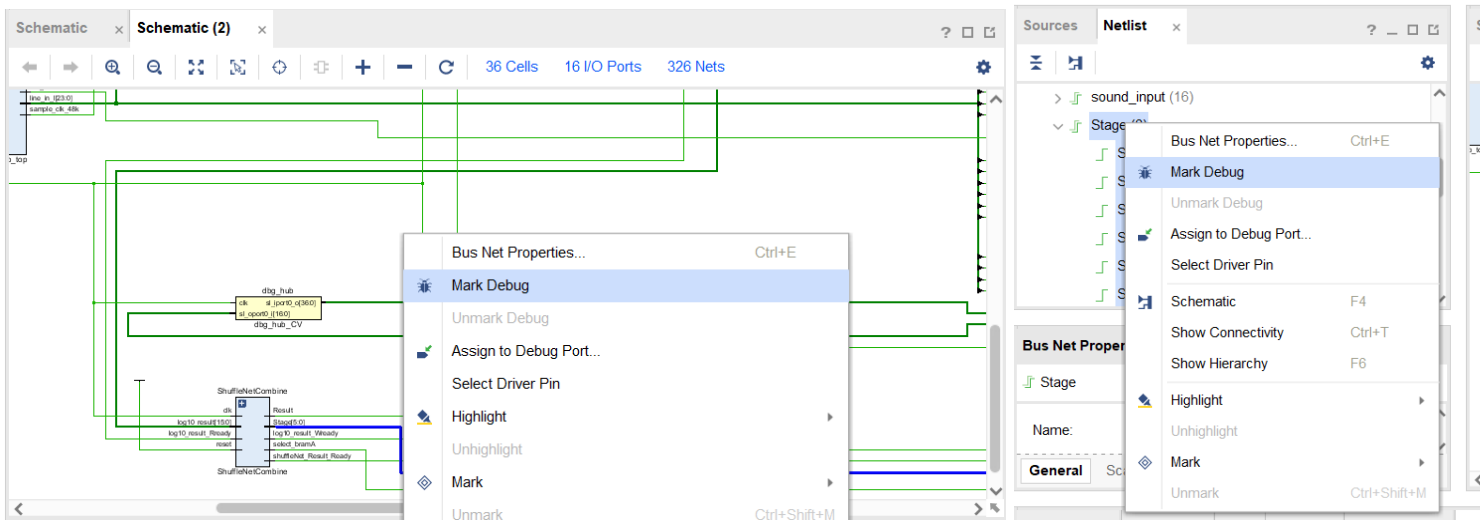
By 吳育丞 & 戴仕庭

一、ILA 介紹

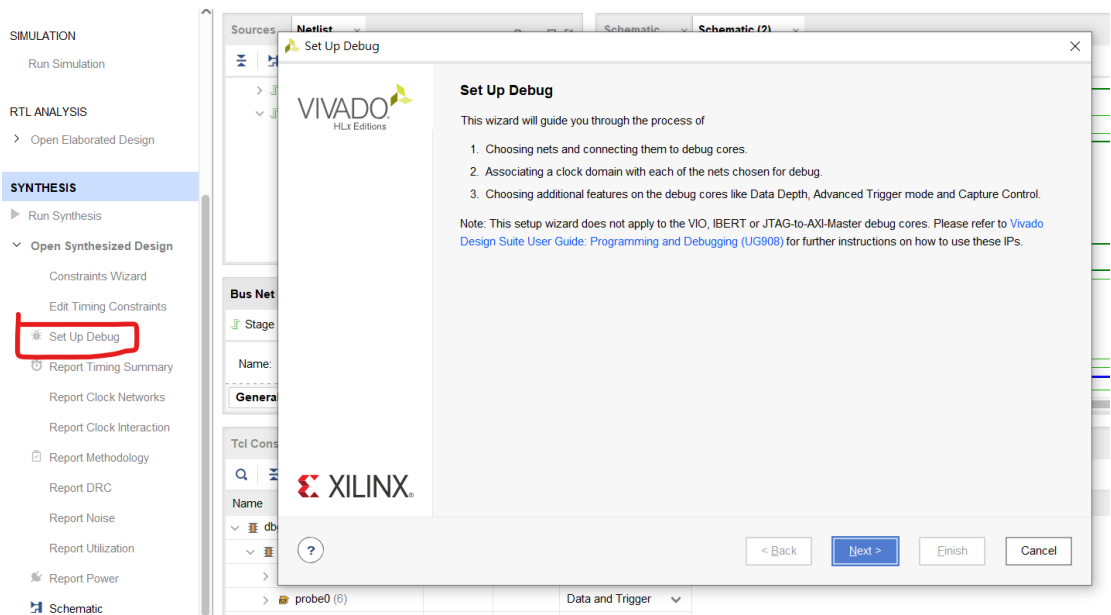
是 Vivado 提供的 IP，能夠讓開發者在 Synthesis 階段指定特定線路，並在 bitstream 燒入 FPGA 運作後檢測該訊號的數值變化。

二、使用步驟

1. 電路先進行 Synthesis 後，開啟 open synthesized design
2. 對著 schematic 裡面需要監測的信號線右鍵 mark debug(也可以在 Netlist)



3. 接著在左側點 set up debug，點擊 next。



4. 此處可以檢查訊號線的 clock domain 是否一致，不同 clock domain 會合成多個各自獨立的 ila。

注意: 最好要避免這種情況發生，因為 ila 會造成 high fanout 進而導致 time violation，單次使用 ILA 就檢查一個 clock domain 的訊號比較保險

Nets to Debug

The nets below will be debugged with ILA cores. To add nets click "Find Nets to Add". You can also select nets in the Netlist or other windows, then drag them to the list or click "Add Selected Nets".

Name	Clock Domain	Driver Cell	Probe Type
> Stage (6)	clk_wiz_0/inst/CLK_25	FDRE	Data and Trigger
> ShuffleNetCombine/Stage (6)	clk_wiz_0/inst/CLK_25	FDRE	Data and Trigger
ShuffleNetCombine/Result	clk_wiz_0/inst/CLK_25	LUT6	Data and Trigger
ShuffleNetCombine/shuffleNet_Result_Ready	clk_wiz_0/inst/CLK_25	LUT6	Data and Trigger

Find Nets to Add...

Nets to debug: 14

< Back Next > Finish Cancel

5. 此處可以調整訊號要捕捉的 CLK 數，此處 CLK 由前一頁的 Clock domain 決定。

注意: 除非有特殊需求，像是你要檢查長時間的訊號變化，否則最好不要設太長，因為會影響捕捉訊號效率，而且會導致 ILA 不穩定。

ILA Core Options

Choose features for the ILA debug cores.

Sample of data depth: 1024

Input pipe stages: 1024

Trigger and Storage: 4096

☐ Capture control: 8192

☐ Advanced trigger: 16384

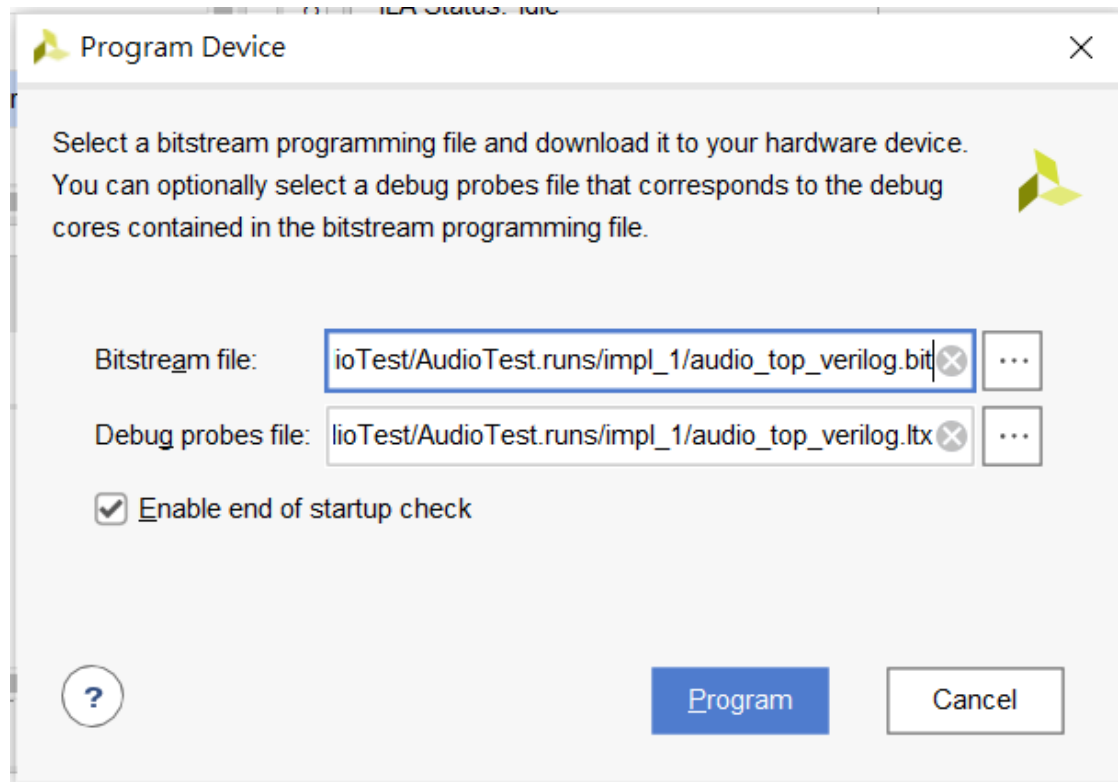
32768

65536

131072

< Back Next > Finish Cancel

6. 接著一直按 next，最後記得按 control+s 存檔，如果還是 synthesis out of date 的話會需要重跑 synthesis。
7. 接著就可以一路做到 generate bitstream，然後按 program device，這裡需要特別選擇下面 ltx 檔案(ILA 的相關資訊)，這個檔案會在 bitstream 檔同一資料夾下(xxx.runs/impl_1/xxx.ltx)



8. 正常來說，會直接跳出 ILA 畫面，如果沒有，可以考慮重新 program device
9. ILA 右下畫面是 TRIGGER 的設定，可以在此處設定在什麼情況下需要捕捉訊號，主要畫面跟看 waveform 差不多。
10. 接下來，當我們需要關掉 ILA 時，先進入 set up debug 去 remove 全部的 ILA。
11. 在下面把 ILA 信號全選並右鍵 remove，也要記得按 control+s 存檔
12. 接著就可以重新跑 implementation，強烈建議去 xdc 把 ILA 的 constraint 刪掉，免得之後又出問題。

注意: ILA 顯示波形有問題不一定表示你的電路有問題。有時候 ILA 抓不到訊號不代表沒有訊號，有時候只是抓的訊號太多，ILA 效率比較差、卡住了。有時候 ILA 顯示幾個 CLK 訊號是錯的不一定代表你的訊號是錯的，只要你確定電路沒有 timing violation，也有可能是 ILA 出錯(這很容易發生，尤其是要抓的訊號太多、時間太長)，使用 ILA 時要相信自己(但如果訊號全是錯的大概率是你電路寫錯)。

參考資料:

[Vivado 调试小结：ILA debug 中的数据也许并不可信 | FPGA 开发圈
\(eetrend.com\)](http://eetrend.com)