

MC 602

IC/Unicamp 2011s2 Prof Mario Côrtes

VHDL Libraries e Packages



Tópicos

- Construções de VHDL
 - Implementação de circuitos hierárquicos com Component
 - Ilustração com Mux4:1 e Mux16:1
 - Alternativas: com ou sem Package
 - Libraries
- Implementação no Quartus e sistema de arquivos

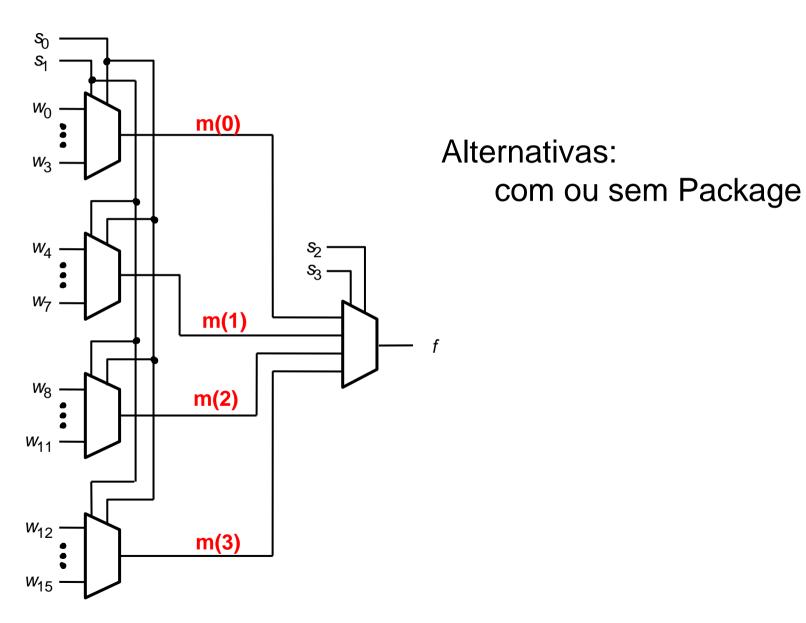


MUX 4:1 - VHDL

```
LIBRARY ieee ;
USE ieee.std logic 1164.all;
ENTITY mux4tol IS
   PORT (w0, w1, w2, w3: IN STD LOGIC;
         s: IN STD_LOGIC_VECTOR(1 DOWNTO 0);
         f: OUT STD LOGIC );
END mux4to1 :
ARCHITECTURE Behavior OF mux4to1 IS
BEGIN
   WITH s SELECT
      f <= w0 WHEN "00",
        w1 WHEN "01",
        w2 WHEN "10",
        w3 WHEN OTHERS :
END Behavior :
```



Mux 16:1 a partir de Mux 4:1





Sem Package – Library e Entity

```
LIBRARY ieee ;
USE ieee.std_logic_1164.all ;

ENTITY mux16to1 IS
    PORT (w : IN STD_LOGIC_VECTOR(0 TO 15);
        s : IN STD_LOGIC_VECTOR(3 DOWNTO 0);
        f : OUT STD_LOGIC );

END mux16to1 ;
```

Sem Package – Architecture

```
ARCHITECTURE Structure OF mux16to1 IS
   SIGNAL m : STD LOGIC VECTOR(0 TO 3);
   COMPONENT mux4tol
         PORT ( w0, w1, w2, w3: IN STD LOGIC ;
             s: IN STD LOGIC VECTOR(1 DOWNTO 0);
             f: OUT
                          STD LOGIC );
   END COMPONENT :
BEGIN
   Mux1: mux4to1 PORT MAP
         (w(0), w(1), w(2), w(3), s(1 DOWNTO 0), m(0));
   Mux2: mux4to1 PORT MAP
         (w(4), w(5), w(6), w(7), s(1 DOWNTO 0), m(1));
   Mux3: mux4to1 PORT MAP
         (w(8), w(9), w(10), w(11), s(1 DOWNTO 0), m(2));
   Mux4: mux4to1 PORT MAP
         (w(12), w(13), w(14), w(15), s(1 DOWNTO 0), m(3));
   Mux5: mux4to1 PORT MAP
         (m(0), m(1), m(2), m(3), s(3 DOWNTO 2), f);
END Structure :
 MC602 - 2011
```



Sem Package – arquivos de projeto

- Neste exemplo
- Todos os arquivos no mesmo diretório
 - Mux16to1.vhd
 - Mux4to1.vhd

MC602 - 2011



Com Package – Declaração

Neste exemplo:

- Um arquivo .vhd contem
- Um ou mais packages
- Cada package pode listar
- Um ou mais componentes



Com Package – Library e Entity

Usa o pacote definido

```
LIBRARY ieee ;
USE ieee.std_logic_1164.all ;
LIBRARY work ;
USE work.mux4to1_package.all ;

ENTITY mux16to1 IS
    PORT (w : IN STD_LOGIC_VECTOR(0 TO 15);
        s : IN STD_LOGIC_VECTOR(3 DOWNTO 0);
        f : OUT STD_LOGIC );
END mux16to1 ;
```



Com Package – Architecture

```
ARCHITECTURE Structure OF mux16to1 IS
   SIGNAL m : STD LOGIC VECTOR(0 TO 3);
BEGIN
  Mux1: mux4to1 PORT MAP
         (w(0), w(1), w(2), w(3), s(1 DOWNTO 0), m(0));
  Mux2: mux4to1 PORT MAP
         (w(4), w(5), w(6), w(7), s(1 DOWNTO 0), m(1));
  Mux3: mux4to1 PORT MAP
         (w(8), w(9), w(10), w(11), s(1 DOWNTO 0), m(2))
  Mux4: mux4to1 PORT MAP
         (w(12), w(13), w(14), w(15), s(1 DOWNTO 0), m(3)
);
  Mux5: mux4to1 PORT MAP
         (m(0), m(1), m(2), m(3), s(3 DOWNTO 2), f);
END Structure :
```

Implementação no Quartus — s/ package

Todos os arquivos no diretório de trabalho

MC602 - 2011

Implementação no Quartus – c/ package

- Criar arquivo <arquivo_packages_do_aluno>
 - Definição dos componentes
 - O nome da package pode ser diferente do nome do arquivo
 - Aqui: <packages_do_aluno>
- Criar diretório <biblioteca_do_aluno> com conteúdo:
 - Arquivos de definição de Package:<arquivo_packages_do_aluno>
 - Source files de componentes
- Informar o Quartus do uso da biblioteca
 - Assignment > Settings > Libraries
- Adicionar diretório da biblioteca

Nome do diretório da biblioteca

- No código VHDL
 - Incluir cláusulas no início
 - LIBRARY biblioteca_do_aluno
 - USE biblioteca_do_aluno. packages_do_aluno.all

Nome da package dentro do arquivo

- No projeto
 - Incluir o arquivo arquivo_packages_do_aluno.vhd no repositório do projeto
 - Assignment > Settings > Files
 - Adicionar arquivo