

Projeto prático usando o microprocessador MIPS no kit de desenvolvimento DE2-70.

Dayanne Fernandes da Cunha, 13/0107191¹ * Diego Vaz Fernandes, 16/0117925^{1†}
Lucas Junior Ribas, 16/0052289^{1‡} Lucas Mafra Chagas, 12/0126443^{1§}
Marcelo Giordano Martins Costa de Oliveira, 12/0037301^{1¶}

¹ Universidade de Brasília, Departamento de Ciência da Computação, Brasil



Figure 1: Projeto prático Street Figther 2.

ABSTRACT

The main goal of this project is to build the game Street Fighter 2 using microprocessor MIPS on development kit DE2-70, applying the content learning during the course.

Keywords: Street Fighter 2, Microprocessador MIPS, MIPS Pipeline, DE2-70, Cartão SD.

1 INTRODUÇÃO

Como forma de avaliação na matéria Organização e Arquitetura de Computadores, o Professor Dr. Marcus Vinicius Lamar propôs aos seus alunos o desenvolvimento do jogo mundialmente conhecido Street Fighter 2. Street Fighter 2 é um jogo de luta 2D criado em 1991 pela empresa japonesa Capcom.

Para o desenvolvimento do projeto, os alunos precisariam cumprir alguns critérios para conseguir a nota máxima. Eles foram divididos em duas categorias, Requerimentos de Hardware e Requerimentos de Software. Para os Requerimentos de Hardware, os estudantes precisavam usar o processador MIPS Pipeline, apresentar o uso adequado do teclado, apresentar efeitos sonoros e música, além de usar o cartão SD para o armazenamento de dados.

Quanto aos Requerimentos de Software, o grupo precisava implementar um jogo plenamente funcional, com menu, apresentação e todos os outros detalhes que o jogo possui. A equipe precisava apresentar dois modos de jogo: Arcade, onde o jogador joga contra o computador escolhendo o seu nível e evoluindo de fase, e Versus, onde há a presença de dois jogadores, ambos com três rounds. Além

disso, era preciso mostrar os doze personagens presentes dentro do jogo, com suas respectivas arenas e golpes especiais.

2 FUNDAMENTAÇÃO TEÓRICA E TÉCNICA

Para cumprir os Requerimentos de Hardware, as equipes precisavam ter o conhecimento sobre MIPS Pipeline, funcionamento da interface do teclado ps2, interface VGA e interface de áudio CODEC.

Como explicitado no livro Organização e Projeto de Computadores, dos autores David A. Patterson e John LeRoy Hennessy, Pipelining é uma técnica de implementação em que várias instruções são sobrepostas na execução, sendo fundamental para tornar os processadores mais rápidos atualmente.

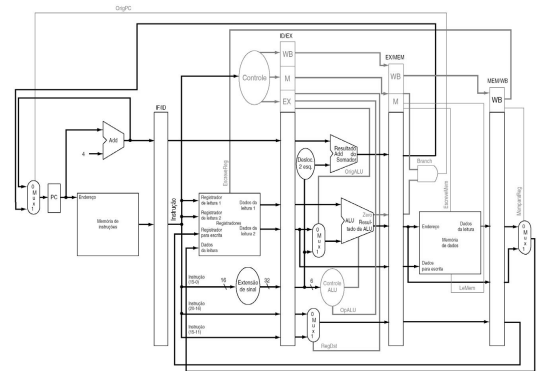


Figure 2: Caminho de Dados Pipeline

Com esse conhecimento em mente, onde várias instruções são sobrepostas na execução, é necessário tratar os riscos presentes de modo com que não perca sua eficiência. Para isso, é importante entender os Hazards, responsáveis por prevenir com que a próxima instrução da fila seja executado em determinado ciclo de clock. Existem três tipos de Hazards, os Hazards Estruturais, os Hazards de

*e-mail: dayannefernandesc@gmail.com

†e-mail: diego.vazfernandes@hotmail.com

‡e-mail: ribas858@gmail.com@gmail.com

§e-mail: chagas.lucas.mafra@gmail.com

¶e-mail: marcelo.giordano@gmail.com

Dados e os Hazards de Controle.

Os Hazards Estruturais acontecem quando o hardware não admite a combinação de instruções em um mesmo ciclo de clock ou a unidade funcional está ocupada no momento. Os Hazards de Dados acontecem quando o pipeline precisa ser interrompido porque uma etapa ainda precisa esperar até que a outra seja concluída. Já o Hazard de Controle tem a necessidade de tomar uma decisão com base nos resultados de uma instrução enquanto outras estão sendo executadas.

Para solucionar esses Hazards o desenvolvedor pode inserir bolhas entre as instruções, executar as instruções fora de ordem ou dando forwarding.

Ao passar as instruções para a placa DE2-70, é necessário entender o seu funcionamento, sabendo suas entradas, os interruptores e botões.

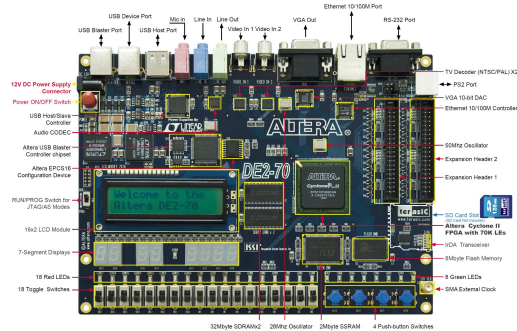


Figure 3: Mapa de utilização da DE2-70

As interfaces utilizadas para o desenvolvimento do projeto são: VGA, Teclado PS2, Sintetizador de áudio polifônico e Cartão SD. Foi disponibilizado um arquivo contendo uma explicação sobre cada interface, mostrando seu funcionamento e exemplos de uso.

A interface do VGA carrega o arquivo .mif em sua memória inicializar o processador, sendo as dimensões necessárias 320x240 pixels.

A interface do cartão SD funciona por MMIO, onde seis bytes de memória são endereçados para o controlador do cartão SD, sendo eles:

- **SDINTERFACEADDR:** Recebe o endereço físico de memória do byte a ser lido do cartão SD. O endereço pode ser obtido lendo o cartão SD em um editor de memória em um computador.
- **SDINTERFACECTRL:** Fornece ao software informações do estado do controlador. Caso o valor lido seja 0x00, o controlador se encontra em estado READY, significando que o byte da última leitura está pronto para ser obtido e que uma nova leitura já pode ser realizada. Caso o valor lido seja diferente de 0x00, o controlador estará em estado BUSY, significando que o último byte pedido ainda não está pronto ou o cartão ainda não inicializou. O valor de SDINTERFACECTRL em estado BUSY mostra qual o último comando enviado ao cartão SD e serve para depuração.
- **SDINTERFACEDATA:** Fornece o byte lido do cartão.

O cartão SD possui o limite de no máximo 2GB de armazenamento, a implementação utiliza o modo SPI de comunicação e a frequência SCLK de inicialização é de 400 KHz e de 25 MHz para operações de leitura.

Nos endereços TecladoBuffer0 e TecladoBuffer1 está o buffer da interface do teclado PS2. O byte menos significativo de Buffer0

contém o código mais recente enviado, assim é possível mapear o teclado e qual tecla foi clicada.

A interface do áudio utiliza uma memória de dados de duas portas UserData e BlockDouble. Uma porta de escrita e leitura para o uso da CPU e uma porta somente de leitura para o sintetizador. É utilizada na configuração do syscall 31 e syscall 33

Para cumprir os Requerimentos de Software, os grupos precisavam, através da escolha do microprocessador, desenvolver em MIPS Assembly todas as rotinas necessárias para o funcionamento do jogo.

Um processador MIPS consiste em uma unidade central processadora de inteiros e um conjunto de coprocessadores para tarefas auxiliares. O Coprocessador 0 gerencia traps, interrupções, exceções, memória cache e memória virtual. O Coprocessador 1 é a unidade processadora de números em ponto flutuante e os outros Coprocessadores são processadores de aplicações específicas.

MIPS: registers

Name	Number	Purpose
\$zero	\$0	Const = 0
\$at	\$1	Temporary
\$v0-\$v1	\$2-\$3	Return values
\$a0-\$a3	\$4-\$7	Function args
\$t0-\$t7	\$8-\$15	Temporary
\$s0-\$s7	\$16-\$23	Saved values
\$t8-\$t9	\$24-\$25	Temporary
\$k0-\$k1	\$26-\$27	Reserved for OS kernel
\$gp	\$28	Global pointer
\$sp	\$29	Stack pointer
\$fp	\$30	Frame pointer
\$ra	\$31	Return address

Figure 4: Registradores MIPS Assembly

Todos os registradores são fisicamente iguais, com exceção do \$zero e \$ra. Portanto, a convenção é o uso sugerido para padronização

Já os princípios utilizados no projeto da ISA MIPS:

- Simplicidade favorece regularidade.
- Menor significa mais rápido.
- Bons projetos exigem bons compromissos.

MIPS assembly language				
Category	Instruction	Example	Meaning	Comments
Arithmetic	add	add \$s1,\$s2,\$s3	\$s1 = \$s2 + \$s3	Three register operands
	subtract	sub \$s1,\$s2,\$s3	\$s1 = \$s2 - \$s3	Three register operands
	add immediate	addi \$s1,\$s2,20	\$s1 = \$s2 + 20	Used to add constants
	load word	lw \$s1,20(\$s2)	\$s1 = Memory(\$s2 + 20)	Word from memory to register
Data transfer	store word	sw \$s1,20(\$s2)	Memory(\$s2 + 20) = \$s1	Word from register to memory
	load half	lh \$s1,20(\$s2)	\$s1 = Memory(\$s2 + 20)	Halfword memory to register
	load half unsigned	lhu \$s1,20(\$s2)	\$s1 = Memory(\$s2 + 20)	Halfword memory to register
	store half	sh \$s1,20(\$s2)	Memory(\$s2 + 20) = \$s1	Halfword register to memory
	load byte	lb \$s1,20(\$s2)	\$s1 = Memory(\$s2 + 20)	Byte from memory to register
	load byte unsigned	lbu \$s1,20(\$s2)	\$s1 = Memory(\$s2 + 20)	Byte from memory to register
	store byte	sb \$s1,20(\$s2)	Memory(\$s2 + 20) = \$s1	Byte from register to memory
	load linked word	ll \$s1,20(\$s2)	\$s1 = Memory(\$s2 + 20)	Load word as 1st half of atomic swap
Logical	store condition, word	sc \$s1,20(\$s2)	Memory(\$s2 + 20) = \$s1; \$s1 = 0 or 1	Store word as 2nd half of atomic swap
	load upper immediate	lui \$s1,20	\$s1 = 20 * 2 ¹⁶	Loads constant in upper 16 bits
	and	and \$s1,\$s2,\$s3	\$s1 = \$s2 & \$s3	Three reg. operands; bit-by-bit AND
	or	or \$s1,\$s2,\$s3	\$s1 = \$s2 \$s3	Three reg. operands; bit-by-bit OR
	nor	nor \$s1,\$s2,\$s3	\$s1 = ~(\$s2 \$s3)	Three reg. operands; bit-by-bit NOR
	and immediate	andi \$s1,\$s2,20	\$s1 = \$s2 & 20	Bit-by-bit AND reg with constant
	or immediate	ori \$s1,\$s2,20	\$s1 = \$s2 20	Bit-by-bit OR reg with constant
	shift left logical	sll \$s1,\$s2,10	\$s1 = \$s2 << 10	Shift left by constant
Conditional branch	shift right logical	srl \$s1,\$s2,10	\$s1 = \$s2 >> 10	Shift right by constant
	branch on equal	beq \$s1,\$s2,25	if (\$s1 == \$s2) go to PC + 4 + 100	Equal test; PC-relative branch
	branch on not equal	bne \$s1,\$s2,25	if (\$s1 != \$s2) go to PC + 4 + 100	Not equal test; PC-relative
	set on less than	slt \$s1,\$s2,\$s3	if (\$s2 < \$s3) \$s1 = 1; else \$s1 = 0	Compare less than; for beq, bne
	set on less than unsigned	sltu \$s1,\$s2,\$s3	if (\$s2 < \$s3) \$s1 = 1; else \$s1 = 0	Compare less than unsigned
	set less than immediate	slti \$s1,\$s2,20	if (\$s2 < 20) \$s1 = 1; else \$s1 = 0	Compare less than constant
	set less than immediate unsigned	sltiu \$s1,\$s2,20	if (\$s2 < 20) \$s1 = 1; else \$s1 = 0	Compare less than constant unsigned
	jump	j 2500	go to 10000	Jump to target address
Unconditional jump	jump register	jr \$ra	go to \$ra	For switch, procedure return
	jump and link	jal 2500	\$ra = PC + 4; go to 10000	For procedure call

Figure 5: Linguagem MIPS Assembly

As instruções pertencem a três tipos de formatos: Tipo-R, Tipo-I e Tipo-J. As instruções do Tipo-R são referentes a registradores do tipo de instrução. As instruções do Tipo-I são do tipo imediato e as do Tipo-J são referente a instruções de pulo.



Figure 9: Cenário com personagens.

5 CONCLUSÃO

O jogo foi desenvolvido integralmente na placa DE2-70, entretanto, não apresenta todas as funcionalidades pedidas nos Requisitos de Software, como um jogo plenamente funcional. Após a execução do projeto prático, foi possível observar o conteúdo apresentado durante o semestre. Foram observados os fundamentos teóricos e técnicos adquiridos durante os laboratórios e aulas em geral.

6 TRABALHOS FUTUROS

Para trabalhos futuros, é possível observar os seguintes adendos que agregam o trabalho.

- Utilização da FPULA para uma melhor precisão na movimentação.
- Adicionar outros modos de jogo.
- Otimização do carregamento das sprites.
- Adição de mais efeitos sonoros.
- Inteligência artificial para os personagens no modo Arcade.

7 REFERÊNCIA BIBLIOGRÁFICA

- PATTERSON, David A.; HENNESSY, John. Computer Organization and Design. 5. ed. [S.l.]: David A. Patterson And John LeRoy Hennesy, 2014. 856 p.
- PRABHU, Gurple M. . Pipeline Hazards. Disponível em: <http://web.cs.iastate.edu/prabhu/Tutorial/PIPELINE/hazards.html>. Acesso em: 06 dez. 2017.
- LAMAR, Marcus Vinicius . MAPA DE UTILIZAÇÃO DA DE2-70. Departamento de Ciência da Computação: [s.n.], 2017. 15 p.