

# **Laboratório 3**

## **- CPU MIPS Uniciclo -**

### **GRUPO 6**

**Dayanne Fernandes da Cunha, 13/0107191**

**Lucas Mafra Chagas, 12/0126443**

**Marcelo Giordano Martins Costa de Oliveira, 12/0037301**

**Lucas Junior Ribas, 16/0052289**

**Caio Nunes de Alencar Osório, 16/0115132**

**Diego Vaz Fernandes, 16/0117925**

<sup>1</sup>Dep. Ciência da Computação – Universidade de Brasília (UnB)  
CiC 116394 - OAC - Turma A

## **Objetivos**

- Treinar o aluno com a linguagem de descrição de *hardware Verilog*;
- Familiarizar o aluno com a plataforma de desenvolvimento *FPGA DE2* da *Altera* e o software *QUARTUS II*;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma Linguagem de Descrição de *Hardware*;
- Apresentar ao aluno a implementação de uma *CPU MIPS*.

## **Ferramentas**

Todos os códigos escritos neste laboratório podem ser encontrados no repositório <https://github.com/Dayof/OAC172> do *GitHub*.

- FPGA DE2 da Altera
- QUARTUS-II
- Verilog HDL

## **Exercícios - PARTE A**

### **Exercício 4. Diagrama de fluxo para tratamento de exceção**

O tratamento de exceção obtém a causa através de um registrador especial denominado ”CAUSE” ”\$13”, o endereço de retorno é armazenado em outro registrador, o EPC ”\$14” (exception programmer counter). Esses registradores especiais não fazem parte do conjunto de registradores de uso geral do MIPS, eles ficam em um local especial , chamado de coprocessor 0. As instruções usadas para acessar esses registradores são o mfc0 e o mtc0.

Abaixo você encontrara o diagrama completo da rotina de tratamento de exceção do MIPS, que foi baseada no systemv54.s . Os números conectam o diagrama, fechando o ciclo no número ”12”.

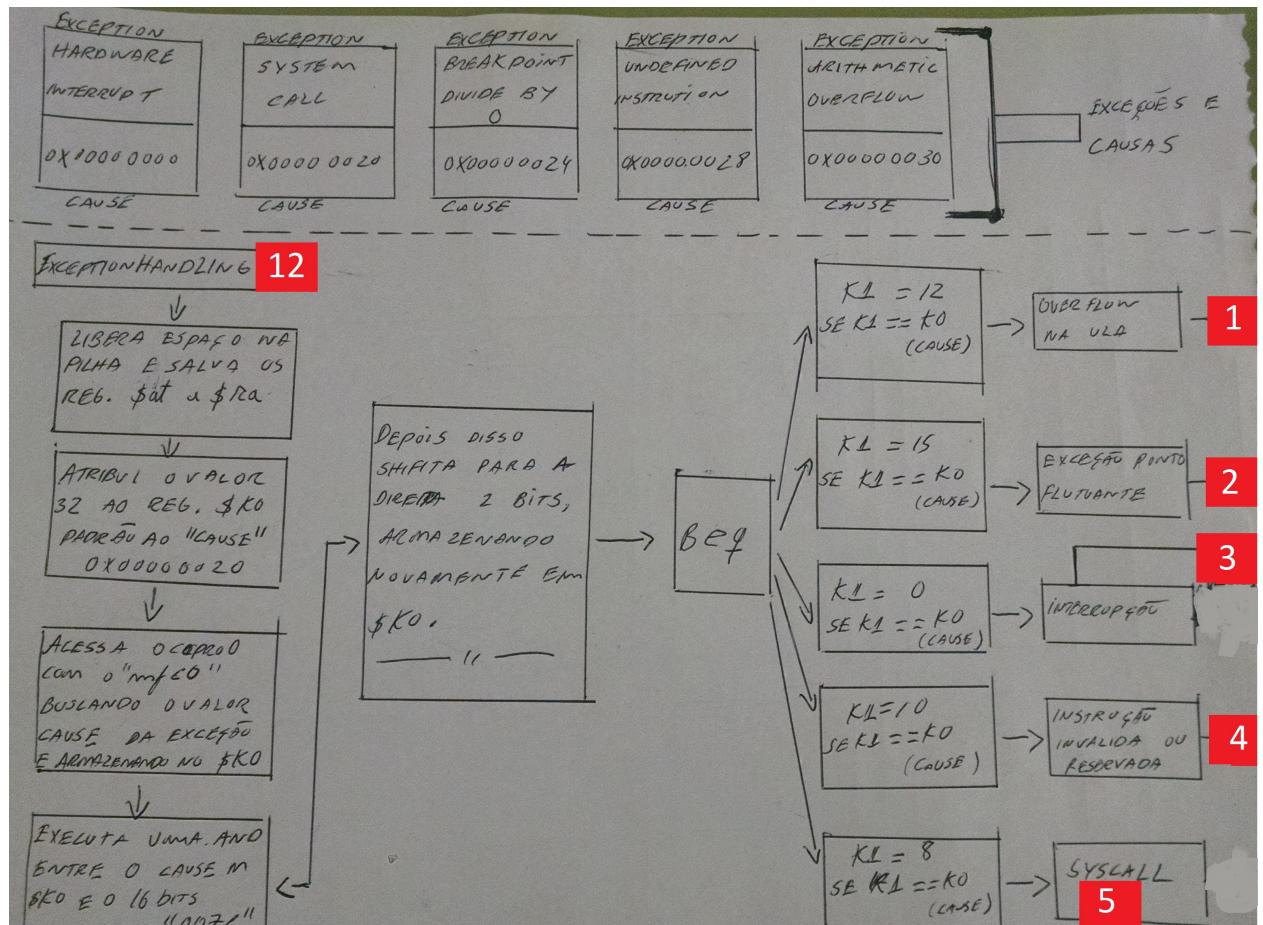


Figure 1. Parte 1.

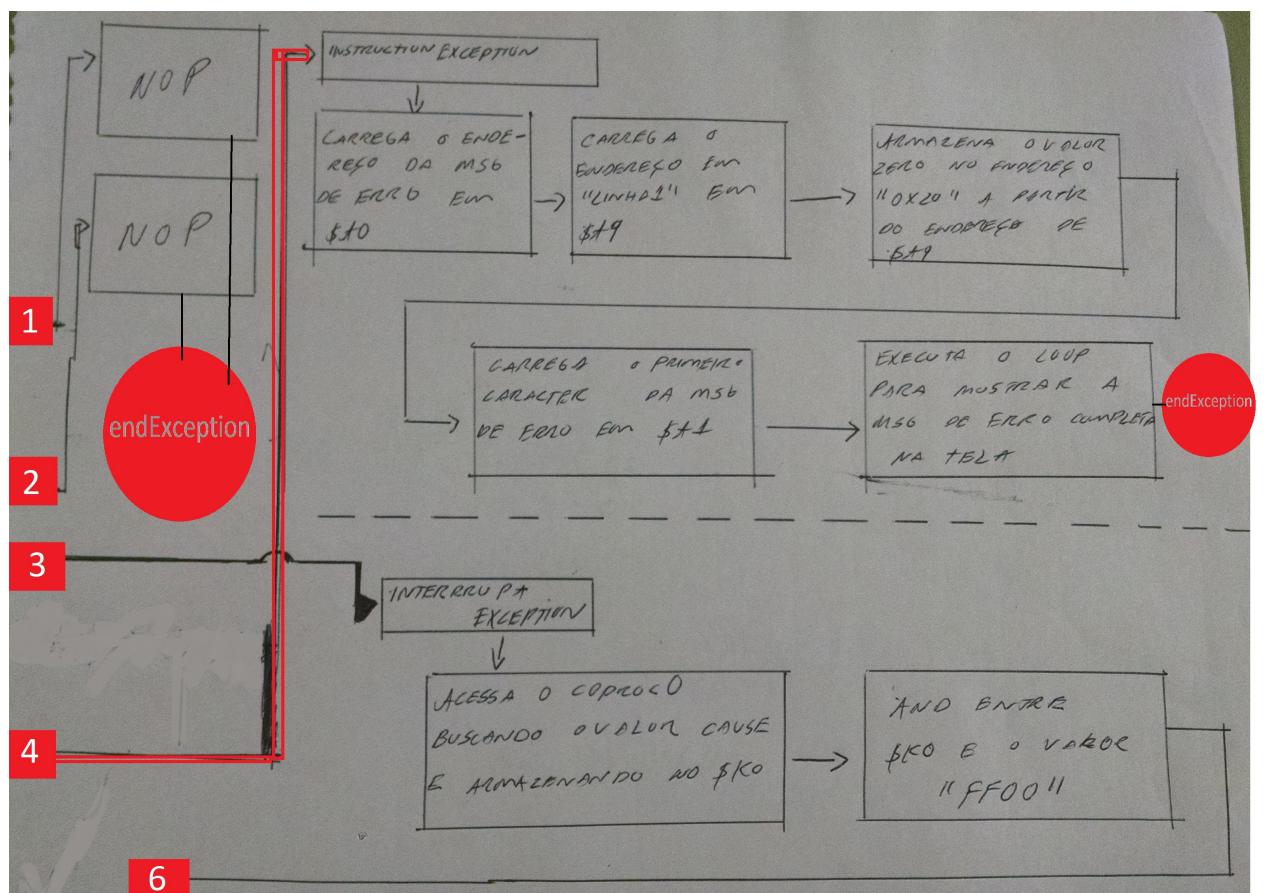


Figure 2. Parte 2.

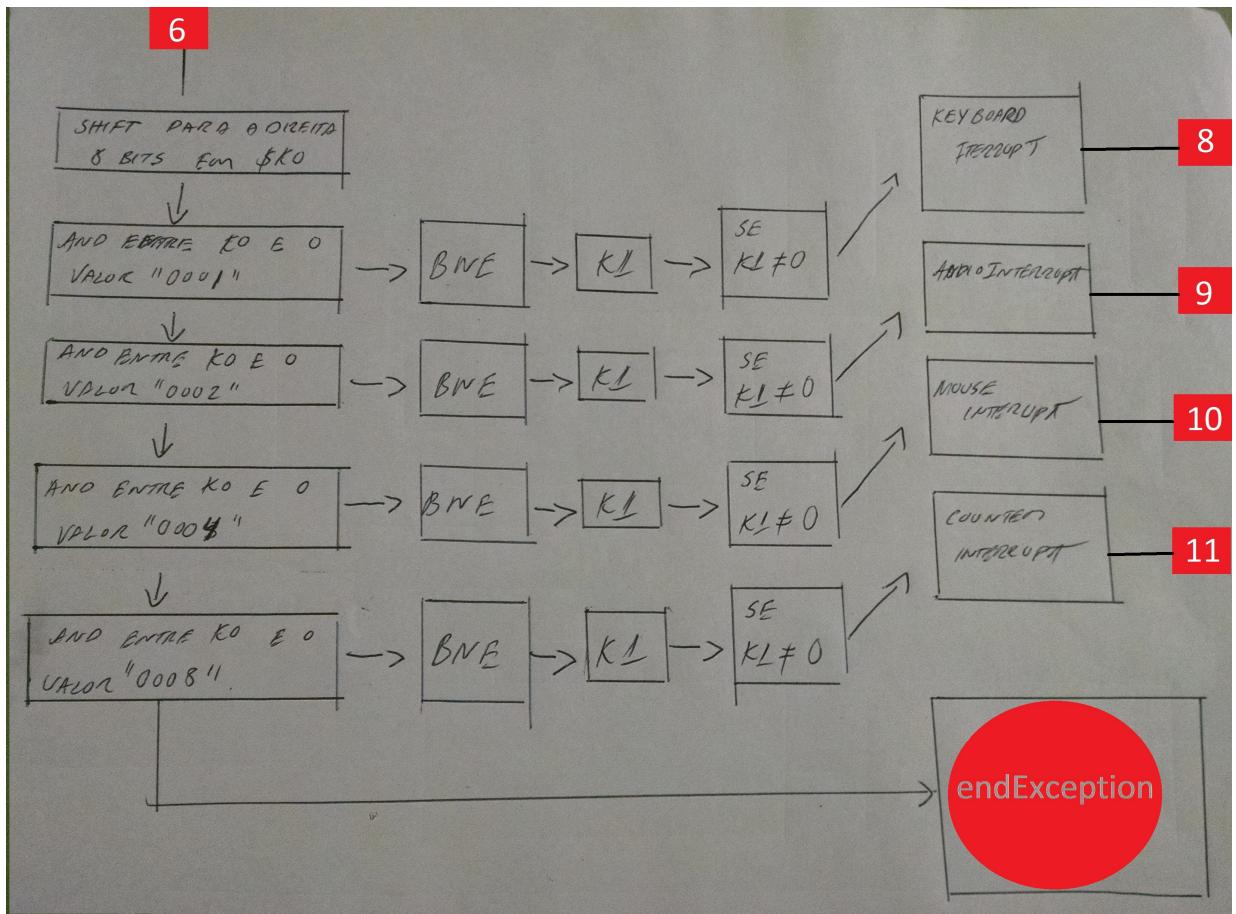
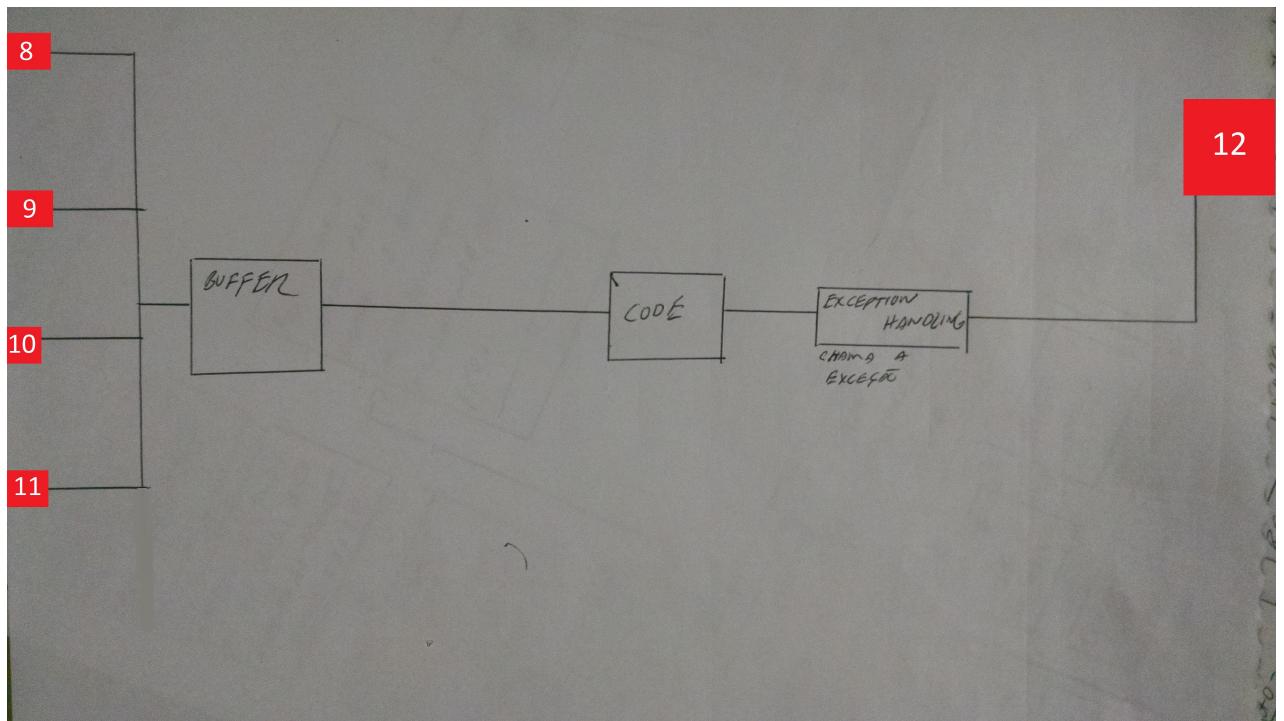
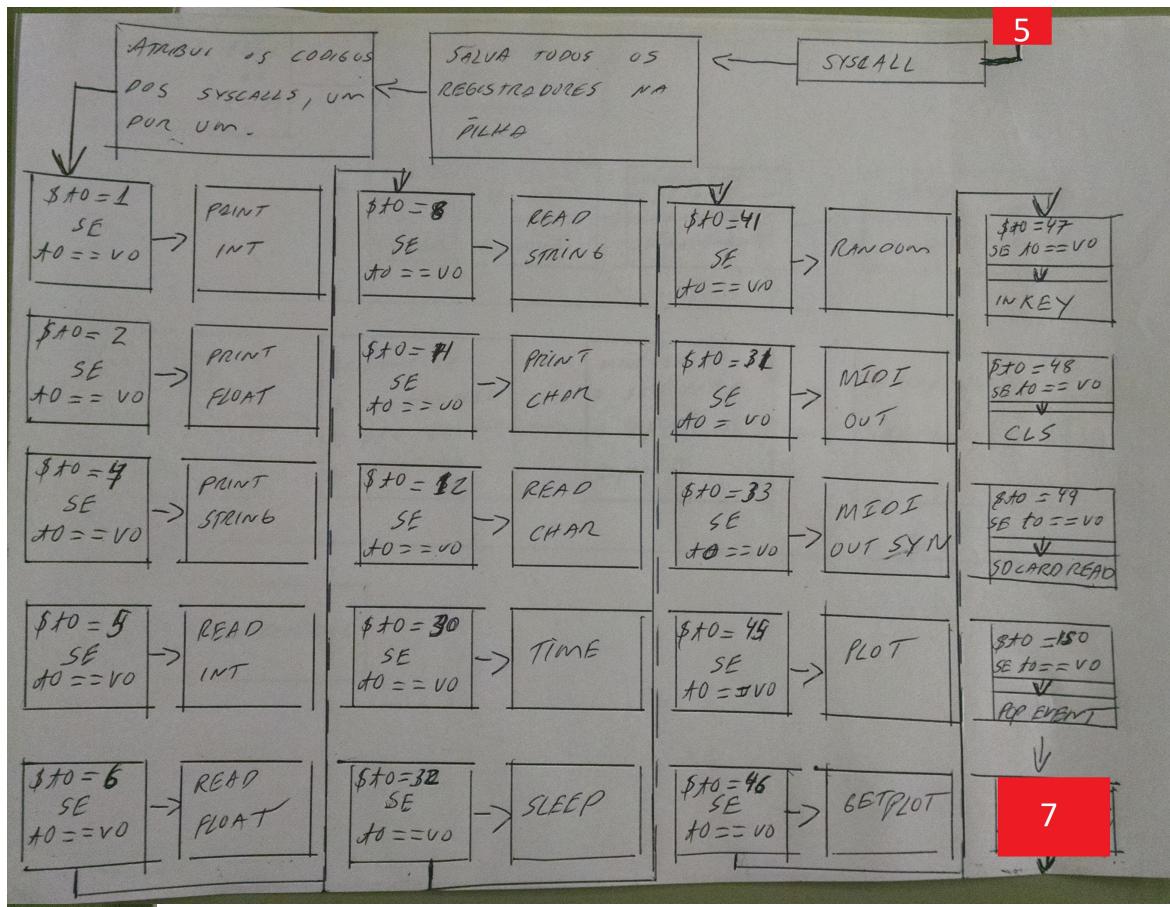


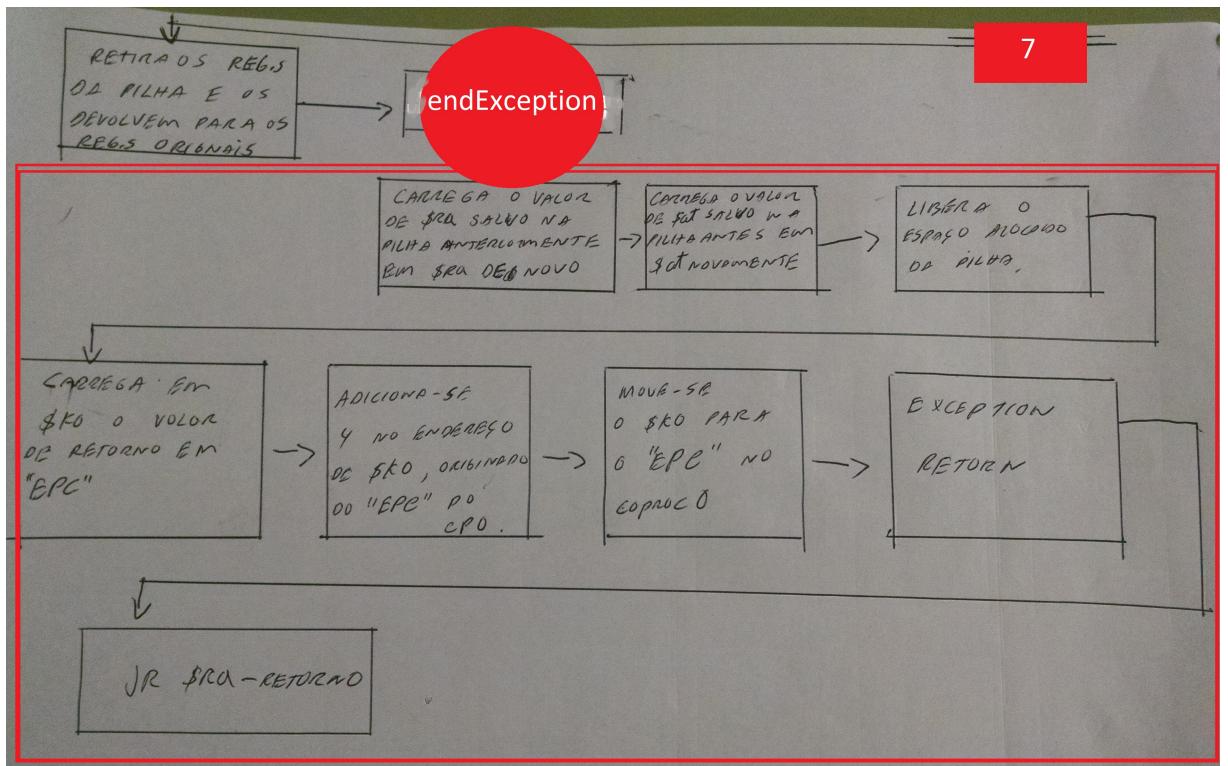
Figure 3. Parte 3.



**Figure 4. Parte 4.**



**Figure 5. Parte 5.**



**Figure 6. Parte 6.**

### Exercício 5. Software de lançamento de bola de canhão na FPGA

Abaixo, segue o vídeo demonstrativo da simulação do lançamento de bola de canhão executado na FPGA desenvolvido no laboratório 1:

Vídeo Demonstrativo

### Exercícios - PARTE B

#### Exercício 7. Processador MIPS PUMv.5.1 UNICICLO

	oRegDst	oOrigALU	oMemforReg	oWriteReg	oReadMem	oWriteMem
ADD/SUB	01	00	000	1	0	0
ADDU/SUBU	01	00	000	1	0	0
SW/SH/SB	00	01	000	0	0	1
LBU/LHU	00	01	110	1	1	0
LB/LH	00	01	110	1	1	0
LW	00	01	110	1	1	0
BEQ	00	00	000	0	0	0
BNE	00	00	000	0	0	0
JR	00	00	000	0	0	0
SYS	00	00	000	0	0	0
SLL/SRL/SRA	01	00	000	1	0	0
MFHI/MFLO	01	00	000	1	0	0
MTHI/MTLO	01	00	000	1	0	0

MUT/DIV	01	00	000	1	0	0
MUTU/DIVU	01	00	000	1	0	0
ADDU/SUBU	01	00	000	1	0	0
AND/OR	01	00	000	1	0	0
XNOR/NOR	01	00	000	1	0	0
SLT/SLTU	01	00	000	1	0	0
SLLV/SRLV	01	00	000	1	0	0
SRAV	01	00	000	1	0	0
JMP	01	00	000	0	0	0
JAL	10	11	010	1	0	0
ADDI	00	01	000	1	0	0
ADDIU	00	01	000	1	0	0
SLTI/SLTIU	00	01	000	1	0	0
ANDI	00	10	000	1	0	0
XORI/ORI	00	10	000	1	0	0
LUI	00	00	011	1	0	0
MTC	00	00	000	0	0	0
MFC	00	00	100	1	0	0
BC1-0	00	00	000	0	0	0
BC1-1	00	00	000	0	0	0
ADDS/SUBS	00	00	000	0	0	0
MULS/DIVS	00	00	000	0	0	0
CVTSW	00	00	000	0	0	0
SQRT	00	00	000	0	0	0
ABS/NEG	00	00	000	0	0	0
CVTWS	00	00	000	0	0	0
CEILWS	00	00	000	0	0	0
FLOORWS	00	00	000	0	0	0
ROUNDWS	00	00	000	0	0	0
CEQ/CLT/CLE	00	00	000	0	0	0
MOV	00	00	000	0	0	0
SWC1	00	01	000	0	0	1
LWC1	00	01	000	0	1	0
BGEZ	00	11	000	0	0	0
BGEZAL	10	11	010	1	0	0
BLTZ	00	11	000	0	0	0
BLTZAL	11	11	010	1	0	0
BLEZ	00	11	000	0	0	0
BGTZ	00	11	000	0	0	0
MFC	00	00	101	1	0	0
MTC	00	00	000	0	0	0
ERET	00	00	000	0	0	0

Table 1: Tabela verdade das operações da ISA.

	<i>oOrigPC</i>	<i>oOpALU</i>	<i>oWriteRegFPU</i>	<i>oRegDstFPU</i>	<i>oFPUParaMem</i>	<i>oDataRegFF</i>
ADD/SUB	01	00	000	1	0	0
ADDU/SUBU	01	00	000	1	0	0
SW/SH/SB	00	01	000	0	0	1
LBU/LHU	00	01	110	1	1	0
LB/LH	00	01	110	1	1	0
LW	00	01	110	1	1	0
BEQ	00	00	000	0	0	0
BNE	00	00	000	0	0	0
JR	00	00	000	0	0	0
SYS	00	00	000	0	0	0
SLL/SRL/SRA	01	00	000	1	0	0
MFHI/MFLO	01	00	000	1	0	0
MTHI/MTLO	01	00	000	1	0	0
MUT/DIV	01	00	000	1	0	0
MUTU/DIVU	01	00	000	1	0	0
ADDU/SUBU	01	00	000	1	0	0
AND/OR	01	00	000	1	0	0
XNOR/NOR	01	00	000	1	0	0
SLT/SLTU	01	00	000	1	0	0
SLLV/SRLV	01	00	000	1	0	0
SRAV	01	00	000	1	0	0
JMP	01	00	000	0	0	0
JAL	10	11	010	1	0	0
ADDI	00	01	000	1	0	0
ADDIU	00	01	000	1	0	0
SLTI/SLTIU	00	01	000	1	0	0
ANDI	00	10	000	1	0	0
XORI/ORI	00	10	000	1	0	0
LUI	00	00	011	1	0	0
MTC	00	00	000	0	0	0
MFC	00	00	100	1	0	0
BC1-0	00	00	000	0	0	0
BC1-1	00	00	000	0	0	0
ADDS/SUBS	00	00	000	0	0	0
MULS/DIVS	00	00	000	0	0	0
CVTSW	00	00	000	0	0	0
SQRT	00	00	000	0	0	0
ABS/NEG	00	00	000	0	0	0
CVTWS	00	00	000	0	0	0
CEILWS	00	00	000	0	0	0
FLOORWS	00	00	000	0	0	0
ROUNDWS	00	00	000	0	0	0
CEQ/CLT/CLE	00	00	000	0	0	0

MOV	00	00	000	0	0	0
SWC1	00	01	000	0	0	1
LWC1	00	01	000	0	1	0
BGEZ	00	11	000	0	0	0
BGEZAL	10	11	010	1	0	0
BLTZ	00	11	000	0	0	0
BLTZAL	11	11	010	1	0	0
BLEZ	00	11	000	0	0	0
BGTZ	00	11	000	0	0	0
MFC	00	00	101	1	0	0
MTC	00	00	000	0	0	0
ERET	00	00	000	0	0	0

Table 2: Tabela verdade das operações da ISA.

	oFPFlagWrite	oWriteRegCOPO	oEretCOPO	oExOccurredCOPO	oBranchDelay
ADD/SUB	01	00	000	1	0
ADDU/SUBU	01	00	000	1	0
SW/SH/SB	00	01	000	0	0
LBU/LHU	00	01	110	1	1
LB/LH	00	01	110	1	1
LW	00	01	110	1	1
BEQ	00	00	000	0	0
BNE	00	00	000	0	0
JR	00	00	000	0	0
SYS	00	00	000	0	0
SLL/SRL/SRA	01	00	000	1	0
MFHI/MFLO	01	00	000	1	0
MTHI/MTLO	01	00	000	1	0
MUT/DIV	01	00	000	1	0
MUTU/DIVU	01	00	000	1	0
ADDU/SUBU	01	00	000	1	0
AND/OR	01	00	000	1	0
XNOR/NOR	01	00	000	1	0
SLT/SLTU	01	00	000	1	0
SLLV/SRLV	01	00	000	1	0
SRAV	01	00	000	1	0
JMP	01	00	000	0	0
JAL	10	11	010	1	0
ADDI	00	01	000	1	0
ADDIU	00	01	000	1	0
SLTI/SLTIU	00	01	000	1	0
ANDI	00	10	000	1	0
XORI/ORI	00	10	000	1	0

LUI	00	00	011	1	0
MTC	00	00	000	0	0
MFC	00	00	100	1	0
BC1-0	00	00	000	0	0
BC1-1	00	00	000	0	0
ADDS/SUBS	00	00	000	0	0
MULS/DIVS	00	00	000	0	0
CVTSW	00	00	000	0	0
SQRT	00	00	000	0	0
ABS/NEG	00	00	000	0	0
CVTWS	00	00	000	0	0
CEILWS	00	00	000	0	0
FLOORWS	00	00	000	0	0
ROUNDWS	00	00	000	0	0
CEQ/CLT/CLE	00	00	000	0	0
MOV	00	00	000	0	0
SWC1	00	01	000	0	0
LWC1	00	01	000	0	1
BGEZ	00	11	000	0	0
BGEZAL	10	11	010	1	0
BLTZ	00	11	000	0	0
BLTZAL	11	11	010	1	0
BLEZ	00	11	000	0	0
BGTZ	00	11	000	0	0
MFC	00	00	101	1	0
MTC	00	00	000	0	0
ERET	00	00	000	0	0

Table 3: Tabela verdade das operações da ISA.

**Exercício 8. Teste do funcionamento das instruções da ISA**

**Exercício 9. Novas instruções usando a ISA MIPS**

**References**