

## **Laboratório 5**

### **- CPU MIPS Pipeline –**

#### **GRUPO 6**

**Dayanne Fernandes da Cunha, 13/0107191**

**Lucas Mafra Chagas, 12/0126443**

**Marcelo Giordano Martins Costa de Oliveira, 12/0037301**

**Lucas Junior Ribas, 16/0052289**

**Caio Nunes de Alencar Osório, 16/0115132**

**Diego Vaz Fernandes, 16/0117925**

<sup>1</sup>Dep. Ciência da Computação – Universidade de Brasília (UnB)  
CiC 116394 - OAC - Turma A

### **Objetivos**

- Treinar o aluno com a linguagem de descrição de *hardware Verilog*;
- Familiarizar o aluno com a plataforma de desenvolvimento *FPGA DE2* da *Altera* e o software *QUARTUS II*;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma Linguagem de Descrição de *Hardware*;
- Apresentar ao aluno a implementação de uma *CPU MIPS Pipeline*.

### **Ferramentas**

Todos os códigos escritos neste laboratório podem ser encontrados no repositório <https://github.com/Dayof/OAC172> do *GitHub*.

- FPGA DE2 da Altera
- QUARTUS-II
- Verilog HDL

Exercício 2. Análise do processador Pipeline

Diagrama de Blocos do Caminho de Dados

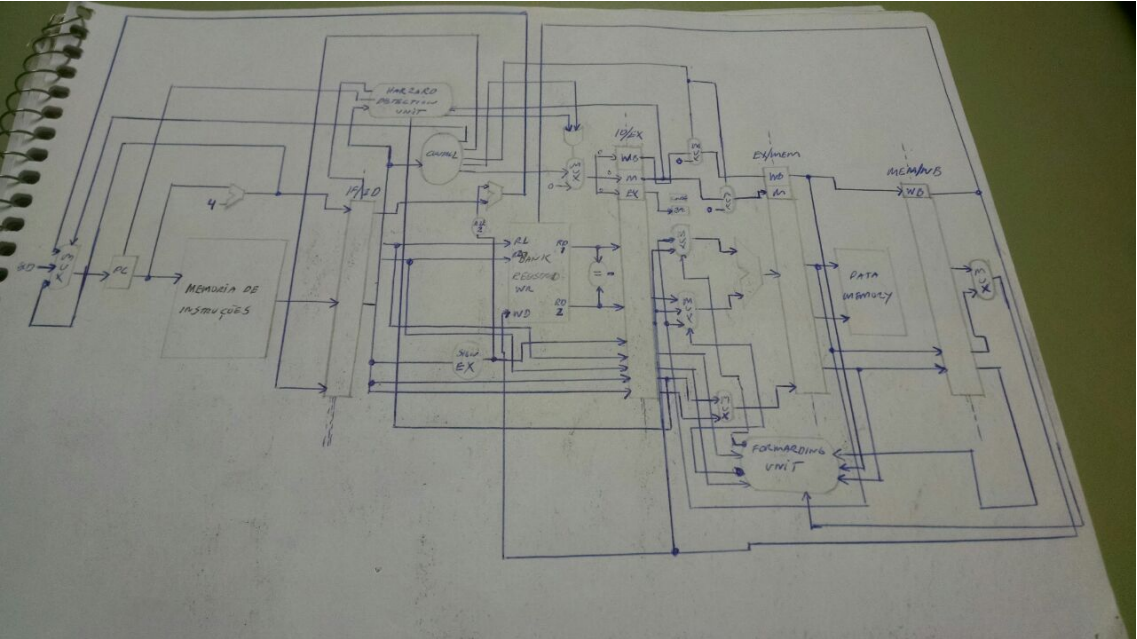


Figure 1. Caminho de dados - Pipeline.

Tabela Verdade dos Sinais de Controle

Instrução	RegDst	OpALU1	OpALU0	OrigALU
Formato R	1	1	0	0
lw	0	0	0	1
sw	X	0	0	1
beq	X	0	1	0

Figure 2. Controle da execução.

Instrução	Branch	LeMem	Escreve Mem
Formato R	0	0	0
lw	0	1	0
sw	0	0	1
beq	1	0	0

Figure 3. Controle de acesso a memória.

Instrução	Escreve Reg	Mem para Reg
Formato R	1	0
lw	1	1
sw	0	X
beq	0	X

Figure 4. Controle de escrita.

### Exercício 3. Análise unidades de Hazard e Forward

### Exercício 4. Teste do funcionamento das instruções da ISA

Foram testadas várias instruções da ISA MIPS através do algoritmo teste.s . Alguns exemplos são o ADD, SUB, DIV, MULT, AND, OR... A demonstração e explicação do código estão presentes nos seguintes vídeos:

- Formas de Onda
- Implementação na DE2

### **Exercício 5. Software de lançamento de bola de canhão na *FPGA***

Foi implementado o syscall 6 no algoritmo de simulação do lançamento da bola de canhão. Testes com o teclado foram executados inserindo velocidades iniciais diferentes de lançamento.

Segue a simulação da bola de canhão:

Bola de canhão

### **Exercício 6. Implementação do Cartão SD**

As limitações observadas ao executar os cenários no cartão sd e impressas no monitor através de um cabo vga foram:

- A velocidade de acesso a memória do cartão SD é muito lenta comparada a leitura da memória da FPGA, por isso uma boa estratégia é copiar parte dos dados e armazenar na FPGA e após isso efetuar a exibição na tela. Isso será muito útil no momento dos carregamentos do jogo, aumentando muito a otimização.

Segue o vídeo dos cenários:

Cenários no cartão SD

### **Exercício 7. Novas instruções usando a *ISA MIPS***

**Parâmetros**

**Caminho de dados**

**Bloco de controle**

**Teste das novas instruções**

**References**