

Laboratório 5

- CPU MIPS Pipeline –

GRUPO 6

Dayanne Fernandes da Cunha, 13/0107191

Lucas Mafra Chagas, 12/0126443

Marcelo Giordano Martins Costa de Oliveira, 12/0037301

Lucas Junior Ribas, 16/0052289

Caio Nunes de Alencar Osório, 16/0115132

Diego Vaz Fernandes, 16/0117925

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CiC 116394 - OAC - Turma A

Objetivos

- Treinar o aluno com a linguagem de descrição de *hardware Verilog*;
- Familiarizar o aluno com a plataforma de desenvolvimento *FPGA DE2* da *Altera* e o software *QUARTUS II*;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma Linguagem de Descrição de *Hardware*;
- Apresentar ao aluno a implementação de uma *CPU MIPS Pipeline*.

Ferramentas

Todos os códigos escritos neste laboratório podem ser encontrados no repositório <https://github.com/Dayof/OAC172> do *GitHub*.

- FPGA DE2 da Altera
- QUARTUS-II
- Verilog HDL

Exercício 2. Análise do processador Pipeline

Exercício 3. Análise unidades de Hazard e Forward

Exercício 4. Teste do funcionamento das instruções da ISA

Exercício 5. Software de lançamento de bola de canhão na *FPGA*

Exercício 6. Implementação do Cartão SD

Exercício 7. Novas instruções usando a *ISA MIPS*

Parêmtros

Caminho de dados

Bloco de controle

Teste das novas instruções

References