

Laboratório 2

- ULA e FPULA -

GRUPO 6

Dayanne Fernandes da Cunha, 13/0107191

Lucas Mafra Chagas, 12/0126443

Marcelo Giordano Martins Costa de Oliveira, 12/0037301

Lucas Junior Ribas, 16/0052289

Caio Nunes de Alencar Osório, 16/0115132

Diego Vaz Fernandes, 16/0117925

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CiC 116394 - OAC - Turma A

1. Objetivos

- Introduzir ao aluno a Linguagem de Descrição de *Hardware Verilog*;
- Familiarizar o aluno com a plataforma de desenvolvimento *FPGA DE2* da *Altera* e o *software QUARTUS-II*;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando *HDL*.

2. Ferramentas

- FPGA DE2 da Altera
- QUARTUS-II
- Verilog
- HDL

3. Exercícios

Todos os códigos escritos neste laboratório podem ser encontrados no repositório <https://github.com/Dayof/OAC172> do *GitHub*.

3.1. Exercício 1. Implementação de um *driver* para *display* de 7 segmentos

Conforme descrito no arquivo *QuartusIIV3.txt* e *Set.txt*, um novo projeto foi criado no diretório *Lab2*, denominado *Display*.

Para as versões síncrona e assíncrona foram geradas as simulações temporais (Figura 1 e Figura 3) e funcionais (Figura 2 e Figura 4).

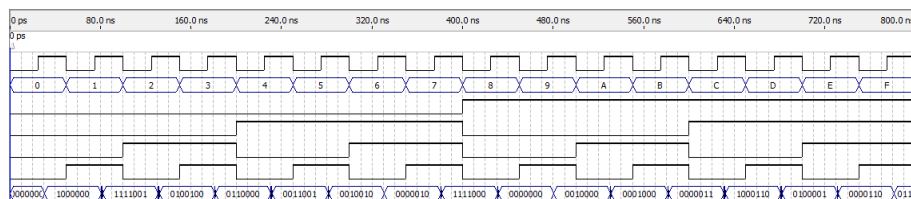


Figure 1. Simulação síncrona temporal do *decoder7*.

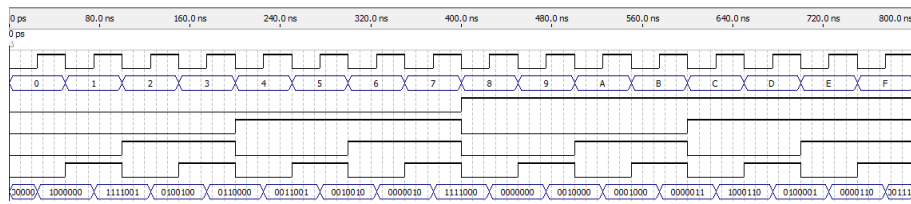


Figure 2. Simulação síncrona funcional do *decoder7*.

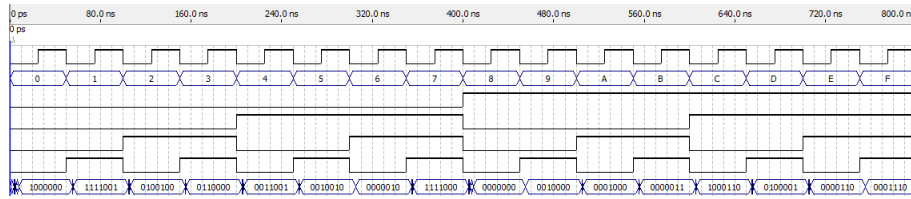


Figure 3. Simulação assíncrona temporal do *decoder7*.

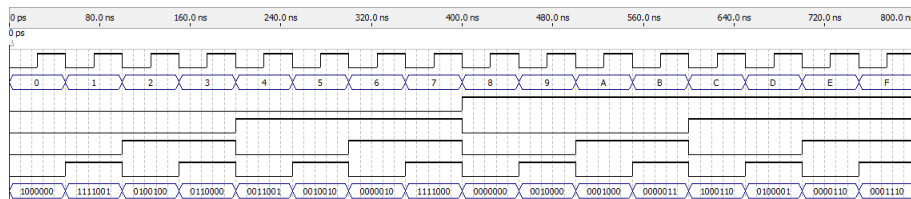


Figure 4. Simulação assíncrona funcional do *decoder7*.

Foi obtido 7 elementos lógicos, sendo que teve 9.761 ns como maior tempo de atraso. Já na versão síncrona foi obtido 7 elementos lógicos, sendo a frequência máxima de operação de 6.787MHz.

O arquivo de interface *TopDE.v* foi incluso no projeto, sintetizado e testado como é mostrado no link ?.

3.2. Exercício 2. Unidade Lógica Aritmética de Inteiros

3.3. Exercício 3. Unidade Aritmética de Ponto Flutuante