

Laboratório 3

- CPU MIPS Uniciclo -

GRUPO 6

Dayanne Fernandes da Cunha, 13/0107191

Lucas Mafra Chagas, 12/0126443

Marcelo Giordano Martins Costa de Oliveira, 12/0037301

Lucas Junior Ribas, 16/0052289

Caio Nunes de Alencar Osório, 16/0115132

Diego Vaz Fernandes, 16/0117925

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CiC 116394 - OAC - Turma A

Objetivos

- Treinar o aluno com a linguagem de descrição de *hardware Verilog*;
- Familiarizar o aluno com a plataforma de desenvolvimento *FPGA DE2* da *Altera* e o software *QUARTUS II*;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma Linguagem de Descrição de *Hardware*;
- Apresentar ao aluno a implementação de uma *CPU MIPS*.

Ferramentas

Todos os códigos escritos neste laboratório podem ser encontrados no repositório <https://github.com/Dayof/OAC172> do *GitHub*.

- FPGA DE2 da Altera
- QUARTUS-II
- Verilog HDL

Exercícios - PARTE A

Exercício 4. Diagrama de fluxo para tratamento de exceção

O tratamento de exceção obtém a causa através de um registrador especial denominado ”CAUSE” ”\$13”, o endereço de retorno é armazenado em outro registrador, o EPC ”\$14” (exception programmer counter). Esses registradores especiais não fazem parte do conjunto de registradores de uso geral do MIPS, eles ficam em um local especial , chamado de coprocessor 0. As instruções usadas para acessar esses registradores são o mfc0 e o mtc0.

Abaixo você encontrara o diagrama completo da rotina de tratamento de exceção do MIPS, que foi baseada no systemv54.s . Os números conectam o diagrama, fechando o ciclo no número ”12”.

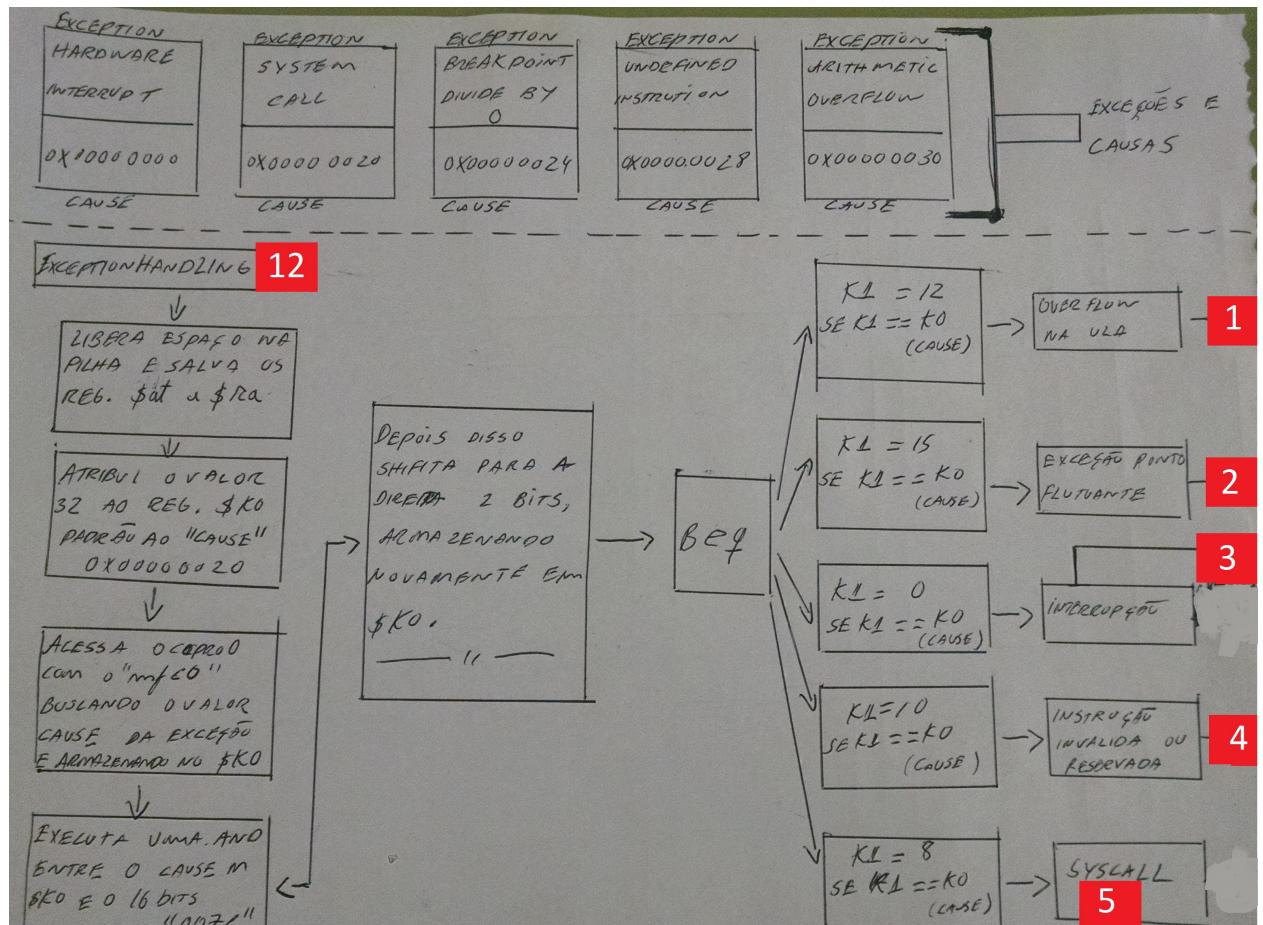


Figure 1. Parte 1.

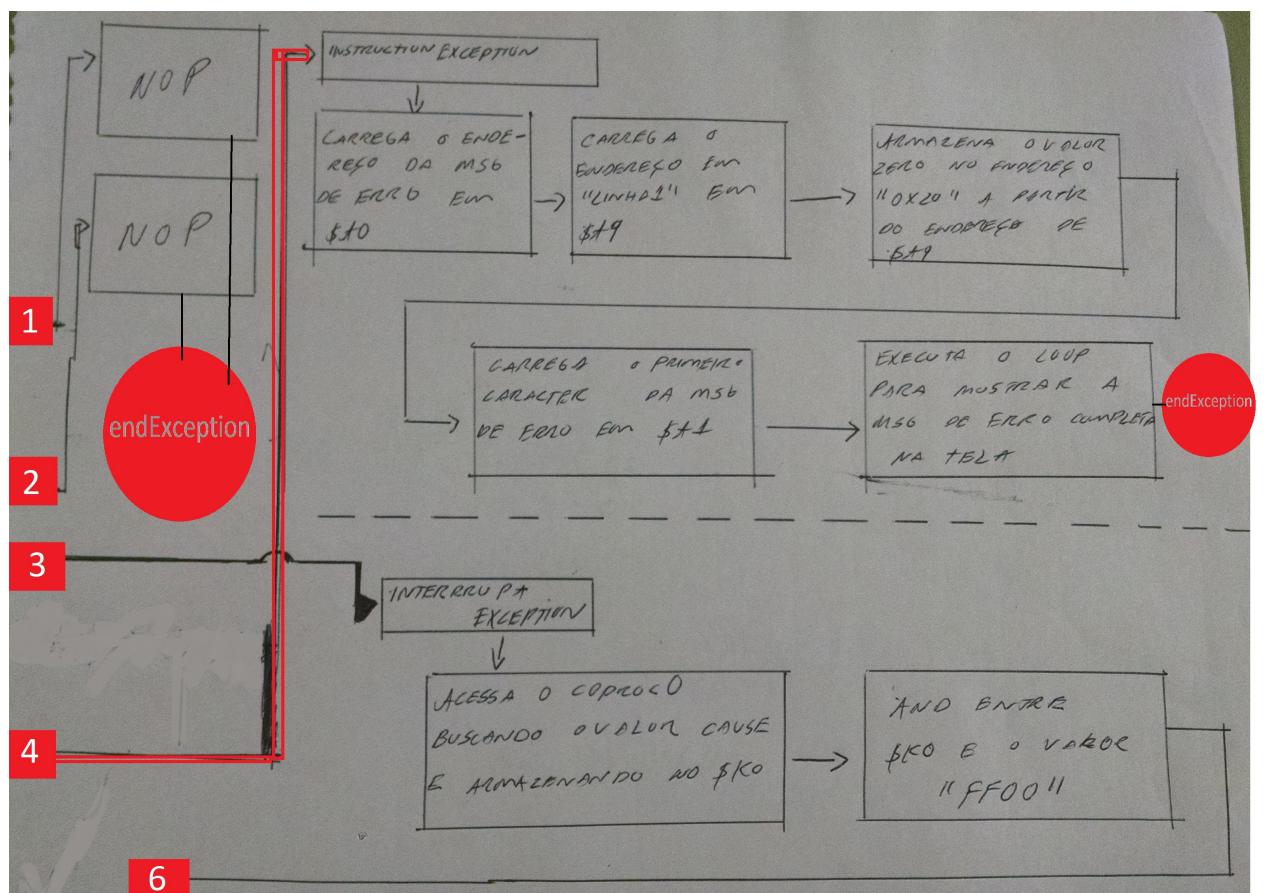


Figure 2. Parte 2.

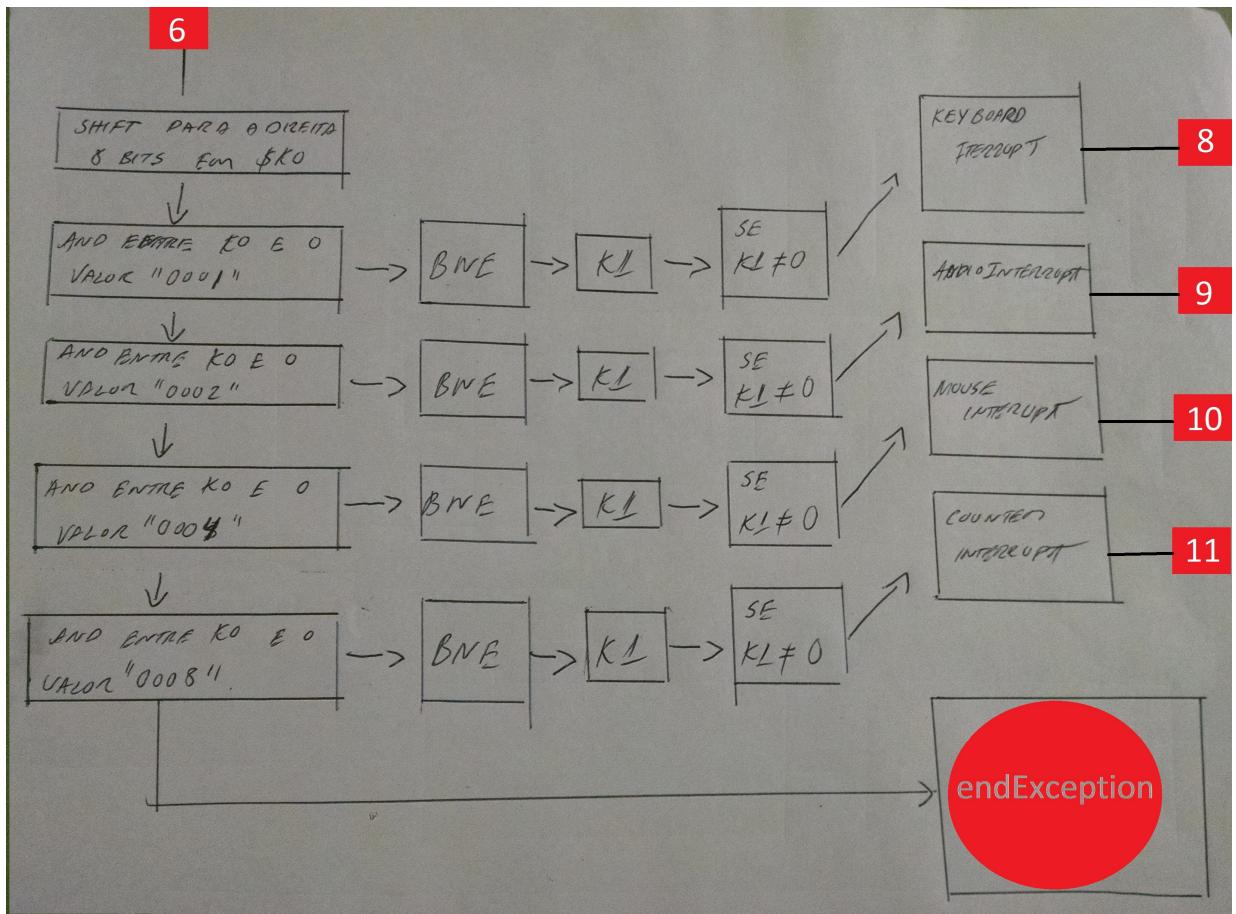


Figure 3. Parte 3.

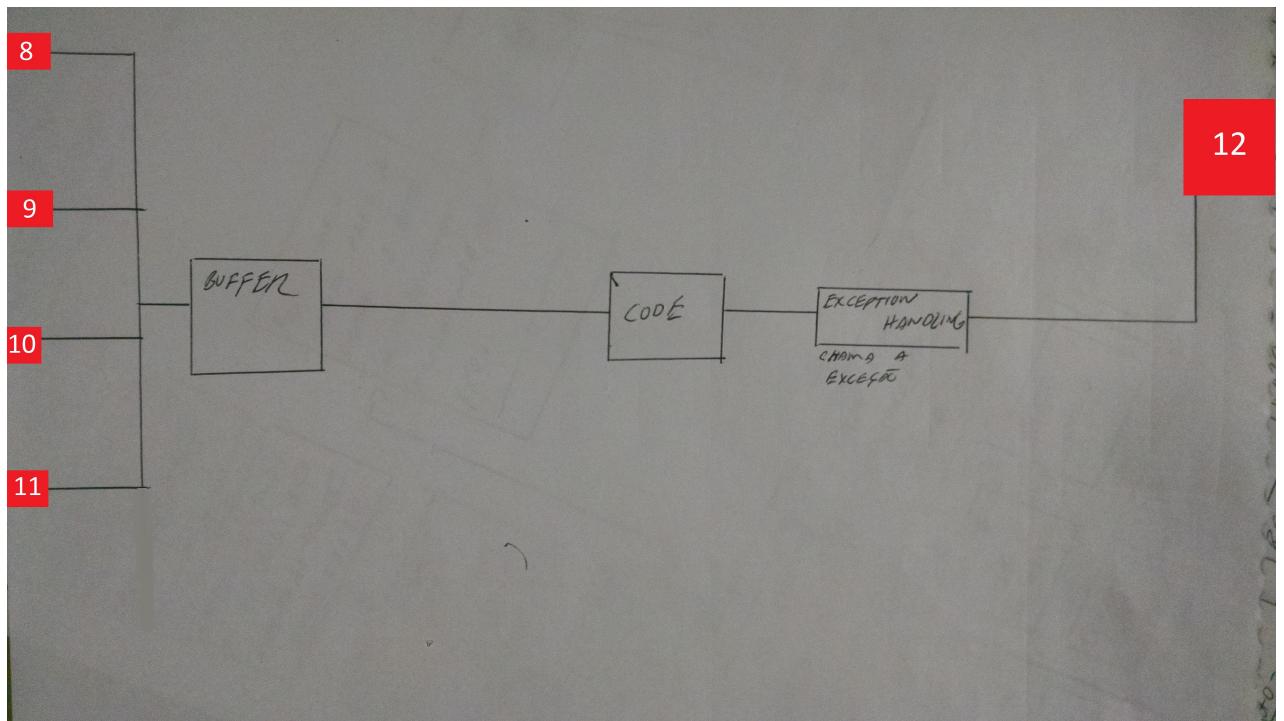


Figure 4. Parte 4.

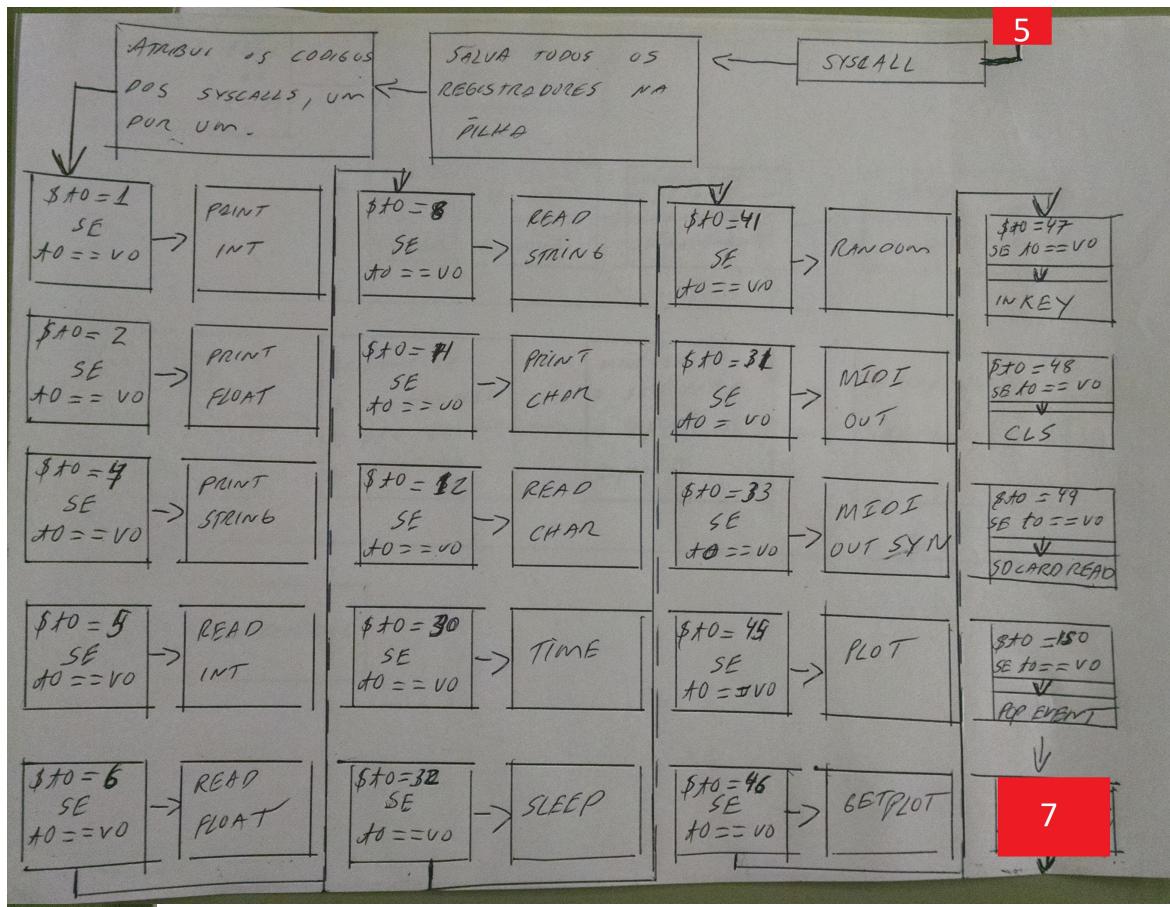


Figure 5. Parte 5.

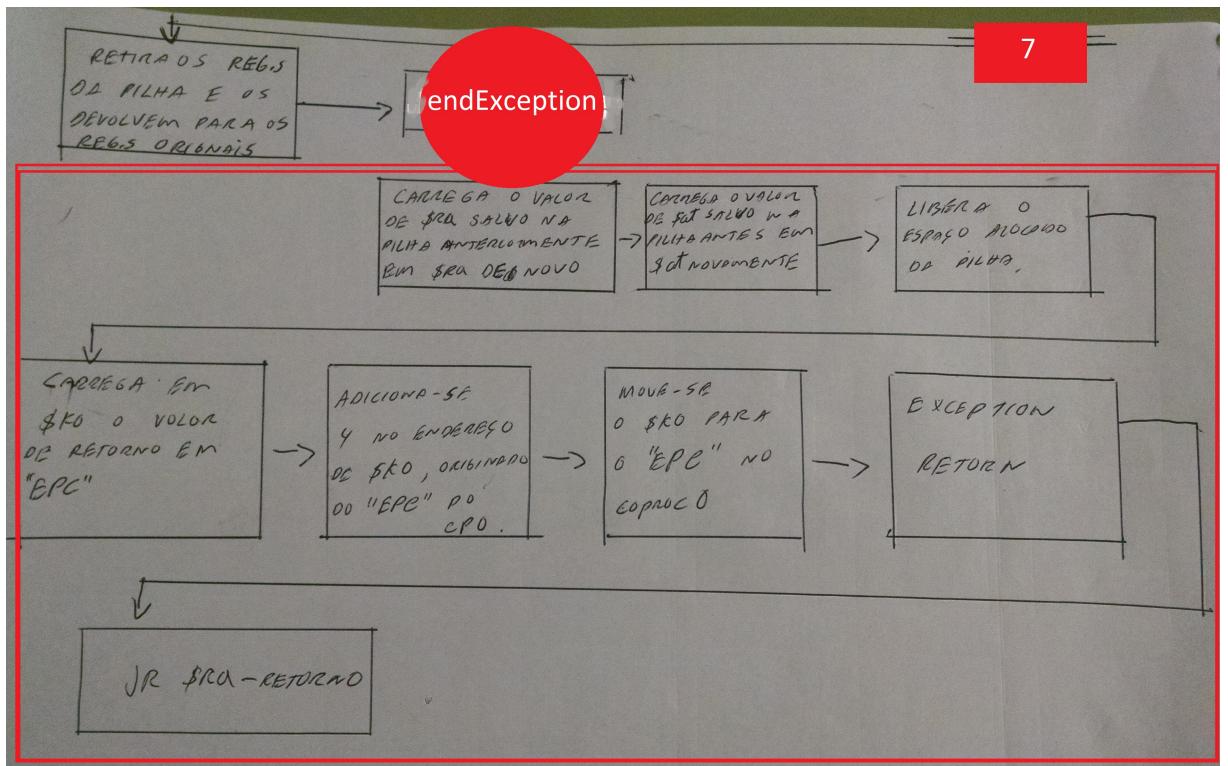


Figure 6. Parte 6.

Exercício 5. Software de lançamento de bola de canhão na FPGA

Abaixo, segue o vídeo demonstrativo da simulação do lançamento de bola de canhão executado na FPGA desenvolvido no laboratório 1:

Vídeo Demonstrativo

Exercícios - PARTE B

Exercício 7. Processador MIPS PUMv.5.1 UNICICLO

Exercício 8. Teste do funcionamento das instruções da ISA

Exercício 9. Novas instruções usando a ISA MIPS

References