

Laboratório 2

- ULA e FPULA –

GRUPO 6

Dayanne Fernandes da Cunha, 13/0107191

Lucas Mafra Chagas, 12/0126443

Marcelo Giordano Martins Costa de Oliveira, 12/0037301

Lucas Junior Ribas, 16/0052289

Caio Nunes de Alencar Osório, 16/0115132

Diego Vaz Fernandes, 16/0117925

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CiC 116394 - OAC - Turma A

1. Objetivos

- Introduzir ao aluno a Linguagem de Descrição de *Hardware Verilog*;
- Familiarizar o aluno com a plataforma de desenvolvimento *FPGA DE2* da *Altera* e o *software QUARTUS-II*;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando *HDL*.

2. Ferramentas

- FPGA DE2 da Altera
- QUARTUS-II
- Verilog
- HDL

3. Exercícios

Todos os códigos escritos neste laboratório podem ser encontrados no repositório <https://github.com/Dayof/OAC172> do *GitHub*.

3.1. Exercício 1. Implementação de um *driver* para *display* de 7 segmentos

Conforme descrito no arquivo *QuartusIIV3.txt* e *Set.txt*, um novo projeto foi criado no diretório *Lab2*, denominado *Display*.

Para as versões síncrona e assíncrona foram geradas as simulações temporais (Figura 1 e Figura 3) e funcionais (Figura 2 e Figura 4).

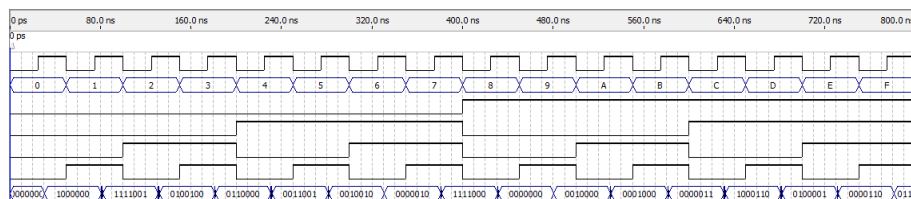


Figure 1. Simulação síncrona temporal do *decoder7*.

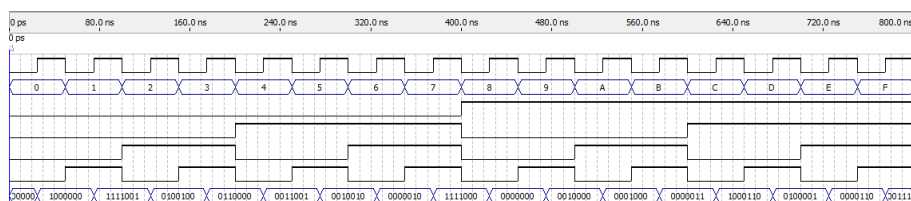


Figure 2. Simulação síncrona funcional do *decoder7*.

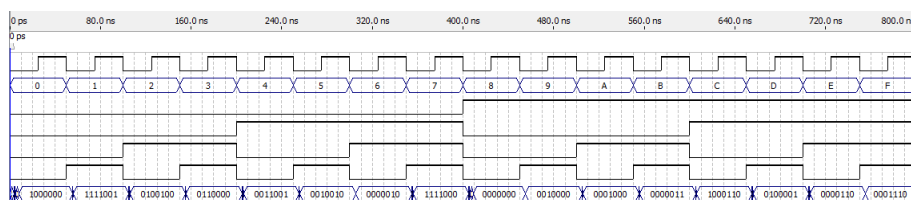


Figure 3. Simulação assíncrona temporal do *decoder7*.

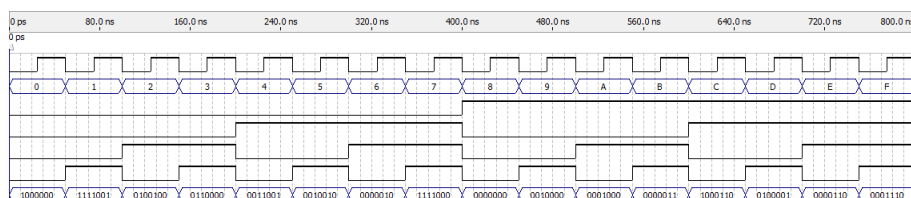


Figure 4. Simulação assíncrona funcional do *decoder7*.

Os requisitos físicos do *decoder7* do *driver* para *display* de 7 segmentos foram analisados nas versões síncrona e assíncrona como é possível ver na Tabela 1.

	Elementos lógicos	Maior atraso (ns)	Frequência máxima de operação (MHz)
Síncrono	7	?	?
Assíncrono	7	9.761	?

Table 1. Requisitos físicos do *display* de 7 segmentos assíncrono e síncrono.

O arquivo de interface *TopDE.v* foi incluso no projeto, sintetizado e testado como é mostrado no link <https://youtu.be/wGKjze5PkcU>.

3.2. Exercício 2. Unidade Lógica Aritmética de Inteiros

3.2.1. ULA MIPS32

3.2.2. Operações

3.2.3. Requisitos físicos

Para a ULA de inteiros foi levantado os requisitos físicos de cada operação e da ULA total como podemos ver na Tabela 2. Todos estes dados foram encontrados utilizando o seguinte procedimento:

- Foi aberto o projeto da *ULA* no *Quartus II 64-Bit*;
- No arquivo *ALU.v* para testar cada operação da *ULA* foi utilizado a variável *iControlSignal* (e.g. assign *iControlSignal*=*OPSL*);
- Ao trocar a operação desejada foi compilado o projeto;
- Com a nova aba (*Compilation Report - ULA*) aberta, no menu *Flow Summary* foi possível achar informações da quantidade total de elementos lógicos usado naquela operação;
- No menu *TimeQuest Timing Analyzer > Multicorner Datasheet Report Summary* foram encontrados valores dos maiores / menores tempos de atraso para concluir a operação. Estes tempos são medidos desde o ato de inserir o dado na entrada (*iA* e/ou *iB*) e resultar em algo na saída (*oALUresult*). Alguns resultados assíncronos eram aparentes na aba *RR* (medição ao subir a borda inicial até a subida da borda final), outros na *RF* (medição ao subir a borda inicial até a descida da borda final) [Altera]. Para operações síncronas era possível captar os resultados na aba *Rise*;
 - Para operações puramente assíncronas o maior tempo foi encontrado no menu *Propagation Delay*. Para operações também síncronas tiveram estes dados aparentes no menu *Clock to Output Times*;
 - Para operações puramente assíncronas o menor tempo foi encontrado no menu *Minimum Propagation Delay*. Para operações também síncronas tiveram estes dados aparentes no menu *Minimum Clock to Output Times*.
- A frequência máxima de *clock* utilizável foi gerada a partir do cálculo $F_{MAX} = 1/T$, sendo T o maior tempo de atraso da operação. Esse T tem que ser o pior caso de tempo ocorrido pois precisa ser suficiente para concluir toda a operação em qualquer caso.

	Elementos lógicos	Menor atraso (ns)	Maior atraso (ns)	Frequência máxima de <i>clock</i> utilizável (MHz)
ULA	?	?	?	?
OPAND	43	5.495	9.810	101.936
OPOR	43	5.490	9.811	101,926
OPADD	44	5.081	14.134	70,751
OPMFHI	0	0	0	0
OPSL	170	6.000	15.048	66,454
OPMFLO	0	0	0	0
OPSUB	44	5.119	13.909	71,896
OPSLT	32	5.341	13.470	74,239
OPSGT	32	5.341	13.470	74,239
OP SRL	170	6.065	16.137	61,969
OP SRA	174	4.908	15.736	63,548
OPXOR	43	4.802	8.511	117,495
OPSLTU	32	5.341	13.470	74,239
OPNOR	43	4.822	9.811	101,926
OPLUI	5	4.822	9.811	101,926
OPSLLV	170	5.397	15.048	66,454
OPSRV	174	4.908	15.736	63,548
OP SRLV	170	5.445	16.137	61,969
OPMULT	53	3.914	8.885	112,549
OPDIV	1266	4.051	9.446	105,865
OPDEBUG	11	4.549	8.255	121,139
OPMULTU	0	0	0	0
OPDIVU	0	0	0	0
OPMTHI	0	0	0	0
OPMTLO	0	0	0	0
OPMADD	0	0	0	0
OPMADDU	0	0	0	0
OPMSUB	?	?	?	?
OPMSUBU	?	?	?	?

Table 2. Requisitos físicos da *ULA* total e de cada operação.

3.2.4. Funcionamento

O projeto da *ULA* de inteiros foi sintetizado utilizando a interface *TopDE.v* na placa *DE2-70* e seu funcionamento pode ser visto através do *link* ?.

3.3. Exercício 3. Unidade Aritmética de Ponto Flutuante

3.3.1. FPULA MIPS

3.3.2. Operações

3.3.3. Requisitos físicos

	Elementos lógicos	Número de ciclos mínimo da operação (ns)	Frequência máxima de <i>clock</i> utilizável (MHz)
FPULA	?	?	?
OPADDS	?	?	?
OPSUBS	?	?	?
OPMULS	?	?	?
OPDIVS	?	?	?
OPSQRT	?	?	?
OPABS	?	?	?
OPNEG	?	?	?
OPCEQ	?	?	?
OPCLT	?	?	?
OPCLE	?	?	?
OPCVTSW	?	?	?
OPCVTWS	?	?	?

Table 3. Requisitos físicos da *FPULA* total e de cada operação.

3.3.4. Funcionamento

O projeto da *ULA* de ponto flutuante foi sintetizado utilizando a interface *TopDE.v* na placa *DE2-70* e seu funcionamento pode ser visto através do *link* ?.

References

[Altera] Altera. Multicorner timing. http://quartushelp.altera.com/15.0/mergedProjects/report/rpt/rpt_file_multicorner_timing.htm. [Online; acessado 4-Outubro-2017].