

Laboratório 3

- CPU MIPS Uniciclo –

GRUPO 6

Dayanne Fernandes da Cunha, 13/0107191

Lucas Mafra Chagas, 12/0126443

Marcelo Giordano Martins Costa de Oliveira, 12/0037301

Lucas Junior Ribas, 16/0052289

Caio Nunes de Alencar Osório, 16/0115132

Diego Vaz Fernandes, 16/0117925

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CiC 116394 - OAC - Turma A

1. Objetivos

- Treinar o aluno com a linguagem de descrição de *hardware Verilog*;
- Familiarizar o aluno com a plataforma de desenvolvimento *FPGA DE2* da *Altera* e o software *QUARTUS II*;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma Linguagem de Descrição de *Hardware*;
- Apresentar ao aluno a implementação de uma *CPU MIPS*.

2. Ferramentas

Todos os códigos escritos neste laboratório podem ser encontrados no repositório <https://github.com/Dayof/OAC172> do *GitHub*.

- FPGA DE2 da Altera
- QUARTUS-II
- Verilog HDL

3. Exercícios - PARTE A

3.1. Exercício 4. Diagrama de fluxo para tratamento de exceção

3.2. Exercício 5. Software de lançamento de bola de canhão na FPGA

Abaixo, segue o vídeo demonstrativo da simulação do lançamento de bola de canhão executado na FPGA desenvolvido no laboratório 1:

Vídeo Demonstrativo

4. Exercícios - PARTE B

4.1. Exercício 7. Processador MIPS PUMv.5.1 UNICICLO

4.2. Exercício 8. Teste do funcionamento das instruções da ISA

4.3. Exercício 9. Novas instruções usando a ISA MIPS

References