

2021 秋《计算机硬件基础》

03_1 组合逻辑 作业

一、 填空题

- 1、从结构看，组合逻辑电路由门电路构成，不含_____反馈电路_____，也不含存储电路_____，信号从输入开始单向传输到输出。对于组合逻辑电路，任何时刻电路的输出仅由当时的_____输入信号_____决定。
- 2、将加在电路若干输入端中的某一个输入端的信号变换成相应的一组二进制代码输出的过程叫做_____编码_____。
- 3、将二进制代码所表示的信息翻译成对应输出的高低电平信号的过程称为译码；n 位二进制译码器有_____n_____个输入，有_____2ⁿ_____个输出，工作时译码器只允许有一个输出有效。
- 4、输出低电平有效的二-十进制译码器的输入 2421BCD 码 A3~A0 为 1101 时，其输出 $\bar{Y}_0 \sim \bar{Y}_9 =$ _____1111111011_____。

二、 选择题

- 1、组合逻辑电路的竞争-冒险是由于（ C ）引起的。
A、电路不是最简
B、电路有多个输出
C、构成电路的逻辑元件存在传输延迟
D、电路使用不同的门电路
- 2、能实现从多个输入端中选出一路作为输出的电路称为（ C ）。
A、触发器
B、计数器
C、数据选择器
D、译码器
- 3、只考虑本位数而不考虑低位来的进位的加法称为（ B ）。
A、全加
B、半加
C、全减
D、半减
- 4、如需要判断两个二进制数的大小或相等，可以使用（ D ）电路。
A、译码器
B、编码器
C、数据选择器
D、数值比较器
- 5、在下列数中最小的数为（ C ）。
A、(101001)₂ 41
B、(52)₈ 42
C、(00101001)_{8421BCD} 29
D、(233)₁₆ 563

三、 问答与计算题

说明：分析与计算题要求写出分析推导过程，给出必要的公式。

- 1、用 8 选 1 数据选择器 CT74151 实现下列函数：

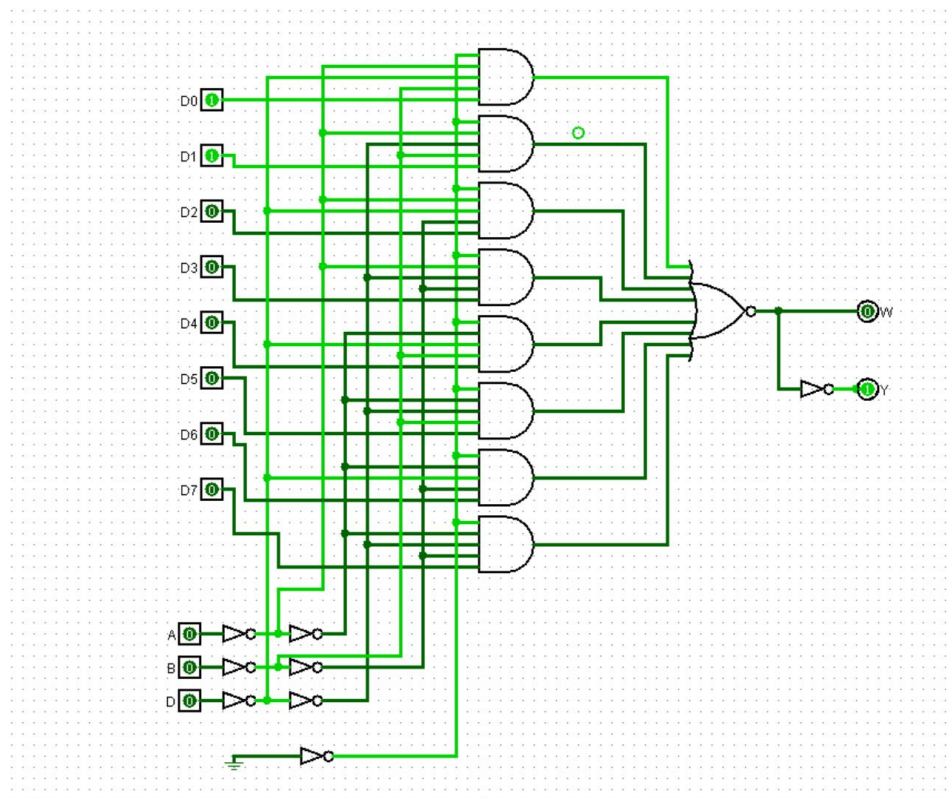
$$F(A,B,C,D,E) = \sum m(1,2,3,4,7,8,10,13,14,17,19,20,21,23,24,26,28,30,31)$$

设计思路：

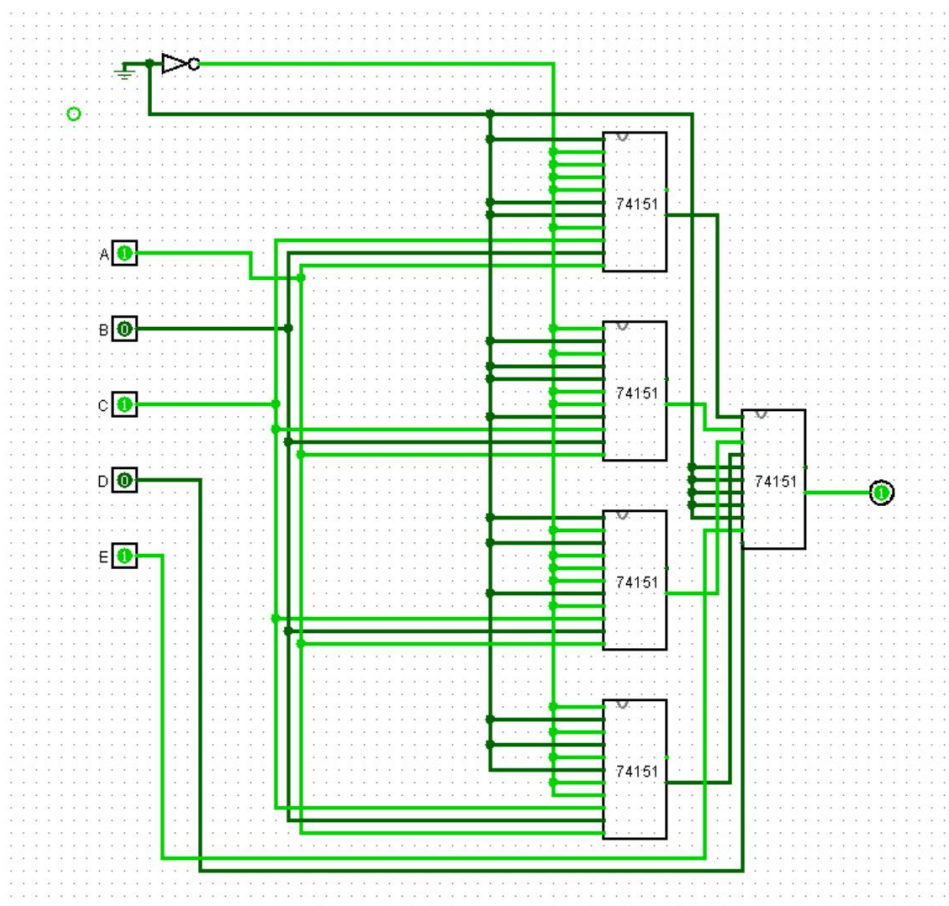
1. 由于 32 位输出需要 5 位的输入，但只给了三路输入，故将函数分为 4 组，依据最高两位 00、01、10、11 进行分组，每组设计一个 CT74151 选择器
2. 对于第一组（00），选择器输出包括（001、010、011、100、111）；对于第二组（01），选择器输出包括（000、010、101、110）；对于第三组（10），选择器输出包括（001、011、100、101、111）；对于第四组（11），选择器输出包括（000、010、100、110、111）
3. 最后使用一个 CT74151 配合 AB 的输入进行 4 组输出的再选择，选择为函数结果

电路连接：

搭建 74151：



搭建函数电路：



2、在三进制数系统中，存在三个数字：0, 1, 2。表 1 定义了一个三进制数的半加器。

(1) 设计一个实现此半加器的电路。要求用二进制编码表示三进制数，例如每个三进制数用 2 位表示。令 $A = a_1a_0$, $B = b_1b_0$, $\text{Sum} = s_1s_0$, 进位信号 Carry 是二进制信号。编码方案为：00 = (0)₃, 01 = (1)₃, 10 = (2)₃. 要求电路的成本最低。

(2) 使用上述描述的方法，设计一个三进制全加器电路。

表 1 三进制半加器

A	B	Carry	Sum
0	0	0	0
0	1	0	1
0	2	0	2
1	0	0	1
1	1	0	2
1	2	1	0
2	0	0	2
2	1	1	0
2	2	1	1

(1)

真值表：

a1	a0	b1	b0	Carry	s1	s0
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	1	0	0
1	0	0	0	0	1	0
1	0	0	1	1	0	0
1	0	1	0	1	0	1

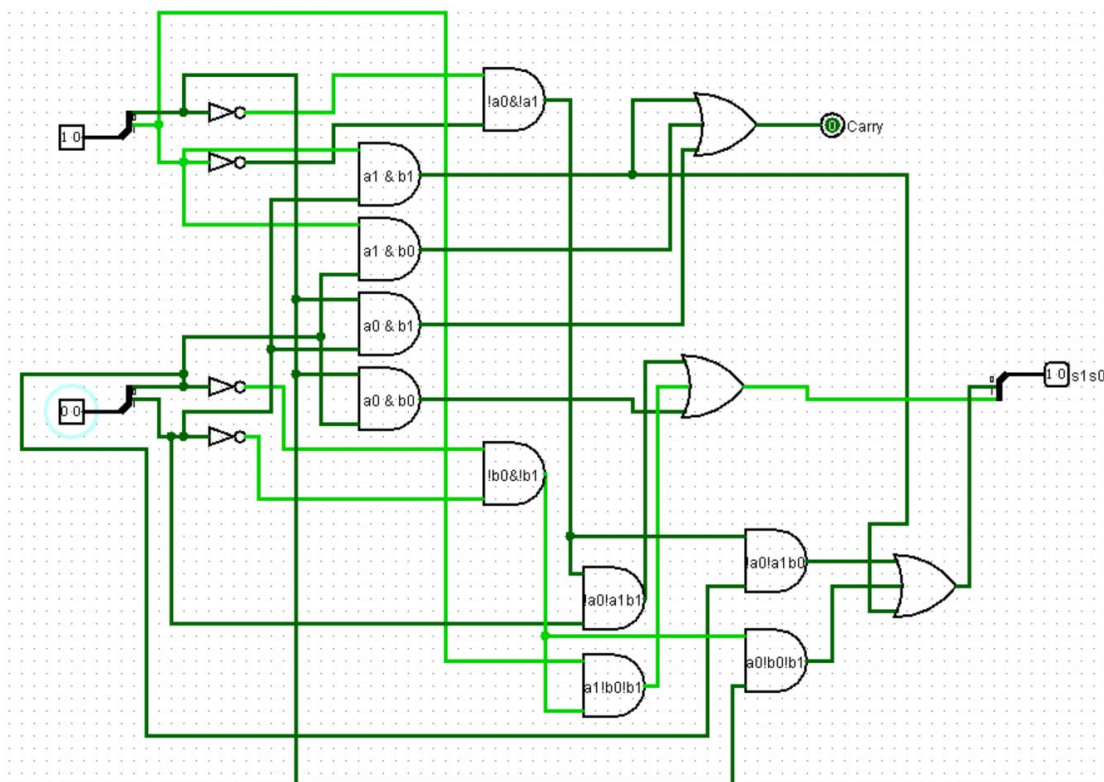
真值表化简式：

$$Carry = a_0b_1 + a_1b_0 + a_1b_1$$

$$s_1 = a_0b_0 + a_1\overline{b_0}b_1 + \overline{a_0}a_1b_1$$

$$s_0 = a_1b_1 + \overline{a_0}a_1b_0 + a_0\overline{b_0}b_1$$

半加器电路连接：

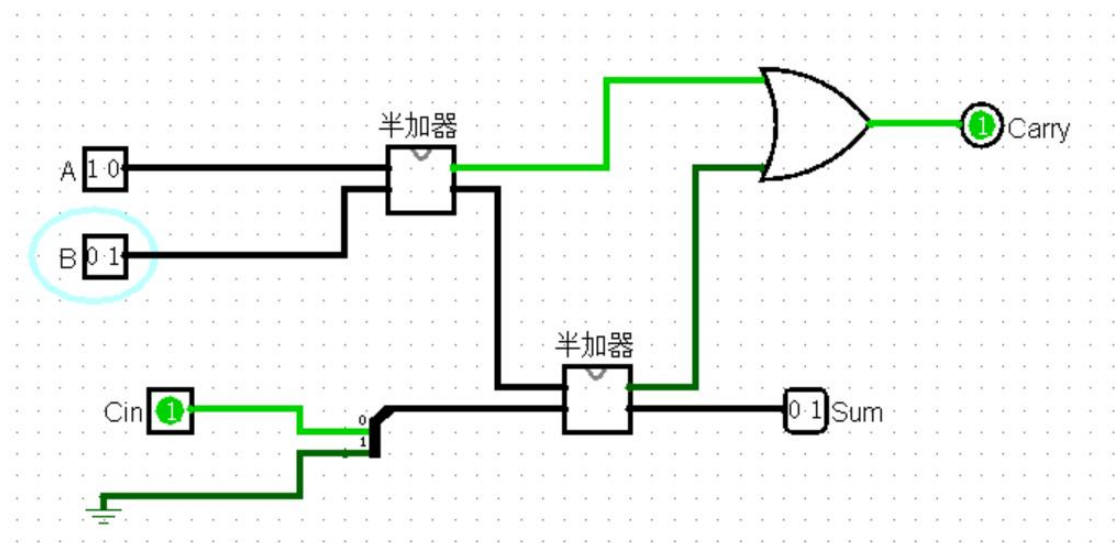


(2)

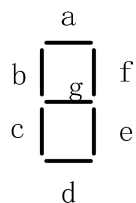
设计思路:

使用两个半加器,将第一个半加器的 Sum 输出给第二个半加器,再与输入的 Carry 相加,其产生进位当且仅当 $Carry = 1$, $Sum = 2$, 故此时第一个半加器的余数为 0, 但整体会出现 Carry, 当然, 对于第一个半加器出现 Carry 我们也需要输出, 故, 我们将两个半加器的 Carry 进行或即可

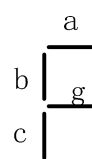
全加器电路连接:



3、7 段数码管是由 7 个独立的发光管构成的, 每个发光管有一个驱动控制信号。当驱动控制信号为高电平(逻辑 1)时, 则信号对应的发光管发光。现需设计 7 段数码管的控制电路, 使之能够根据 4 位输入 $x[3:0]$ 显示 0~9, A~F 共 16 个图案。7 段数码管控制电路输出信号为各数码管的驱动控制信号, 即 a, b, c, d, e, f, g 。数码管各段的定义和 16 进制数 “F” (对应 $abcdefg$ 的二进制输出为 1110001) 的显示如下图所示。



a) 各段定义



b) 16进制数 F 的显示

- (1) 请给出 7 段数码管控制电路的输入输出信号真值表。
- (2) 根据真值表写出各输出信号的逻辑表达式, 并化简。

(1) 真值表:

x3	x2	x1	x0	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	0	0	0	1	1	0
0	0	1	0	1	0	1	1	0	1	1
0	0	1	1	1	0	0	1	1	1	1
0	1	0	0	0	1	0	0	1	1	1
0	1	0	1	1	1	0	1	1	0	1
0	1	1	0	1	1	1	1	1	0	1
0	1	1	1	1	0	0	0	1	1	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1
1	0	1	1	0	1	1	1	1	0	1
1	1	0	0	1	1	1	1	0	0	0
1	1	0	1	0	0	1	1	1	1	1
1	1	1	0	1	1	1	1	0	0	1
1	1	1	1	1	1	1	0	0	0	1

(2) 逻辑表达式:

化简为:

$$\begin{aligned}
 a &= \overline{x_2 x_0} + x_1 \overline{x_3} = x_0 x_2 \overline{x_3} + x_1 x_2 + \overline{x_1 x_2 x_3} + \overline{x_0 x_3} \\
 b &= \overline{x_0 x_1} + \overline{x_1 x_2 x_3} + \overline{x_0 x_2} + \overline{x_2 x_3} + x_1 x_3 \\
 c &= \overline{x_0 x_2} + \overline{x_0 x_1} + x_1 x_3 + x_2 x_3 \\
 d &= \overline{x_0 x_2 x_3} + x_0 x_1 \overline{x_2} + x_0 \overline{x_1 x_2} + \overline{x_0 x_1 x_2} + \overline{x_1 x_3} \\
 e &= \overline{x_1 x_3} + x_0 \overline{x_3} + x_0 \overline{x_1} + x_2 \overline{x_3} + x_0 \overline{x_1 x_3} \\
 f &= \overline{x_2 x_3} + \overline{x_1 x_0 x_3} + \overline{x_0 x_2} + x_0 x_1 \overline{x_3} + x_0 \overline{x_1 x_3} \\
 g &= x_1 \overline{x_2} + \overline{x_0 x_1} + \overline{x_1 x_2 x_3} + \overline{x_2 x_3} + x_0 x_3
 \end{aligned}$$