2021 秋《计算机硬件基础》

作业 06_2 流水线

1、本习题讨论数据相关如何影响 4.5 节中基本五级流水线的运行。试根据下表的两种指令序列情况分别回答下列问题。

| | 指令序列 | | 指令序列 |
|----|---|----|---|
| a. | lw \$1, 40(\$6) add \$6, \$2, \$2 sw \$6, 50(\$1) | b. | lw \$5, -16(\$5) sw \$5, -16(\$5) add \$5, \$5, \$5 |

- (1)、指出指令序列中存在的相关及其类型。
- (2)、假设该流水线处理器没有转发,指出指令序列中存在的冒险并加入 nop 指令以消除冒险。
- (3)、假设该流水线处理器中有充分的转发。指出指令序列中存在的冒险并加入 nop 指令以消除冒险。

根据下表的两种时钟周期情况,分别回答下列问题。

| | 无转发 | 充分的转发 | 仅ALU至ALU的转发 |
|----|-------|-------|-------------|
| a. | 300ps | 400ps | 360ps |
| b. | 200ps | 250ps | 220ps |

- (4)、该指令序列在无转发和充分的转发时总执行时间分别是多少?后者相对于前者的加速比是多少。
- (5)、如果仅有 ALU 至 ALU 的转发(没有从 MEM 到 EX 的转发),如何加入 nop 指令以消除可能的冒险?
- (6)、该指令序列在仅有 ALU 至 ALU 的转发时总执行时间分别是多少?与无转发的情况相比,加速比是多少?

答:

(1)

a: I1 和 I3 读后写 RAW; I2 和 I3 读后写 RAW

b: I1 和 I2 I3 读后写 RAW; I1 I2 和 I3 写后读 WAR; I1 和 I3: 写和写 WAW

(2)

a: I1 和 I3 以及 I2 和 I3 存在冒险, 需要在 I2 和 I3 中间插入两条 nop 指令

b: I1 和 I2 I3 存在冒险,在 I1 后边插入两条 nop 指令

(3)

- a: 不需要
- b: I1 和 I2 之间插入一个 nop

(4)

- a: 无转发: 2700ps 充分转发: 2800ps 加速比 2800 / 2700 = 1.037
- b: 无转发: 1800ps 充分转发: 2000ps 加速比 2000 / 1800 = 1.111

(5)

- a: 由于 I1 和 I3 的无法转发, 需要在 add 加入 1 个 nop
- b: 由于 I1 和 I2 的无法转发,需要在第一个指令后边加 2 个 nop

(6)

- a: ALU 转发 2880ps,加速比 2880 / 2700 = 1.067
- b: ALU 转发 1980ps,加速比 1980 / 1800 = 1.100
- 2、本习题讨论指令集对流水线设计的影响。试根据下表的两条新指令回答下列问题。

| a. | bezi (Rs), Label | if Mem[Rs] = 0 then PC = PC + Offs |
|----|------------------|------------------------------------|
| b. | swi Rd, Rs(Rt) | Mem[Rs+Rt] = Rd |

- (1)、为了将这条新指令增加到 MIPS 指令集,必须对流水线数据通路做什么改动?
- (2)、需要在第1)问的数据通路上增加哪些控制信号?
- (3)、对新指令的支持是否会引入新的冒险?已有冒险导致的阻塞是否会更加严重?答:

(1)

- a: 在 ID 段加入比较模块,如果 Rs 和 0 相等则输出比较结果;然后传入 PC 模块,之后再进行 PC + Offset 的移动,通过 MUX 选择信号
- b: 需要将 Rd 的值传到 Mem 中,再 EX 的 ALU 后增加多路选择器 ALUresult 和 Rd 的值

(2)

- a: 增加与 0 判等的信号
- b: 再 EX 段 ALU 后增加多选器,指向内存地址

(3)

- a: 会,可以加上延迟槽,否则会使已有阻塞更加严重,因为是控制冒险
- b: 不会, 不会使已有阻塞更严重, 可以完全转发