

## 2021 秋《计算机硬件基础》

### 04 主存储器 作业

#### 简答与设计：

1、(1) 说明存取时间与存取周期的区别。

(2) 什么是存储器的带宽？若某存储器的数据总线宽度为 64 位，存取周期为 100ns，则该存储器的带宽是多少？

(1) 存取时间：读或写操作所用时间，即从给定地址到存储器完成读或写操作时间

存取周期：仅对 RAM 而言，指两次访问存储单元间的最小时间间隔

(2) 存储器带宽 = 随机访问存储器读写频率 \* 字宽

带宽 =  $1 / 100 * 64 = 640\text{Mbps}$

2、某机字长 32 位，其存储容量是 64KB，按字编址其寻址范围是多少？若主存以字节编制，试画出主存字地址和字节地址的分配情况。

地址为  $16 - 2 = 14$  位

即寻址范围为  $0x0000 - 0x3fff$

分配情况

14 位（字地址）	2 位（字节地址）
-----------	-----------

3、一个容量为  $16K \times 32$  位的存储器，分别需要几条地址线 and 数据线？如果该存储器采用二维地址结构，且行地址和列地址的位数相同，则译码器输出的行选择线和列选择线分别有多少条？若选用下列不同规格的存储芯片来实现该存储器，需要各存储芯片的数目以及它们的排列方式分别是怎样的？

$1K \times 4$  位， $2K \times 8$  位， $4K \times 4$  位， $16K \times 1$  位， $4K \times 8$  位， $8K \times 8$  位

(1) 14 条地址线；32 条数据线

(2) 均为 128 条

(3) 对于  $1k \times 4$  位，需 128 个，8 个进行位扩展，16 个进行字扩展

对于  $2k \times 8$  位，需 32 个，4 个进行位扩展，8 个进行字扩展

对于  $4k \times 4$  位，需 32 个，8 个进行位扩展，4 个进行字扩展

对于  $16k \times 1$  位，需 32 个，32 个进行位扩展，1 个构成 16k 地址

对于  $4k \times 8$  位，需 16 个，4 个进行位扩展，4 个进行字扩展

对于  $8k \times 8$  位，需 8 个，4 个进行位扩展，2 个进行字扩展

4、现有一容量为  $256K \times 8$  的 DRAM 存储芯片，试回答：

(1) 该芯片包含多少个字单元？

- (2) 该芯片包含多少个二进制存储单元电路(存储位元)?
- (3) 该芯片的刷新地址计数器应该是多少位?
- (4) 若该 DRAM 芯片的存取周期为  $0.25\mu s$ , 试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少?

- (1)  $2^{18}$  个字单元
- (2)  $2^{21}$  个二进制存储单元电路
- (3)  $2^9$  位
- (4) 集中刷新: 刷新间隔 = 刷新周期 =  $2ms$   
 分散刷新:  $2^9 \times 0.25 = 0.128ms$   
 异步刷新: 刷新间隔 = 刷新周期 =  $2ms$

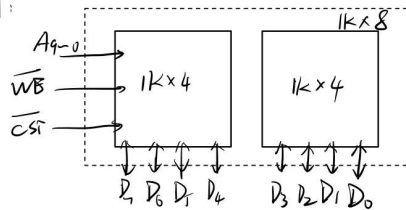
5、画出  $1K \times 4$  位的存储器芯片组成一个  $64K \times 8$  位的存储器逻辑框图。要求  $64K$  分成 4 个页面 (把存储器分成若干个容量相等的区域, 每一个区域可看做一个页面), 每个页面分 16 组, 指出共需多少片存储器芯片。

总片数:  $64K \times 8 / (1K \times 4) = 128$  片

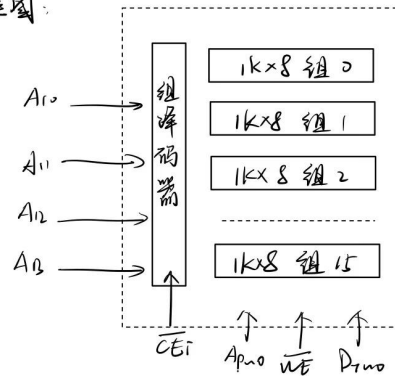
页面容量:  $16K \times 8$  位

组容量:  $1K \times 8$  位 即 2 片

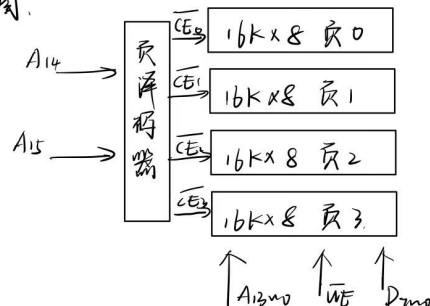
组内逻辑框图:



页面逻辑框图:



存储器逻辑框图:



6、设有一个  $64K \times 16$  位的 RAM 芯片，问该芯片共有多少个基本单元电路(简称存储基元)?

欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足地址线和数据线的总和为最小，试确定这种芯片的地址线和数据线，并说明有几种解答。

(1)  $2^{20}$  个基本单元电路

(2)

设地址线为  $x$  条

则数据线有  $2^{20-x}$  条

∴ 总线数  $T = x + 2^{20-x}$

$$T' = 1 - (\ln 2) 2^{20-x} \quad 0 \leq x \leq 20$$

∴  $x = 1$  时  $T = 21$

$x = 20$  时  $T = 21$

∴ 有两种解答，①地址线 1 条 数据线 20 条

②地址线 20 条 数据线 1 条

7、某 8 位微型计算机地址码为 18 位，若使用  $4K \times 4$  的 RAM 芯片组成模块板结构的存储器，问：

- (1) 该机所允许的最大主存空间是多少？
- (2) 若每个模板为  $32K \times 8$  位，共需多少模板块？
- (3) 每个模板块内共有几片 RAM 芯片？
- (4) 共有多少片 RAM？
- (5) CPU 如何选择各模板块？

(1) 最大主存空间：256K \* 8 位

(2) 需 8 个

(3) 16 个

(4) 128 个

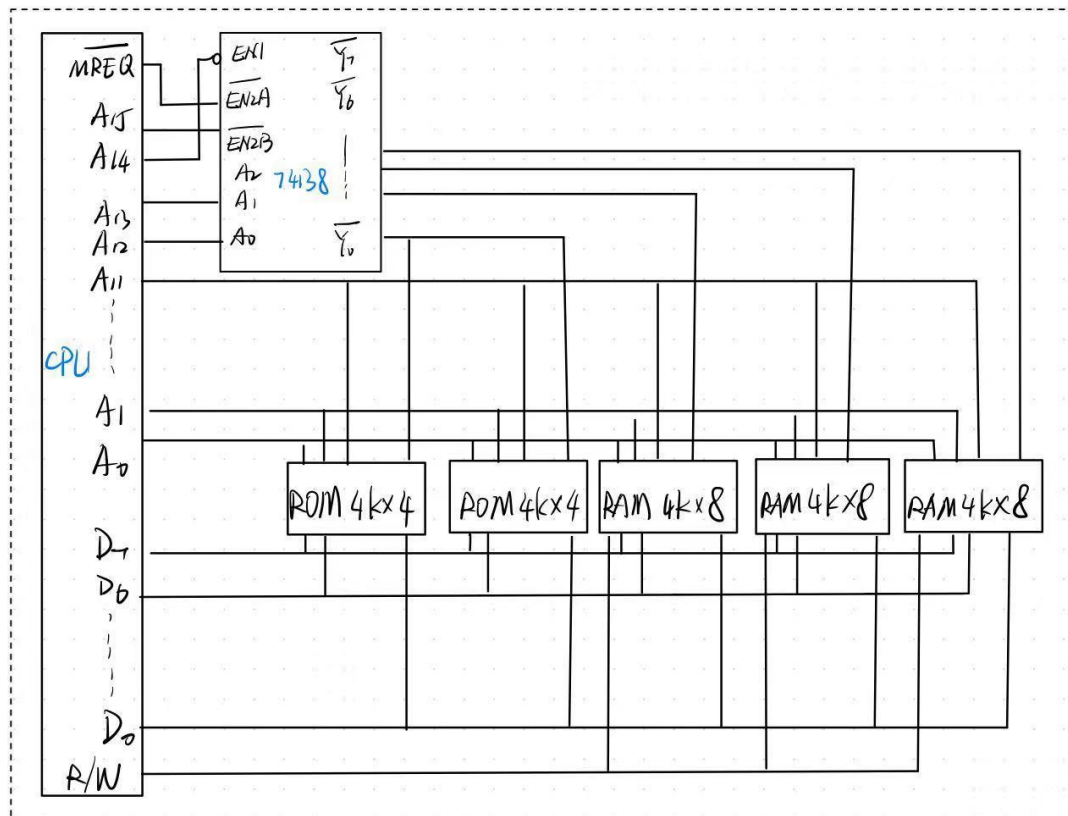
(5) 最高的三位 (15 - 17) 进行模板选择，12 - 14 位为片选，使用 38 译码器，0 - 11 为地址线

8、设 CPU 有 16 根地址线，8 根数据线，并用 MREQ# (低电平有效) 作访存控制信号，R/W# 作读写命令信号 (高电平为读，低电平为写)，现有存储芯片 ROM ( $2K \times 8$ ,  $4K \times 4$ ,  $8K \times 8$ ) 和

RAM( $1K \times 4$ ,  $2K \times 8$ ,  $4K \times 8$ )及 74138 译码器和其他门电路。试选择合适芯片，并画出 CPU 和芯片连接图。要求：

- (1) 最小 4K 地址为系统程序区，4096~16383 地址范围为用户程序区。
- (2) 指出选用的存储芯片类型及数量。
- (3) 画出片选逻辑。

ROM  $4k \times 4$  两片，RAM  $4k \times 8$  三片



9、CPU 假设同第 8 题，现有 8 片  $8K \times 8$  位的 RAM 芯片与 CPU 相连，试回答：

- (1) 用 74138 译码器画出 CPU 与存储芯片的连接图。
- (2) 写出每片 RAM 的地址范围。
- (3) 如运行时发现不论往哪片 RAM 写入数据后，以 A000H 为起始地址的存储芯片都有与其相同的数据，分析故障原因。
- (4) 根据前面的连线图，若出现地址 A13 与 CPU 断线，并搭接到高电平上，将出现什么后果？

(2) RAM0: 0000H - 1FFFH

RAM1: 2000H - 3FFFH

RAM2: 4000H - 5FFFH

RAM3: 6000H - 7FFFH

RAM4: 8000H - 9FFFH

RAM5: A000H - BFFFH

RAM6: C000H - DFFFH

RAM7: E000H - FFFFH

(3) 该存储芯片的输入端总是处于低电平

故障原因可能是  $\overline{WREQ}$  端与 CS 端错连或短路或者该片的 CS 端与地线错连或短路

(4) 即 A13 会出现恒唯 1 的情况，此时有一半的 RAM 无法被访问，访问这些 RAM 只会导致访问到错误的片中

