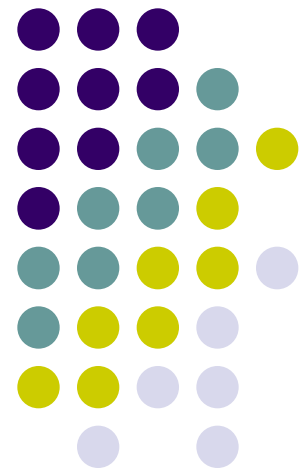
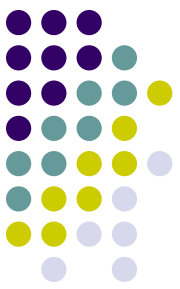


Тема 1

Архитектура компьютера на процессоре Intel



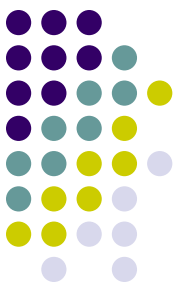
Хронология создания процессоров Intel



- 1969 i4004 4-разрядное вычислительное устройство
- 1972 i8008
- 1974 i8080 64 Кбайт оперативной памяти
- 1978 i8086 1 Мбайт оперативной памяти
- 1979 i8088
- 1982 i80286 16 Мбайт оперативной памяти
- 1985 i80386DX 4 Гбайт оперативной памяти
- 1988 i80386SX 64 Гбайт виртуальной памяти



Хронология создания процессоров Intel



- 1989 i80486DX
- 1993 Pentium
- 1995 Pentium Pro
- 1997 Pentium MMX
- 1997 Pentium II
- 1998 Celeron (Pentium II-based)
- 1999 Pentium III
- 2000 Pentium 4
- 2003 Pentium M
- 2007 Core 2 Extreme QX6700



Архитектура ЭВМ



Архитектура ЭВМ — это абстрактное представление ЭВМ, которое отражает ее структурную, схемотехническую и логическую организацию.

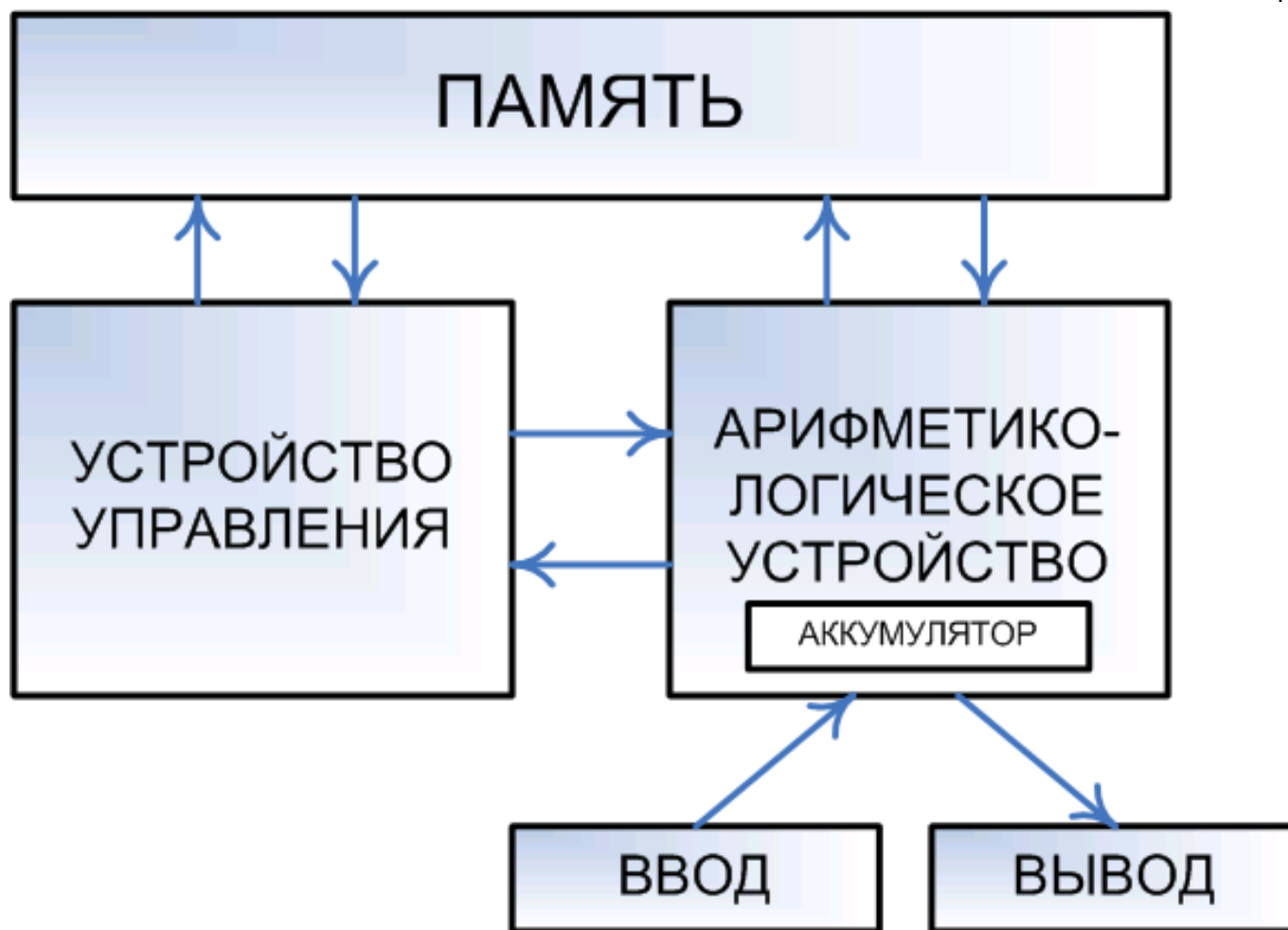
Понятие архитектуры ЭВМ — иерархическое.

Что входит в понятие "архитектура компьютера"?



- структурная схема компьютера, средства и способы доступа к ее элементам;
- организация и разрядность интерфейсов;
- набор и доступность внутренних областей памяти процессора (регистров);
- организация и способы адресации памяти;
- способы представления и внутренние форматы данных;
- набор машинных команд и их форматы;
- правила обработки нештатных ситуаций (прерываний).

Схематическое изображение машины фон Неймана



Принципы фон Неймана



1. Принцип использования двоичной системы счисления для представления данных и команд

Вся информация, поступающая в ЭВМ, кодируется с помощью двоичных сигналов (двоичных цифр, битов) и разделяется на единицы, называемые словами.



2. Принцип последовательного программного управления

Программа состоит из набора команд, которые выполняются процессором друг за другом в определенной последовательности.

3. Принцип условного перехода

Команды из программы не всегда выполняются одна за другой. Возможно присутствие в программе команд условного перехода, которые меняют последовательное выполнение команд в зависимости от значений данных. Так организуются ветвления и циклы.

Принципы фон Неймана (продолжение)



2. Принцип однородности памяти

Как программы (команды), так и данные хранятся в одной и той же памяти (и кодируются в одной и той же системе счисления — чаще всего двоичной). Над командами можно выполнять такие же действия, как и над данными.

4. Принцип адресуемости памяти

Структурно основная память состоит из пронумерованных ячеек; процессору в произвольный момент времени доступна любая ячейка.

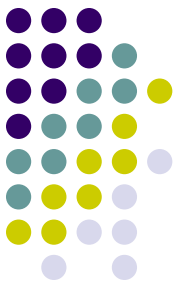
5. Принцип жесткости архитектуры

Неизменяемость в процессе работы топологии, архитектуры, списка команд.

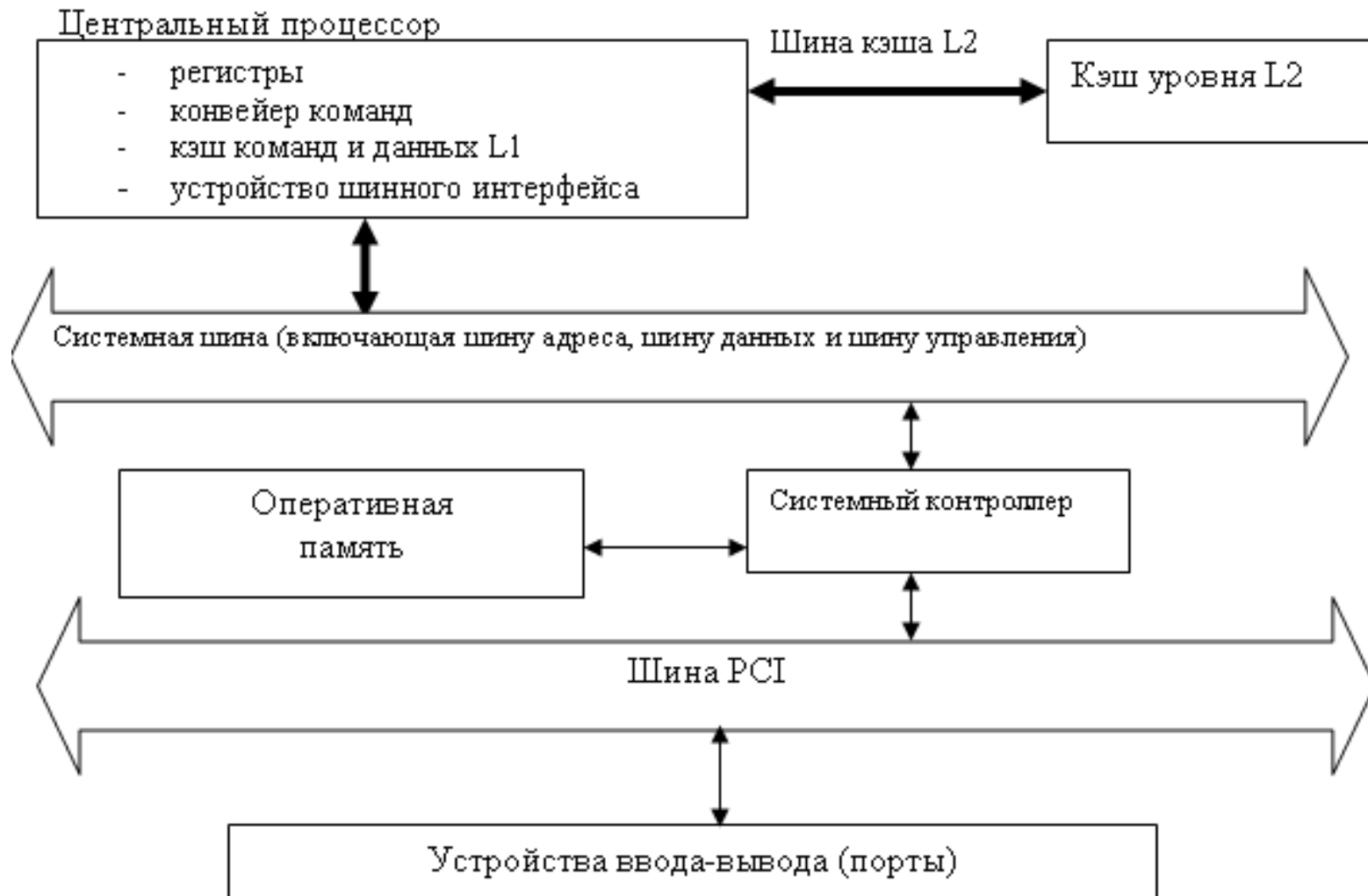
*Компьютеры, построенные на этих принципах, относятся к типу **фоннеймановских**.*

Схема «Основные устройства персонального компьютера»





Структурная схема персонального компьютера



Классификация процессоров



- **Быстродействие процессора** — довольно простой параметр. Оно измеряется в мегагерцах (МГц); 1 МГц равен миллиону тактов в секунду. Чем выше быстродействие, тем лучше (тем быстрее процессор).
- **Разрядность процессора** — параметр более сложный. В процессор входит три важных устройства, основной характеристикой которых является разрядность:
 - шина ввода и вывода данных;
 - внутренние регистры;
 - шина адреса памяти.

Шина



Шина - главная магистраль, по которой происходит информационный обмен между устройствами компьютера.

Характеристики шины:

- разрядность (ширина) – количество параллельно передаваемых битов;
- частота - скорость передачи данных по шине, определяется количеством циклов шины за единицу времени.

Различают **шину данных** и **шину адреса** .

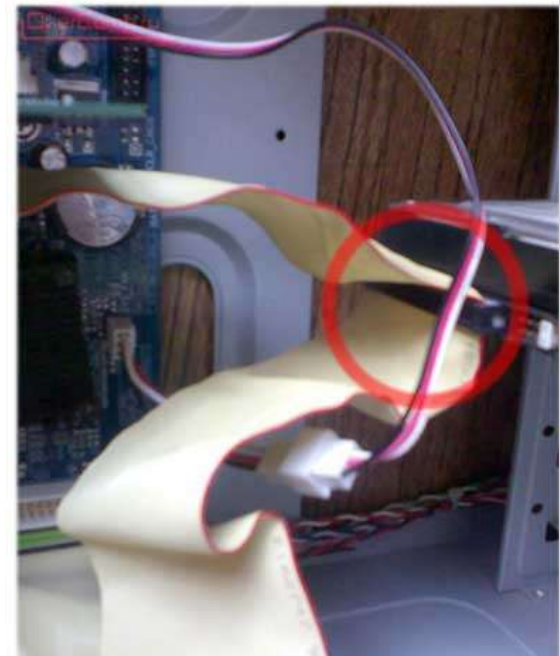
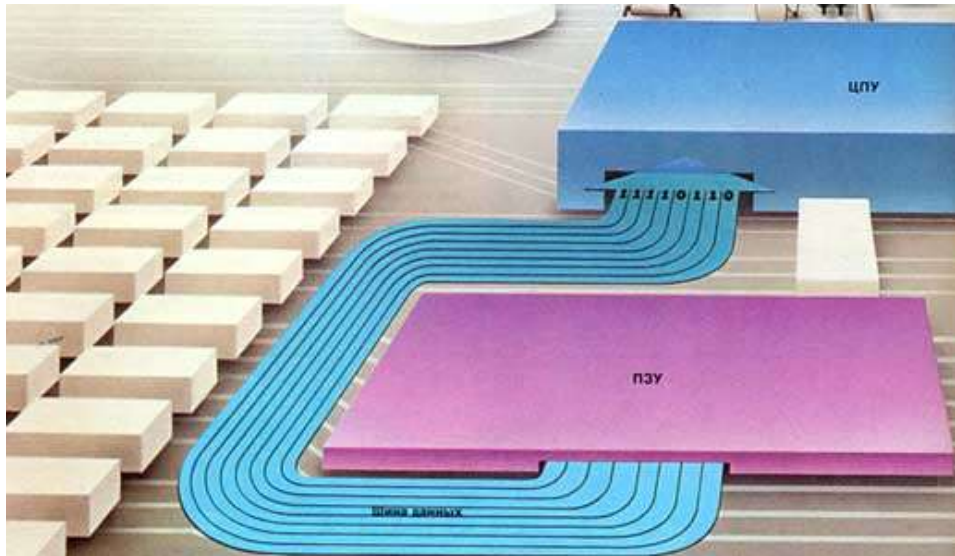




Шина данных

Это набор соединений (или выводов) для передачи или приема данных.

Разрядность шины данных процессора определяет также разрядность банка памяти.

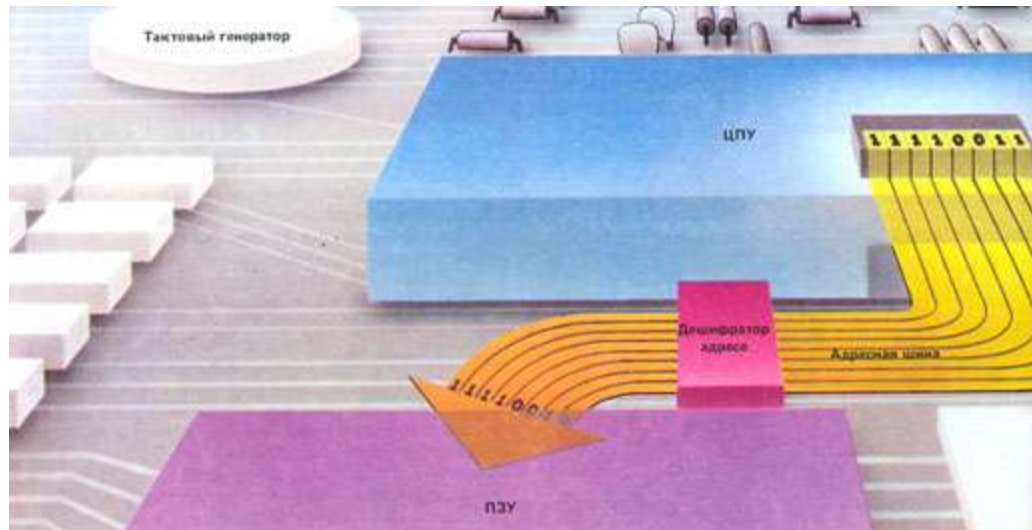




Шина адреса

Это набор проводников; по ним передается адрес ячейки памяти, в которую или из которой пересылаются данные.

Разрядность шины адреса определяет размер адресного пространства.



Разрядности шин в процессорах Intel



Тип процессора	Разрядность шины адреса	Разрядность шины данных
i8086	20	16
i286 / i386SX	24	16
i386DX / i486DX	32	32
Pentium	32	64
Pentium II	36	32

Режимы работы процессора Intel



- **реальный режим (*real mode*)**

В этом режиме выполняющейся программе доступны все ресурсы компьютера; какой-либо аппаратной защиты от несанкционированного доступа к данным (в том числе и к данным операционной системы) нет

- **защищенный режим (*protected mode*)**

предполагает, что на аппаратном уровне задаются ограничения на доступ к отдельным адресам оперативной памяти.

- **режим виртуального процессора 8086 (*virtual 8086 mode*)**

предназначен для организации совместной работы программ, предназначенных как для реального, так и для защищенного режимов работы процессора

- **режим системного управления (*system management mode*)**

обеспечивает механизм для выполнения машинно-зависимых функций. Переход в этот режим выполняется аппаратными средствами.

Регистры процессора



Регистром называется функциональный узел, осуществляющий приём, хранение и передачу информации. Регистры состоят из группы триггеров, обычно D.

Это области высокоскоростной памяти, расположенные внутри процессора.

Доступ к регистрам осуществляется несравненно быстрее, нежели к областям оперативной памяти, имеющим такой же размер. Поэтому машинные команды выполняются гораздо быстрее, если их операнды располагаются в регистрах.

Регистры имеют собственные имена и различаются по функциональному назначению.

Типы регистров



- *регистры данных (общего назначения):*

RAX/EAX/AX/AH/AL,

RBX/EBX/BX/BH/BL,

RCX/ECX/CX/CH/CL,

RDX/EDX/DX/DH/DL,

используются для хранения данных при выполнении различных арифметических и логических операций

- *индексные регистры:*

RDI/EDI/DI, RSI/ESI/SI

предназначены для хранения индексов при работе с массивами.

SI (*Source Index*) содержит индекс источника, а DI (*Destination Index*) — индекс приёмника, хотя их можно использовать и как регистры общего назначения.

Типы регистров



- *регистры-указатели:*

RBP/EBP/BP (Base Pointer) ,

RBP/ESP/SP (Stack Pointer)

используются для работы со стеком

Программист может (с определенными ограничениями) использовать их для хранения своих данных и реализации своих алгоритмов.

Однако некоторые машинные команды требуют, чтобы их операнды размещались в строго определенных регистрах (*неявное использование регистров*).

Особую осторожность следует соблюдать при использовании в своих целях регистров **RSP/ESP/SP** и **RBP/EBP/BP**!

Типы регистров



- *сегментные 16-разрядные регистры*

**CS (Code Segment) ,
DS (Data Segment) ,
SS (Stack Segment) ,
ES (Enhanced Segment) ,
FS , GS .**

Использование этих регистров позволяет реализовать сегментную организацию памяти.

- *регистры состояния и управления*

RFLAGS/EFLAGS/FLAGS

содержит текущее состояние процессора

RIP/EIP/IP (Instruction Pointer)

счетчик команд

Типы регистров



- *регистры управления памятью*

GDTR (***G**lobal **D**escriptor **T**able **R**egister* — регистр глобальной дескрипторной таблицы) 48-битный,

IDTR (***I**nterruption **D**escriptor **T**able **R**egister* — регистр таблицы дескрипторов прерываний) 32-битный,

LDTR (***L**ocal **D**escriptor **T**able **R**egister* — регистр локальной таблицы дескрипторов) 16-битный,

TR (***T**ask **R**egister* — регистр задачи) 16-битный
используются в защищенном режиме работы процессора для хранения управляющих структур этого режима.

- *регистры сопроцессора*

ST (0) , ST (1) , ... , ST (7)

предназначены для работы с математическим сопроцессором.

Схема выделения частей регистров



RAX			RCX			RDX			RBX		
	EAX			ECX			EDX			EBX	
		AX	31		CX			DX			BX
		AH	AL			CH	CL			BH	BL

63 15 7 0

RBP			RSP			RIP			RFLAGS		
	EBP			ESP			EIP			EFLAGS	
		BP	31		SP			IP			FLAGS

63 15 0

По такой же схеме построены регистры **ESI**, **EDI**

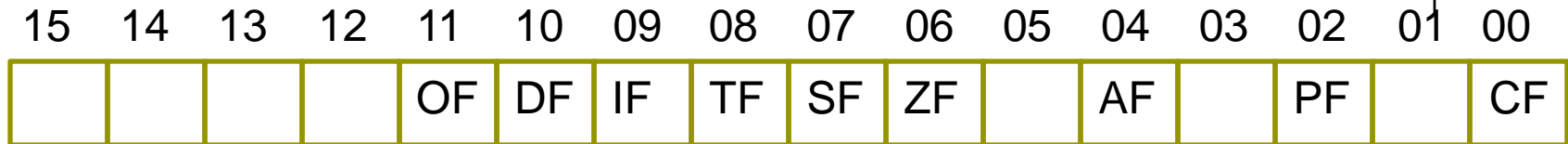


Регистр IP

Регистр-указатель команд **RIP/EIP/IP** хранит адрес следующей подлежащей исполнению команды. По мере того, как микропроцессор загружает команду из памяти и выполняет ее, регистр **IP** увеличивается на число байтов в команде.

Регистр **IP** программно недоступен, для изменения его содержимого служат команды передачи управления.

Регистр флагов



Регистр флагов **RFLAGS/EFLAGS/FLAGS** содержит информацию о текущем состоянии процессора и представляется в виде набора битовых флагов, изменяющихся и проверяемых независимо друг от друга

- В 16-разрядной версии он включает:
- 6 флагов состояния;
 - 3 флага управления процессором.

Флаги состояния



- **CF (Carry Flag)** фиксирует перенос или заем при выполнении арифметических операций. Переносом называется ситуация, когда в результате выполнения правильной, вообще говоря, команды образуется число, содержащее более 16 (32) двоичных разрядов и, следовательно, не помещающееся в регистр или ячейку памяти.
- **PF (Parity Flag)** устанавливается в 1, если младшие 8 разрядов результата операции содержат четное число двоичных единиц, и сбрасывается в 0, если число двоичных единиц нечетно.

Флаги состояния



- **AF (Auxiliary Flag)** используется в операциях над двоично-десятичными числами. Он индицирует перенос или заем из старшей тетрады (бита 4).
- **ZF (Zero Flag)** устанавливается в 1, если результат операции равен 0.
- **SF (Sign Flag)** показывает знак результата операции, будучи равным 1 при отрицательном результате.
- **OF (Overflow Flag)** фиксирует переполнение, т.е. выход результата за пределы допустимого диапазона значений для чисел со знаком.

Управляющие флаги



- **TF (Trace Flag)** используется для осуществления пошагового выполнения программы. Если $TF=1$, то после выполнения каждой команды процессор запускает прерывание с номером 1.
- **IF (Interrupt Flag)** разрешает (если равен 1) или запрещает (если равен 0) процессору реагировать на прерывания от внешних устройств.
- **DF (Direction Flag)** используется командами обработки строк. Если $DF=0$, строка обрабатывается в прямом направлении, от меньших адресов к большим; если $DF=1$, обработка строки идет в обратном направлении.



Спасибо за
внимание!