

INTRODUÇÃO

1. Num sistema computacional, como definiria com as suas próprias palavras o conceito de espaço de endereçamento?
Quantidade de endereços que se pode representar. Conjunto de endereços (nº de Bits)
2. Quando, num sistema computacional, estamos a determinar, em função do endereço presente no barramento, qual o periférico ou memória que deve ser selecionada, estamos perante uma operação que é normalmente designada por?
Decodificação do endereço
3. Quando nos referimos ao tipo de organização de memória num sistema, o que significa dizer que este é:
a) byte-addressable → *Registos de tamanho de 8 bits*
b) bit-addressable → *Registos de 1 Bit*
c) word-addressable → *Registos de tamanho de 1 Word*
4. Identifique e descreva pelas suas palavras qual o papel, na arquitetura de um sistema computacional:
a) do Data Bus → *Informações*
b) do Address Bus → *Endereço*
c) do Control Bus → *Sinais de Controlo*
5. Na arquitetura de um sistema computacional, como designa o barramento que permite identificar, na memória ou num periférico, a origem/destino da informação a transferir. → *Barramento de endereços?*
6. Na arquitetura de um sistema computacional, como designa o barramento que permite especificar o tipo de operação efetuada sobre a memória ou sobre um periférico. → *Barramento de dados*

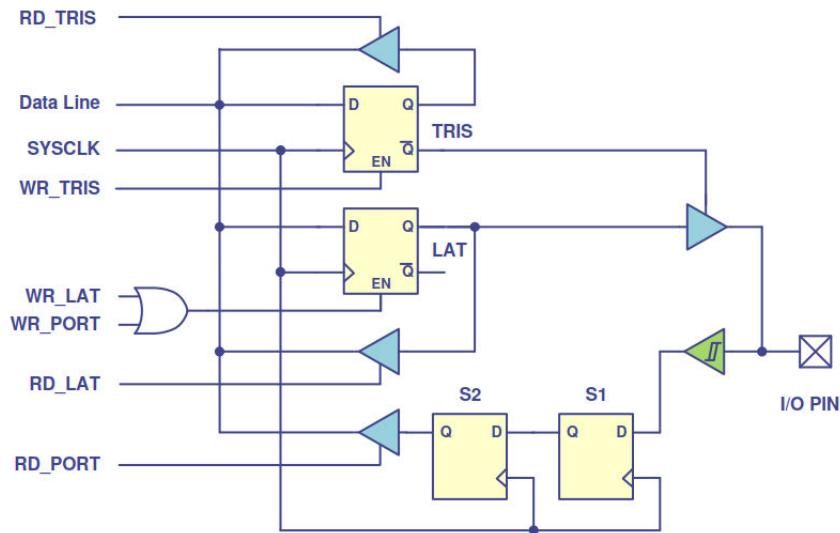
MICROCONTOLADORES (EMBEDDED SYSTEMS)

7. Um compilador-cruzado (cross-compiler) é o nome dado a um tipo específico de programa. Como descreveria, nas suas próprias palavras o que caracteriza este tipo de programa? *Este programa fala da linguagem A para a linguagem B que o MC interpreta.*
8. Identifique qual a função de um bootloader num sistema baseado em microcontrolador?
Um Bootloader executa um número de intrusões Iniciais Básicas e disponibiliza Funções Básicas, Só de read
9. Quando falamos em microcontroladores, por oposição a um sistema computacional de uso geral, o que podemos afirmar:
a. quanto aos principais aspectos da sua arquitetura interna → *Mais Simples, frequência de trabalho menor*
b. quanto à sua frequência de trabalho → *Normalmente em loop infinito que realiza um número fixo de Tarefas, frequência Baixa*
c. quanto à disponibilização de periféricos → *Maior Variedade de Periféricos*
d. quanto ao custo → *Menor*
e. quanto à energia consumida → *Menor*
f. quanto aos seus campos de aplicação → *Aplicações específicas*
10. Como descreveria as principais características de um sistema embbebido?
Realiza Tarefas muito específicas, Memória Complexa que tem Sistema Computacional de uso geral.
11. Um microcontrolador PIC32 usa uma arquitetura pipelined semelhante à estudada nas aulas de AC1. Descreva qual o modelo base da arquitetura usada e o ou os tipos de memória usadas pelo sistema. *Hierárquico, Memórias Separadas.*

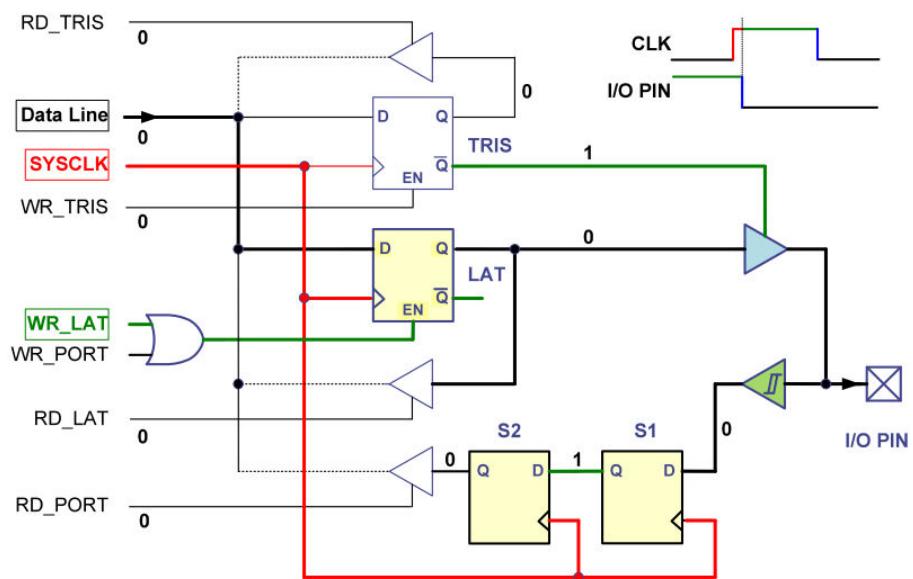
MÓDULOS DE I/O

12. Na arquitetura de um microcontrolador PIC32 qual a finalidade e funcionalidade dos seguintes registos:
a. TRIS → *Input/Output Definição Pinos*
b. LAT → *Saidas Valor Pinos*
c. PORT → *Ler Valores de Entrada Pinos*

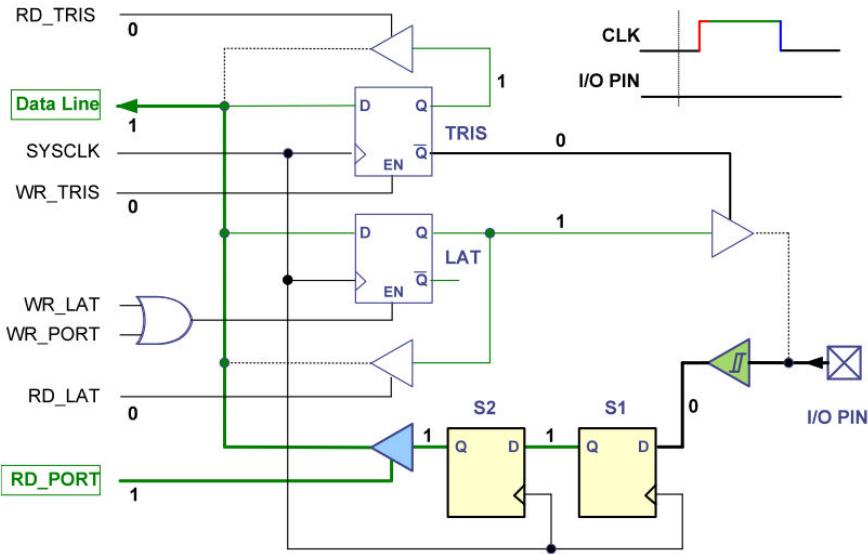
- ~~10.~~ Num porto de I/O do PIC32 (esquema abaixo), quando o porto se encontra configurado como porto de entrada,
- continua a ser possível escrever no registo de saída? ~~Sim~~
 - continua a ser possível ler o valor que se encontra armazenado no registo LAT? ~~Sim~~
 - se sim, qual o sinal que permite realizar essa leitura? ~~Port~~
- ~~11.~~ Num porto de I/O do PIC32 (esquema abaixo), se eu não souber qual a configuração do mesmo (saída ou entrada),
- será possível saber essa informação programaticamente? ~~Ler o Registo TRIS~~
 - se sim, qual o sinal de controlo que permite essa operação? ~~RA = TRIS~~



- ~~12.~~ Considere que está a decorrer uma operação sobre um porto de I/O de um PIC32 (ver esquema abaixo – considere o instante assinalado no diagrama temporal).
- O porto encontra-se configurado como entrada ou saída? ~~Saida~~
 - Identifique e descreva qual a operação que está em curso. ~~Escrever um modo I/O Pin de Saída~~



? 16. Repita o exercício anterior para o esquema apresentado abaixo *Entrada, lendo valor do I/O Pin que é 0?*



? 17. Na implementação da parte de dados de um porto de saída, que tipo de dispositivo lógico deve ser usado para armazenar o valor transferido através do barramento de dados durante um ciclo de escrita:

? 18. Na implementação de um porto de I/O do PIC32, o registo PORT está associado a um conjunto de dois flip-flops D em série (*shift register* de dois andares). Qual o objetivo dessa implementação? *Só é flip-flop de sincronização para garantir que quando o I/O Pin é lido no porto está sincronizado com o clk.*

? 19. Pretende usar-se o porto RB do microcontrolador PIC32MX795F512H para realizar a seguinte função (em ciclo infinito):

Igual O byte menos significativo ligado a este porto é lido com uma periodicidade de 100ms. Com um atraso de 10ms, o valor lido no byte menos significativo é colocado, em complemento para 1, no byte mais significativo desse mesmo porto. Escreva, em *assembly* do MIPS, um programa que execute esta tarefa.

- configure o porto RB para executar corretamente a tarefa descrita
- efetue a leitura do porto indicado
- execute um ciclo de espera de 10ms
- efetue a transformação da informação lida para preparar o processo de escrita naquele porto
- efetue, no byte mais significativo, o valor resultante da operação anterior
- execute um ciclo de espera de 90ms
- regresse ao ponto b.

NOÇÕES BÁSICAS SOBRE PERIFÉRICOS

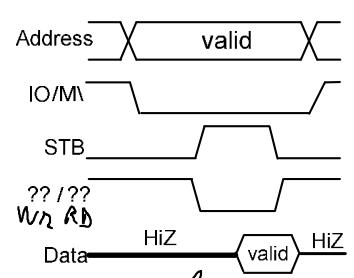
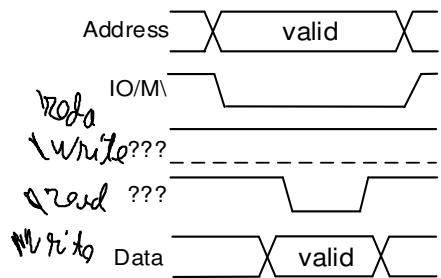
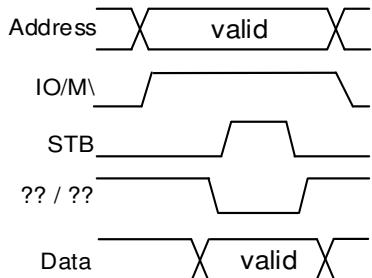
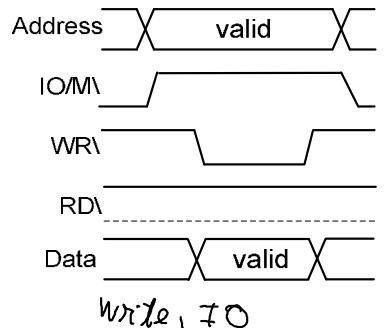
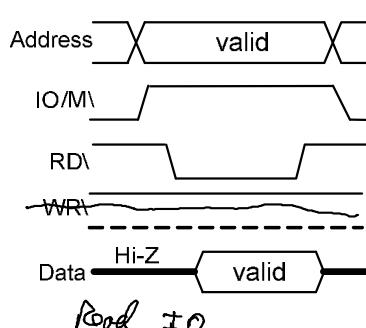
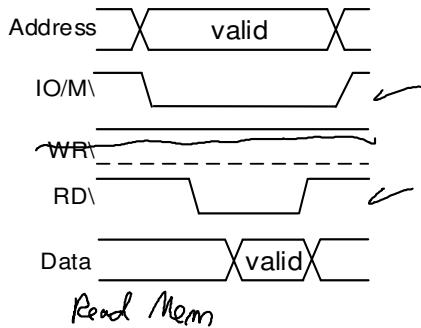
? 20. A descrição da funcionalidade de um dado dispositivo periférico, o seu conjunto de registos de dados, de controlo e de *status* é genericamente designada, no contexto de arquitetura de computadores, por uma designação específica. Qual essa designação? *Método de programação*

21. Quando, no acesso que o CPU faz a um módulo de E/S, é usada a técnica de entrada/saída de dados por software (programada), quais as tarefas que são realizadas pelo CPU? *Primeiro o CPU efetua o pedido ao Periférico com a informação que pretende ler, espera que informação seja disponibilizada ou processada pelo Periférico, e depois guarda a informação no memória do sistema.*

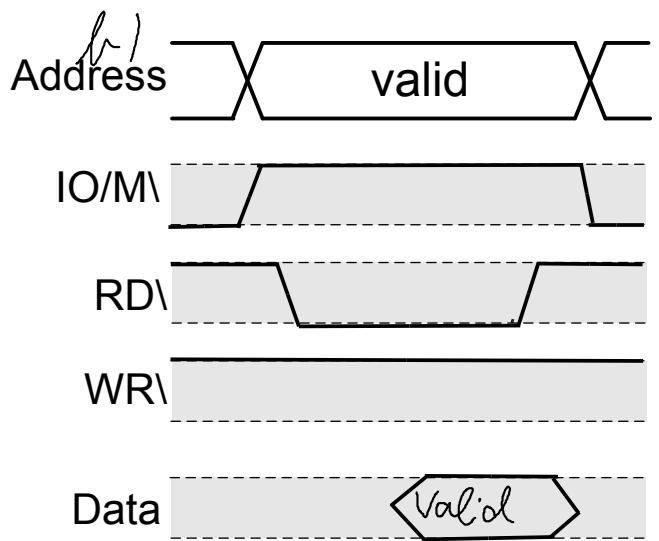
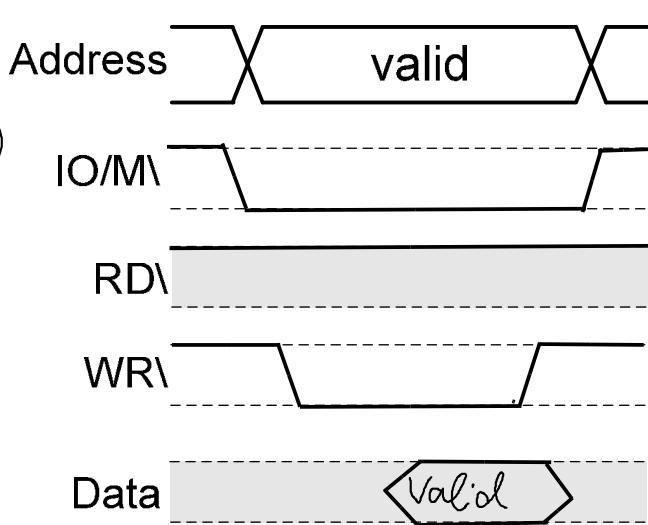
22. O método de transferência de informação entre um CPU e um módulo de E/S (I/O), em que o programa executado no CPU é responsável por iniciar, monitorizar e controlar a transferência de informação, designa-se por: *E/S programada ou Polling do CPU ao periférico.*

23. Quando nos referimos a um “Módulo de I/O”, estamos a referir-nos especificamente a que parte do periférico de que este módulo faz parte: *A porta I/O periférico que comunica com o exterior (CPU), e que apresenta uma forma simples e comunicar com o periférico, independentemente da sua implementação externa específica.*

24. Na implementação da parte de dados de um porto de entrada de um módulo de I/O;
- que tipo de dispositivos lógicos devem ser usados na ligação ao barramento de dados?
 - por que razão é fundamental usar esses dispositivos?
25. Os diagramas temporais que se seguem, nas várias figuras, representam operação de transferência de informação (leitura ou escrita) de/para dispositivos que podem estar mapeados em espaços de endereçamento de I/O ou de memória. Identifique, para cada diagrama qual o tipo de operação e espaço de endereçamento utilizado:



26. Nos diagramas temporais, incompletos, das duas figuras abaixo, complete a representação gráfica dos mesmos para:
- uma operação de escrita num dispositivo mapeado no espaço de endereçamento de memória.
 - uma operação de leitura a partir de um dispositivo mapeado no espaço de endereçamento de I/O.



INTERRUPÇÕES

Pooling -> CPU faz a espera do periférico, sendo este o único que começo a comunicar com o periférico.

Interrupts -> CPU pede info ao periférico, e em vez de esperar, é avisada pelo periférico quando a info se encontrar disponível.

27. No que respeita ao sistema de interrupções do PIC32 é (usado na placa DETPIC32):

- Descreva sucintamente os dois modos de funcionamento do sistema de interrupções
- No caso do sistema de interrupções feita por hardware, como descrevira sucintamente o seu funcionamento
- Ainda no caso da alínea anterior, o que determina a ordem pela qual as interrupções são servidas nos casos em que ocorram em simultânea a partir de mais do que uma fonte.

No caso do PIC32 o sistema de interrupções por hardware, o periférico ativa um sinal de interrupt request quando CPU está e assim que vai atender à interrupção ativa o interrupt ACK e o periférico coloca o seu valor no Data Bus para ser reconhecido pelo CPU. No PIC32 quando há + de 1 interrupção ao mesmo tempo, ele atende primeiro a de maior prioridade que é configurada

? Quando o FPC guarda os registos só depois ativa o ACK, ou antes?

28. Numa RSI, qual o objetivo do conjunto de instruções designado por:

- "prólogo"? → Salvar/guardar registos internos do CPU
- "epílogo"? → Restaurar registos internos do CPU

29. Descreva, por palavras suas, o que se entende por *overhead* da transferência de informação por interrupção e as razões que justificam esse overhead. O Overhead são o conjunto de instruções que tem que ocorrer sempre antes e depois do atendimento à Interrupção, neste caso a Salvaguarda e restauração de registos internos do CPU.

? 30. Considere um sistema baseado num CPU a funcionar a uma frequência de 10 MHz com uma taxa de execução de 5 MIPS (5×10^6 instruções por segundo, CPI = 2) que processa por interrupção eventos externos periódicos. Se o *overhead* total do atendimento à interrupção for de 20 ciclos de relógio, e a rotina de serviço à interrupção tiver 40 instruções, determine a máxima frequência a que esses eventos podem ocorrer para que todas as interrupções possam ser atendidas ($\frac{20}{2} + 40 = 50$ instruções). $\frac{1}{x} = 5 \times 10^6 \text{ } \text{K} = 1 \times 10^5 \text{ } \text{H}_3 = \frac{1}{10^5} \times 10^6 \text{ } \text{H}_3 + 40 + 40 = 50$
Cada instrução demora 2 clocks.

31. Considere um sistema baseado num CPU a funcionar a uma frequência de 40 MHz com uma taxa de execução de 16 MIPS (16×10^6 instruções por segundo, CPI = 2.5). Pretende-se processar por interrupção eventos externos periódicos que ocorrem a uma frequência de 200 kHz. Para cumprir este requisito e sabendo que o *overhead* total do atendimento à uma interrupção é 75 ciclos de relógio, calcule o número máximo de instruções máquina que a rotina de serviço à interrupção pode ter.

32. Recalcule a solução para o problema anterior admitindo agora que o CPU a funciona a uma frequência de 100 MHz com uma taxa de execução de 33.3 MIPS (33.3×10^6 instruções por segundo, CPI = 3.0) e que se pretende processar por interrupção eventos externos periódicos que ocorrem a uma frequência de 500 kHz. Admita ainda que o *overhead* total do atendimento à interrupção é 80 ciclos de relógio.

33. Considere um sistema baseado num CPU a funcionar a uma frequência de 10 MHz com uma taxa de execução de 5 MIPS (5×10^6 instruções por segundo, CPI = 2) que processa por interrupção eventos externos periódicos. A rotina de serviço à interrupção tem 70 instruções e verificou-se experimentalmente que a máxima frequência a que os eventos externos podem ocorrer é 50 kHz. Nestas condições determine, em ciclos de relógio, qual o valor máximo que pode ser usado pelo *overhead* total do atendimento.

34. Considere agora um sistema baseado num CPU a funcionar a uma frequência de 80 MHz com uma taxa de execução de 40 MIPS (40×10^6 instruções por segundo, i.e. CPI = 2) que processa, por interrupção, eventos externos periódicos. Se o *overhead* total do atendimento à interrupção for de 40 ciclos de relógio, e a rotina de serviço à interrupção tiver 20 instruções, determine a máxima frequência a que esses eventos podem ocorrer para que todas as interrupções possam ser atendidas.

? 35. Descreva sucintamente, para o caso de um sistema de interrupções vetorizadas com prioridade estabelecida por "daisy chain":

- como é estabelecida a prioridade de resposta a interrupções simultâneas Como o Sinal do Interrupt Ack é gerado de um Periférico para outro, o que ocorre mais, tanto mais tempo o CPU é quando que responde este nível prioritário, e por tanto, a menor é a prioridade, caso que todos estão atendendo o Interrupt. Reg. para o Sinal para o prox. Periférico.
- como se designa o sinal por hardware que permite estabelecer e assegurar o funcionamento do sistema em tempo real? "daisy chain" Interrupt Ack In/out

36. Descreva, sucintamente, as fases temporais de atendimento a uma interrupção num sistema de interrupções vetorizadas. Primeiro o CPU recebe uma IF (ou I.request), este aviso que tende oportunamente para um interrupt ACK e o Periférico recibe essa info e coloca no Data Bus o Veto que o é enviado ao CPU identifica o Periférico e processa a execução o conjunto de instruções associadas à interrupção.

? 37. Como designaria a organização de um sistema de atendimento a interrupções em que a identificação, pelo CPU, do periférico gerador da interrupção é feita por hardware, num ciclo de *interrupt acknowledge* durante o qual o periférico gerador da interrupção coloca o seu voto no barramento de dados. Sinal de atendimento de Interrupção, Veto?

38. Descreva, sucintamente, o funcionamento de um sistema de interrupções baseado em "identificação da fonte por software". Le regista dos diferentes periféricos até perceber qual foi, em vez de Colocar na tabela.

DMA

29. Descreva a sequência de operações para que possa ocorrer uma transferência por DMA, em modo bloco, quando o controlador de DMA pretende dar início a uma transferência *de Periférico se não tiver a informação disponível, o DMA espera, assim que estiver, pede ao CPU para ser Bus Master, quando consegue vai ler um byte ou bloco de info e enviar no sítio apropriado, incrementa o nº bytes/word escrito, os endereços inicial e final, até ao número de transferências pretendidas. depois libera o bus peg o CPU o Bus Grant, espera à interrupção.*
30. Qual a operação que, tipicamente, um controlador de DMA executa quando conclui um processo de transferência de informação enquanto *bus master*. *Retira o Bus Grant e ativa uma Interrupção.*
libera as linhas de info
31. Descreva, sucintamente, qual a finalidade do sinal *busgrant* num sistema que suporte transferência de dados por DMA, quem gera esse sinal e em que circunstâncias *o Bus Grant é gerado pelo CPU quando o DMA pede para ser o Bus Master, com o objectivo do DMA que os barramentos estejam livres.*
32. Descreva, sucintamente, qual a sequência de eventos que ocorrem numa transferência por DMA, em modo *cycle-stealing*, quando o controlador de DMA pretende dar início a uma transferência elementar. *No cycle-stealing o DMA ativa o Bus Req, o CPU libera os barramentos e ativa o Bus Grant, o DMA leitura palavra e libera os barramentos, espera 1 tempo fino, e depois faz o mesmo, mas escreve a palavra que leu, libera o Barramento e incrementa os Endereços e o contador das palavras Transf.*
33. Descreva, sucintamente, qual a diferença entre os modos de operação “bloco” e “burst” de um controlador de DMA. *Põe muito semelhante, apenas o Modo Bloco espera que toda a informação do periférico esteja disponível de transpor todo, o burst vai transpondo e assim que o periférico fique sem info, mas a transferência não se encerra conduida, ele libera o Bus Grant, e assim que escuta info outra vez só vai transpor ate ao fim da info.*
34. Considere um controlador de DMA não dedicado, a funcionar em modo bloco, em que um *bus cycle* é realizado em 1 ciclo de relógio. Calcule o tempo necessário para efetuar a transferência de um bloco de dados para as seguintes condições:
- controlador de 32 bits, frequência de funcionamento do DMA de 500 MHz, bloco de 512 words de 32 bits
 - controlador de 16 bits, frequência de funcionamento do DMA de 1GHz, bloco de 512 words de 32 bits
 - controlador de 16 bits, frequência de funcionamento do DMA de 1GHz, bloco de 512 words de 32 bits
 - controlador de 16 bits, frequência de funcionamento do DMA de 500MHz, bloco de 2Kwords de 16 bits
- $\rightarrow 0.20 \times 10^{-8} \times 2 \times 512 \rightarrow 204,8 \times 10^{-8} \rightarrow 10^{-9} \times 2 \times 512 \times 2$
35. Volte a resolver o problema anterior considerando agora que um *bus cycle* é realizado em 2 ciclos de relógio e para as seguintes condições: 512 words de 32 bits é:
- controlador de 32 bits, frequência de funcionamento do DMA de 1GHz, bloco de 1K words de 32 bits
 - controlador de 16 bits, frequência de funcionamento do DMA de 500MHz, bloco de 2K words de 32 bits
 - controlador de 16 bits, frequência de funcionamento do DMA de 1GHz, bloco de 256 words de 32 bits
 - controlador de 16 bits, frequência de funcionamento do DMA de 500MHz, bloco de 2Kwords de 16 bits
- $\rightarrow 10^{-9} \times 4 \times 1000 \rightarrow 4 \times 2 \times 10^{-9} \times 256$ *1 word cada Bus cycle*
36. Resolva as duas primeiras alíneas do problema anterior considerando agora que o controlador é dedicado.
- $a) 2 \times 10^{-9} \times 1000$
 - $b) 2 \times 2 \times 0.70 \times 10^{-8} \times 2000$
37. Considere agora um controlador de DMA não dedicado, a funcionar em modo *cycle-stealing*, em que um *bus cycle* é realizado em 2 ciclos de relógio e o tempo mínimo entre operações elementares é 1 ciclo de relógio. Calcule o tempo necessário para efetuar a transferência de um bloco de dados para as seguintes condições:
- controlador de 32 bits, frequência de funcionamento do DMA de 250 MHz, bloco de 512 words de 32 bits
 - controlador de 16 bits, frequência de funcionamento do DMA de 1GHz, bloco de 512 words de 32 bits
 - controlador de 16 bits, frequência de funcionamento do DMA de 500MHz, bloco de 2Kwords de 16 bits
- $\rightarrow (2 + 2 + 2) \times (250 \times 10^{-6}) \times 512$ *Ler Escrivem Esperar*
- $\rightarrow (2 + 1 + 2 + 1 + 2 + 1) \times (1 \times 10^{-9} \times 512)$ *Ler Enviar Write Enviar*

48. Determine o número de bus cycles necessários para efetuar uma transferência por um controlador de DMA dedicado a funcionar em modo bloco, dadas as seguintes condições:

- controlador de 32 bits, frequência de funcionamento do DMA de 500 MHz, bloco de 512 words de 32 bits
- controlador de 16 bits, frequência de funcionamento do DMA de 1GHz, bloco de 4K words de 32 bits
- controlador de 16 bits, frequência de funcionamento do DMA de 1GHz, bloco de 512 words de 32 bits
- controlador de 16 bits, frequência de funcionamento do DMA de 500MHz, bloco de 1Kwords de 16 bits

512

$\rightarrow 2 \times 4000$

$$4 \text{ Bytes} = 8 \times 10^{-8} \text{ s}$$

η

13

\oplus

\bar{v}

5

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

13

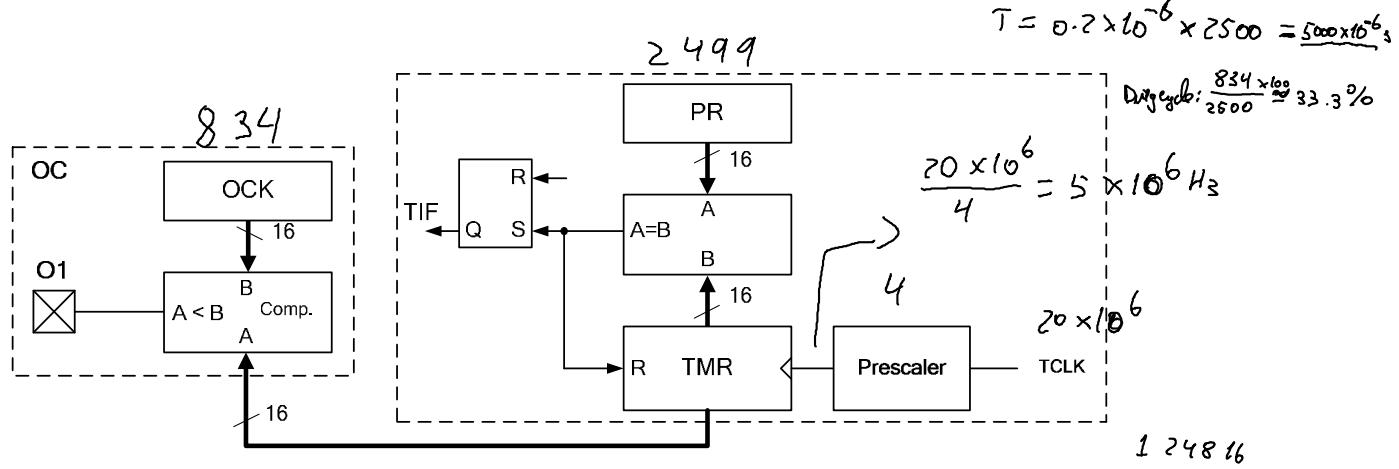
13

13

13

55. Alguns dos timers que estudou e utilizou têm, como último andar do temporizador, um divisor por dois. Descreva, sucintamente, qual a razão e finalidade desse divisor por dois.

56. Considere um timer e uma unidade OC como o da figura abaixo (semelhante aos dos PIC32). Admita que a frequência do relógio TCLK é de 20MHz, que o fator de divisão do prescaler é 4, que o valor armazenado em PR é 2499 e que o valor em OCK é 834. Determine o período do sinal de saída e o respetivo duty cycle.



57. Pretende-se gerar um sinal com uma frequência de 85 Hz. Usando o Timer T2 e supondo PBCLK = 50 MHz:
 a. calcule o valor mínimo da constante de divisão a aplicar ao prescaler e indique qual o valor efetivo dessa constante
 b. calcule o valor da constante PR2

$$\frac{1}{85} = 16 \times \frac{1}{50 \times 10^6} \times (PR_2 + 1) \Rightarrow PR_2 + 1 = \frac{1}{85} \times \frac{50 \times 10^6}{16} \Rightarrow PR_2 = \frac{50 \times 10^6}{16 \times 85} - 1 \Rightarrow PR_2 = 65566 - 1 \Rightarrow PR_2 = 65565$$

58. Repita o exercício anterior, supondo que se está a usar o Timer T1
 Com $64 = k$, temos $1,8,16,32,64,128$

59. Pretende-se gerar um sinal com uma frequência de 100 Hz e 25% de "duty-cycle". Usando o módulo "output compare" OC5 e como base de tempo o Timer T3 e supondo ainda PBCLK = 40 MHz:

$$\begin{aligned} \text{a. determine o valor efetivo da constante de prescaler que maximiza a resolução do sinal PWM} & \Rightarrow \frac{1}{100} = 65566 \times \frac{1}{40 \times 10^6} \times k \\ \text{b. determine o valor das constantes PR3 e OC5RS} & \Rightarrow \frac{1}{100} = \frac{1}{40 \times 10^6} \times 8 \times (PR_3 + 1) \Rightarrow PR_3 + 1 = \frac{100}{40 \times 10^6} \times 8 \Rightarrow PR_3 = 200000 - 1 \Rightarrow PR_3 = 199999 \\ \text{c. determine a resolução do sinal de PWM obtido} & \Rightarrow \log_2(50000) \approx 15 \end{aligned}$$

60. Considere ainda um timer como o da figura acima (semelhante aos dos PIC32) com a sua saída ligada uma unidade OC. Admita que a frequência do relógio TCLK é de 20MHz e que o fator de divisão do prescaler é 8. Determine quais os valores que deverá colocar nos registos em PR e OCK para obter na saída O1 um sinal periódico com uma frequência de 200Hz e um duty cycle de 25%: Mais do mesmo

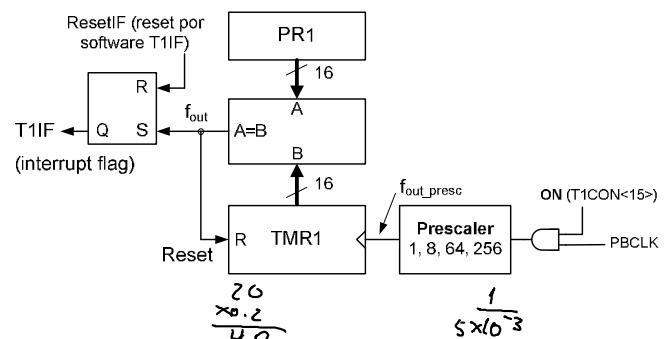
61. Considere um timer do tipo A do PIC32 (semelhante ao da figura) e um PBCLK = 20MHz. Determine o fator divisão do prescaler e o valor a colocar em PR1 para que o período de fout seja de 15ms, com a melhor precisão possível:

$$T_{out} = T_{im} \times K \times (PR_2 + 1)$$

$$15 \times 10^{-3} = 0.05 \times 10^{-6} \times 65566 \times k$$

$$K = \frac{15 \times 10^{-3}}{0.05 \times 10^{-6} \times 65566}$$

$$K \approx 4.5 \log k = 8$$



62. Considere um timer com reset síncrono em que a relação entre as frequências de entrada e de saída é dada por $(k+1)$, sendo k uma constante configurável. Determine o valor de k para as seguintes condições:
 a. frequência de entrada do timer for 20MHz e período do sinal à saída de 5ms
 b. frequência de entrada do timer for 25MHz e período do sinal à saída de 1ms

$$\frac{f_{in}}{f_{out}} = k+1$$

$$\frac{20 \times 10^6}{0.2 \times 10^3} = k+1$$

$$k = 4 \times 10^3 - 1$$

- c. frequência de entrada do timer for 40MHz e período do sinal à saída de 250ms

$\leftarrow T_{\text{max}}$

8. Calcule qual o tempo máximo entre resets ao um sistema de watchdog timer que gera um sinal de reset ao processador sempre que a contagem atinge o valor máximo. Admita as seguintes condições:

 - frequência de entrada de 100 kHz, contador crescente de 16 bits $2^{16} \times \frac{1}{100 \times 10^3} = T_{\max}$ $x \approx 0.25565$
 - frequência de entrada de 20 kHz, contador crescente de 10 bits $1024 \times \frac{1}{20 \times 10^3} = T_{\max}$
 - frequência de entrada de 50MHz, contador crescente de 24 bits (---)

- 7 64. Um determinado microcontrolador disponibiliza um watchdog timer com uma frequência de entrada de 100 kHz. O programa em execução faz, por software, um reset ao watchdog timer com uma periodicidade que pode variar entre [10ms ... 170ms]. Determine o número mínimo de bits do contador do watchdog timer por forma a que este nunca gera um reset ao processador.

$$\text{r. } \frac{1}{100 \times 10^3} \times K = 170 \times 10^{-3} \quad (\Rightarrow) \quad K = 170 \times 10^3 \times 100 \times 10^{-3} \\ K = 17000 \quad [\log_{10}(17000)] = 4.23$$

5. Repita o problema anterior admitindo agora que a frequência de entrada do watchdog timer é de 250 kHz e que o programa em execução faz, por software, um reset ao watchdog timer com uma periodicidade que pode variar entre [125ms ... 480ms] (...)

- ?? b. O programa em execução num microcontrolador faz, por software, um reset 'ao watchdog timer com uma periodicidade que pode variar entre [50ms ... 150ms]. O watchdog desse microcontrolador usa um gerador de relógio próprio e um contador binário de 16 bits que, ao chegar ao fim de contagem, gera um reset por hardware ao microcontrolador. Dadas estas condições, e por forma a que o sistema de supervisão funcione adequadamente, determine qua a máxima frequência de relógio aplicada na entrada do watchdog.

Determine qual a máxima frequência de relogio aplicada na entrada do watchdog.

$$\text{Tem que } M_{R1} + 1 = \frac{1}{f_{\text{min}}} \times 65535 = 150 \times 10^3$$

$$f_{\text{máx}} = \frac{65535}{150 \times 10^3} = 432.100 \rightarrow 150 \text{ ms}$$

NOÇÕES BÁSICAS DE BARRAMENTOS / DESCODIFICAÇÃO DE ENDEREÇOS

7. Para um barramento de endereço como o indicado abaixo, que seleciona blocos de memória com 1Kbyte, suponha que no descodificador apenas se consideram os bits A15, A13 e A11, com os valores 1, 0 e 0, respectivamente.

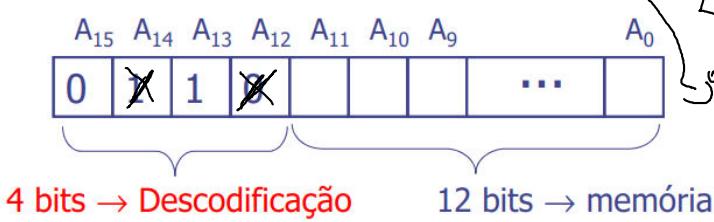
 - apresente a expressão lógica que implementa este descodificador:
 - em lógica positiva $A_{15} \cdot A_{13} \cdot A_{11}$
 - em lógica negativa $\overline{A_{15}} + \overline{A_{13}} + \overline{A_{11}}$
 - indique os endereços inicial e final da gama-base descodificada e de todas as réplicas.

x_1	x_2	x_3	Endereços
0	0	0	8000 - B3FF
0	0	1	8400 - B7FF
0	1	0	9000 - 93FF
0	1	1	9400 - 97FF
1	0	0	C000 - C3FF
1	0	1	C400 - C7FF
1	1	0	D000 - D3FF
1	1	1	D400 - D7FF

- ? 68. Considere o exemplo de um espaço de endereçamento indicado na figura abaixo, em que os blocos de memória têm uma dimensão de 4Kbyte. Admita agora não vamos descodificar os bits A14 e A12 do bloco dos 4 bits mais significativos, resultando na expressão $CS = A15 + A13$

Exercício 1 determine as gamas do espaço de endereçamento de 16 bits ocupadas pela memória.

b) determine os endereços possíveis para aceder à 15^a posição da memória.



1111 0000

705. Escreva as equações lógicas dos 4 descodificadores necessários para a geração dos sinais de seleção para cada um dos dispositivos identificados na figura ao lado.

Memória ROM $\rightarrow A_{15} \cdot A_{14} \cdot A_{13} \cdot A_{12} \cdot A_{11}$

Vídeo $\rightarrow \bar{A}_{15} \cdot \bar{A}_{14} \cdot \bar{A}_{13} \cdot \bar{A}_{12} \cdot \bar{A}_{11} \cdot A_{10} \cdot \bar{A}_9 \cdot \bar{A}_8 \cdot \bar{A}_7 \cdot \bar{A}_6 \cdot \bar{A}_5 \cdot \bar{A}_4 \cdot \bar{A}_3 \cdot \bar{A}_2$

Porto \rightarrow Endereço

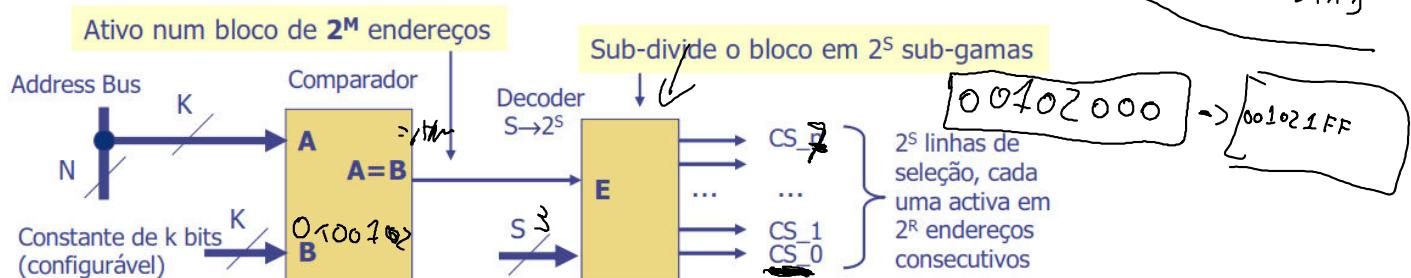
Memória RAM $\rightarrow \bar{A}_{15} \cdot \bar{A}_{14} \cdot \bar{A}_{13} \cdot \bar{A}_{12} \cdot \bar{A}_{11} \cdot \bar{A}_{10}$



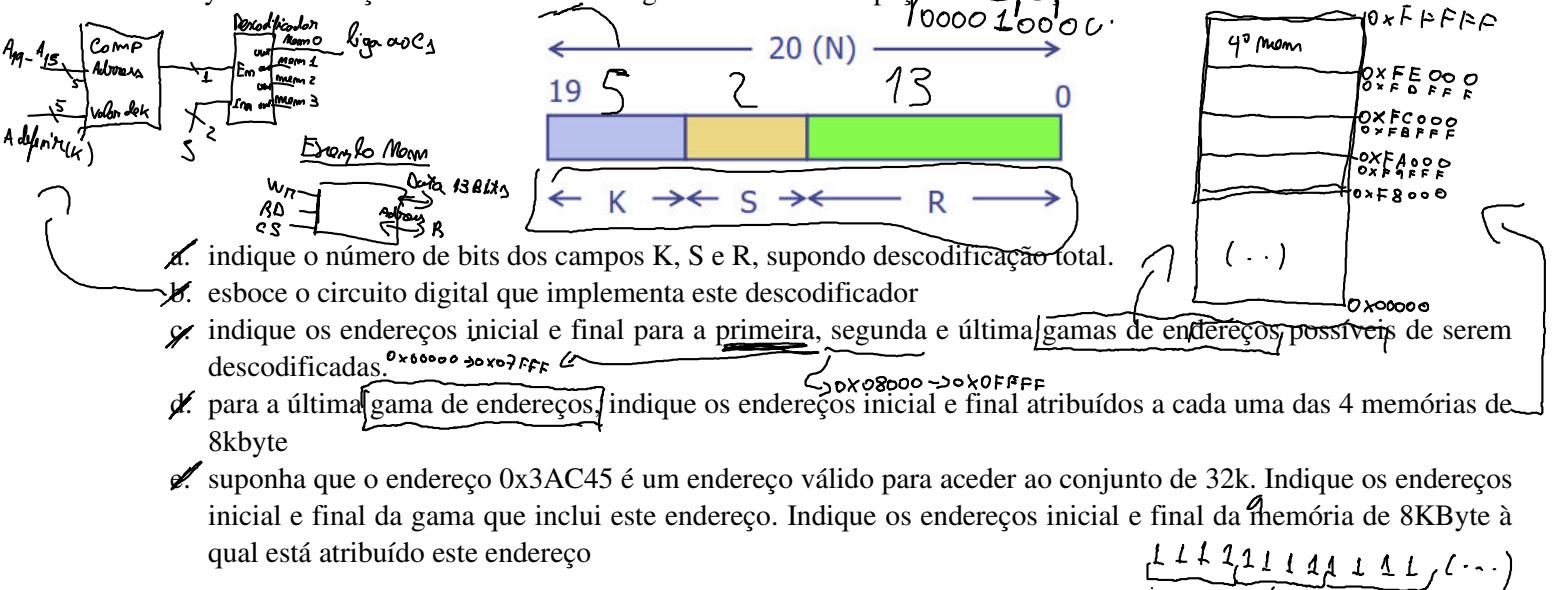
0xFFFF	Memória ROM (2kB)
0xF800	
0x0604	
0x0600	
0x0500	Porto
0x03FF	
0x0000	Memória RAM (1kB)

70. Para o exemplo da figura abaixo, determine a gama de endereços em que cada uma das linhas CS_x está activa, com a constante de comparação 00102 e admitindo que o valor de S é composto por 3 bits.

Barramento 32 Bits



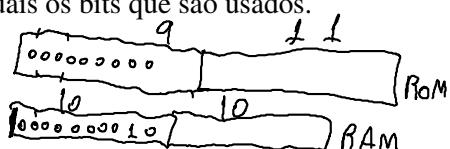
71. Para um barramento de endereço de 20 bits, semelhante ao indicado na figura, pretende-se gerar os sinais de seleção para 4 memórias de 8 kByte, a mapear em gamas de endereços consecutivas, de modo a formar um conjunto de 32 kBByte. O endereço inicial deve ser configurável. Para um espaço de endereçamento de 20 bits:



72. Pretende-se gerar os sinais de seleção para os seguintes 4 dispositivos: 1 porto de saída de 1 byte, 1 memória RAM de 1 kByte (byte-addressable), 1 memória ROM de 2 kByte (byte-addressable), 1 periférico com 5 registos de 1 byte cada um. O espaço de endereçamento a considerar é de 20 bits.

- a. desenhe o gerador de linhas de seleção para estes 4 dispositivos, baseando-se no modelo discutido nos slides anteriores e usando a mesma sub-gama para o periférico e para o porto de saída de 1 byte.
- b. especifique a dimensão de todos os barramentos e quais os bits que são usados.

Disp	0x00C0 F
RAM	0x00BF F
ROM	0x0080 C



- c. desenhe o mapa de memória com o endereço inicial e final do espaço efetivamente ocupado por cada um dos 4 dispositivos, considerando para o conjunto um endereço-base por si determinado.

73. O periférico com 5 registos, do exercício anterior, tem um barramento de endereços com três bits. Suponha que esses bits estão ligados aos bits A0, A1 e A2 do barramento de endereços do CPU.

- usando o descodificador desenhado no exercício anterior, indique os 16 primeiros endereços em que é possível aceder ao registo 0 (selecionado com A0, A1 e A2 a 0)
- repita o exercício anterior supondo que os 3 bits do barramento de endereços do periférico estão ligados aos bits A2, A3 e A4 do barramento de endereços.

74. Admita que, num espaço de endereçamento de 16 bits, um descodificador é implementado através da expressão lógica " $CE \backslash = A_{15} + A_{14} + A_{12} \backslash$ ". Determine qual/quais gama(s) de endereço(s) que este módulo descodifica: $CE \backslash = A_{15}, A_{14}, A_{12}$

$0001\underset{\downarrow}{\underset{\downarrow}{\underset{\downarrow}{0000}}}\underset{\downarrow}{\underset{\downarrow}{\underset{\downarrow}{0}}}$

$0011\underset{\downarrow}{\underset{\downarrow}{\underset{\downarrow}{0000}}}\underset{\downarrow}{\underset{\downarrow}{\underset{\downarrow}{0}}}$

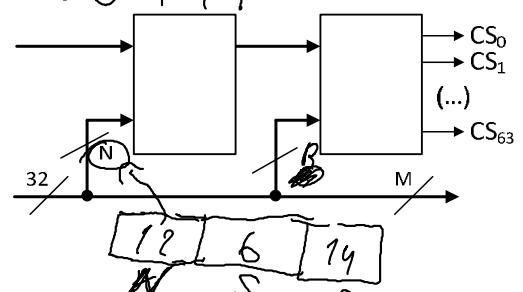
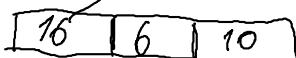
$0x1000 \rightarrow 0x1FFF$

$0x3000 \rightarrow 0x3FFF$

75. Suponha que pretende implementar um circuito gerador de sinais de seleção programável (semelhante ao que estudou nas aulas teóricas) que gere 64 linhas de seleção, cada uma delas ativa em 16k endereços consecutivos, num espaço de endereçamento de 32 bits.

$0x000 \rightarrow 0xF_F_F$

- Determine qual a dimensão em bits (N) e respetiva gama, que deve ser ligado ao primeiro bloco da figura.
- Determine agora qual a dimensão em bits (N) e respetiva gama, que deve ser ligado ao primeiro bloco da figura, se pretendêssemos agora que cada uma das 64 linhas de seleção ativa 1K endereços consecutivos.



76. Um programa que pretende transferir dados de 32 bits de um periférico para a memória é implementado num ciclo com 10 instruções. Admitindo que o CPU funciona a 200 MHz e que o programa em causa apresenta um CPI de 2.5, determine, em MByte/s, a taxa de transferência máxima que se consegue obter, supondo um barramento de dados de 32 bits.

$$2.5 \times 5 \times 10^9 = 12.5 \times 10^9 \text{ por Instruções}$$

$$12.5 \times 10^9 \rightarrow 4 \text{ Bytes} \quad n = 32 \times 10^6$$

$$1 \rightarrow x \text{ Bytes/s}$$

77. Suponha que dispõe de 16 circuitos de memória de $1M \times 4$ bits. Usando todos estes circuitos, determine qual o tamanho do módulo de memória, com uma dimensão de palavra de 1 byte, que é possível construir:

$$1 \text{ Mega} \rightarrow 4 \text{ Bits}$$

$$0.5 \text{ mega} \rightarrow 8 \text{ Bits}$$

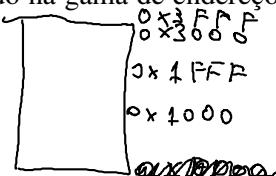
$$16 \times 0.5 \times 10^6 = 8 \times 10^6 \text{ Bytes na memória toda, logo tem que haver } \frac{até}{até} \text{ endereços}$$

78. Para construir um módulo de memória SRAM de $512k \times 8$ bits, admitindo que dispõe de circuitos de $64k \times 8$ bits quantos circuitos seriam necessários?

79. O sinal de seleção "Sel" (ativo baixo) de uma memória de $2k$ endereços mapeada na gama de endereços $0x00800 \dots 0x00FFF$, num espaço de endereçamento de 20 bits, pode ser obtido através de uma expressão

$$\text{lógica do tipo } \overline{Sel} = \overline{A_{11}} + \sum_{i=12}^{19} A_i$$

- obtenha a expressão do sinal "Sel" (ativo baixo) um porto mapeado na gama de endereços $0x00400 \dots 0x007FF$, num espaço de endereçamento de 20 bits.
- obtenha a expressão do sinal "Sel" (ativo baixo) para as mesmas condições da alínea anterior, mas agora admitindo que o espaço de endereçamento é de 16 bits
- obtenha a expressão do sinal "Sel" (ativo baixo) de uma memória de $16k$ endereços mapeado na gama de endereços $0x8C000 \dots 0x8CEFF$, num espaço de endereçamento de 20 bits.
- Obtenha a expressão do sinal "Sel" (ativo alto) de um porto mapeado na gama de endereços $0x0000 \dots 0x03FF$ de um processador com um espaço de endereçamento de 16 bits



0 0 X 1 X X X X X X

- e. Obtenha a expressão do sinal "Sel" (ativo alto) de uma memória de 4k endereços mapeado na gama de endereços **0x9000...0x9FFF**, num espaço de endereçamento de 16 bits

$A_{15} \cdot A_{14} \cdot A_{12}$

80. Determine qual a(s) gama(s) de endereço(s) descodificada(s), num espaço de endereçamento de 16 bits, por um descodificador implementado através das seguintes expressões lógicas

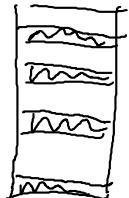
a. $\underline{\text{CE}} = A_{15} + A_{14} + A_{12}$

$A_{15} \cdot A_{14} \cdot A_{13}$

b. $\underline{\text{CE}} = A_{15} + A_{13} + A_{12}$

c. $\overline{\text{CE}} = A_{23} + A_{21} + \overline{A_{20}}$. Admita neste caso que o espaço de endereçamento é de 24 bits

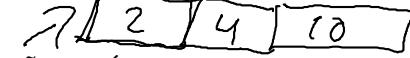
c. $\overline{\text{CE}} = A_{31} + \overline{A_{29}} + A_{28}$. Admita neste caso que o espaço de endereçamento é de 32 bits



↓

81. Admita um sistema com um barramento de endereço com 16 bits. Supondo que uma memória com 1K registo é selecionada a partir de um descodificador que utiliza os bits [A13..A10]:

- a. determine quantas réplicas da memória resultam desta descodificação



- b. identifique, justificando, se os espaços de endereçamento são contíguos ou não

Not contíguos

ORGANIZAÇÃO DE BARRAMENTOS DE DADOS

82. Em barramentos paralelo *multi-master* existem várias técnicas para determinar a prioridade com que o barramento é atribuído a uma dada unidade. Descreva sucintamente cada uma das seguintes:

a. prioridades fixas. → Cada Master tem uma prioridade, aquela que tiver + prioridade, vai ter o 1º acesso ao barramento.

b. critério *Last-Come/First-Served*. → O último pedido é aquele que vai ter acesso ao barramento primeiro.

c. critério *First-Come/First-Served*. → O primeiro pedido (...)

d. *round-robin*. → É um protocolo rotativo, em que um master passa o controlo do barramento a outro.

83. Numa transferência em que o CPU pode prolongar o ciclo de leitura/escrita por um ou mais ciclos de relógio, em função de um sinal de protocolo gerado pelo dispositivo externo podemos afirmar que estamos perante que tipo de transferência? Justifique. *Transferência Assíncrona (Handshaking)*, o CPU manda um sinal de periférico em como sinal que recebeu ou disponibilizou a informação no barramento.

?

84. Identifique que elementos caracterizam um barramento paralelo de tipo síncrono e que tipos de transferência de dados são suportados pelo mesmo. Um barramento paralelo síncrono é caracterizado pelo facto de o CPU disponibilizar a info num certo tempo e "conferir" que o periférico recebeu essa informação (aviso-volta).

85. Identifique que elementos caracterizam uma transferência assíncrona (*handshaking*) e quais as vantagens deste tipo de transferência para certas arquiteturas envolvendo pelo menos um *master* e um conjunto de dispositivos *slave*.

A grande vantagem da transferência assíncrona é que conseguimos que um master que tem uma frequência de clk alta, consegue eficazmente trocar informações com uma quantidade de slaves mais lenta, e com variáveis frequências de clk.

86. Considere um barramento paralelo multiplexado de 16 bits (de informação). Sobre esse barramento pretende-se implementar um protocolo de comunicação, de tipo microciclo. Determine o número mínimo de ciclos necessários para completar uma transação sabendo que:

a. o espaço de endereçamento é de 32 bits os dados estão organizados em palavras de 32 bits. 4?

b. o espaço de endereçamento é de 16 bits os dados estão organizados em palavras de 32 bits. 3?

c. o espaço de endereçamento é de 32 bits os dados estão organizados em palavras de 16 bits. 3?

d. o espaço de endereçamento é de 48 bits os dados estão organizados em palavras de 16 bits. 4?

87. Em barramentos multi-master, o que entende por situações de "starvation"

Starvation é quando um dispositivo Master tenta aceder ao barramento, mas devido a outros dispositivos também masters, nunca o vai conseguir.

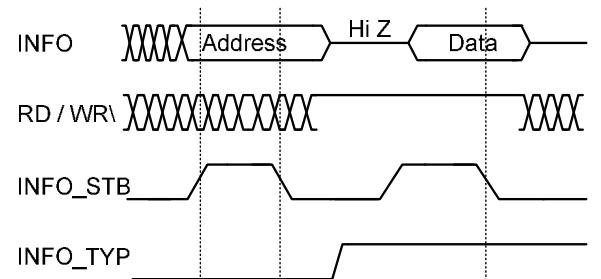
88. Identifique uma ou mais técnicas através das quais um árbitro de um barramento *multi-master* pode evitar situações de "starvation" nos acessos ao barramento. No caso da utilização de um FIFO, ou round-robin

88. Considere um barramento *multimaster* baseado em prioridades fixas. Neste caso, um árbitro distribuído irá atribuir o barramento a qual dos masters ligados ao barramento? O que lheve maior prioridade.

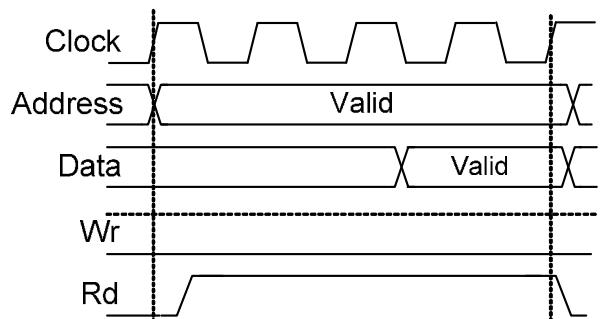
89. Um programa para transferir dados de 32 bits de um periférico para a memória é implementado num ciclo com 10 instruções. Admitindo que o CPU funciona a 200 MHz e que o programa em causa apresenta um CPI de 2.5, determine a taxa de transferência máxima, em Bytes/s, que é possível obter.

$$0.5 \times 10^{-8} \times 2.5 \times 10 = 1.25 \times 10^7 \approx 4.8 \text{ Bytes/s}$$

- Considerando o diagrama temporal da figura ao lado podemos afirmar que estamos perante um ciclo de:
- identifique a natureza da operação *Read*
 - identifique qual o tipo de transferência que está ali representada. *Síncrono?*
 - Identifique qual a configurações da operação de transferência de dados *Microciclo?*
- Aula 16/17*
(2) PPT?



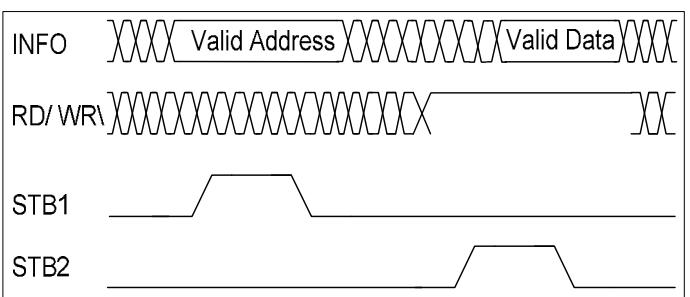
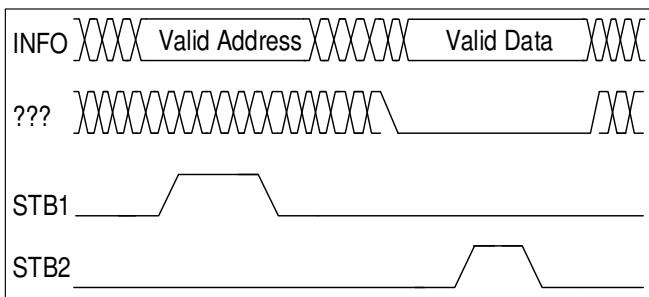
92. Considere um CPU que suporta transferências de tipo síncrono e de tipo semi-síncrono. Para a operação de leitura representada no diagrama ao lado determine o número de wait-states necessários para concluir com sucesso essa operação considerando os seguintes pressupostos (Nota: assuma que o tempo mínimo durante o qual os dados têm de estar válidos tem de ser superior a um ciclo de relógio):
- Frequência do CPU= 500 MHz; tempo de acesso à memória de 12 ns (tempo que decorre desde que a memória é selecionada até que a informação fica disponível no *data bus*); atraso introduzido pelo descodificador de endereços da memória de 2.5 ns
 - Frequência do CPU= 200 MHz; tempo de acesso à memória de 35 ns; atraso introduzido pelo descodificador de endereços da memória de 7 ns



93. Descreva, pelas suas próprias palavras as seguintes o que caracteriza as seguintes configurações de operações de transferência de dados:

- merged* → Face do Endereçamento engloba a transferência de dados.
- microciclo* → Face do Endereçamento distinta do data, com sinais separados para cada.
- read-modify-write* → Para o mesmo endereço ler e escrever
- read_after_write* → Para o mesmo endereço escrever e ler logo de seguida para verificar
- block* → Mantém coloca 1 vez o endereço e para escrita vai colocando dados ao slave incrementando endereço.

94. As figuras abaixo correspondem ao diagrama temporal de duas operações realizada num barramento paralelo:
- como caracterizaria, quanto à natureza da operação uma operação cada uma delas
 - face à observação dos diagramas, considera que estamos perante uma operação síncrona, semi-síncrona ou assíncrona
 - que tipo de multiplexagem é possível observar no barramento INFO? *Multiplexagem de Endereços e dados.*
 - como designaria a configuração da operação realizada? *Microciclo?*

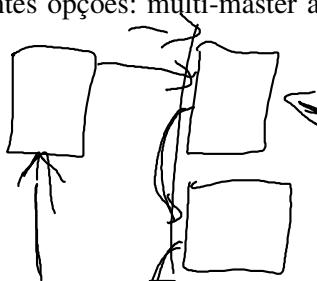


BARRAMENTOS DE COMUNICAÇÃO SÉRIE

1. Classifique as vantagens dos barramentos série (ao nível físico) quando comparados com barramentos paralelo:
- Ao nível da implementação \rightarrow Mais simples
 - Ao nível da cablagem de suporte (em barramentos com fios) \rightarrow Menos Fios do que para os paralelos
 - Ao nível do custo \rightarrow Mais Baratos
 - Ao nível da distância de transmissão \rightarrow Mais Distância
 - Ao nível do débito de transmissão \rightarrow Mais alto
2. O que caracteriza topologicamente um barramento de comunicação série para podermos afirmar que este é um barramento:
 \rightarrow é linearizado?
- Síncrono
 - Assíncrono
3. Nos barramentos série com comunicação síncrona, quais os métodos mais comuns para assegurar que os relógios de dois ou mais nós ligados ao barramento se mantêm sincronizados? \rightarrow clock do master é fornecido aos slaves, ou é codificado com os dados.
4. Nos barramentos série com comunicação síncrona, o que entende por codificação Manchester?
5. Qual a diferença entre um protocolo de comunicação série full-duplex e um protocolo de comunicação série half-duplex \rightarrow Full-Duplex - 2 fios, os dispositivos enviam e recebem informações simultaneamente.
Half-Duplex - 1 fio, transmissão de dados de 1 dispositivo para outro, nunca em simultâneo.
6. Dos protocolos de comunicação série que estudou nas aulas teóricas dê exemplos de:
- Protocolos full-duplex \rightarrow SPI, RS232
 - Protocolos half-duplex \rightarrow I2C, CAN
7. Dos protocolos de comunicação série que estudou nas aulas teóricas existem casos em que a transmissão é orientada ao bit e casos em que a transmissão é orientada ao byte. Explique sucintamente a diferença e dê exemplos de protocolos que usam cada um dos dois. Bit \rightarrow Envio Bit a Bit \rightarrow CAN
Byte \rightarrow Envio de 1 Byte de cada vez, operação Individual \rightarrow RS232

PROTOCOLO SPI

95. Como caracterizaria o barramento SPI no que respeita:
- ao tipo de ligação entre dispositivos \rightarrow Ligação ponto a ponto
 - ao tipo de sincronização entre dispositivos \rightarrow clock do master fornecido aos slaves
 - à natureza da transferência de dados (bi-direcional, unidirecional).
96. Suponha um sistema de medida, baseado no protocolo SPI, que recolhe periodicamente informação proveniente de vários sensores, cada um deles com uma resolução igual (i.e. nº de bits de dados). Determine o tempo mínimo de que o master necessita para adquirir os valores de todos os sensores (cada um implementado num slave distinto), sabendo que:
- o número de sensores é 20, a frequência de relógio é de 100KHz e a resolução dos sensores é de 16 bits \rightarrow $100 \times 20 \times 16 = 32000$ bits
 - o número de sensores é 8, a frequência de relógio é de 20KHz e a resolução dos sensores é de 8 bits \rightarrow $20 \times 8 = 160$ bits
 - o número de sensores é 10, a frequência de relógio é de 100KHz e a resolução dos sensores é de 8 bits
 - o número de sensores é 20, a frequência de relógio é de 100KHz e a resolução dos sensores é de 16 bits
 - o número de sensores é 30, a frequência de relógio é de 50KHz e a resolução dos sensores é de 8 bits
97. Como caracterizaria um sistema SPI entre as seguintes opções: multi-master assíncrono; multi-master síncrono; ponto a ponto assíncrono: ponto a ponto síncrono:





? → Eu sei, mas a melhor justificação

? 98. Diria que o protocolo SPI é adequado para ligação entre dispositivos a longas distâncias? Justifique adequadamente a sua resposta.

? 99. Numa arquitetura em que um *master* SPI de 8bits se encontra ligado a um conjunto de três *slaves* organizados em *daisy chain* como descreveria a interligação dos principais sinais entre o *master* e os *slaves* e qual a dimensão das palavras trocadas entre o *master* e o conjunto de *slaves*. *Palavras de 24 bits, os slaves compartilham-se para o master como um shift register de 24 bits. O clk, ss do master é ligado a todos os slaves e A Entrada de dados de cada slave é ligada à saída do anterior, excepto para o 2º slave.*

? 100. Descreva sucintamente qual a sequência de operações que são realizadas ao nível do master por forma a assegurar que os seus parâmetros são adequados a realizar validamente troca de informação com um *slave* a que se encontre ligado. *Configurar o seu clk para tempo em conta as necessidades dos slaves, e em que transição do relógio se vai ler ou escrever mais bytes de dados (MOSI, MISO)*

I2C

R/W \

? 101. Considere o diagrama temporal representado abaixo. Admita que representa a comunicação I2C entre um master (μ C) e um slave (ADC de 10 bits).

a. Qual o endereço do elemento slave (ADC)? 0110101

b. Estamos perante uma operação de escrita ou de leitura? Read

c. Quantos ACKs são gerados pelo slave? 1

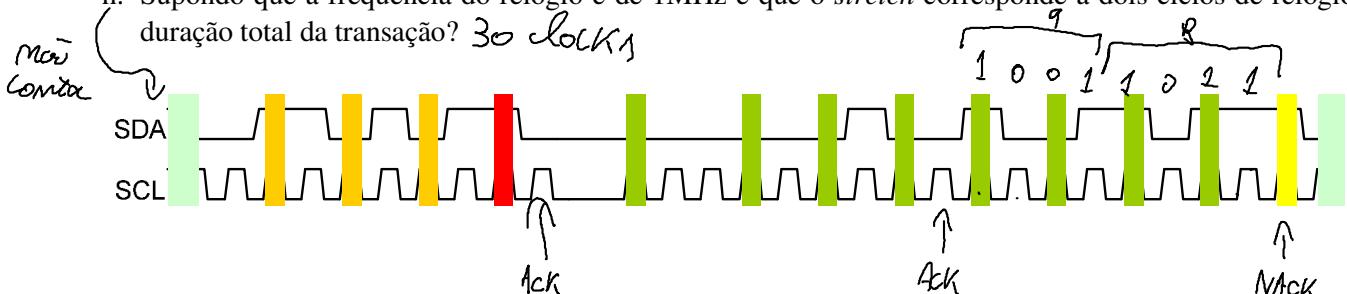
d. Quantos ACKs são gerados pelo master? 1

e. Quantos NACKs são gerados? Por quem? 1 Master

f. Qual o valor (expresso em hexadecimal) que foi fornecido pela ADC ao μ C, sabendo que este começa sempre pelo MSBit? 0x29B

g. Quantas situações de *clock stretch* são gerados nesta transação? Por quem? 1 slave

h. Supondo que a frequência do relógio é de 1MHz e que o *stretch* corresponde a dois ciclos de relógio, qual a duração total da transação? 30 clock



? 102. Descreva sucintamente, no protocolo I2C, como é realizado o endereçamento/seleção do dispositivo a quem é destinada a mensagem ou de quem se pretende obter informação. *Além de ser gerado um sinal de start por parte do master, este vai colocar os 7 bits correspondentes ao endereço do slave, o bit do R/W é ACK por parte do slave.*

? 103. Quantas linhas (físicas) compõem um barramento I2C? Qual a sua designação e finalidade?

? → 30A, SCL
↓ SCL
↓ SDA
↓ clock
↓ Address

? 104. No protocolo I2C em que condições se considera que o barramento de comunicação está livre?

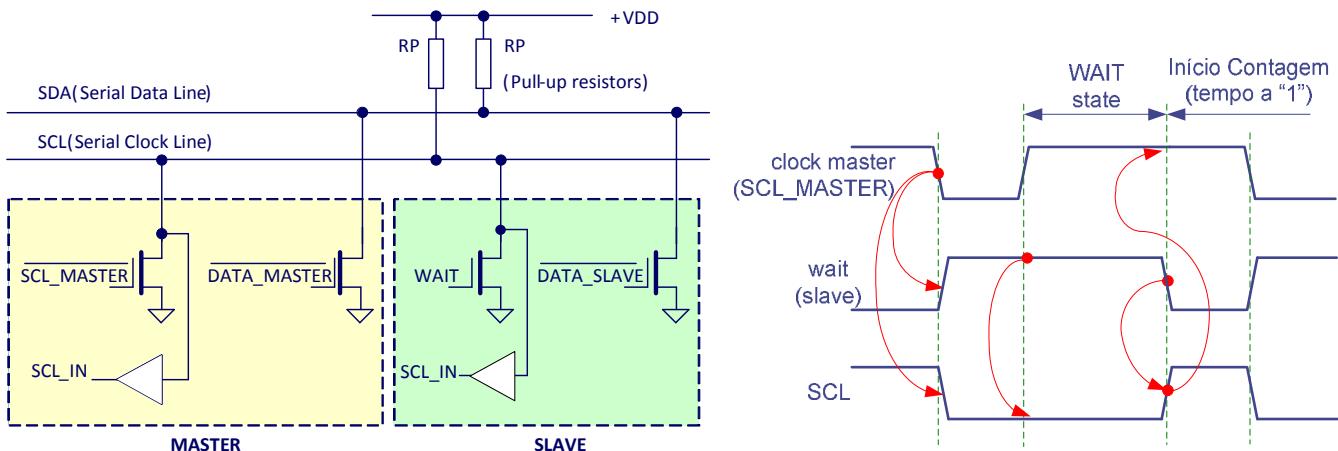
? → Immediatamente depois de um "STOP"

? 105. Descreva sucintamente, no protocolo I2C, quem é responsável pela geração do sinal de relógio e como é possível assegurar a sincronização do mesmo entre *master* e *slave*. *O master gera o relógio que vai ser disponibilizado ao slave, o que significa que o slave pode fazer "clk stretching".*

? 106. Descreva sucintamente, no protocolo I2C, o processo de arbitragem no acesso ao barramento quando dois ou mais masters tentam aceder simultaneamente ao mesmo. *Como existe o bit dominância '0', ambos os masters vão colocar a info no SDA, mas assim que um dos slaves tenta colocar um '1' e o outro slave um '0', o slave que colocou o '1' vai verificar que este não foi correctamente invertido, visto que o '0' é dominante, logo vai parar a arbitragem.*

? 107. No protocolo I2C, os bits que circulam no barramento têm uma característica que os distingue dos bits normalmente gerados à saída de um circuito digital convencional. Como designa, no I2C, cada um dos dois estados lógicos, e qual a sua utilidade para o funcionamento do barramento. Bit Dominante ?

108. O esquema e o diagrama temporal mostrados abaixo exemplificam a interligação entre um *master* e um *slave* e a forma como o *slave* pode alterar o período do sinal de relógio gerado pelo *master*. Descreva os princípios de funcionamento envolvidos neste processo justificando por que razão esta solução funciona. Apresente uma razão pela qual esta método pode ser particularmente interessante numa dada arquitetura



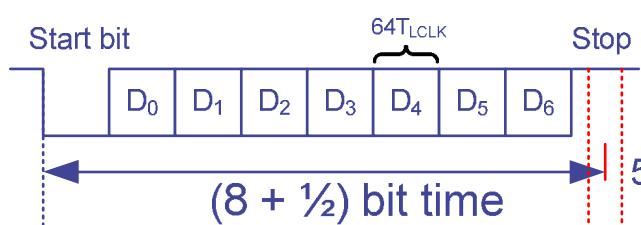
RS232

109. Como classificaria a interface RS-232 relativamente:
- topologia da ligação (ponto a ponto, multi-drop, multi-master, ...)
 - direccionalidade das comunicações (half duplex, full-duplex, ...)
 - natureza da sincronização (síncrona com relógio explícito, síncrona com relógio implícito, assíncrona, ...)
 - formatação da informação (byte oriented, bit oriented, ...)

110. Na interface RS-232, caso o desvio de frequência entre o emissor e o receptor seja elevado a informação recebida pode conter erros nos dados recebidos. Indique quais os tipos de erro que podem ocorrer, e descreva os mecanismos que permitem detetar tais erros. *Pode haver erros de fase, framing, paridade. Os erros de fase ocorrem quando os clocks tem um desvio de frequência, o que vai acabar por fazer com que o slave em alguma parte realça informação errada, e depois gera um erro de frame porque como a info já está errada, a estrutura da trama vai ser invalida, ou o bit de paridade errado.*

111. Na interface RS-232 uma das fontes de erro, do lado do receptor, do instante de amostragem dos vários bits é o "erro de fase". Indique qual a metodologia que é usada para diminuir o impacto dessa fonte de erro e explique sucintamente porque é que esse método contribui para diminuir esse erro. *Para diminuir este erro, o Slave tem um relógio com uma frequência K maior que o do relógio do transmissor. Neste caso assume que o master coloque o start bit (0), e tempo máximo de erro vai ser o que torna o erro de fase considerado ininfluente.*

112. Admita que a configuração numa comunicação RS-232 (figura abaixo) é 38400 bps, 7 bits sem paridade, 1 stop bit e fator de sobre amostragem de 64. Calcule o valor de frequência ideal no receptor e os intervalos admissíveis dessa frequência para os casos limite (+-25% do tempo de bit e +-75% do tempo de bit). Para isso calcule sucessivamente o seguinte:



$38400 \rightarrow 13$

1 bit → $\frac{1}{13}$

Melhor caso: $0.25 \times 64 T_{LCLK} = 1$

Pior caso: $0.75 \times 64 T_{LCLK} = 1$

- intervalo de validação em períodos do sinal de relógio (T_{LCLK}) para os dois casos limite
- número de períodos de relógio para amostrar a trama 2.5×64
- variação máxima de frequência (em percentagem) para os dois casos limite
- qual o intervalo de frequência que é possível usar para que não haja erros nos casos limite

57600 — 11
12 — 26

113. Repita o exercício anterior admitindo agora que o baud-rate é 57600 bps, a trama é composta por 8 bits com paridade par e 2 stop bits, sendo o fator de sobre amostragem de 16.

114. Determine a máxima taxa de transmissão de dados líquida (net bit rate) numa ligação RS-232, expressa em bps, admitindo as seguintes configurações:

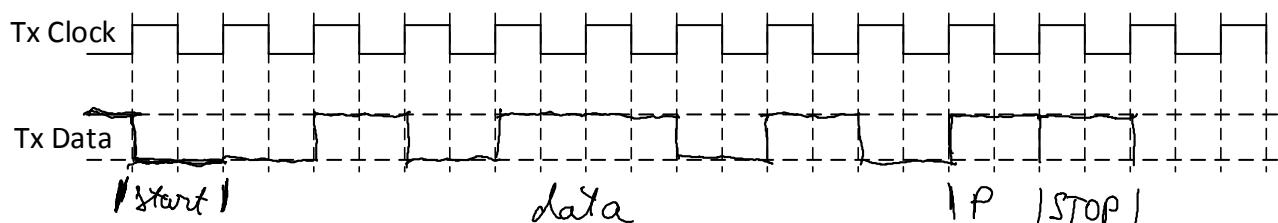
- baudrate de 19200 bps, 7 bits de dados, 1 bit de paridade e 1 stop bit $\frac{7}{10} \times 19200$
- baudrate de 115200 bps, 8 bits de dados, sem bit de paridade e 2 stop bits
- baudrate de 9600 bps, 8 bits de dados, 1 bit de paridade e 2 stop bits
- baudrate de 1200 bps, 7 bits de dados, sem bit de paridade e 1 stop bit

1000000 bits - 11

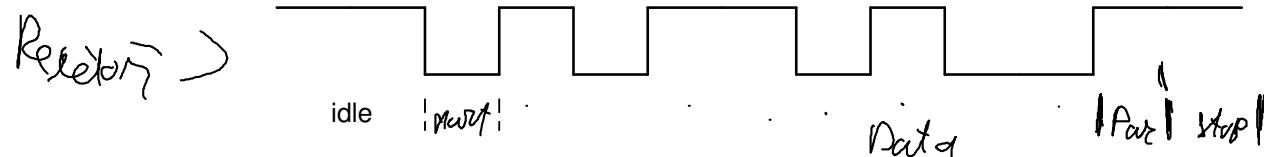
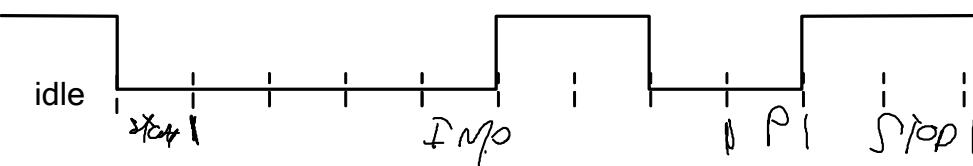
$2^{10} \times 5$

115. Considere uma UART configurada para transmitir com os seguintes parâmetros: 100.000 bps, 8 data bits, paridade ímpar e 1 stop bit. Desenhe na figura abaixo a trama completa gerada no envio do valor 0x5A. Indique de forma inequívoca os bits de start, de stop e de paridade.

01011010 1

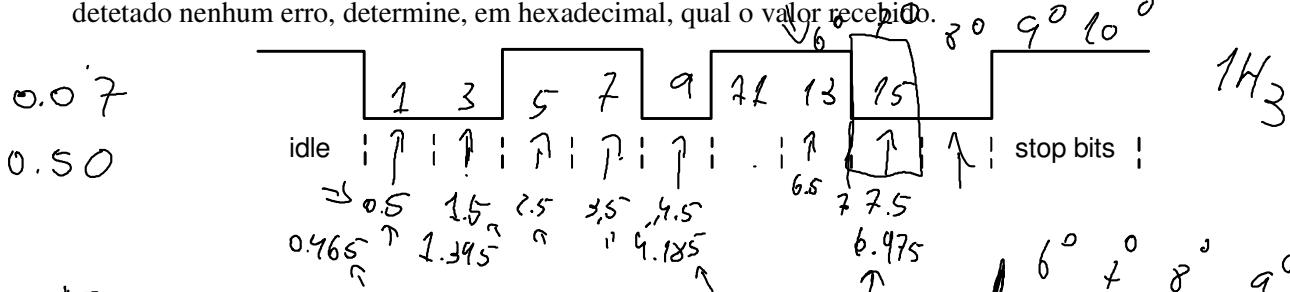


116. Um dispositivo com interface RS-232, configurado para transmitir com 7 bits de dados, paridade par e 2 stop bits, produz as duas tramas representadas nos diagramas seguintes que são recebidas por outro dispositivo RS-232 incorretamente configurado para 8 bits de dados, sem paridade e 1 stop bit mas com o mesmo baud rate. Nestas circunstâncias, determine se no receptor vais ser detetado algum erro e porquê. Caso não seja detetado nenhum erro, determine, em hexadecimal, qual o valor recebido. O X84, os Bits for a caso Bateram certo.



117. Um dispositivo com interface RS232, configurado para transmitir 8 bits de dados, paridade ímpar e 1 stop bits, produz a trama acima (2ª) que é recebida por outro dispositivo RS232 incorretamente configurado para 7 bits de dados, sem paridade e 1 stop bit, mas com o mesmo baudrate. Nestas circunstâncias, determine se no receptor vais ser detetado algum erro e porquê. Caso não seja detetado nenhum erro, determine, em hexadecimal, qual o valor recebido. Erro de Framing no STOP Bit recebido

118. Um dispositivo com interface RS232, configurado para transmitir com 7 bits de dados, paridade par e 2 stop bits, produz a trama seguinte que é recebida por outro dispositivo RS232 configurado com os mesmos parâmetros. No entanto, devido a imprecisão do relógio, o baudrate efetivo do receptor é 7% inferior ao valor do baudrate do transmissor. Nestas circunstâncias, determine se no receptor vais ser detetado algum erro e porquê. Caso não seja detetado nenhum erro, determine, em hexadecimal, qual o valor recebido.



Erro de paridade

11001011

Rabido Pata

~~0 1 1 0 1 1 1~~

O
V
Pbit

DEVICE DRIVERS

119. Se tivesse que identificar as principais características/objetivos de um device driver como o descreveria na perspectiva:

 - do Sistema Operativo ou das aplicações → Uma interface uniformizada independente das especificações do periférico
 - do lado da interface com o dispositivo periférico. → Uma interface uniformizada de receber informações por parte do utilizador

120. Quando se interliga um periférico com um sistema de processamento, quem é responsável por fornecer o software do device driver? Porquê? O desenvolvedor do device driver, pois só ele sabe o funcionamento interno do periférico.

121. Nas aulas práticas implementou um device driver para um dispositivo UART (RS-232C). Esse device driver usava, para a transmissão e para a receção, dois buffers circulares. Para Trans - Para Recepção. Para Trans - Para Recepção. A variável contém qualquer operação neste recurso paralelo implica que esta não seja interrompida, é crítica, e tudo que tem reuso também é esse recurso, durante este tempo não pode modificar.

 - O que entende por buffer circular? Têm circular que armazena caracteres necessários à comunicação
 - Quais são as principais variáveis necessárias para gerir um buffer circular? Tail, head, count
 - Destas variáveis há uma cuja gestão é gerida pela aplicação e pelo device driver. Qual é essa variável e que cuidados há a ter com ela quando é actualizada do lado da aplicação? A variável count, qualquer operação neste recurso paralelo implica que esta não seja interrompida, é crítica, e tudo que tem reuso também é esse recurso, durante este tempo não pode modificar.

122. Descreva por palavras suas o que se entende por secção crítica num trecho de código? → Secções que só podem ser interrompidas por manterem Interrupções APP Head BX APP Tail APP Head BX APP Tail CAN

123. Como classificaria o protocolo CAN relativamente:

 - à topologia da ligação (ponto a ponto, multi-drop, multi-master, ...) e número de ligações físicas do barramento
 - direccionalidade das comunicações (half duplex, full-duplex, ...)
 - natureza da sincronização (síncrona com relógio explícito, síncrona com relógio implícito, assíncrona, ...)
 - formatação da informação (byte oriented, bit oriented, ...)

124. No barramento CAN a codificação das tramas de dados utiliza a técnica de "bit stuffing". Descreva sucintamente o motivo por que esta técnica é aplicada e em que consiste. Esta técnica consiste em colocar um bit "oposto" na trama, quando são enviados 5 bits iguais, de forma a permitir uma sincronização do relógio para parte do bloco (é sincronizado em training / filling edges).

125. No barramento CAN, na composição de uma trama de dados existe um campo de 11 bits designado por "identifier". Descreva sucintamente qual a finalidade deste campo: Este campo tem a finalidade de atribuir um identificador à mensagem a enviar, que depois vai ser filtrada por cada nó na rede.

126. É ou não é verdade que, no barramento CAN, qualquer nó da rede pode desempenhar o papel de master. Se sim, será possível que dois masters enviem mensagens em simultâneo? Porquê? Sim, qualquer pode ser master, mas se 2 masters transmitirem ao mesmo tempo, aquele que ganha a arbitragem é o que tiver o identificador mais pequeno devido ao bit dominante 0.

127. Descreva sucintamente o mecanismo através do qual, no barramento CAN, é realizado o controlo de acesso ao meio (arbitragem) quando mais do que um master tentam enviar mensagens em simultâneo No identifier field, o master que tiver este campo com a mensagem mais pequena é aquele que ganha a arbitragem, porque o bit dominante é o 0.

128. Quando, num barramento CAN, um master envia uma trama de dados, quantos dispositivos irão receber essa mensagem? Porquê? O CAN é um protocolo em que uma mensagem é enviada em modo broadcast, logo todos os nós têm acesso a mensagens enviadas, mas apenas aqueles com o filtro em cima; filtro com base na informação a ser transmitida.

129. O protocolo adotado pelos barramentos CAN apresenta uma muito elevada capacidade de detetar erros do lado dos receptores (probabilidade de não detetar um erro inferior a $4,7 \times 10^{-11}$). Para isso, este protocolo recorre a um total de cinco técnicas complementares para detetar erros. Nomeie e descreva sucintamente cada uma dessas técnicas.

Frame Error \rightarrow Error no Layout da trama

CPC Error -> Erro no campo CPC calculado.

Bit-Stuffing error \rightarrow Ao final de 5 bits iguais não aparece 1 bit a mais

Ack Errors \Rightarrow o consumidor não coloca o 1º bit do Ack field a 1.

bit error \Rightarrow 6 double check do producer à mensagem que envia.

- ? 130. Admita que, numa aplicação a usar CAN 2.0A (trama com identificador standard), o mecanismo de aceitação de mensagens do controlador CAN foi configurado com os seguintes valores: máscara=0x7FA, filtro=0x5C0. Determine, nesta situação, quais os identificadores de mensagens que são aceites e passadas ao software que está a usar o controlador

0111	1111	1010
0101	1100	0000

Identificador < x101 1100 0x0x

Mask bit	Filter bit	Message Id bit	Res. bit
0	X	X	Accept
1	0	0	Accept
1	0	1	Reject
1	1	0	Reject
1	1	1	Accept

- ? 131. Resolva novamente o problema anterior admitindo que o mecanismo de aceitação de mensagens do controlador CAN foi configurado com os seguintes valores:

- máscara=0x4CC, filtro=0x088
- máscara=0x7FF, filtro=0x253.
- máscara=0x7F0, filtro=0x0A0.

- ? 132. No barramento CAN existem quatro tipos de tramas: "Data Frame", "Remote Transmission Request Frame", "Error Frame" e "Overload Frame". Descreva de forma sucinta qual a finalidade de cada um destes tipos de tramas.

↳ ocorreu algum erro na transmissão da informação

→ Envio de info

→ Fim do envio de informação

USB

- ? 133. O protocolo USB suporta quatro tipos de transferência de dados. Descreva, para cada uma delas, as suas principais características no que se refere à sua periodicidade, largura de banda, latência e garantia de entrega. Dê exemplos de cenários de aplicação em que cada um destes tipos de transferência é ou pode ser usado:

- transferências de controlo → ocorrem no endpoint do dispositivo ou monitor, servem para configurações e enviar endereços; pequena info e não há garantia de latência / velocidade
- transferências "bulk" → Transmitem grandes blocos de info mas não regulares, tem verificação CRC. Não garante latência nem rapidez, vai efetuar transferência quando os dispositivos estiverem livres (USB Full Speed)
- transferências isócronas → Não garante entrega de tudo, mas a taxa de transferência é alta e latência baixa (Video/audio).
- transferências de interrupção → É efetuada pelo host controller ao nível do periférico correspondente, para verificar quando entra nova informação (bat, teclado). Pouca info, caso erro é retransmitido e tem latência limitada.

- ? 134. Descreva sucintamente a topologia das ligações físicas, no protocolo USB, nomeadamente quanto à sua configuração, número de níveis e número máximo de dispositivos suportados. Ligasõe Física em Árvore, máximo de 7 níveis e 127 dispositivos,

- ? 135. Como classificaria o protocolo USB (2.0) relativamente:

à topologia da ligação (ponto a ponto, multi-drop, multi-master, ...) Master - Slave?

à direccionalidade das comunicações (half duplex, full-duplex, ...) -> | Half-Duplex | -| 3.0 | Full

codificação e transmissão de dados → Non return to zero Invertivel

formatação da informação (byte oriented, bit oriented, ...)

- ? 136. No protocolo USB cada dispositivo ligado ao host-controller é genericamente designado por "function". Uma function pode assumir um de dois papéis. Identifique esses papéis e as suas principais características.

Uma function pode ser um hub ou um dispositivo, ser por um hub permite a ligação de mais dispositivos a esse hub, caso seja 1 dispositivo vai ter pipes e endpoints para transmitir info.

- ? 137. Descreva sucintamente, no protocolo USB, os objetivos do processo normalmente designado por enumeração.

→ A enumeração é um processo que dizem como que um dispositivo é conectado ao USB controller, e que comunica no endpoint 0 do dispositivo para efectuar a configuração necessária. Ex: tipo de dispositivo, identificação...

- ? 138. No protocolo USB, o sistema de endereçamento é composto por três campos. Descreva sucintamente o objetivo de cada um desses campos e os valores mínimo e máximo que cada um pode ter.

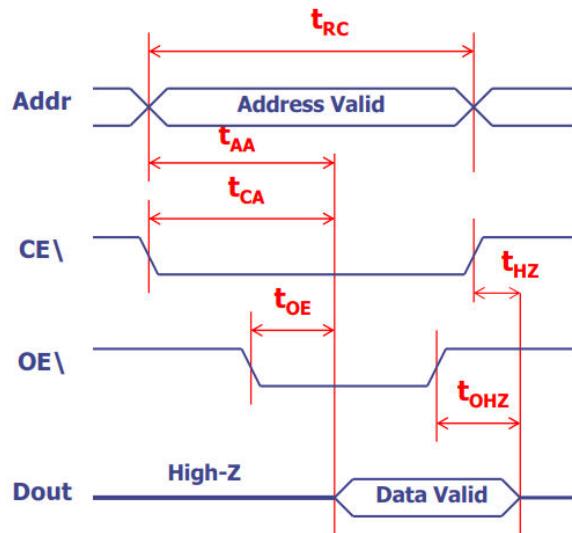
Endereço Dispositivo | Endpoint | IN/OUT
7 bits 4 bits 1 bit

- ? 139. O mecanismo de comunicação um dispositivo USB e o "host controller" é feito através de canais virtuais. Qual a designação desses canais e o que interligam? Esses canais permitem comunicação bi-direcional? Porquê?

Pipes, sim bidirecionais porque cada pipe tem um Endpoint IN/OUT

TECNOLOGIA, ORGANIZAÇÃO E FUNCIONAMENTO DE RAMs

140. Numa memória estática SRAM, uma célula de um bit é composta por seis transístores. Descreva sucintamente as vantagens e desvantagens entre a solução SRAM quando comparada com a versão de uma célula DRAM de um bit.
141. A solução de organização matricial de uma memória RAM apresenta vantagens quando comparada com uma organização linear. Explique qual é essa vantagem e dê um exemplo que demonstre essa vantagem.
142. Quando falamos em t_{RC} (*Read Cycle Time*) de uma memória nas operações de leitura estamos a referir-nos especificamente a que tempo?



143. Descreva sucintamente os conceitos de:
- Access Time*
 - Taxa de transferência
144. Para construir um módulo de memória SRAM de 128k x 8 bits, são necessários quantos circuitos, admitindo que dispõe de:
- circuitos de 32k x 1 bit 8×4
 - circuitos de 32k x 4 bits
 - circuitos de 16k x 8 bits
 - circuitos de 64k x 8 bits
 - circuitos de 128k x 1 bit
-
145. Admita que dispõe de uma memória estática SRAM de $256k \times 8$ (num único circuito) com uma organização matricial. Determine por quantas matrizes de células é constituída e qual é o número de linhas e colunas que compõe cada matriz.
146. Suponha que dispõe de 16 circuitos de memória de $1M \times 4$. Usando todos estes circuitos, determine qual a dimensão da memória quando:
- A largura da palavra é 4bits
 - A largura da palavra é 8bits
 - A largura da palavra é 32bits
 - a memória tem 2M endereços
 - a memória tem 8M endereços

147. Determine o número de bits do barramento de endereços de uma memória dinâmica DRAM, se este tiver as seguintes características:

- a. 512M x 8 bits, implementada com uma matriz de células com 16k linhas
- b. 256M x 1 bit, implementada com uma matriz de células com 16k linhas
- c. 4G x 4 bit, implementada com uma matriz quadrada
- d. 1G x 1 bit, implementada com uma matriz de células com 32k linhas
- e. 2G x 8 bit, implementada com uma matriz de células com 64k linhas
- f. 256M x 1 bit, implementada com uma matriz de células com 8K linhas

148. Considere uma memória DRAM de 2Mx16, implementada com matrizes de armazenamento de 2048 colunas.

Determine aproximadamente o tempo necessário para efetuar um refrescamento completo dessa memória se os seus parâmetros relativos a um ciclo de refrescamento, do tipo *RAS Only*, forem os seguintes:

- a. RAS width=50 ns; Precharge time=25 ns;
- b. RAS width=40 ns; Precharge time=15 ns;
- c. RAS width=65 ns; Precharge time=30 ns;

149. Repita o exercício anterior admitindo agora:

- a. uma memória DRAM de 8Mx16, implementada com matrizes de armazenamento de 1024 colunas
- b. uma memória DRAM de 512Mx16, implementada com uma matriz de células com 16k linhas
- c. uma memória DRAM de 4Mx32, implementada com matrizes de armazenamento de 4096 colunas
- d. uma memória DRAM de 8Mx16, implementada com matrizes de armazenamento de 1024 colunas.

150. Descreva os passos necessários para efetuar uma operação de leitura de uma célula numa memória do tipo DRAM.

151. O diagrama apresentado abaixo representa uma operação efetuada numa memória DRAM. Identifique o modo adotado nesta operação, a natureza da operação e descreva sucintamente o seu funcionamento.

