

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

по лабораторной работе № 3

Название: Исследование синхронных счетчиков

Дисциплина: Архитектура ЭВМ

Преподаватель	Попов А.Ю.
(Подпись, дата)	(И.О. Фамилия)

Москва, 2021

Цель работы: изучение принципов построения, практического применения и экспериментального исследования мультиплексоров

Задание 1. 1. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 цифровых сигналов:

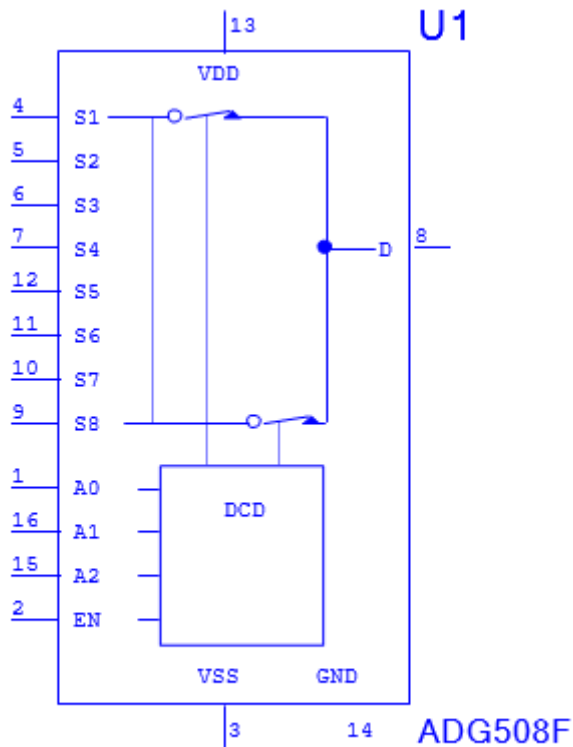


Рис. 6

а) на информационные входы D 0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2.

Логические уровни 0 и 1 задавать источниками напряжения $U=5\text{ В}$ и 0 В (общая);

б) на адресные входы A2, A1, A0 подать сигналы Q₃, Q₂, Q₁ соответственно с выходов 4-разрядного двоичного счетчика (младший

разряд – Q 0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Вариант 29: комбинация сигналов D0-D7 - 1, 0, 1, 1, 1, 0, 1, 0

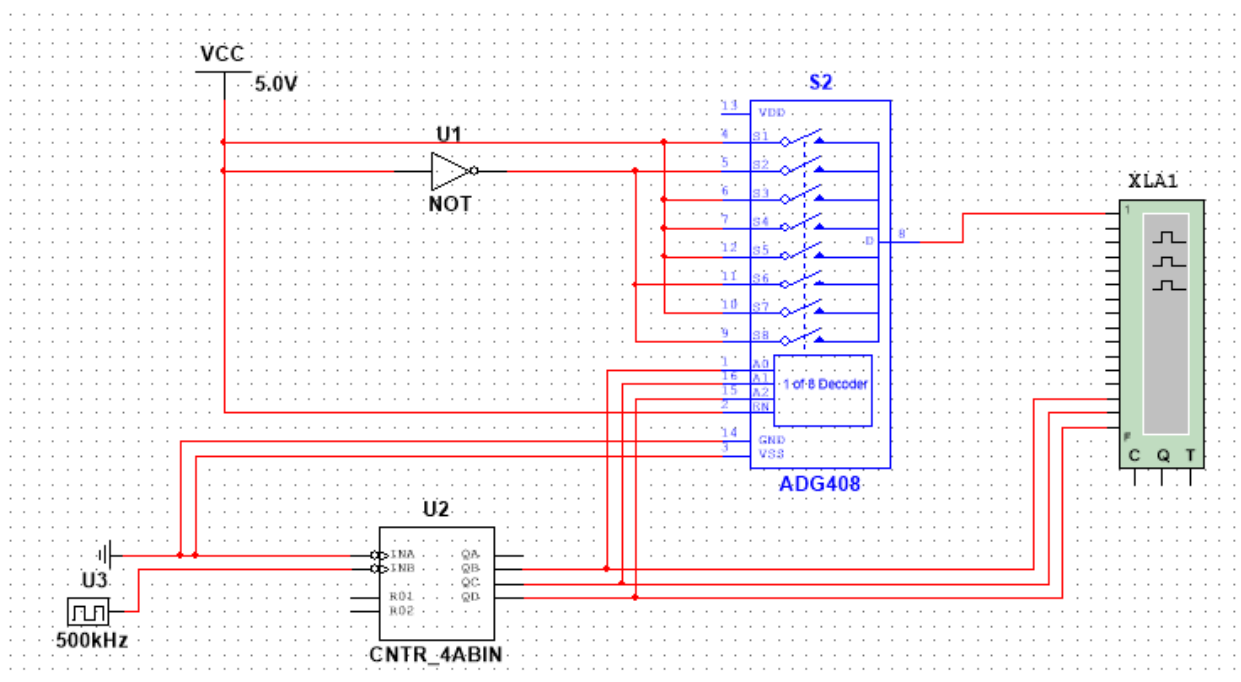


Рис. 1. Собранный мультимплексор

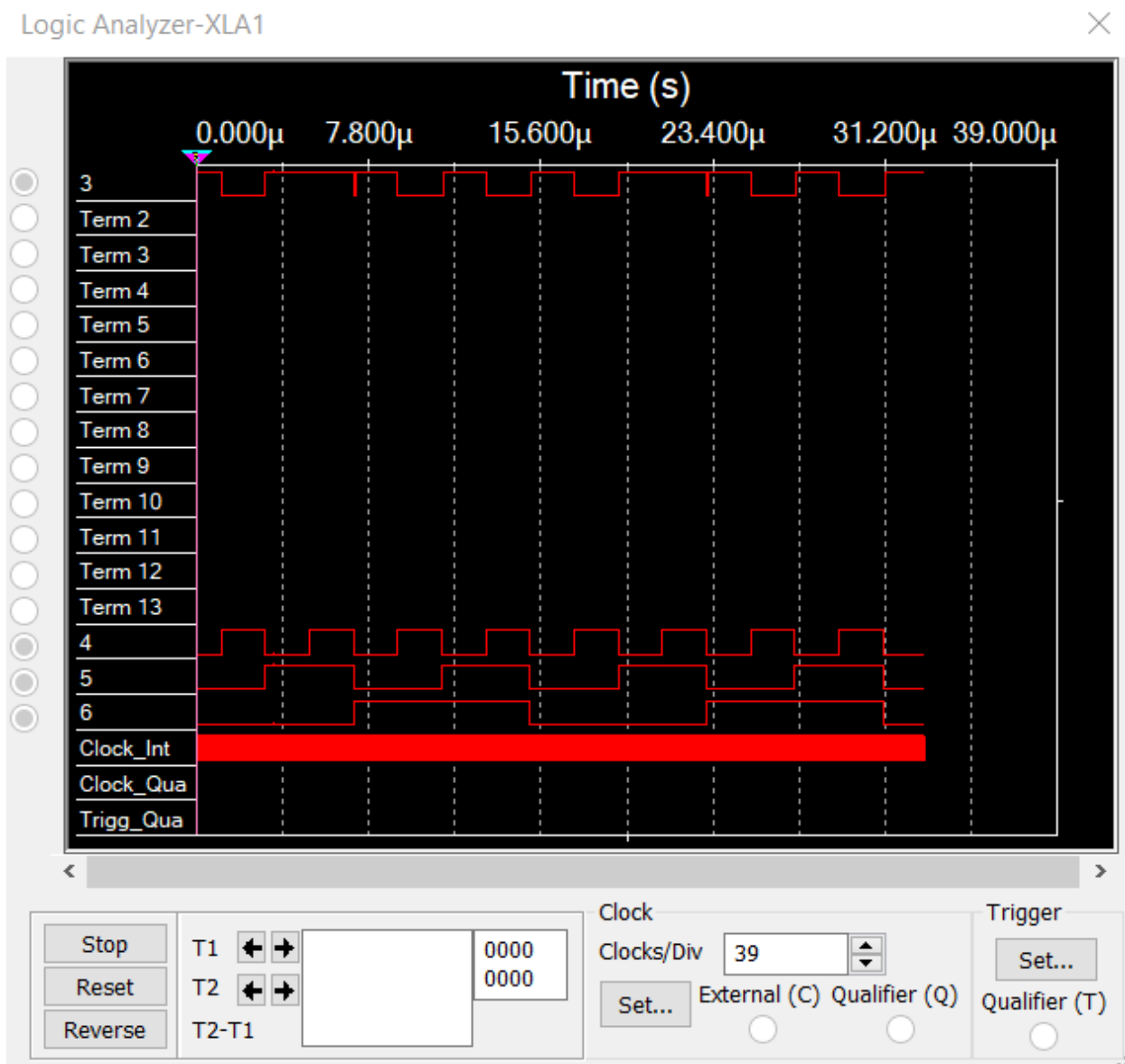


Диаграмма 1. Временная диаграмма сигналов при $EN=1$

На временной диаграмме видно, что аналоговый мультиплексор при переключении сигналов на адресных входах может давать помехи. Возможно, это связано с гонками сигналов и появлением ложных сигналов на дешифраторе, который входит в схему мультиплексора.

Вывод: мультиплексор позволяет получить на выходе один из нескольких информационных сигналов, который был подан на адресные входы в данный момент. У аналоговых мультиплексоров могут возникнуть ложные сигналы на выходе из-за помех.

2. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы D 0 ...D 7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В;

4.2 В; 5.0 В;

б) на адресные входы A2, A1, A0 подать сигналы Q 3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q 0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ.

Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

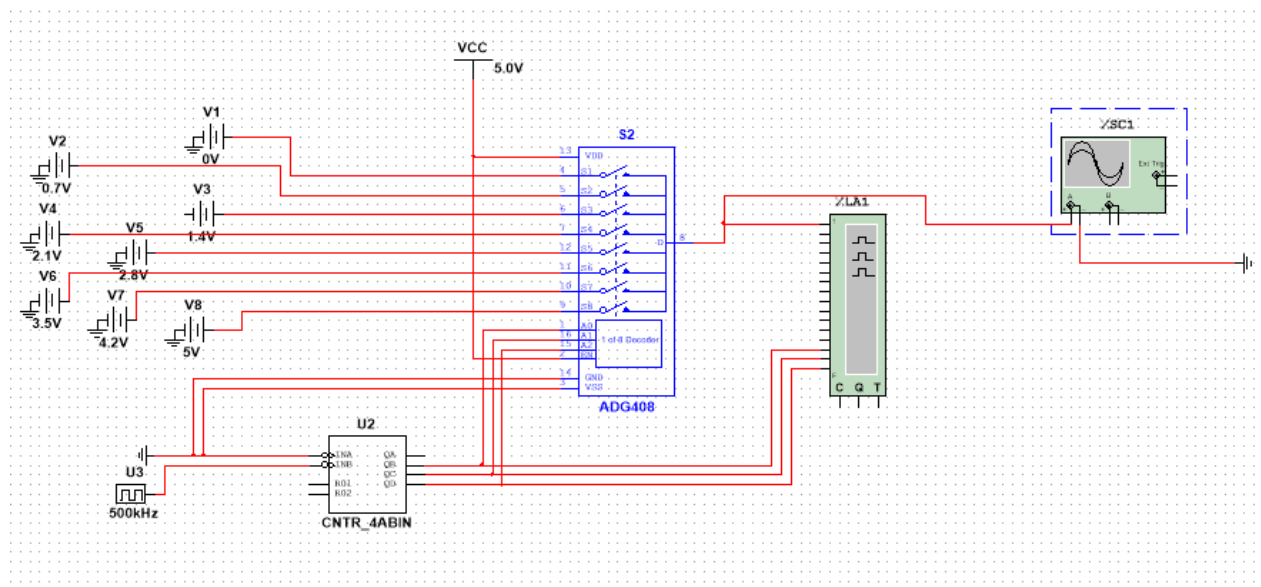


Рис 2. Собранная схема ИС ADG408 в качестве коммутатора MUX 8 – 1 аналоговых сигналов

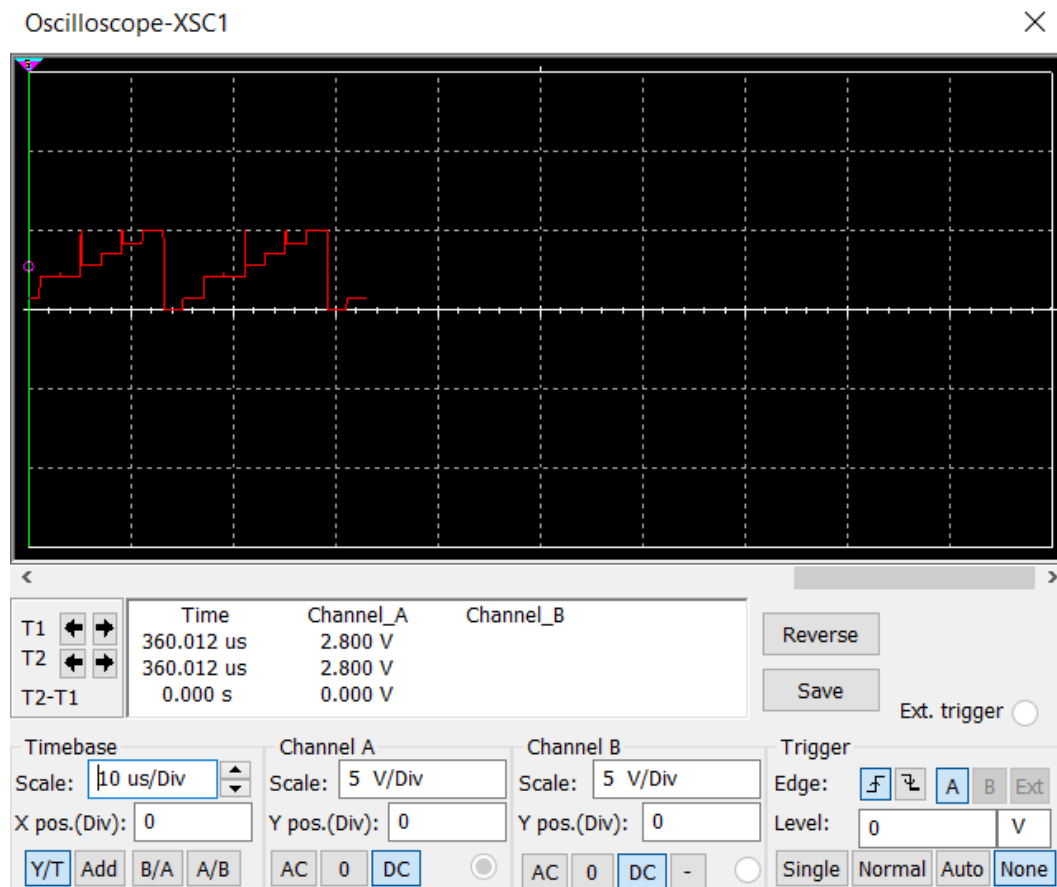


Диаграмма 2. Временная диаграмма выходного сигнала на осциллографе

Полученный на осциллографе график не имеет ровные ступеньки – наблюдение помех. На логическом анализаторе эти помехи могут быть не отражены в логическом анализаторе.

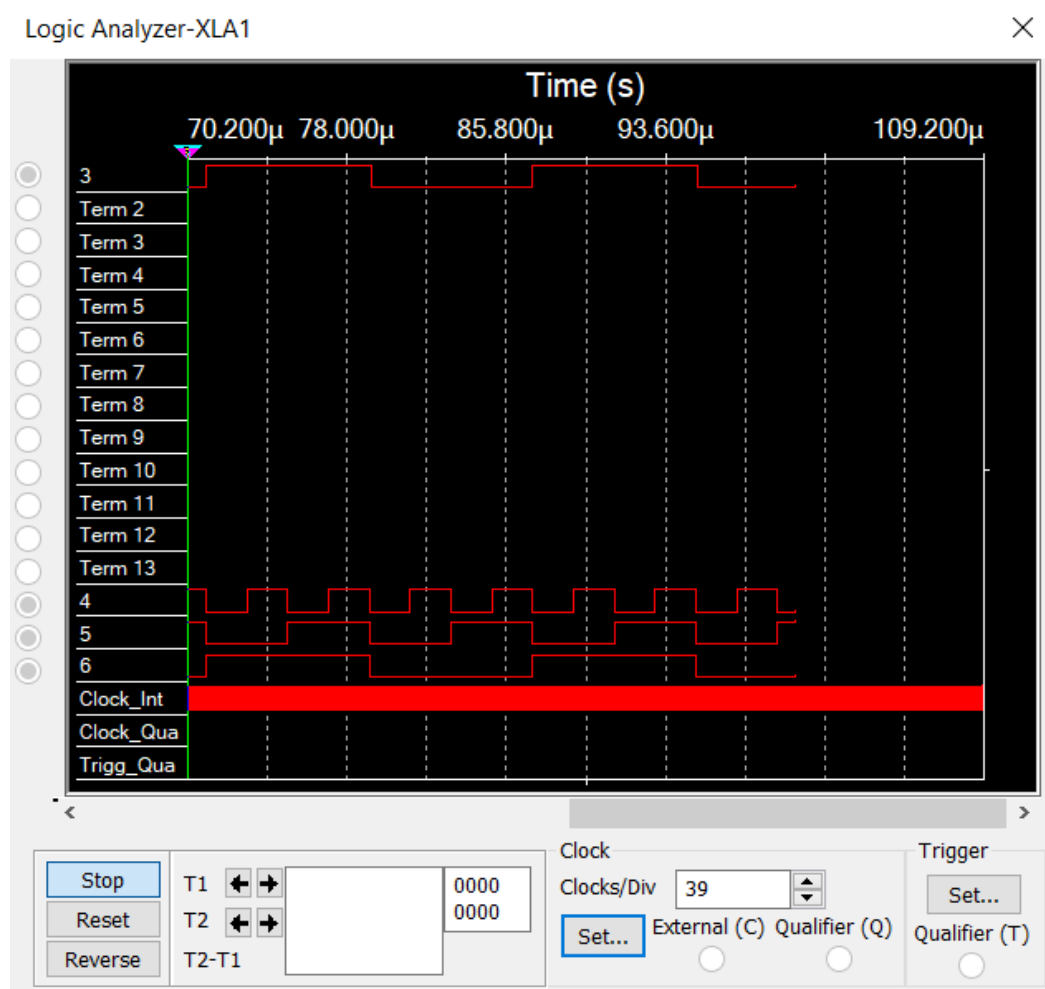


Диаграмма 3. Временная диаграмма выходного сигнала на логическом анализаторе при 2.5В

Но если мы настроим логический анализатор так, что логической единицей будет считаться напряжение от 3.5В, то мы отловятся помехи.

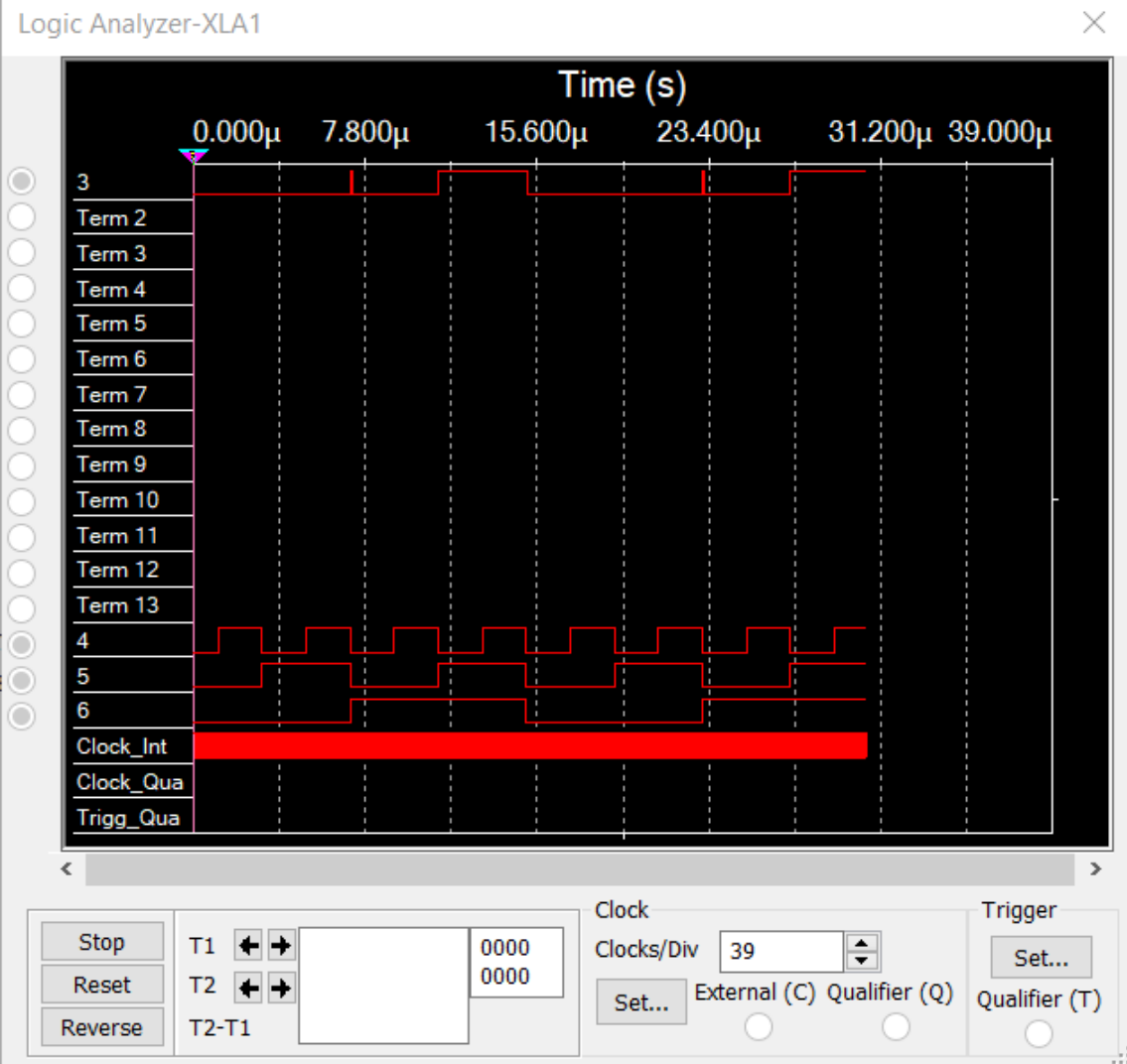


Диаграмма 4. Временная диаграмма выходного сигнала на логическом анализаторе при 3.5В

3. Исследование ИС ADG408 или ADG508 (рис.6) как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем из табл. 2.

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

	X4	X3	X2	X1	f	D
0	0	0	0	0	1	$D_0 = \sim x_1$
1	0	0	0	1	0	
2	0	0	1	0	0	$D_1 = x_1$
3	0	0	1	1	1	
4	0	1	0	0	1	$D_2 = \sim x_1$
5	0	1	0	1	0	
6	0	1	1	0	0	$D_3 = 0$
7	0	1	1	1	0	
8	1	0	0	0	1	$D_4 = \sim x_1$
9	1	0	0	1	0	
10	1	0	1	0	0	$D_5 = x_1$
11	1	0	1	1	1	
12	1	1	0	0	1	$D_6 = \sim x_1$
13	1	1	0	1	0	
14	1	1	1	0	1	$D_7 = 1$
15	1	1	1	1	1	

Старшие разряды подаются на адресные входы A2, A1, A0 мультиплексора соответственно. На информационные входы подаются либо константы 0, 1, либо значение x_1 , либо его инверсия. Всё зависит от того, как логическая

функция зависит от переменной x_1 при значениях трех других переменных x_2 , x_3 , x_4

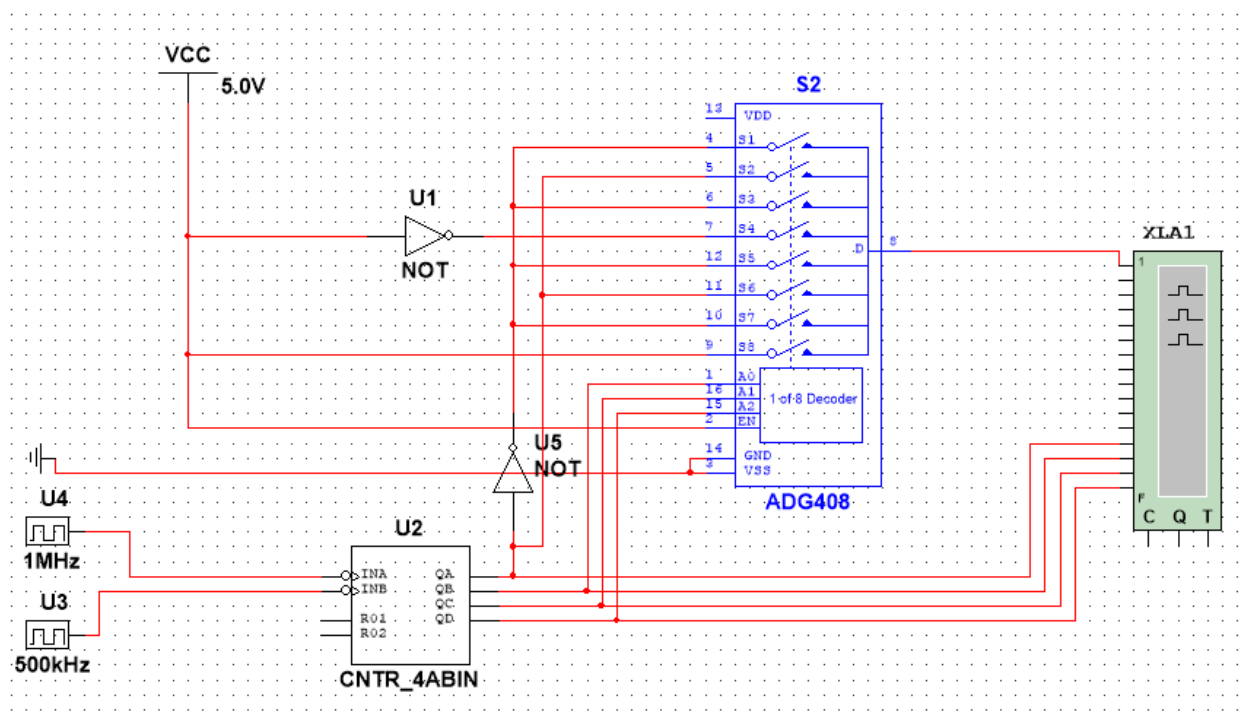


Рис 3. Собранный схема ИС ADG408 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАП четырех переменных

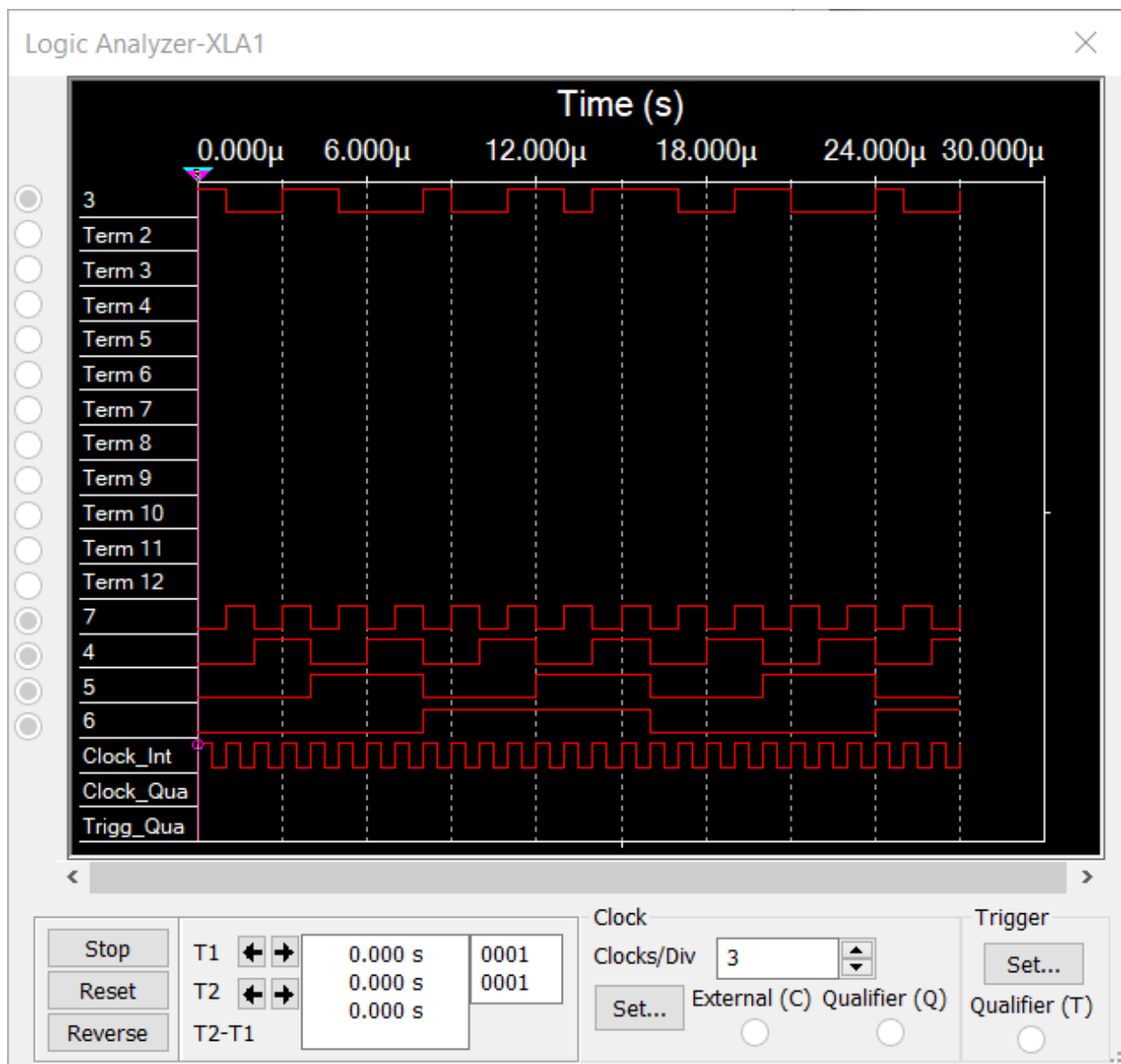


Диаграмма 5. Временная диаграмма сигналов формирователя ФАЛ

Вывод: используя мультиплексор с количеством адресных входов n , мы можем формировать булевы функции от $n+1$ переменных, подавая значения n первых переменных на адресные входы. Затем в зависимости от них подавать

значения 0, 1, либо значение оставшейся переменной на информационные входы.

Задание 4. Нарращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4 (рис.2, второй вариант наращивания, см. выше). Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D 0 ...D 15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

Нарращивание мультиплексора:

1. Разбиваем 16 информационных сигналов на блоки по 4 (так как наращиваем на основе мультиплексора с 4 входами данных).
2. Получаем 4 мультиплексора, один для входов D0-D3, другой D4-D7 и т.д.
3. На каждый из мультиплексоров подаются два младших разряда, а два старших подаются на вход дешифратора; он определяет, какой

мультиплексор должен отработать и посылает разрешающий сигнал в него.

4. Выбранный мультиплексор по переданным младшим разрядам адреса определяет, какой из четырех входных сигналов нужно передать на ВЫХОД.

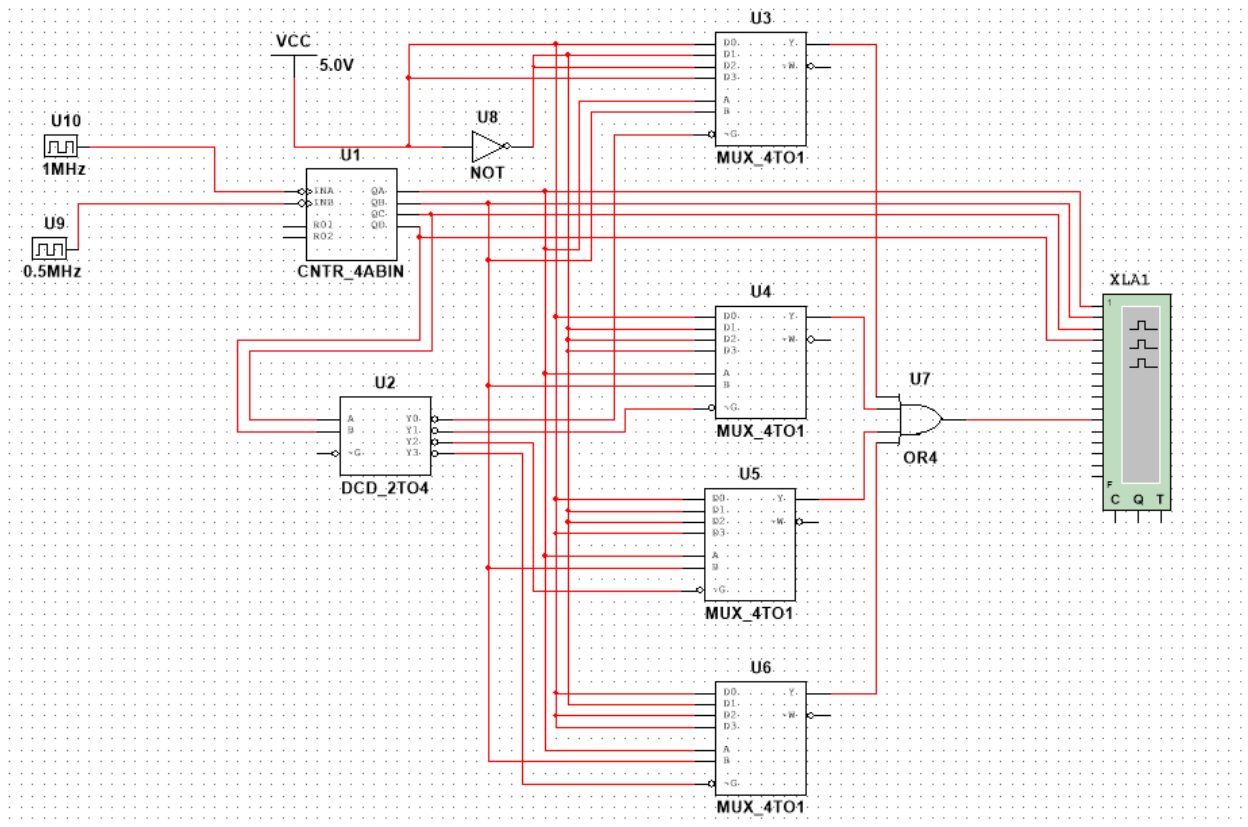


Рис 4. Схема мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4

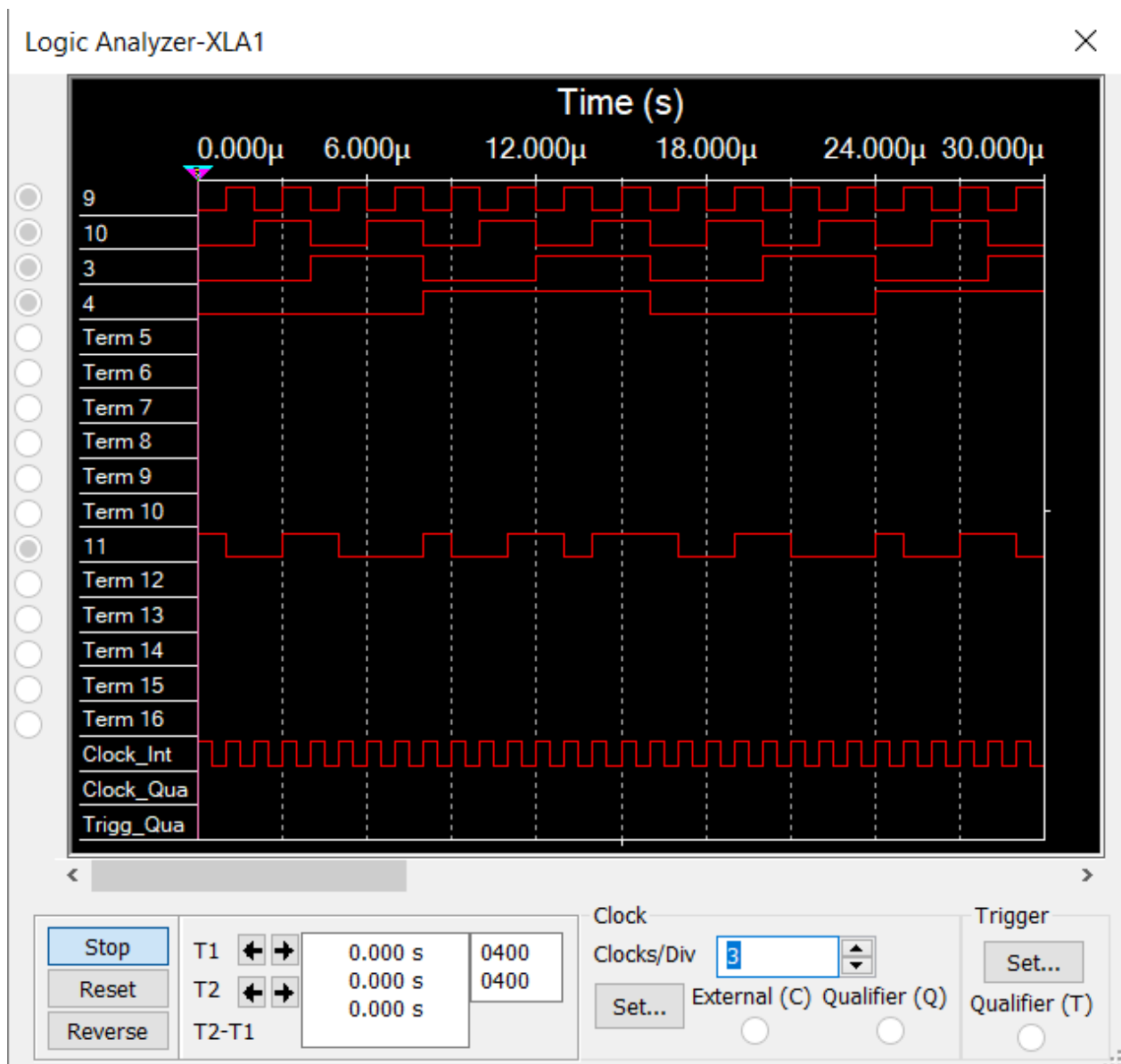


Диаграмма 6. Временная диаграмма сигналов мультиплексора MUX 16 – 1.

Вывод: при наращивании мультиплексора на основе более простых можно использовать дешифратор, который принимает более старшие разряды адреса и по их значениям определяет, какой мультиплексор отвечает за данный блок информационных сигналов.

Общий вывод: в ходе выполнения лабораторной работы были получены навыки по работе с мультиплексором: был изучен принцип устройства, исследование аналогового мультиплексора на наличие помех; были построены формирователи функции алгебры логики (ФАЛ), который зависит от $n+1$ переменных (n – количество адресных входов мультиплексора); было

проведено наращивание мультиплексора с большим числом адресных входов на основе более простых.