



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

О Т Ч Е Т

по лабораторной работе № 3

Название: Исследование синхронных счетчиков

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-44Б

(Группа)

18.05.2021

(Подпись, дата)

Тартыков Л.Е.

(И.О. Фамилия)

Преподаватель

Попов А.Ю.

(Подпись, дата)

(И.О. Фамилия)

Москва, 2021

Строим счетчик на Т-триггерах согласно схеме (рис. 1) из методички:

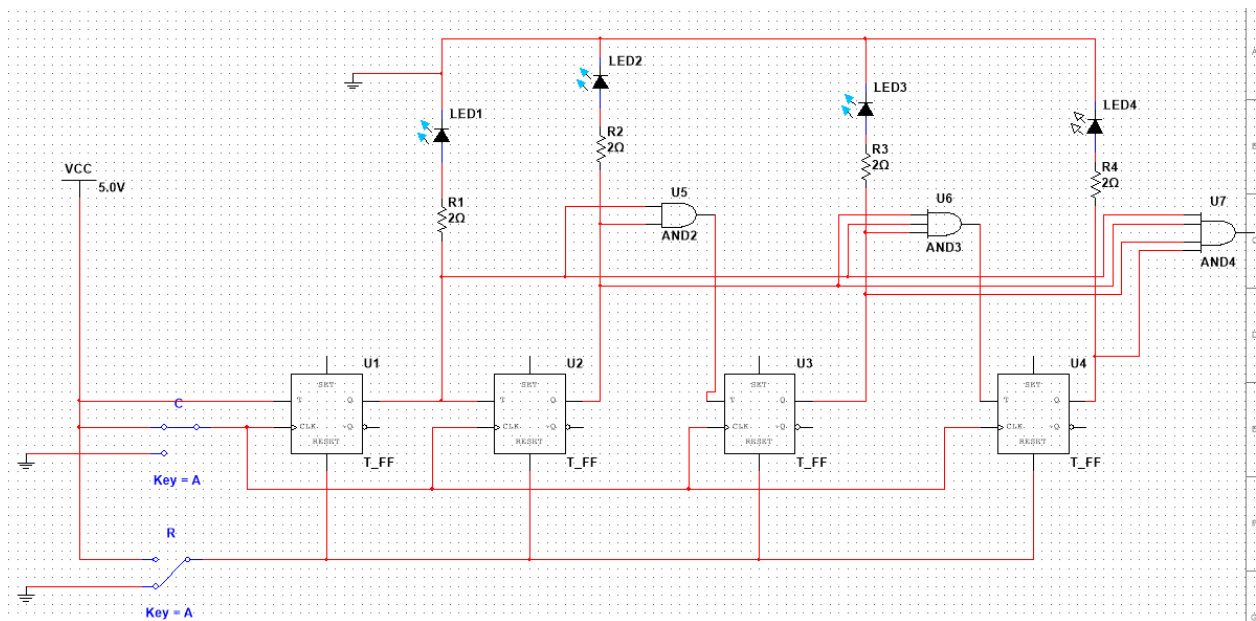


Рис 2. Построенная функциональная схема четырехразрядного синхронного двоичного суммирующего счетчика с параллельным переносом, построенном на синхронных Т-триггерах

При каждом переключении сигнала С 0->1 В Т-триггер будет поступать сигнал «1» на счетных вход «Т». Это изменит состояние текущего триггера на противоположное и изменит состояние некоторых других триггеров (которые играют роль старших разрядов) так, что двоичное значение $Q_3Q_2Q_1Q_0$ увеличится на единицу. Сам счетчик имеет двоичный диапазон от 0000 до 1111 включительно и перейдет в состояние 0000 за следующий, шестнадцатый, такт.

Подадим на вход С импульсы генератора и снимем временную диаграмму.

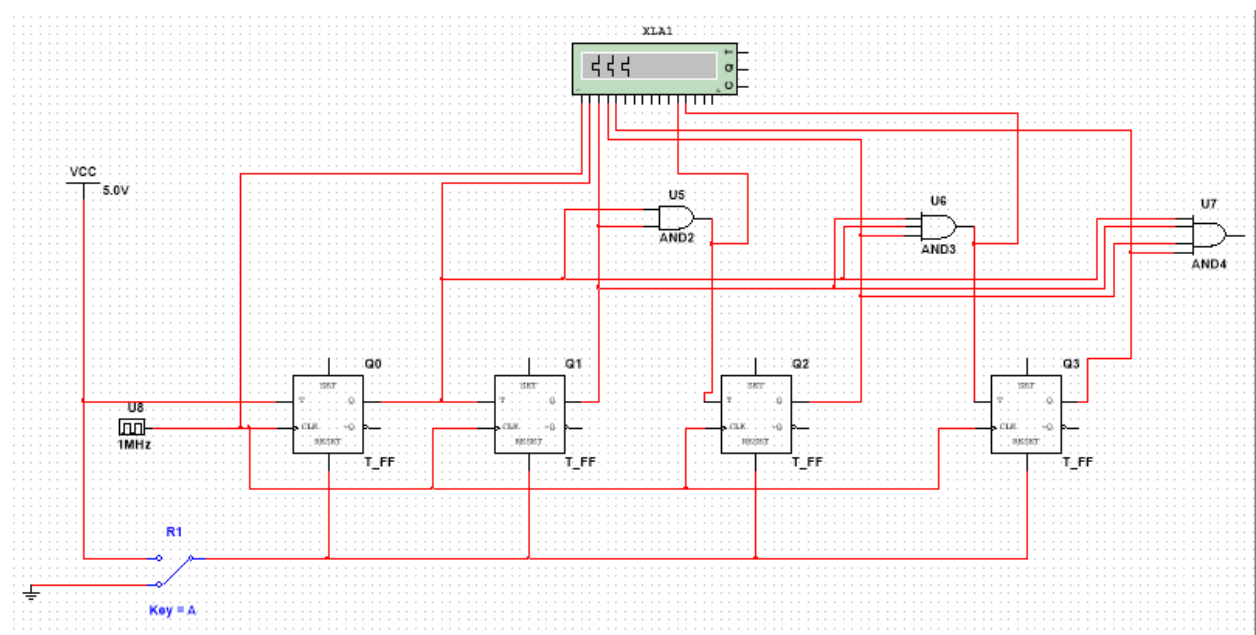


Рис 2. Построенная функциональная схема четырехразрядного синхронного двоичного суммирующего счетчика с параллельным переносом, построенном на синхронных Т-триггерах с импульсом генератора

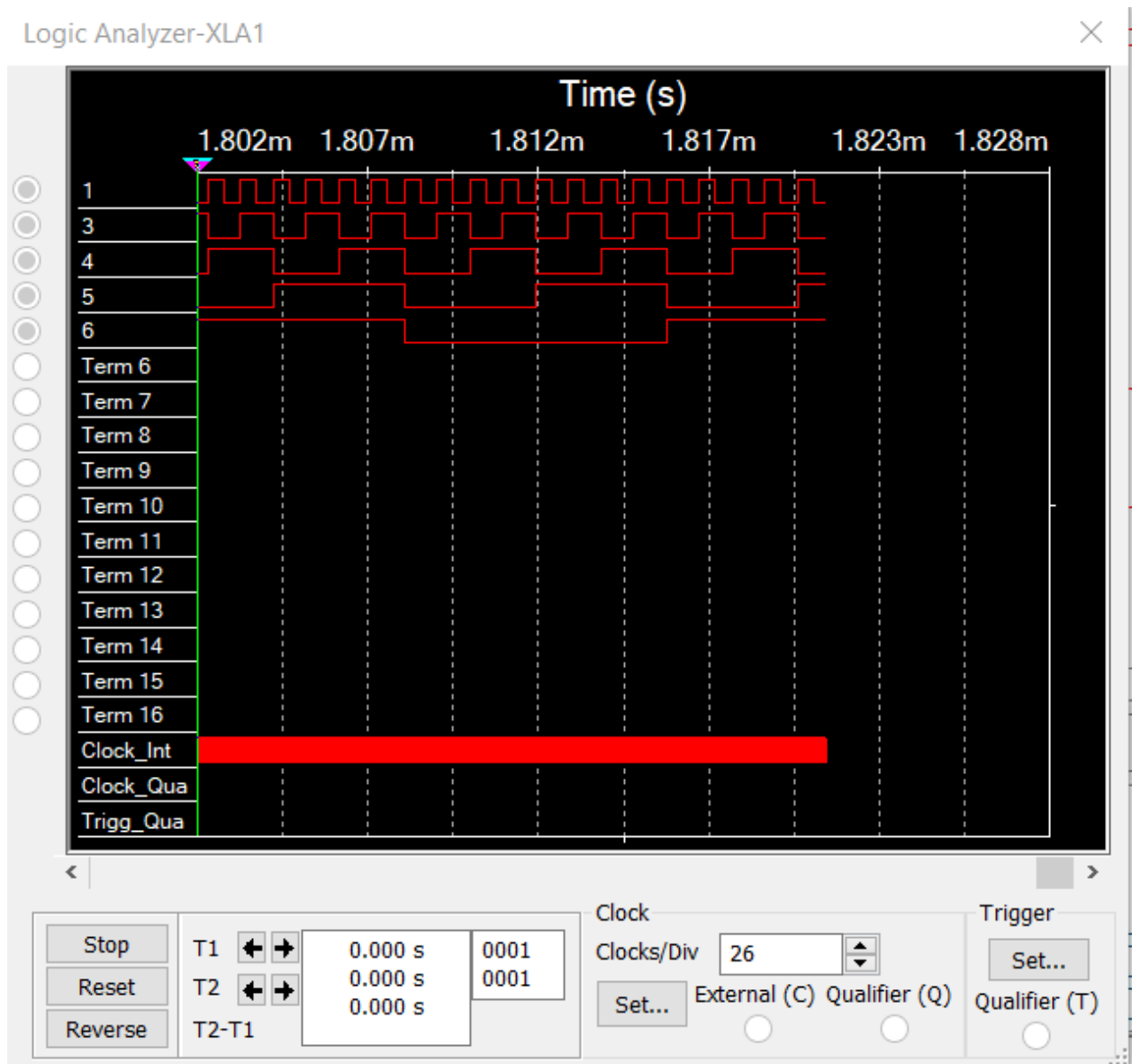


Диаграмма 1. Временная диаграмма функциональной схемы четырехразрядного синхронного двоичного суммирующего счетчика с параллельным переносом, построенном на синхронных T-триггерах с импульсом генератора

Входы:

- 1 – сигнал генератора (сигнал на входе C, который является входным сигналом на младшем триггере T0)
- 2 – выходной сигнал Q0
- 3 – выходной сигнал Q1
- 4 – выходной сигнал Q2
- 5 – выходной сигнал Q3

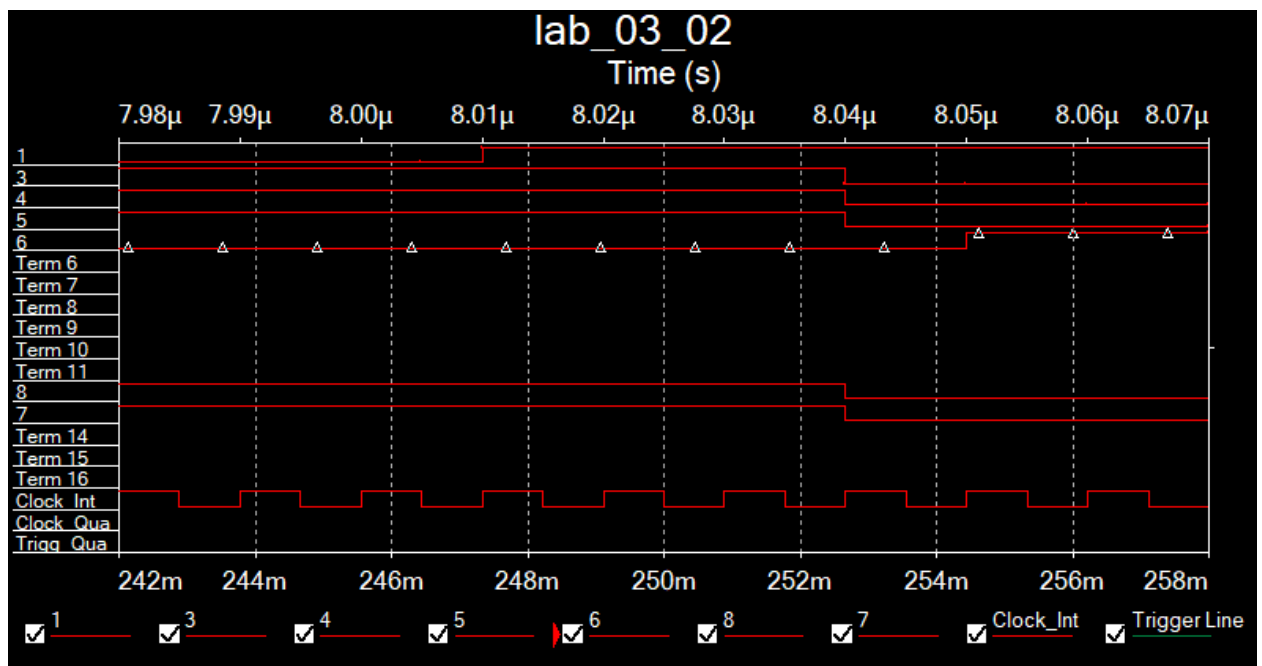


Диаграмма 2. Временная диаграмма с задержками

Задержка проявляется в промежутке $8,04 \cdot 10^{-6}$ с; $8,05 \cdot 10^{-6}$ с. Соответственно время задержки составляет 10ns. Но переходные процессы не закончены. Из-за задержки в ЛЭ (около 10 ns) все переходные процессы составят 20ns. Максимальная частота счета составляет $1 / 20 \text{ ns} = 50 \text{ МГц}$.

Вывод: с помощью Т-триггеров и ЛЭ можем собрать синхронный суммирующий счетчик с параллельным переносом любой разрядности. Чтобы считалось всё корректно, частота поданного сигнала не должна превышать максимальную частоту счета.

Задание 3. Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний. Последовательность состояний счётчика для каждого варианта работы приведена в табл.3; десятичными числами обозначены номера двоичных наборов, изображающие десятичные цифры и определяющие состояние счётчика. Начертить схему счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных JK-триггерах.

Таблица 3

№ варианта двоично-Десятичного кода	Десятичные номера двоичных наборов переменных, изображающих десятичные цифры 0,1,...,9
19	0,1,3,4,5,8,9,11,12,13

№	Время t				Время t+1				Время t Счетчик на JK-триггерах							
									Функции возбуждения JK-триггеров							
	Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	0	1	0	a	0	a	0	a	1	a
1	0	0	0	1	0	0	1	1	0	a	0	a	1	a	a	0
3	0	0	1	1	0	1	0	0	0	a	1	a	a	1	a	1
4	0	1	0	0	0	1	0	1	0	a	a	0	0	a	1	a
5	0	1	0	1	1	0	0	0	1	a	a	1	0	a	a	1
8	1	0	0	0	1	0	0	1	a	0	0	a	0	a	1	a
9	1	0	0	1	1	0	1	1	a	0	0	a	1	a	a	0
11	1	0	1	1	1	1	0	0	a	0	1	a	a	1	a	1
12	1	1	0	0	1	1	0	1	a	0	a	0	0	a	1	a
13	1	1	0	1	0	0	0	0	a	1	a	1	0	a	a	1

Таблица 1. Таблица счетчика по варианту.

Замечание: а (any) – на данном входе может быть как 0, так и 1 – результат от этого не зависит.

Выполним минимизацию данной функции при помощи карт Карно:

J0:

Q3Q2\Q1Q0	00	01	11	10
00	1	a	a	-
01	1	a	-	-
11	1	a	-	-
10	1	a	a	-

Таблица 2. Карта Карно для J0

J0 = 1

J1:

Q3Q2\Q1Q0	00	01	11	10
00	0	1	a	-
01	0	0	-	-
11	0	0	-	-
10	0	1	a	-

Таблица 3. Карта Карно для J1

$$J1 = Q0 \sim Q2$$

J2:

Q3Q2\Q1Q0	00	01	11	10
00	0	0	1	-
01	a	a	-	-
11	a	a	-	-
10	0	0	1	-

Таблица 4. Карта Карно для J2

$$J2 = Q1$$

J3:

Q3Q2\Q1Q0	00	01	11	10
00	0	0	0	-
01	0	1	-	-
11	a	a	-	-
10	a	a	a	-

Таблица 5. Карта Карно для J3

$$J3 = Q0Q2 \sim Q3$$

K0:

Q3Q2\Q1Q0	00	01	11	10
00	a	0	1	-
01	a	1	-	-
11	a	1	-	-
10	a	0	1	-

Таблица 6. Карта Карно для K0

$$K0 = Q0Q2 \vee Q0Q1$$

K1:

Q3Q2\Q1Q0	00	01	11	10
00	a	1	a	-
01	a	a	-	-
11	a	a	-	-
10	a	a	1	-

Таблица 7. Карта Карно для K1

$$K1 = 1$$

K2:

Q3Q2\Q1Q0	00	01	11	10
00	a	a	a	-
01	0	1	-	-
11	0	1	-	-
10	a	a	a	-

Таблица 8. Карта Карно для K2

$$K2 = Q0Q2$$

K3:

Q3Q2\Q1Q0	00	01	11	10
00	a	a	a	-
01	a	a	-	-
11	0	1	-	-
10	0	0	0	-

Таблица 9. Карта Карно для K3

$K3 = Q0Q2$

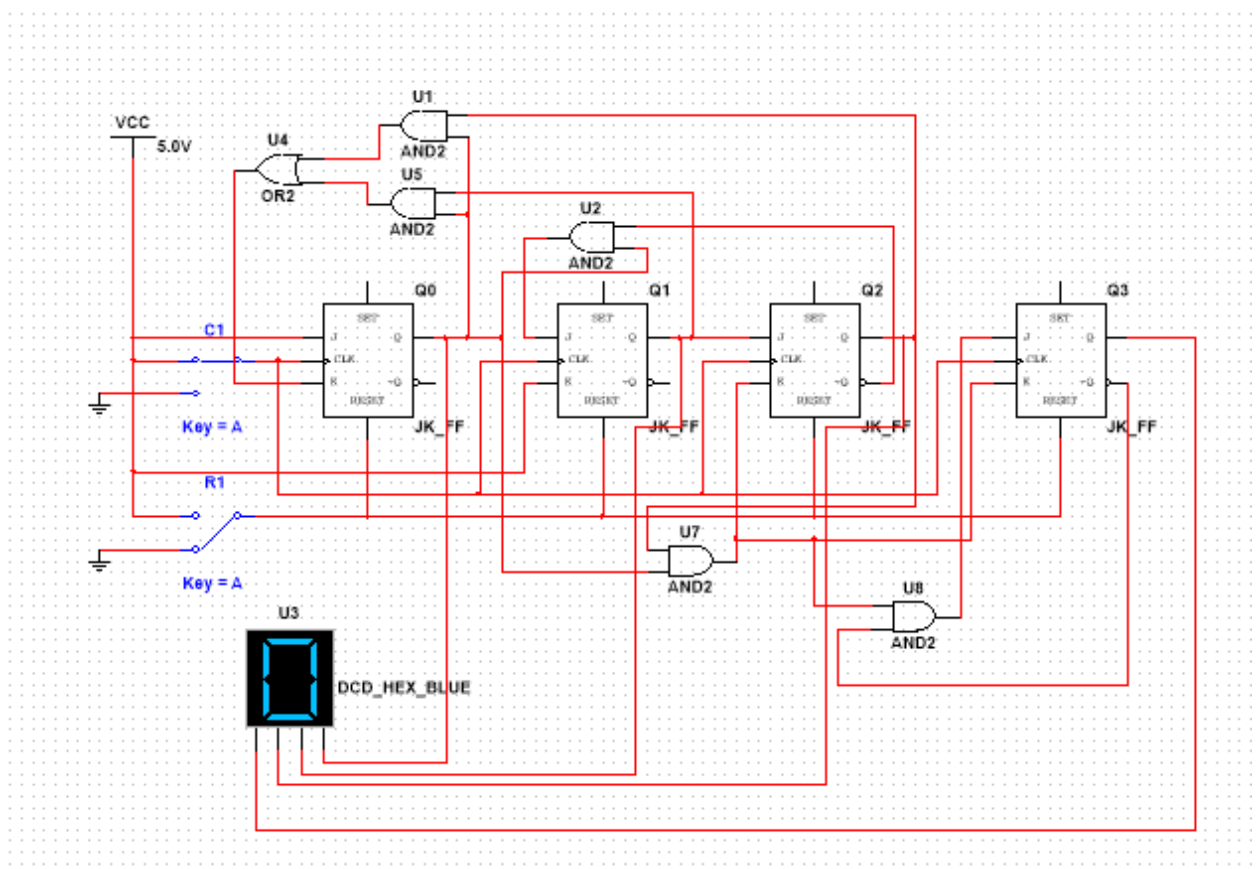


Рис 3. Схема двоично-десятичного счетчика с заданной последовательностью состояний

Выходы Q0, Q1, Q2, Q3 подключены к DCD_HEX, который преобразует входные четыре разряда в шестнадцатеричную цифру и отображает её. За 10 тактов на экране высветятся 0, 1, 3, 4, 5, 8, 9, b, c, d, затем снова 0.

Вывод: на JK-триггерах мы можем построить любой синхронный счетчик с произвольным порядком счета, синтезируя логические функции и минимизируя их при помощи карт Карно

Задание 4. Собрать десятичный счётчик, используя элементную базу приложения Multisim или учебного макета. Установить счётчик в начальное состояние, подав на установочные входы R соответствующий сигнал.

№	Время t				Время t+1				Время t Счетчик на JK-триггерах							
									Функции возбуждения JK-триггеров							
	Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	0	1	0	a	0	a	0	a	1	a
1	0	0	0	1	0	0	1	0	0	a	0	A	1	a	a	1
2	0	0	1	0	0	0	1	1	0	a	0	a	a	0	1	a
3	0	0	1	1	0	1	0	0	0	a	1	a	a	1	a	1
4	0	1	0	0	0	1	0	1	0	a	a	0	0	a	1	a
5	0	1	0	1	0	1	1	0	0	a	a	0	1	a	a	1
6	0	1	1	0	0	1	1	1	0	a	a	0	A	0	1	a
7	0	1	1	1	1	0	0	0	1	a	a	1	a	1	a	1
8	1	0	0	0	1	0	0	1	A	0	0	a	0	a	1	a
9	1	0	0	1	0	0	0	0	A	1	0	a	0	a	a	1

Таблица 10. Таблица десятичного счетчика

J0:

Q3Q2\Q1Q0	00	01	11	10
00	1	a	a	1
01	1	a	a	1
11	-	-	-	-
10	1	a	-	-

Таблица 11. Карта Карно для J0

J0 = 1

J1:

Q3Q2\Q1Q0	00	01	11	10
00	0	1	a	a
01	0	1	a	a
11	-	-	-	-
10	0	0	-	-

Таблица 12. Карта Карно для J1

$$J1 = \sim Q3Q0$$

J2:

Q3Q2\Q1Q0	00	01	11	10
00	0	0	1	0
01	a	a	a	a
11	-	-	-	-
10	0	0	-	-

Таблица 13. Карта Карно для J2

$$J2 = Q1Q0$$

J3:

Q3Q2\Q1Q0	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	-	-	-	-
10	a	a	-	-

Таблица 14. Карта Карно для J3

$$J3 = Q2Q1Q0$$

K0:

Q3Q2\Q1Q0	00	01	11	10
00	a	1	1	a
01	0	1	1	a
11	-	-	-	-
10	a	1	-	-

Таблица 15. Карта Карно для K0

$$K0 = 1$$

K1:

Q3Q2\Q1Q0	00	01	11	10
00	a	a	1	0
01	a	a	1	0
11	-	-	-	-
10	a	a	-	-

Таблица 16. Карта Карно для K1

$$K1 = Q0$$

K2:

Q3Q2\Q1Q0	00	01	11	10
00	a	a	a	a
01	0	0	1	0
11	-	-	-	-
10	a	a	-	-

Таблица 17. Карта Карно для K2

$$K2 = Q1Q0$$

K3:

Q3Q2\Q1Q0	00	01	11	10
00	a	a	a	a
01	a	a	a	a
11	-	-	-	-
10	0	1	-	-

Таблица 18. Карта Карно для J0

$$K3 = Q0$$

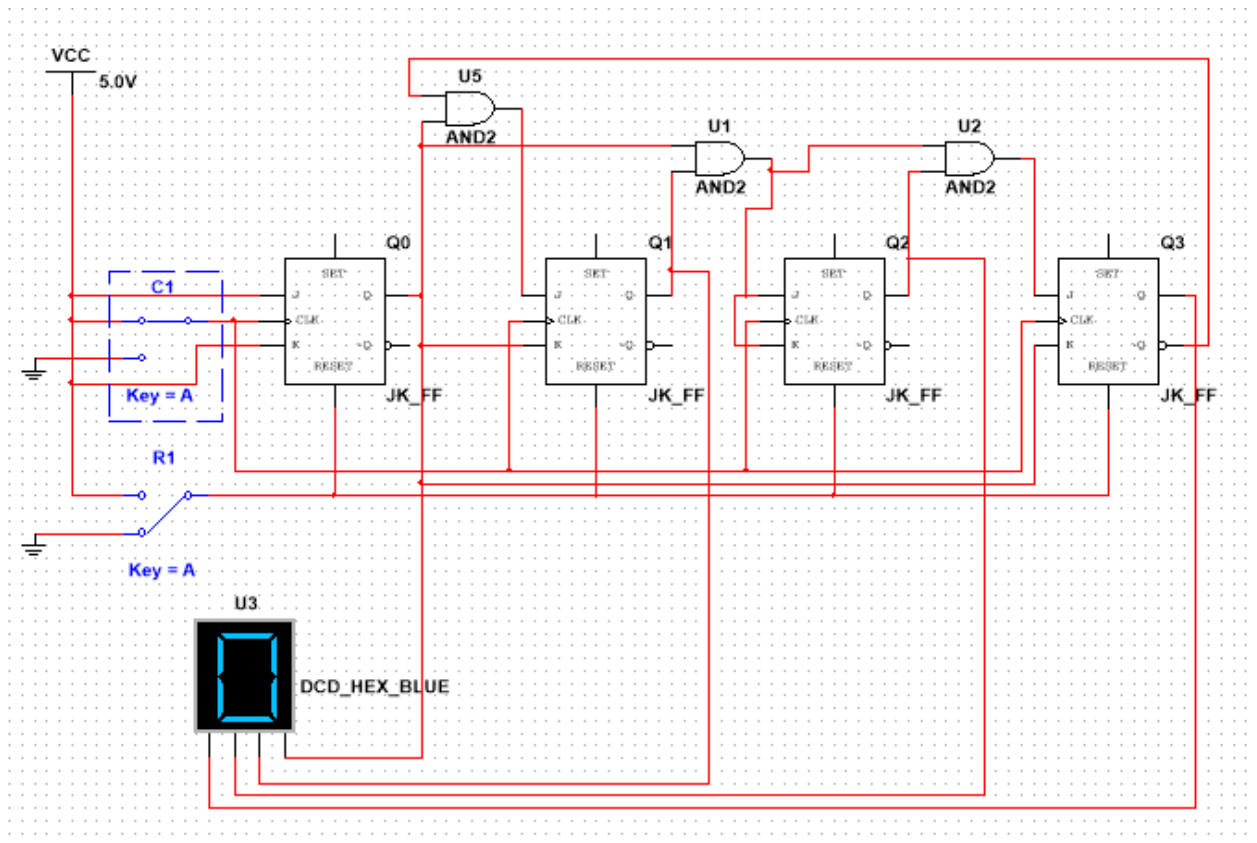


Рис. 4 Схема двоично-десятичного счетчика

Выходы Q0, Q1, Q2, Q3 подключены к DCD_HEX, который преобразует входные четыре разряда в шестнадцатеричную цифру и отображает её. За 10 тактов на экране высветятся 0, 1, 2, 3, 4, 5, 6, 7, 8, 9 затем снова 0.

Вывод: на JK-триггерах мы можем построить десятичный синхронный счетчик, синтезируя логические функции и минимизируя их при помощи карт Карно.

Задание 5: аналогично заданию 1

Задание 6

Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС К555ИЕ9, аналог ИС 74LS160 (рис.4).

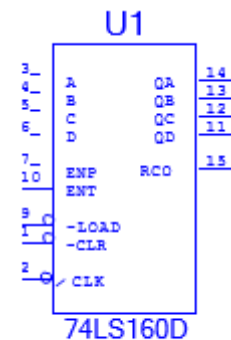


Рис.4

Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

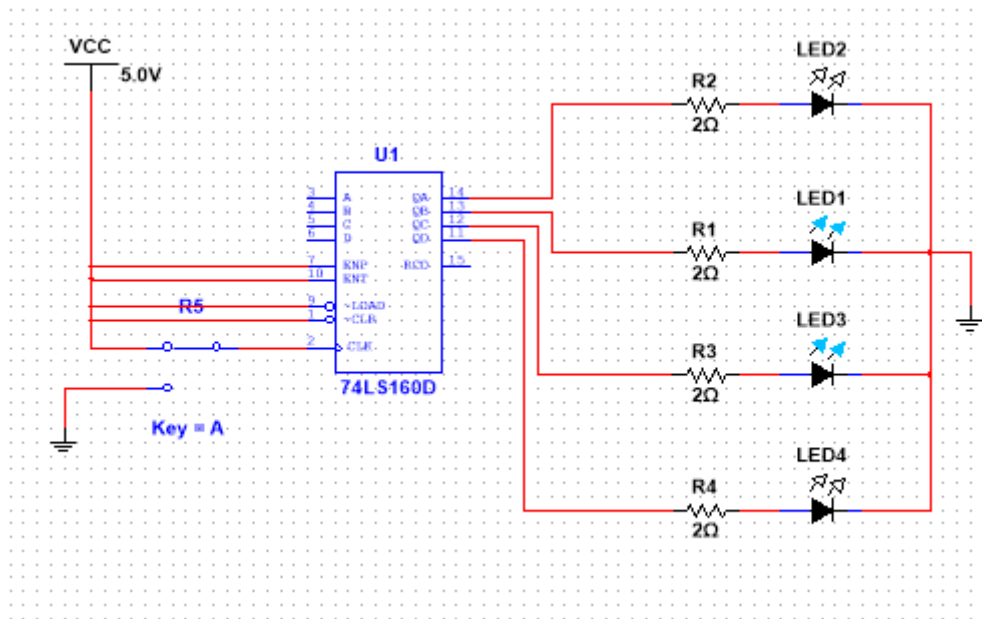


Рис 5. Четырехразрядный синхронный суммирующий счетчик с параллельным переносом с работой от одиночных импульсов

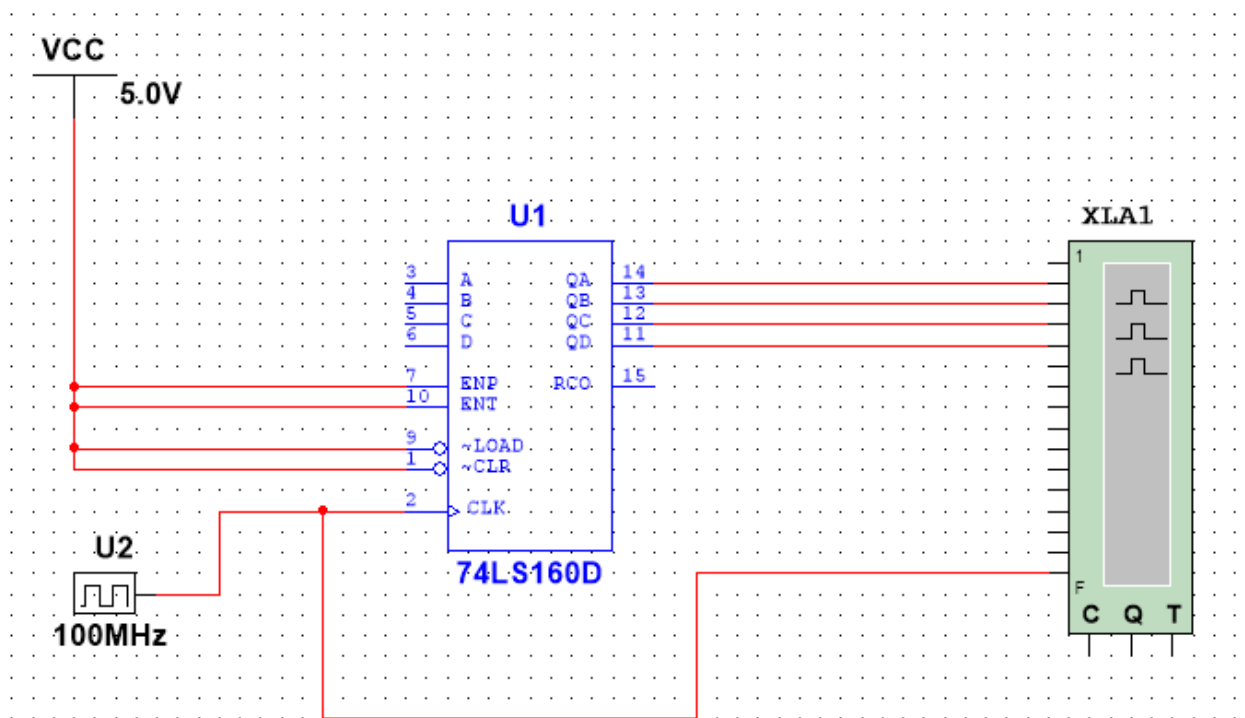


Рис 6. Четырехразрядный синхронный суммирующий счетчик с параллельным переносом с работой от импульсов генератора

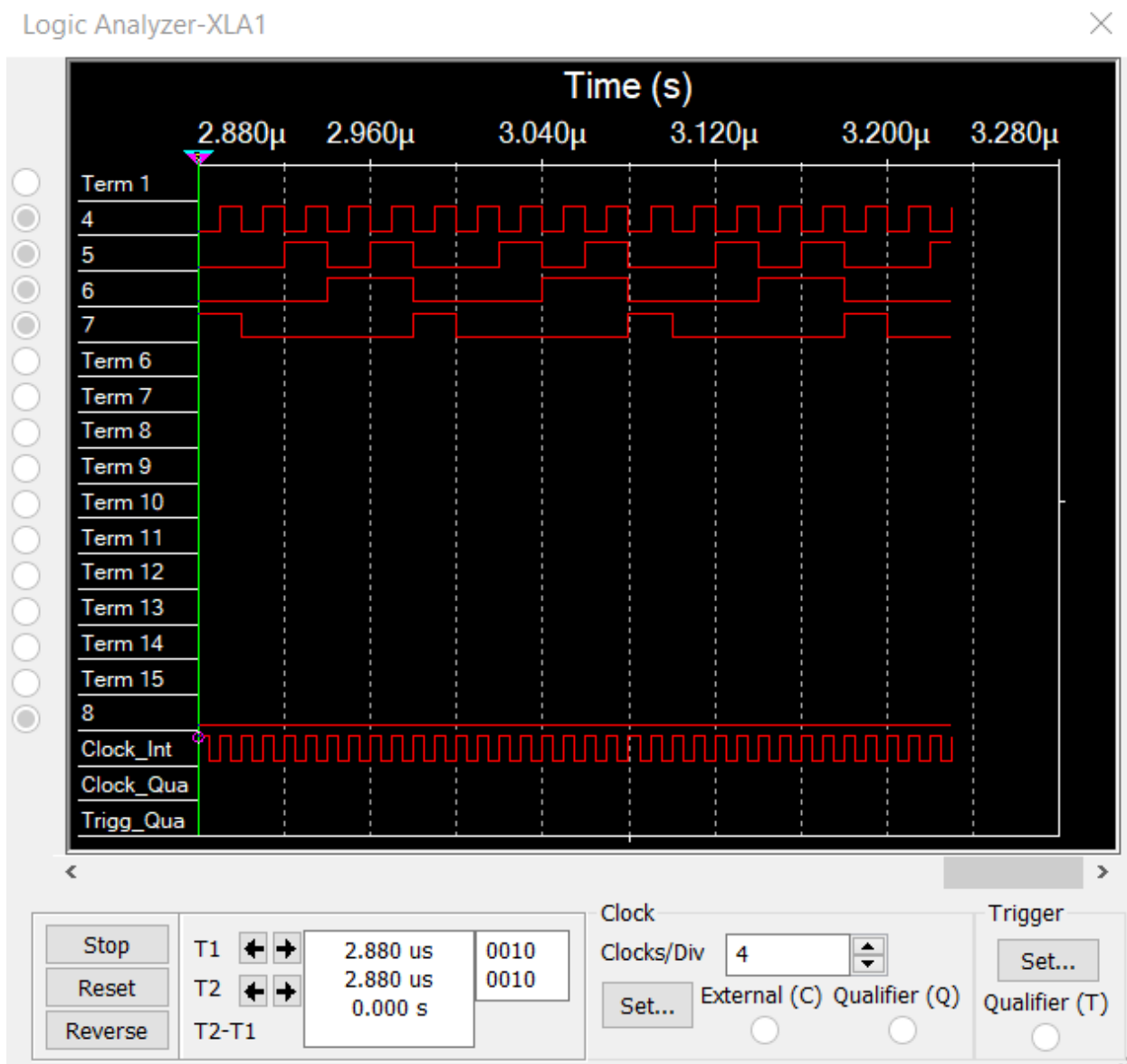


Диаграмма 3. Временная диаграмма

Если заглянуть в модель счетчика, то обнаружим, что время задержки (Fall time) = 28n, следовательно, максимальная частота счета = 35 MHz.

Вывод: в программе Multisim можно использовать готовые макромодели счетчиков, например, для двоично-десятичного счета.

Задание 7. Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями (рис. 5) и по структуре «быстрого» счета (рис. 6).

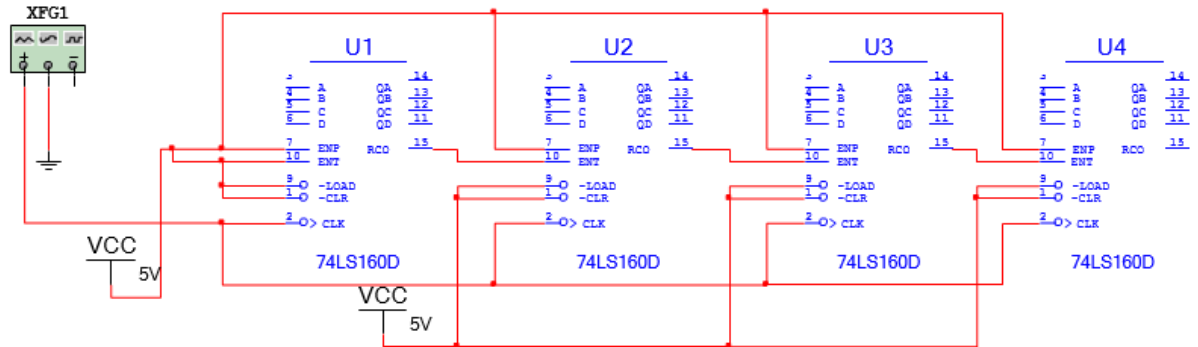


Рис. 5

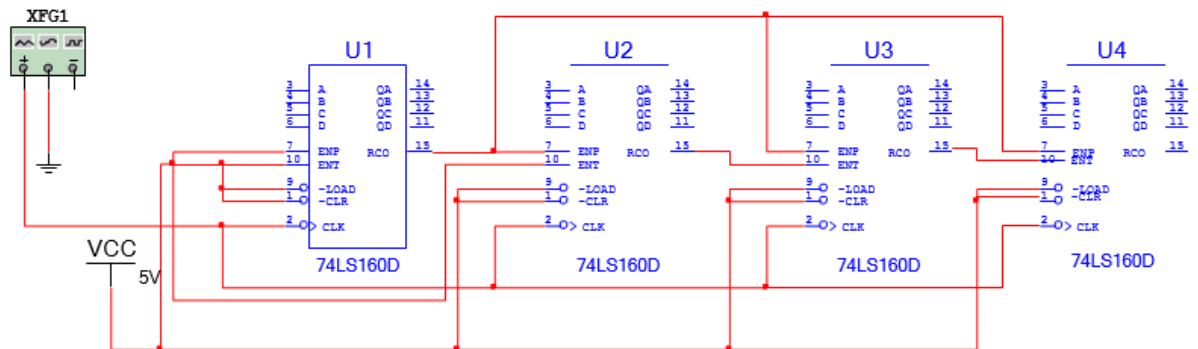


Рис. 6

Рис 7. Схемы наращивания с последовательным переносом между секциями и по структуре «быстрого счета»

С переносом: выходной сигнал счетчика подается на вход секции более старшего разряда и переключает её каждый раз, когда более младшая секция досчитывает до конца к выходам подключены дешифраторы, которые преобразуют входной сигнал в цифры от 0 до F.

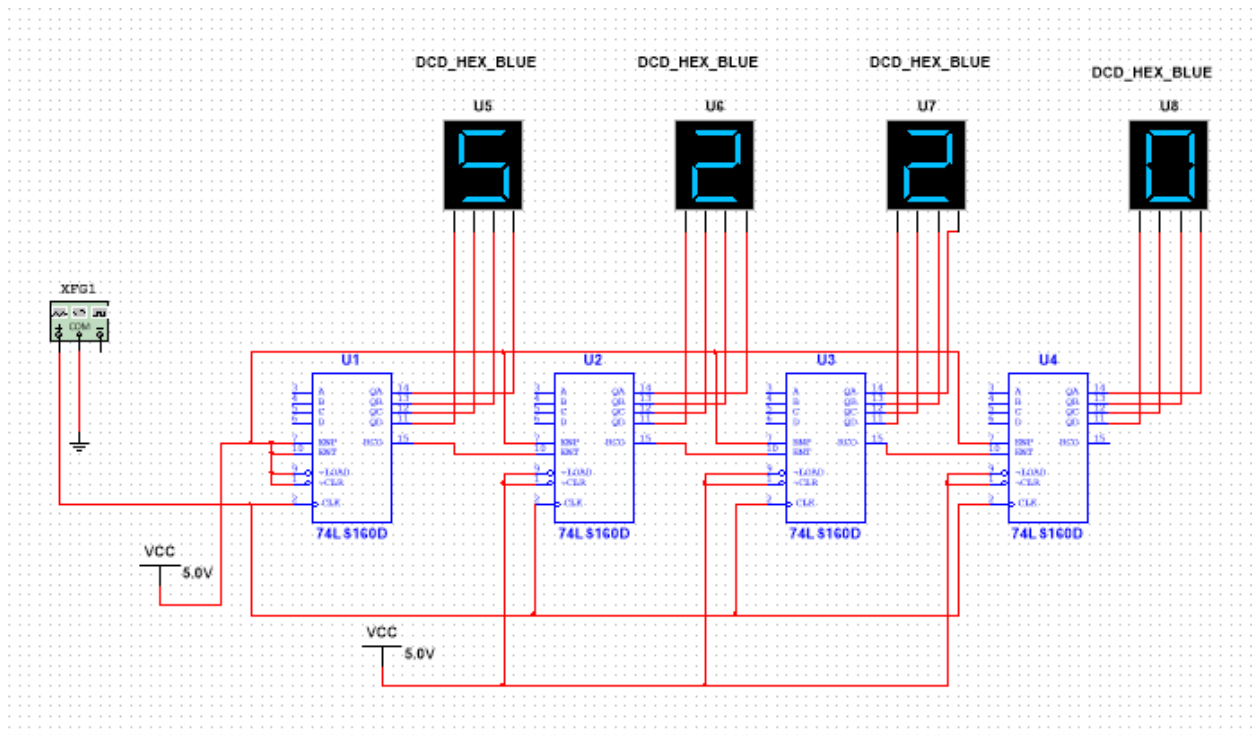


Рис 8. Схемы наращивания с последовательным переносом между секциями

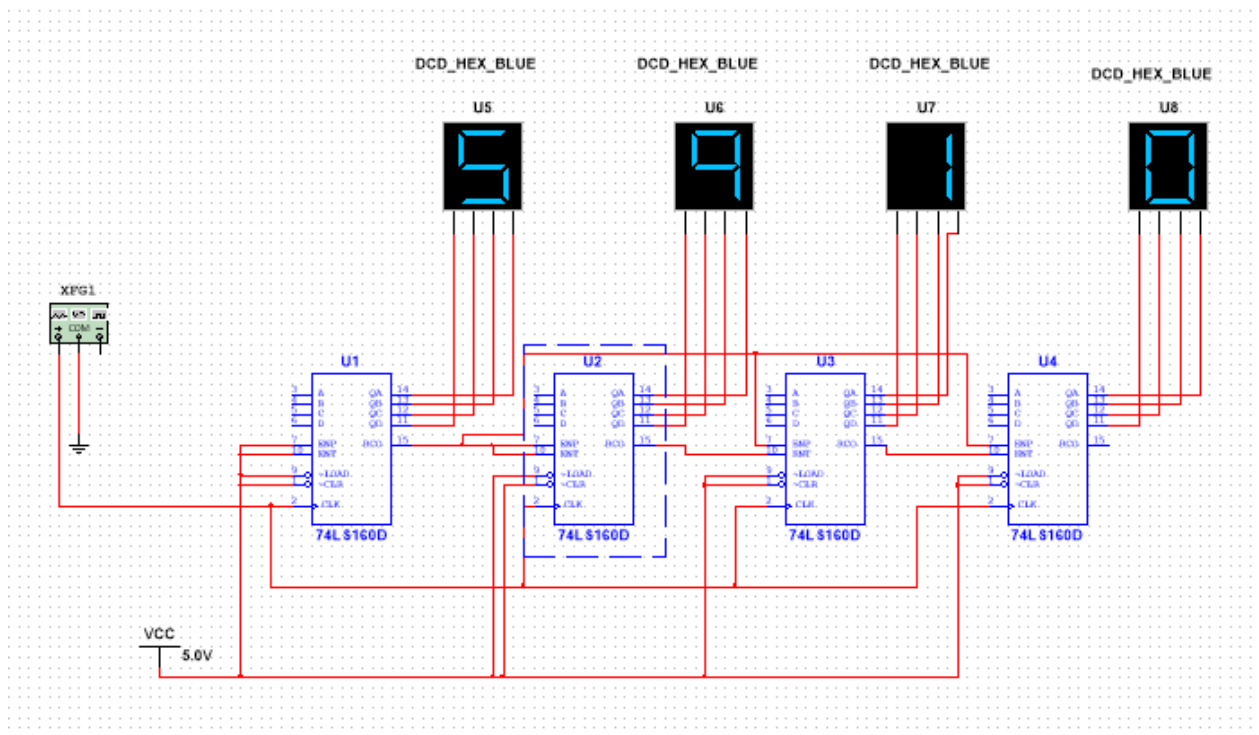


Рис 9. Схемы наращивания по структуре «быстрого счета»

Вывод: таким образом, при помощи наращивания разрядностей счетчиков мы можем получать многоразрядные счетчики.

Общий вывод: в ходе выполнения лабораторной работы был изучено понятие «счетчик», его устройство. Были получены навыки синтеза синхронного счетчика с произвольным порядком счета и десятичным на

основе JK, D, T-триггеров. На основе логических элементов и готовых макросхем удалось смоделировать схемы счетчиков, а также нарастить многоразрядные счетчики на основе счетчиков с небольшим разрядом.