|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (ИУ7)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 **Программная инженерия**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 2 |

**Название:**

Исследование дешифраторов

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-44Б |  |  | Тартыков Л.Е. |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | Попов А.Ю. |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

**Цель работы** – изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

1. Исследование линейного двухвходового дешифратора с инверсными выходами:

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов 0 1 A A , задать в выходов 0 1 Q Q , четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при ЕN=1);

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

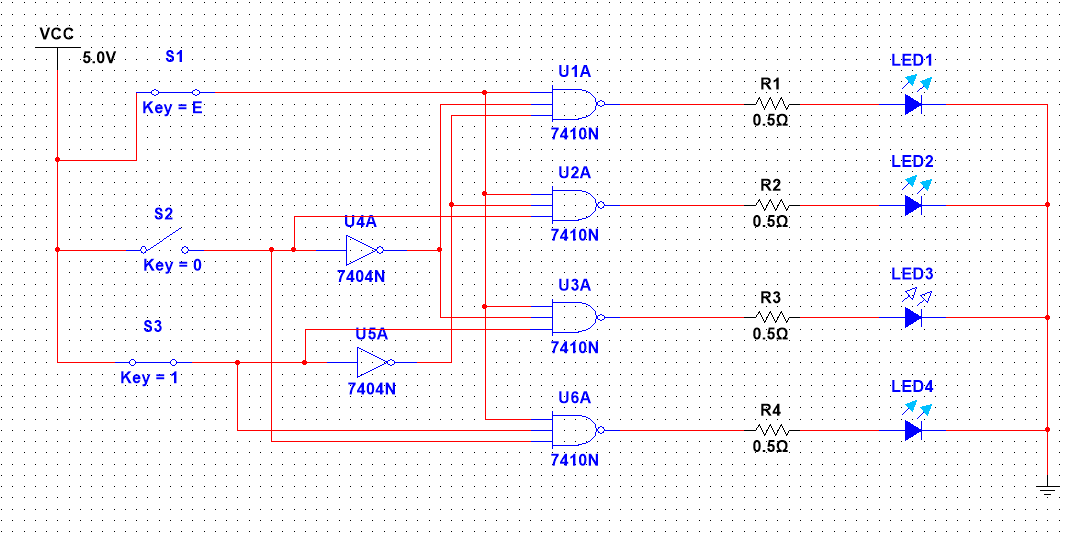
e) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками

Схема 1: схема линейного стробируемого дешифратора на элементах 3И-НЕ

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **EN** | **A** | **B** | **F0** | **F1** | **F2** | **F3** |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

Таблица 1: таблица истинности для нестробируемого дешифратора

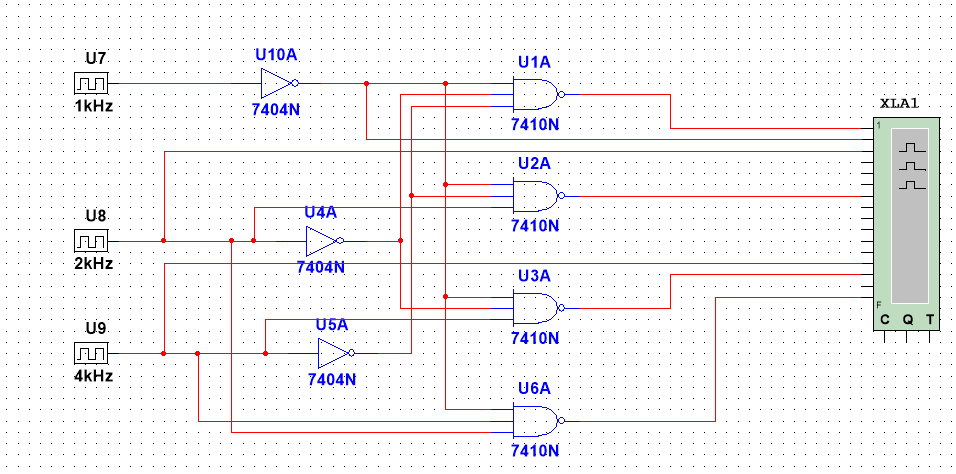
**

Схема 2: на вход счетчика подается сигнал генератора

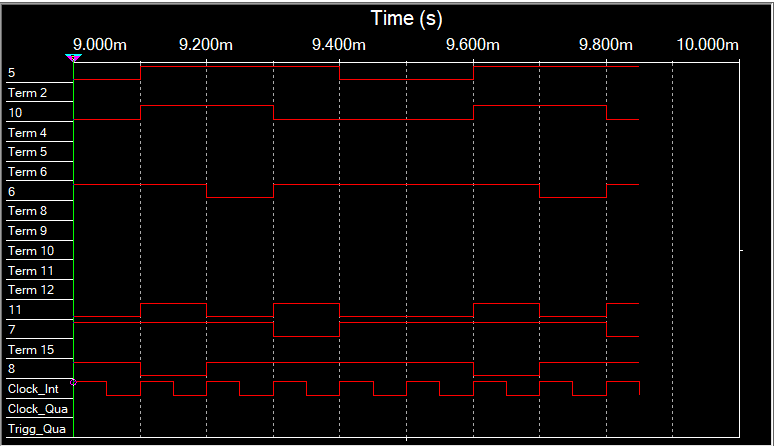
**

Диаграмма 1: временная диаграмма сигналов стробируемого дешифратора

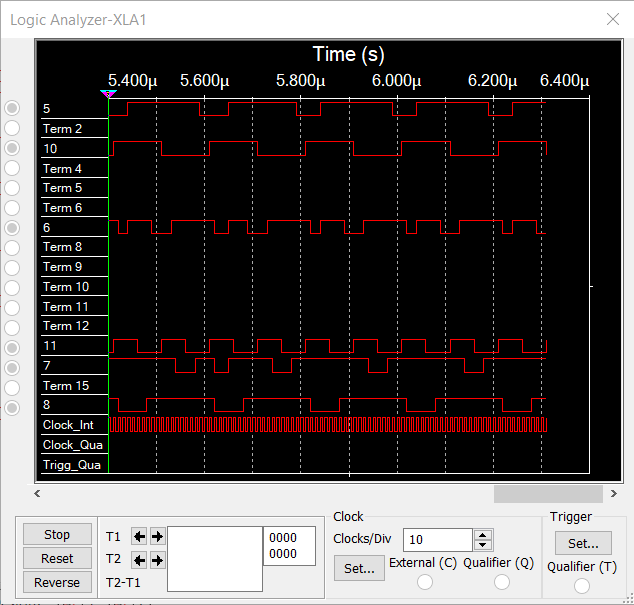
**

Диаграмма 2: временная диаграмма с гонками сигналов

Гонки сигналов наблюдаются в фиксировании ложных сигналов на входе 6 Logic Analyzer. Для этого надо частоту генераторов поставить 5MHz и 10MHz.

Амплитуда гонок при 100MHz будет равна ~20ns

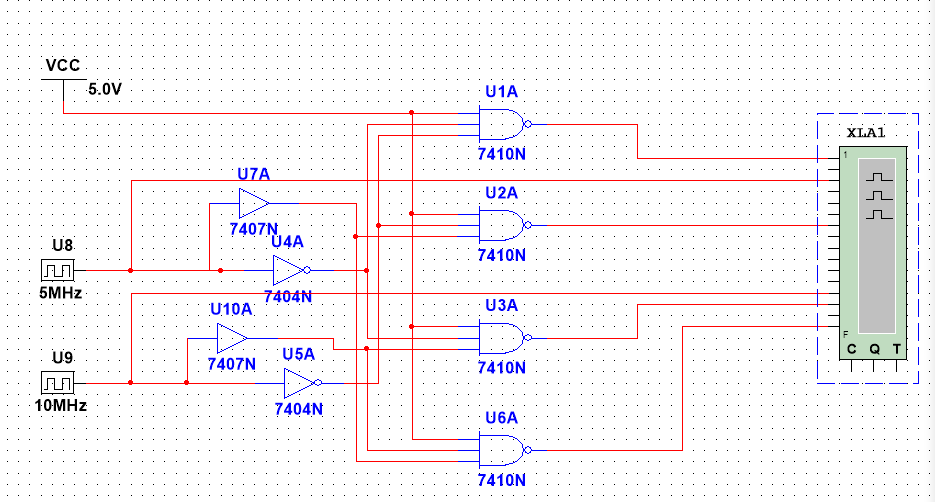


Схема 3: схема для устранения гонок

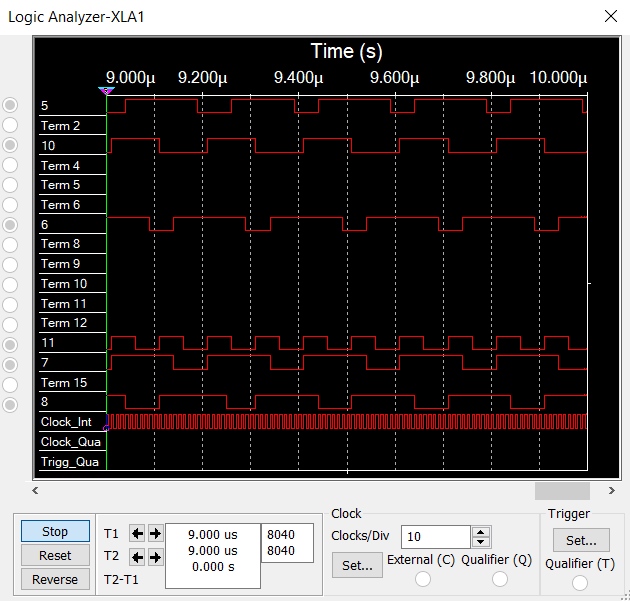


Диаграмма 3: временная гонка с устранением гонок сигналов

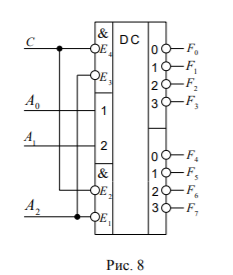
Время задержки для устранения гонок определяется амплитудой гонок ~20ns

1. Исследование дешифраторов ИС К155ИД4 (74LS155), рис. 8:

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы 3 и 4 – импульсы генератора, задержанные линией задержки;

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4 (см. рис. 8), задавая входные сигналы A1, A2, A3, с выходов Q0, Q1, Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности



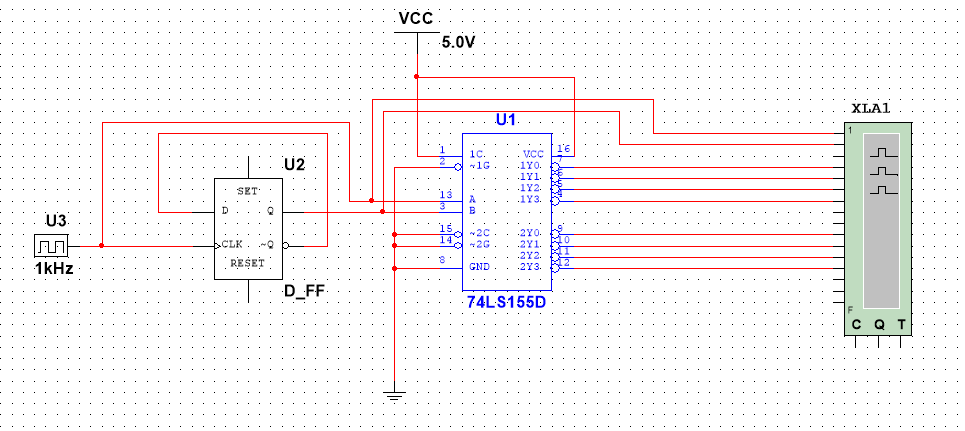
**

Схема 4: схема подключенного двухвходового дешифратора ИС К155ИД4 (74LS155)

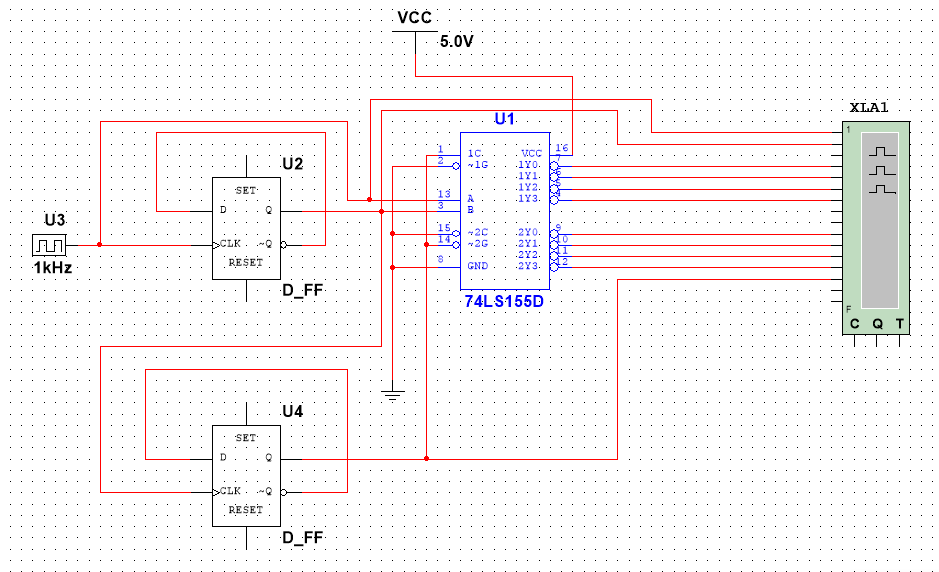
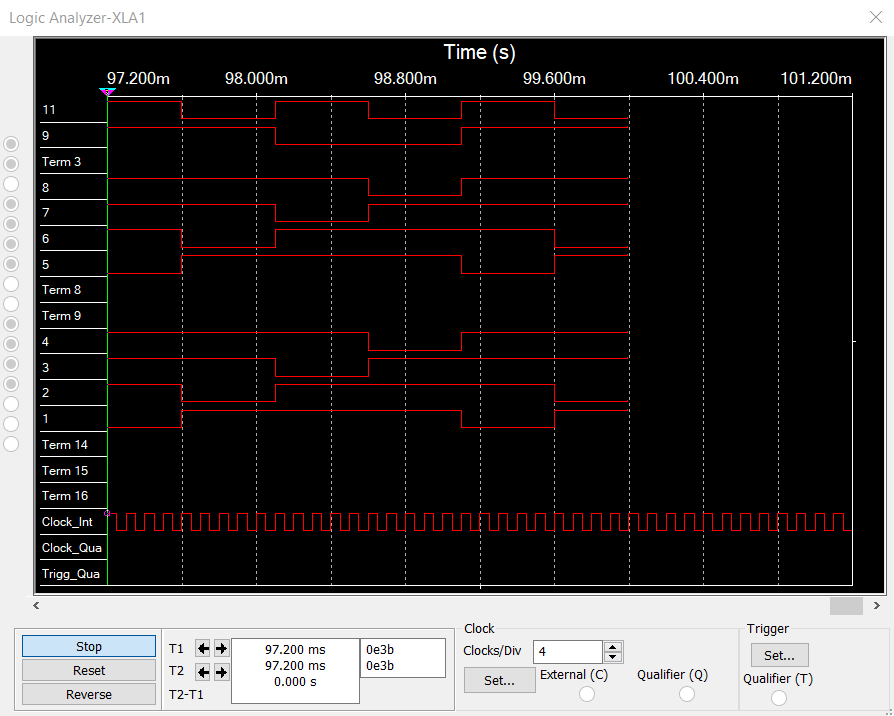
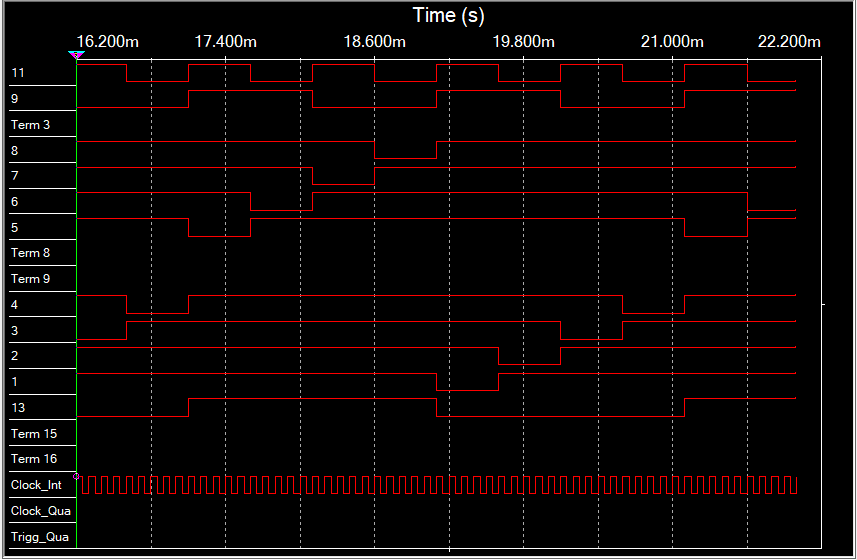
 **

Схема 5: схема трехвходового дешифратора на основе дешифратора К155ИД4

Диаграмма 4: временная диаграмма сигналов двухвходового дешифратора

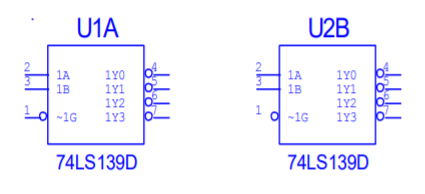
**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **EN** | **A** | **B** | **C** | **F0** | **F1** | **F2** | **F3** | **F4** | **F5** | **F6** | **F7** |
| 0 |  |  |  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

Диаграмма 5: Временная диаграмма трехвходового дешифратора на основе дешифратора К155ИД4

Таблица 2: таблица истинности трехвходового дешифратора

1. Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. ниже) с раздельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции 1· 2, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.



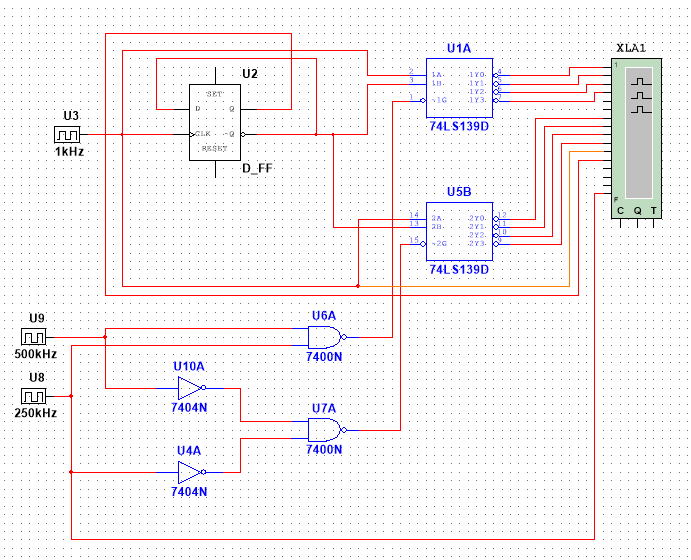
**

Схема 6: Схема построения дешифратора ИС КР531ИД14 (74LS139)

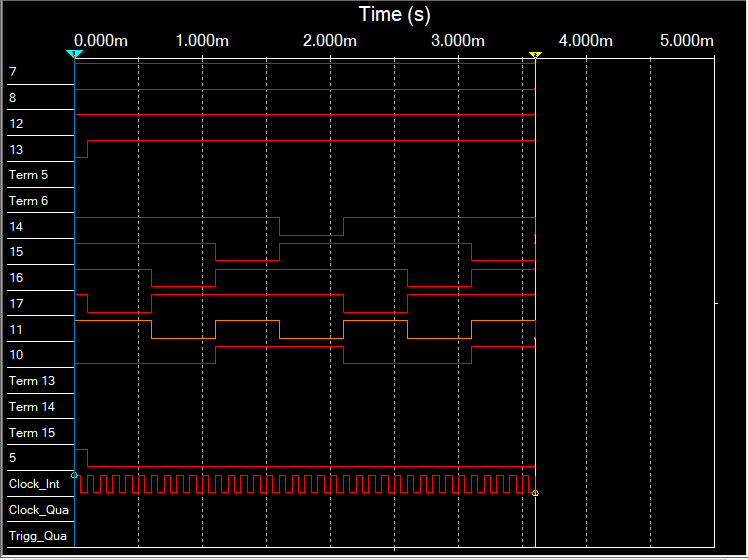
**

Диаграмма 6: временная диаграмма

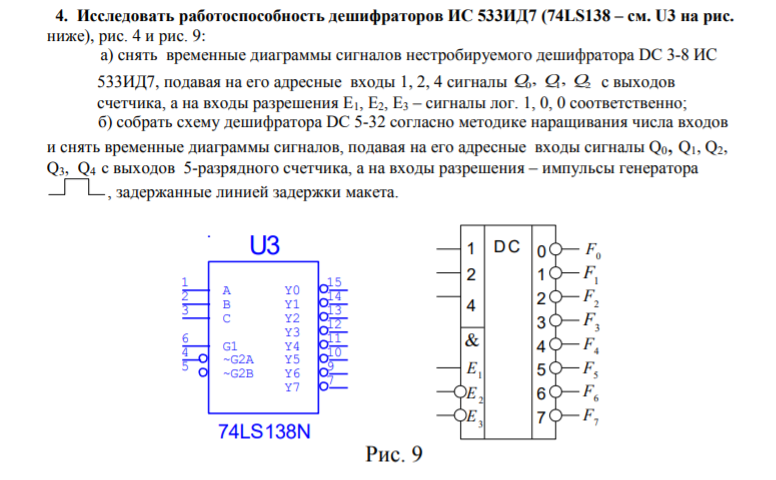
1. **Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138 – см. U3 на рис. ниже), рис. 4 и рис. 9:**

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС

533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0, Q1, Q2 с выходов

счетчика, а на входы разрешения Е1, Е2, Е3 – сигналы лог. 1, 0, 0 соответственно;

б) собрать схему дешифратора DC 5-32 cогласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 c выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета.



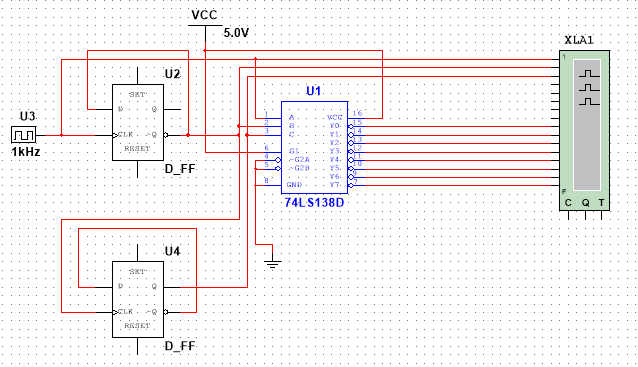
**

Схема 7: схема построения нестробируемого дешифратора ИС 533ИД

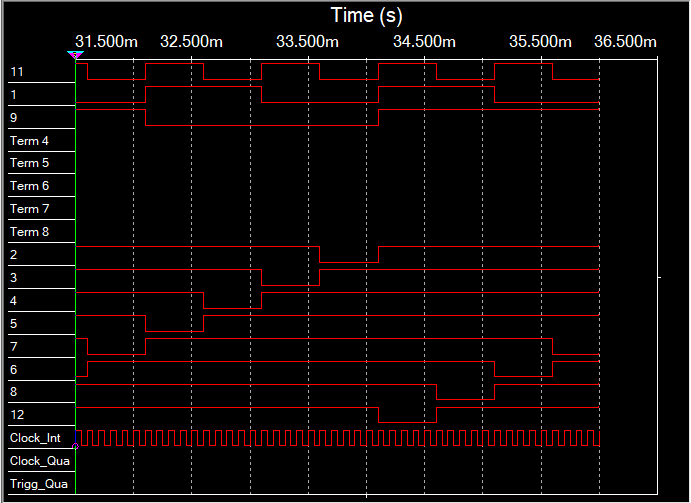
**

Диаграмма 8: временная диаграмма

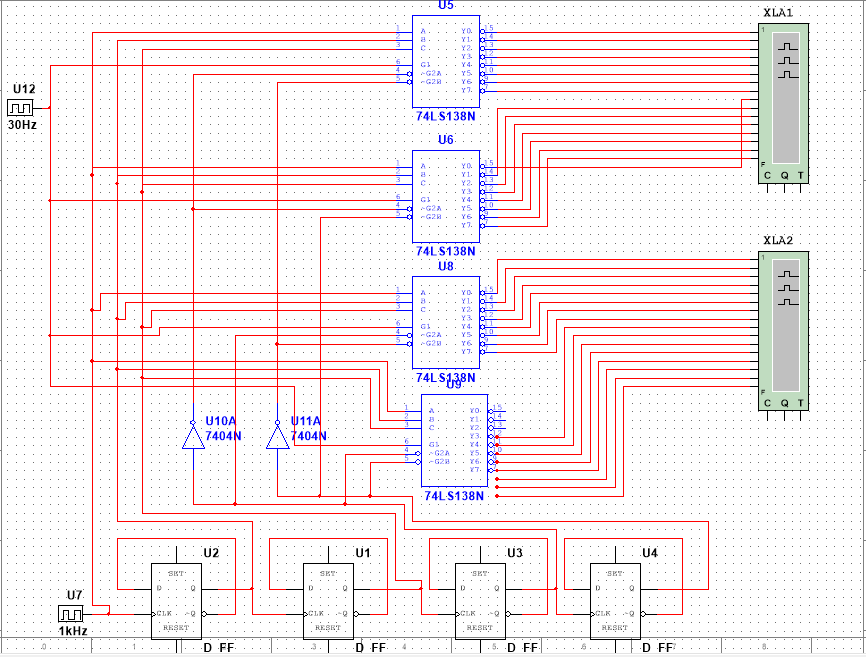
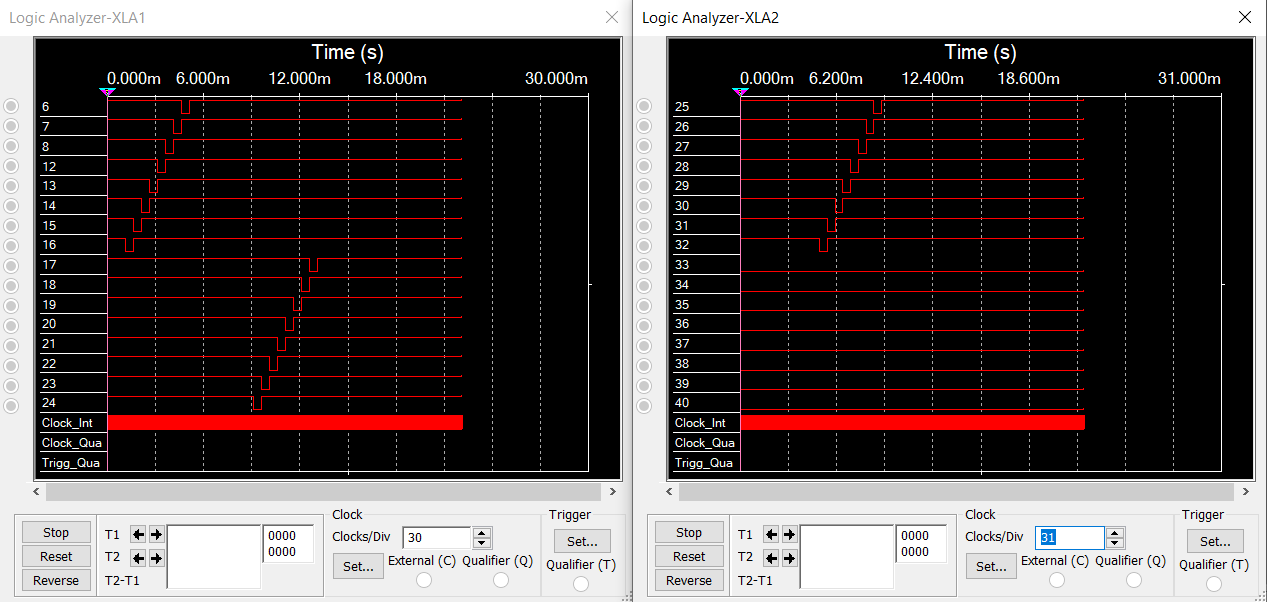


Схема 8: Схема построения дешифратора DC 5-32согласно методике наращивания входов



*Диаграммы 9, 10: временные диаграммы*

Вывод: в ходе лабораторной работы было выполнено изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов; нахождение и устранение гонок сигналов