



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

Отчёт

по лабораторной работе №1

Название: Проектирование систем на кристалле на основе
ПЛИС

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-54Б

(Группа)

Л.Е.Тартыков

(Подпись, дата)

(И.О. Фамилия)

Преподаватель

А.Ю.Попов

(Подпись, дата)

(И.О. Фамилия)

Москва, 2021

Цель работы

Изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы необходимо ознакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС, получить навыки проектирования СНК в САПР Altera Quartus II, выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Практическая часть

Функциональная схема разрабатываемой системы на кристалле

Функциональная схема разрабатываемой системы на кристалле представлена на рисунке 1.

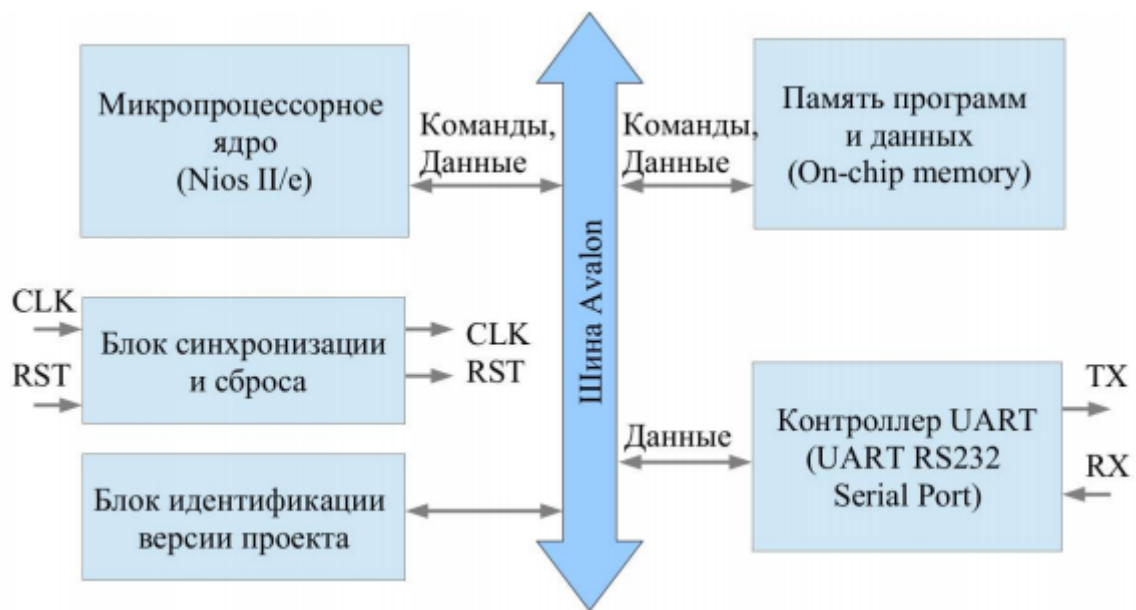


Рисунок 1 – Функциональная схема разрабатываемой системы на кристалле

Система на кристалле состоит из следующих блоков.

1. Микропроцессорное ядро Nios II/e выполняет функции управления системой.
2. Внутренняя оперативная память СНК, используемая для хранения программы управления и данных.
3. Системная шина Avalon обеспечивает связность всех компонентов системы.
4. Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе. Внут-

ренный сигнал сброса синхронизирован и имеет необходимую для системы длительность.

5. Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы.
6. Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

Создание нового модуля системы на кристалле QSYS

1. Был создан новый модуль Qsys.
2. Установлена частота внешнего сигнала синхронизации 50 000 000 Гц.
3. Добавлен в проект модуль синхронизируемого микропроцессорного ядра Nios2.
4. Добавлен в проект модуль ОЗУ программ и данных.
5. Добавлены компоненты Avalon System ID, Avalon UART.
6. Создана сеть синхронизации и сброса системы.
7. Сигналы TX и RX экспортированы во внешние порты.
8. Назначены базовые адреса устройств.

Назначение портами проекта контакты микросхемы

Итог выполненных действий показан на рисунке 2.

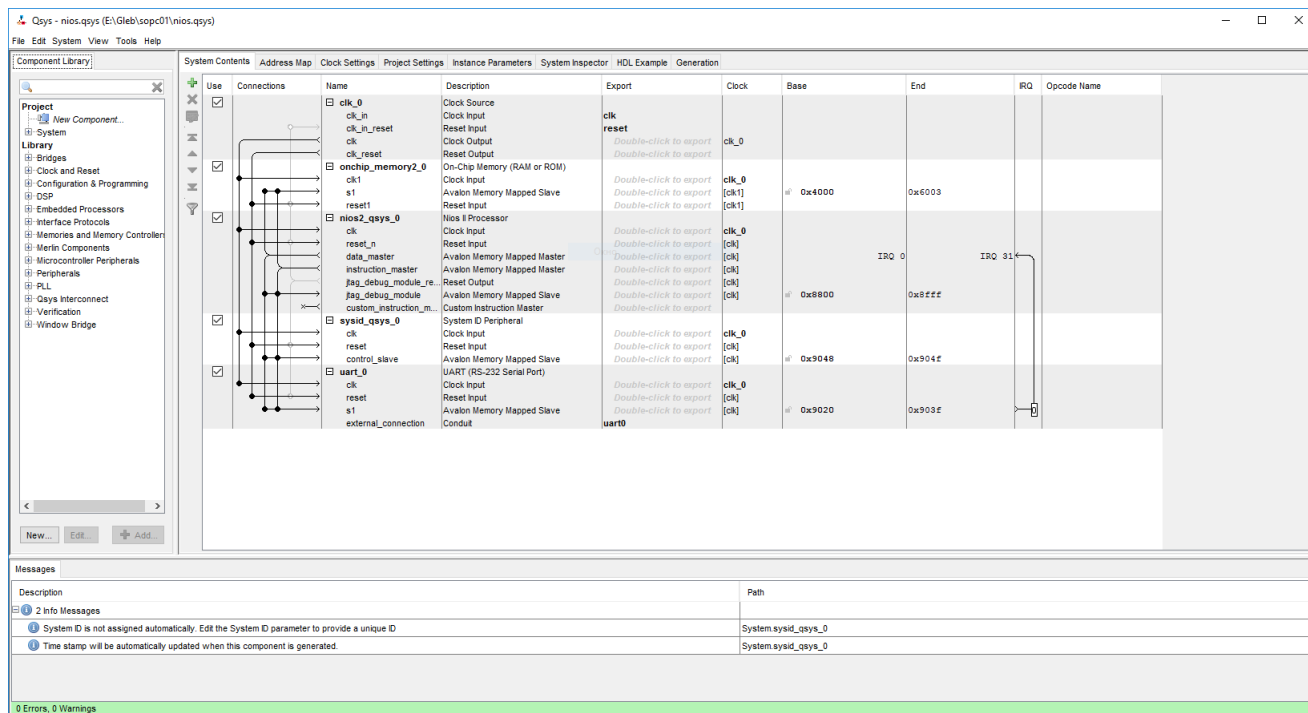


Рисунок 2 – Готовый модуль в системе проектирования систем на кристалле Altera Qsys

Назначены контакты в соответствии с таблицей из методических указаний.

Таблица представлена на рисунке 3

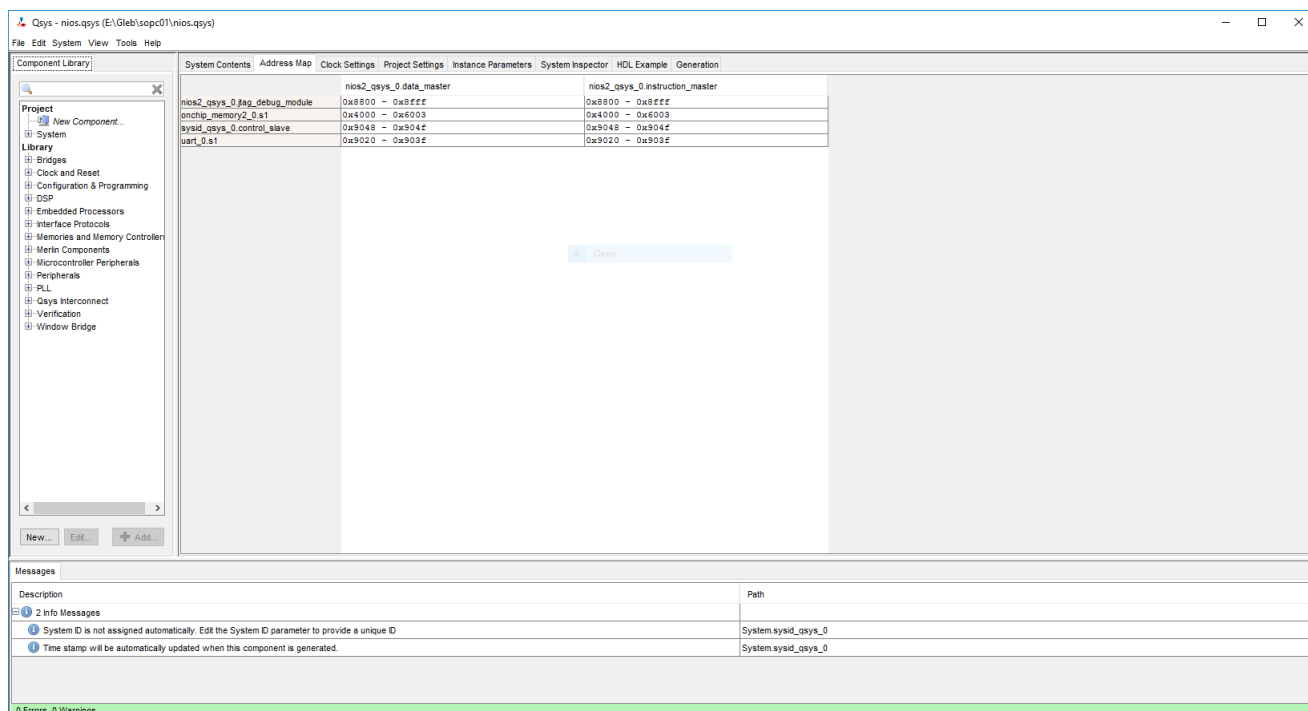


Рисунок 3 – Таблица распределения адресов модулей в системе на кристалле

Доработанный код проекта представлен на листинге 1 в соответствии с вариантом 16 и группой ИУ7-54Б.

Листинг 1 – Код программного проекта Nios II Software Build Tools for Eclipse

```
1 #include "sys/alt_stdio.h"
2 #include "system.h"
3 #include "altera_avalon_sysid_qsys.h"
4 #include "altera_avalon_sysid_qsys_regs.h"
5
6 int main()
7 {
8     char ch;
9     alt_putstr("Hello from System on Chip\n");
10    alt_putstr("Send any character\n");
11
12    int id = IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_O_BASE)
13        ;
14    char arr[10];
15    int i = 0;
16    while (i <= 3) {
17        arr[3-i] = (char)('0' + id%10);
18        id = id/10;
19        i = i+1;
20    }
21    arr[4] = '\0';
22    alt_putstr(arr);
23    while (1) {
24        ch=alt_getchar();
25        alt_putchar(ch);
26    }
27    return 0;
28 }
```

Вывод сообщения с номером варианта и группы представлен на рисунке 4.

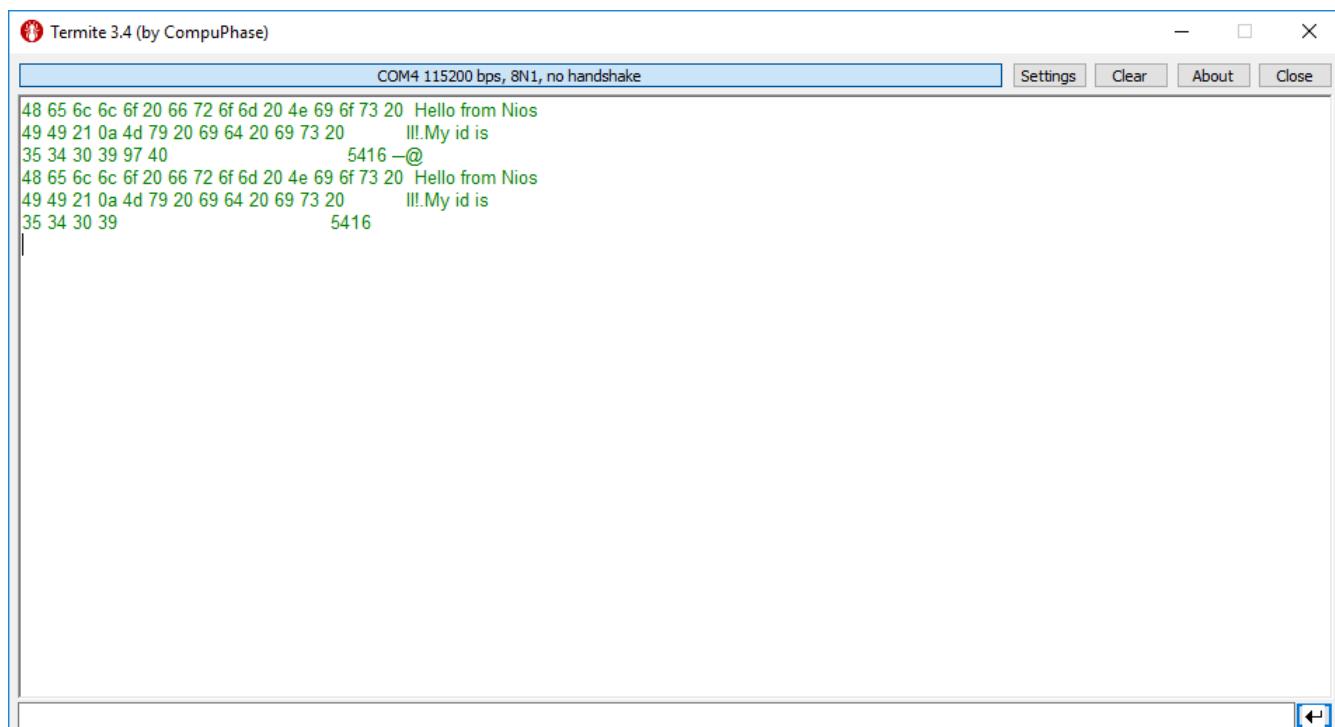


Рисунок 4 – Результат тестирования PSoC на отладочной плате

Вывод

В ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II, также были выполнены проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board.

Поставленная цель достигнута.