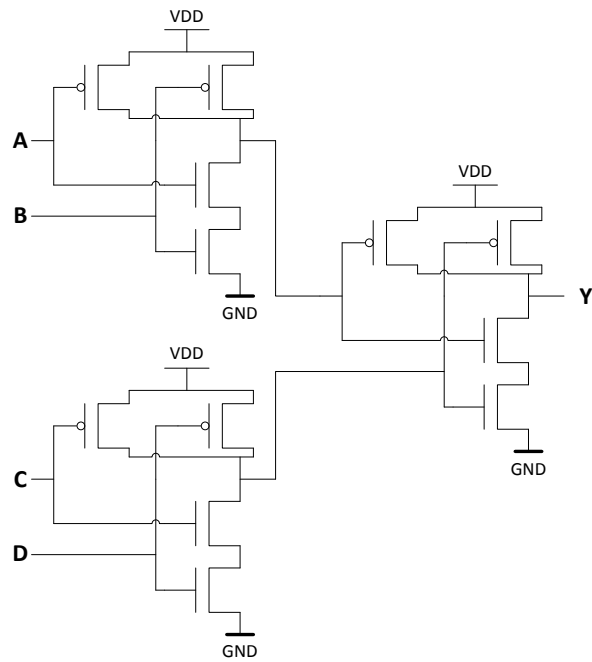


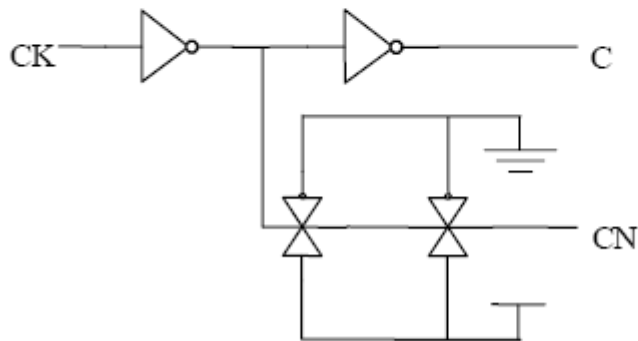
$A \& B \mid C \& D = \sim (\sim (A \& B) \& \sim (C \& D))$, 两级与非门的逻辑



4. 解:

$$\text{FO4 延迟} = \text{本征延迟} + \text{负载延迟} = 0.023 + 4.5 * ((0.0036 + 0.0044) * 4) = 0.167 \text{ ns}$$

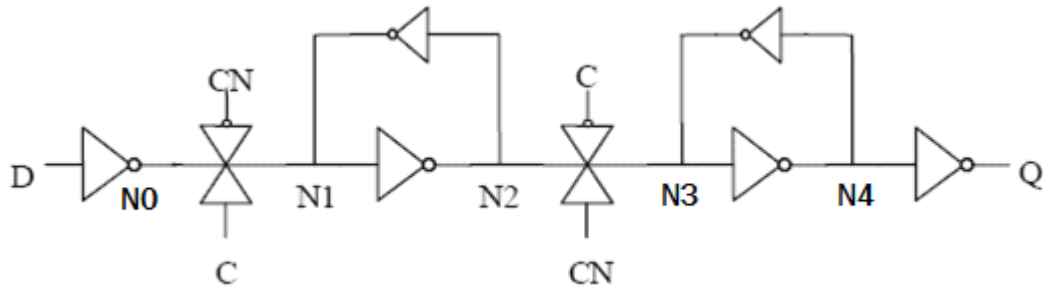
5. 解:



时钟的延迟:

$$\text{CK} \rightarrow \text{C}: 1 + 1 = 2 \text{ ns}$$

$$\text{CK} \rightarrow \text{CN}: 1 + 0.5 + 0.5 = 2 \text{ ns}$$



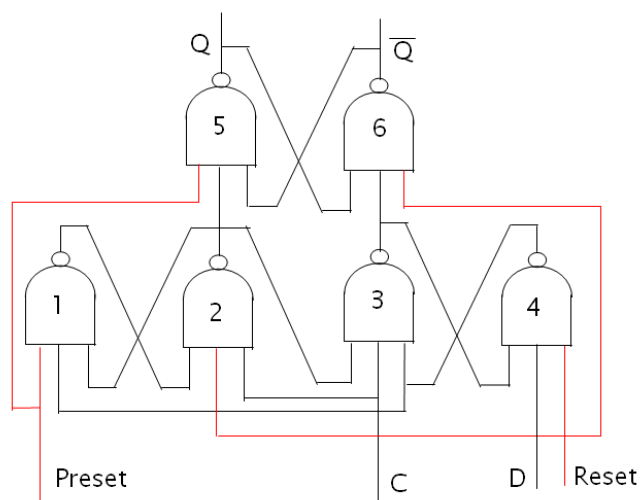
通过分析电路行为可知这是一个下降沿触发的 D 触发器。

建立时间指的是在时钟信号到达 CK 端之前，将触发器内部 N1 及 N2 状态改变并稳定为与 D 端数据相符所需的时间。这样，D 端数据必须通过 $D \rightarrow N0 \rightarrow N1 \rightarrow N2$ 才能真正改变触发器内部状态，但即使如此，由于 N1 和 N2 间反相器环驱动能力不能确定，为保守起见，还需要加上 $N2 \rightarrow N1$ 时间。此外考虑到接口处 CK 端时钟信号到 C 和 CN 的传播时延，如果 C 和 CN 的传播时延不一，可能导致传输门输出弱 1 或弱 0 情况，仍从保守情况出发取两者的较小值，另外还要算上传输门控制端栅到漏（源）的延迟。这样，该触发器建立时间 $T_{\text{setup}} = T_{D-N0-N1-N2-N1} - (\min(T_{CK-C}, T_{CK-CN}) + T_{\text{tran}}) = (1 + 0.5 + 1 + 1) - (\min(2, 2) + 0.75) = 0.75 \text{ ns}$

保持时间指的是在时钟信号到达 CK 端之后，D 端需要等待多长时间，使得即使其数据变化也不影响触发器内部状态。反过来想，那什么情况下 D 端数据变化可能会影响内部状态呢？只有当前级传输门在完全关断之前，D 端数据已经进入到 N1，进而才有可能对内部状态产生影响。所以只需保证在前级传输门关断时变化的 D 端数据不进入 N1 即可。此外也要考虑到时钟信号的传播延迟，仍从保守情况出发取两者较大值，加上传输门控制端栅到漏（源）的延迟。这样， $T_{\text{hold}} = (\max(T_{CK-C}, T_{CK-CN}) + T_{\text{tran}}) - T_{D-N0-N1} = (\max(2, 2) + 0.75) - (1 + 0.5) = 1.25 \text{ ns}$ 。

CK→Q 时间指的是时钟触发沿到来之后 Q 端输出新的触发器状态所需的时间。只有当后级传输门打开后，Q 端才有可能与触发器内部状态相符，也就是 $C=1 \rightarrow 0$ ($CN=0 \rightarrow 1$) 时钟下降沿时，这时候 N2 处的状态需要通过 $N2 \rightarrow N3 \rightarrow N4 \rightarrow Q$ ，此时由于后级传输门出于打开状态，N3-N4 处的反相器环一般不可能再破坏这个新状态。此外仍出于保守考虑时钟信号的传播延迟取较大值，并加上传输门控制端栅到漏（源）的延迟。这样，该触发器 CK→Q 时间 $T_{CK-Q} = (\max(T_{CK-C}, T_{CK-CN}) + T_{\text{tran}}) + T_{N2-N3-N4-Q} = (\max(2, 2) + 0.75) + (0.5 + 1 + 1) = 5.25 \text{ ns}$

6. 解:



先不考虑 preset 和 reset 信号的影响, 即 $\text{preset}=1$ 且 $\text{reset}=1$, 分析如下:

1. 当 C 信号发生 $1 \rightarrow 0$ 的变化时, 2 单元和 3 单元强制输出 $\{1,1\}$, 5 单元和 6 单元的状态继续保持。

2. 当 C 信号发生 $0 \rightarrow 1$ 的变化时,

若 D 输入为 0, 4 单元输出为 1, 1 单元输出为 0, 使得 2 单元和 3 单元输出分别为 1 和 0, 进而 5 单元和 6 单元的 Q 和 QN 输出分别为 0 和 1;

若 D 输入为 1, 4 单元输出 0, 使得 1 单元输出为 1, 2 单元和 3 单元输出分别为 0 和 1, 进而 5 单元和 6 单元的 Q 和 QN 输出分别为 1 和 0。

当 C 信号继续维持在 1 时, 由于 2 单元和 3 单元的状态组合只可能是 $\{0,1\}$ 和 $\{1,0\}$ 中的一种, 若 2 单元输出为 0, 无论 D 输入如何影响 4 单元输出, 1 单元和 3 单元始终为 1, D 输入信号无法穿透进入下一级; 若 3 单元输出为 0, 4 单元输出时钟为 1, D 输入信号无法穿透 4 单元, 因此数据不再变化。

得到第一步结论: 当复位无效时 (即 preset 与 reset 均为 1 时), 该电路只在 C 信号发生 $0 \rightarrow 1$ 变化时接受 D 输入信号, 因此是一个 D 触发器。

再考虑 preset 和 reset 信号:

当 $\text{preset}=0$ 且 $\text{reset}=1$ 时, 5 单元的 Q 输出为 1, 1 单元输出 1, 使得 2 单元输出 0, 控制 3 单元输出 1, 进而 6 单元受到 5 单元输出 Q 信号影响, 输出 QN 为 0;

当 $\text{preset}=1$ 且 $\text{reset}=0$ 时, 6 单元的 QN 输出为 1, 2 单元输出 1, 4 单元输出 1, 使得 3 单元输出 0, 进而 5 单元受到 6 单元输出 QN 信号影响, 输出 Q 为 0;

当 $\text{preset}=0$ 且 $\text{reset}=0$ 时, 5 单元和 6 单元的 Q 和 QN 输出都是 1, 不符合单元逻辑要求, 因此应当避免。