



# Hi3516A/Hi3516D 硬件设计 用户指南

文档版本 06

发布日期 2016-10-28

**版权所有 © 深圳市海思半导体有限公司 2014-2016。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## **商标声明**



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## **注意**

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## **深圳市海思半导体有限公司**

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：[support@hisilicon.com](mailto:support@hisilicon.com)



# 前 言

## 概述

本文档主要介绍 Hi3516A/Hi3516D 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。本文档提供 Hi3516A/Hi3516D 芯片的硬件设计方法。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3516A	V100
Hi3516D	V100

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2016-10-28	06	1.3.8 小节涉及修改
2016-03-28	05	1.2.5、1.3.5、1.3.8 小节涉及修改



修订日期	版本	修订说明
2015-11-02	04	修改 2.1.3 小节的相关内容
2015-06-15	03	修改 1.1.3、1.2.1 和 1.4 小节
2015-02-10	02	修改 1.2.5 小节
2014-12-20	01	第一次正式版本发布，修改图 1-14 和图 1-15，添加图 1-18 和图 1-19，2.1.3 小节有新增内容。添加 Hi3516D 的相关内容。
2014-10-20	00B04	修改图 1-2 及图 1-17
2014-09-25	00B03	1.3.3.2 章节，VI 接口中有修改。
2014-09-14	00B02	第二次临时版本发布 新增第 3 章 ESD 设计建议，其他章节都涉及修改。
2014-07-15	00B01	初始版本



## 目 录

前 言.....	i
1 原理图设计建议.....	1
1.1 小系统外部电路要求.....	1
1.1.1 Clocking 电路.....	1
1.1.2 复位和 Watchdog 电路.....	2
1.1.3 JTAG 接口.....	3
1.1.4 Hi3516A 硬件初始化系统配置电路.....	5
1.1.5 DDR 电路设计.....	6
1.1.6 Flash 原理图设计.....	9
1.2 电源设计建议.....	10
1.2.1 CORE 电源设计.....	10
1.2.2 DDR 电源设计.....	11
1.2.3 IO 电源设计.....	12
1.2.4 PLL 电源设计.....	12
1.2.5 上下电时序.....	13
1.2.6 注意事项.....	14
1.3 外围接口设计建议.....	15
1.3.1 USB 接口.....	15
1.3.2 MAC 接口.....	15
1.3.3 音视频接口.....	17
1.3.4 I2S 接口.....	18
1.3.5 VI 接口设计.....	19
1.3.6 VO 接口设计.....	20
1.3.7 SPI 和 I2C 接口.....	20
1.3.8 SDIO 接口设计.....	20
1.3.9 ADC.....	21
1.3.10 RTC.....	21
1.3.11 PWM.....	22
1.3.12 UART.....	22
1.3.13 EFUSE.....	22



1.4 未使用管脚处理 .....	22
<b>2 PCB 设计建议.....</b>	<b>23</b>
2.1 小系统 PCB 设计建议 .....	23
2.1.1 小系统电源.....	23
2.1.2 时钟电路 .....	26
2.1.3 DDR 信号设计 .....	26
2.1.4 网口信号设计.....	30
2.2 典型外围接口 PCB 设计建议 .....	30
2.2.1 USB 接口设计.....	30
2.2.2 音视频电路设计.....	31
<b>3 整机 ESD 设计建议 .....</b>	<b>33</b>
3.1 背景.....	33
3.2 整机 ESD 设计建议 .....	33
3.2.1 USB 保护电路布线建议.....	34
3.2.2 视频 DAC 端口保护电路设计建议 .....	34
3.3 热设计建议.....	34
3.3.1 工作条件 .....	34
3.3.2 电路热设计参考.....	34



## 插图目录

图 1-1 晶体振荡电路 .....	2
图 1-2 RTC 推荐晶振连接方式及器件参数 .....	2
图 1-3 外部复位和 Watchdog 典型设计电路.....	3
图 1-4 JTAG 连接方式及标准连接器管脚定义 .....	5
图 1-5 Hi3516A 对单颗 16bit 数据位宽 DDR3/3L SDRAM 的拓扑结构图 .....	7
图 1-6 Hi3516A 对两颗 16bit 数据位宽 DDR3/3L SDRAM 的拓扑结构图 .....	7
图 1-7 Hi3516A 差分时钟 DDR_CLK_N、DDR_CLK_P 一驱一应用 .....	8
图 1-8 地址和命令信号一驱一应用.....	8
图 1-9 地址和命令信号一驱二应用.....	9
图 1-10 DDR3/DDR3L 电源分压网络参考设计图（颗粒端） .....	12
图 1-11 电源上电顺序图.....	13
图 1-12 电源下电顺序图.....	14
图 1-13 Hi3516A RGMII 模式下的信号连接图 .....	15
图 1-14 Hi3516A RMII 模式下的信号连接图 .....	16
图 1-15 Hi3516A MII 模式下的信号连接图.....	17
图 1-16 “5 线模式” I2S 主模式连接方式 .....	19
图 1-17 “5 线模式” I2S 从模式连接方式 .....	19
图 1-18 芯片 ADC 接口内置 ESD 保护电路示意图.....	21
图 1-19 使用 ADC 接口检测电池的推荐电路 .....	21
图 2-1 Hi3516A Core 电源滤波电容类型 .....	24
图 2-2 Hi3516A 对应的 core 电源管脚.....	25



## 表格目录

表 1-1 JTAG 接口信号 .....	4
表 1-2 TEST_MODE 模式说明 .....	4
表 1-3 信号描述 .....	5
表 1-4 单片 SPI Flash 匹配设计推荐 .....	9
表 1-5 单片 NAND Flash 匹配设计推荐 .....	10
表 2-1 Hi3516A 芯片内 DDR 信号长度 .....	26





# 1 原理图设计建议



## 说明

- 本文以 Hi3516A 描述为例，未有特殊说明，Hi3516D 与 Hi3516A 一致。
- Hi3516A DDR 控制器支持 32bit 或 16bit 数据，Hi3516D DDR 控制器仅支持 16bit 数据。

## 1.1 小系统外部电路要求

### 1.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路。

推荐晶振连接方式及器件参数如[图 1-1](#) 所示。

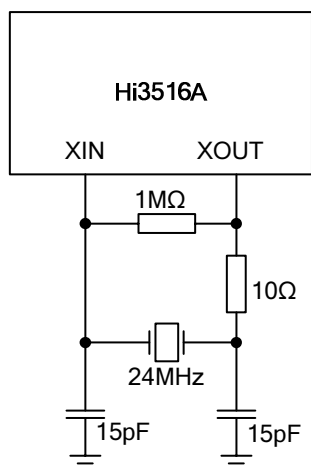


## 注意

选用的电容需要跟晶振的负载电容匹配，材质建议采用 NPO。



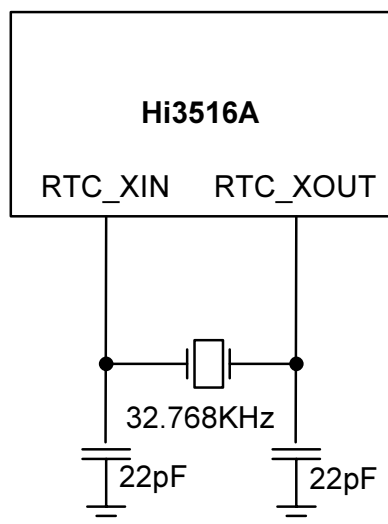
图1-1 晶体振荡电路



另外，系统时钟还可以直接由外部的时钟电路产生时钟，通过 XIN 脚输入。

Hi3516A 集成了内置 RTC，单板需要给 RTC 提供时钟电路，推荐晶振连接方式及器件参数如图 1-2 所示。

图1-2 RTC 推荐晶振连接方式及器件参数



#### 说明

电路中的电容取值需要与实际使用的晶体负载电容相匹配；不同品牌、不同型号的晶体，其固有的负载电容参数可能不同，那么电路中的电容取值也会不同。

## 1.1.2 复位和 Watchdog 电路

Hi3516A 可通过判断 POR\_SEL 管脚在上电时的状态选择内部复位或外部复位。



T4 管脚分别支持 WDG\_RSTN 和 SYS\_RSTN\_OUT 两种功能。当 Hi3516A 芯片使用内部复位时，T4 管脚复用为 SYS\_RSTN\_OUT 功能；当 Hi3516A 芯片使用外部复位时，T4 管脚复用为 WDG\_RSTN 功能。

- 当 POR\_SEL 为低电平时，选择内部复位，主芯片上电后由内部 POR（Power on Reset）电路对整个芯片进行复位（复位脉冲宽度约为 130ms），此时 RSTN 管脚无效；当选择内部复位时，RSTN 管脚可悬空处理。

选择内部复位时，为确保系统能正常启动，小系统相关的外设（例如：存放 boot 的 flash 器件）必须先于 Hi3516A 释放复位信号，或同时与 Hi3516A 一起释放复位信号，否则可能会出现无法启动等异常情况。

推荐客户采用 Hi3516A 芯片 T4 管脚 SYS\_RSTN\_OUT 输出复位信号来复位与小系统相关的外设（例如：存放 boot 的 flash 器件）。

- 当 POR\_SEL 为高电平时，选择外部复位，此时 RSTN 管脚为复位信号输入管脚，要求的复位有效信号为低电平，脉冲宽度一般要求在 100ms~300ms 之间。板级设计时，若选择外部复位，为了系统稳定，建议采用专用的复位芯片产生复位信号。

看门狗生效时，WDG\_RSTN 管脚会持续输出低电平，直到 RSTN 管脚检测到低电平复位信号后，才恢复为高电平。禁止将 WDG\_RSTN/SYS\_RSTN\_OUT 管脚和 RSTN 管脚直连。

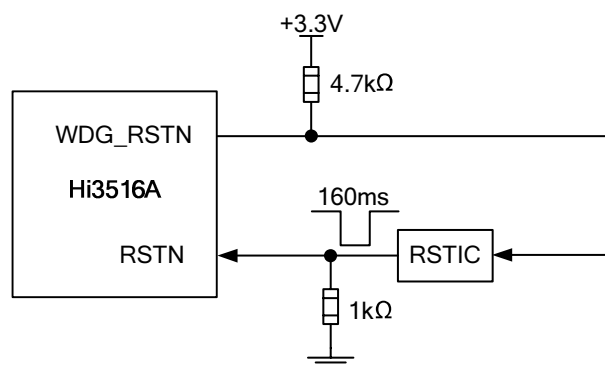


### 注意

WDG\_RSTN 管脚为 OD 输出，必须外置上拉电阻，推荐电阻值为 4.7kΩ。

外部复位和 Watchdog 典型设计电路如图 1-3 所示。

图1-3 外部复位和 Watchdog 典型设计电路



## 1.1.3 JTAG 接口

JTAG 接口信号描述如表 1-1 所示。



表1-1 JTAG 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，使用 JTAG 功能时要求单板上拉。
TDI	JTAG 数据输入，使用 JTAG 功能时要求单板上拉。
TMS	JTAG 模式选择输入，使用 JTAG 功能时要求单板上拉。
TRSTN	JTAG 复位输入，使用 JTAG 功能时要求单板上拉。
TDO	JTAG 数据输出，使用 JTAG 功能时要求单板上拉。

单板上拉电阻、下拉电阻的阻值请参考图 1-4。

Hi3516A 可以通过 TEST\_MODE 管脚选择正常和测试两种工作模式，具体说明如表 1-2 所示。

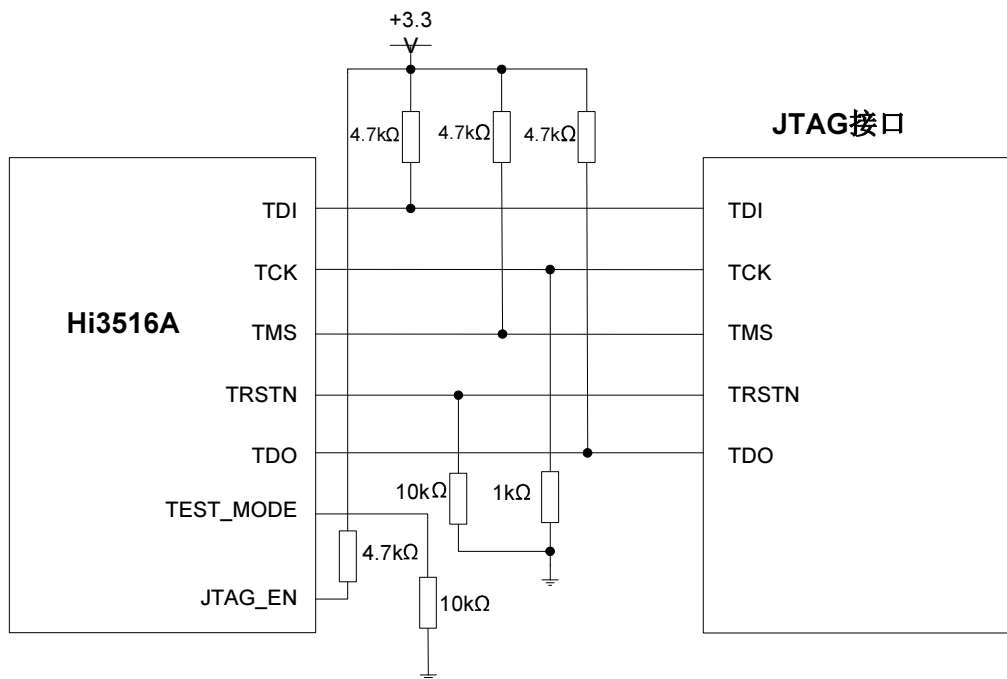
表1-2 TEST\_MODE 模式说明

TEST_MODE	模式说明
0	Hi3516A 正常工作模式。
1	Hi3516A 处于测试模式，此时可进行芯片 DFT 测试。

JTAG 连接方式及标准连接器管脚定义如图 1-4 所示。**如果使用 JTAG 功能，请将单板上的 JTAG\_EN 引脚上拉，阻值 4.7kΩ。**



图1-4 JTAG 连接方式及标准连接器管脚定义



## 1.1.4 Hi3516A 硬件初始化系统配置电路

Hi3516A 上电初始化的过程中，根据配置管脚的上下拉电阻状态来进行确定各部分的工作模式。硬件配置信号描述如下表 1-3 所示。

表1-3 信号描述

信号名	方向	说明
JTAG_EN	I	JTAG debug 选择。 0: Disable JTAG; 1: Enable JTAG。
BOOT_SEL	I	启动模式选择。 0: SPI FLASH; 1: NAND FLASH。
SFC_DEVICE_MODE	I	SPI FLASH 器件选择。 0: SPI NOR FLASH; 1: SPI NAND FLASH。
SFC_BOOT_MODE	I	当 SFC_DEVICE_MODE=0 时表示 SPI NOR FLASH 的启动地址模式选择。 0: 3byte 地址模式;



信号名	方向	说明
		1: 4byte 地址模式。 当 SFC_DEVICE_MODE=1 时表示 SPI NAND FLASH 的启动模式选择。 0: 1 线启动模式; 1: 4 线启动模式。
SFC_NAND_BOOT_P IN[1:0]	I	SPI NAND FLASH ECC 类型。 00: 保留; 01: 8bits ECC; 10: 保留; 11: 24bits ECC。
SFC_NAND_BOOT_P IN2	I	SPI NAND FLASH Page Size。 0: 2KB page size; 1: 4KB page size。
POR_SEL	I	复位选择。 0: 内部 POR 上电复位; 1: 外部复位管脚复位。
BOOTROM_SEL	I	BOOTROM 启动使能。 0: 从其它空间启动, 由 BOOT_Sel 决定; 1: 由 BOOTROM 启动。
TEST_MODE	I	功能模式和测试模式选择。 0: 功能模式; 1: 测试模式。

## 1.1.5 DDR 电路设计

### 1.1.5.1 接口介绍

Hi3516A DDRC 接口支持 DDR3 和 DDR3L 颗粒。

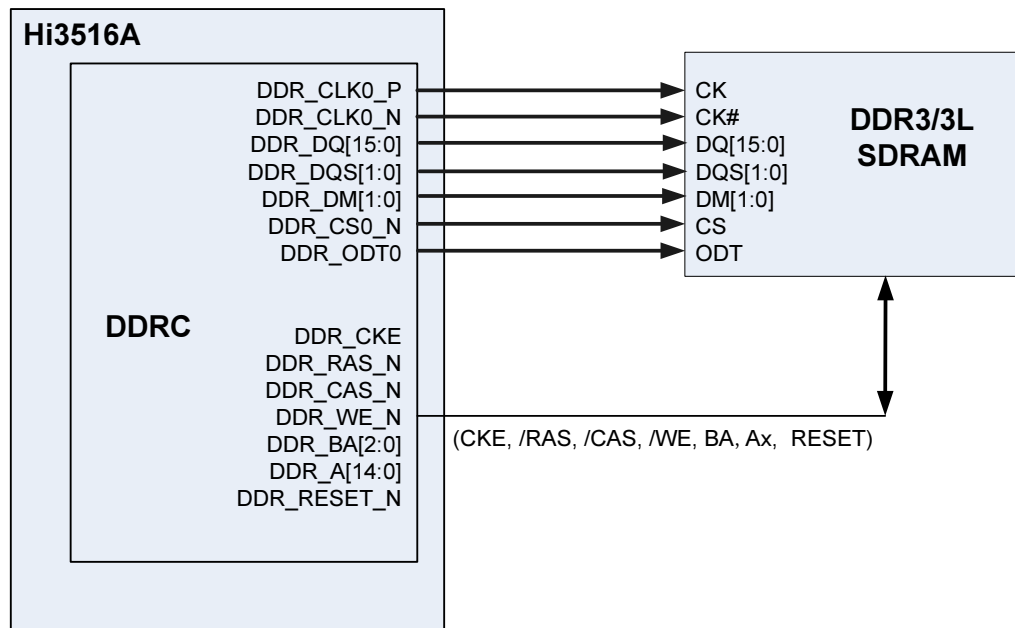
Hi3516A DDRC 有 15 根地址线, 32bit 数据线, 单颗 DDR3 颗粒支持的最大容量是 4Gbit, 最高比特率可达 1600Mbps, 支持 DDR Training。

### 1.1.5.2 DDR 拓扑结构

Hi3516A 对接单颗 16bit 数据位宽 DDR3/3L SDRAM 的拓扑结构如图 1-5 所示。

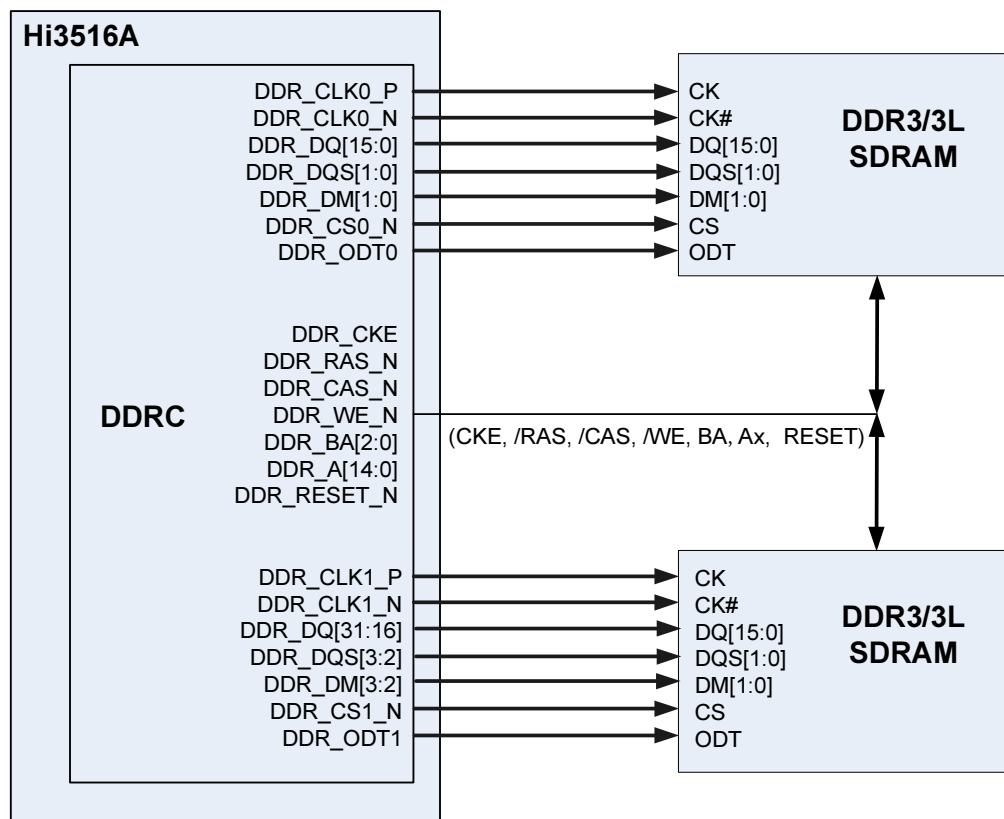


图1-5 Hi3516A 对接单颗 16bit 数据位宽 DDR3/3L SDRAM 的拓扑结构图



Hi3516A 对接两颗 16bit 数据位宽 DDR3/3L SDRAM 的拓扑结构如图 1-6 所示。

图1-6 Hi3516A 对接两颗 16bit 数据位宽 DDR3/3L SDRAM 的拓扑结构图





### 1.1.5.3 匹配方式设计建议

#### DQ、DQS 双向信号

Hi3516A 应用中 DQ、DQS\_P/DQS\_N 信号都是点对点拓扑，直连即可。

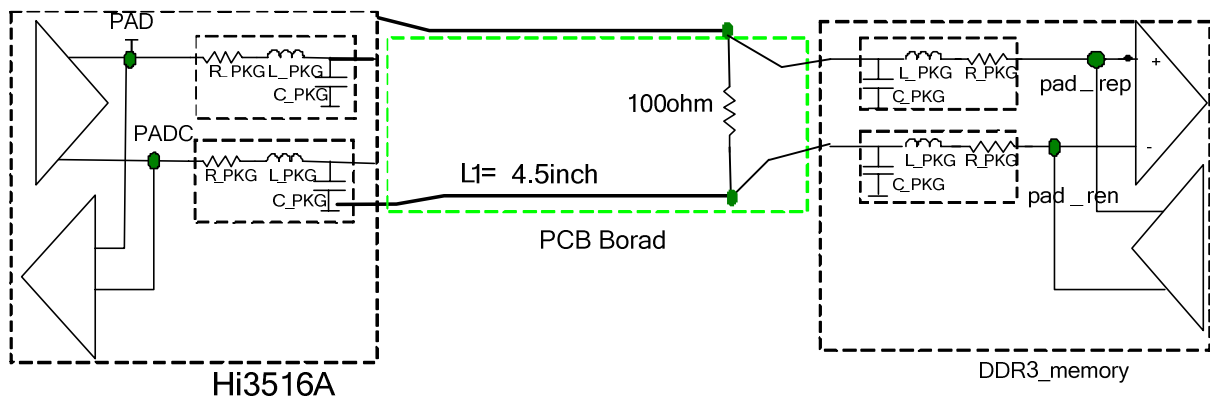
#### 差分时钟

Hi3516A 的 DDR 应用中差分时钟 CLK 信号应用如下：

Hi3516A 有两组差分时钟信号，分别是 DDR3\_CLK0\_N/P 和 DDR3\_CLK1\_N/P。

负载端时钟信号的 N/P 通过 1 个  $100\Omega \pm 1\%$  电阻进行跨接，如图 1-7 所示。

图1-7 Hi3516A 差分时钟 DDR\_CLK\_N、DDR\_CLK\_P 一驱一应用



### 1.1.5.4 地址信号和命令信号

Hi3516A DDR 应用中：

- 当 DDRC 接单颗 16bit 位宽 DDR 颗粒时，地址和命令信号一驱一连接，其需源端串联  $33\Omega$  串阻，如图 1-8 所示。
- 当 DDRC 对接两颗 16bit 位宽的 DDR3 颗粒时，地址和命令信号一驱二连接，需在 T 点各串联 1 个  $33\Omega$  电阻，如图 1-9 所示。

图1-8 地址和命令信号一驱一应用

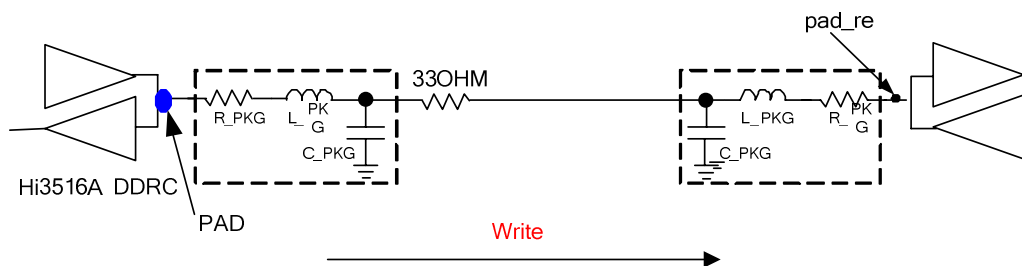
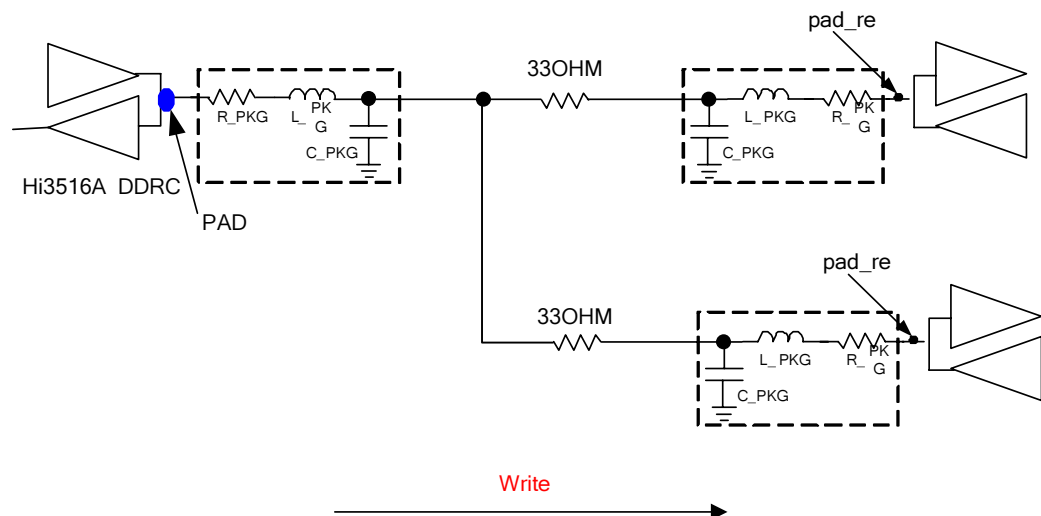






图1-9 地址和命令信号一驱二应用



### 1.1.5.5 数据掩码信号

Hi3516A DDR 应用中 DM 信号都是点对点拓扑，直连即可。

## 1.1.6 Flash 原理图设计

### 1.1.6.1 接口介绍

Hi3516A SPI FLASH 控制器支持 SPI NOR FLASH 和 SPI NAND FLASH。NAND FLASH 控制器支持并行 NAND FLASH。

如果主芯片选择从 SPI FLASH 启动，那么主芯片的复位信号释放之后，主芯片默认从 SFC\_CS1N 管脚（引脚号 R3）控制的 flash 中读取 boot。这种情况下，请将存放 boot 的 flash 的 CS 管脚连接至 SPI FLASH 控制器的 SFC\_CS1N 管脚上。

如果主芯片选择从 NAND FLASH 启动，那么主芯片的复位信号释放之后，主芯片默认从 NF\_CSN0 管脚（引脚号 L1）控制的 flash 中读取 boot。这种情况下，请将存放 boot 的 flash 的 CS 管脚连接至 NAND FLASH 控制器的 NF\_CSN0 管脚上。

Hi3516A NAND FLASH 控制器对不同规格及参数的 NAND FLASH 可自动适配，无需外部进行配置。

### 1.1.6.2 信号处理

#### SPI Flash 匹配设计

外接单片 SPI Flash 时，SPI Flash 匹配设计推荐如表 1-4 所示。

表1-4 单片 SPI Flash 匹配设计推荐

信号	设计推荐
SFC_CLK	Hi3516A 端串接 33Ω 电阻



信号	设计推荐
SFC_DIO SFC_DOI SFC_WP SFC_HOLD SFC_CSN	直接相连，其中 SFC_WP 需要下拉，下拉电阻阻值为 $4.7k\Omega$ ；SFC_HOLD 和 SFC_CSN 需要上拉，上拉电阻阻值为 $4.7k\Omega$ 。

## NAND Flash 匹配设计

NAND Flash 接口支持 8bit 位宽的 SLC 和 MLC 的 NAND Flash 器件。

外接单片 NAND Flash 时，匹配设计推荐如表 1-5 所示。

表1-5 单片 NAND Flash 匹配设计推荐

信号	设计推荐
NF_WEN NF_REN	Hi3516A 端串接 $33\Omega$ 电阻
NF_DQ[0:7] NF_ALE NF_CLE	直接相连

## 1.2 电源设计建议

Hi3516A 芯片电源设计参数请参见《Hi3516A/Hi3516D 专业型 HD IP Camera Soc 用户指南》2.7 节电性能参数。

### 1.2.1 CORE 电源设计

Hi3516A 的 CORE 电源有四种，分别是：

- VDD\_MEDIA：Media 部分的内核电源，连接 1.1V 电源。电源芯片选型，要求其供电能力不少于 2A。建议设计实现 SVB 功能，具体参考 HI3516ADMEB 最新原理图。
- VDD\_DDR：DDR 部分的内核电源，连接 1.1V 电源。电源芯片选型，要求其供电能力不少于 1A。在单板设计时，建议保留 SVB 调压功能，具体参考 HI3516ADMEB 最新原理图。
- VDD\_CPU：CPU 部分的内核电源，连接 1.1V 电源。电源芯片选型，要求其供电能力不少于 1A。在单板设计时，建议保留 SVB 调压功能，具体参考 HI3516ADMEB 最新原理图。



- VDD: 除上述 3 个部分之外, 其他部分的内核电源, 连接 1.1V 电源。电源芯片选型, 要求其供电能力不少于 1A。在单板设计时, 建议保留 SVB 调压功能, 具体参考 HI3516ADMEB 最新原理图。



说明

Hi3516A 芯片 Core 电源设计解决方案请参考最新发布包《Hi3516A/Hi3516D core 电源合并方案和功耗收益》以及《Hi3516A/Hi3516D 电源功耗、PCB 板层设计以及小型化设计说明》文档。

## 1.2.2 DDR 电源设计

Hi3516A DDRC 支持 DDR3 和 DDR3L, 电源需要 1.5V/1.35V, 参考电压 Vref 需要 0.75V/0.675V。必须把 Hi3516A 的 1.5V/1.35V 电源与 DDR 颗粒的 1.5V/1.35V 电源统一。

要求单板上采用单独的供电芯片给 DDR3/3L 颗粒和 Hi3516A DDRC 1.5V/1.35V 电源管脚 (管脚名 VDDIO\_DDR 和 VDDIO\_CK\_DDR) 供电。

DDR PLL 电源 (管脚名 AVDD\_DDRPLL): 连接 3.3V 电源。必须使用磁珠 ( $1k\Omega@100MHz$ ) 和主芯片的 3.3V IO 电源进行隔离。

通过  $1k\Omega$  电阻 (精度 $\pm 1\%$ ) 分压为 DDR3/DDR3L (0.75V/0.675V) 颗粒的 Vref 供电, 每个电源管脚和参考电源管脚旁边放 1 个 0.1uF 的去耦电容。

Hi3516A 主芯片的 Vref 电源集成到内部, 外部无需做相应的设计。

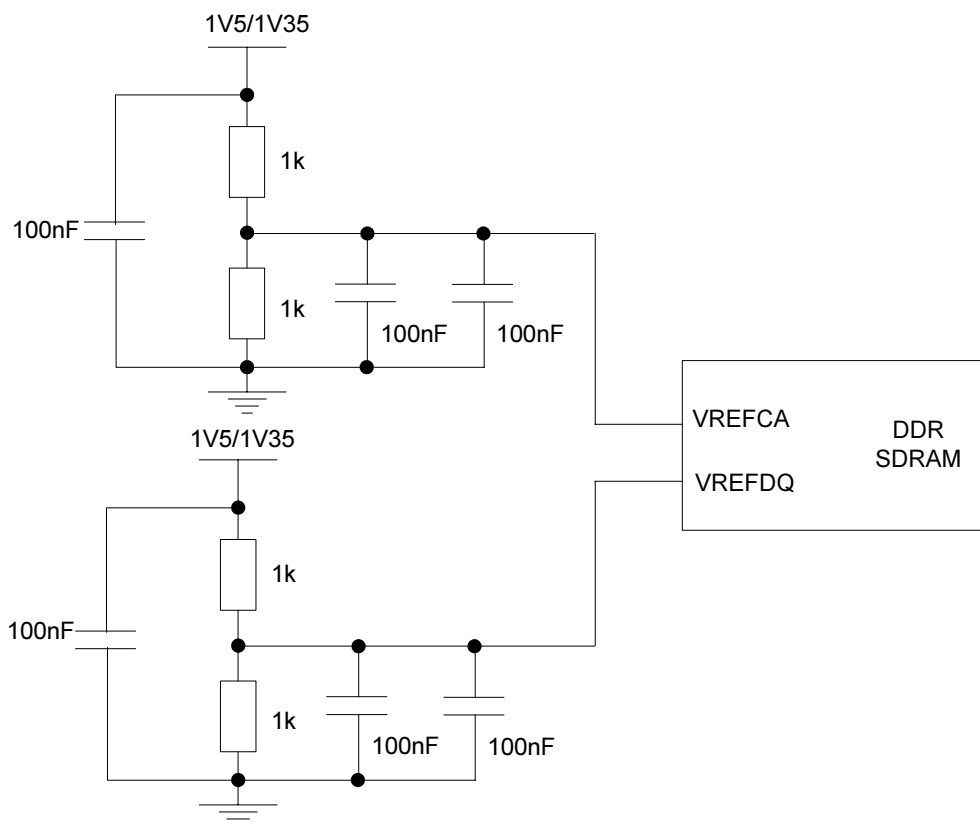
DDR3/DDR3L VREF 电源参考设计如图 1-10 所示。



注意

VREFCA 与 VREFDQ 需独立供电。

图1-10 DDR3/DDR3L 电源分压网络参考设计图（颗粒端）



### 1.2.3 IO 电源设计

IO 电源（管脚名 DVDD33）：连接数字 3.3V 电源。

ETH 接口 IO 电源（管脚名 DVDDIO\_RGMII）：支持 3.3V、2.5V 或 1.8V 电源，实际连接的电源要与对接的接口电平保持一致。

Sensor 时钟、复位和配置管脚 IO 电源（管脚名 DVDD3318\_SENSOR）：支持 3.3V 或 1.8V 电源，实际连接的电源要与对接的接口电平保持一致。

MIPI/LVDS 接口电源（管脚名 AVDD18\_MIPI）：连接 3.3V 或 1.8V 电源。

Hi3516A 的 MIPI/LVDS 管脚可以复用成 Parallel Data 功能，电平支持 3.3V 或 1.8V，实际连接的电源要与对接的接口电平保持一致。

当使用 MIPI 或者 LVDS 模块时，AVDD18\_MIPI 必须连接 1.8V 电源。

当 MIPI/LVDS 管脚复用为 Parallel Data 功能时，AVDD18\_MIPI 连接 3.3V 或 1.8V。

VI 接口电源（管脚名 DVDD3318\_VI）：电平支持 3.3V 或 1.8V 电源，实际连接的电源要与对接的接口电平保持一致。

### 1.2.4 PLL 电源设计

Hi3516A 的 PLL 电源有 2 个，分别是：



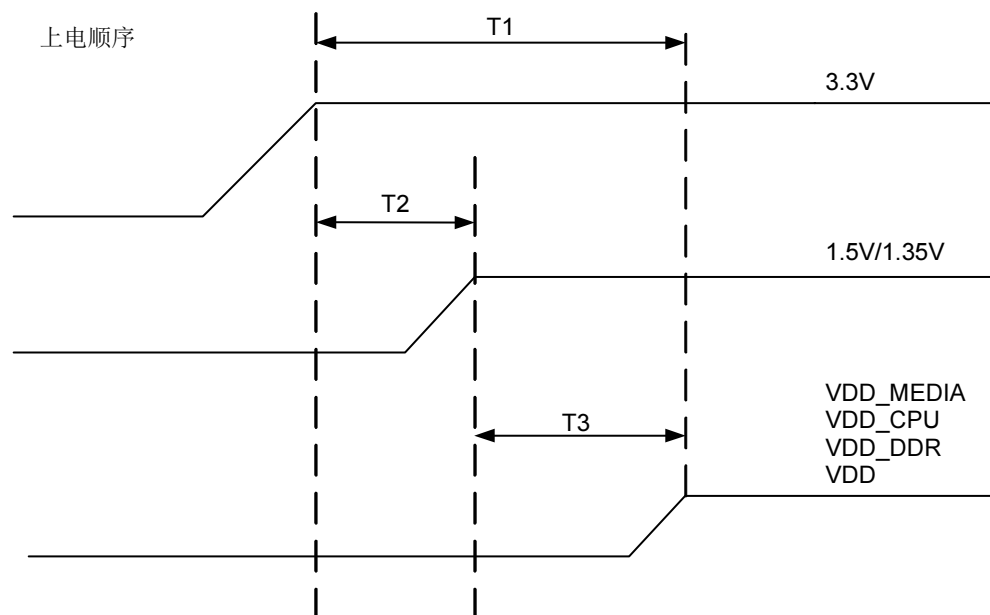
- AVDD11\_PLL: 连接 1.1V 电源。
- AVDD33\_PLL: 连接 3.3V 电源。

建议 PLL 电源利用磁珠 ( $1k\Omega@100MHz$ ) 进行隔离设计, 具体电路设计请参考 Hi3516A DMEB 板原理图。

## 1.2.5 上下电时序

Core 电源、DDR 电源和 IO 电源有上下电时序的要求, 如图 1-11 和图 1-12 所示。

图1-11 电源上电顺序图

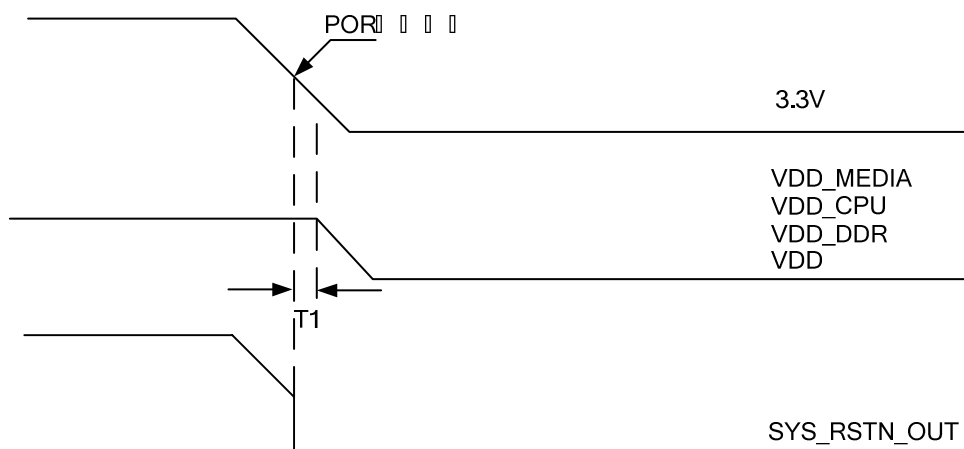


其中,  $0 < T1 \leq 100ms$ ,  $T2 > 0$ ,  $T3 > 0$ 。

四路 core 电源中, VDD\_MEDIA、VDD\_CPU、VDD\_DDR 同时先上电, 大约 10ms 后, VDD 再上电。



图1-12 电源下电顺序图



其中,  $T1 > 0$ 。

下电时, 3.3V 先下电, 1.35V/1.5V 必须晚于 3.3V 下电。当 3.3V 电源电平掉到 POR 触发阈值 (2.1V-2.6V) 时, 触发 POR 复位, 四路 CORE 电源才可以开始下电。



### 注意

下电时, POR 有三种可能的工作状态:

- DVDD33 的电压由 3.3V 下降到 2.6V, 此时开始计时, 如果在 5us 时刻, DVDD33 的电压高于 2.6V, 那么 POR 模块认为这是电源上的波动, 不触发复位, SYS\_RSTN\_OUT 管脚保持高电平。
- DVDD33 的电压由 3.3V 下降到 2.6V, 此时开始计时, 如果在 5us 时刻, DVDD33 的电压大于 2.1V 且小于等于 2.6V, 那么 POR 将在此时刻 (计时 5us 时刻) 触发复位, SYS\_RSTN\_OUT 管脚输出低电平。
- DVDD33 的电压由 3.3V 下降到 2.6V, 此时开始计时, 如果在 5us 之内, DVDD33 的电压小于等于 2.1V, 那么 POR 将在 DVDD33 下降到 2.1V 时触发复位, SYS\_RSTN\_OUT 管脚输出低电平

## 1.2.6 注意事项

电源设计的其他注意事项如下: 各模块电源的要求请参考芯片手册中的电性能参数, 保证电源输出电压加上纹波噪声仍然满足芯片的需求。



## 1.3 外围接口设计建议

### 1.3.1 USB 接口

#### USB 电源设计建议

模拟电源 AVDD33\_USB 要求与数字电源隔离，推荐采用平面方式，以减小寄生效应、耦合噪声和供电阻抗，并在芯片邻近管脚摆放的滤波电容。

### 1.3.2 MAC 接口

#### MAC 接口设计

Hi3516A 的 MAC 支持 RGMII、RMII 和 MII 模式。各模式的信号连接如下图所示。

图1-13 Hi3516A RGMII 模式下的信号连接图

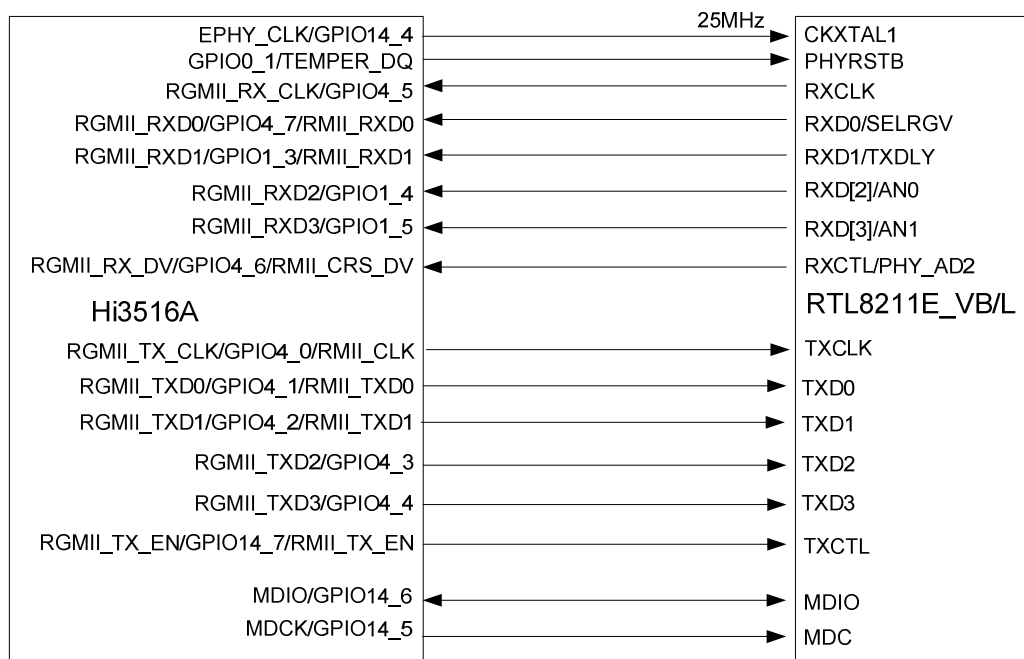
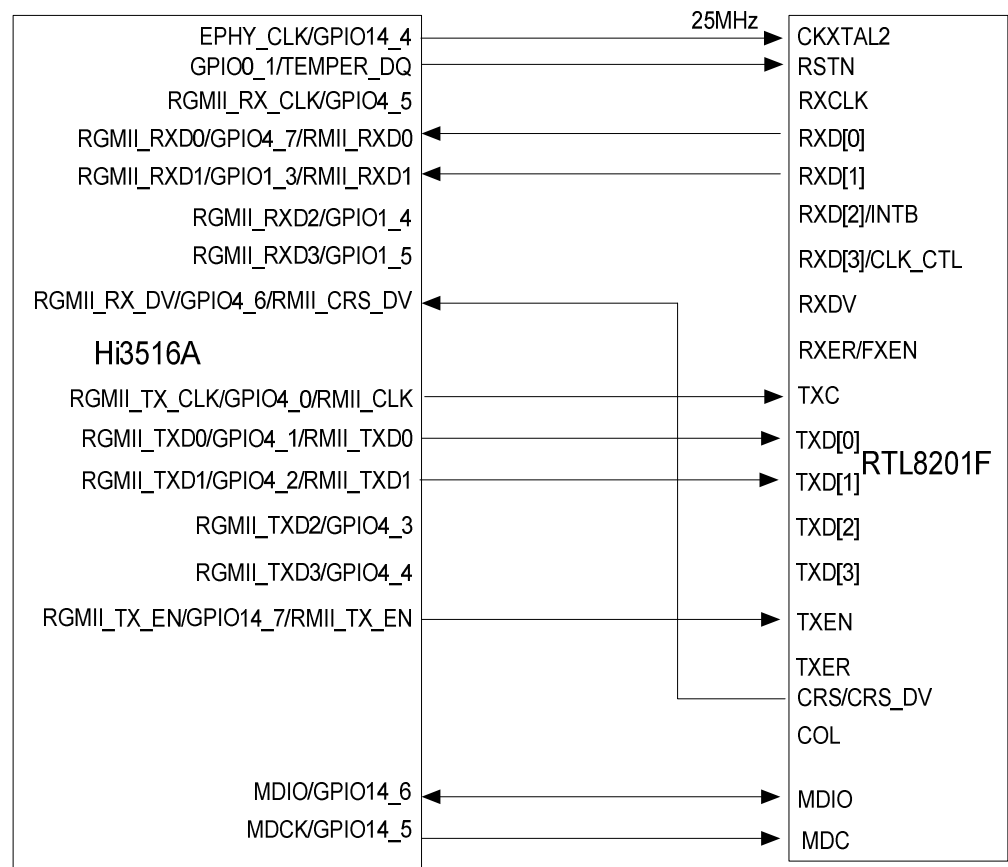




图1-14 Hi3516A RGMII 模式下的信号连接图



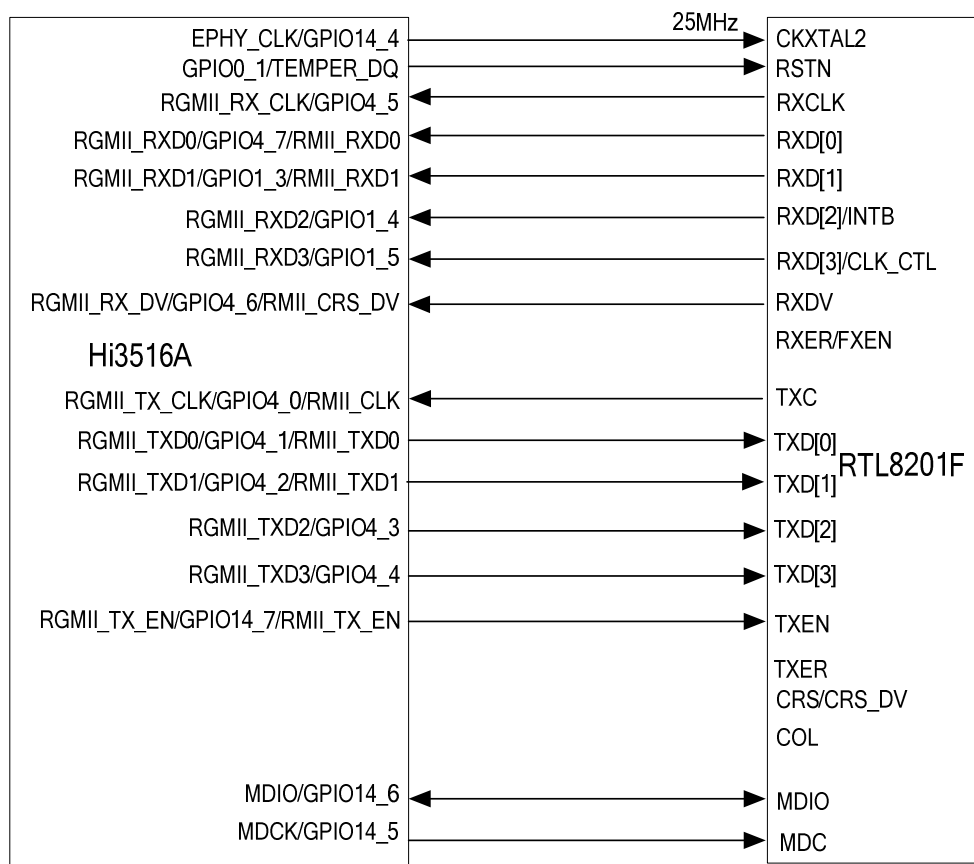
说明

RTL8201F 的 TXD[2]、TXD[3]、TXER 管脚有内部弱下拉，外部可以悬空处理。





图1-15 Hi3516A MII 模式下的信号连接图



#### 说明

RTL8201F 的 TXER 管脚有内部弱下拉，外部可以悬空处理。

MAC 所有信号为点对点拓扑结构。设计建议如下：

- MDIO 需要接上拉电阻，电阻值为 4.7k $\Omega$ 。
- MDCK 信号建议在源端串联 33 $\Omega$  电阻，以获取更好的信号质量。
- TXCK, TXD0~TXD3 和 RXCK, RXD0~RXD3 信号建议在源端串联 33 $\Omega$  电阻，以获取更好的信号质量。

## 1.3.3 音视频接口

### 模拟视频接口设计

Hi3516A 提供一组 Video DAC，分辨率最大支持 960H。

- VDAC\_CVBS 管脚在设计上需要外接 75 $\Omega$  精度为 1%电阻到地。
- 给 VDAC 接口的模拟电源 AVDD33\_VDAC，需要与数字电源 3.3V 用磁珠隔离并在芯片管脚端有足够的滤波电容；
- 外置参考电阻 VDAC\_IREF 需要对接一个 1K $\Omega$  精度为 1%的电阻到地。



- Hi3516A 支持 CVBS 自动检测功能，在不连接 CVBS 显示器时，芯片自动关闭 VDAC 模块，达到降低功耗的目的。如果产品应用中需要使用此功能，在硬件上不要设计 Video buffer。如果产品应用中对于隔离和 ESD 等项目非常关注，那么推荐使用 Video buffer。

## 模拟音频接口设计

Hi3516A 提供双声道的音频输入输出接口（AC\_LINEL、AC\_LINER、AC\_OUTL、AC\_OUTR）。

- 给 Audio DAC 供电的 3.3V 电源注意与系统 3.3V 电源隔离，AC\_VREF 引脚上的滤波电容不低于 10uF。
- AC\_LINEL 和 AC\_LINER 均可作为 Line 或者 MIC 的输入通道。如果输入设备为无源 MIC，则需要给输入信号添加 MIC\_BIAS 偏置。如果输入设备为有源 Line 输入设备（例如：PC），则无需偏置。
- 音频输入信号上的隔直电容靠近 Hi3516A 放置，电容容值推荐选择 4.7uF。
- 音频输出信号 AC\_OUTL 和 AC\_OUTR 需各设计一个 470k $\Omega$  的下拉电阻。
- Audio DAC 满幅输出幅度 0.875 Vrms。
- 为获得较好的音频质量，建议在音频输出管脚 AC\_OUTL 和 AC\_OUTR 的外围增加音频放大器以及滤波电路。
- 针对客户产品对讲场景的应用，在整机设计上推荐客户参考如下建议(包括但不限于):
  - MIC 和 Speaker 距离越远越好，二者角度要保证耦合越小越好；
  - MIC 腔体一定要封闭，防止声音从结构件内部传递到 MIC，Speaker 最好封闭；
  - Speaker 音腔开孔大小保证一定的面积比例即可，15%以上。一般来说音腔大，低频好，音质好，但是音腔太大回声抵消效果就会变差；
  - MIC 开孔一般 0.8~1.2mm 的圆孔即可。在结构上不要对 MIC 设计音腔，即保证一个直孔即可；
  - MIC 一般要用橡胶或者泡棉密封，防止 Speaker 在机器内部漏音或者机器本身的声音震动漏音到 MIC；即，一方面内部不能漏音，另外一方面不能有共振。

### 1.3.4 I2S 接口

Hi3516A 支持 1 个 I2S 接口，但这个 I2S 接口在三个模块管脚中均有复用，分别是 VI、SDIO、UART2 & JTAG。这三个位置复用出来的 I2S 信号是同源的。图 1-16 和图 1-17 分别表示了“5 线模式” I2S 主模式和从模式的连接方式。

图1-16 “5 线模式” I2S 主模式连接方式

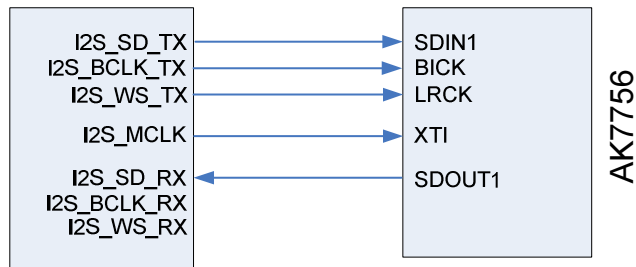
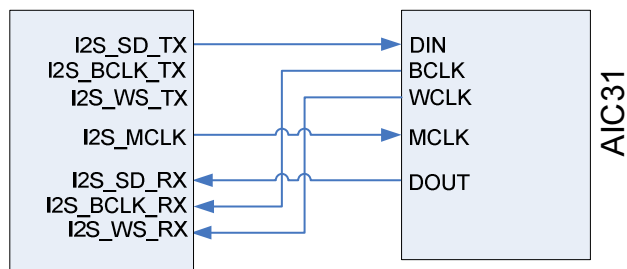


图1-17 “5 线模式” I2S 从模式连接方式



### 1.3.5 VI 接口设计

在物理接口上，VI 模块包含了两种接口：Parallel CMOS 视频输入接口和多模式视频输入接口，同时只能有一个生效。

- Parallel CMOS 视频输入接口是 1.8V/3.3V 兼容。  
Parallel CMOS 视频输入接口支持 RAW Data、BT1120、BT656、BT601 格式的数据。接口频率可达 148.5MHz。
- 多模式视频输入接口可以通过寄存器将管脚复用为 Parallel CMOS 接口或 MIPI/LVDS 接口。
  - 多模式视频输入接口复用为 Parallel CMOS 接口时，所有功能和 Parallel CMOS 视频输入接口一致。
  - 多模式视频输入接口复用为 MIPI/LVDS 时，有 2 组差分时钟信号，每组差分时钟分别对应 4 组差分数据信号。从芯片管脚命名来看，分为 MIPI0 和 MIPI1。  
如果对接 Sensor 的输出信号只有 1 对差分时钟和若干差分数据（差分数据对数目不大于 4 对），那么这个差分时钟和数据信号必须接到 MIPI0。  
对于对接的 Sensor 的输出信号只有 1 对差分时钟和 4 对以上的差分数据，Hi3516A 不支持。  
接口频率可达 500MHz。  
MIPI 接口内置了 100Ω 跨接匹配电阻，外部无需再设计或者预留。
- 对于 16bit 的 CMOS 接口 sensor，推荐按照顺序 D0-D15（支持按照逆序 D15-D0）对接。



- 对于  $n(n < 16)$  bit 的 CMOS 接口 sensor，推荐按照顺序 D0-Dn-1（支持任意的连续的  $n$  bit）对接。

### 1.3.6 VO 接口设计

在物理接口上，Hi3516A 只有 1 个 VO（Video output）接口。

- VO 模块支持 BT656 和 BT1120 输出，不支持 BT601。BT1120 最大分辨率支持到 1080p@60，BT656 最大分辨率支持到 D1@30。
- BT1120 支持 YUV 4:2:2 格式，高 8bit 管脚是 Y（亮度）信息，低 8bit 管脚是 C（色度）信息。
- VO 模块没有 HS 和 VS 管脚，行场信号内嵌到数据中。

### 1.3.7 SPI 和 I2C 接口

- Hi3516A 有 2 组 SPI 管脚，SPI0 用于 Sensor 配置，接口电平兼容 1.8V 和 3.3V。
- SPI1 用于外设器件对接，接口电平只支持 3.3V。
- Hi3516A 有 3 组 I2C 管脚，其中 I2C0 用于 Sensor 配置，它与 SPI0 的 SCLK 和 SDO 复用，接口电平兼容 1.8V 和 3.3V。
- I2C1 用于外设器件对接，它与 SPI1 的 SCLK 和 SDO 复用，接口电平只支持 3.3V。
- I2C2 用于外设器件对接，接口电平只支持 3.3V。

### 1.3.8 SDIO 接口设计

Hi3516A 有 2 个 SDIO 接口，每个接口均支持 SDXC 卡，向下兼容 SDHC 卡。

SDIO 的 DATA 和 CMD 信号必须使用 10k $\Omega$  电阻上拉至 SDIO\_VOUT 管脚上。

对于 SDIO0/1\_CARD\_DETECT 和 CWPR 信号的设计：

- 在对接 SD 卡时，SDIO0/1\_CARD\_DETECT 和 CWPR 信号必须外接 10k $\Omega$  上拉电阻，上拉至 3.3V 电源上。
- 在对接 TF 卡时，SDIO0/1\_CARD\_DETECT 必须外接 10k $\Omega$  上拉电阻，上拉至 3.3V 电源上，SDIO0/1\_CWPR 信号必须外接 4.7k $\Omega$  下拉电阻。
- 在对接 wifi、4G 模组或者 IC 等不涉及 DETECT、CWPR 等应用时，SDIO0/1\_CARD\_DETECT 和 SDIO0/1\_CWPR 信号必须外接 4.7k $\Omega$  下拉电阻。



在 Hi3516A 的 SDXC 接口不做 SDXC 接口而做 GPIO 功能使用时，具体使用方法请参考《Hi3516A / Hi3516D 专业型 HD IP Camera Soc 用户指南》GPIO 接口的章节内容。

## 1.3.9 ADC

Hi3516A 支持 2 路模拟信号输入，进行 AD 转换。AD 的分辨率 8bit。这两个管脚均可复用为 GPIO 信号。

在使用 ADC 接口测量电池电量时需要注意，不要直接将 ADC 接口连接到电池上，否则当电源 IO\_VDD 断电时，电池会通过 D1 放电到 IO\_VDD，如图 1-18，降低电池工作时间。使用 ADC 接口检测电池的方案推荐采用图 1-19 电路结构，R1 取值需大于 100kΩ：

图1-18 芯片 ADC 接口内置 ESD 保护电路示意图

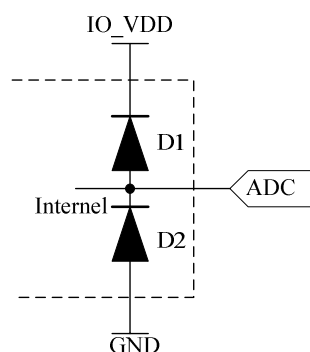
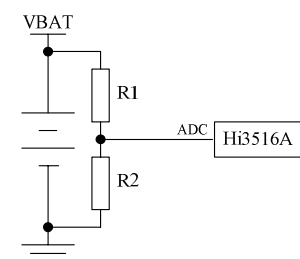


图1-19 使用 ADC 接口检测电池的推荐电路



## 1.3.10 RTC

内置 RTC 在固定分频模式，计时精度主要取决于外置晶体，请综合考虑晶体频率误差、温度漂移等因素，选择合适的晶体；对计时精度要求较严格的产品，建议选择外置高精度集成 RTC。



### 1.3.11 PWM

Hi3516A 支持 8 个 PWM 接口。

其中 PWM0~3 建议用于做 4 路 core 电源调压。所有 PWM 接口不使用时均可复用为 GPIO 使用。

### 1.3.12 UART

Hi3516A 支持 4 个 Uart 信号，其中 Uart0 用于系统调试。

### 1.3.13 EFUSE

AVDD\_EFUSE 管脚必须接地。

## 1.4 未使用管脚处理

未使用管脚处理建议如下：

- 如果不使用 JTAG 功能，请将 JTAG\_EN 做下拉处理，建议电阻阻值为 4.7k $\Omega$ ，并将 JTAG\_TCK、JTAG\_TMS、JTAG\_TRSTN、JTAG\_TDO、JTAG\_TDI 配置为 GPIO 功能，引脚悬空处理。
- 如果设计时使用内部 POR 给主芯片复位，则 POR\_SEL 需要下拉，此时 RSTN 引脚可以悬空。
- 如果设计时不使用 NAND FLASH，其对应管脚需配置成 GPIO 功能，引脚悬空处理。
- USB 模块如果不使用过流保护功能的话，请将 USB\_OVRCUR 引脚配置为 GPIO 功能，引脚悬空处理。

未使用的模块电源处理建议如下：

- DVDD3318\_VI。该模块不使用时，电源管脚需要供电，电源电压 3.3V 或者 1.8V 均可以。
- AVDD33\_RTC、AVDD\_BAT。RTC 模块不使用时，AVDD33\_RTC 电源管脚要求接 3.3V 电源，不能悬空；AVDD\_BAT 管脚可悬空处理。
- AVDD33\_USB、AVDD33\_AC 和 AVDD33\_VDAC。USB、AudioCodec 和 VedioDAC 这 3 个模块不使用时，电源管脚需要供电，电源电压 3.3V，并配置模块进入 POWERDOWN 模式。
- DVDD18\_SDIO。不使用 SDXC 卡的时候，这个管脚可以悬空。



# 2 PCB 设计建议

## 2.1 小系统 PCB 设计建议

### 2.1.1 小系统电源

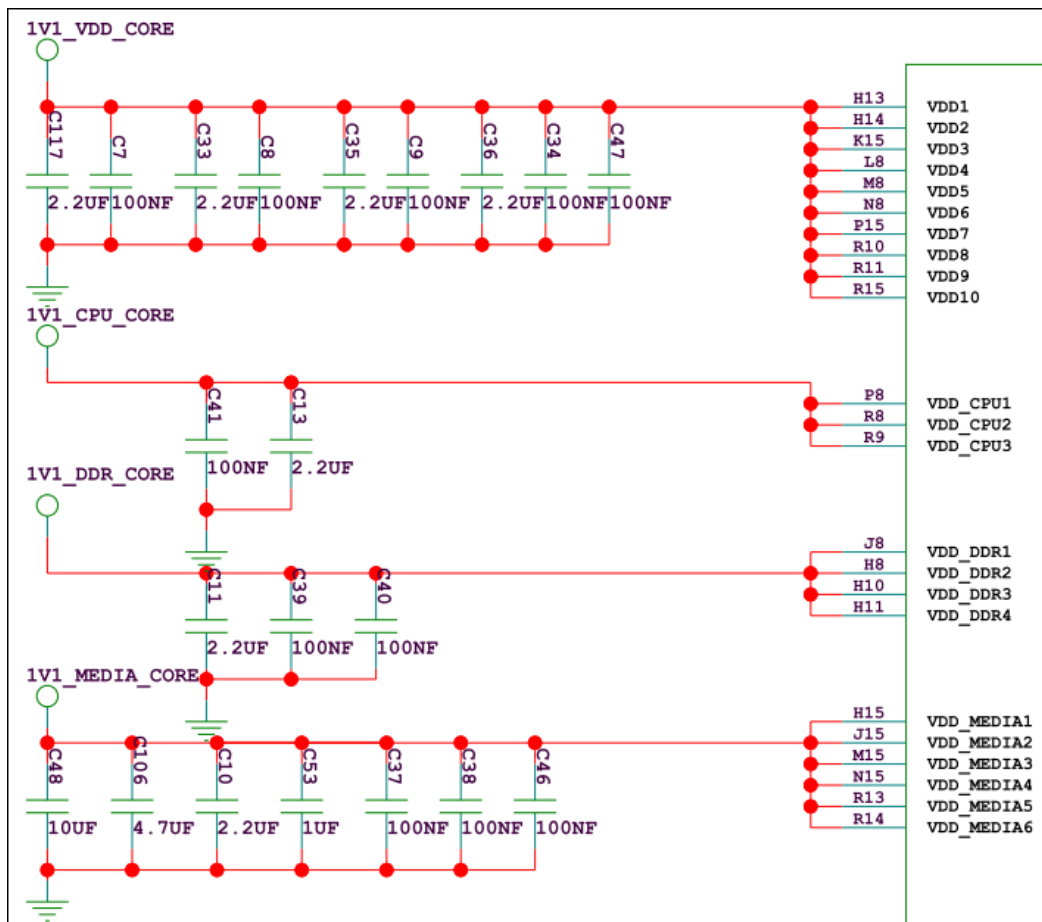
#### 2.1.1.1 Core 电源

##### 滤波电容类型和数量

Core 电源的滤波电容类型、数量和布局建议 6-8 层板建议完全复制 Hi3516A DMEB 的设计、4 层板建议完全复制 Hi3516A REFB 的设计，电容材质推荐 X7R 材质，具体请参考 Hi3516ADMEB 原理图，如[图 2-1](#) 所示。



图2-1 Hi3516A Core 电源滤波电容类型



## 走线方式和滤波电容的布局



### 注意

VDD\_MEDIA 电源通道必须满足至少 2A 的过电流能力、VDD、VDD\_CPU、VDD\_DDR 通道必须满足至少 1A 的过电流能力。

Core 电源设计规则如下：

Core 电源使用平面供电，每个 100nF 滤波电容需靠近电源管脚放置，减少寄生电感。

图 2-2 是 Hi3516A 对应的 core 电源管脚，其去耦电容布局需要特别注意以下几点：

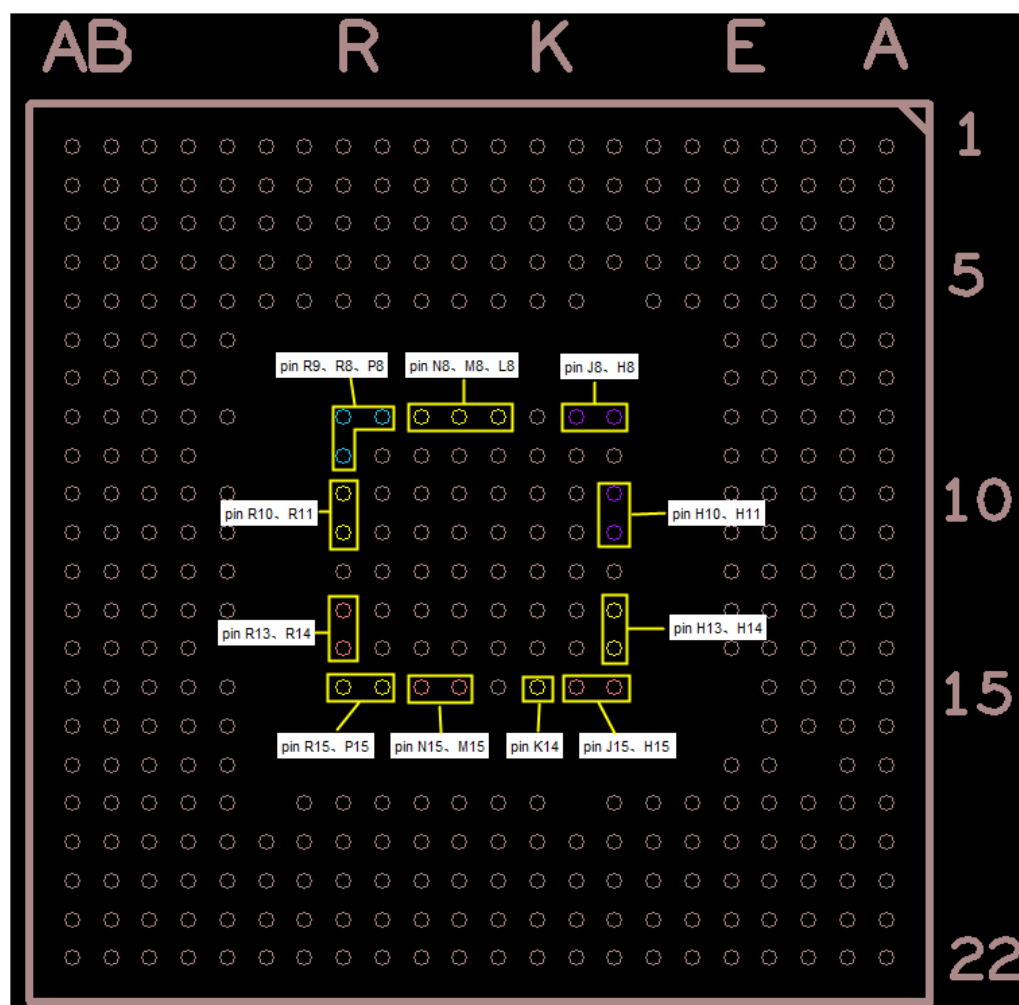
- Pin R9、R8、P8 就近至少需放置 1 个 2.2uF 及 1 个 100nF 电容。
- Pin N8、M8、L8 就近至少需放置 1 个 2.2uF 及 1 个 100nF 电容。
- Pin J8、H8 就近至少需放置 1 个 2.2uF 及 1 个 100nF 电容。
- Pin H13、H14 就近至少需放置 1 个 2.2uF 及 1 个 100nF 电容。





- Pin N15、M15 及 J15、H15 需各自就近至少 1 个 100nF 电容及共用一个 4.7 uF 电容。
- Pin R15、P15 就近至少需放置 1 个 2.2uF 及 1 个 100nF 电容。
- Pin R13、R14 就近至少需放置 1 个 2.2uF 及 1 个 100nF 电容。
- Pin R10、R11 就近至少需放置 1 个 2.2uF 及 1 个 100nF 电容。
- Pin K14 就近至少需放置 1 个 100nF 电容。
- Pin H10、H11 就近至少需放置 1 个 100nF 电容。

图2-2 Hi3516A 对应的 core 电源管脚



### 2.1.1.2 DDR 电源

DDR3/3L 颗粒 1.5V/1.35V 电源管脚与 Hi3516A DDR 1.5V/1.35V 电源管脚连接到同一个电源网络，每个电源管脚旁边尽可能就近摆放去耦电容。Hi3516A DDR 电源至少有一个 10μF 的对地滤波电容。

Hi3516A 和 DDR3/3L SDRAM 的 VREF (0.75V/0.675V) 电源都必须和其他电源隔离，可以通过较宽的走线 (20mil 及以上) 连接，保证每个电源管脚尽可能就近摆放去耦电



容，并且最好在 PCB 上对 VREF 加包地屏蔽处理。DDR3/3L 颗粒 1.5V/1.35V 电源管脚与 Hi3516A DDR 1.5V/1.35V 电源管脚连接到同一个电源网络，每个电源管脚旁边尽可能就近摆放去耦电容。

### 2.1.1.3 IO 电源

在 DVDD33 上至少放置 1 个 10 $\mu$ F 对地滤波旁路电容，每个 DVDD33 管脚处放置一个 100nF 去耦电容，并紧靠供电管脚摆放，两个及以上管脚一组时至少靠近管脚就近放置一个 2.2 $\mu$ F 去耦电容。

## 2.1.2 时钟电路

### 时钟

Hi3516A 的 PLL 功能单元的供电电源和地分为 AVDD11\_PLL、AVDD33\_PLL 和 AVSS\_PLL。建议 PCB 设计时采用如下原则：

- AVDD11\_PLL 为 1.1V 的 PLL 电源，建议通过磁珠与单板 VDD 1.1V 电源隔离，1.1V 电源电平偏差控制在 $\pm 5\%$ 以内。
- AVDD33\_PLL 为 3.3V 的 PLL 电源，建议通过磁珠与单板 3.3V 电源隔离，3.3V 电源电平偏差控制在 $\pm 5\%$ 以内。
- AVSS\_PLL 为 PLL 电路的参考地，AVDD11\_PLL 和 AVDD33\_PLL 电源的去耦电容要求以 AVSS\_PLL 为参考地平面，AVSS\_PLL 地平面与单板数字地通过单点连接。
- 系统时钟的晶振电路走线长度尽量短，且需做包地处理。

## 2.1.3 DDR 信号设计

表2-1 Hi3516A 芯片内 DDR 信号长度

信号名	信号长度 (mil)
DDR3_A0	201.83
DDR3_A1	164.32
DDR3_A2	196.42
DDR3_A3	206.61
DDR3_A4	148.23
DDR3_A5	218.09
DDR3_A6	275.90
DDR3_A7	226.35
DDR3_A8	146.30
DDR3_A9	219.60
DDR3_A10	155.01



信号名	信号长度 (mil)
DDR3_A11	122.30
DDR3_A12	223.65
DDR3_A13	175.30
DDR3_A14	202.66
DDR3_BA0	231.12
DDR3_BA1	151.12
DDR3_BA2	115.77
DDR3_CAS_N	248.99
DDR3_CKE	170.95
DDR3_CLK0_N	167.14
DDR3_CLK0_P	164.24
DDR3_CLK1_N	239.71
DDR3_CLK1_P	235.69
DDR3_CS0_N	153.99
DDR3_CS1_N	264.46
DDR3_ODT_0	109.18
DDR3_ODT_1	228.23
DDR3_RAS_N	222.80
DDR3_RESET_N	190.87
DDR3_WE_N	176.70
DDR3_ZQ	171.95
DDR3_DQ0	222.57
DDR3_DQ1	167.46
DDR3_DQ2	152.33
DDR3_DQ3	133.53
DDR3_DQ4	137.01
DDR3_DQ5	138.90
DDR3_DQ6	226.39
DDR3_DQ7	138.82
DDR3_DM0	162.82
DDR3_DQS0_N	185.85



信号名	信号长度 (mil)
DDR3_DQS0_P	178.58
DDR3_DQ8	250.46
DDR3_DQ9	161.06
DDR3_DQ10	197.59
DDR3_DQ11	136.37
DDR3_DQ12	195.56
DDR3_DQ13	164.73
DDR3_DQ14	155.90
DDR3_DQ15	219.89
DDR3_DM1	154.91
DDR3_DQS1_N	184.36
DDR3_DQS1_P	178.48
DDR3_DQ16	124.60
DDR3_DQ17	186.55
DDR3_DQ18	155.31
DDR3_DQ19	145.20
DDR3_DQ20	216.91
DDR3_DQ21	170.24
DDR3_DQ22	241.29
DDR3_DQ23	217.52
DDR3_DM2	166.93
DDR3_DQS2_N	188.39
DDR3_DQS2_P	185.54
DDR3_DQ24	140.91
DDR3_DQ25	244.58
DDR3_DQ26	192.32
DDR3_DQ27	169.03
DDR3_DQ28	170.73
DDR3_DQ29	225.08
DDR3_DQ30	204.54
DDR3_DQ31	110.28



信号名	信号长度 (mil)
DDR3_DQS3_N	170.16
DDR3_DQS3_P	173.23
DDR3_DM3	167.88

推荐客户在进行 DDR 部分 PCB 设计的时候完全拷贝海思提供的设计文件。

四层板设计参考 Hi3516AREFB；六层板和八层板设计参考 Hi3516ADMEB。

## 时钟信号 CLK

时钟信号 CLK 的长度要求如下：

- CLK0 和 CLK1 信号最大走线长度控制在 2000mil 以内。
- CLK1 以 CLK0 时钟走线长度为参照进行走线，走线长度偏差控制在  $\pm 200\text{mil}$  以内。
- CLK 差分对需约束为差分信号进行走线，差分对内部走线的长度偏差控制在  $\pm 5\text{mil}$  以内。

## 数据选通信号线 DQS

数据选通信号线 DQS 的长度要求如下：

- DQS0、DQS1、DQS2、DQS3 信号最大走线长度控制在 1000mil 以内。
- DQS0 和 DQS1 的走线长度必须比 CLK0 的走线长度短。
- DQS2 和 DQS3 的走线长度必须比 CLK1 的走线长度短。
- DQS 差分对需约束为差分信号进行走线，差分对内部走线的长度偏差控制在  $\pm 5\text{mil}$  以内。

## 数据信号线 DQ[0:31]

数据 DQ[31:0]信号的最大走线长度控制在 1000mil 以内。

## 数据掩码信号线 DM

数据掩码 DM 信号的最大走线长度控制在 1000mil 以内。

## 地址信号线 ADDR[0:14]

地址 ADDR[0:14]、BA[0:2]信号的最大走线长度控制在 3000mil 以内。

## 控制信号线

ODT[0:1]、CS[0:1]、WE\_N、CAS\_N、RAS\_N、CKE、RESET 信号的最大走线长度控制在 3000mil 以内。



## PCB 布线要求

要求 DDR3 PCB 布线设计采用以下原则：

- 信号线尽量短，走线路径上尽量少打过孔，保证走线阻抗的连续性。单端信号 PCB 走线特性阻抗  $50\Omega$ ，差分信号 PCB 走线特性阻抗  $100\Omega$ 。
- DQ 信号最好能换层不换参考，但如果一定会导致换参考层，则建议在 DQ 信号换层过孔就近需要有伴随地过孔；理想情况下，每根数据信号换层时，信号过孔就近需要一个地过孔(受空间限制无法满足的话，建议是 2、3 个信号过孔公用一个伴随地过孔，频率越高，公用伴随地过孔的信号数量要越少，最好一一对应)；
- 信号距离参考平面的距离要远小于与相邻平行走线信号之间的 Airgap，推荐是相邻平行走线之间的 Airgap 最好是信号走线与参考面之间距离的 3 倍(在 4 层板下，如果空间限制，无法做到，可以适当放宽到 2.5 倍左右 同时，需要满足信号走线之间的 3W 规则)。

### 2.1.4 网口信号设计

由于 GMAC 信号速率较高，建议 PCB 布线设计采用以下原则以减小总线信号之间的串扰：

- 避免信号走线穿越电源分割区域，保持信号参考平面完整。
- 信号线长度以时钟线为基准，走线长度偏差控制在  $\pm 200\text{mil}$  以内。
- 变压器芯片正下方的地需要挖空处理。
- 相邻信号走线间距保持“3W”原则。
- 建议时钟信号上串联一个  $33\Omega$  电阻以获取更好的信号质量。
- MDI+\_0、MDI-\_0、MDI+\_1、MDI-\_1、MDI+\_2、MDI-\_2、MDI+\_3、MDI-\_3 差分对尽量等长，走线长度偏差控制在  $\pm 5\text{mil}$  以内，差分阻抗控制在  $100\Omega \pm 10\%$ 。

## 2.2 典型外围接口 PCB 设计建议

### 2.2.1 USB 接口设计

#### 2.2.1.1 USB PCB 设计建议

为了保证良好的信号质量，USB 2.0 端口数据信号线按照差分线方式走线。为了达到 USB 2.0 高速 480MHz 的速度要求，建议 PCB 布线设计采用以下原则：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，走线长度偏差控制在  $\pm 5\text{mil}$  以内。
- 差分数据线控制  $90\Omega \pm 10\%$  的均匀差分阻抗。
- 差分数据线走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者  $135^\circ$  度角，避免直角，以减少反射和阻抗变化。



- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。
- REXT 电阻应该尽可能靠近 Hi3516A 侧。

### 2.2.1.2 USB 功能单元供电电源设计建议

Hi3516A 集成了 1 路 USB 2.0 接口。USB 功能单元的供电电源和地管脚分为 AVDD33\_USB 和 AVSS\_USB，分别对应 3.3V 电源和地。设计建议如下：

AVDD33\_USB 和 AVSS\_USB 为模拟 3.3V 电源管脚和地。建议使用磁珠来隔离 USB 模拟 3.3V 电源和单板数字 3.3V 电源，滤波电容就近放置，靠近 AVDD33\_USB 和 AVSS\_USB 管脚。

## 2.2.2 音视频电路设计

### 2.2.2.1 模拟音频接口走线设计要求

Hi3516A 共有 1 个模拟音频接口，其走线设计要求如下：

- AC\_VREF 下拉电容需要靠近主芯片放置；
- 模拟音频输入输出要求全程包地处理；
- AC\_LINER、AC\_LINEL 输入串联的隔直电容尽量靠近 Hi3516A 芯片端放置，接口端阻容设计详细请参考 Hi3516APERB 板最新版本原理图。
- 在使用 MIC 输入时，为获得较好的音频质量，建议芯片端在 AC\_MICBIAS 输出管脚近端将信号分为两路，各自对应做左声道及右声道的偏置电平，详细请参考 Hi3516ADMEB 板最新版本原理图。
- AC\_OUTL、AC\_OUTR 需在靠近输出接口处加 470K 下拉电阻，减弱上下电 POP 音。

### 2.2.2.2 视频 DAC 接口

Hi3516A 共有 1 个视频 DAC 接口。

### 视频 DAC PCB 设计建议

为了保证视频 DAC 输出的视频图像质量，建议 PCB 布线设计采用以下原则：

- 视频 DAC 输出端外接对地匹配电阻尽量靠近 Hi3516A 放置。
- 模拟视频滤波电路尽量靠近 Hi3516A 放置。
- 单路视频 DAC 设计为单负载驱动，如需驱动多个负载，输出多路视频信号，请考虑使用驱动器。
- 尽量不要使用视频模拟地平面作为其它信号走线的参考平面。
- 走线拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射。

### 视频 DAC 功能单元供电电源设计建议

视频 DAC 功能单元的供电电源 AVDD33\_VDAC 为视频模拟电源。建议 PCB 设计时采用如下原则：

- 模拟视频地与数字地采用统一地平面。



- 模拟视频 3.3V 电源电平偏差尽量控制在 $\pm 5\%$ 以内。
- 要求使用磁珠来隔离 VDAC 模拟 3.3V 电源和单板数字 3.3V 电源，滤波电容就近放置，靠近 AVDD33\_VDAC 管脚。

### 2.2.2.3 VI 接口

Parallel CMOS 接口、走线要求如下：

- 数据线与时钟线走线长度偏差控制在 $\pm 300\text{mil}$  以内；
- 遵循 3W 走线规则。

多模式视频输入接口做 CMOS 并行视频输入接口时，走线要求与 Parallel CMOS 接口走线要求相同。

多模式视频输入接口做 MIPI/LVDS 接口时，走线要求如下：

- MIPI 信号线最大走线长度控制在 5000mil 以内。
- MIPI 的 CK0 和 CK1 的长度偏差控制在 $\pm 500\text{mil}$  以内。
- 差分对尽量等长，长度偏差控制在 $\pm 5\text{mil}$  以内，差分阻抗控制在  $100\Omega \pm 10\%$ 。
- MIPI0 的数据线和 CK0 的长度偏差控制在 $\pm 300\text{mil}$  以内。
- MIPI1 的数据线和 CK1 的长度偏差控制在 $\pm 300\text{mil}$  以内。

### 2.2.2.4 VO 接口

Hi3516A 共有 1 个 BT.1120VO 接口，其走线设计要求如下：

- 数据线与时钟线走线长度偏差控制在 $\pm 300\text{mil}$  以内；
- 遵循 3W 走线规则。





# 3 整机 ESD 设计建议

## 3.1 背景

由于芯片性能提高，时钟频率越来越高，整机对外界干扰更敏感，客户在整机设计时需要非常重视整机的 ESD 设计。

Hi3516A 芯片本身的 ESD 测试是按照 JEDEC 标准，通过 $\pm 2000V$  测试，符合行业标准。而客户需要根据自己企业的 ESD 测试标准，对单板硬件设计和整机设计做评估。本文针对整机 ESD 设计风险，提供一些设计建议和风险规避措施。

## 3.2 整机 ESD 设计建议

- 关于系统 24MHz 时钟设计，要求客户选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗干扰能力。其他的走线尽量远离晶振区域，不要在晶振底下有走线通过。
- 建议 PCB 器件布局设计时，小系统部分电路布局尽可能远离金属接口部分，可以改善整机 ESD 指标。
- 单板对外的接插件（例如音视频输入输出接口、USB、网口和报警等端口），需要增加 ESD 保护器件，加强接口的抗干扰能力。
- 整机设计为浮地设备时，单板严禁采用分割地设计。
  - 单板统一的只有一个 DGND，不能分割保护地。
  - 单板定位孔采用金属化过孔，并与单板 DGND 连接，确保单板地通过螺丝孔与金属外壳充分连接。
- 整机为接地设备时，要求金属外壳充分连接大地，分割保护地与单板数字地之间采用单点连接，单点连接的位置要远离小系统电路，建议靠近整机电源连接器放置。
- 接口连接器外壳要求采用金属外壳，且与整机金属外壳充分连接（例如带定位螺丝的 HDMI 口和 USB 口，带弹片的 RJ45 口等），必要时甚至采用导电柱或者导电泡棉来实现连接器与外壳的充分连接。
- 单板螺丝定位孔尽量靠近后板连接器放置，远离小系统放置，并充分连接单板地与整机金属外壳。



- 建议客户整机设计中采用全金属化外壳。金属底壳，塑料上盖的设计，整机 ESD 风险更高，因为空间辐射影响更强，需要增加金属屏蔽罩设计。
- 不推荐采用全塑料壳设计。当选用全塑料壳设计时，有可能需要降低整机 ESD 测试标准或采取更多措施屏蔽空间辐射，比如通过金属罩屏蔽小系统背面。

以上措施请根据自身企业标准和工程经验综合评估。

### 3.2.1 USB 保护电路布线建议

为了满足 ESD 保护等问题的要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成衰减，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠 USB 端口连接器放置。
- 保护器件建议选用低寄生电容的 TVS 管保护器件，击穿电压 8kV，相应时间小于 1ns。

建议 USB 2.0 高速端口保护器件的寄生电容小于 1pF。

### 3.2.2 视频 DAC 端口保护电路设计建议

为了满足 ESD 保护等问题的要求，在电路设计时需要考虑在视频 DAC 输出端口上设计保护电路，建议 PCB 设计时采用如下原则：

- 视频输出采用视频 Buffer 电路设计，将 Hi3516A 的视频端口和接插件端口隔离开。
- 保护器件建议紧靠视频输出端口连接器放置。
- 保护器件可以考虑使用 TVS 管或开关二极管等保护器件。

## 3.3 热设计建议

### 3.3.1 工作条件

Hi3516A 的功耗、温度和热阻参数请参见《Hi3516A 专业型 HD IP Camera SoC 用户指南》中的“2.7 电性能参数”小节。

### 3.3.2 电路热设计参考

#### 3.3.2.1 原理图

##### 电源

整个单板电源树在保证稳定性的前提下效率较高，即要合理设计单板电源效率，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。

Core 电源建议使用 SVB 降压功能，降低功耗及发热。



## 闲置模块低功耗配置

在 Hi3516A IPC 产品形态应用中，很多模块（DAC、SDXC、VO 等）可能不会使用，此时应当将这些模块配置为 Power Down 模式或者默认状态。

### 3.3.2.2 PCB

#### 器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3516A 和电源部分不要放置太近。
- 合理设计结构，保证产品内部与外界有热交换途径。

#### 走线

走线热设计建议如下：

- 芯片底下的过孔采用 FULL 孔连接，而不是普通的花孔连接，以提高单板散热效率。
- Hi3516A 电源和地信号都通过平面铺铜的方式连接，在保证信号过流能力的前提下打更多过孔到这些铜皮上。
- 在热量大的器件正下方和周边尽量增大铜皮面积以保证单板利用 PCB 有效散热。特别是电源部分的电感和供电芯片，注意其摆放位置不要过于密集，周边尽量增加铺铜面积。