



雅仪科技——【嵌入式智能互联设备】软硬件方案供应商。
专注【远程网络视频监控系统】研发设计。更多资讯浏览：
<http://www.travellinux.com> 获取。



Hi3520D/Hi3515A/Hi3515C H.264 编解码处理器

用户指南

文档版本	02
发布日期	2013-06-21
部件编码	N/A

深圳市海思半导体有限公司为客户提供全方位的技术支持，用户可与就近的海思办事处联系，也可直接与公司总部联系。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编： 518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： support@hisilicon.com

版权所有 © 深圳市海思半导体有限公司 2013。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。



前言

概述

本文档介绍了 Hi3520D/Hi3515A/Hi3515C 芯片的特性、逻辑结构，详细描述各个模块的功能、工作方式、相关寄存器定义，用图表的方式给出了接口时序关系和相关参数，并详细描述了芯片的管脚定义和用途以及芯片的性能参数和封装尺寸。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3520D	V100
Hi3515A	V100
Hi3515C	V100

读者对象

本文档主要适用于以下工程师：

- 电子产品设计维护人员
- 电子产品元器件市场销售人员

约定符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	以本标志开始的文本表示有高度潜在危险，如果不能避免，会导致人员死亡或严重伤害。



符号	说明
 警告	以本标志开始的文本表示有中度或低度潜在危险，如果不能避免，可能导致人员轻微或中等伤害。
 注意	以本标志开始的文本表示有潜在风险，如果忽视这些文本，可能导致设备或器件损坏、数据丢失、设备性能降低或不可预知的结果。
 窍门	以本标志开始的文本能帮助您解决某个问题或节省您的时间。
 说明	以本标志开始的文本是正文的附加信息，是对正文的强调和补充。

通用格式约定

格式	说明
宋体	正文采用宋体表示。
黑体	一级、二级、三级标题采用黑体。
楷体	警告、提示等内容一律用楷体，并且在内容前后增加线条与正文隔离。
“Terminal Display” 格式	“Terminal Display” 格式表示屏幕输出信息。此外，屏幕输出信息中夹杂的用户从终端输入的信息采用加粗字体表示。

表格内容约定

内容	说明
-	表格中的无内容单元。
*	表格中的内容用户可根据需要进行配置。

寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	W0C	可读，写 0 清零，写 1 保持不变。
WO	只写。	W1S	可读，写 1 置 1，写 0 保持不变。



类型	说明	类型	说明
RW	可读可写。	W0S	可读, 写 0 置 1, 写 1 保持不变。
RC	读清零。	OSW	可读, 写 1 后片内自清零, 即产生一个脉冲。
W1C	可读, 写 1 清零, 写 0 保持不变。		

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量 (如 RAM 容量)	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列 (寄存器描述中除外)。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。



修订日期	版本	修订说明
2013-06-21	02	增加 Hi3515C 的描述。 第 3 章 系统 3.4.6 寄存器描述中 PERIPHCTRL15 bit[11:0]取值为 10 时含义改为 Hi3515C。 3.8.2 新增“RTC 支持固定分频模式”的描述。 新增寄存器 sdm_coef_ouside_h 和 sdm_coef_ouside_l。 修改 TEMP_SEL bit[2]为 sdm_sel。
2013-05-22	01	第 2 章 硬件 补充 Hi3520D 和 Hi3515A 的功耗参数。 修改表 2-63 和表 2-64 中部分电源的最小值和最大值。 2.8.3.2 MDIO 接口时序中的参数 T_{ov} 的最小值和最大值分别改为 0 和 300。 第 3 章 系统 3.4.6 寄存器描述中新增 PERIPHCTRL15。
2013-04-03	00B04	增加 Hi3515A 的描述。
2013-03-31	00B03	第三次版本发布。
2013-02-07	00B02	第二次版本发布。
2013-01-15	00B01	初稿版本。



目 录

1 产品概述	1-1
1.1 应用场景	1-1
1.1.1 单片 Hi3520D DVR 解决方案	1-1
1.1.2 单片 Hi3520D NVR 解决方案	1-2
1.2 架构	1-3
1.2.1 概述	1-3
1.2.2 处理器内核	1-4
1.2.3 多协议视频编解码	1-4
1.2.4 视频编解码处理	1-4
1.2.5 智能视频分析	1-5
1.2.6 视频与图形处理	1-5
1.2.7 音频编解码	1-5
1.2.8 安全引擎	1-5
1.2.9 视频接口	1-5
1.2.10 音频接口	1-6
1.2.11 网络接口	1-6
1.2.12 外围接口	1-6
1.2.13 存储器接口	1-6
1.2.14 独立供电 RTC	1-6
1.2.15 多种启动模式可配置	1-7
1.2.16 SDK	1-7
1.2.17 芯片物理规格	1-7
1.3 启动模式	1-7
1.3.1 从 bootrom 启动	1-7
1.3.2 从 SPI Flash 启动	1-8
1.3.3 地址空间映射	1-8



插图目录

图 1-1 Hi3520D 单片 DVR 应用框图	1-2
图 1-2 Hi3520D NVR 应用框图	1-3
图 1-3 Hi3520D 芯片逻辑框图	1-4



表格目录

表 1-1 地址空间映射表 1-8



1 产品概述



说明

本文档适用于 Hi3520D 和 Hi3515A，如果没有特殊说明，均以 Hi3520D 为例进行说明。

1.1 应用场景

Hi3520D/Hi3515A 是针对多路 D1 和多路高清 DVR、NVR 产品应用开发的专业 SOC 芯片。Hi3520D/Hi3515A 内置高性能 A9 处理器、高达 8 路 D1（Hi3515A 最高支持 4 路 D1）多协议编解码能力的引擎；集成优异的视频引擎和编解码算法并结合多路高清显示输出能力，充分满足客户产品的高质量图像体验。Hi3520D/Hi3515A 高度集成和丰富的外围接口，在满足客户差异化产品功能、性能、图像质量要求的同时，大大降低 ebom 成本：

- 单片 Hi3520D DVR 解决方案
- 单片 Hi3515A DVR 解决方案
- 单片 Hi3520D NVR 解决方案
- 单片 Hi3515A NVR 解决方案

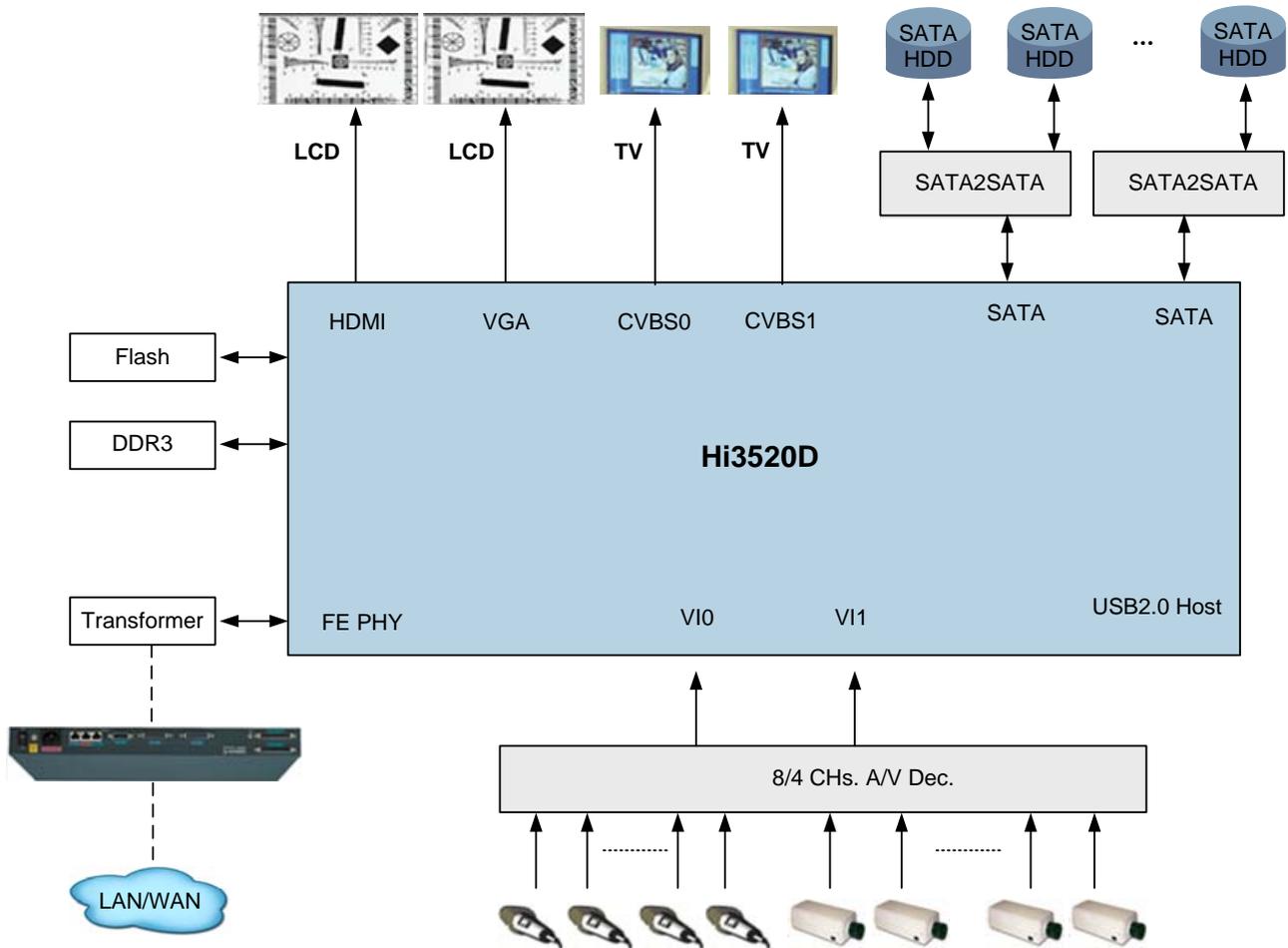
1.1.1 单片 Hi3520D DVR 解决方案

- Hi3520D 单片 4D1+4CIF 编码+4D1 解码 DVR
 - 4D1+4CIF 双码流实时编码+ JPEG D1 抓拍@8fps +4D1 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出
- Hi3520D 单片 4x960H+4CIF 编+1x960H 解 DVR
 - 4x960H+4CIF 实时编码+1x960H 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出
- Hi3520D 单片 8xCIF+8QCIF 编码+8xCIF 解码 DVR
 - 8xCIF+8QCIF 实时编码+ JPEG D1 抓拍@16fps +8xCIF 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出
- Hi3520D 单片 8D1 编码+8CIF 编码+1D1 解码（非实时）
 - 8D1@6fps + 8CIF@6fps 双码流编码+1D1@6fps 解码



- HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出

图1-1 Hi3520D 单片 DVR 应用框图

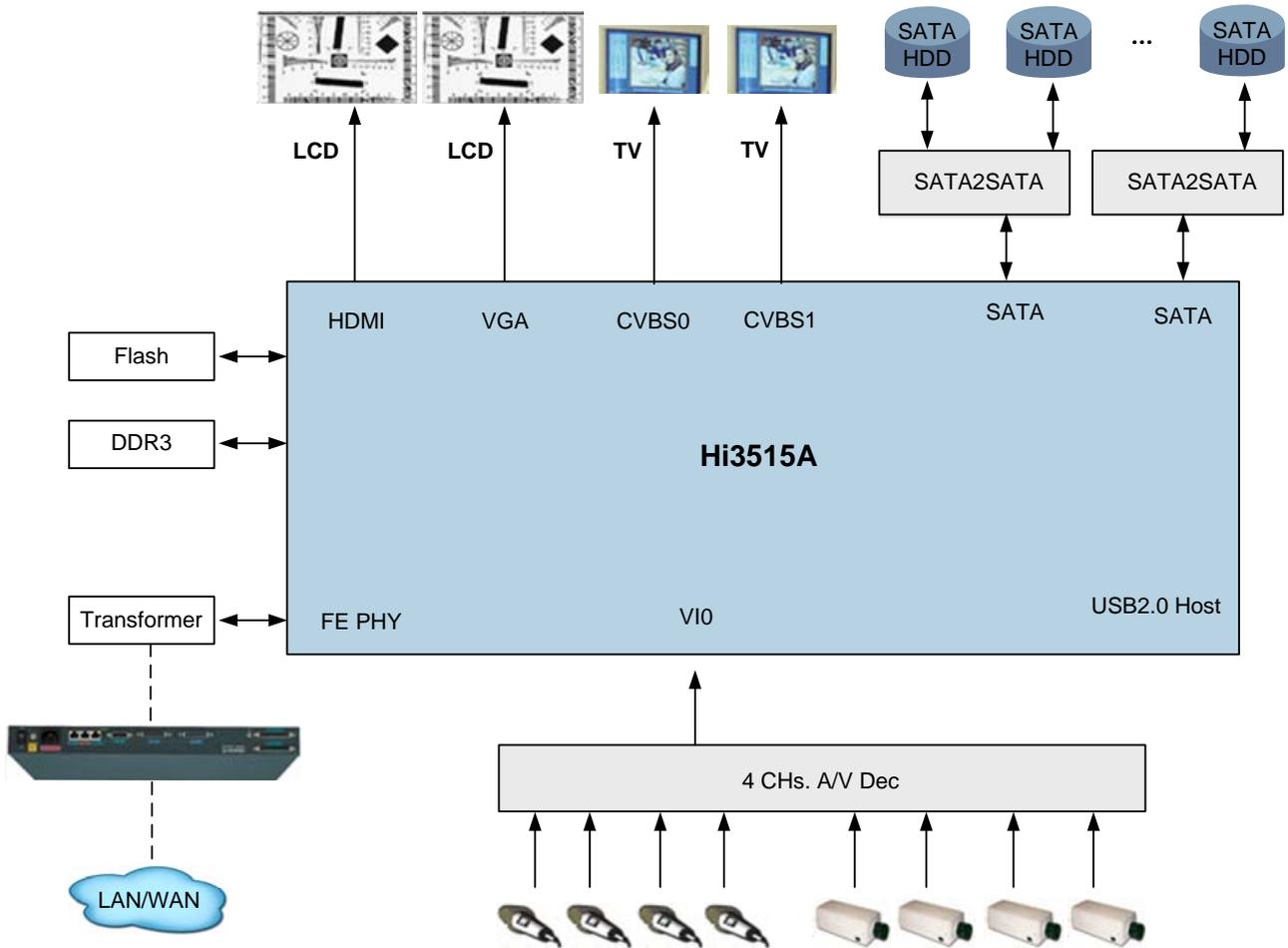


1.1.2 单片 Hi3515A DVR 解决方案

- Hi3515A 单片 4D1+4CIF 编码+1D1 解码 DVR
 - 4D1+4CIF 双码流实时编码+ JPEG D1 抓拍@8fps +1D1 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出



图1-2 Hi3515A 单片 DVR 应用框图

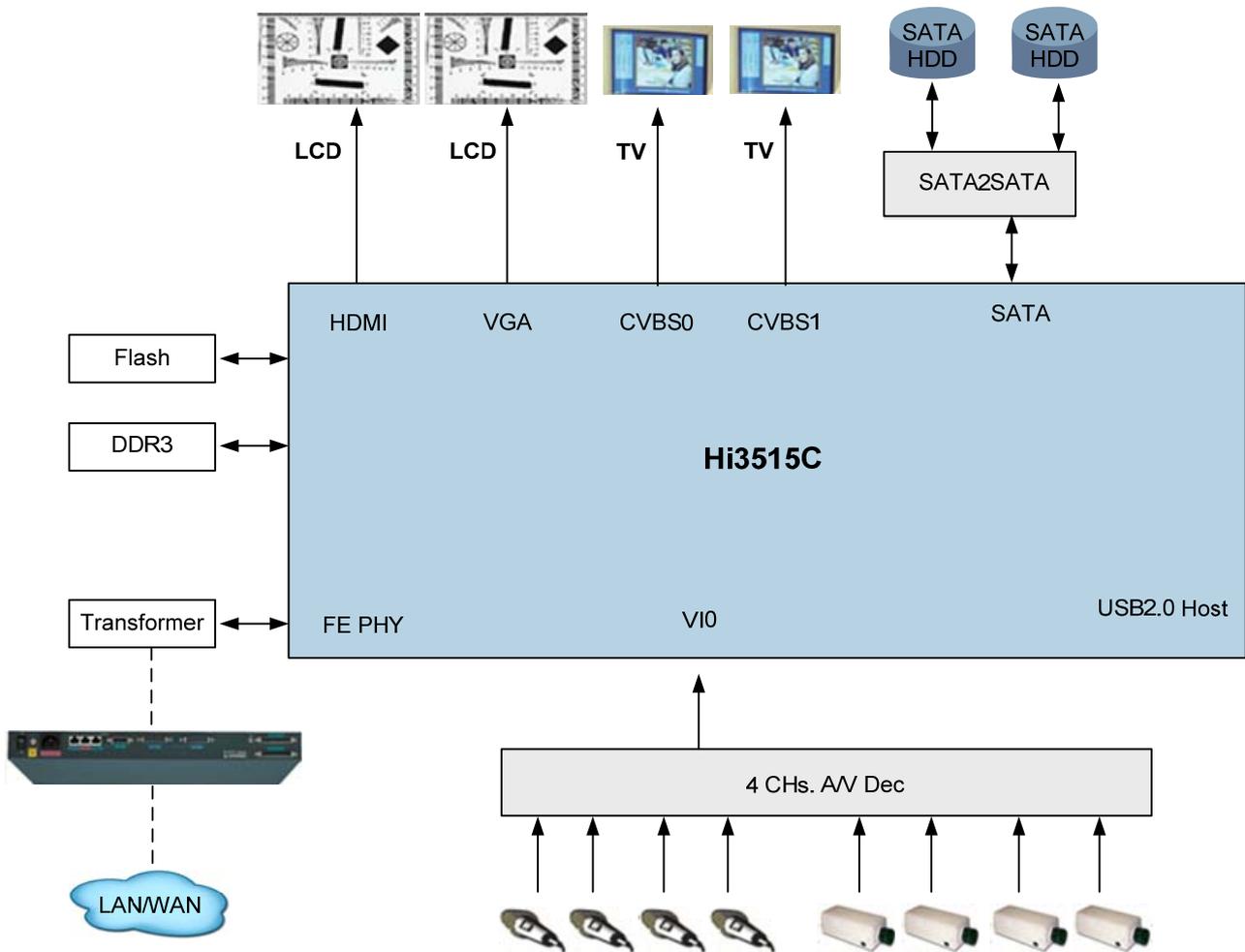


1.1.3 单片 Hi3515C DVR 解决方案

- Hi3515C 单片 4D1+4CIF 编码+1D1 解码 DVR
 - 4D1+4CIF 双码流实时编码+ JPEG D1 抓拍@8fps +1D1 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出



图1-3 Hi3515C 单片 DVR 应用框图

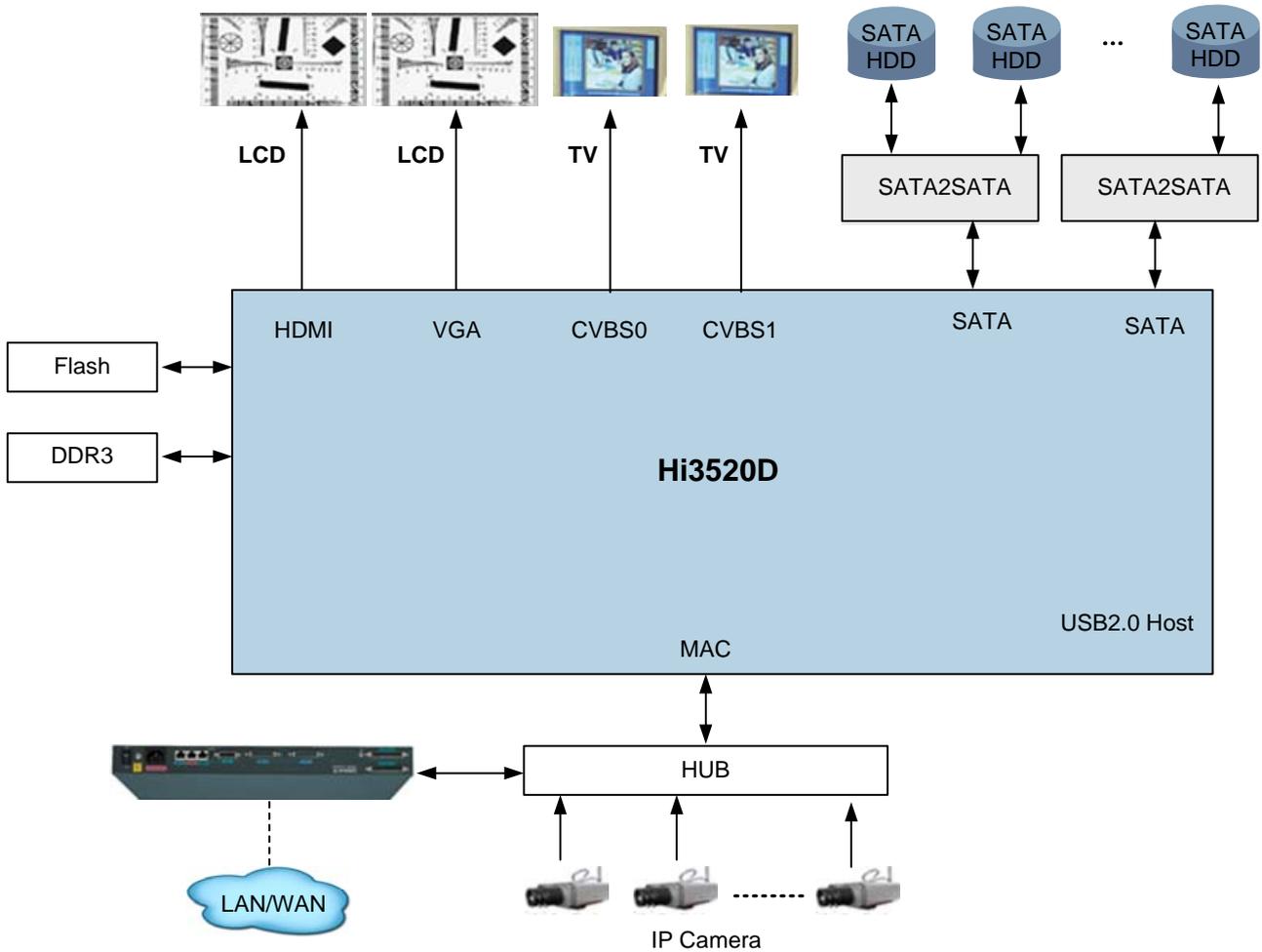


1.1.4 单片 Hi3520D NVR 解决方案

- Hi3520D 单片 8D1 NVR
 - 8D1 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出
- Hi3520D 单片 4x720p NVR
 - 4 路 720p 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出



图1-4 Hi3520D NVR 应用框图

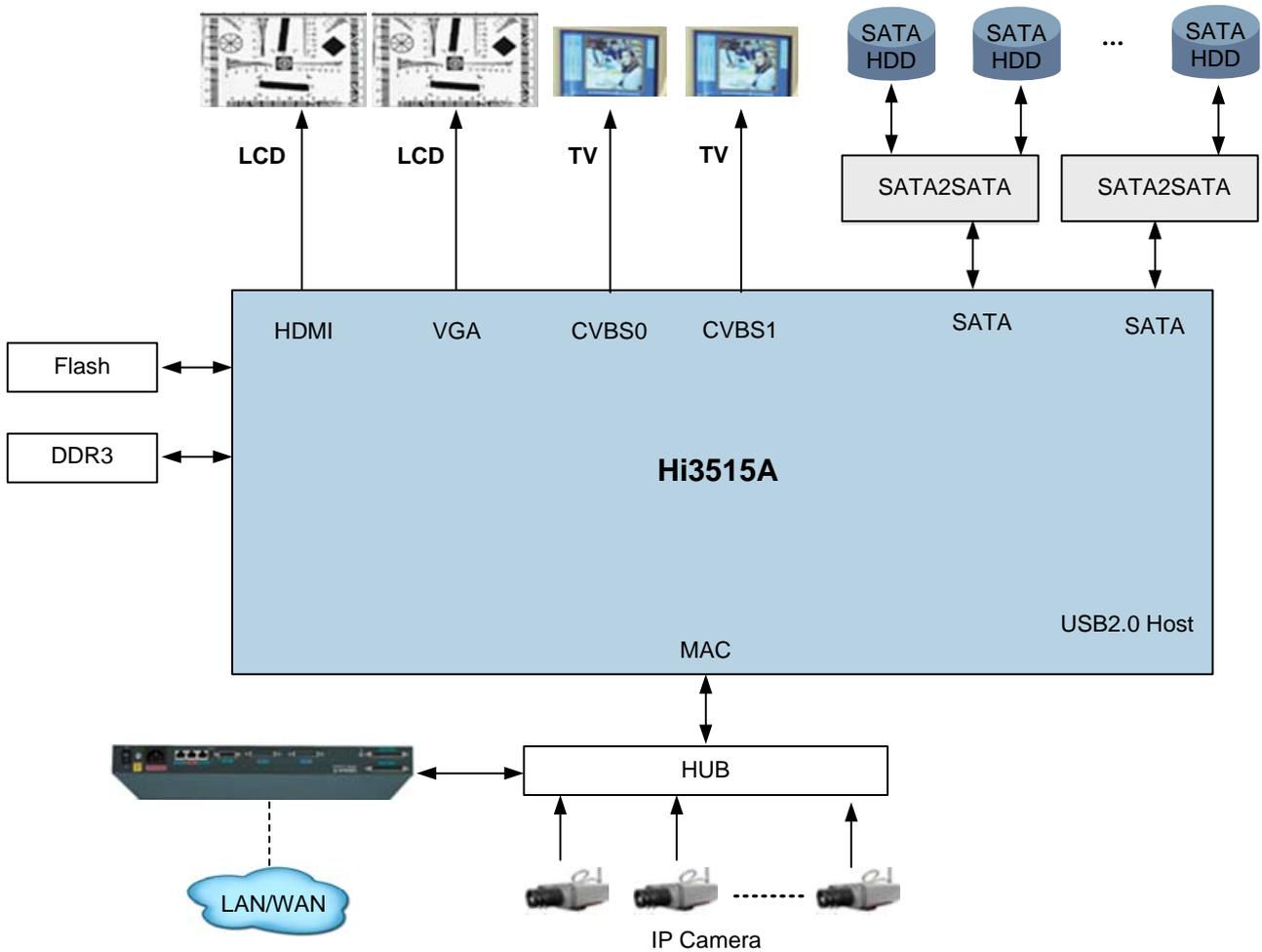


1.1.5 单片 Hi3515A NVR 解决方案

- Hi3515A 单片 4D1 NVR
 - 4D1 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出
- Hi3515A 单片 2x720p NVR
 - 2 路 720p 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出



图1-5 Hi3515A 单片 NVR 应用框图

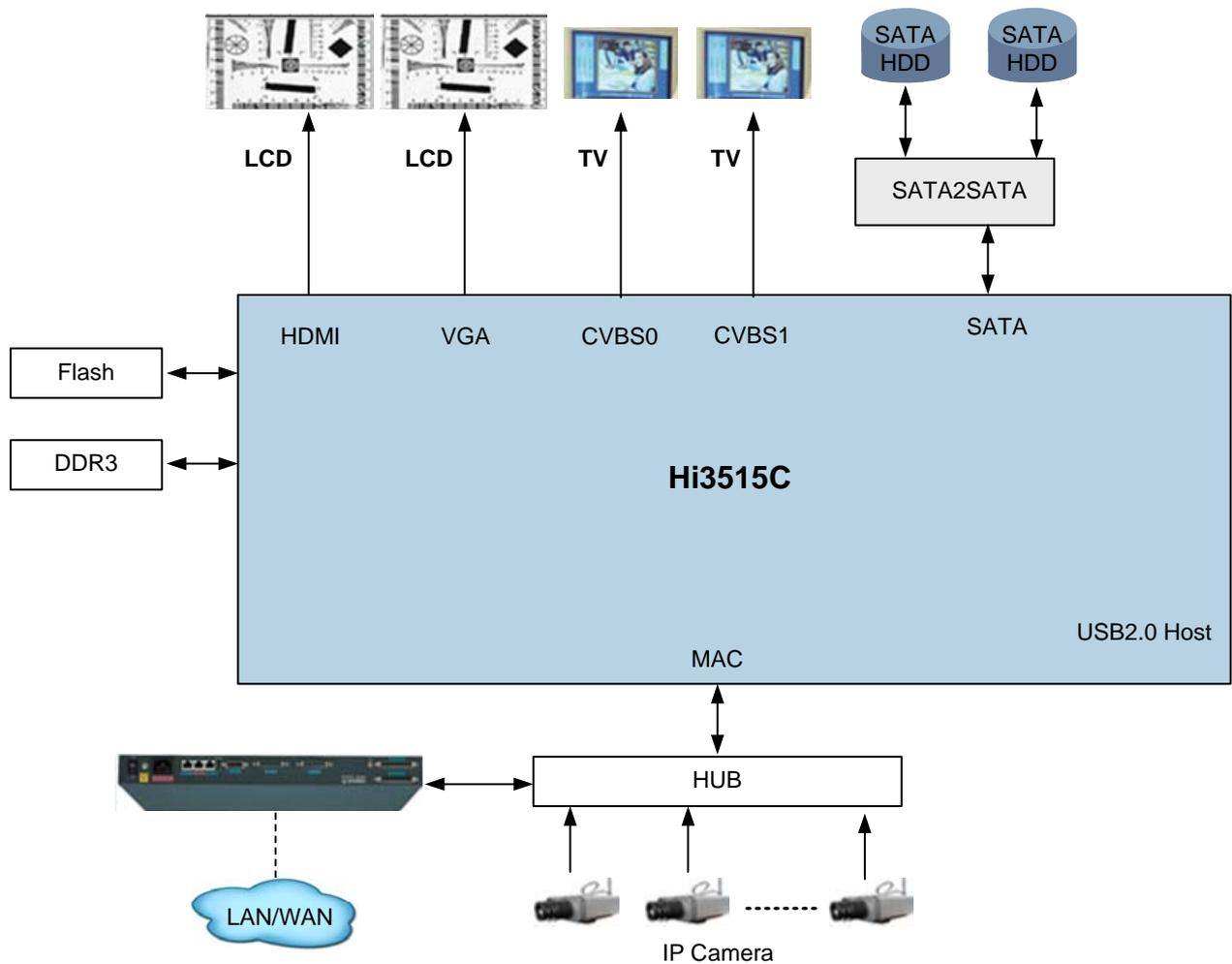


1.1.6 单片 Hi3515C NVR 解决方案

- Hi3515C 单片 4D1 NVR
 - 4D1 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出
- Hi3515C 单片 2x720p NVR
 - 2 路 720p 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出



图1-6 Hi3515C 单片 NVR 应用框图



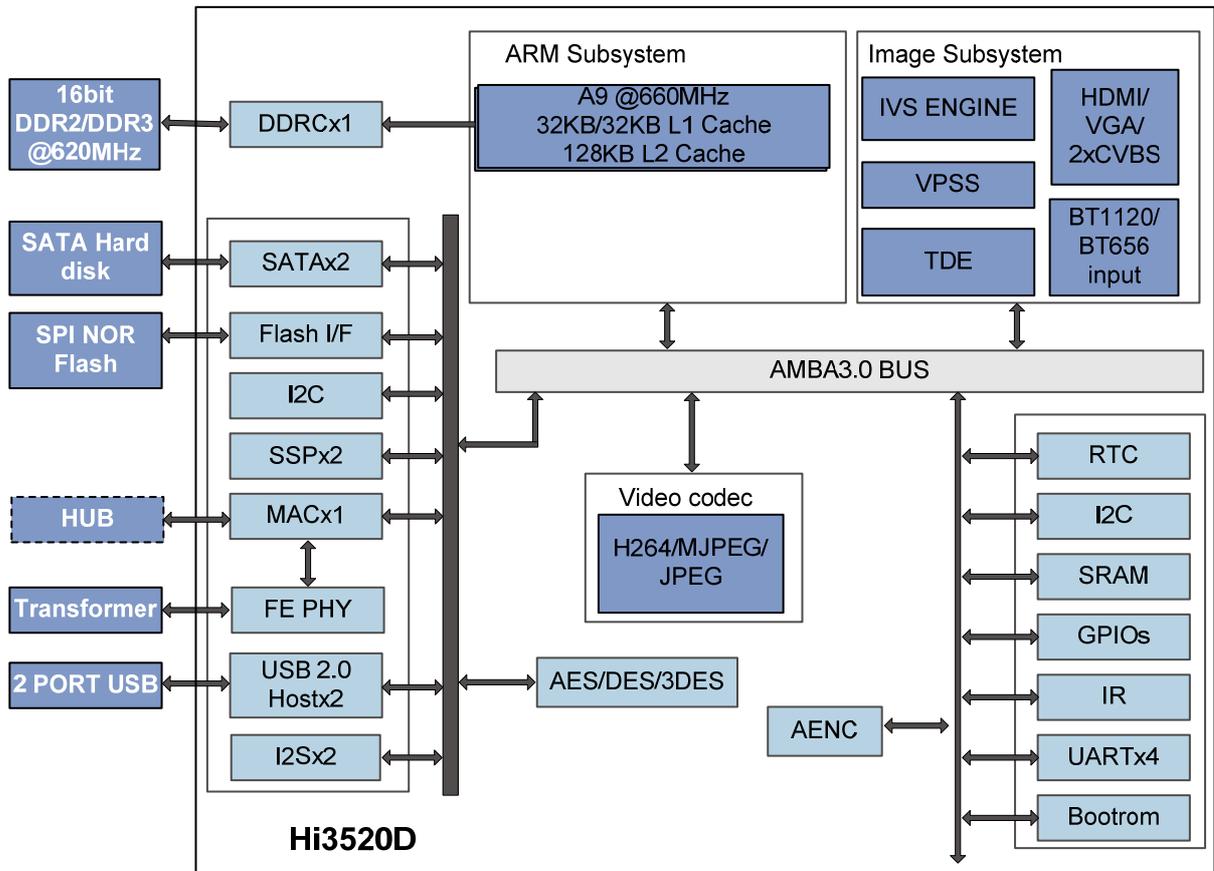
1.2 架构

1.2.1 概述

Hi3520D 芯片逻辑框图如图 1-3 所示。



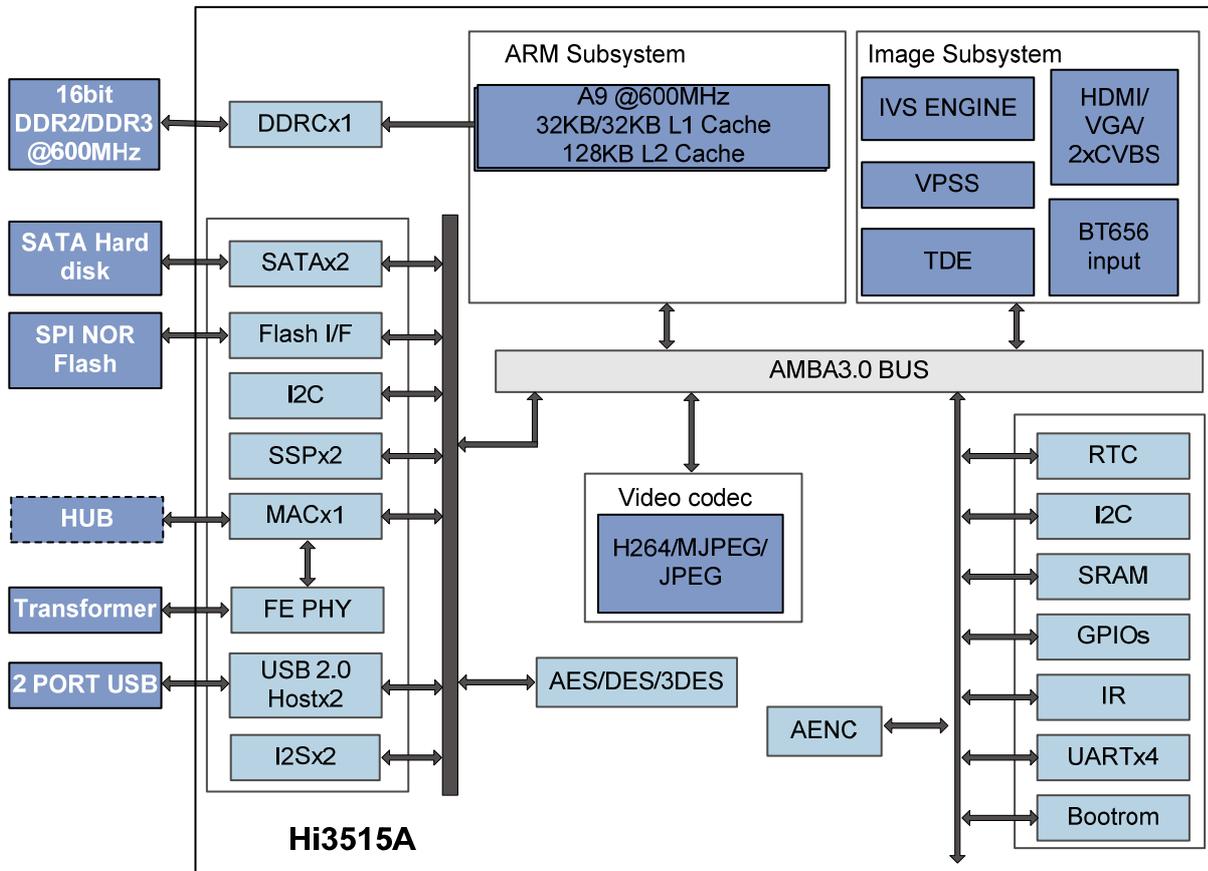
图1-7 Hi3520D 芯片逻辑框图



Hi3515A 芯片逻辑框图如图 1-6 所示。



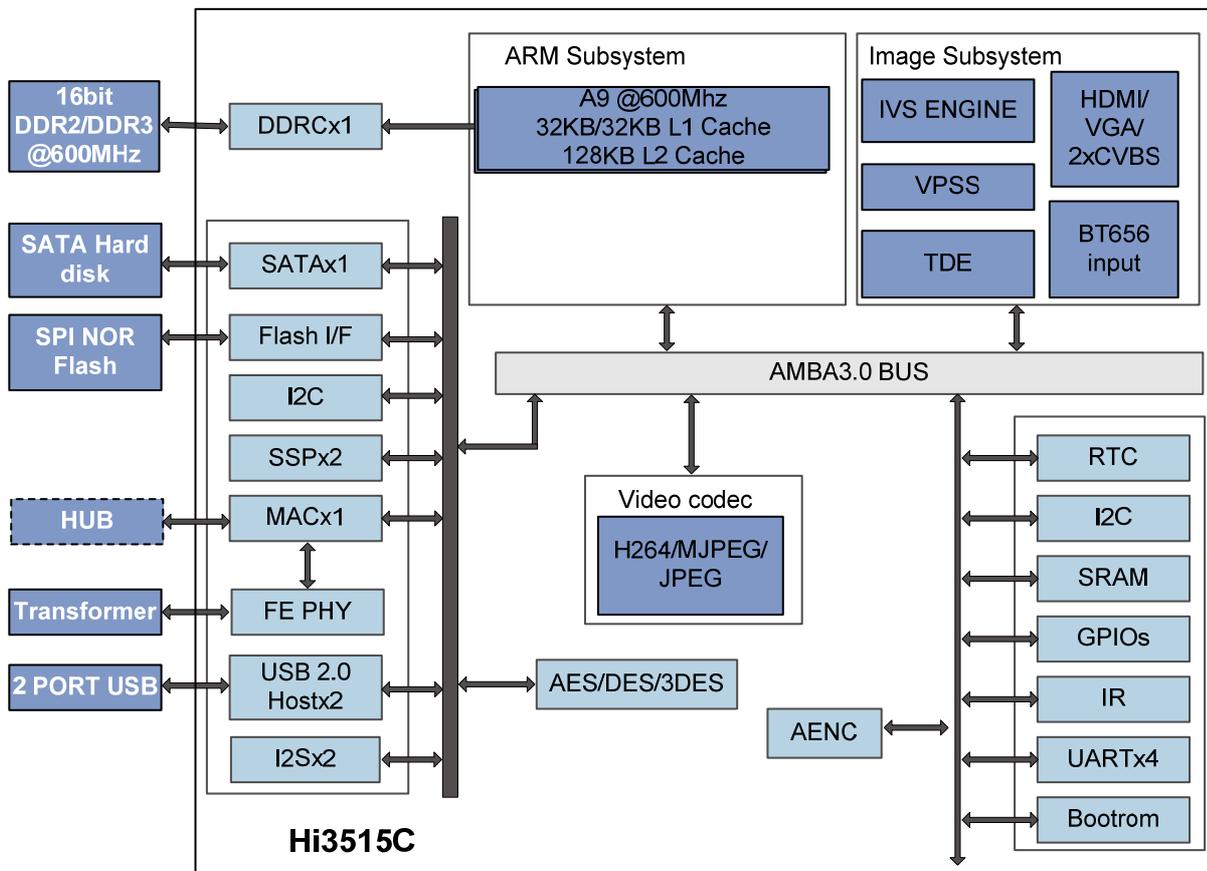
图1-8 Hi3515A 芯片逻辑框图



Hi3515C 芯片逻辑框图如图 1-9 所示。



图1-9 Hi3515C 芯片逻辑框图



1.2.2 处理器内核

ARM Cortex A9 @Max. 660MHz (Hi3515A/Hi3515C 频率为 600MHz)

- 32KB L1 I-Cache, 32KB L1 D-Cache
- 128KB L2 Cache

1.2.3 多协议视频编解码

- H.264 Baseline/Main/High Profile Level4.2 编解码
- MJPEG/JPEG Baseline 编解码

1.2.4 视频编解码处理

- Hi3520D: H.264&JPEG 多码流编解码性能
 - 8xD1@6fps+8CIF@6fps 编码+8xD1@6fps 解码+ JPEG D1 抓拍@16fps
 - 8xCIF@30fps+8QCIF@30fps 编码+8xCIF@30fps 解码+ JPEG D1 抓拍@16fps
 - 4xD1@30fps+4CIF@30fps 编码+4xD1@30fps 解码+ JPEG 抓拍 D1@8fps
 - 4x960H@30fps+4CIF@30fps 编码+1x960H@30fps 解码+ JPEG 抓拍 960H@8fps



- 8xD1@30fps H.264 解码
- 4x720P@30fps H.264 解码
- 2x1080P@30fps H.264 解码
- Hi3515A/Hi3515C: H.264&JPEG 多码流编解码性能
 - 4xD1@30fps+4CIF@30fps 编码+1xD1@30fps 解码+ JPEG 抓拍 D1@8fps
 - 4xD1@30fps H.264 解码
 - 2x720P@30fps H.264 解码
 - 1x1080P@30fps H.264 解码
- CBR/VBR 码率控制, 16Kbit/s~40Mbit/s
- 编码帧率支持 1 fps~60fps
- 支持感兴趣区域 (ROI) 编码
- 提供彩转灰编码

1.2.5 智能视频分析

集成智能分析加速引擎, 支持智能运动侦测、周界防范、视频诊断等多种智能分析应用。

1.2.6 视频与图形处理

- 支持 de-interlace、图像增强、边缘增强、3D 去噪等前、后处理
- 支持视频、图形输出抗闪烁处理
- 支持视频 1/8~16x 缩放
- 支持图形 1/2~2x 缩放
- 支持 8 个区域的编码前处理 OSD 叠加
- 视频层、图形层 Alpha 叠加

1.2.7 音频编解码

- 硬件实现多协议音频编码, 支持 ADPCM、G.711、G.726
- 软件实现多协议音频编解码

1.2.8 安全引擎

- 硬件实现 AES/DES/3DES 加解密算法

1.2.9 视频接口

- Hi3520D: 视频输入接口
 - 2xBT656@108/144MHz, 支持 8CIF/8D1/8 x 960H 实时视频输入
 - 2xBT656@148.5MHz, 支持 2x720P 实时视频输入
 - 1xBT1120@148.5MHz, 支持 1x1080p 实时视频输入
- Hi3515A/Hi3515C: 视频输入接口



- 1xBT656@108/144MHz, 支持 4CIF/4D1/4 x 960H 实时视频输入
- 1xBT656@148.5MHz, 支持 1x720P 实时视频输入
- 视频输出接口
 - 支持 HDMI 1.3+VGA +2xCVBS 多视频输出; HDMI 与 VGA 同源输出
 - HDMI/VGA 最高分辨率支持 1080P@60fps
 - 提供三层图形层, 格式为 RGB1555、RGB8888 可配置, 最大分辨率为 1920x1080
 - 提供一层硬件鼠标层, 格式为 RGB1555、RGB8888 可配置, 最大分辨率为 128x128
 - CVBS0 与高清视频 PIP 层复用

1.2.10 音频接口

2 个标准 I²S 接口

- 1 个支持输入
- 1 个支持输入输出

1.2.11 网络接口

1 个以太网接口

- 内置 FE PHY
- 可选择使用物理层的 MDI 接口或 MAC 层的 RMII 接口
- 支持 10/100Mbit/s
- 支持全双工或半双工模式

1.2.12 外围接口

- 2 个 SATA2.5 接口 (Hi3515C 只有 1 个 SATA 2.5 接口)
 - 支持 PM 功能
 - 支持 eSATA
- 4 个 UART 接口
- 1 个 SPI 接口, 支持 2 个片选
- IR 接口、I²C 接口、GPIO 接口
- 2 个 USB 2.0 HOST 接口, 支持 Hub 功能

1.2.13 存储器接口

- 1 个 16bit DDR2/3 SDRAM 控制器接口
 - 最高频率 660MHz (Hi3515C 最高频率 600MHz)
 - 支持 ODT 功能
 - 最大容量支持 512MB
 - 支持自动功耗控制



- SPI Nor Flash 接口
 - 1、2、4bit SPI Nor Flash
 - 2 个片选
 - 每个片选最大容量支持 8Gbit
- 内置 4KB bootrom 和 10KB SRAM

1.2.14 独立供电 RTC

- RTC 可通过电池独立供电
- 内置温度传感器
- 可根据温度自动修正 RTC 计数频率

1.2.15 多种启动模式可配置

- bootrom 启动
- SPI NOR flash 启动

1.2.16 SDK

- 提供基于 Linux 3.0 的开发包
- 提供 H.264 的高性能 PC 解码库

1.2.17 芯片物理规格

- 功耗
 - 2.5W 典型功耗
 - 支持多级功耗控制
- 工作电压
 - 内核电压为 1.25V
 - IO 电压为 3.3V
 - DDR2/3 SDRAM 接口电压为 1.8/1.5V
- 封装
 - RoHS, Epad-LQFP256
 - 管脚间距: 0.4mm
 - 28mmx28mm 封装大小

1.3 启动模式

支持以下两种启动方式:

- 从 bootrom 存储空间启动
- 从片外 SPI Flash 存储空间启动



1.3.1 从 bootrom 启动

从片内 bootrom 启动时，启动介质为片内 ROM，此时需要设置 BOOT_SEL（与芯片外部管脚 AIO_MCLK 复用）的上下拉电平，用于选择是否从 BOOTROM 启动；

当 BOOT_SEL=1 时，芯片从片内 ROM 启动；

芯片从片内 ROM 启动，将会启动串口通信机制，通过串口与 PC 端相应的软件建立通信，下载 boot 程序后完成启动（请参考《Fastboot 工具使用说明》）；同时，在 BOOTROM 启动时如果与串口通信超时未响应，将会从 SPI FLASH 启动。

1.3.2 从 SPI Flash 启动

直接从 SPI Flash 启动时（非上述的从 BOOTROM 跳转），外部连接的存储器为 SPI Flash，此时需要设置 BOOT_SEL（与芯片外部管脚 AIO_MCLK 复用）的上下拉电平，用于选择 Boot 存储器。

当 BOOT_SEL=0 时，芯片支持从 SFC 接口挂接的 SPI Flash 启动。

1.3.3 地址空间映射

地址空间映射如表 1-1 所示。

表1-1 地址空间映射表

起始地址	结束地址	功能	大小	说明
0xC000_0000	0xFFFF_FFFF	保留	1GB	-
0x8000_0000	0xBFFF_FFFF	DDR 外接 DDR 器件地址空间	1GB	-
0x5C00_0000	0x7FFF_FFFF	保留	576MB	-
0x5800_0000	0x5BFF_FFFF	SPI FLASH 存储空间	64MB	-
0x5400_0000	0x57FF_FFFF	保留	64MB	-
0x5000_0000	0x53FF_FFFF	保留	64MB	-
0x4000_0000	0x4FFF_FFFF	保留	256MB	-
0x3000_0000	0x3FFF_FFFF	保留	256MB	-
0x2082_0000	0x2FFF_FFFF	保留	248MB	-
0x2081_0000	0x2081_FFFF	保留	64KB	-
0x2080_0000	0x2080_FFFF	保留	64KB	-
0x2070_0000	0x207F_FFFF	L2 CACHE 空间	1MB	-
0x206E_0000	0x206F_FFFF	保留	128KB	-
0x206D_0000	0x206D_FFFF	DDR 测试模块	64KB	-



起始地址	结束地址	功能	大小	说明
0x206C_0000	0x206C_FFFF	MD 寄存器	64KB	-
0x206B_0000	0x206B_FFFF	VCMP 寄存器	64KB	-
0x2068_0000	0x206A_FFFF	保留	192KB	-
0x2067_0000	0x2067_FFFF	JPGD 寄存器	64KB	-
0x2066_0000	0x2066_FFFF	JPGE 寄存器	64KB	-
0x2065_0000	0x2065_FFFF	AIO 寄存器	64KB	-
0x2064_0000	0x2064_FFFF	VOIE 寄存器	64KB	-
0x2063_0000	0x2063_FFFF	保留	64KB	-
0x2062_0000	0x2062_FFFF	VEDU 寄存器	64KB	-
0x2061_0000	0x2061_FFFF	TDE 寄存器	64KB	-
0x2060_0000	0x2060_FFFF	VPSS 寄存器	64KB	-
0x205F_0000	0x205F_FFFF	保留	64KB	-
0x205E_0000	0x205E_FFFF	IVE 寄存器	64KB	-
0x205D_0000	0x205D_FFFF	保留	64KB	-
0x205C_0000	0x205C_FFFF	VDP 寄存器	64KB	-
0x2058_0000	0x205B_FFFF	VICAP 寄存器	256KB	-
0x2052_0000	0x2057_FFFF	保留	384KB	-
0x2040_0000	0x2051_FFFF	ARM DEBUG	1152KB	-
0x2031_0000	0x203F_FFFF	保留	896KB	-
0x2030_0000	0x2030_FFFF	ARM wdg/timer/gic 等内部寄存器	64KB	-
0x2020_0000	0x202F_FFFF	保留	1024KB	-
0x201F_0000	0x201F_FFFF	HDMI 寄存器	64KB	-
0x201E_0000	0x201E_FFFF	保留	64KB	-
0x201D_0000	0x201D_FFFF	GPIO8 寄存器	64KB	-
0x201C_0000	0x201C_FFFF	GPIO7 寄存器	64KB	-
0x201B_0000	0x201B_FFFF	GPIO6 寄存器	64KB	-
0x201A_0000	0x201A_FFFF	GPIO5 寄存器	64KB	-
0x2019_0000	0x2019_FFFF	GPIO4 寄存器	64KB	-



起始地址	结束地址	功能	大小	说明
0x2018_0000	0x2018_FFFF	GPIO3 寄存器	64KB	-
0x2017_0000	0x2017_FFFF	GPIO2 寄存器	64KB	-
0x2016_0000	0x2016_FFFF	GPIO1 寄存器	64KB	-
0x2015_0000	0x2015_FFFF	GPIO0 寄存器	64KB	-
0x2014_0000	0x2014_FFFF	TIMER3 寄存器	64KB	-
0x2013_0000	0x2013_FFFF	TIMER2 寄存器	64KB	-
0x2012_0000	0x2012_FFFF	PWM 寄存器	64KB	-
0x2011_0000	0x2011_FFFF	DDRC 寄存器	64KB	-
0x2010_0000	0x2010_FFFF	保留	64KB	-
0x200F_0000	0x200F_FFFF	IO config 寄存器	64KB	-
0x200E_0000	0x200E_FFFF	保留	64KB	-
0x200D_0000	0x200D_FFFF	I2C 寄存器	64KB	-
0x200C_0000	0x200C_FFFF	SPI 寄存器	64KB	-
0x200B_0000	0x200B_FFFF	UART3 寄存器	64KB	-
0x200A_0000	0x200A_FFFF	UART2 寄存器	64KB	-
0x2009_0000	0x2009_FFFF	UART1 寄存器	64KB	-
0x2008_0000	0x2008_FFFF	UART0 寄存器	64KB	-
0x2007_0000	0x2007_FFFF	IR 寄存器	64KB	-
0x2006_0000	0x2006_FFFF	RTC 寄存器	64KB	-
0x2005_0000	0x2005_FFFF	SYS_CTRL 寄存器	64KB	-
0x2004_0000	0x2004_FFFF	WDG 寄存器	64KB	-
0x2003_0000	0x2003_FFFF	CRG 寄存器	64KB	-
0x2002_0000	0x2002_FFFF	保留	64KB	-
0x2001_0000	0x2001_FFFF	Timer1 寄存器	64KB	-
0x2000_0000	0x2000_FFFF	Timer0 寄存器	64KB	-
0x101E_0000	0x1FFF_FFFF	保留	256MB	-
0x1016_0000	0x101D_FFFF	保留	512KB	-
0x1015_0000	0x1015_FFFF	保留	64KB	-
0x100D_0000	0x1014_FFFF	保留	512KB	-



起始地址	结束地址	功能	大小	说明
0x100C_0000	0x100C_FFFF	CIPHER 寄存器	64KB	-
0x100B_0000	0x100B_FFFF	USB EHCI 寄存器	64KB	-
0x100A_0000	0x100A_FFFF	USB OHCI 寄存器	64KB	-
0x1009_0000	0x1009_FFFF	ETH 寄存器	64KB	-
0x1008_0000	0x1008_FFFF	SATA 寄存器	64KB	-
0x1002_0000	0x1007_FFFF	保留	384KB	-
0x1001_0000	0x1001_FFFF	SPI NOR FLASH 寄存器	64KB	-
0x1000_0000	0x1000_FFFF	保留	64KB	-
0x0402_0000	0x0FFF_FFFF	保留	192MB	-
0x0401_0000	0x0401_FFFF	片内 RAM 地址空间	64KB	实际大小只有 10KB。
0x0400_0000	0x0400_FFFF	BOOTROM 地址空间	64KB	实际大小只有 4KB。
0x0000_0000	0x03FF_FFFF	地址重映射时：此地址指向启动地址空间。 地址重映射撤销后：此地址空间指向 Hi3520D 片内 RAM	64MB	地址重映射时，系统的启动地址空间依据启动模式的不同而指向不同的存储空间： 1. 当启动模式为从 BOOTROM 启动时，系统的启动地址空间为片内 BOOTROM 的存储空间。 2. 当启动模式为从 SPI FLASH 启动时，系统的启动地址空间为 SPI FLASH 存储空间。 关于启动模式的说明，请参考 1.3 “启动模式”章节。



目 录

2 硬件特性	2-1
2.1 封装与管脚分布.....	2-1
2.1.1 封装.....	2-1
2.1.2 管脚分布.....	2-4
2.2 管脚描述.....	2-10
2.2.1 管脚类型说明.....	2-10
2.2.2 管脚信息描述.....	2-11
2.3 管脚复用控制寄存器.....	2-37
2.3.1 复用寄存器概览.....	2-37
2.3.2 复用寄存器描述.....	2-39
2.4 软件复用管脚.....	2-67
2.5 硬件管脚复用.....	2-82
2.6 电性能参数.....	2-84
2.6.1 功耗参数.....	2-84
2.6.2 温度和热阻参数.....	2-84
2.6.3 工作条件.....	2-85
2.6.4 上下电顺序.....	2-86
2.6.5 DC/AC 电气参数.....	2-86
2.7 PCB 设计建议.....	2-88
2.8 接口时序.....	2-88
2.8.1 DDR 接口时序.....	2-88
2.8.2 SFC 接口时序.....	2-92
2.8.3 Ethernet MAC 接口时序.....	2-93
2.8.4 VI 接口时序.....	2-96
2.8.5 AIO 接口时序.....	2-97
2.8.6 I ² C 时序.....	2-99
2.8.7 SPI 接口时序.....	2-100



插图目录

图 2-1 芯片封装顶视图	2-2
图 2-2 芯片封装侧视图	2-2
图 2-3 Detail B 放大图	2-3
图 2-4 Detail A 放大图	2-3
图 2-5 封装参数说明	2-4
图 2-6 管脚分布图 part1	2-5
图 2-7 管脚分布图 part2	2-5
图 2-8 DDR2 中 dqs_out 相对于 dq_out 的写操作时序图	2-89
图 2-9 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图	2-89
图 2-10 DDR2 中 dqs_out 相对于 ck 的写操作时序图	2-89
图 2-11 DDR3 中 dqs_out 相对于 ck 的写操作时序图	2-90
图 2-12 命令和地址相对于 ck 的写操作时序图	2-90
图 2-13 DDRn SDRAM 输出时序图	2-91
图 2-14 SFC 输入方向时序图	2-93
图 2-15 SFC 输出方向时序图	2-93
图 2-16 RMII 接口 100Mbit/s 接收时序	2-94
图 2-17 RMII 接口 100Mbit/s 发送时序	2-94
图 2-18 RMII 接口 10Mbit/s 接收时序	2-94
图 2-19 RMII 接口 10Mbit/s 发送时序	2-94
图 2-20 RMII 接口时序参数	2-95
图 2-21 MDIO 接口读时序	2-95
图 2-22 MDIO 接口写时序	2-96
图 2-23 MDIO 接口接收时序参数	2-96
图 2-24 VI 接口时序图	2-97
图 2-25 I ² S 接口接收时序图	2-97



图 2-26 I ² S 接口发送时序图	2-97
图 2-27 PCM 接口接收时序图	2-98
图 2-28 PCM 接口发送时序图	2-98
图 2-29 I ² C 传输时序图	2-99
图 2-30 SPICK 时序	2-100
图 2-31 SPI 主模式下接口时序 (sph=0)	2-100
图 2-32 SPI 主模式下接口时序 (sph=1)	2-101



表格目录

表 2-1 管脚排列表	2-5
表 2-2 管脚 I/O 类型说明	2-10
表 2-3 AIO 管脚.....	2-11
表 2-4 电源和地管脚	2-13
表 2-5 DDR 电源和地管脚	2-13
表 2-6 DDR 管脚.....	2-14
表 2-7 FE PHY 管脚.....	2-16
表 2-8 GPIO 管脚	2-17
表 2-9 HDMI 管脚.....	2-19
表 2-10 I2C 管脚	2-20
表 2-11 IR 管脚.....	2-21
表 2-12 JTAG 管脚	2-21
表 2-13 SYS 管脚	2-22
表 2-14 RTC 管脚.....	2-22
表 2-15 SATA 管脚.....	2-23
表 2-16 SFC 管脚	2-24
表 2-17 SPI 管脚.....	2-25
表 2-18 UART 管脚.....	2-26
表 2-19 USB 管脚.....	2-27
表 2-20 VDAC 管脚	2-29
表 2-21 VGA 管脚.....	2-30
表 2-22 VI_ADC 管脚.....	2-30
表 2-23 VIU0 管脚	2-31
表 2-24 VIU1 管脚	2-34
表 2-25 OSC 管脚.....	2-36



表 2-26 EFUSE 管脚	2-37
表 2-27 PLL 管脚	2-37
表 2-28 复用寄存器概览(基地址为 0x200F_0000)	2-37
表 2-29 VI_ADC 的软件复用管脚	2-68
表 2-30 VI_ADC 的软件复用管脚描述	2-68
表 2-31 VIU0 的软件复用管脚	2-68
表 2-32 VIU0 的软件复用管脚描述	2-69
表 2-33 VIU1 的软件复用管脚	2-70
表 2-34 VIU1 的软件复用管脚描述	2-71
表 2-35 VGA 的软件复用管脚	2-72
表 2-36 VGA 的软件复用管脚描述	2-73
表 2-37 AIO 的软件复用管脚	2-73
表 2-38 AIO 的软件复用管脚描述	2-73
表 2-39 SPI 的软件复用管脚	2-74
表 2-40 SPI 的软件复用管脚描述	2-75
表 2-41 I2C 的软件复用管脚	2-75
表 2-42 I2C 的软件复用管脚描述	2-76
表 2-43 UART 的软件复用管脚	2-76
表 2-44 UART 的软件复用管脚描述	2-76
表 2-45 IR 的软件复用管脚	2-77
表 2-46 IR 的软件复用管脚描述	2-77
表 2-47 USB 的软件复用管脚	2-77
表 2-48 USB 的软件复用管脚描述	2-78
表 2-49 HDMI 的软件复用管脚	2-78
表 2-50 HDMI 的软件复用管脚描述	2-79
表 2-51 SATA 的软件复用管脚	2-79
表 2-52 SATA 的软件复用管脚描述	2-79
表 2-53 ETH 的软件复用管脚	2-80
表 2-54 ETH 的软件复用管脚描述	2-80
表 2-55 GPIO 的软件复用管脚	2-80
表 2-56 GPIO 的软件复用管脚描述	2-81
表 2-57 SFC 硬件管脚复用	2-82



表 2-58 与 SFC 复用的管脚描述.....	2-83
表 2-59 JTAG 硬件管脚复用	2-83
表 2-60 与 JTAG 复用的管脚描述	2-83
表 2-61 Hi3520D 功耗参数.....	2-84
表 2-62 Hi3515A 功耗参数.....	2-84
表 2-64 工作条件	2-85
表 2-65 DC 电气参数表 (DVDD33=3.3V, 部分接口兼容 5V 输入)	2-86
表 2-66 DC 电气参数表 (DDR_VDDQ =1.8V, DDR2 SSTL18 模式)	2-87
表 2-67 AC 电气参数表 (DDR_VDDQ =1.8V, DDR2 模式)	2-87
表 2-68 DC 电气参数表 (DDR_VDDQ =1.5V, DDR3 模式)	2-88
表 2-69 AC 电气参数表 (DDR_VDDQ =1.5V, DDR3 模式)	2-88
表 2-70 DDR2 时钟参数表	2-91
表 2-71 DDR2 SDRAM 存储器参数表 (DDR2-800)	2-91
表 2-72 DDR3 时钟参数表	2-92
表 2-73 DDR3 SDRAM 存储器参数表 (DDR3-1066)	2-92
表 2-74 SFC 输入方向时序参数表.....	2-93
表 2-75 SFC 输出方向时序参数表.....	2-93
表 2-76 RMII 接口时序参数说明.....	2-95
表 2-77 MDIO 接口时序参数	2-96
表 2-78 VI 接口时序参数表	2-97
表 2-79 I ² S 接口时序参数表.....	2-98
表 2-80 PCM 接口时序参数表	2-98
表 2-81 I ² C 接口时序参数表.....	2-99
表 2-82 SPI 接口时序参数.....	2-101



2 硬件特性

2.1 封装与管脚分布

2.1.1 封装

Hi3520D 芯片采用 Epad-LQFP256 封装，封装尺寸为 28mmX28mm，管脚间距为 0.4mm，管脚总数为 256 个，Epad 大小 7.70mmX7.70mm。详细封装请参见图 2-1~图 2-4，封装尺寸参数请参见图 2-5。



图2-1 芯片封装顶视图

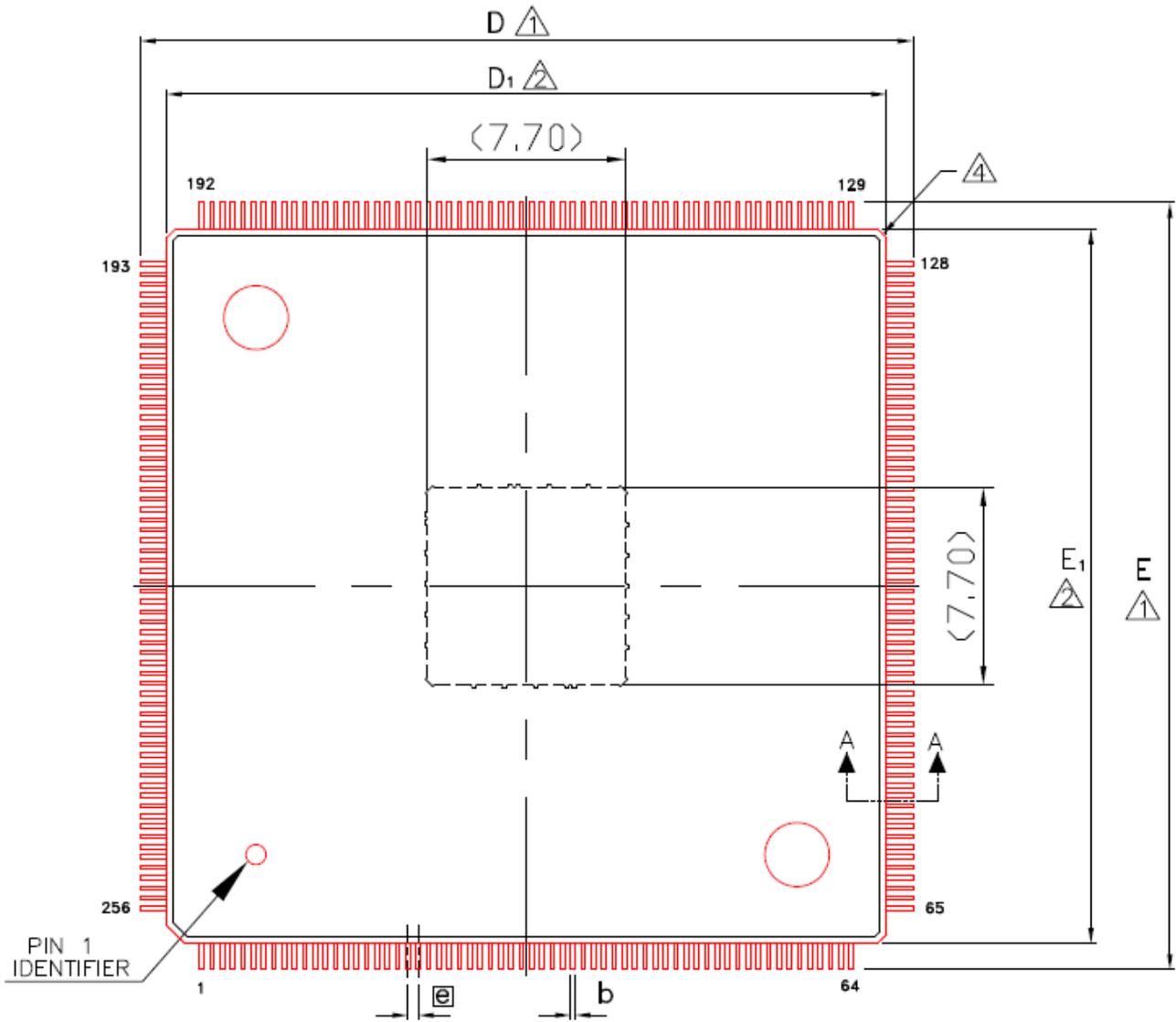


图2-2 芯片封装侧视图





图2-3 Detail B 放大图

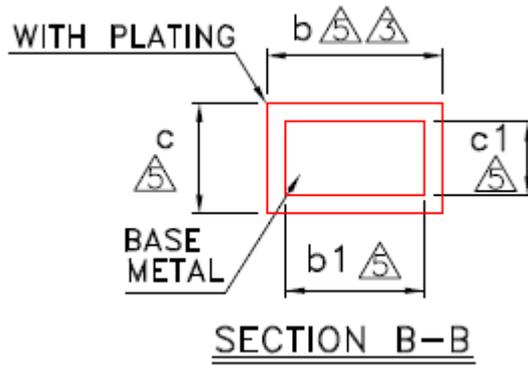


图2-4 Detail A 放大图

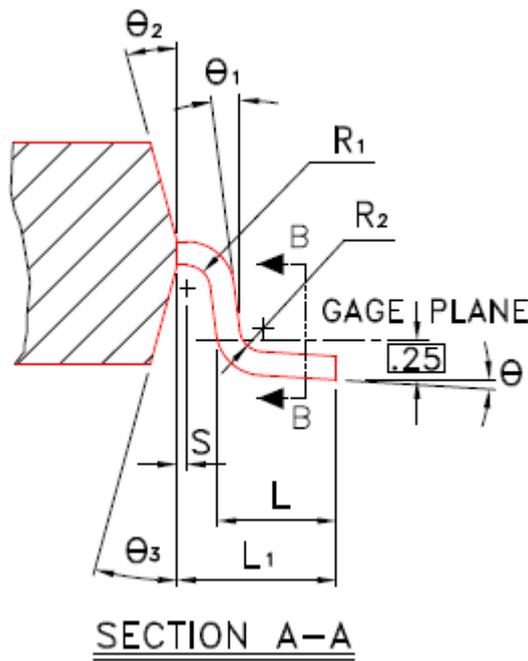




图2-5 封装参数说明

Symbol	Dimension in mm			Dimension in inch		
	Min	Nom	Max	Min	Nom	Max
A	—	—	1.60	—	—	0.063
A ₁	0.025	—	0.127	0.001	—	0.005
A ₂	1.35	1.40	1.45	0.053	0.055	0.057
b	0.13	0.18	0.23	0.005	0.007	0.009
b ₁	0.13	0.16	0.19	0.005	0.006	0.007
c	0.12	—	0.20	0.005	—	0.008
c ₁	0.13 REF			0.005 REF		
D	29.85	30.00	30.15	1.175	1.181	1.187
D ₁	27.90	28.00	28.10	1.098	1.102	1.106
E	29.85	30.00	30.15	1.175	1.181	1.187
E ₁	27.90	28.00	28.10	1.098	1.102	1.106
ⓐ	0.40 BSC			0.016 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
L ₁	1.00 REF			0.039 REF		
R ₁	0.15 REF			0.006 REF		
R ₂	0.15 REF			0.006 REF		
S	0.21 REF			0.008 REF		
θ	0°	3.5°	7°	0°	3.5°	7°
θ ₁	7° REF			7° REF		
θ ₂	12° REF			12° REF		
θ ₃	12° REF			12° REF		
ccc	0.08			0.003		

2.1.2 管脚分布

管脚分布图

Hi3520D 管脚分布如图 2-6 和图 2-7 所示。



图2-6 管脚分布图 part1

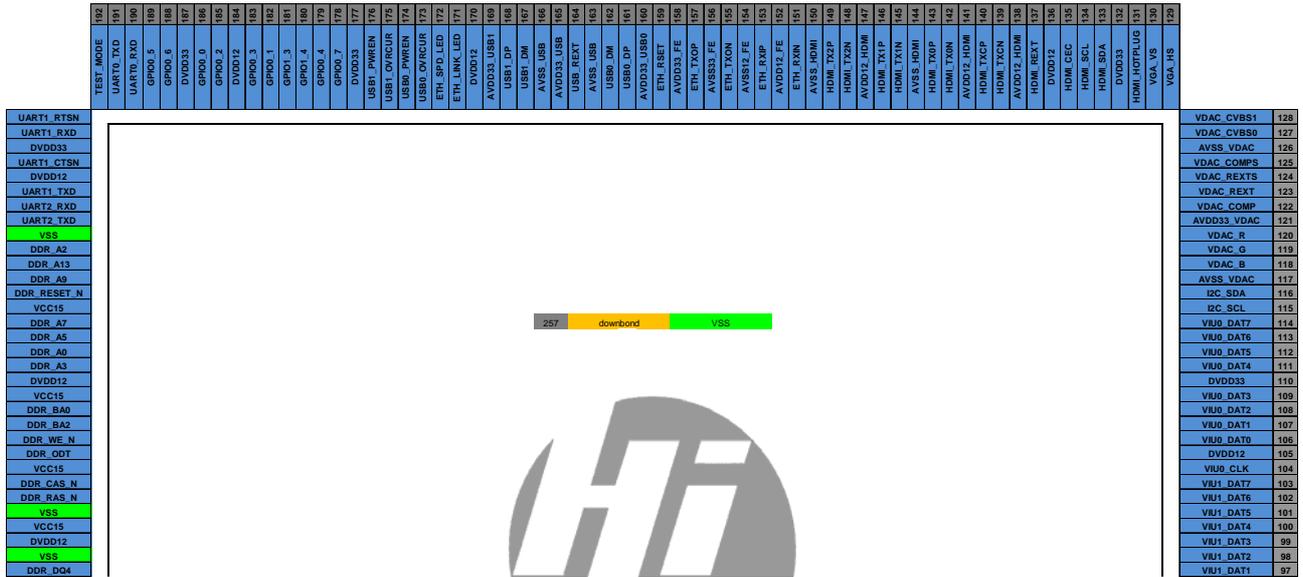


图2-7 管脚分布图 part2



管脚排列表

Hi3520D 的管脚按位置排列如表 2-1 所示。

表2-1 管脚排列表

位置	管脚名称	位置	管脚名称
1	DVDD12	129	VGA_HS



位置	管脚名称	位置	管脚名称
2	VSS	130	VGA_VS
3	DDR_CLK1_P	131	HDMI_HOTPLUG
4	DDR_CLK1_N	132	DVDD33
5	VCC15	133	HDMI_SDA
6	DDR_CKE	134	HDMI_SCL
7	DDR_A10	135	HDMI_CEC
8	DDR_BA1	136	DVDD12
9	DDR_A12	137	HDMI_REXT
10	DDR_A4	138	AVDD12_HDMI
11	VCC15	139	HDMI_TXCN
12	DDR_A6	140	HDMI_TXCP
13	DVDD12	141	AVDD12_HDMI
14	DDR_A8	142	HDMI_TX0N
15	DDR_A11	143	HDMI_TX0P
16	DDR_A14	144	AVSS_HDMI
17	DDR_A1	145	HDMI_TX1N
18	VSS	146	HDMI_TX1P
19	JTAG_EN	147	AVDD12_HDMI
20	JTAG_TDO	148	HDMI_TX2N
21	JTAG_TCK	149	HDMI_TX2P
22	JTAG_TMS	150	AVSS_HDMI
23	JTAG_TDI	151	ETH_RXIN
24	DVDD33	152	AVDD12_FE
25	JTAG_TRSTN	153	ETH_RXIP
26	DVDD12	154	AVSS12_FE
27	GPIO1_0	155	ETH_TXON
28	GPIO1_1	156	AVSS33_FE
29	IR_IN	157	ETH_TXOP
30	SATA_LED_N0	158	AVDD33_FE
31	SATA_LED_N1	159	ETH_RSET
32	AVDD12_SATA	160	AVDD33_USB0



位置	管脚名称	位置	管脚名称
33	AVDD33_SATA	161	USB0_DP
34	SATA_TX0P	162	USB0_DM
35	SATA_TX0M	163	AVSS_USB
36	VSS	164	USB_REXT
37	SATA_RX0M	165	AVDD33_USB
38	SATA_RX0P	166	AVSS_USB
39	VSS	167	USB1_DM
40	SATA_RX1P	168	USB1_DP
41	SATA_RX1M	169	AVDD33_USB1
42	VSS	170	DVDD12
43	SATA_TX1M	171	ETH_LED1
44	SATA_TX1P	172	ETH_LED0
45	AVDD33_SATA	173	USB0_OVRCUR
46	AVDD12_SATA	174	USB0_PWREN
47	SATA_REXT	175	USB1_OVRCUR
48	VSS	176	USB1_PWREN
49	AVDD33_SATA	177	DVDD33
50	AVDD12_SATA	178	GPIO0_7
51	AVDD12_SATA	179	GPIO0_4
52	AVDD33_SATA	180	GPIO1_4
53	SFC_WP_IO2	181	GPIO1_3
54	DVDD33	182	GPIO0_1
55	SFC_CS0N	183	GPIO0_3
56	DVDD12	184	DVDD12
57	SFC_DIO	185	GPIO0_2
58	SFC_CLK	186	GPIO0_0
59	SFC_HOLD_IO3	187	DVDD33
60	SFC_CS1N	188	GPIO0_6
61	SFC_DOI	189	GPIO0_5
62	DVDD33	190	UART0_RXD
63	WDG_RSTN	191	UART0_TXD



位置	管脚名称	位置	管脚名称
64	RSTN	192	TEST_MODE
65	SPI_CSN1	193	UART1_RTSN
66	DVDD12	194	UART1_RXD
67	SPI_CSN0	195	DVDD33
68	SPI_SCLK	196	UART1_CTSN
69	SPI_SDO	197	DVDD12
70	SPI_SDI	198	UART1_TXD
71	DVDD33	199	UART2_RXD
72	GPIO1_2	200	UART2_TXD
73	RTC_XOUT	201	VSS
74	RTC_XIN	202	DDR_A2
75	AVDD_BAT	203	DDR_A13
76	AVDD33_RTC	204	DDR_A9
77	AVSS_RTC	205	DDR_RESET_N
78	AVDD12_PLL	206	VCC15
79	AVSS_PLL	207	DDR_A7
80	AVDD33_PLL	208	DDR_A5
81	XIN	209	DDR_A0
82	XOUT	210	DDR_A3
83	DVDD33	211	DVDD12
84	AVDD_EFUSE	212	VCC15
85	AIO_SD_TX	213	DDR_BA0
86	AIO_WS_TX	214	DDR_BA2
87	AIO_BCLK_TX	215	DDR_WE_N
88	AIO_MCLK	216	DDR_ODT
89	DVDD12	217	VCC15
90	AIO_SD_RX	218	DDR_CAS_N
91	AIO_WS_RX	219	DDR_RAS_N
92	AIO_BCLK_RX	220	VSS
93	VI_ADC_CLK	221	VCC15
94	VIU1_CLK	222	DVDD12



位置	管脚名称	位置	管脚名称
95	DVDD33	223	VSS
96	VIU1_DAT0	224	DDR_DQ4
97	VIU1_DAT1	225	DDR_DQ6
98	VIU1_DAT2	226	VCC15
99	VIU1_DAT3	227	DDR_DQ2
100	VIU1_DAT4	228	DDR_DQ0
101	VIU1_DAT5	229	VCC15
102	VIU1_DAT6	230	DDR_DM1
103	VIU1_DAT7	231	DDR_DQ11
104	VIU0_CLK	232	DDR_DQ13
105	DVDD12	233	VCC15
106	VIU0_DAT0	234	DDR_DQ15
107	VIU0_DAT1	235	DDR_DQ9
108	VIU0_DAT2	236	DVDD12
109	VIU0_DAT3	237	DDR_DQS0_P
110	DVDD33	238	DDR_DQS0_N
111	VIU0_DAT4	239	VSS
112	VIU0_DAT5	240	DDR_DQS1_P
113	VIU0_DAT6	241	DDR_DQS1_N
114	VIU0_DAT7	242	VCC15
115	I2C_SCL	243	DDR_DQ12
116	I2C_SDA	244	DDR_DQ8
117	AVSS_VDAC	245	VCC15
118	VDAC_B	246	DDR_DQ14
119	VDAC_G	247	DDR_DQ10
120	VDAC_R	248	VSS
121	AVDD33_VDAC	249	DDR_DM0
122	VDAC_COMP	250	DDR_DQ1
123	VDAC_REXT	251	VCC15
124	VDAC_REXTS	252	DDR_DQ3
125	VDAC_COMPS	253	DDR_DQ7



位置	管脚名称	位置	管脚名称
126	AVSS_VDAC	254	VCC15
127	VDAC_CVBS0	255	DDR_DQ5
128	VDAC_CVBS1	256	VSS
		257(Epad)	VSS

2.2 管脚描述

2.2.1 管脚类型说明

管脚 I/O 类型说明如表 2-2 所示。

表2-2 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I _{PD}	输入信号，内部下拉。
I _{PU}	输入信号，内部上拉。
I _S	输入信号，带施密特触发器。
I _{SPD}	输入信号，带施密特触发器，内部下拉。
I _{SPU}	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O _{OD}	输出，漏极开路。
I/O	双向输入/输出信号。
I _{PD} /O	双向，输入下拉。
I _{PU} /O	双向，输入上拉。
I _{SPU} /O	双向，输入上拉，带施密特触发器。
I _{PD} /O _{OD}	双向，输入下拉，输出漏极开路。
I _{PU} /O _{OD}	双向，输入上拉，输出漏极开路。
I _S /O	双向，输入带施密特触发器。
I _S /O _{OD}	双向，输入带施密特触发器，输出漏极开路。
CIN	Crystal Oscillator，晶振输入。



I/O	说明
COUT	Crystal Oscillator, 晶振输出。
P	电源。
G	地。

2.2.2 管脚信息描述

AIO 管脚

AIO 管脚如表 2-3 所示。

表2-3 AIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
92	AIO_BCLK_RX	I/O	可配置, 请参考系统控制寄存器 PERIPHCTRL28	3.3	功能 0: AIO_BCLK_RX I ² S 或 PCM 接收时钟 功能 1: GPIO7_4 通用输入输出
87	AIO_BCLK_TX	I/O	可配置, 请参考系统控制寄存器 PERIPHCTRL28	3.3	功能 0: AIO_BCLK_TX I ² S 或 PCM 发送时钟 功能 1: GPIO7_1 通用输入输出
88	AIO_MCLK	I _{PD} /O	可配置, 请参考系统控制寄存器 PERIPHCTRL28	3.3	功能 0: AIO_MCLK I ² S 或 PCM 接口主时钟, 可以作为音频 CODEC 的工作时钟 功能 1: GPIO7_0 通用输入输出 功能 2: BOOT_SEL 启动空间选择: 0: SPI FLASH 存储空间 1: BOOTROM
90	AIO_SD_RX	I/O	4	3.3	功能 0: AIO_SD_RX



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					I ² S 或 PCM 接口数据输入。 功能 1: GPIO7_6 通用输入输出
85	AIO_SD_TX	I _{PD} /O	4	3.3	功能 0: AIO_SD_TX I ² S 或 PCM 接口数据输出。 功能 1: GPIO7_3 通用输入输出 功能 2: JTAG_SEL JTAG 功能选择: 0: A9 1: SATA
91	AIO_WS_RX	I/O	可配置, 请参考系统控制寄存器 PERIPHCTRL28	3.3	功能 0: AIO_WS_RX I ² S 接收左右声道选择信号, 或 PCM 接收帧同步信号 功能 1: GPIO7_5 通用输入输出
86	AIO_WS_TX	I/O	可配置, 请参考系统控制寄存器 PERIPHCTRL28	3.3	功能 0: AIO_WS_TX I ² S 发送左右声道选择信号, 或 PCM 发送帧同步信号 功能 1: GPIO7_2 通用输入输出

电源和地管脚

电源和地管脚如表 2-4 所示。



表2-4 电源和地管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
1、13、26、 56、66、 89、105、 136、170、 184、197、 211、222、 236	DVDD12	P	-	1.25	芯片 core 电源
24、54、 62、71、 83、95、 110、132、 177、187、 195	DVDD33	P	-	3.3	芯片 I/O 数字电源
257	VSS	G	-	-	芯片地

DDR 管脚

DDR 电源和地管脚如表 2-5 所示。

表2-5 DDR 电源和地管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
5、11、206、 212、217、 221、226、 229、233、 242、245、 251、254	VCC15	P	-	1.8/1.5	DDR IO 电源
2、18、36、 39、42、48、 201、220、 223、239、 248、256	VSS	G	-	-	DDR IO 地

DDR 信号管脚如表 2-6 所示。



表2-6 DDR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
209	DDR_A0	O	-	1.8/1.5	DDR SDRAM 地址信号 0
17	DDR_A1	O	-	1.8/1.5	DDR SDRAM 地址信号 1
202	DDR_A2	O	-	1.8/1.5	DDR SDRAM 地址信号 2
210	DDR_A3	O	-	1.8/1.5	DDR SDRAM 地址信号 3
10	DDR_A4	O	-	1.8/1.5	DDR SDRAM 地址信号 4
208	DDR_A5	O	-	1.8/1.5	DDR SDRAM 地址信号 5
12	DDR_A6	O	-	1.8/1.5	DDR SDRAM 地址信号 6
207	DDR_A7	O	-	1.8/1.5	DDR SDRAM 地址信号 7
14	DDR_A8	O	-	1.8/1.5	DDR SDRAM 地址信号 8
204	DDR_A9	O	-	1.8/1.5	DDR SDRAM 地址信号 9
7	DDR_A10	O	-	1.8/1.5	DDR SDRAM 地址信号 10
15	DDR_A11	O	-	1.8/1.5	DDR SDRAM 地址信号 11
9	DDR_A12	O	-	1.8/1.5	DDR SDRAM 地址信号 12
203	DDR_A13	O	-	1.8/1.5	DDR SDRAM 地址信号 13
16	DDR_A14	O	-	1.8/1.5	DDR SDRAM 地址信号 14
213	DDR_BA0	O	-	1.8/1.5	DDR SDRAM Bank 地址信号 0
8	DDR_BA1	O	-	1.8/1.5	DDR SDRAM Bank 地址信号 1
214	DDR_BA2	O	-	1.8/1.5	DDR SDRAM Bank 地址信号 2
218	DDR_CAS_N	O	-	1.8/1.5	DDR SDRAM 列地址选择
6	DDR_CKE	O	-	1.8/1.5	DDR SDRAM 时钟使能
4	DDR_CLK1_N	O	-	1.8/1.5	DDR SDRAM 反向差分时钟 1
3	DDR_CLK1_P	O	-	1.8/1.5	DDR SDRAM 正向差分时钟 1



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
249	DDR_DM0	I/O	-	1.8/1.5	DDR SDRAM 数据屏蔽信号 0
230	DDR_DM1	I/O	-	1.8/1.5	DDR SDRAM 数据屏蔽信号 1
228	DDR_DQ0	I/O	-	1.8/1.5	DDR SDRAM 数据线 0
250	DDR_DQ1	I/O	-	1.8/1.5	DDR SDRAM 数据线 1
227	DDR_DQ2	I/O	-	1.8/1.5	DDR SDRAM 数据线 2
252	DDR_DQ3	I/O	-	1.8/1.5	DDR SDRAM 数据线 3
224	DDR_DQ4	I/O	-	1.8/1.5	DDR SDRAM 数据线 4
255	DDR_DQ5	I/O	-	1.8/1.5	DDR SDRAM 数据线 5
225	DDR_DQ6	I/O	-	1.8/1.5	DDR SDRAM 数据线 6
253	DDR_DQ7	I/O	-	1.8/1.5	DDR SDRAM 数据线 7
244	DDR_DQ8	I/O	-	1.8/1.5	DDR SDRAM 数据线 8
235	DDR_DQ9	I/O	-	1.8/1.5	DDR SDRAM 数据线 9
247	DDR_DQ10	I/O	-	1.8/1.5	DDR SDRAM 数据线 10
231	DDR_DQ11	I/O	-	1.8/1.5	DDR SDRAM 数据线 11
243	DDR_DQ12	I/O	-	1.8/1.5	DDR SDRAM 数据线 12
232	DDR_DQ13	I/O	-	1.8/1.5	DDR SDRAM 数据线 13
246	DDR_DQ14	I/O	-	1.8/1.5	DDR SDRAM 数据线 14
234	DDR_DQ15	I/O	-	1.8/1.5	DDR SDRAM 数据线 15
238	DDR_DQS0_N	I/O	-	1.8/1.5	DDR 反向 DQS Strobe 信号 0, 对应 DQ[7:0]
237	DDR_DQS0_P	I/O	-	1.8/1.5	DDR 正向 DQS Strobe 信号 0, 对应 DQ[7:0]
241	DDR_DQS1_N	I/O	-	1.8/1.5	DDR 反向 DQS Strobe 信号 1, 对应 DQ[15:8]
240	DDR_DQS1_P	I/O	-	1.8/1.5	DDR 正向 DQS Strobe 信号 1, 对应 DQ[15:8]



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
216	DDR_ODT	-	-	1.8/1.5	DDR 外接匹配参考电阻
219	DDR_RAS_N	O	-	1.8/1.5	DDR SDRAM 行地址选择
205	DDR_RESET_N	O	-	1.8/1.5	DDR3 SDRAM 复位信号
215	DDR_WE_N	O	-	1.8/1.5	DDR SDRAM 写使能信号

FE PHY 管脚

FE PHY 管脚如表 2-7 所示。

表2-7 FE PHY 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
171	ETH_LED1	I/O	4	3.3	功能 0: GPIO5_6 通用输入输出 功能 1: ETH_LED1 fephy 状态 LED1, 初始配置下, 当连接成功时此灯会长亮。(注意: 此 led 的功能可以用户自定义, 具体操作请参考 FEPHY 描述章节)
172	ETH_LED0	I/O	4	3.3	功能 0: GPIO5_7 通用输入输出 功能 1: ETH_LED0 fephy 状态 LED0, 初始配置下, 当数据传输时此灯会闪烁。(注意: 此 led 的功能可以用户自定义, 具体操作请参考 FEPHY 描述章节)
152	AVDD12_FE	P	-	1.25	FE_PHY 电源
154	AVSS12_FE	G	-	-	FE_PHY 地
158	AVDD33_FE	P	-	3.3	FE_PHY 电源
156	AVSS33_FE	G	-	-	FE_PHY 地



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
159	ETH_RSET	I/O	-	-	内部基准参考电压，该引脚需要外接 1%精度的 2.49KΩ 电阻到地
151	ETH_RXIN	I/O	-	3.3	差分接收信号。
153	ETH_RXIP	I/O	-	3.3	差分接收信号。
155	ETH_TXON	I/O	-	3.3	差分发送信号。
157	ETH_TXOP	I/O	-	3.3	差分发送信号。

GPIO 管脚

GPIO 管脚如表 2-8 所示。

表2-8 GPIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
186	GPIO0_0	I/O	12	3.3	功能 0: GPIO0_0 通用输入输出 功能 1: RMI_CLK RMI 接口时钟
182	GPIO0_1	I/O	8	3.3	功能 0: GPIO0_1 通用输入输出 功能 1: RMI_TX_EN RMI 发送使能，表示当该信号有效时发送的数据是有效的
185	GPIO0_2	I/O	8	3.3	功能 0: GPIO0_2 通用输入输出 功能 1: RMI_TXD0 RMI 发送数据
183	GPIO0_3	I/O	8	3.3	功能 0: GPIO0_3 通用输入输出 功能 1: RMI_TXD1 RMI 发送数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
179	GPIO0_4	I/O	4	3.3	功能 0: GPIO0_4 通用输入输出 功能 1: RMIICRS_DV RMIICRS 接收数据有效及载体检测
189	GPIO0_5	I/O	4	3.3	功能 0: GPIO0_5 通用输入输出 功能 1: RMIIRXD0 RMIICRS 接收数据
188	GPIO0_6	I/O	4	3.3	功能 0: GPIO0_6 通用输入输出 功能 1: RMIIRXD1 RMIICRS 接收数据
178	GPIO0_7	I/O	4	3.3	功能 0: GPIO0_7 通用输入输出 功能 1: RMIIRXER RMIICRS 接收错误, 指示接收的数据是错误的, mac 可以将其丢弃
27	GPIO1_0	I	4	3.3/5.0	功能 0: GPIO1_0 通用输入输出 功能 1: UART3_TXD UART3 数据发送
28	GPIO1_1	I _{PU}	4	3.3/5.0	功能 0: GPIO1_1 通用输入输出 功能 1: UART3_RXD UART3 数据接收
72	GPIO1_2	I/O	4	3.3	功能 0: GPIO1_2 通用输入输出 功能 1: TEMPER_DQ 温度采集, 用于与外部温度采集芯片通信。
181	GPIO1_3	I/O	8	3.3	功能 0: GPIO1_3 通用输入输出 功能 1: MDCK



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					MDIO0 接口时钟输出
180	GPIO1_4	I/O	4	3.3	功能 0: GPIO1_4 通用输入输出 功能 1: MDIO MDIO0 接口的输入/输出信号

HDMI 管脚

HDMI 管脚如表 2-9 所示。

表2-9 HDMI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
138、141、147	AVDD12_HDMI	P	-	1.25	HDMI 模拟电源
144、150	AVSS_HDMI	G	-	-	HDMI 模拟地
135	HDMI_CEC	I _{PU}	4	3.3/5.0	功能 0: GPIO6_5 通用输入输出 功能 1: HDMI_CEC HDMI 接口的控制通道信号
131	HDMI_HOTPLUG	I _{PU}	4	3.3/5.0	功能 0: GPIO6_4 通用输入输出 功能 1: HDMI_HOTPLUG HDMI 接口的热插拔信号
137	HDMI_REXT	I/O	-	-	外接电阻 6.67KΩ 到地,详细请参见《Hi3520D 硬件设计用户指南》。
134	HDMI_SCL	I _{PU}	4	3.3/5.0	功能 0: GPIO6_7 通用输入输出 功能 1: HDMI_SCL HDMI I2C 总线时钟, OD 输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
133	HDMI_SDA	I _{PU}	4	3.3/5.0	功能 0: GPIO6_6 通用输入输出 功能 1: HDMI_SDA HDMI I2C 总线数据/地址, OD 输出
142	HDMI_TX0N	O	-	1.2	通道 0 串行差分信号
143	HDMI_TX0P	O	-	1.2	通道 0 串行差分信号
145	HDMI_TX1N	O	-	1.2	通道 1 串行差分信号
146	HDMI_TX1P	O	-	1.2	通道 1 串行差分信号
148	HDMI_TX2N	O	-	1.2	通道 2 串行差分信号
149	HDMI_TX2P	O	-	1.2	通道 2 串行差分信号
139	HDMI_TXCN	O	-	1.2	差分像素时钟
140	HDMI_TXCP	O	-	1.2	差分像素时钟

I2C 管脚

I2C 管脚如表 2-10 所示。

表2-10 I2C 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
115	I2C_SCL	I _{PU}	4	3.3/5.0	功能 0: GPIO1_7 通用输入输出 功能 1: I2C_SCL I2C 总线时钟, OD 输出
116	I2C_SDA	I _{PU}	4	3.3/5.0	功能 0: GPIO1_6 通用输入输出 功能 1: I2C_SDA I2C 总线数据/地址, OD 输出



IR 管脚

IR 管脚如表 2-11 所示。

表2-11 IR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
29	IR_IN	I _{PU}	4	3.3/5.0	功能 0: GPIO7_7 通用输入输出 功能 1: IR_IN 红外输入

JTAG 管脚

JTAG 管脚如表 2-12 所示。

表2-12 JTAG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
19	JTAG_EN	I _{PD}	-	3.3	JTAG 管脚使能: 0: 不使能 JTAG。 1: 使能 JTAG。
21	JTAG_TCK	I _{PD} /O	4	3.3	功能 0: GPIO2_4 通用输入输出 功能 1: JTAG_TCK JTAG 时钟输入
23	JTAG_TDI	I _{PU} /O	4	3.3	功能 0: GPIO2_7 通用输入输出 功能 1: JTAG_TDI JTAG 数据输入
20	JTAG_TDO	I/O	4	3.3	功能 0: GPIO2_6 通用输入输出 功能 1: JTAG_TDO JTAG 数据输出
22	JTAG_TMS	I _{PU} /O	4	3.3	功能 0: GPIO2_5 通用输入输出 功能 1: JTAG_TMS



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					JTAG 模式选择输入,或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制
25	JTAG_TRSTN	I _{PD} /O	4	3.3	功能 0: GPIO2_3 通用输入输出 功能 1: JTAG_TRSTN JTAG 复位输入

SYS 管脚

SYS 管脚如表 2-13 所示。

表2-13 SYS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
64	RSTN	I _{PU}	-	3.3	系统上电复位信号输入，低电平有效
192	TEST_MODE	I _{PD}	-	3.3	功能模式和测试模式选择： 0: 功能模式 1: 测试模式
63	WDG_RSTN	I/O	4	3.3	看门狗复位输出，低电平有效，OD 输出

RTC 管脚

RTC 管脚如表 2-14 所示。

表2-14 RTC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
75	AVDD_BAT	P	-	3.3	RTC 电池电源
76	AVDD33_RTC	P	-	3.3	RTC 模拟电源
77	AVSS_RTC	G	-	-	RTC 地



74	RTC_XIN	I	-	3.3	RTC 晶体输入
73	RTC_XOUT	O	-	3.3	RTC 晶体输出

SATA 管脚

SATA 管脚如表 2-15 所示。

表2-15 SATA 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
32、 46、 50、51	AVDD12_SATA	P	-	1.25	SATA 电源
33、 45、 49、52	AVDD33_SATA	P	-	3.3	SATA 电源
36、 39、 42、48	VSS	G	-	-	SATA 地
30	SATA_LED_N0	I _{PU}	4	3.3/5.0	功能 0: GPIO2_1 通用输入输出 功能 1: SATA_LED_N0 SATA0 端口 LED 指示, 低有效
31	SATA_LED_N1	I _{PU}	4	3.3/5.0	功能 0: GPIO2_2 通用输入输出 功能 1: SATA_LED_N1 SATA1 端口 LED 指示, 低有效
47	SATA_REXT	I/O	-	3.3	外接电阻, 阻值是 191+/-1%欧姆
37	SATA_RX0M	I	-	3.3	通道 0 接收的差分信号
38	SATA_RX0P	I	-	3.3	通道 0 接收的差分信号
41	SATA_RX1M	I	-	3.3	通道 1 接收的差分信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
40	SATA_RX1P	I	-	3.3	通道 1 接收的差分信号
35	SATA_TX0M	O	-	3.3	通道 0 发送的差分信号
34	SATA_TX0P	O	-	3.3	通道 0 发送的差分信号
43	SATA_TX1M	O	-	3.3	通道 1 发送的差分信号
44	SATA_TX1P	O	-	3.3	通道 1 发送的差分信号

SFC 管脚

SFC 管脚如表 2-16 所示。

表2-16 SFC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
58	SFC_CLK	I _{PD} /O	11	3.3	功能 0: SFC_CLK 送给 SPI Flash 的时钟信号, 时钟停靠的高低电平可选 功能 1: SFC_ADDR_MODE sfc 3byte/4byte 地址模式选择: 0: 3byte 1: 4byte
55	SFC_CS0N	O	4	3.3	片选 0 信号, 低有效
60	SFC_CS1N	O	4	3.3	片选 1 信号, 低有效, 用来挂接启动的 SPI flash。
57	SFC_DIO	I/O	可配置, 请参见系统控制寄存器 PERIPHCT RL29	3.3	在 Standard SPI 模式, 为数据的输出信号; 在 Dual SPI 模式下, 为数据的输入输出信号; 在 Quad SPI 模式下, 为数据的输入输出信号。
61	SFC_DOI	I/O	可配置, 请参考系统控制寄存器	3.3	在 Standard SPI 模式, 为数据的输入信号; 在 Dual SPI 模式下, 为数



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
			PERIPHCT RL29		据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。
59	SFC_HOLD_IO3	I/O	可配置，请参考系统控制寄存器 PERIPHCT RL29	3.3	在 Standard SPI 模式，作为 hold 功能，低有效； 在 Dual SPI 模式下，作为 hold 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。
53	SFC_WP_IO2	I/O	可配置，请参考系统控制寄存器 PERIPHCT RL29	3.3	在 Standard SPI 模式，作为 write protect 功能，低有效； 在 Dual SPI 模式下，作为 write protect 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。

SPI 管脚

SPI 管脚如表 2-17 所示。

表2-17 SPI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
67	SPI_CSN0	I _{PU} /O	4	3.3	功能 0: GPIO8_3 通用输入输出 功能 1: SPI_CSN0 SPI 的片选 0 输出
65	SPI_CSN1	I/O	4	3.3	功能 0: GPIO8_4 通用输入输出 功能 1: SPI_CSN1 SPI 的片选 1 输出 功能 2: PWM_SVB pwm 输出，用于 svb
68	SPI_SCLK	I/O	可配置，请参考	3.3	功能 0: GPIO8_0



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
			系统控制寄存器 PERIPHCTRL28		通用输入输出 功能 1: SPI_SCLK SPI 时钟信号
70	SPI_SDI	I/O	4	3.3	功能 0: GPIO8_2 通用输入输出 功能 1: SPI_SDI SPI 数据输入
69	SPI_SDO	I/O	可配置, 请参考 系统控制寄存器 PERIPHCTRL28	3.3	功能 0: PLL_TEST_OUT0 APLL_FOUTPOSTDIV 16 分 频测试时钟输出 功能 1: SPI_SDO SPI 数据输出 功能 2: PLL_TEST_OUT1 VPLL0_FOUT1PH0 4 分频 测试时钟输出 功能 3: PLL_TEST_OUT2 EPLL_FOUTPOSTDIV 8 分 频测试时钟输出 功能 4: GPIO8_1 通用输入输出

UART 管脚

UART 管脚如表 2-18 所示。

表2-18 UART 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
190	UART0_RXD	I _{PU}	4	3.3/5.0	UART0 数据接收
191	UART0_TXD	I	4	3.3/5.0	UART0 数据发送
196	UART1_CTSN	I/O	4	3.3	功能 0: GPIO5_2 通用输入输出 功能 1: UART1_CTSN Modem 状态输入: Clear To Send.低有效。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 2: PWM_SVB pwm 输出, 用于 svb
193	UART1_RTSN	I/O	4	3.3	功能 0: GPIO5_0 通用输入输出 功能 1: UART1_RTSN Modem 状态输出: request to send, 低有效。复位值为 0
194	UART1_RXD	I _{PU} /O	4	3.3	功能 0: GPIO5_1 通用输入输出 功能 1: UART1_RXD UART1 数据接收
198	UART1_TXD	I/O	4	3.3	功能 0: GPIO5_3 通用输入输出 功能 1: UART1_TXD UART1 数据发送
199	UART2_RXD	I _{PU} /O	4	3.3	功能 0: GPIO5_4 通用输入输出 功能 1: UART2_RXD UART2 数据接收
200	UART2_TXD	I/O	4	3.3	功能 0: GPIO5_5 通用输入输出 功能 1: UART2_TXD UART2 数据发送

USB 管脚

USB 管脚如表 2-19 所示。

表2-19 USB 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
160	AVDD33_USB0	P	-	3.3	USB 模拟电源
169	AVDD33_USB1	P	-	3.3	USB 模拟电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
163、166	AVSS_USB	P	-	-	USB 模拟地
164	USB_REXT	I/O	-	3.3	USB 外接电阻接口, 电阻阻值是 $43.2\pm 1\%\Omega$, 对外的 pin
162	USB0_DM	I/O	-	0.4/3.3	USB0 D-信号, 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V 的
161	USB0_DP	I/O	-	0.4/3.3	USB0 D+信号, 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V 的
173	USB0_OVRCUR	I/O	4	3.3	功能 0: GPIO6_0 通用输入输出 功能 1: USB0_OVRCUR USB 端口 0 的端口过流指示信号, 高低电平可配, 默认为高电平有效
174	USB0_PWREN	I/O	4	3.3	功能 0: GPIO6_1 通用输入输出 功能 1: USB0_PWREN USB 端口 0 电源控制输出管脚, 高低电平可配, 默认为低电平有效
167	USB1_DM	I/O	-	0.4/3.3	USB D-信号, 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V 的
168	USB1_DP	I/O	-	0.4/3.3	USB D+信号, 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V 的
175	USB1_OVRCUR	I/O	4	3.3	功能 0: GPIO6_2 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: USB1_OVRCUR USB 端口 1 的端口过流指示信号,高低电平可配,默认为高电平有效
176	USB1_PWREN	I/O	4	3.3	功能 0: GPIO6_3 通用输入输出 功能 1: USB1_PWREN USB 端口 1 电源控制输出管脚, 高低电平可配, 默认为低电平有效

VDAC 管脚

VDAC 管脚如表 2-20 所示。

表2-20 VDAC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
121	AVDD33_VDAC	P	-	3.3	VDAC 电源
117、126	AVSS_VDAC	G	-	-	VDAC 地
122	VDAC_COMP	I/O	-	3.3	RBG 通道的外部去耦参考电压, 接 0.01uf 的陶瓷电容和 10uF 的钽电容并联到 AVDD33_VDAC
125	VDAC_COMPS	I/O	-	3.3	CVBS0/1 通道的外部去耦参考电压, 接 0.01uf 的陶瓷电容和 10uF 的钽电容并联到 AVDD33_VDAC
127	VDAC_CVBS0	O	-	1.0	CVBS0 通道输出
128	VDAC_CVBS1	O	-	1.0	CVBS1 通道输出
118	VDAC_B	O	-	1.0	VGA 的 B 通道输出
119	VDAC_G	O	-	1.0	VGA 的 G 通道输出
120	VDAC_R	O	-	1.0	VGA 的 R 通道输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
123	VDAC_REXT	I/O	-	-	RBG 通道的 DAC 外部电阻, 接电阻的阻值 TBD。
124	VDAC_REXTS	I/O	-	-	CVBS0/1 通道的 DAC 外部电阻, 接电阻的阻值 TBD。

VGA 管脚

VGA 管脚如表 2-21 所示。

表2-21 VGA 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
129	VGA_HS	I/O	可配置, 请参考系统控制寄存器 PERIPHCTRL28	3.3	功能 0: GPIO2_0 通用输入输出 功能 1: VGA_HS VGA 行同步输出
130	VGA_VS	I/O	可配置, 请参考系统控制寄存器 PERIPHCTRL28	3.3	功能 0: GPIO1_5 通用输入输出 功能 1: VGA_VS VGA 场同步输出

VI_ADC 管脚

VI_ADC 管脚如表 2-22 所示。

表2-22 VI_ADC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
93	VI_ADC_CLK	I/O	可配置, 请参考系统控制寄存器 PERIPHCTRL28	3.3	功能 0: GPIO8_5 通用输入输出 功能 1: VI_ADC_CLK Vedio ADC 工作时钟, 具体描述请查看 CRG 寄存



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					器 PERI_CRG11[19:18] 功能 2: CLK_TEST_OUT0 APB 测试时钟输出, 为总线时钟的 1/4 功能 3: CLK_TEST_OUT1 hdmi_asclk 或者 usb_phy_clk12 测试时钟输出, 具体配置请查看 CRG 寄存器 PERI_CRG57[19] 功能 4: CLK_TEST_OUT2 hdmi_osclk 或者 usb_phy_freeclk 测试时钟输出, 具体配置请查看 CRG 寄存器 PERI_CRG57[19] 功能 5: CLK_TEST_OUT3 hdmi_vk2x 4 分频或者 sata_ckword 2 分频测试时钟输出, 具体配置请查看 CRG 寄存器 PERI_CRG57[19] 功能 6: RTC_TEST_CLK RTC 测试时钟输出, 具体配置请查看 RTC 内部寄存器 RTC_CLK[1:0]

VIU0 管脚

VIU0 管脚如表 2-23 所示。

表2-23 VIU0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
104	VIU0_CLK	I/O	4	3.3	功能 0: VIU0_CLK



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					VIU0 的时钟信号. 功能 1: GPIO8_6 通用输入输出 功能 2: fephy_dbg_adcki fephy debug adc 时钟 功能 3: VIU0_DAT0 VIU0 的数据输入
106	VIU0_DAT0	I/O	4	3.3	功能 0: VIU0_DAT0 VIU0 的数据输入 功能 1: GPIO3_0 通用输入输出 功能 2: fephy_dbg_out0 fephy debug adc 输出 功能 3: VIU0_DAT1 VIU0 的数据输入
107	VIU0_DAT1	I/O	4	3.3	功能 0: VIU0_DAT1 VIU0 的数据输入 功能 1: GPIO3_1 通用输入输出 功能 2: fephy_dbg_out1 fephy debug adc 输出 功能 3: VIU0_DAT2 VIU0 的数据输入
108	VIU0_DAT2	I/O	4	3.3	功能 0: VIU0_DAT2 VIU0 的数据输入 功能 1: GPIO3_2 通用输入输出 功能 2: fephy_dbg_out2 fephy debug adc 输出 功能 3: VIU0_DAT3 VIU0 的数据输入
109	VIU0_DAT3	I/O	4	3.3	功能 0: VIU0_DAT3 VIU0 的数据输入 功能 1: GPIO3_3



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					通用输入输出 功能 2: fephy_dbg_out3 fephy debug adc 输出 功能 3: VIU0_DAT4 VIU0 的数据输入
111	VIU0_DAT4	I/O	4	3.3	功能 0: VIU0_DAT4 VIU0 的数据输入 功能 1: GPIO3_4 通用输入输出 功能 2: fephy_dbg_out4 fephy debug adc 输出 功能 3: VIU0_DAT5 VIU0 的数据输入
112	VIU0_DAT5	I/O	4	3.3	功能 0: VIU0_DAT5 VIU0 的数据输入 功能 1: GPIO3_5 通用输入输出 功能 2: fephy_dbg_out5 fephy debug adc 输出 功能 3: VIU0_DAT6 VIU0 的数据输入
113	VIU0_DAT6	I/O	4	3.3	功能 0: VIU0_DAT6 VIU0 的数据输入 功能 1: GPIO3_6 通用输入输出 功能 2: fephy_dbg_out6 fephy debug adc 输出 功能 3: VIU0_DAT7 VIU0 的数据输入
114	VIU0_DAT7	I/O	4	3.3	功能 0: VIU0_DAT7 VIU0 的数据输入 功能 1: GPIO3_7 通用输入输出 功能 2: fephy_dbg_out7



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					fephy debug adc 输出 功能 3: VIU0_CLK VIU0 的时钟信号.

VIU1 管脚

VIU1 管脚如表 2-24 所示。



注意

在 Hi3515A 芯片中，VIU1 数据输入无效，但所有 VIU1 管脚仍可复用为其他功能，例如 GPIO。

表2-24 VIU1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
94	VIU1_CLK	I/O	4	3.3	功能 0: VIU1_CLK VIU1 的时钟信号. 功能 1: GPIO8_7 通用输入输出 功能 3: VIU1_DAT0 VIU1 的数据输入
96	VIU1_DAT0	I/O	4	3.3	功能 0: VIU1_DAT0 VIU1 的数据输入 功能 1: GPIO4_0 通用输入输出 功能 2: fephy_dbg_out8 fephy debug adc 输出 功能 3: VIU1_DAT1 VIU1 的数据输入
97	VIU1_DAT1	I/O	4	3.3	功能 0: VIU1_DAT1 VIU1 的数据输入 功能 1: GPIO4_1 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 2: fephy_dbg_out9 fephy debug adc 输出 功能 3: VIU1_DAT2 VIU1 的数据输入
98	VIU1_DAT2	I/O	4	3.3	功能 0: VIU1_DAT2 VIU1 的数据输入 功能 1: GPIO4_2 通用输入输出 功能 2: fephy_dbg_out10 fephy debug adc 输出 功能 3: VIU1_DAT3 VIU1 的数据输入
99	VIU1_DAT3	I/O	4	3.3	功能 0: VIU1_DAT3 VIU1 的数据输入 功能 1: GPIO4_3 通用输入输出 功能 2: fephy_dbg_out11 fephy debug adc 输出 功能 3: VIU1_DAT4 VIU1 的数据输入
100	VIU1_DAT4	I/O	4	3.3	功能 0: VIU1_DAT4 VIU1 的数据输入 功能 1: GPIO4_4 通用输入输出 功能 2: fephy_dbg_out12 fephy debug adc 输出 功能 3: VIU1_DAT5 VIU1 的数据输入
101	VIU1_DAT5	I/O	4	3.3	功能 0: VIU1_DAT5 VIU1 的数据输入 功能 1: GPIO4_5 通用输入输出 功能 2:



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					fephy_dbg_out13 fephy debug adc 输出 功能 3: VIU1_DAT6 VIU1 的数据输入
102	VIU1_DAT6	I/O	4	3.3	功能 0: VIU1_DAT6 VIU1 的数据输入 功能 1: GPIO4_6 通用输入输出 功能 2: fephy_dbg_out14 fephy debug adc 输出 功能 3: VIU1_DAT7 VIU1 的数据输入
103	VIU1_DAT7	I/O	4	3.3	功能 0: VIU1_DAT7 VIU1 的数据输入 功能 1: GPIO4_7 通用输入输出 功能 2: fephy_dbg_out15 fephy debug adc 输出 功能 3: VIU1_CLK VIU1 的时钟信号.

OSC 管脚

OSC 管脚如表 2-25 所示。

表2-25 OSC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
81	XIN	I	-	3.3	晶体输入
82	XOUT	O	-	3.3	晶体输出

EFUSE 管脚

EFUSE 管脚如表 2-26 所示。



表2-26 EFUSE 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
84	AVDD_EFUSE	P	-	2.5	EFUSE 2.5V 编程电源 注意：硬件设计时请参见硬件设计用户指南。

PLL 管脚

PLL 管脚如表 2-27 所示。

表2-27 PLL 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
78	AVDD12_PLL	P	-	1.25	PLL 的模拟电源
80	AVDD33_PLL	P	-	3.3	PLL 的模拟电源
79	AVSS_PLL	G	-	-	PLL 的模拟地

2.3 管脚复用控制寄存器

2.3.1 复用寄存器概览

复用寄存器概览如表 2-28 所示。

表2-28 复用寄存器概览(基址为 0x200F_0000)

偏移地址	名称	描述	页码
0x000	muxctrl_reg0	VI_ADC_CLK 管脚的复用控制寄存器	2-39
0x004	muxctrl_reg1	VIU0_CLK、VIU0_DAT0、VIU0_DAT1、VIU0_DAT2、VIU0_DAT3、VIU0_DAT4、VIU0_DAT5、VIU0_DAT6、VIU0_DAT7 管脚的复用控制寄存器	2-40
0x008	muxctrl_reg2	VIU1_CLK、VIU1_DAT0、VIU1_DAT1、VIU1_DAT2、VIU1_DAT3、VIU1_DAT4、VIU1_DAT5、VIU1_DAT6、VIU1_DAT7 管	2-42



偏移地址	名称	描述	页码
		脚的复用控制寄存器	
0x00C	muxctrl_reg3	VGA_HS 管脚的复用控制寄存器	2-44
0x010	muxctrl_reg4	VGA_VS 管脚的复用控制寄存器	2-44
0x014	muxctrl_reg5	AIO_MCLK 管脚的复用控制寄存器	2-45
0x018	muxctrl_reg6	AIO_BCLK_TX 管脚的复用控制寄存器	2-45
0x01C	muxctrl_reg7	AIO_WS_TX 管脚的复用控制寄存器	2-46
0x020	muxctrl_reg8	AIO_SD_TX 管脚的复用控制寄存器	2-46
0x024	muxctrl_reg9	AIO_BCLK_RX 管脚的复用控制寄存器	2-46
0x028	muxctrl_reg10	AIO_WS_RX 管脚的复用控制寄存器	2-47
0x02C	muxctrl_reg11	AIO_SD_RX 管脚的复用控制寄存器	2-47
0x030	muxctrl_reg12	SPI_SCLK 管脚的复用控制寄存器	2-48
0x034	muxctrl_reg13	SPI_SDO 管脚的复用控制寄存器	2-48
0x038	muxctrl_reg14	SPI_SDI 管脚的复用控制寄存器	2-49
0x03C	muxctrl_reg15	SPI_CSN0 管脚的复用控制寄存器	2-49
0x040	muxctrl_reg16	SPI_CSN1 管脚的复用控制寄存器	2-50
0x044	muxctrl_reg17	I2C_SDA 管脚的复用控制寄存器	2-50
0x048	muxctrl_reg18	I2C_SCL 管脚的复用控制寄存器	2-51
0x04C	muxctrl_reg19	UART1_RTSN 管脚的复用控制寄存器	2-51
0x050	muxctrl_reg20	UART1_RXD 管脚的复用控制寄存器	2-52
0x054	muxctrl_reg21	UART1_CTSN 管脚的复用控制寄存器	2-52
0x058	muxctrl_reg22	UART1_TXD 管脚的复用控制寄存器	2-53
0x05C	muxctrl_reg23	UART2_RXD 管脚的复用控制寄存器	2-53
0x060	muxctrl_reg24	UART2_TXD 管脚的复用控制寄存器	2-54
0x064	muxctrl_reg25	IR_IN 管脚的复用控制寄存器	2-54
0x068	muxctrl_reg26	USB0_OVRCUR 管脚的复用控制寄存器	2-55
0x06C	muxctrl_reg27	USB0_PWREN 管脚的复用控制寄存器	2-55
0x070	muxctrl_reg28	USB1_OVRCUR 管脚的复用控制寄存器	2-56
0x074	muxctrl_reg29	USB1_PWREN 管脚的复用控制寄存器	2-56
0x078	muxctrl_reg30	HDMI_HOTPLUG 管脚的复用控制寄存器	2-57



偏移地址	名称	描述	页码
0x07C	muxctrl_reg31	HDMI_CEC 管脚的复用控制寄存器	2-57
0x080	muxctrl_reg32	HDMI_SDA 管脚的复用控制寄存器	2-58
0x084	muxctrl_reg33	HDMI_SCL 管脚的复用控制寄存器	2-58
0x088	muxctrl_reg34	SATA_LED_N0 管脚的复用控制寄存器	2-59
0x08C	muxctrl_reg35	SATA_LED_N1 管脚的复用控制寄存器	2-59
0x090	muxctrl_reg36	ETH_LED1 管脚的复用控制寄存器	2-60
0x094	muxctrl_reg37	ETH_LED0 管脚的复用控制寄存器	2-60
0x098	muxctrl_reg38	GPIO0_0 管脚的复用控制寄存器	2-61
0x09C	muxctrl_reg39	GPIO0_1 管脚的复用控制寄存器	2-61
0x0A0	muxctrl_reg40	GPIO0_2 管脚的复用控制寄存器	2-62
0x0A4	muxctrl_reg41	GPIO0_3 管脚的复用控制寄存器	2-62
0x0A8	muxctrl_reg42	GPIO0_4 管脚的复用控制寄存器	2-63
0x0AC	muxctrl_reg43	GPIO0_5 管脚的复用控制寄存器	2-63
0x0B0	muxctrl_reg44	GPIO0_6 管脚的复用控制寄存器	2-64
0x0B4	muxctrl_reg45	GPIO0_7 管脚的复用控制寄存器	2-64
0x0B8	muxctrl_reg46	GPIO1_0 管脚的复用控制寄存器	2-65
0x0BC	muxctrl_reg47	GPIO1_1 管脚的复用控制寄存器	2-65
0x0C0	muxctrl_reg48	GPIO1_2 管脚的复用控制寄存器	2-66
0x0C4	muxctrl_reg49	GPIO1_3 管脚的复用控制寄存器	2-66
0x0C8	muxctrl_reg50	GPIO1_4 管脚的复用控制寄存器	2-67

2.3.2 复用寄存器描述

muxctrl_reg0

VI_ADC_CLK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x000		muxctrl_reg0		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg0	VI_ADC_CLK 管脚的具体复用情况。 000: GPIO8_5; 001: VI_ADC_CLK; 010: CLK_TEST_OUT0; 011: CLK_TEST_OUT1; 100: CLK_TEST_OUT2; 101: CLK_TEST_OUT3; 110: RTC_TEST_CLK; 其它: 保留。						

muxctrl_reg1

VIU0_CLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x004		muxctrl_reg1		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg1	同时控制第 1 组~第 9 组管脚。 第 1 组: VIU0_CLK 管脚的具体复用情况。 00: VIU0_CLK; 01: GPIO8_6; 10: fephy_dbg_adccki;						



			<p>11: VIU0_DAT0。 第 2 组： VIU0_DAT0 管脚的具体复用情况。 00: VIU0_DAT0; 01: GPIO3_0; 10: fephy_dbg_out0; 11: VIU0_DAT1。 第 3 组： VIU0_DAT1 管脚的具体复用情况。 00: VIU0_DAT1; 01: GPIO3_1; 10: fephy_dbg_out1; 11: VIU0_DAT2。 第 4 组： VIU0_DAT2 管脚的具体复用情况。 00: VIU0_DAT2; 01: GPIO3_2; 10: fephy_dbg_out2; 11: VIU0_DAT3。 第 5 组： VIU0_DAT3 管脚的具体复用情况。 00: VIU0_DAT3; 01: GPIO3_3; 10: fephy_dbg_out3; 11: VIU0_DAT4。 第 6 组： VIU0_DAT4 管脚的具体复用情况。 00: VIU0_DAT4; 01: GPIO3_4; 10: fephy_dbg_out4; 11: VIU0_DAT5。 第 7 组： VIU0_DAT5 管脚的具体复用情况。 00: VIU0_DAT5; 01: GPIO3_5; 10: fephy_dbg_out5; 11: VIU0_DAT6。 第 8 组：</p>
--	--	--	--



			<p>VIU0_DAT6 管脚的具体复用情况。</p> <p>00: VIU0_DAT6; 01: GPIO3_6; 10: fephy_dbg_out6; 11: VIU0_DAT7。</p> <p>第 9 组:</p> <p>VIU0_DAT7 管脚的具体复用情况。</p> <p>00: VIU0_DAT7; 01: GPIO3_7; 10: fephy_dbg_out7; 11: VIU0_CLK。</p>
--	--	--	--

muxctrl_reg2

VIU1_CLK 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x008	muxctrl_reg2	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg 2
Reset	0 0		
Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg2	<p>同时控制第 1 组~第 9 组管脚。</p> <p>第 1 组:</p> <p>VIU1_CLK 管脚的具体复用情况。</p> <p>00: VIU1_CLK; 01: GPIO8_7; 11: VIU1_DAT0; 其它: 保留。</p> <p>第 2 组:</p> <p>VIU1_DAT0 管脚的具体复用情况。</p> <p>00: VIU1_DAT0; 01: GPIO4_0; 10: fephy_dbg_out8; 11: VIU1_DAT1。</p>



			<p>第 3 组： VIU1_DAT1 管脚的具体复用情况。 00: VIU1_DAT1; 01: GPIO4_1; 10: fephy_dbg_out9; 11: VIU1_DAT2。</p> <p>第 4 组： VIU1_DAT2 管脚的具体复用情况。 00: VIU1_DAT2; 01: GPIO4_2; 10: fephy_dbg_out10; 11: VIU1_DAT3。</p> <p>第 5 组： VIU1_DAT3 管脚的具体复用情况。 00: VIU1_DAT3; 01: GPIO4_3; 10: fephy_dbg_out11; 11: VIU1_DAT4。</p> <p>第 6 组： VIU1_DAT4 管脚的具体复用情况。 00: VIU1_DAT4; 01: GPIO4_4; 10: fephy_dbg_out12; 11: VIU1_DAT5。</p> <p>第 7 组： VIU1_DAT5 管脚的具体复用情况。 00: VIU1_DAT5; 01: GPIO4_5; 10: fephy_dbg_out13; 11: VIU1_DAT6。</p> <p>第 8 组： VIU1_DAT6 管脚的具体复用情况。 00: VIU1_DAT6; 01: GPIO4_6; 10: fephy_dbg_out14; 11: VIU1_DAT7。</p> <p>第 9 组： VIU1_DAT7 管脚的具体复用情况。</p>
--	--	--	---



			00: VIU1_DAT7; 01: GPIO4_7; 10: fephy_dbg_out15; 11: VIU1_CLK。
--	--	--	---

muxctrl_reg3

VGA_HS 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00C	muxctrl_reg3	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg3
Reset	0 0		
Bits	Access	Name	Description
[0]	RW	muxctrl_reg3	VGA_HS 管脚的具体复用情况。 0: GPIO2_0; 1: VGA_HS。

muxctrl_reg4

VGA_VS 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x010	muxctrl_reg4	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg4
Reset	0 0		
Bits	Access	Name	Description
[0]	RW	muxctrl_reg4	VGA_VS 管脚的具体复用情况。 0: GPIO1_5; 1: VGA_VS。



muxctrl_reg5

AIO_MCLK 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x014				muxctrl_reg5				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										muxctrl_reg 5					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[1:0]	RW	muxctrl_reg5		AIO_MCLK 管脚的具体复用情况。 00: AIO_MCLK; 01: GPIO7_0; 10: BOOT_SEL; 其它: 保留。																											

muxctrl_reg6

AIO_BCLK_TX 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x018				muxctrl_reg6				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										muxctrl_reg 6					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[0]	RW	muxctrl_reg6		AIO_BCLK_TX 管脚的具体复用情况。 0: AIO_BCLK_TX; 1: GPIO7_1。																											



muxctrl_reg7

AIO_WS_TX 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x01C		muxctrl_reg7		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 7
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg7	AIO_WS_TX 管脚的具体复用情况。 0: AIO_WS_TX; 1: GPIO7_2。						

muxctrl_reg8

AIO_SD_TX 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x020		muxctrl_reg8		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 8
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg8	AIO_SD_TX 管脚的具体复用情况。 00: AIO_SD_TX; 01: GPIO7_3; 10: JTAG_SEL; 其它: 保留。						

muxctrl_reg9

AIO_BCLK_RX 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x024		muxctrl_reg9		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg9
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg9	AIO_BCLK_RX 管脚的具体复用情况。 0: AIO_BCLK_RX; 1: GPIO7_4。						

muxctrl_reg10

AIO_WS_RX 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x028		muxctrl_reg10		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg10
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg10	AIO_WS_RX 管脚的具体复用情况。 0: AIO_WS_RX; 1: GPIO7_5。						

muxctrl_reg11

AIO_SD_RX 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x02C		muxctrl_reg11		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg11
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg11	AIO_SD_RX 管脚的具体复用情况。 0: AIO_SD_RX; 1: GPIO7_6。						

muxctrl_reg12

SPI_SCLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x030		muxctrl_reg12		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg12
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg12	SPI_SCLK 管脚的具体复用情况。 0: GPIO8_0; 1: SPI_SCLK。						

muxctrl_reg13

SPI_SDO 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x034		muxctrl_reg13		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 13
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg13	SPI_SDO 管脚的具体复用情况。 000: PLL_TEST_OUT0; 001: SPI_SDO; 010: PLL_TEST_OUT1; 011: PLL_TEST_OUT2; 100: GPIO8_1; 其它: 保留。						

muxctrl_reg14

SPI_SDI 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x038		muxctrl_reg14		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 14
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg14	SPI_SDI 管脚的具体复用情况。 0: GPIO8_2; 1: SPI_SDI。						

muxctrl_reg15

SPI_CSNO 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x03C		muxctrl_reg15		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 15
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg15	SPI_CSN0 管脚的具体复用情况。 0: GPIO8_3; 1: SPI_CSN0。						

muxctrl_reg16

SPI_CSN1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x040		muxctrl_reg16		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 16
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg16	SPI_CSN1 管脚的具体复用情况。 00: GPIO8_4; 01: SPI_CSN1; 10: PWM_SVB; 其它: 保留。						

muxctrl_reg17

I2C_SDA 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x044		muxctrl_reg17		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 17
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg17	I2C_SDA 管脚的具体复用情况。 0: GPIO1_6; 1: I2C_SDA。						

muxctrl_reg18

I2C_SCL 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x048		muxctrl_reg18		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 18
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg18	I2C_SCL 管脚的具体复用情况。 0: GPIO1_7; 1: I2C_SCL。						

muxctrl_reg19

UART1_RTSM 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x04C		muxctrl_reg19		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg19
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg19	UART1_RTSM 管脚的具体复用情况。 0: GPIO5_0; 1: UART1_RTSM。						

muxctrl_reg20

UART1_RXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x050		muxctrl_reg20		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg20
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg20	UART1_RXD 管脚的具体复用情况。 0: GPIO5_1; 1: UART1_RXD。						

muxctrl_reg21

UART1_CTSN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x054		muxctrl_reg21		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 21
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg21	UART1_CTSN 管脚的具体复用情况。 00: GPIO5_2; 01: UART1_CTSN; 10: PWM_SVB; 其它: 保留。						

muxctrl_reg22

UART1_TXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x058		muxctrl_reg22		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 22
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg22	UART1_TXD 管脚的具体复用情况。 0: GPIO5_3; 1: UART1_TXD。						

muxctrl_reg23

UART2_RXD 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x05C		muxctrl_reg23		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 23
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg23	UART2_RXD 管脚的具体复用情况。 0: GPIO5_4; 1: UART2_RXD。						

muxctrl_reg24

UART2_TXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x060		muxctrl_reg24		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 24
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg24	UART2_TXD 管脚的具体复用情况。 0: GPIO5_5; 1: UART2_TXD。						

muxctrl_reg25

IR_IN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x064		muxctrl_reg25		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 25
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg25	IR_IN 管脚的具体复用情况。 0: GPIO7_7; 1: IR_IN。						

muxctrl_reg26

USB0_OVRCUR 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x068		muxctrl_reg26		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 26
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg26	USB0_OVRCUR 管脚的具体复用情况。 0: GPIO6_0; 1: USB0_OVRCUR。						

muxctrl_reg27

USB0_PWREN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x06C		muxctrl_reg27		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 27
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg27	USB0_PWREN 管脚的具体复用情况。 0: GPIO6_1; 1: USB0_PWREN。						

muxctrl_reg28

USB1_OVRCUR 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x070		muxctrl_reg28		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 28
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg28	USB1_OVRCUR 管脚的具体复用情况。 0: GPIO6_2; 1: USB1_OVRCUR。						

muxctrl_reg29

USB1_PWREN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x074		muxctrl_reg29		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 29
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg29	USB1_PWREN 管脚的具体复用情况。 0: GPIO6_3; 1: USB1_PWREN。						

muxctrl_reg30

HDMI_HOTPLUG 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x078		muxctrl_reg30		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 30
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg30	HDMI_HOTPLUG 管脚的具体复用情况。 0: GPIO6_4; 1: HDMI_HOTPLUG。						

muxctrl_reg31

HDMI_CEC 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x07C		muxctrl_reg31		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 31
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg31	HDMI_CEC 管脚的具体复用情况。 0: GPIO6_5; 1: HDMI_CEC。						

muxctrl_reg32

HDMI_SDA 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x080		muxctrl_reg32		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 32
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg32	HDMI_SDA 管脚的具体复用情况。 0: GPIO6_6; 1: HDMI_SDA。						

muxctrl_reg33

HDMI_SCL 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x084		muxctrl_reg33		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 33
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg33	HDMI_SCL 管脚的具体复用情况。 0: GPIO6_7; 1: HDMI_SCL。						

muxctrl_reg34

SATA_LED_N0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x088		muxctrl_reg34		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 34
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg34	SATA_LED_N0 管脚的具体复用情况。 0: GPIO2_1; 1: SATA_LED_N0。						

muxctrl_reg35

SATA_LED_N1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x08C		muxctrl_reg35		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 25
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg35	SATA_LED_N1 管脚的具体复用情况。 0: GPIO2_2; 1: SATA_LED_N1。						

muxctrl_reg36

ETH_LED1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x090		muxctrl_reg36		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 26
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg36	ETH_LED1 管脚的具体复用情况。 0: GPIO5_6; 1: ETH_LED1。						

muxctrl_reg37

ETH_LED0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x094		muxctrl_reg37		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 37
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg37	ETH_LED0 管脚的具体复用情况。 0: GPIO5_7; 1: ETH_LED0。						

muxctrl_reg38

GPIO0_0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x098		muxctrl_reg38		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 38
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg38	GPIO0_0 管脚的具体复用情况。 0: GPIO0_0; 1: RMII_CLK。						

muxctrl_reg39

GPIO0_1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x09C		muxctrl_reg39		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 39
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg39	GPIO0_1 管脚的具体复用情况。 0: GPIO0_1; 1: RMII_TX_EN。						

muxctrl_reg40

GPIO0_2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A0		muxctrl_reg40		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 40
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg40	GPIO0_2 管脚的具体复用情况。 0: GPIO0_2; 1: RMII_TXD0。						

muxctrl_reg41

GPIO0_3 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A4		muxctrl_reg41		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg41
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg41	GPIO0_3 管脚的具体复用情况。 0: GPIO0_3; 1: RMII_TXD1。						

muxctrl_reg42

GPIO0_4 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A8		muxctrl_reg42		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg42
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg42	GPIO0_4 管脚的具体复用情况。 0: GPIO0_4; 1: RMII_CRSDV。						

muxctrl_reg43

GPIO0_5 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0AC		muxctrl_reg43		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 43
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg43	GPIO0_5 管脚的具体复用情况。 0: GPIO0_5; 1: RMIIRXD0。						

muxctrl_reg44

GPIO0_6 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B0		muxctrl_reg44		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 44
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg44	GPIO0_6 管脚的具体复用情况。 0: GPIO0_6; 1: RMIIRXD1。						

muxctrl_reg45

GPIO0_7 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0B4		muxctrl_reg45		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 45
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg45	GPIO0_7 管脚的具体复用情况。 0: GPIO0_7; 1: RMII_RX_ER。						

muxctrl_reg46

GPIO1_0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B8		muxctrl_reg46		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 46
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg46	GPIO1_0 管脚的具体复用情况。 0: GPIO1_0; 1: UART3_TXD。						

muxctrl_reg47

GPIO1_1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0BC		muxctrl_reg47		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 47
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg47	GPIO1_1 管脚的具体复用情况。 0: GPIO1_1; 1: UART3_RXD。						

muxctrl_reg48

GPIO1_2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0C0		muxctrl_reg48		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 48
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg48	GPIO1_2 管脚的具体复用情况。 0: GPIO1_2; 1: TEMPER_DQ。						

muxctrl_reg49

GPIO1_3 管脚复用控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0C4				muxctrl_reg49				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												muxctrl_reg 49			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[0]	RW	muxctrl_reg49		GPIO1_3 管脚的具体复用情况。 0: GPIO1_3; 1: MDCK。																											

muxctrl_reg50

GPIO1_4 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0C8				muxctrl_reg50				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												muxctrl_reg 50			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[0]	RW	muxctrl_reg50		GPIO1_4 管脚的具体复用情况。 0: GPIO1_4; 1: MDIO。																											

2.4 软件复用管脚

VI_ADC

VI_ADC 的软件复用管脚如表 2-29 所示。



表2-29 VI_ADC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号	
93	VI_ADC_CLK	muxctrl_reg0	复用信号 0	GPIO8_5
			复用信号 1	VI_ADC_CLK
			复用信号 2	CLK_TEST_OUT0
			复用信号 3	CLK_TEST_OUT1
			复用信号 4	CLK_TEST_OUT2
			复用信号 5	CLK_TEST_OUT3
			复用信号 6	RTC_TEST_CLK

VI_ADC 的软件复用管脚如表 2-30 所示。

表2-30 VI_ADC 的软件复用管脚描述

信号名	方向	说明
CLK_TEST_OUT0	O	主测试时钟输出
CLK_TEST_OUT1	O	主测试时钟输出
CLK_TEST_OUT2	O	主测试时钟输出
CLK_TEST_OUT3	O	主测试时钟输出
GPIO8_5	I/O	通用输入输出
RTC_TEST_CLK	O	RTC 测试时钟输出
VI_ADC_CLK	O	Vedio ADC 工作时钟

VIU0

VIU0 的软件复用管脚如表 2-31 所示。

表2-31 VIU0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
104	VIU0_CLK	muxctrl_reg1	VIU0_CLK	GPIO8_6	fephy_dbg_adckci	VIU0_DAT0
106	VIU0_DAT0	muxctrl_reg1	VIU0_DAT0	GPIO3_0	fephy_dbg_out0	VIU0_DAT1



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
107	VIU0_DAT1	muxctrl_reg1	VIU0_DAT1	GPIO3_1	fephy_dbg_out1	VIU0_DAT2
108	VIU0_DAT2	muxctrl_reg1	VIU0_DAT2	GPIO3_2	fephy_dbg_out2	VIU0_DAT3
109	VIU0_DAT3	muxctrl_reg1	VIU0_DAT3	GPIO3_3	fephy_dbg_out3	VIU0_DAT4
111	VIU0_DAT4	muxctrl_reg1	VIU0_DAT4	GPIO3_4	fephy_dbg_out4	VIU0_DAT5
112	VIU0_DAT5	muxctrl_reg1	VIU0_DAT5	GPIO3_5	fephy_dbg_out5	VIU0_DAT6
113	VIU0_DAT6	muxctrl_reg1	VIU0_DAT6	GPIO3_6	fephy_dbg_out6	VIU0_DAT7
114	VIU0_DAT7	muxctrl_reg1	VIU0_DAT7	GPIO3_7	fephy_dbg_out7	VIU0_CLK

VIU0 的软件复用管脚如表 2-32 所示。

表2-32 VIU0 的软件复用管脚描述

信号名	方向	说明
fephy_dbg_adccki	I	fephy debug adc 时钟
fephy_dbg_out0	O	fephy debug adc 输出
fephy_dbg_out1	O	fephy debug adc 输出
fephy_dbg_out2	O	fephy debug adc 输出
fephy_dbg_out3	O	fephy debug adc 输出
fephy_dbg_out4	O	fephy debug adc 输出
fephy_dbg_out5	O	fephy debug adc 输出
fephy_dbg_out6	O	fephy debug adc 输出
fephy_dbg_out7	O	fephy debug adc 输出
GPIO3_0	I/O	通用输入输出
GPIO3_1	I/O	通用输入输出
GPIO3_2	I/O	通用输入输出
GPIO3_3	I/O	通用输入输出
GPIO3_4	I/O	通用输入输出
GPIO3_5	I/O	通用输入输出
GPIO3_6	I/O	通用输入输出



信号名	方向	说明
GPIO3_7	I/O	通用输入输出
GPIO8_6	I/O	通用输入输出
VIU0_CLK	I	VIU0 的时钟信号.
VIU0_CLK	I	VIU0 的时钟信号.
VIU0_DAT0	I	VIU0 的数据输入
VIU0_DAT0	I	VIU0 的数据输入
VIU0_DAT1	I	VIU0 的数据输入
VIU0_DAT1	I	VIU0 的数据输入
VIU0_DAT2	I	VIU0 的数据输入
VIU0_DAT2	I	VIU0 的数据输入
VIU0_DAT3	I	VIU0 的数据输入
VIU0_DAT3	I	VIU0 的数据输入
VIU0_DAT4	I	VIU0 的数据输入
VIU0_DAT4	I	VIU0 的数据输入
VIU0_DAT5	I	VIU0 的数据输入
VIU0_DAT5	I	VIU0 的数据输入
VIU0_DAT6	I	VIU0 的数据输入
VIU0_DAT6	I	VIU0 的数据输入
VIU0_DAT7	I	VIU0 的数据输入
VIU0_DAT7	I	VIU0 的数据输入

VIU1

VIU1 的软件复用管脚如表 2-33 所示。

表2-33 VIU1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
94	VIU1_CLK	muxctrl_reg2	VIU1_CLK	GPIO8_7	VIU1_DAT0	-
96	VIU1_DAT0	muxctrl_reg2	VIU1_DAT0	GPIO4_0	fephy_dbg_out8	VIU1_DAT1



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
97	VIU1_DAT1	muxctrl_reg2	VIU1_DAT1	GPIO4_1	fephy_dbg_out9	VIU1_DAT2
98	VIU1_DAT2	muxctrl_reg2	VIU1_DAT2	GPIO4_2	fephy_dbg_out10	VIU1_DAT3
99	VIU1_DAT3	muxctrl_reg2	VIU1_DAT3	GPIO4_3	fephy_dbg_out11	VIU1_DAT4
100	VIU1_DAT4	muxctrl_reg2	VIU1_DAT4	GPIO4_4	fephy_dbg_out12	VIU1_DAT5
101	VIU1_DAT5	muxctrl_reg2	VIU1_DAT5	GPIO4_5	fephy_dbg_out13	VIU1_DAT6
102	VIU1_DAT6	muxctrl_reg2	VIU1_DAT6	GPIO4_6	fephy_dbg_out14	VIU1_DAT7
103	VIU1_DAT7	muxctrl_reg2	VIU1_DAT7	GPIO4_7	fephy_dbg_out15	VIU1_CLK

VIU1 的软件复用管脚如表 2-34 所示。

表2-34 VIU1 的软件复用管脚描述

信号名	方向	说明
fephy_dbg_out10	O	fephy debug adc 输出
fephy_dbg_out11	O	fephy debug adc 输出
fephy_dbg_out12	O	fephy debug adc 输出
fephy_dbg_out13	O	fephy debug adc 输出
fephy_dbg_out14	O	fephy debug adc 输出
fephy_dbg_out15	O	fephy debug adc 输出
fephy_dbg_out8	O	fephy debug adc 输出
fephy_dbg_out9	O	fephy debug adc 输出
GPIO4_0	I/O	通用输入输出
GPIO4_1	I/O	通用输入输出
GPIO4_2	I/O	通用输入输出
GPIO4_3	I/O	通用输入输出
GPIO4_4	I/O	通用输入输出
GPIO4_5	I/O	通用输入输出
GPIO4_6	I/O	通用输入输出
GPIO4_7	I/O	通用输入输出



信号名	方向	说明
GPIO8_7	I/O	通用输入输出
VIU1_CLK	I	VIU1 的时钟信号.
VIU1_CLK	I	VIU1 的时钟信号.
VIU1_DAT0	I	VIU1 的数据输入
VIU1_DAT0	I	VIU1 的数据输入
VIU1_DAT1	I	VIU1 的数据输入
VIU1_DAT1	I	VIU1 的数据输入
VIU1_DAT2	I	VIU1 的数据输入
VIU1_DAT2	I	VIU1 的数据输入
VIU1_DAT3	I	VIU1 的数据输入
VIU1_DAT3	I	VIU1 的数据输入
VIU1_DAT4	I	VIU1 的数据输入
VIU1_DAT4	I	VIU1 的数据输入
VIU1_DAT5	I	VIU1 的数据输入
VIU1_DAT5	I	VIU1 的数据输入
VIU1_DAT6	I	VIU1 的数据输入
VIU1_DAT6	I	VIU1 的数据输入
VIU1_DAT7	I	VIU1 的数据输入
VIU1_DAT7	I	VIU1 的数据输入

VGA

VGA 的软件复用管脚如表 2-35 所示。

表2-35 VGA 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
129	VGA_HS	muxctrl_reg3	GPIO2_0	VGA_HS
130	VGA_VS	muxctrl_reg4	GPIO1_5	VGA_VS



VGA 的软件复用管脚如表 2-36 所示。

表2-36 VGA 的软件复用管脚描述

信号名	方向	说明
GPIO1_5	I/O	通用输入输出
GPIO2_0	I/O	通用输入输出
VGA_HS	O	VGA 行同步输出
VGA_VS	O	VGA 场同步输出

AIO

AIO 的软件复用管脚如表 2-37 所示。

表2-37 AIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
88	AIO_MCLK	muxctrl_reg5	AIO_MCLK	GPIO7_0	BOOT_SEL
87	AIO_BCLK_TX	muxctrl_reg6	AIO_BCLK_TX	GPIO7_1	-
86	AIO_WS_TX	muxctrl_reg7	AIO_WS_TX	GPIO7_2	-
85	AIO_SD_TX	muxctrl_reg8	AIO_SD_TX	GPIO7_3	JTAG_SEL
92	AIO_BCLK_RX	muxctrl_reg9	AIO_BCLK_RX	GPIO7_4	-
91	AIO_WS_RX	muxctrl_reg10	AIO_WS_RX	GPIO7_5	-
90	AIO_SD_RX	muxctrl_reg11	AIO_SD_RX	GPIO7_6	-

AIO 的软件复用管脚如表 2-38 所示。

表2-38 AIO 的软件复用管脚描述

信号名	方向	说明
AIO_BCLK_RX	I/O	I ² S 或 PCM 接收时钟
AIO_BCLK_TX	I/O	I ² S 或 PCM 发送时钟
AIO_MCLK	O	I ² S 或 PCM 接口主时钟，可以作为音频 CODEC 的工作时钟



信号名	方向	说明
AIO_SD_RX	I	I ² S 或 PCM 接口数据输入。
AIO_SD_TX	O	I ² S 或 PCM 接口数据输出。
AIO_WS_RX	I/O	I ² S 接收左右声道选择信号，或 PCM 接收帧同步信号
AIO_WS_TX	I/O	I ² S 发送左右声道选择信号，或 PCM 发送帧同步信号
BOOT_SEL	I	启动空间选择: 0:SPI FLASH 存储空间 1:BOOTROM
GPIO7_0	I/O	通用输入输出
GPIO7_1	I/O	通用输入输出
GPIO7_2	I/O	通用输入输出
GPIO7_3	I/O	通用输入输出
GPIO7_4	I/O	通用输入输出
GPIO7_5	I/O	通用输入输出
GPIO7_6	I/O	通用输入输出
JTAG_SEL	I	JTAG 功能选择: 0: A9 1: SATA

SPI

SPI 的软件复用管脚如表 2-39 所示。

表2-39 SPI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4
68	SPI_SCLK	muxctrl_reg12	GPIO8_0	SPI_SCLK	-	-	-
69	SPI_SDO	muxctrl_reg13	PLL_TEST_OUT0	SPI_SDO	PLL_TEST_OUT1	PLL_TEST_OUT2	GPIO8_1
70	SPI_SDI	muxctrl_reg14	GPIO8_2	SPI_SDI	-	-	-
67	SPI_CSN0	muxctrl_reg15	GPIO8_3	SPI_CSN0	-	-	-
65	SPI_CSN1	muxctrl_reg16	GPIO8_4	SPI_CSN1	PWM_SVB	-	-



SPI 的软件复用管脚如表 2-40 所示。

表2-40 SPI 的软件复用管脚描述

信号名	方向	说明
GPIO8_0	I/O	通用输入输出
GPIO8_1	I/O	通用输入输出
GPIO8_2	I/O	通用输入输出
GPIO8_3	I/O	通用输入输出
GPIO8_4	I/O	通用输入输出
PLL_TEST_OUT0	O	PLL 测试时钟输出
PLL_TEST_OUT1	O	PLL 测试时钟输出
PLL_TEST_OUT2	O	PLL 测试时钟输出
PWM_SVB	O	pwm 输出，用于 svb
SPI_CSN0	I/O	SPI 的片选 0 输出
SPI_CSN1	O	SPI 的片选 1 输出
SPI_SCLK	I/O	SPI 时钟信号
SPI_SDI	I	SPI 数据输入
SPI_SDO	O	SPI 数据输出

I2C

I2C 的软件复用管脚如表 2-41 所示。

表2-41 I2C 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
116	I2C_SDA	muxctrl_reg17	GPIO1_6	I2C_SDA
115	I2C_SCL	muxctrl_reg18	GPIO1_7	I2C_SCL

I2C 的软件复用管脚如表 2-42 所示。



表2-42 I2C 的软件复用管脚描述

信号名	方向	说明
GPIO1_6	I/O	通用输入输出
GPIO1_7	I/O	通用输入输出
I2C_SCL	I/O	I2C 总线时钟, OD 输出
I2C_SDA	I/O	I2C 总线数据/地址, OD 输出

UART

UART 的软件复用管脚如表 2-43 所示。

表2-43 UART 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
193	UART1_RTSN	muxctrl_reg19	GPIO5_0	UART1_RTSN	-
194	UART1_RXD	muxctrl_reg20	GPIO5_1	UART1_RXD	-
196	UART1_CTSN	muxctrl_reg21	GPIO5_2	UART1_CTSN	PWM_SVB
198	UART1_TXD	muxctrl_reg22	GPIO5_3	UART1_TXD	-
199	UART2_RXD	muxctrl_reg23	GPIO5_4	UART2_RXD	-
200	UART2_TXD	muxctrl_reg24	GPIO5_5	UART2_TXD	-

UART 的软件复用管脚如表 2-44 所示。

表2-44 UART 的软件复用管脚描述

信号名	方向	说明
GPIO5_0	I/O	通用输入输出
GPIO5_1	I/O	通用输入输出
GPIO5_2	I/O	通用输入输出
GPIO5_3	I/O	通用输入输出
GPIO5_4	I/O	通用输入输出
GPIO5_5	I/O	通用输入输出



信号名	方向	说明
PWM_SVB	O	pwm 输出，用于 svb
UART1_CTSN	I	Modem 状态输入：Clear To Send.低有效。
UART1_RTSN	O	Modem 状态输出：request to send，低有效。复位值为 0
UART1_RXD	I	UART1 数据接收
UART1_TXD	O	UART1 数据发送
UART2_RXD	I	UART0 数据接收
UART2_TXD	O	UART0 数据发送

IR

IR 的软件复用管脚如表 2-45 所示。

表2-45 IR 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
29	IR_IN	muxctrl_reg25	GPIO7_7	IR_IN

IR 的软件复用管脚如表 2-46 所示。

表2-46 IR 的软件复用管脚描述

信号名	方向	说明
GPIO7_7	I/O	通用输入输出
IR_IN	I	红外输入

USB

USB 的软件复用管脚如表 2-47 所示。

表2-47 USB 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
173	USB0_OVRCUR	muxctrl_reg26	GPIO6_0	USB0_OVRCUR



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
174	USB0_PWREN	muxctrl_reg27	GPIO6_1	USB0_PWREN
175	USB1_OVRCUR	muxctrl_reg28	GPIO6_2	USB1_OVRCUR
176	USB1_PWREN	muxctrl_reg29	GPIO6_3	USB1_PWREN

USB 的软件复用管脚如表 2-48 所示。

表2-48 USB 的软件复用管脚描述

信号名	方向	说明
GPIO6_0	I/O	通用输入输出
GPIO6_1	I/O	通用输入输出
GPIO6_2	I/O	通用输入输出
GPIO6_3	I/O	通用输入输出
USB0_OVRCUR	I	USB 端口 0 的端口过流指示信号,高低电平可配,默认为高电平有效
USB0_PWREN	O	USB 端口 0 电源控制输出管脚,高低电平可配,默认为低电平有效
USB1_OVRCUR	I	USB 端口 1 的端口过流指示信号,高低电平可配,默认为高电平有效
USB1_PWREN	O	USB 端口 1 电源控制输出管脚,高低电平可配,默认为低电平有效

HDMI

HDMI 的软件复用管脚如表 2-49 所示。

表2-49 HDMI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
131	HDMI_HOTPLUG	muxctrl_reg30	GPIO6_4	HDMI_HOTPLUG
135	HDMI_CEC	muxctrl_reg31	GPIO6_5	HDMI_CEC
133	HDMI_SDA	muxctrl_reg32	GPIO6_6	HDMI_SDA



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
134	HDMI_SCL	muxctrl_reg33	GPIO6_7	HDMI_SCL

HDMI 的软件复用管脚如表 2-50 所示。

表2-50 HDMI 的软件复用管脚描述

信号名	方向	说明
GPIO6_4	I/O	通用输入输出
GPIO6_5	I/O	通用输入输出
GPIO6_6	I/O	通用输入输出
GPIO6_7	I/O	通用输入输出
HDMI_CEC	I/O	HDMI 接口的控制通道信号
HDMI_HOTPLUG	I	HDMI 接口的热插拔信号
HDMI_SCL	I/O	HDMI I2C 总线时钟, OD 输出
HDMI_SDA	I/O	HDMI I2C 总线数据/地址, OD 输出

SATA

SATA 的软件复用管脚如表 2-51 所示。

表2-51 SATA 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
30	SATA_LED_N0	muxctrl_reg34	GPIO2_1	SATA_LED_N0
31	SATA_LED_N1	muxctrl_reg35	GPIO2_2	SATA_LED_N1

SATA 的软件复用管脚如表 2-52 所示。

表2-52 SATA 的软件复用管脚描述

信号名	方向	说明
GPIO2_1	I/O	通用输入输出
GPIO2_2	I/O	通用输入输出



信号名	方向	说明
SATA_LED_N0	O	SATA0 端口 LED 指示，低有效
SATA_LED_N1	O	SATA1 端口 LED 指示，低有效

ETH

ETH 的软件复用管脚如表 2-53 所示。

表2-53 ETH 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
171	ETH_LED1	muxctrl_reg36	GPIO5_6	ETH_LED1
172	ETH_LED0	muxctrl_reg37	GPIO5_7	ETH_LED0

ETH 的软件复用管脚如表 2-54 所示。

表2-54 ETH 的软件复用管脚描述

信号名	方向	说明
ETH_LED1	O	fephy 状态 LED1，初始配置下，当连接成功时此灯会长亮。（注意：此 led 的功能可以用户自定义，具体操作请参考 FEPHY 描述章节）
ETH_LED0	O	fephy 状态 LED0，初始配置下，当数据传输时此灯会闪烁。（注意：此 led 的功能可以用户自定义，具体操作请参考 FEPHY 描述章节）
GPIO5_6	I/O	通用输入输出
GPIO5_7	I/O	通用输入输出

GPIO

GPIO 的软件复用管脚如表 2-55 所示。

表2-55 GPIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
186	GPIO0_0	muxctrl_reg38	GPIO0_0	RMII_CLK



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
182	GPIO0_1	muxctrl_reg39	GPIO0_1	RMII_TX_EN
185	GPIO0_2	muxctrl_reg40	GPIO0_2	RMII_TXD0
183	GPIO0_3	muxctrl_reg41	GPIO0_3	RMII_TXD1
179	GPIO0_4	muxctrl_reg42	GPIO0_4	RMII_CRS_DV
189	GPIO0_5	muxctrl_reg43	GPIO0_5	RMII_RXD0
188	GPIO0_6	muxctrl_reg44	GPIO0_6	RMII_RXD1
178	GPIO0_7	muxctrl_reg45	GPIO0_7	RMII_RX_ER
27	GPIO1_0	muxctrl_reg46	GPIO1_0	UART3_TXD
28	GPIO1_1	muxctrl_reg47	GPIO1_1	UART3_RXD
72	GPIO1_2	muxctrl_reg48	GPIO1_2	TEMPER_DQ
181	GPIO1_3	muxctrl_reg49	GPIO1_3	MDCK
180	GPIO1_4	muxctrl_reg50	GPIO1_4	MDIO

GPIO 的软件复用管脚如表 2-56 所示。

表2-56 GPIO 的软件复用管脚描述

信号名	方向	说明
GPIO0_0	I/O	通用输入输出
GPIO0_1	I/O	通用输入输出
GPIO0_2	I/O	通用输入输出
GPIO0_3	I/O	通用输入输出
GPIO0_4	I/O	通用输入输出
GPIO0_5	I/O	通用输入输出
GPIO0_6	I/O	通用输入输出
GPIO0_7	I/O	通用输入输出
GPIO1_0	I/O	通用输入输出
GPIO1_1	I/O	通用输入输出



信号名	方向	说明
GPIO1_2	I/O	通用输入输出
GPIO1_3	I/O	通用输入输出
GPIO1_4	I/O	通用输入输出
MDCK	O	MDIO0 接口时钟输出
MDIO	I/O	MDIO0 接口的输入/输出信号
RMII_CLK	I/O	RMII 接口时钟
RMII_CRS_DV	I	RMII 接收数据有效及载体检测
RMII_RX_ER	I	RMII 接收错误, 指示接收的数据是错误的, mac 可以将其丢弃
RMII_RXD0	I	RMII 接收数据
RMII_RXD1	I	RMII 接收数据
RMII_TX_EN	O	RMII 发送使能, 表示当该信号有效时发送的数据是有效的
RMII_TXD0	O	RMII 发送数据
RMII_TXD1	O	RMII 发送数据
TEMPER_DQ	I/O	温度采集, 用于与外部温度采集芯片通信。
UART3_RXD	I	UART3 数据接收
UART3_TXD	O	UART3 数据发送

2.5 硬件管脚复用

SFC 管脚复用

SFC 管脚复用如表 2-57 所示。

表2-57 SFC 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
58	SFC_CLK	SFC_ADDR_MODE

SFC 的硬件复用管脚如表 2-58 所示。



表2-58 与 SFC 复用的管脚描述

信号名	方向	说明
SFC_ADDR_MODE	I	sfc 3byte/4byte 地址模式选择: 0: 3byte 1: 4byte

JTAG 管脚复用

JTAG 管脚复用如表 2-59 所示。

表2-59 JTAG 硬件管脚复用

Pin	Pad 信号	复用信号 1 (jtag_enable == 1'b0)
25	JTAG_TRSTN	GPIO2_3
21	JTAG_TCK	GPIO2_4
22	JTAG_TMS	GPIO2_5
20	JTAG_TDO	GPIO2_6
23	JTAG_TDI	GPIO2_7

JTAG 的硬件复用管脚如表 2-60 所示。

表2-60 与 JTAG 复用的管脚描述

信号名	方向	说明
JTAG_TRSTN	I	JTAG 复位输入
JTAG_TCK	I	JTAG 时钟输入
JTAG_TMS	I/O	JTAG 模式选择输入,或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制
JTAG_TDO	O	JTAG 数据输出
JTAG_TDI	I	JTAG 数据输入



2.6 电性能参数

2.6.1 功耗参数

Hi3520D 和 Hi3515A 的功耗参数如表 2-61 和表 2-62 所示。



注意

- 功耗参数基于芯片典型工作场景
- 单板电源设计必须参照硬件设计指南

表2-61 Hi3520D 功耗参数

符号	参数	典型值	最大值	单位
内核电源	内核电源	1200	1500	mA
3.3V 电源	接口电源	220	400	mA
1.5V 电源	DDR 接口电源	140	250	mA

表2-62 Hi3515A 功耗参数

符号	参数	典型值	最大值	单位
内核电源	内核电源	1100	1300	mA
3.3V 电源	接口电源	210	400	mA
1.5V 电源	DDR 接口电源	130	250	mA

2.6.2 温度和热阻参数

温度和热阻参数如表 2-63 所示。



说明

- 热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。
- 芯片结温和芯片功耗成正比关系，需要考虑将芯片结温控制在合理范围内，以匹配供电电源规格。
- 散热设计请参考硬件设计指南

表2-63 温度和热阻参数

参数	符号	最小值	典型值	最大值	单位
环境温度	T_A	0	-	70	°C
极限结温	T_{JMAX}	-20	-	105	°C
Junction-to-ambient thermal resistance	θ_{JA}	-	19	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	-	10	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	-	6	-	°C/W

2.6.3 工作条件

Hi3520D 的工作条件如表 2-64 所示。

表2-64 工作条件

符号	描述	最小值	典型值	最大值	单位
DVDD12	内核电源	1.2	1.25	1.3	V
DVDD33	I/O 电源	2.97	3.3	3.63	V
DDR_VDDQ	DDR2 I/O 电源	1.7	1.8	1.9	V
	DDR3 I/O 电源	1.425	1.5	1.575	V
AVDD12_PLL	PLL 模拟电源	1.2	1.25	1.3	V
AVDD33_PLL	PLL 模拟电源	2.97	3.3	3.63	V
AVDD12_SATA	SATA 模拟电源	1.2	1.25	1.3	V
AVDD33_SATA	SATA 模拟电源	2.97	3.3	3.63	V
AVDD12_HDMI	HDMI 模拟电源	1.2	1.25	1.3	V
AVDD33_VDAC	VDAC 模拟电源	2.97	3.3	3.63	V
AVDD12_FE	FE 模拟电源	1.2	1.25	1.3	V
AVDD33_FE	FE 模拟电源	2.97	3.3	3.63	V



符号	描述	最小值	典型值	最大值	单位
AVDD33_USB AVDD33_USB0 AVDD33_USB1	USB 模拟电源	3.201	3.3	3.63	V
AVDD_BAT	RTC 电池电源	1.6	3.0	3.0	V
AVDD33_RTC	RTC 模拟电源	2.97	3.3	3.63	V

2.6.4 上下电顺序

请参见《Hi3520D/Hi3515A 硬件设计用户指南》。

2.6.5 DC/AC 电气参数

Hi3520D DC 电气参数如表 2-65 所示。

表2-65 DC 电气参数表 (DVDD33=3.3V, 部分接口兼容 5V 输入)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD12	内核电压	1.2	1.25	1.3	V	
DVDD33	接口电压	2.97	3.3	3.63	V	-
V _{IH}	高电平输入电压	2.0	-	5.5	V	部分接口支持 5V 输入，最大输入要求不高于 5.5V，包括 GPIO1_0/ GPIO1_1/IR_IN/ SATA_LED/ I2C/HDMI 控制接口/ UART0 接口等
V _{IL}	低电平输入电压	-0.3	-	0.8	V	-
I _L	输入漏电流	-	-	±1	μA	-
I _{OZ}	三态输出漏电流	-	-	±1	μA	-
V _{OH}	高电平输出电压	2.4	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.4	V	-
R _{PU}	内部上拉电阻	33	41	62	kΩ	驱动不可调 IO
R _{PD}	内部下拉电阻	33	42	68	kΩ	驱动不可调 IO
R _{PU_progamio}	驱动可调 IO 内部上拉电阻	59.8	74.5	112	kΩ	驱动可调 IO，包括 AIO、SPI 和 VGA 等
R _{PD_progamio}	驱动可调 IO 内部下拉电阻	57	71.6	118	kΩ	驱动可调 IO，包括 AIO、SPI 和 VGA 等



符号	参数	最小值	典型值	最大值	单位	说明
R _{PU_5k_progamio}	驱动可调 IO 低内部上拉电阻	3	5	7	kΩ	驱动可调 IO, 包括 AIO、SPI 和 VGA 等
R _{PD_5k_progamio}	驱动可调 IO 低内部下拉电阻	3	5	7	kΩ	驱动可调 IO, 包括 AIO、SPI 和 VGA 等

DDR2 模式下, DC 电气参数如表 2-66 所示。

表2-66 DC 电气参数表 (DDR_VDDQ=1.8V, DDR2 SSTL18 模式)

符号	参数	最小值	典型值	最大值	单位	说明
DDR_VDDQ	接口电压	1.7	1.8	1.9	V	-
Vref	参考电压	833	900	969	mV	(0.49~0.51) x DVDD1518
VTT	端接电压	Vref-40	Vref	Vref+40	mV	-
V _{IH(DC)}	高电平输入电压	Vref+0.125	-	DDR_VDDQ+0.3	V	-
V _{IL(DC)}	低电平输入电压	-0.3	-	Vref-0.125	V	-
I _{OH}	高电平输出电流	8	-	-	mA	驱动可配置
I _{OL}	低电平输出电流	-8	-	-	mA	驱动可配置

DDR2 模式下, AC 电气参数如表 2-67 所示。

表2-67 AC 电气参数表 (DDR_VDDQ=1.8V, DDR2 模式)

符号	参数	400~533 Mbps		667~800 Mbps		单位	说明
		最小值	最大值	最小值	最大值		
V _{IH(AC)}	AC 高电平输入电压	Vref + 0.25	-	Vref+0.2	-	V	-
V _{IL(AC)}	AC 低电平输入电压	-	Vref-0.25	-	Vref-0.2	V	-

DDR3 模式下, DC 电气参数如表 2-68 所示。



表2-68 DC 电气参数表 (DDR_VDDQ=1.5V, DDR3 模式)

符号	参数	最小值	典型值	最大值	单位	说明
DDR_VDDQ	接口电压	1.425	1.5	1.575	V	-
Vref	参考电压	698	750	803	mV	$(0.49\sim 0.51) \times \text{DDR_DVDDIO}$
VTT	端接电压	698	750	803	mV	-
V _{IH(DC)}	高电平输入电压	Vref+0.1	-	DDR_VDDQ+0.3	V	-
V _{IL(DC)}	低电平输入电压	-0.3	-	Vref-0.1	V	-
I _{OH}	高电平输出电流	8	-	-	mA	驱动可配置
I _{OL}	低电平输出电流	-8	-	-	mA	驱动可配置

DDR3 模式下, AC 电气参数如表 2-69 所示。

表2-69 AC 电气参数表 (DDR_VDDQ=1.5V, DDR3 模式)

符号	参数	最小值	最大值	单位	说明
V _{IH(AC)}	高电平输入电压	Vref + 0.175	DDR_VDDQ + 0.3	V	-
V _{IL(AC)}	低电平输入电压	-	Vref-0.175	V	-

2.7 PCB 设计建议

PCB 设计的详细内容请参见《Hi3520D 硬件设计 用户指南》。

2.8 接口时序

2.8.1 DDR 接口时序

2.8.1.1 写操作时序

dqs_out 相对于 dq_out 的写操作时序

dqs_out 相对于 dq_out 的写操作时序的主要时序参数是 tDS 和 tDH。在 DDR2-800 中, tDS 和 tDH 分别为 0.05ns 和 0.125ns。



图2-8 DDR2 中 dqs_out 相对于 dq_out 的写操作时序图

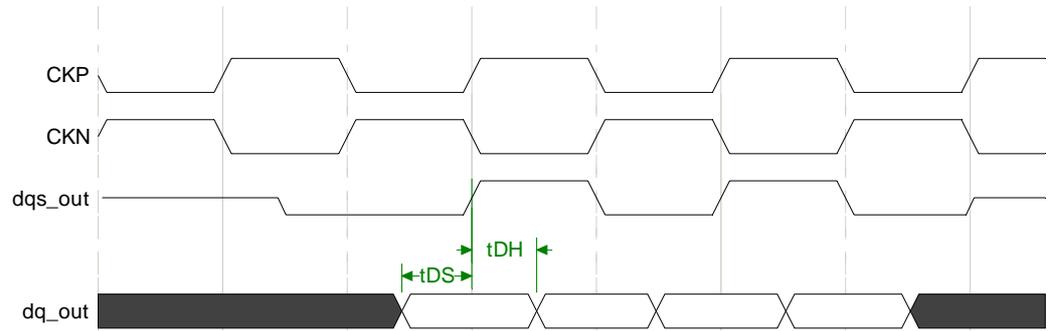
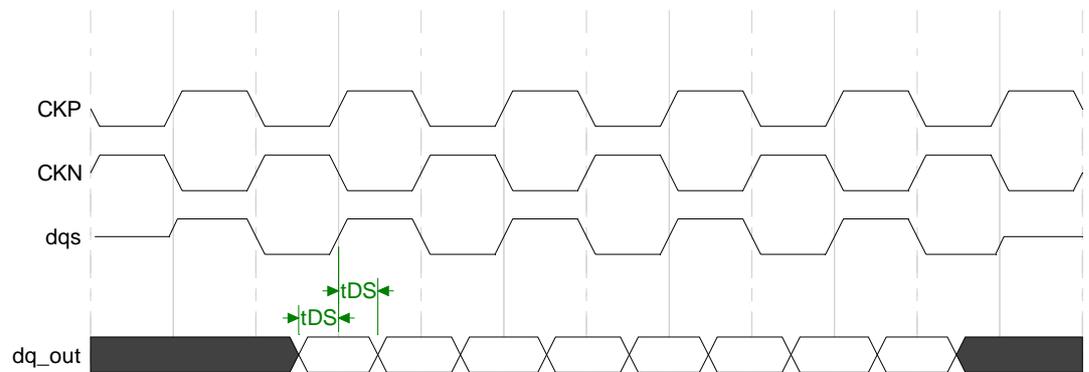


图2-9 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图



dqs_out 相对于 ck 的写操作时序

dqs_out 相对于 ck 的写操作时序。DDR2、DDR3 的时序如图 2-10 和图 2-11 所示。

图2-10 DDR2 中 dqs_out 相对于 ck 的写操作时序图

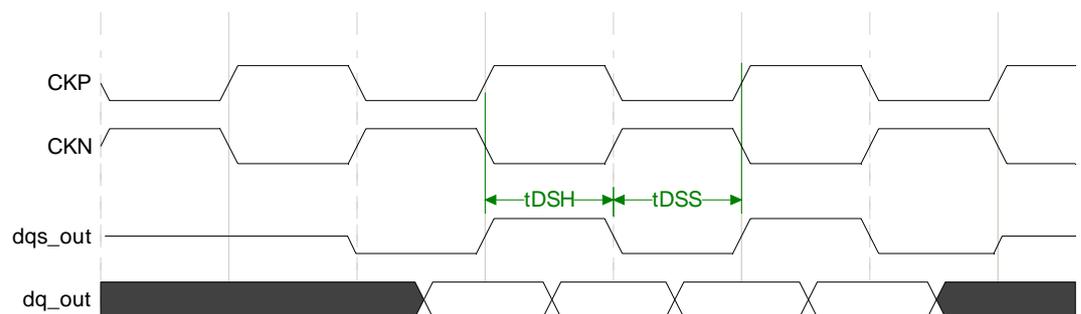
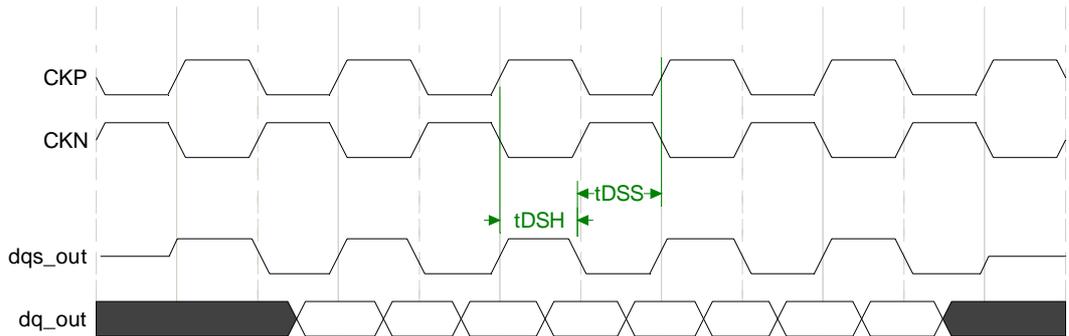


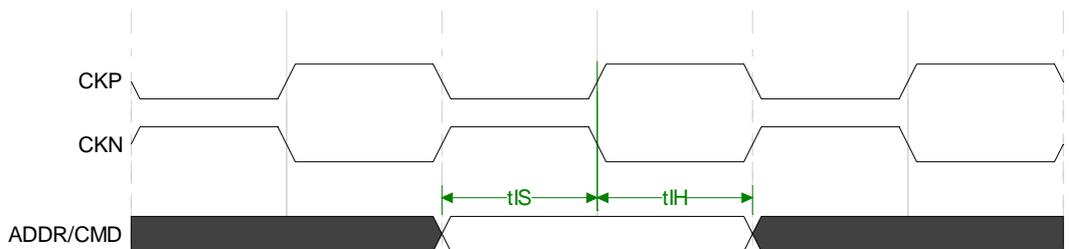
图2-11 DDR3 中 dqs_out 相对于 ck 的写操作时序图



命令和地址相对于 ck 的写操作时序

命令和地址相对于 ck 的写操作时序如图 2-12 所示。

图2-12 命令和地址相对于 ck 的写操作时序图



2.8.1.2 读操作时序

命令和地址相对于 ck 的读操作时序

“命令和地址相对于 ck 的读操作时序”与“命令和地址相对于 ck 的写操作时序”相同。

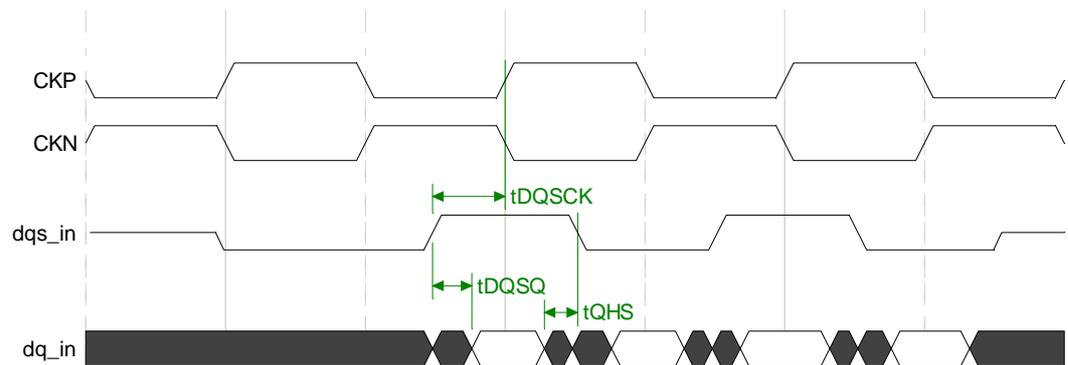
dqs_in 相对于 dq_in 的读操作时序

dqs_in 相对于 dq_in 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 dqs_in 和 dq_in 时序。

对于 DDR SDRAM 输出时序，理想情况下，DQS 和 ck 是同相位的，实际情况下，DQS 相对于 CK 有 tDQSCK 的偏斜。tDQSCK 为 0.35ns。tDQSQ 是 dq 和 dqs 之间的抖动，是最晚有效的 dq 相对于 dqs 的抖动，该值为 0.2ns，tQHS 是最早有效的 dq 相对于 dqs 的抖动，其值为 0.3ns。

DDRn SDRAM 输出时序如图 2-13 所示。

图2-13 DDRn SDRAM 输出时序图



2.8.1.3 时序参数

DDR 接口时序满足 JEDEC (JESD79-2E 和 JESD79-3B) 标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

对于 Hi3520D，以 DDR2-800 和 DDR3-1066 的时序参数为依据。

DDR2-800 SDRAM 时钟参数如表 2-70 和表 2-71 所示。

DDR3-1066 SDRAM 时钟参数如表 2-72 和表 2-73 所示。

表2-70 DDR2 时钟参数表

参数	典型值	单位
存储器时钟频率	400.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	48.000	%
时钟偏斜	0.100	ns

DDR2 SDRAM 存储器参数如表 2-71 所示。

表2-71 DDR2 SDRAM 存储器参数表 (DDR2-800)

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.2	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.2	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.050	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.125	ns
DQS 与 DQ 的偏斜	tDQSQ	0.200	ns



参数	符号	典型值	单位
数据保持的偏斜	tQHS	0.300	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.175	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.250	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.350	ns

注：部分时序参数可参见后面的时序图。

表2-72 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	660.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	47.000	%
时钟偏斜	0.100	ns

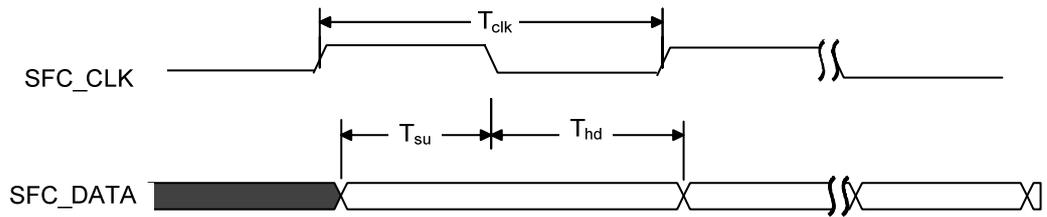
表2-73 DDR3 SDRAM 存储器参数表（DDR3-1066）

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.2	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.2	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.025	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.100	ns
DQS 与 DQ 的偏斜	tDQSQ	0.150	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.125	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.200	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.300	ns

2.8.2 SFC 接口时序

SFC 输入方向时序如图 2-14 所示。

图2-14 SFC 输入方向时序图



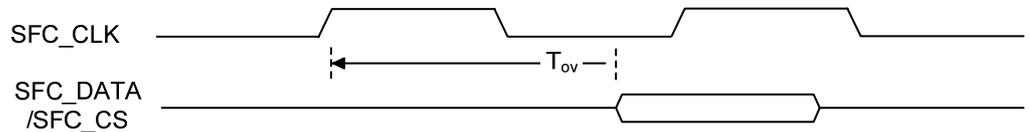
SFC 输入方向时序参数如表 2-74 所示。

表2-74 SFC 输入方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期	T_{clk}	16	-	83.2	ns
输入信号建立时间要求	T_{su}	8	-	-	ns
输入信号保持时间要求	T_{hd}	1.2	-	-	ns

SFC 输出方向时序如图 2-15 所示。

图2-15 SFC 输出方向时序图



SFC 输出方向时序参数如表 2-75 所示。

表2-75 SFC 输出方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFCCLK 时钟周期	T	16	-	83.2	ns
输出数据信号延时	T_{ov}	-5	-	3.0	ns
输出片选信号延时	T_{ov}	-5	-	3.0	ns

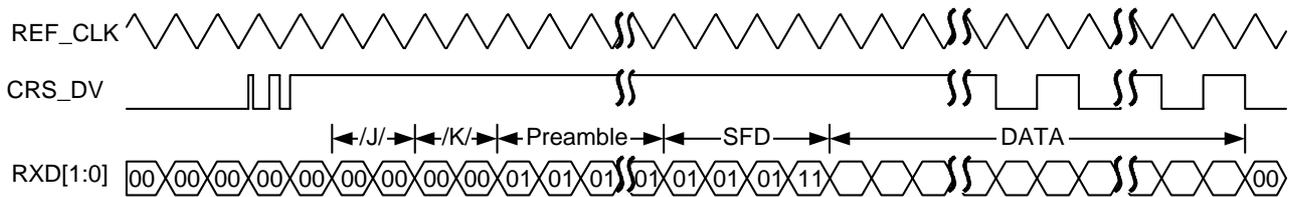
2.8.3 Ethernet MAC 接口时序

2.8.3.1 RMII 接口时序

RMII 接口 100Mbit/s 接收时序如图 2-16 所示。

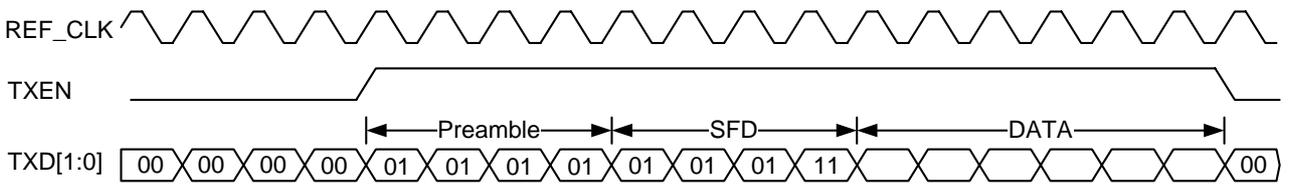


图2-16 RMII 接口 100Mbit/s 接收时序



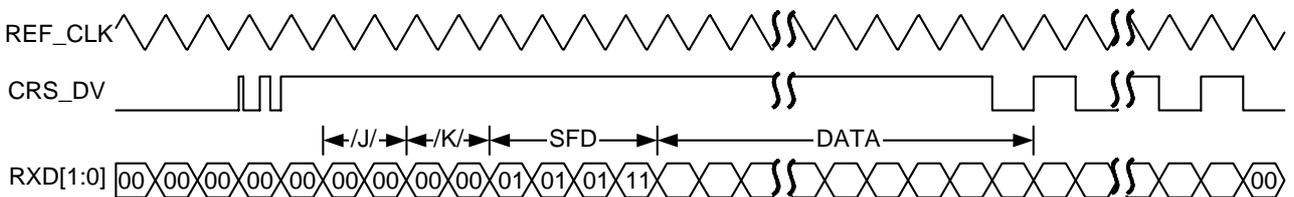
RMII 接口 100Mbit/s 发送时序如图 2-17 所示。

图2-17 RMII 接口 100Mbit/s 发送时序



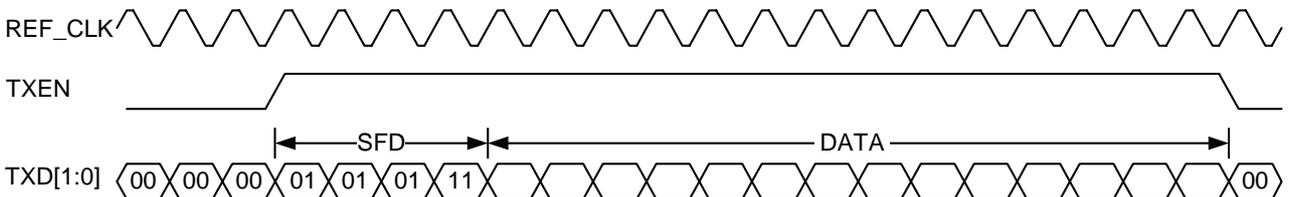
RMII 接口 10Mbit/s 接收时序如图 2-18 所示。

图2-18 RMII 接口 10Mbit/s 接收时序



RMII 接口 10Mbit/s 发送时序如图 2-19 所示。

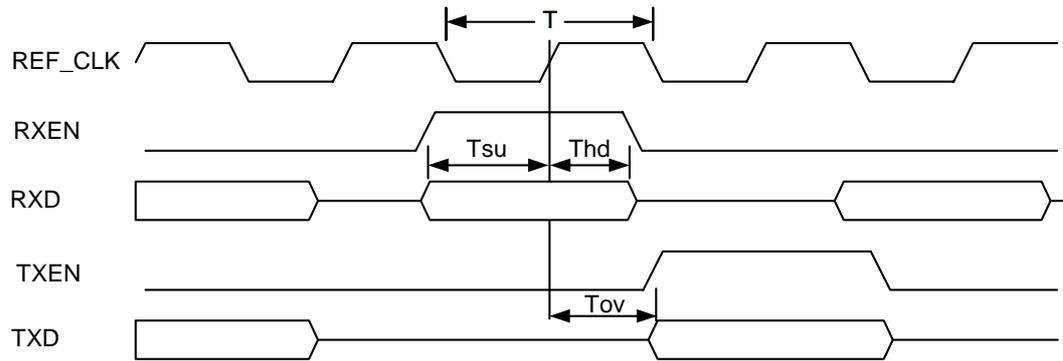
图2-19 RMII 接口 10Mbit/s 发送时序



RMII 接口时序参数如图 2-20 所示。



图2-20 RMII 接口时序参数



RMII 接口时序参数说明如表 2-76 所示。

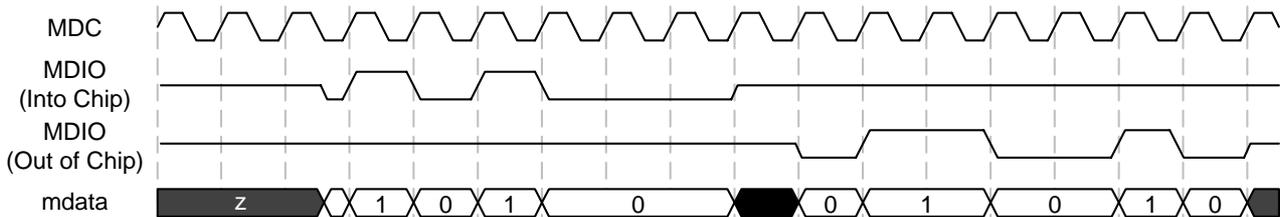
表2-76 RMII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
RMII 信号建立时间	Tsu (RX)	CRS_DV/RXD[1:0]	4	-	ns
RMII 信号保持时间	Thd (RX)	CRS_DV/RXD[1:0]	2	-	ns
RMII 输出信号延时	Tov (RMII TX)	TXEN/TXD[1:0]	2	16	ns

2.8.3.2 MDIO 接口时序

MDIO 接口读时序如图 2-21 所示。

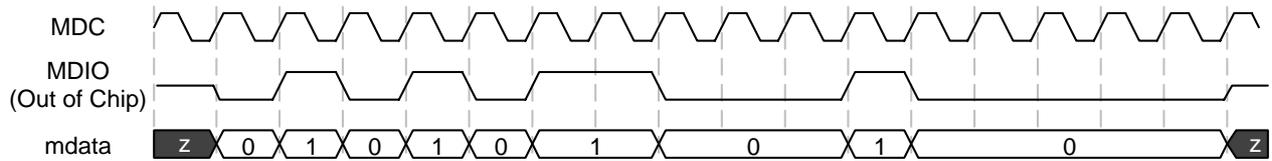
图2-21 MDIO 接口读时序



MDIO 接口写时序如图 2-22 所示。

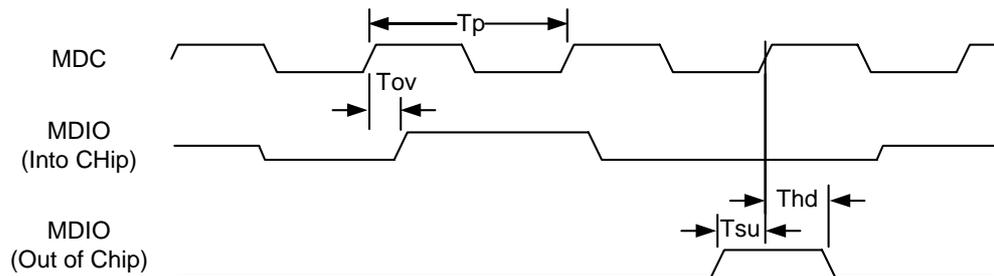


图2-22 MDIO 接口写时序



MDIO 接口时序参数如图 2-23 所示。

图2-23 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 2-77 所示。

表2-77 MDIO 接口时序参数

参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	Tov	MDIO	0	300	ns
MDIO 时钟周期	Tp	MDCK	92.5	7407	ns
MDIO 发送数据建立时间	Tsu	MDIO	10	-	ns
MDIO 发送数据保持时间	Thd	MDIO	10	-	ns

注：MDC 时钟周期 Tp 可通过调整 MDC 频率（MDIO_RWCTRL[frq_dv]）进行改变，选择 Ethernet 工作时钟的 100 分频、50 分频或者其他分频。Tov 为 5 个工作时钟周期。

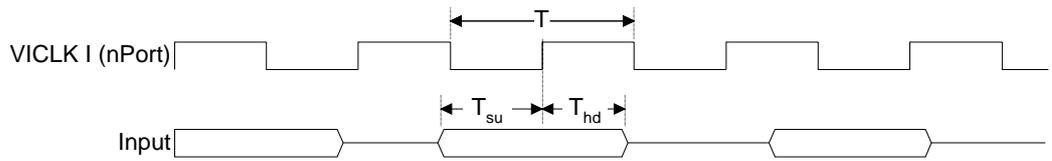
2.8.4 VI 接口时序

外部提供 VI 时钟。当 VI 工作于从模式时，全部为输入接口。

VI 接口时序如图 2-24 所示。



图2-24 VI 接口时序图



VI 接口时序参数如表 2-78 所示。

表2-78 VI 接口时序参数表

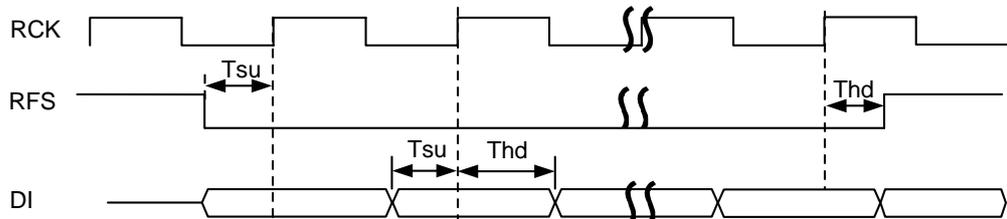
参数	符号	最小值	典型值	最大值	单位
VICLK 时钟周期	T	6.74	-	-	ns
输入信号建立时间要求	T_{su}	1.5	-	-	ns
输入信号保持时间要求	T_{hd}	1.0	-	-	ns

2.8.5 AIO 接口时序

2.8.5.1 I²S 接口时序

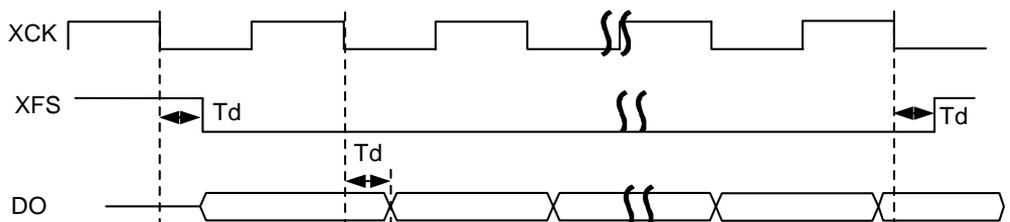
I²S 接口接收时序如图 2-25 所示。

图2-25 I²S 接口接收时序图



I²S 接口发送时序如图 2-26 所示。

图2-26 I²S 接口发送时序图





I²S 接口时序参数如表 2-79 所示。

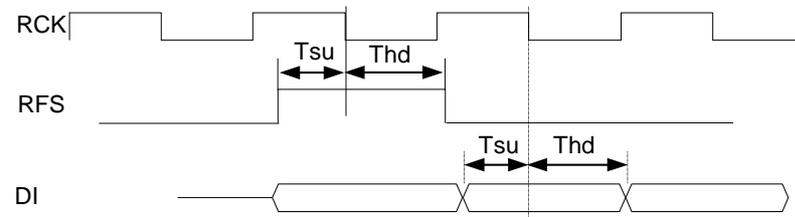
表2-79 I²S 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T _{su}	10	-	-	ns
输入信号保持时间	T _{hd}	10	-	-	ns
输出信号延时	T _d	0	-	8	ns

2.8.5.2 PCM 模式接口时序

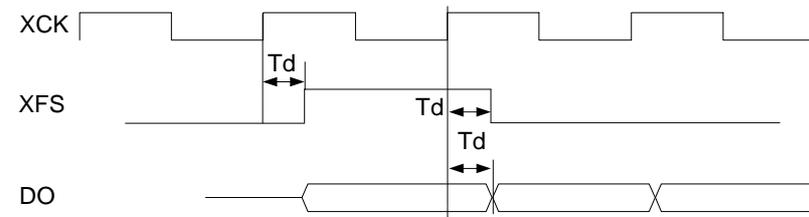
PCM 接口接收时序如图 2-27 所示。

图2-27 PCM 接口接收时序图



PCM 接口发送时序如图 2-28 所示。

图2-28 PCM 接口发送时序图



PCM 接口时序参数如表 2-80 所示。

表2-80 PCM 接口时序参数表

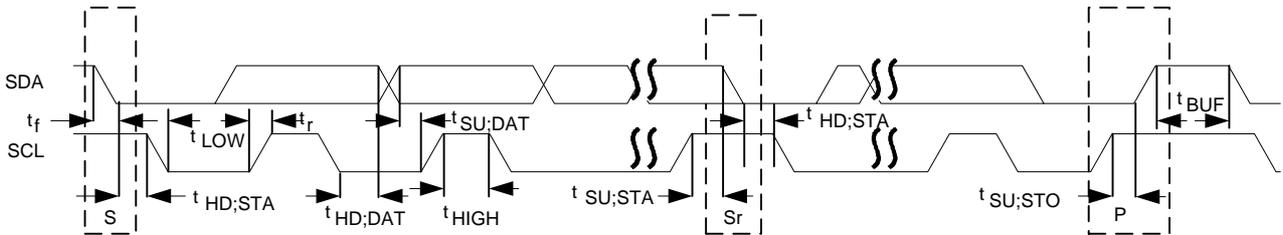
参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T _{su}	10	-	-	ns
输入信号保持时间	T _{hd}	10	-	-	ns
输出信号延时	T _d	0	-	8	ns



2.8.6 I²C 时序

I²C 传输时序如图 2-29 所示。

图2-29 I²C 传输时序图



I²C 接口时序参数如表 2-81 所示。

表2-81 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	kHz
启动保持时间	$t_{HD:STA}$	4.0	-	0.6	-	μs
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μs
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{SU:STA}$	4.7	-	0.6	-	μs
数据保持时间	$t_{HD:DAT}$	0	3.45	0	0.9	μs
数据建立时间	$t_{SU:DAT}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{SU:STO}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V



2.8.7 SPI 接口时序

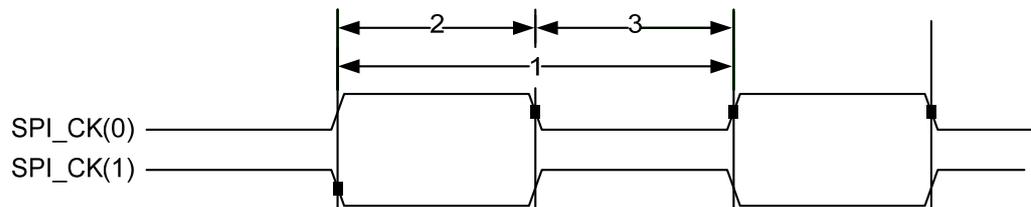
说明

图 2-30 ~ 图 2-32 中，以下缩略语或字母意义不变：

- MSB: Most Significant Bit
- LSB: Least Significant Bit
- SPI_CK(0): spo=0
- SPI_CK(1): spo=1

SPI 接口时钟时序如图 2-30 所示。

图2-30 SPICK 时序



SPI 主模式下接口时序分别如图 2-31 和图 2-32 所示。

图2-31 SPI 主模式下接口时序 (sph=0)

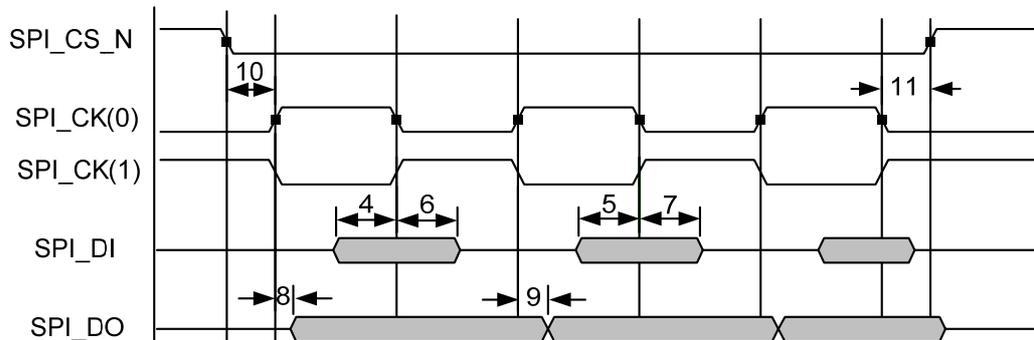
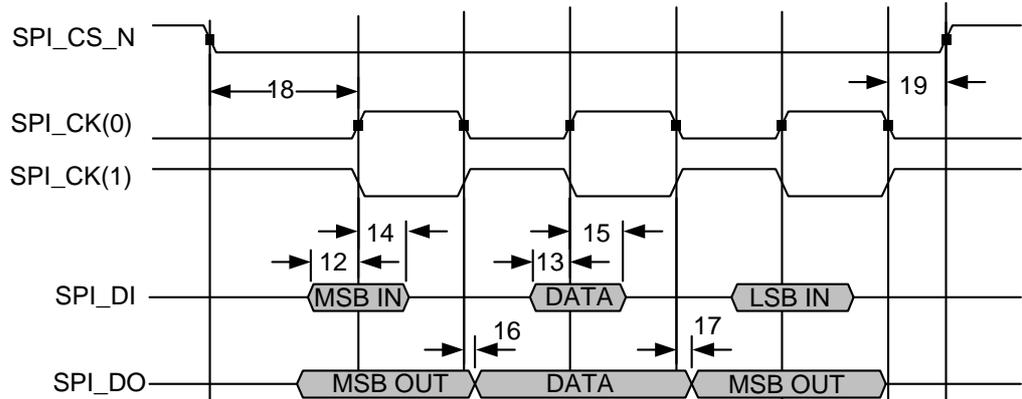




图2-32 SPI 主模式下接口时序 (sph=1)



SPI 接口时序参数如表 2-82 所示。

表2-82 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位
1	Cycle time, SPI_CK	tc	-	-	-	ns
2	Pulse duration, SPI_CK high (All Master Modes)	tw1	-	-	-	ns
3	Pulse duration, SPI_CK low (All Master Modes)	tw2	-	-	-	ns
4	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu1	-	-	-	ns
5	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu2	-	-	-	ns
6	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th1	-	-	-	ns
7	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th2	-	-	-	ns
8	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td1	-	-	-	ns
9	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td2	-	-	-	ns
10	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td3	-	-	-	ns



No	参数	符号	最小值	典型值	最大值	单位
11	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td4	-	-	-	ns
12	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu3	-	-	-	ns
13	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu4	-	-	-	ns
14	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th3	-	-	-	ns
15	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th4	-	-	-	ns
16	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td5	-	-	-	ns
17	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td6	-	-	-	ns
18	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td7	-	-	-	ns
19	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td8	-	-	-	ns



目 录

3 系统	3-1
3.1 复位.....	3-1
3.1.1 概述	3-1
3.1.2 复位控制	3-1
3.1.3 复位配置	3-2
3.2 时钟.....	3-3
3.2.1 概述	3-3
3.2.2 时钟控制框图.....	3-3
3.2.3 时钟配置	3-4
3.2.4 寄存器概览	3-15
3.2.1 寄存器描述	3-16
3.3 中断系统.....	3-53
3.4 系统控制器.....	3-54
3.4.1 概述	3-54
3.4.2 特点	3-55
3.4.3 功能描述	3-55
3.4.4 系统运行模式控制.....	3-55
3.4.5 寄存器概览	3-58
3.4.6 寄存器描述	3-60
3.5 CIPHER	3-101
3.5.1 概述	3-101
3.5.2 特点	3-101
3.5.3 功能描述	3-102
3.5.4 工作方式	3-112
3.5.5 寄存器概览	3-114
3.5.6 寄存器描述	3-116
3.6 定时器.....	3-136
3.6.1 概述	3-136
3.6.2 特点	3-136
3.6.3 功能描述	3-136



3.6.4 工作方式	3-137
3.6.5 寄存器概览	3-138
3.6.6 寄存器描述	3-139
3.7 看门狗.....	3-143
3.7.1 概述	3-143
3.7.2 特点	3-143
3.7.3 功能描述	3-144
3.7.4 工作方式	3-145
3.7.5 寄存器概览	3-146
3.7.6 寄存器描述	3-146
3.8 实时时钟.....	3-150
3.8.1 概述	3-150
3.8.2 特点	3-150
3.8.3 功能描述	3-150
3.8.4 工作方式	3-151
3.8.5 寄存器概览	3-154
3.8.6 APB 寄存器描述.....	3-157
3.8.7 内部寄存器描述.....	3-163
3.9 电源管理与低功耗模式控制.....	3-196
3.9.1 概述	3-196
3.9.2 系统工作模式.....	3-196
3.9.3 时钟门控和时钟频率调整.....	3-196
3.9.4 模块级低功耗控制.....	3-197
3.9.5 DDR 低功耗控制.....	3-198
3.10 处理器子系统.....	3-198
3.10.1 ARMCortex-A9 处理器.....	3-198
3.10.2 L2 Cache	3-198



插图目录

图 3-1 复位信号控制图	3-1
图 3-2 时钟管理模块功能框图.....	3-3
图 3-3 系统模式切换图	3-56
图 3-4 芯片 ID 寄存器位分配图	3-58
图 3-5 3 个密钥和 2 个密钥的 3DES 加密操作	3-103
图 3-6 3 个密钥和 2 个密钥的 3DES 解密操作	3-103
图 3-7 AES/DES 的电子密码本 (ECB) 模式.....	3-104
图 3-8 3DES 的电子密码本 (ECB) 模式	3-104
图 3-9 AES/DES 的密码分组链接 (CBC) 模式.....	3-105
图 3-10 3DES 的密码分组链接 (CBC) 模式.....	3-106
图 3-11 AES/DES 的 s 位密码反馈 (CFB) 模式.....	3-107
图 3-12 3DES 的 s 位密码反馈 (CFB) 模式	3-108
图 3-13 AES 的输出反馈 (OFB) 模式.....	3-109
图 3-14 DES 的 s 位输出反馈 (OFB) 模式.....	3-110
图 3-15 3DES 的 s 位输出反馈 (OFB) 模式.....	3-111
图 3-16 AES 的 CTR 模式	3-112
图 3-17 多分组加解密通道链表头结构如下:	3-113
图 3-18 WatchDog 应用框图.....	3-144



表格目录

表 3-1 复位信号分类表	3-2
表 3-2 Hi3520D PLL 对应的配置寄存器	3-4
表 3-3 Hi3520D PLL 与各功能模块对应关系	3-4
表 3-4 Hi3520D PLL 频率计算方法	3-5
表 3-5 A9 频率配置	3-6
表 3-6 系统控制器状态和时钟切换对应关系	3-6
表 3-7 VICAP 时钟频率配置	3-7
表 3-8 VDP 模块时钟频率配置	3-8
表 3-9 HDMI 管脚输出时钟频率配置	3-9
表 3-10 ETH 时钟频率配置	3-9
表 3-11 SATA 时钟频率配置	3-10
表 3-12 SFC 时钟频率配置	3-10
表 3-13 PWM 时钟频率配置	3-10
表 3-14 AIP/AOP0/AOP1 时钟频率配置	3-11
表 3-15 CRG 寄存器概览（基址是 0x2003_0000）	3-15
表 3-16 A9 中断源分配表	3-53
表 3-17 系统控制器寄存器概览（基址是 0x2005_0000）	3-58
表 3-18 CAS 各个 bit 标志	3-113
表 3-19 CIPHER 寄存器概览（基址是 0x100C_0000）	3-114
表 3-20 CIPHER 寄存器偏移地址变量表	3-116
表 3-21 Timer 寄存器概览（基址是 0x2000_0000、0x2001_0000、0x2013_0000、0x2014_0000）	3-138
表 3-22 WatchDog 寄存器概览（基址是 0x2004_0000）	3-146
表 3-23 RTC APB 寄存器概览（基址是 0x2006_0000）	3-154
表 3-24 RTC 内部寄存器概览（基址是 0x00）	3-154
表 3-25 CPU 与 AXI 总线之间的工作频率关系	3-198





3 系统

3.1 复位

3.1.1 概述

复位管理模块对整个芯片的复位、各功能模块的复位进行统一的管理，包括：

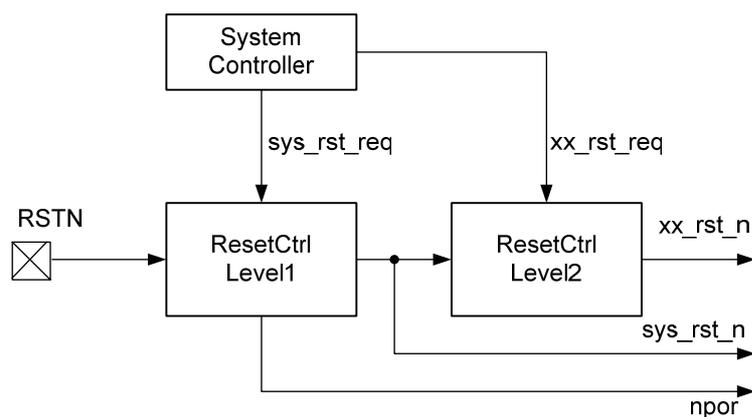
- 上电复位的管理和控制
- 系统软复位、功能模块单独软复位控制
- 复位信号同步到各模块对应时钟域

复位管理模块生成芯片内部各功能模块的复位信号。

3.1.2 复位控制

复位信号控制如图 3-1 所示。

图3-1 复位信号控制图



RSTN	上电复位信号，源自芯片管脚 RSTN 输入。
sys_rst_req	全局软复位请求信号，源自系统控制器。
xx_rst_req	子模块单独软复位请求信号，源自 CRG 控制寄存器。
xx_rst_n、sys_rst_n、npor	复位信号。



复位信号分类如表 3-1 所示。

表3-1 复位信号分类表

复位信号类型	产生方式	用途
全局硬复位 npor	来自复位管脚 RSTN	对整芯片进行全局复位。
全局软复位 sys_rst_n	软件配置系统控制器的全局软复位寄存器	对整芯片中除了时钟复位电路和测试电路的所有模块进行全局复位。
子模块复位 xx_rst_n	软件配置 CRG 控制寄存器的子模块复位控制寄存器	芯片各子模块的单独复位。

3.1.3 复位配置

上电复位

RSTN 是 Hi3520D 芯片的功能复位输入管脚，完成上电复位过程必须同时满足以下条件：

- 上电复位管脚输入一个低电平脉冲。
- 晶振时钟输入管脚 XIN 输入的时钟稳定。
- 输入的上电复位信号低电平维持时间大于 12 个 XIN 晶振时钟周期。

系统复位

实现系统复位有两种途径：

- 上电复位。
- 全局软复位，通过系统控制器控制。

软复位

软复位控制通过配置相应的系统控制器来实现，具体配置请参见每个模块的复位寄存器描述。



注意

- 系统软复位请求发出后，电路必须等待至少 360 个系统时钟周期才完成复位撤消。
- 各模块单独软复位不会自动撤消，例如某模块的复位是配置 1 时，模块处于复位状态，必须再配置为 0，该模块复位才会撤消。



3.2 时钟

3.2.1 概述

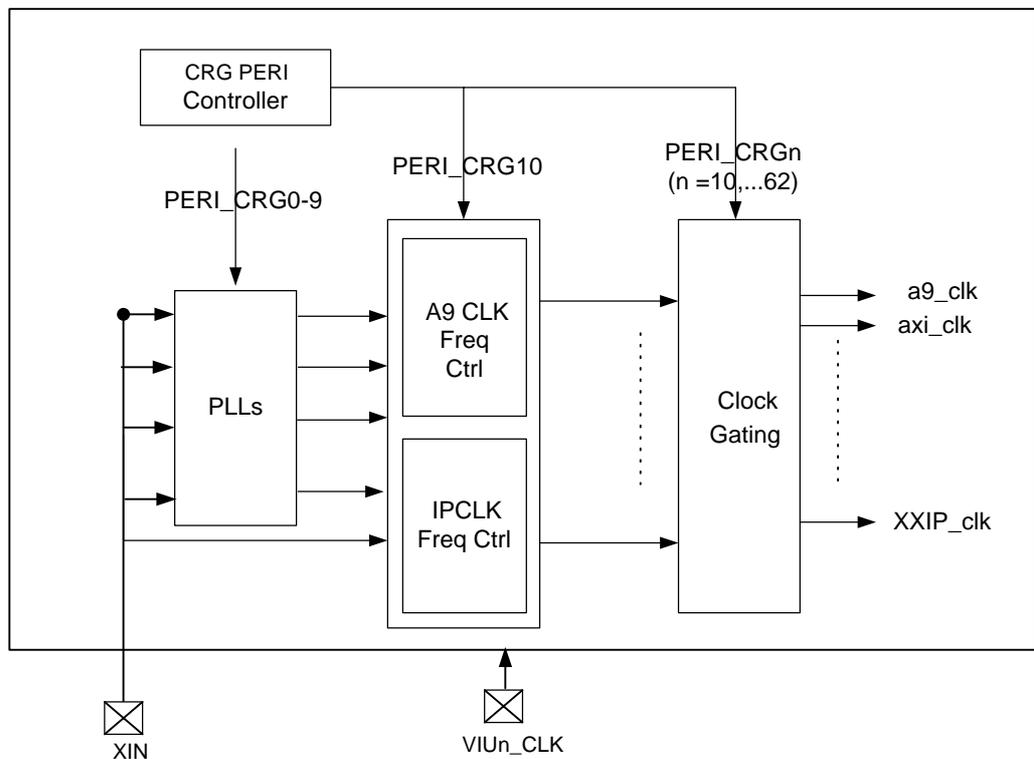
时钟管理模块对芯片时钟输入、时钟生成和控制进行统一的管理，包括：

- 时钟输入的管理和控制
- 时钟分频和控制
- 生成各模块的工作时钟

3.2.2 时钟控制框图

时钟管理模块功能框图如图 3-2 所示。

图3-2 时钟管理模块功能框图



时钟管理模块有以下两部分输入：

- 源自芯片管脚的时钟输入：XIN、VIUn_CLK。
 - XIN 为 PLL 输入时钟，固定连接 24MHz 晶体
 - VIUn_CLK 为视频输入时钟(n=0 或 1)
- 源自 CRG 系统控制器的时钟控制寄存器。
 - PLL 频率配置
 - IP 时钟频率配置



- 时钟门控配置

时钟管理模块功能主体主要包括三部分：

- PLL 单元，用于产生 A9 和总线时钟，以及其它外设所需时钟。
- A9 频率控制单元 A9 Freq Ctrl 和模块时钟频率控制单元 IPCLK Freq Ctrl。
- 时钟门控管理单元 Clock Gating。

3.2.3 时钟配置

PLL 配置

Hi3520D 内部使用了 3 个 PLL，每个 PLL 使用两组配置寄存器，对应关系如表 3-2 所示。

表3-2 Hi3520D PLL 对应的配置寄存器

PLL	配置寄存器 1	配置寄存器 0
APLL	PERI_CRG0	PERI_CRG1
VPLL0	PERI_CRG2	PERI_CRG3
EPLL	PERI_CRG8	PERI_CRG9

PLL 与功能模块对应关系如表 3-3 所示。

表3-3 Hi3520D PLL 与各功能模块对应关系

PLL	PLL 输出 Pin	用途
APLL	FOUTVCO	默认 1240MHz。 <ul style="list-style-type: none"> • 二分频得到 660MHz，作为 A9/DDR 工作时钟。 • DDR 时钟分频得到 AXI、APB 等总线时钟。
VPLL0	FOUT1PH0	配置为 148.5MHz，作为 HDMI/VDP HD 工作时钟。



PLL	PLL 输出 Pin	用途
EPLL	FOUTVCO	配置为 1350MHz。 <ul style="list-style-type: none"> • 2 分频后得到 675MHz，作为 SIO 模块 MCLK 源时钟。 • 6 分频后得到 225MHz，作为 VEDU/VPSS 模块工作时钟。 • 7 分频后得到 193MHz，作为 JPGE/VAPU 模块工作时钟。 • 12 分频后得到 112.5MHz，作为 SFC/MDU/JPGE/CIPHER 源时钟。 • 分频后得到 54MHz，作为 VDP SD 源时钟。
	FOUTPOSTDIV	配置为 150MHz，三分频后得到 50MHz，作为 SATA/ETH RMII 参考时钟或接口时钟。
	FOUT3	配置为 25MHz，作为 FE PHY 输入时钟。

所有 PLL 采用管脚 XIN 输入的晶振时钟作为输入时钟，PLL 输出频率配置方法如表 3-4 所示。

表3-4 Hi3520D PLL 频率计算方法

PLL Pin	计算方法描述	注意事项
FREF	PLL 输入参考时钟	Hi3520D 要求固定输入 24MHz
FOUTVCO	$FREF \times (fbdiv + \frac{frac}{2^{24}}) / refdiv$	PLL 工作频率，要求大于等于 600MHz，且小于等于 1.6GHz
FOUTPOSTDIV	$FOUTVCO / (pstdiv1 \times pstdiv2)$	-
FOUT1PH0	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 2)$	-
FOUT2	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 4)$	-
FOUT3	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 6)$	-
FOUT4	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 8)$	-

以配置 VPLL0 为例，VPLL0 输出 FOUT1PH0 给 VDP 模块，VDP 模块工作在 HD 模式，工作时钟 148.5MHz，计算配置寄存器的值如下：

取 $postdiv2=2$ ， $postdiv1=2$ ，根据 $FOUT1PH0 = FOUTVCO / (pstdiv1 \times pstdiv2 \times 2)$ ，则 $FOUTVCO=1188MHz$ 。

取 $refdiv=2$ ，则 $24 \times (fbdiv + \frac{frac}{2^{24}}) / 2 = 1188MHz$ 。

由上面的条件推出： $fbdiv=99$ ， $frac=000000$ 。



A9 频率配置

A9 频率时钟配置方法如表 3-5 所示。

表3-5 A9 频率配置

信号名	描述
freqmode_a9_sys	<p>A9 时钟降频配置。</p> <p>通过 Mask A9 时钟脉冲可实现 A9 降频使用，调节其与 AXI 时钟之间的频比。</p> <p>11: A9:AXI = 1:1。</p> <p>其它: A9:AXI = 2:1;</p> <p>可通过配置 PERI_CRG10 bit[3:2]控制该信号。</p>

系统控制器的状态和时钟切换的对应关系如表 3-6 所示。

表3-6 系统控制器状态和时钟切换对应关系

系统控制器状态	46.875kHz 时钟使能状态	24MHz 晶振使能状态	APLL 使能状态	系统时钟状态
NORMAL	使能	使能	使能	ARM 子系统的工作时钟都来自 PLL 输出。
SLOW	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振输入。
DOZE	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振时钟分频得到的 46.875KHz 时钟。

模块时钟频率配置

VICAP 时钟配置方式如表 3-7 所示。

VICAP 共支持 2 端口 8 通道，每个端口对应四个通道;其中 CH0/1/4/5 通道时钟分频比可配。



表3-7 VICAP 时钟频率配置

信号名	描述
vich0_divsel	VI Ch0 时钟选择。 00: div2 (表示 2 分频) ; 01: div4 (表示 4 分频) ; 10: div1 (表示 1 分频, 即不分频) ; 11: 保留。 可通过配置 PERI_CRG11 bit[31:30]控制该信号。
vich1_divsel	VI Ch1 时钟选择。 00: div2 (表示 2 分频) ; 01: div4 (表示 4 分频) ; 1x: 保留。 可通过配置 PERI_CRG11 bit[29:28]控制该信号。
vich4_divsel	VI Ch4 时钟选择。 00: div2 (表示 2 分频) ; 01: div4 (表示 4 分频) ; 10: div1 (表示 1 分频, 即不分频) ; 11: 保留。 可通过配置 PERI_CRG11 bit[27:26]控制该信号。
vich5_divsel	VI Ch5 时钟选择。 00: div2 (表示 2 分频) ; 01: div4 (表示 4 分频) ; 1x: 保留。 可通过配置 PERI_CRG11 bit[25:24]控制该信号。
vi_selftest	VICAP selftest 模式配置。 0: 正常工作模式, 选择 IO 输入时钟 ; 1: 自测试模式, 选择片内 24M 测试时钟。 可通过配置 PERI_CRG11 bit[22]控制该信号。
vi1_sc_sel	VI Port1 时钟源选择。 0: 选择 vi0 pad 输入时钟; 1: 选择 vi1 pad 输入时钟。 可通过配置 PERI_CRG11 bit[21]控制该信号。



信号名	描述
vi0_sc_sel	VI Port0 时钟源选择。 0: 选择 vi0 pad 输入时钟; 1: 选择 vi1 pad 输入时钟。 可通过配置 PERI_CRG11 bit[20]控制该信号。
vi_adc_cksel	片外 VICAP ADC 时钟频率选择。 00: 54M; 01: 27M; 1X: 24M。 可通过配置 PERI_CRG11 bit[19:18]控制该信号。
vi0_pctrl	VI Port0 输入随路时钟相位控制。默认正向。 0: 正向时钟; 1: 反向时钟。 可通过配置 PERI_CRG11 bit[3]控制该信号。
vi1_pctrl	VI Port1 输入随路时钟相位控制。默认正向。 0: 正向时钟; 1: 反向时钟。 可通过配置 PERI_CRG11 bit[2]控制该信号。

VDP 模块时钟配置方式如表 3-8 所示。

表3-8 VDP 模块时钟频率配置

信号名	描述
vou_xx_cken	VOU _{xx} (xx = SD0/SD1/HD/总线/VDAC) 模块时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。 可通过配 PERI_CRG13 bit[11:6]控制该信号。

HDMI 时钟配置方式如表 3-9 所示。



表3-9 HDMI 管脚输出时钟频率配置

信号名	描述
hdmi_cec_clk_sel	HDMI CEC CLK 时钟门选择。 0: XTAL div12 时钟; 1: PLL 分频 2.04MHz 时钟。 可通过配置 PERI_CRG15 bit[6]控制该信号。
hdmi_asclk_sel	HDMI ASCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。 可通过配置 PERI_CRG15 bit[5]控制该信号。
hdmi_osclk_sel	HDMI OSCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。 可通过配置 PERI_CRG15 bit[4]控制该信号。

ETH 模块时钟配置方式如表 3-10 所示。

表3-10 ETH 时钟频率配置

信号名	描述
mii_rmii_mode	ETH MII、RMII 模式配置。 0: MII 模式; 1: RMII 模式。 可通过配置 PERI_CRG51[3]控制该信号。
eth_rmiick_sel	ETH RMII CLK 时钟源选择。 0: 选择内部 CRG 时钟; 1: 选择 PAD 输入时钟。 可通过配置 PERI_CRG51[4]控制该信号。

SATA 模块时钟配置方式如表 3-11 所示。



表3-11 SATA 时钟频率配置

信号名	描述
sata_clk_sel	SATA phy 参考时钟选择。 0: 150MHz 时钟; 1: 50MHz 时钟。 可通过配置 PERI_CRG45 bit[11]控制该信号。
cko_alive_cksel	SATA Ctrl cko_alive 源时钟选择。 0: 选择内部 CRG 50MHz 时钟; 1: 选择 SATAPHY cko_alive 时钟。 可通过配置 PERI_CRG45 bit[12]控制该信号。

SFC 模块时钟配置方式如表 3-12 所示。

表3-12 SFC 时钟频率配置

信号名	描述
sfc_cksel	SFC2X 时钟源选择。 x0: 24MHz 时钟; 01: 75MHz 时钟; 11: 112.5 MHz 时钟。 可通过配置 PERI_CRG48 bit[3:2]控制该信号。

PWM 模块时钟配置方式如表 3-13 所示。

表3-13 PWM 时钟频率配置

信号名	描述
pwm_cksel	PWM 时钟选择寄存器。 0: 3MHz; 1: 24 MHz。 可通过配置 PERI_CRG14 bit[2]控制该信号。

AIO 时钟频率配置方法如表 3-14 所示。AIO 包含 AIP、AOP0 和 AOP1 三个独立通道。



表3-14 AIP/AOP0/AOP1 时钟频率配置

信号名	描述
aip_clk_sel	AIP BCLK/FSCLK 时钟选择。 0: 共用 AOP0 BCLK/FSCLK 配置; 1: 不共用。 可通过配置 PERI_CRG32 bit[24]控制该信号。
aip_ckcfg[23:0]	AIP mclk 的分频时钟配置值, 配置值为(MCLK/AIP 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 675MHz。MCLK 最大支持 62.5MHz, 可通过配置 PERI_CRG32 bit[23:0]控制该信号。
aop0_ckcfg[23:0]	AOP0 mclk 的分频时钟配置值, 配置值为(MCLK/AOP0 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 675MHz。MCLK 最大支持 62.5MHz, 可通过配置 PERI_CRG33 bit[23:0]控制该信号。
aop1_ckcfg[23:0]	AOP1 mclk 的分频时钟配置值, 配置值为(MCLK/AOP1 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 675MHz。MCLK 最大支持 62.5MHz, 可通过配置 PERI_CRG34 bit[23:0]控制该信号。
aip_fsclk_div	AIP 位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。 可通过配置 PERI_CRG36 bit[14:12]控制该信号。



信号名	描述
aip_bclk_div	<p>AIP 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG36 bit[11:8]控制该信号。</p>
aop0_fsclk_div	<p>AOP0 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG37 bit[14:12]控制该信号。</p>



信号名	描述
aop0_bclk_div	<p>AOP0 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG37 bit[11:8]控制该信号。</p>
aop1_fsclk_div	<p>AOP1 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG38 bit[14:12]控制该信号。</p>



信号名	描述
aop1_bclk_div	<p>AOP1 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG38 bit[11:8]控制该信号。</p>

一般的应用场景会给定采样率时钟频率 FSCLK，而比特时钟 BCLK 和主时钟 MCLK 相对于 FSCLK 分别具有可变的倍数关系，时钟频率配置方法示例如下：

AIO 小数分频的时钟源为固定 675MHz，此时要求配置出 AIO 工作时钟频率为 FSCLK=48kHz、MCLK=256FSCLK=12.288MHz、BCLK=16FSCLK=768KHz。配置方法如下：

- 675MHz 到 MCLK 分频比计算为： $N=12.288/675$ ，则 $\text{aio_ckcfg}[23:0]=N \times 2^{27}$ ，根据四舍五入取整原则计算为 2443359，因此配置 $\text{aio_ckcfg}=0x0025_485F$ ，即可得到 CLK 的正确频率。
- BCLK 由 MCLK 分频获得，分频比为 $\text{BCLK}/\text{MCLK}=16/256=1/16$ ，因此根据配置表中的对应关系，配置 $\text{aio_bclk_div}[3:0]=0b0111$ （对应 16 分频）便可得到 BCLK 的正确频率。
- FSCLK 由 BCLK 分频得到，分频比为 $1/16$ ，因此根据配置表中的对应关系，配置 $\text{aio_fsclk_div}=0b000$ （对应 16 分频）便可得到 FSCLK 的正确频率。

注意事项

时钟配置需要注意以下事项：

- A9 工作时钟上电默认为晶振模式，即选择 XIN 输入的晶振时钟。
- PLL 在变更频率配置时，需要等待 0.1ms 才能输出稳定的时钟。更改 PLL 频率配置只能在系统处于 SLOW 模式下进行。



- 在 PLL 输出时钟未稳定的情况下，不能执行系统切换到 PLL 模式，可通过观测 PLL LOCK 指示位判断 PLL 是否 LOCK。PLL LOCK 指示位可通过读 PERI_CRG58 bit[2:0]状态获取。

3.2.4 寄存器概览

CRG 寄存器概览如表 3-15 所示。

表3-15 CRG 寄存器概览（基址是 0x2003_0000）

偏移地址	名称	描述	页码
0x0000	PERI_CRG0	APLL 配置寄存器 0	3-16
0x0004	PERI_CRG1	APLL 配置寄存器 1	3-17
0x0008	PERI_CRG2	VPLL0 配置寄存器 0	3-18
0x000C	PERI_CRG3	VPLL0 配置寄存器 1	3-19
0x0020	PERI_CRG8	EPLL 配置寄存器 0	3-20
0x0024	PERI_CRG9	EPLL 配置寄存器 1	3-21
0x0028	PERI_CRG10	A9 频率模式及复位配置寄存器	3-22
0x002C	PERI_CRG11	VICAP 时钟及复位配置寄存器	3-24
0x0034	PERI_CRG13	VOU 时钟及复位控制寄存器	3-26
0x0038	PERI_CRG14	PWM 时钟及复位控制寄存器	3-27
0x003C	PERI_CRG15	HDMI 时钟及复位控制寄存器	3-28
0x0040	PERI_CRG16	VEDU 时钟及软复位控制寄存器	3-29
0x0048	PERI_CRG18	VPSS 时钟及软复位控制寄存器	3-30
0x0058	PERI_CRG22	TDE 时钟及软复位控制寄存器	3-30
0x0060	PERI_CRG24	JPGE 时钟及软复位控制寄存器	3-31
0x0064	PERI_CRG25	JPGD 时钟及软复位控制寄存器	3-32
0x0068	PERI_CRG26	MDU 时钟及软复位控制寄存器	3-32
0x006C	PERI_CRG27	VAPU 时钟及软复位控制寄存器	3-33
0x0070	PERI_CRG28	VOIE 相关的时钟及软复位控制寄存器	3-34
0x0074	PERI_CRG29	VCMP 相关的时钟及软复位控制寄存器	3-34
0x007C	PERI_CRG31	CIPHER 相关的时钟及软复位控制寄存器	3-35
0x0080	PERI_CRG32	AIP MCLK 控制寄存器	3-36



偏移地址	名称	描述	页码
0x0084	PERI_CRG33	AOP0 MCLK 控制寄存器	3-36
0x0088	PERI_CRG34	AOP1 MCLK 控制寄存器	3-37
0x008C	PERI_CRG35	AIO 总线时钟复位控制寄存器	3-37
0x0090	PERI_CRG36	AIP 相关的时钟及软复位控制寄存器	3-38
0x0094	PERI_CRG37	AOP0 相关的时钟及软复位控制寄存器	3-40
0x0098	PERI_CRG38	AOP1 相关的时钟及软复位控制寄存器	3-41
0x00B4	PERI_CRG45	SATA 相关的时钟及软复位控制寄存器	3-43
0x00B8	PERI_CRG46	USB 相关的时钟及软复位控制寄存器	3-45
0x00C0	PERI_CRG48	SFC 相关的时钟及软复位控制寄存器	3-46
0x00CC	PERI_CRG51	ETH 接口相关的时钟及软复位控制寄存器	3-47
0x00D4	PERI_CRG53	SCD 相关的时钟及软复位控制寄存器	3-47
0x00D8	PERI_CRG54	DDRTEST 和 EFUSE 相关的时钟及软复位控制寄存器	3-48
0x00E4	PERI_CRG57	其它 CRG 接口模块软复位控制寄存器	3-49
0x00E8	PERI_CRG58	CRG 状态寄存器	3-51
0x00F4	PERI_CRG61	SpeedMonitor 控制寄存器	3-52
0x00F8	PERI_CRG62	SpeedMonitor 状态寄存器 1	3-52

3.2.1 寄存器描述

PERI_CRG0

PERI_CRG0 为 APLL 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0000		PERI_CRG0		0x1100_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved apll_bypass apll_postdiv2	apll_postdiv1	apll_frac					
Reset	0 0 0 1	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30]	RW	apll_bypass	APLL 时钟分频旁路 (bypass) 控制。 0: 非旁路; 1: 旁路。					
[29:27]	RW	apll_postdiv2	APLL 第二级输出分频系数。					
[26:24]	RW	apll_postdiv1	APLL 第一级输出分频系数。					
[23:0]	RW	apll_frac	APLL 小数分频系数。					

PERI_CRG1

PERI_CRG1 为 APLL 配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0004		PERI_CRG1		0x007C_309B				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		apll_dacpd apll_dsmpd apll_pd apll_foutvcopd apll_postdivpd apll_fout4phasepd	apll_refdiv		apll_fbdiv		
Reset	0 0 0 0	0 0 0 0	0 1 1 1	1 1 0 0	0 0 1 1	0 0 0 0	1 0 0 1	1 0 1 1
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					



[23]	RW	apll_dacpd	APLL 测试信号控制。 0: power down 工作状态; 1: 正常工作状态。
[22]	RW	apll_dsmpd	APLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[21]	RW	apll_pd	APLL Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。
[20]	RW	apll_foutvcopd	APLL VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。
[19]	RW	apll_postdivpd	APLL POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[18]	RW	apll_fout4phasepd	APLL FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[17:12]	RW	apll_refdiv	APLL 参考时钟分频系数。
[11:0]	RW	apll_fbdiv	APLL 整数倍频系数。

PERI_CRG2

PERI_CRG2 为 VPLL0 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0008		PERI_CRG2		0x1200_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved vpll0_bypass	vpll0_postdiv2 vpll0_postdiv1	vpll0_frac					
Reset	0 0 0 1	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30]	RW	vpll0_bypass	VPLL0 时钟分频旁路 (bypass) 控制。 0: 非旁路; 1: 旁路。					
[29:27]	RW	vpll0_postdiv2	VPLL0 第二级输出分频系数。					
[26:24]	RW	vpll0_postdiv1	VPLL0 第一级输出分频系数。					
[23:0]	RW	vpll0_frac	VPLL0 小数分频系数。					

PERI_CRG3

PERI_CRG3 为 VPLL0 配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x000C		PERI_CRG3		0x007C_2063				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vpll0_dacpd vpll0_dsmppd vpll0_pd vpll0_foutvcopd vpll0_postdivpd vpll0_fout4phasepd	vpll0_refdiv		vpll0_fbdiv		
Reset	0 0 0 0	0 0 0 0	0 1 1 1	1 1 0 0	0 0 1 0	0 0 0 0	0 1 1 0	0 0 1 1
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					



[23]	RW	vpll0_dacpd	VPLL0 测试信号控制。 0: power down 工作状态; 1: 正常工作状态。
[22]	RW	vpll0_dsmpd	VPLL0 小数分频控制。 0: 小数模式; 1: 整数模式。
[21]	RW	vpll0_pd	VPLL0 Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。
[20]	RW	vpll0_foutvcopd	VPLL0 VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。
[19]	RW	vpll0_postdivpd	VPLL0 POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[18]	RW	vpll0_fout4phasepd	VPLL0 FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[17:12]	RW	vpll0_refdiv	VPLL0 参考时钟分频系数。
[11:0]	RW	vpll0_fbdiv	VPLL0 整数倍频系数。

PERI_CRG8

PERI_CRG8 为 EPLL 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0020		PERI_CRG8		0x1B00_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved epll_bypass	epll_postdiv2 epll_postdiv1	epll_frac					
Reset	0 0 0 1	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30]	RW	epll_bypass	EPLL 时钟分频旁路 (bypass) 控制。 0: 非旁路; 1: 旁路。					
[29:27]	RW	epll_postdiv2	EPLL 第二级输出分频系数。					
[26:24]	RW	epll_postdiv1	EPLL 第一级输出分频系数。					
[23:0]	RW	epll_frac	EPLL 小数分频系数。					

PERI_CRG9

PERI_CRG9 为 EPLL 配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0024		PERI_CRG9		0x007C_40E1				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		epll_dacpd epll_dsmppd epll_pd epll_foutvcopd epll_postdivpd epll_fout4phasepd	epll_refdiv		epll_fbdiv		
Reset	0 0 0 0	0 0 0 0	0 1 1 1	1 1 0 0	0 1 0 0	0 0 0 0	1 1 1 0	0 0 0 1
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					



[23]	RW	epll_dacpd	EPLL 测试信号控制。 0: power down 工作状态; 1: 正常工作状态。
[22]	RW	epll_dsmpd	EPLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[21]	RW	epll_pd	EPLL Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。
[20]	RW	epll_foutvcopd	EPLL VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。
[19]	RW	epll_postdivpd	EPLL POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[18]	RW	epll_fout4phasepd	EPLL FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[17:12]	RW	epll_refdiv	EPLL 参考时钟分频系数。
[11:0]	RW	epll_fbdiv	EPLL 整数倍频系数。

PERI_CRG10

PERI_CRG10 为 A9 频率模式及复位配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0028		PERI_CRG10		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cs_srst_req	cluster_scu_srst_req	cluster_peri_srst_req	reserved	sc_wd_srst_req	cluster_dbg_srst_req	cpu_srst_req	reserved	freqmode_a9_sys	reserved										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:12]	RO	reserved	保留。																													
[11]	RW	cs_srst_req	CS 的软复位请求。 0: 撤消复位; 1: 复位。																													
[10]	RW	cluster_scu_srst_req	SCU 的软复位请求。 0: 撤消复位; 1: 复位。																													
[9]	RW	cluster_peri_srst_req	PERI 的软复位请求。 0: 撤消复位; 1: 复位。																													
[8]	RO	reserved	保留																													
[7]	RW	sc_wd_srst_req	WDG 的软复位请求。 0: 撤消复位; 1: 复位。																													
[6]	RW	cluster_dbg_srst_req	DBG 模块的软复位请求。 0: 撤消复位; 1: 复位。																													
[5]	RW	cpu_srst_req	CPU 的软复位请求, 仅在从加载模式下有效。 0: 撤消复位; 1: 复位。																													
[4]	RO	reserved	保留																													



[3:2]	RW	freqmode_a9_sys	A9 时钟降频配置。 通过 Mask A9 时钟脉冲可实现 A9 降频使用，调节其与 AXI 时钟之间的频比： 11: A9:AXI = 1:1; 其它: A9:AXI= 2:1。
[1:0]	RO	reserved	保留。

PERI_CRG11

PERI_CRG11 为 VICAP 时钟及复位配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x002C		PERI_CRG11		0x0020_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vich0_divsel vich1_divsel	vich4_divsel vich5_divsel	reserved vi_selftest vi1_sc_sel vi0_sc_sel	vi_adc_cksel reserved	vi_cken_ch			vi0_rst_req vi1_rst_req	reserved vi0_pctrl vi1_pctrl vi_hcken vi_hrst_req
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RW	vich0_divsel	VI Ch0 时钟选择。 00: div2; 01: div4; 10: div1; 11: 保留。						
[29:28]	RW	vich1_divsel	VI Ch1 时钟选择。 00: div2; 01: div4; 1X: 保留。						
[27:26]	RW	vich4_divsel	VI Ch4 时钟选择 00: div2; 01: div4; 10: div1; 11: 保留。						



[25:24]	RW	vich5_divsel	VI Ch5 时钟选择。 00: div2; 01: div4; 1X: 保留。
[23]	RO	reserved	保留。
[22]	RW	vi_selftest	VICAP selftest 模式配置。 0: 正常工作模式, 选择 IO 输入时钟; 1: 自测试模式, 选择片内 24MHz 测试时钟。
[21]	RW	vi1_sc_sel	VI Port1 时钟源选择。 0: 选择 vi0 pad 输入时钟; 1: 选择 vi1 pad 输入时钟。
[20]	RW	vi0_sc_sel	VI Port0 时钟源选择。 0: 选择 vi0 pad 输入时钟; 1: 选择 vi1 pad 输入时钟。
[19:18]	RW	vi_adc_cksel	片外 VICAP ADC 时钟频率选择。 00: 54MHz; 01: 27MHz; 1X: 24MHz。
[17:16]	RO	reserved	保留。
[15:8]	RW	vi_cken_ch	VI chn (0~7)时钟门控。 0: 时钟关闭; 1: 时钟打开。 Bit[15]对应 VI ch7, Bit[8]对应 VI ch0。
[7]	RW	vi0_rst_req	VI0 的软复位请求。 0: 撤消复位; 1: 复位。
[6]	RW	vi1_rst_req	VI1 的软复位请求。 0: 撤消复位; 1: 复位。
[5:4]	RO	reserved	保留。
[3]	RW	vi0_pctrl	VI0 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。



[2]	RW	vi1_pctrl	VI1 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[1]	RW	vi_hcken	VI 总线时钟门控。 0: 时钟关闭; 1: 时钟打开。
[0]	RW	vi_hrst_req	VI 总线侧的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG13

PERI_CRG13 为 VOU 时钟及复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0034				PERI_CRG13				0x0000_0037																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vou_sd1_cken	vou_sd0_cken	vou_hd_cken	vou_hcken	sddac_cken	hddac_cken	reserved	vo_sd_srst_req	vo_hd_srst_req	vo_hrst_req										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1
Bits	Access			Name			Description																									
[31:12]	RO			reserved			保留。																									
[11]	RW			vou_sd1_cken			VOU SD1 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																									
[10]	RW			vou_sd0_cken			VOU SD0 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																									
[9]	RW			vou_hd_cken			VOU HD 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																									



[8]	RW	vou_hcken	VOU 总线时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[7]	RW	sddac_cken	SD DAC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[6]	RW	hddac_cken	HD DAC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[5:3]	RO	reserved	保留
[2]	RW	vo_sd_srst_req	VOU SD 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	vo_hd_srst_req	VOU HD 的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	vo_hrst_req	VOU 总线软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG14

PERI_CRG14 为 PWM 时钟及复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0038				PERI_CRG14				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								pwm_cksel	pwm_cken	pwm_srst_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	RO		reserved		保留。																											



[2]	RW	pwm_cksel	PWM 时钟选择寄存器。 0: 3 MHz; 1: 24 MHz。
[1]	RW	pwm_cken	PWM 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	pwm_srst_req	PWM 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG15

PERI_CRG15 为 HDMI 时钟及复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x003C				PERI_CRG15				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																							hdmi_cec_clk_sel	hdmi_asclk_sel	hdmi_osclk_sel	hdmi_idcken	hdmi_hcken	reserved	hdmi_srst_req		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31:7]	RO		reserved		保留。																											
[6]	RW		hdmi_cec_clk_sel		HDMI CEC CLK 时钟门选择。 0: XTAL div12 时钟; 1: PLL 分频 2.04M 时钟。																											
[5]	RW		hdmi_asclk_sel		HDMI ASCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。																											
[4]	RW		hdmi_osclk_sel		HDMI OSCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。																											



[3]	RW	hdmi_idcken	HDMI pixel 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[2]	RW	hdmi_hcken	HDMI 总线时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[1]	RO	reserved	保留
[0]	RW	hdmi_srst_req	HDMI 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG16

PERI_CRG16 为 VEDU 时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0040		PERI_CRG16		0x0000_0C03																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												sed_cken	sed_srst_req	reserved								vedu_cken	vedu_srst_req								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:12]	RO	reserved	保留。																													
[11]	RW	sed_cken	SED 时钟门控配置寄存器, 0: 关闭时钟; 1: 打开时钟。																													
[10]	RW	sed_srst_req	SED 的软复位请求。 0: 撤销复位; 1: 复位。																													
[9:2]	RO	reserved	保留。																													



[1]	RW	vedu_cken	VEDU 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	vedu_srst_req	VEDU 的软复位请求。 0: 撤销复位; 1: 复位。

PERI_CRG18

PERI_CRG18 为 VPSS 时钟及软复位控制寄存器。

	Offset Address	Register Name	Total Reset Value														
	0x0048	PERI_CRG18	0x0000_0003														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved															vps_cken	vps_srst_req
Reset	0 0																
Bits	Access	Name	Description														
[31:2]	RO	reserved	保留。														
[1]	RW	vps_cken	VPSS 时钟门控配置寄存器, 0: 关闭时钟; 1: 打开时钟。														
[0]	RW	vps_srst_req	VPSS 的软复位请求。 0: 撤销复位; 1: 复位。														

PERI_CRG22

PERI_CRG22 为 TDE 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0058		PERI_CRG22		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							tde_cken	tde_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	tde_cken	TDE 时钟门控配置寄存器， 0：关闭时钟； 1：打开时钟。						
[0]	RW	tde_srst_req	TDE 的软复位请求。 0：撤销复位； 1：复位。						

PERI_CRG24

PERI_CRG24 为 JPGE 时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0060		PERI_CRG24		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							jpge_cken	jpge_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	jpge_cken	JPGE 时钟门控配置寄存器。 0：关闭时钟； 1：打开时钟。						



[0]	RW	jpge_srst_req	JPGE 的软复位请求。 0: 撤销复位; 1: 复位。
-----	----	---------------	------------------------------------

PERI_CRG25

PERI_CRG25 为 JPGD 时钟及软复位控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0064	PERI_CRG25	0x0000_0003
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 1 1
Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	jpgd_cken	JPGD 时钟门控配置寄存器, 0: 关闭时钟; 1: 打开时钟。
[0]	RW	jpgd_srst_req	JPGD 的软复位请求。 0: 撤销复位; 1: 复位。

PERI_CRG26

PERI_CRG26 为 MDU 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0068		PERI_CRG26		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							mdu_cken	mdu_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	mdu_cken	MDU 时钟门控配置寄存器， 0: 关闭时钟； 1: 打开时钟。						
[0]	RW	mdu_srst_req	MDU 的软复位请求。 0: 撤销复位； 1: 复位。						

PERI_CRG27

PERI_CRG27 为 VAPU 时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x006C		PERI_CRG27		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							vapu_cken	vapu_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	vapu_cken	VAPU 时钟门控配置寄存器， 0: 关闭时钟； 1: 打开时钟。						



Offset Address		Register Name		Total Reset Value					
0x0074		PERI_CRG29		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							vcmp_cken	vcmp_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	vcmp_cken	VCMP 时钟门控配置寄存器， 0: 关闭时钟； 1: 打开时钟。						
[0]	RW	vcmp_srst_req	VCMP 的软复位请求。 0: 撤销复位； 1: 复位。						

PERI_CRG31

PERI_CRG31 为 CIPHER 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x007C		PERI_CRG31		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							cipher_cken	cipher_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						



[1]	RW	cipher_cken	CIPHER 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	cipher_srst_req	CIPHER 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG32

PERI_CRG32 为 AIP MCLK 控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0080	PERI_CRG32	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	aip_clk_sel	aip_ckcfg
Reset	0 0		
Bits	Access	Name	Description
[31:25]	RO	reserved	保留。
[24]	RW	aip_clk_sel	AIP BCLK/FSCLK 时钟选择。 0: 共用 AOP0 BCLK/FSCLK 配置; 1: 不共用。
[23:0]	RW	aip_ckcfg	AIP MCLK 的分频时钟配置值, 配置值为(MCLK/AIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 675 MHz。MCLK 最大支持 62.5 MHz。

PERI_CRG33

PERI_CRG33 为 AOP0 MCLK 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0084		PERI_CRG33		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aop0_ckcfg					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	aop0_ckcfg	AOP0 MCLK 的分频时钟配置值，配置值为(MCLK/AIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 675 MHz。Mclk 最大支持 62.5 MHz。						

PERI_CRG34

PERI_CRG34 为 AOP1 MCLK 控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0088		PERI_CRG34		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aop1_ckcfg					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:0]	RW	aop1_ckcfg	AOP1 mclk 的分频时钟配置值，配置值为(MCLK/AIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 675 MHz。MCLK 最大支持 62.5 MHz。						

PERI_CRG35

PERI_CRG35 为 AIO 总线时钟复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x008C		PERI_CRG35		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							aio_hcken	aio_hrst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	aio_hcken	AIO 总线时钟门控配置寄存器， 0：关闭时钟； 1：打开时钟。						
[0]	RW	aio_hrst_req	AIO 总线侧软复位请求。 0：撤销复位； 1：复位。						

PERI_CRG36

PERI_CRG36 为 AIP 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value								
0x0090		PERI_CRG36		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				aip_fselk_div	aip_bclk_div	reserved	aip_bclk_sel	aip_bclkout_ctrl	aip_bclk_ctrl	aip_oken	aip_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:16]	RO	reserved	保留。									



[15:12]	RW	aip_fsclk_div	AIP 位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。
[11:8]	RW	aip_bclk_div	AIP 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。
[7:5]	RO	reserved	保留。
[4]	RW	aip_bclk_sel	AIP BCLK 时钟的选择。 0: 选择外部产生的 bclk; 1: 选择内部产生的 bclk。
[3]	RW	aip_bclkout_pctrl	AIP BCLK OUT 的极性控制。 0: 正向; 1: 反向。
[2]	RW	aip_bclk_pctrl	AIP BCLK 的极性控制。 0: 正向; 1: 反向。
[1]	RW	aip_cken	AIP 时钟门控。 0: 关闭时钟; 1: 打开时钟。



[0]	RW	aip_srst_req	AIP 的软复位请求。 0: 撤消复位; 1: 复位。
-----	----	--------------	-----------------------------------

PERI_CRG37

PERI_CRG37 为 AOP0 相关的时钟及软复位控制寄存器。

	Offset Address 0x0094								Register Name PERI_CRG37								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								aop0_fsclk_div				aop0_bclk_div				reserved				aop0_bclk_sel	aop0_bclkout_ctrl	aop0_bclk_ctrl	aop0_cken	aop0_srst_req							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:15]	RO		reserved		保留。																											
[14:12]	RW		aop0_fsclk_div		AOP0 位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。																											



[11:8]	RW	aop0_bclk_div	AOP0 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。
[7:5]	RO	reserved	保留。
[4]	RW	aop0_bclk_sel	AOP0 BCLK 时钟的选择。 0: 选择外部产生的 bclk; 1: 选择内部产生的 bclk。
[3]	RW	aop0_bclkout_pctrl	AOP0 BCLK OUT 的极性控制。 0: 正向; 1: 反向。
[2]	RW	aop0_bclk_pctrl	AOP0 BCLK 的极性控制。 0: 正向; 1: 反向。
[1]	RW	aop0_cken	AOP0 时钟门控: 0: 关闭时钟; 1: 打开时钟。
[0]	RW	aop0_srst_req	AOP0 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG38

PERI_CRG38 为 AOP1 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value									
0x0098		PERI_CRG38		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				aop1_fsclk_div	aop1_bclk_div		reserved	aop1_bclk_sel	aop1_bclkout_ctrl	aop1_bclk_ctrl	aop1_oken	aop1_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:15]	RO	reserved	保留。										
[14:12]	RW	aop1_fsclk_div	AOP1 位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。										
[11:8]	RW	aop1_bclk_div	AOP1 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。										
[7:5]	RO	reserved	保留。										



[4]	RW	aop1_bclk_sel	AOP1 BCLK 时钟的选择。 0: 选择外部产生的 bclk; 1: 选择内部产生的 bclk。
[3]	RW	aop1_bclkout_pctrl	AOP1 BCLK OUT 的极性控制。 0: 正向; 1: 反向。
[2]	RW	aop1_bclk_pctrl	AOP1 BCLK 的极性控制。 0: 正向; 1: 反向。
[1]	RW	aop1_cken	AOP1 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	aop1_srst_req	AOP1 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG45

PERI_CRG45 为 SATA 相关的时钟及软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00B4				PERI_CRG45				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cko_alive_cksel	sata_clk_sel	sata_cken	sata0_cken	sata1_cken	rst_alive_s	rst_rx1_s	rst_rx0_s	rst_tx1_s	rst_tx0_s	rst_sata_s	hrst_sata_s	rst_sataphy_s							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	RO		reserved		保留。																											
[12]	RW		cko_alive_cksel		SATA Ctrl cko_alive 源时钟选择: 0: 选择内部 CRG50M 时钟; 1: 选择 SATAPHY cko_alive 时钟。																											



[11]	RW	sata_clk_sel	SATA phy 参考时钟选择： 0: 150M 时钟； 1: 50M 时钟。
[10]	RW	sata_cken	SATA PHY 和总线时钟状态。 0: 关闭； 1: 打开。
[9]	RW	sata0_cken	SATA controller Port0 时钟状态。 0: 关闭； 1: 打开。
[8]	RW	sata1_cken	SATA controller Port1 时钟状态。 0: 关闭； 1: 打开。
[7]	RW	rst_alive_s	SATA controller alive 时钟域软复位控制。 0: 撤消复位； 1: 复位。
[6]	RW	rst_rx1_s	SATA controller rx1 时钟域软复位控制。 0: 撤消复位； 1: 复位。
[5]	RW	rst_rx0_s	SATA controller rx0 时钟域软复位控制。 0: 撤消复位； 1: 复位。
[4]	RW	rst_tx1_s	SATA controller tx1 时钟域软复位控制。 0: 撤消复位； 1: 复位。
[3]	RW	rst_tx0_s	SATA controller tx0 时钟域软复位控制。 0: 撤消复位； 1: 复位。
[2]	RW	rst_sata_s	SATA controller 接口软复位控制。 0: 撤消复位； 1: 复位。
[1]	RW	hrst_sata_s	SATA controller 总线软复位控制。 0: 撤消复位； 1: 复位。



[0]	RW	rst_sataphy_s	SATA PHY 软复位控制。 0: 撤消复位; 1: 复位。
-----	----	---------------	---------------------------------------

PERI_CRG46

PERI_CRG46 为 USB 相关的时钟及软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																									
	0x00B8				PERI_CRG46				0x0000_00FF																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																				usb_cken	usb_ctrl_utmi1_req	usb_ctrl_utmi0_req	usb_ctrl_hub_req	usbphy_port1_treq	usbphy_port0_treq	usbphy_req	usb_ahb_srst_req						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1		
Bits	Access	Name	Description																															
[31:8]	RO	reserved	保留。																															
[7]	RW	usb_cken	USB PHY 参考时钟门控。 0: 关闭; 1: 打开。																															
[6]	RW	usb_ctrl_utmi1_req	USB controller port1 的软复位请求。 0: 撤消复位; 1: 复位。																															
[5]	RW	usb_ctrl_utmi0_req	USB controller port0 的软复位请求。 0: 撤消复位; 1: 复位。																															
[4]	RW	usb_ctrl_hub_req	USB controller hub 的软复位请求。 0: 撤消复位; 1: 复位。																															
[3]	RW	usbphy_port1_treq	USB PHY PORT1 的软复位请求。 0: 撤消复位; 1: 复位。																															



[2]	RW	usbphy_port0_treq	USB PHY PORT0 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	usbphy_req	USB PHY 的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	usb_ahb_srst_req	USB controller 总线软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG48

PERI_CRG48 为 SFC 相关的时钟及软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00C0				PERI_CRG48				0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sfc_cksel	sfc_cken	sfc_srst_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											
[3:2]	RW		sfc_cksel		SFC2X 时钟源选择。 x0: 24MHz 时钟; 01: 75MHz 时钟; 11: 112..5MHz 时钟。																											
[1]	RW		sfc_cken		SFC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																											
[0]	RW		sfc_srst_req		SFC 的软复位请求。 0: 撤消复位; 1: 复位。																											



PERI_CRG51

PERI_CRG51 为 ETH 接口相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00CC		PERI_CRG51		0x0000_0002																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				reserved	eth_rmiick_sel	mii_rmii_mode	fephy_srst_req	eth_cken	hrst_eth_s						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	eth_rmiick_sel	ETH RMII CLK 时钟源选择。 1: 选择 PAD 输入时钟; 0: 选择内部 CRG 时钟。																													
[3]	RW	mii_rmii_mode	ETH MII、RMII 模式配置。 0: MII 模式; 1: RMII 模式。																													
[2]	RW	fephy_srst_req	FE PHY 的软复位请求。 0: 撤消复位; 1: 复位。 注意: FEPHY 的复位保持时间要求>10ms, 需软件保证。																													
[1]	RW	eth_cken	ETH 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	hrst_eth_s	ETH 的软复位请求。 0: 撤消复位; 1: 复位。																													

PERI_CRG53

PERI_CRG53 为 SCD 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value							
0x00D4		PERI_CRG53		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							scd_cken	reserved	scd_srst_req	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	scd_cken	SCD 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。								
[2]	RO	reserved	保留。								
[1]	RW	scd_srst_req	SCD 的软复位请求。 0: 撤消复位; 1: 复位。								
[0]	RO	reserved	保留。								

PERI_CRG54

PERI_CRG54 为 DDRTEST 和 EFUSE 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x00D8		PERI_CRG54		0x0000_0002							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							ddrtest_cken	ddrtest_srst_req	efuse_cken	efuse_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								



[3]	RW	ddrtest_cken	DDRTEST 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[2]	RW	ddrtest_srst_req	DDRTEST 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	efuse_cken	EFUSE 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	efuse_srst_req	EFUSE 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG57

PERI_CRG57 为其它 CRG 接口模块软复位控制寄存器。

Offset Address		Register Name		Total Reset Value																				
0x00E4		PERI_CRG57		0x0007_F000																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																
Name	reserved				test_clk_sel	uart3_cken	uart2_cken	uart1_cken	uart0_cken	uart_cksel	ssp_cken	ir_cken	reserved	uart3_srst_req	uart2_srst_req	uart1_srst_req	uart0_srst_req	reserved	ssp_srst_req	ir_srst_req	reserved	t_cap_srst_req	i2c_srst_req	test_clk_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0																
Bits	Access	Name	Description																					
[31:20]	RO	reserved	保留。																					
[19]	RW	test_clk_sel	测试时钟分组选择。 1: 选择第一组测试时钟(USB 和 PCLK); 0: 选择第二组测试时钟(HDMI)。																					
[18]	RW	uart3_cken	UART3 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																					



[17]	RW	uart2_cken	UART2 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[16]	RW	uart1_cken	UART1 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[15]	RW	uart0_cken	UART0 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[14]	RW	uart_cksel	UART 时钟选择。 1: 选择 2M 时钟; 0: 选择 APB 时钟。
[13]	RW	ssp_cken	SSP 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[12]	RW	ir_cken	IR 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[11]	RO	reserved	保留。
[10]	RW	uart3_srst_req	UART3 的软复位请求。 0: 撤消复位; 1: 复位。
[9]	RW	uart2_srst_req	UART2 的软复位请求。 0: 撤消复位; 1: 复位。
[8]	RW	uart1_srst_req	UART1 的软复位请求。 0: 撤消复位; 1: 复位。
[7]	RW	uart0_srst_req	UART0 的软复位请求。 0: 撤消复位; 1: 复位。
[6]	RO	reserved	保留。



[5]	RW	ssp_srst_req	SSP 的软复位请求。 0: 撤消复位; 1: 复位。
[4]	RW	ir_srst_req	IR 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RO	reserved	保留。
[2]	RW	t_cap_srst_req	t_cap 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	i2c_srst_req	I ² C 的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	test_clk_en	测试时钟使能寄存器。 0: 所有测试时钟关闭; 1: 所有测试时钟打开。

PERI_CRG58

PERI_CRG58 为 CRG 状态寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x00E8	PERI_CRG58	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved															epll_lock	vpll0_lock	apll_lock
Reset	0 0																	
Bits	Access	Name	Description															
[31:3]	RO	reserved	保留。															
[2]	RO	epll_lock	EPLL LOCK 状态。 0: Unlock; 1: Locked.															



[1]	RO	vpll0_lock	VPLL0 LOCK 状态。 0: Unlock; 1: Locked.
[0]	RO	apll_lock	APLL LOCK 状态。 0: Unlock; 1: Locked.

PERI_CRG61

PERI_CRG61 为 SpeedMonitor 控制寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x00F4	PERI_CRG61	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved															osc_en	osc_mode	osc_clk_en
Reset	0 0																	
Bits	Access	Name	Description															
[31:3]	RO	reserved	保留。															
[2]	RW	osc_en	SpeedMonitor Enable 控制。 0: disable; 1: enable.															
[1]	RW	osc_mode	SpeedMonitor 模式配置。 0: 150 step level; 1: 200 step level.															
[0]	RW	osc_clk_en	SpeedMonitor 时钟使能控制。 0: disable; 1: enable.															

PERI_CRG62

PERI_CRG62 为 SpeedMonitor 状态寄存器 1。



Offset Address		Register Name		Total Reset Value					
0x00F8		PERI_CRG62		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						osc_valid	osc_value	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	RO	reserved	保留。						
[9]	RO	osc_valid	SpeedMonitor 是否有效。 0: invalid; 1: valid。						
[8:0]	RO	osc_value	SpeedMonitor 计数值。						

3.3 中断系统

芯片使用 Cortex-A9 内部集成的中断控制器 GIC，最多可支持 96 个中断源，对应的中断映射如表 3-16 所示。

表3-16 A9 中断源分配表

中断位	中断源	中断位	中断源
0-31	For A9 internal use	64	A9_PMU_INT0
32	COMMTX[0]	65	VOIE
33	COMMRX[0]	66	HDMI
34	Watchdog	67	VDP
35	Timer0	68	VICAP
36	Timer1	69	VPSS
37	Timer2	70	TDE
38	Timer3	71	VCMP
39	RTC	72	VEDU
40	UART0	73	JPGE
41	UART1	74	JPGD



中断位	中断源	中断位	中断源
42	UART2	75	Reserved
43	UART3	76	MD
44	SSP	77	IVE
45	I2C	78	Reserved
46	IR	79	GPIO0
47	AIO	80	GPIO1
48	Reserved	81	GPIO2
49	Reserved	82	GPIO3
50	SFC	83	GPIO4
51	Reserved	84	GPIO5
52	SATA	85	GPIO6
53	USB_EHCI	86	GPIO7
54	USB_OHCI	87	GPIO8
55	Cipher	88	Reserved
56	ETH	89	TEM_CAP_INT
57	FE PHY	90	Reserved
58	Reserved	91	Reserved
59	Reserved	92	Reserved
60	Software int	93	Reserved
61	L2CACHE_CHK0_INT	94	Reserved
62	L2CACHE_CHK1_INT	95	Reserved
63	L2CACHE_INT_COMB		

3.4 系统控制器

3.4.1 概述

系统控制器控制系统运行的模式，监控系统运行状态，管理系统中的重要功能，完成对外设的某些功能的配置。



3.4.2 特点

系统控制器具有以下特点：

- 控制并监控系统的运行模式
- 提供系统时钟控制和状态查询
- 提供对系统地址重映射的控制和状态监控
- 提供通用外设寄存器
- 提供对关键寄存器的写保护功能
- 提供芯片的标识寄存器

3.4.3 功能描述

3.4.4 系统运行模式控制

系统工作在以下三种工作模式：

- **NORMAL 模式**
系统正常工作在 NORMAL 模式下。在此模式下，系统由片内 APLL 的输出时钟驱动。所有的模块均能正常工作于此时钟源。（部分外设可选择被 VPLL0 和 EPLL 的输出时钟驱动）
- **SLOW 模式**
SLOW 模式是一种慢速模式。在此模式下，系统由外接晶振时钟驱动，只有部分片内外设（如系统控制器、Timer、SFC 等）可以工作。所有对高速时钟有要求的模块在此时钟下无法工作，如 DDR3 等。
- **DOZE 模式**
DOZE 模式是一种低速模式。只有少量片内外设可以工作于 DOZE 模式。在此模式下，系统由外接晶振分频的 46.875kHz 低频时钟驱动。大部分片内外设无法工作，存储器接口无法工作，CPU 和少量模块（如系统控制器、Timer 和 IR 等）可以工作于该模式。

系统控制器提供了一个系统模式切换机制，用于控制系统时钟源的切换。模式切换由模式控制寄存器 `SC_CTRL[modectl]` 来配置，这 3 位定义了系统当前需要进入的操作模式：

- 000：保留
- 001：系统切换到 DOZE 模式
- 010：系统切换到 SLOW 模式
- 100：系统切换到 NORMAL 模式
- 其它：保留

当要求的系统操作模式已在系统模式控制寄存器中指定，系统模式控制系统即开始朝指定的模式切换，在此期间不再需要其他的软件（命令）干预。

当前系统状态可通过读取 `SC_CTRL[modestatus]` 获得。该比特域描述的系统当前状态包括了上述的主要模式：NORMAL、SLOW、DOZE，此外还包括了 3 个主要模式之间



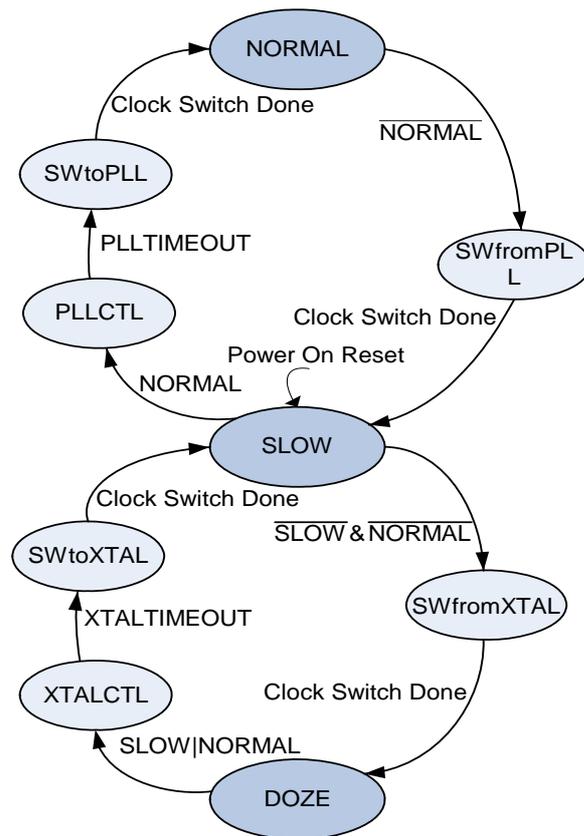
的几个中间态：SWfromPLL、SWtoPLL、PLLCTL、SWfromXTAL、SWtoXTAL、XTALCTL。

说明

NORMAL、SLOW、DOZE 三种模式切换，可配置为直接切换，如系统当前处于 NORMAL 模式，可通过配置寄存器 SC_CTRL [modectrl] 为“001”进入 DOZE 模式。但实际系统运行过程中，是经历了“SWfromPLL”、“SLOW”、“SWfromXTAL”等模式或中间态的。

系统的状态切换过程如图 3-3 所示。

图3-3 系统模式切换图



各种模式之间的切换涉及到的操作如下：

- 将 SC_CTRL[modectrl]的最高位设置为 0，系统会离开 NORMAL 模式，向慢速模式 SLOW 方向切换。
- 在系统由 NORMAL 模式进入 SLOW 模式过程中，系统首先进入 SWfromPLL 中间态。这标志着系统时钟源将从 PLL 切换到晶振。当时钟切换完成后（Clock Switch Done），系统进入 SLOW 模式。



- 上电复位之后，系统处于 SLOW 模式。设置 SC_CTRL[modectl]的最高位为 1，可以让系统进入 NORMAL 模式。切换到 NORMAL 模式的过程中，首先进入 PLLCTL 中间态以使能 ARMPLL，在一个固定的等待时间（等待时间受 SC_XTALCTRL[plltime]影响）之后，进入 SWtoPLL 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 NORMAL 模式。
- 设置 SC_CTRL[modectl]的高两位均为 0，可以让系统向低速的 DOZE 模式方向切换。系统首先会进入 SWfromXTAL 中间态。这标志着系统时钟源将从晶振时钟切换到晶振时钟分频得到的 46.875kHz 低频时钟。当时钟切换完成后（Clock Switch Done），系统进入 DOZE 模式。
- 设置 SC_CTRL[modectl]的高两位中的某位为 1，可以让系统向慢速的 SLOW 模式方向切换。切换到 SLOW 模式的过程中，首先进入 XTALCTL 中间态以初始化时钟模块，在一个固定的等待时间（等待时间受 SC_XTALCTRL[xtaltime]影响）之后，进入 SWtoXTAL 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 SLOW 模式。

系统控制器状态机状态和系统时钟之间的关系请参见表 3-6。

软复位控制

系统控制器支持对芯片全局以及局部模块进行软复位：

当配置全局软复位寄存器 SC_SYSRES 后，系统控制器将给片内复位模块发起请求，芯片将被复位。

系统地址重映射控制

请参见“1.3 启动模式”章节。

对关键寄存器的写保护

为防止软件对系统控制器的误操作对整个系统产生严重影响，系统控制器提供了一些关键配置寄存器的写保护功能。包括：

- 模式切换的控制寄存器：SC_CTRL
- 系统全局软复位控制寄存器：SC_SYSRES

对这些关键寄存器进行写操作之前，必须配置寄存器 SC_LOCKEN 打开写保护。操作完成之后配置寄存器 SC_LOCKEN 关闭写保护，让这些关键寄存器不会被软件随意改写。

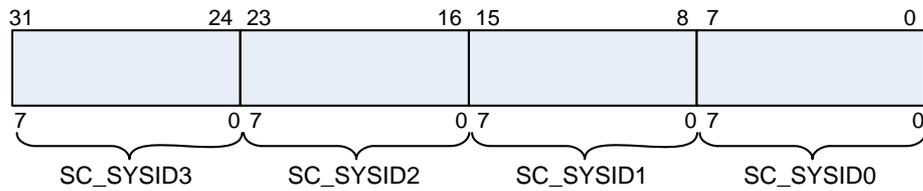
说明

系统默认为复位后不对这些关键寄存器进行写保护处理。为启用此功能，建议在系统启动时利用该寄存器对这些关键寄存器进行写保护处理。

芯片的标识寄存器

系统控制器提供了芯片标识（ID）寄存器 SC_SYSID。这个标识寄存器是一个概念上的 32bit 的标识只读寄存器，实际上由 4 个 8bit 标识寄存器组成：SC_SYSID3、SC_SYSID2、SC_SYSID1、SC_SYSID0。读出这 4 个寄存器的值，通过组合得到芯片的 32bit 标识只读寄存器的值 0x3520_D100，组合的方法如图 3-4 所示。

图3-4 芯片 ID 寄存器位分配图



3.4.5 寄存器概览

系统控制器寄存器概览如表 3-17 所示。

表3-17 系统控制器寄存器概览（基址是 0x2005_0000）

偏移地址	名称	描述	页码
0x000	SC_CTRL	系统控制寄存器	3-60
0x004	SC_SYSRES	系统软复位寄存器	3-63
0x008	SC_IMCTRL	中断模式控制寄存器	3-63
0x00C	SC_IMSTAT	中断模式状态寄存器	3-64
0x010	SC_XTALCTRL	晶振控制寄存器	3-65
0x014	SC_PLLCTRL	PLL 控制寄存器	3-66
0x01C	PERIPHCTRL0	外设控制寄存器 0	3-67
0x0020	PERIPHCTRL1	外设控制寄存器 1（软中断寄存器）	3-68
0x0034	PERIPHCTRL2	外设控制寄存器 2	3-69
0x0038	PERIPHCTRL3	外设控制寄存器 3(SATA PHY 控制寄存器)	3-69
0x003C	PERIPHCTRL4	外设控制寄存器 4	3-70
0x0040	PERIPHCTRL5	外设控制寄存器 5（MEDIA0 总线 Master 端口 Timeout 控制寄存器 0）	3-72
0x0044	SC_LOCKEN	关键系统控制寄存器的锁定寄存器	3-73
0x0048	PERIPHCTRL6	外设控制寄存器 6（MEDIA0 总线 Master 端口 Timeout 控制寄存器 1）	3-74
0x0054	PERIPHCTRL9	外设控制寄存器 9（MEDIA0 总线 Master 端口优先级控制寄存器）	3-75
0x0058	PERIPHCTRL10	外设控制寄存器 10（系统总线 Master 端口 Timeout 控制寄存器 0）	3-76



偏移地址	名称	描述	页码
0x005C	PERIPHCTRL11	外设控制寄存器 11（系统总线 Master 端口 Timeout 控制寄存器 1）	3-76
0x0064	PERIPHCTRL13	外设控制寄存器 13（系统总线 Master 端口 Timeout 控制寄存器 1）	3-77
0x0068	PERIPHCTRL14	外设控制寄存器 14（系统总线 Slave 端口优先级控制寄存器）	3-78
0x006C	PERIPHCTRL15	外设控制寄存器 15（CHIP ID 寄存器）	3-79
0x0070	PERIPHCTRL16	外设控制寄存器 16（MEDIA1 总线 Master 端口 Timeout 控制寄存器 0）	3-79
0x0074	PERIPHCTRL17	外设控制寄存器 17（MEDIA1 总线 Master 端口 Timeout 控制寄存器 1）	3-80
0x0078	PERIPHCTRL18	外设控制寄存器 18（MEDIA1 总线 Master 端口 Timeout 控制寄存器 2）	3-81
0x007C	PERIPHCTRL19	外设控制寄存器 19（MEDIA1 总线 Master 端口优先级控制寄存器）	3-82
0x0080	PERIPHCTRL20	外设控制寄存器 20（USB 控制寄存器）	3-83
0x0084	PERIPHCTRL21	外设控制寄存器 21（USB PHY 控制寄存器 0）	3-85
0x0088	PERIPHCTRL22	外设控制寄存器 22（USB PHY 控制寄存器 1）	3-88
0x008C	SYSSTAT	系统状态寄存器（PLL_LOCK）	3-90
0x0090	PERIPHCTRL23	外设控制寄存器 23（MDDRC 乱序配置 outtodr_ctrl 寄存器）	3-92
0x0094	PERIPHCTRL24	外设控制寄存器 24（FE PHY 配置寄存器）	3-94
0x0098	PERIPHCTRL25	外设控制寄存器 25（SATA PHY 控制寄存器 1）	3-94
0x00A4	PERIPHCTRL28	外设控制寄存器 28（IO 控制寄存器 0）	3-95
0x00A8	PERIPHCTRL29	外设控制寄存器 29（IO 控制寄存器 1）	3-98
0xEE0	SCSYSID0	芯片 ID 寄存器 0	3-99
0xEE4	SCSYSID1	芯片 ID 寄存器 1	3-100
0xEE8	SCSYSID2	芯片 ID 寄存器 2	3-100
0xEEC	SCSYSID3	芯片 ID 寄存器 3	3-100



3.4.6 寄存器描述

SC_CTRL

SC_CTRL 为系统控制寄存器。用于指定需要系统完成的操作。



注意

该寄存器可被寄存器 **SC_LOCKEN** 写保护，只有不使用写保护模式时，对这个寄存器的写操作才有效。

	Offset Address				Register Name												Total Reset Value															
	0x000				SC_CTRL												0x0000_0212															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timeren7ov	timeren7sel	timeren6ov	timeren6sel	timeren5ov	timeren5sel	timeren4ov	timeren4sel	wdogenov	timeren3ov	timeren3sel	timeren2ov	timeren2sel	timeren1ov	timeren1sel	timeren0ov	timeren0sel	reserved				remapstat	remapclear	reserved	modestatus			modectrl				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	0
Bits	Access		Name		Description																											
[31]	RW		timeren7ov		Timer7 计数时钟选择。 0: 使能信号通过采用参考时钟得到，参考时钟的选择由 [timeren7sel] 指定； 1: 由总线时钟进行计数。																											
[30]	RW		timeren7sel		Timer7 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数； 1: 保留。																											
[29]	RW		timeren6ov		Timer6 计数时钟选择。 0: 使能信号通过采用参考时钟得到，参考时钟的选择由 [timeren6sel] 指定； 1: 由总线时钟进行计数。																											
[28]	RW		timeren6sel		Timer6 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数； 1: 保留。																											



[27]	RW	timeren5ov	Timer5 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren5sel]指定; 1: 由总线时钟进行计数。
[26]	RW	timeren5sel	Timer5 计数时钟频率选择。 必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[25]	RW	timeren4ov	Timer4 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren4sel]指定; 1: 由总线时钟进行计数。
[24]	RW	timeren4sel	Timer4 计数时钟频率选择。 必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[23]	RW	wdogenov	WDG 计数时钟选择。 0: WDG 使用 3MHz 时钟进行计数; 1: WDG 使用总线时钟进行计数。
[22]	RW	timeren3ov	Timer3 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren3sel]指定; 1: 由总线时钟进行计数。
[21]	RW	timeren3sel	Timer3 计数时钟频率选择。 必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[20]	RW	timeren2ov	Timer2 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren2sel]指定; 1: 由总线时钟进行计数。
[19]	RW	timeren2sel	Timer2 计数时钟频率选择。 必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[18]	RW	timeren1ov	Timer1 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren1sel]指定; 1: 由总线时钟进行计数。



[17]	RW	timeren1sel	Timer1 计数时钟频率选择。 必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[16]	RW	timeren0ov	Timer0 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren0sel]指定; 1: 由总线时钟进行计数。
[15]	RW	timeren0sel	Timer0 计数时钟频率选择。 必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[14:10]	RO	reserved	保留。读时返回 0, 写时无影响。
[9]	RO	remapstat	地址重映射的状态。 0: 未进行地址重映射; 1: 进行地址重映射。bootrom 或 SFC CS1 被 Remap 到地址 0。
[8]	RW	remapclear	地址重映射清除选择。 0: 保持 Remap 状态。 1: 清除 Remap。 Clear Remap 前后地址映射关系请参见地址分配。
[7]	RO	reserved	保留。读时返回 0, 写时无影响。
[6:3]	RW	modestatus	模式状态位。返回系统当前的操作模式。 0x0: 保留; 0x1: DOZE; 0x2: SLOW; 0x3: XTAL CTL; 0x4: NORMAL; 0x6: PLL CTL; 0x9: SW from XTAL; 0xA: SW from PLL; 0xB: SW to XTAL; 0xE: SW to PLL; 其他: 保留, 未使用。



[2:0]	RW	modectrl	<p>模式控制位。定义了要求系统控制器进入的操作模式。</p> <p>000: 保留;</p> <p>001: DOZE;</p> <p>010: SLOW;</p> <p>100: NORMAL。</p>
-------	----	----------	---

SC_SYSRES

SC_SYSRES 为系统软复位寄存器。向该寄存器写入任何值都会使系统控制器向复位模块发出系统软复位请求，复位模块进行系统软复位。



注意

该寄存器可被寄存器 [SC_LOCKEN](#) 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

	Offset Address	Register Name	Total Reset Value
	0x004	SC_SYSRES	0x0000_0002
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	softresreq		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	WO	softresreq	对该寄存器的任意写操作都会导致系统软复位。

SC_IMCTRL

SC_IMCTRL 为中断模式控制寄存器。用于控制中断发生时的系统模式。



Offset Address		Register Name		Total Reset Value						
0x008		SC_IMCTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						inmdtype	reserved	itmdctrl	itmden
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。读时返回 0x000000，写时无影响。							
[7]	RW	inmdtype	触发系统进入中断模式的中断类型。 0：仅有 FIQ 中断能使系统进入中断模式； 1：FIQ 中断和 IRQ 中断都能使系统进入中断模式。							
[6:4]	RO	reserved	保留。							
[3:1]	RW	itmdctrl	中断模式下系统最低的工作模式，该寄存器的值和 SC_CTRL[modectrl]的值相或后作为中断发生后系统所处的工作模式。定义如下： 000：SLEEP； 001：DOZE； 01X：SLOW； 1XX：NORMAL。							
[0]	RW	itmden	中断模式使能。 0：禁止； 1：使能(当中断发生时进入中断模式)。							

SC_IMSTAT

SC_IMSTAT 为中断模式状态寄存器。用于监视系统是否处于中断模式，同时也可以通过配置该寄存器强制系统进入中断模式。



注意

当中断服务程序结束时必须手动清除中断模式。



Offset Address		Register Name		Total Reset Value					
0x00C		SC_IMSTAT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								itmdstat
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。读时返回 0x00000000，写时无影响。						
[0]	RW	itmdstat	中断模式状态。可用于软件控制直接进入中断模式。 读该寄存器时： 0：当前未处于中断模式； 1：当前处于中断模式。 写该寄存器时： 0：软件不控制进入中断模式； 1：软件控制进入中断模式。						

SC_XTALCTRL

SC_XTALCTRL 为晶振控制寄存器。用于控制初始化时钟模块的稳定等待时间，也就是从 XTAL CTL 中间态跳转到 SW to XTAL 中间态的等待时间。

Offset Address		Register Name		Total Reset Value					
0x010		SC_XTALCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			xtaltime				reserved	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	RO	reserved	保留，读时返回 0x0000，写时无影响。						
[18:3]	RW	xtaltime	晶振切换等待时间。 该字段的值用于指定系统模式切换时从 XTAL CTL 状态跳转到 SW to XTAL 状态的等待时间。等待周期数可通过计算得到 $(T_{46.8K}$ 为 46.8KHz 低频时钟周期)： $(65536 - xtaltime) \times T_{46.8K}$ 。						



[2]	RO	reserved	保留。读时返回 0x0，写时无影响。
[1:0]	RO	reserved	保留。读时返回写入值，写时无影响。

SC_PLLCTRL

SC_PLLCTRL 为 PLL 控制寄存器。用于控制片内 ARM 锁相环 (ARMPLL) 的使能控制，由软件控制使能，或由系统模式切换来控制使能。此外，该寄存器还用于设置 ARMPLL 锁相环稳定等待时间。



注意

该寄存器可被寄存器 SC_LOCKEN 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

当处于“由系统模式切换来控制使能 ARMPLL 锁相环”（由 SC_PLLCTRL[pllover]控制）时，在系统处于非 NORMAL 模式下，ARMPLL 被自动关闭。

ARMPLL 的时钟频率由 CRG 寄存器 PERI_CRG0 和 PERI_CRG1 控制。系统要求 PLL 在变更频率配置时，需要等待 0.5ms 才能输出稳定的时钟。因此该寄存器的 plitime 的配置必须满足此要求。

	Offset Address				Register Name				Total Reset Value																							
	0x014				SC_PLLCTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				plitime												reserved	reserved	pllover													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:28]	RO	reserved	保留。读时返回 0x0，写时无影响。																												
	[27:3]	RW	plitime	ARMPLL 锁相环稳定等待时间。 这段时间用于等待 PLL 启动到 PLL 输出达到稳定的状态，也就是指定从系统模式切换时从 PLL CTL 状态跳转到 SW to PLL 状态的等待时间。超时时间值由下式计算得到(T_{XIN} 为芯片外接晶振的时钟周期): $(33554432 - plitime) \times T_{XIN}$ 。																												
	[2]	RO	reserved	保留。读时返回 0x0，写时无影响。																												
	[1]	RO	reserved	保留。																												



[0]	RW	plllover	允许 ARLPLL 锁相环直接受软件控制使能，而不是受系统模式状态改变的控制。 必须配置为 0。 0：由系统模式切换来使能 ARMPLL 锁相环； 1：保留。
-----	----	----------	--

PERIPHCTRL0

PERIPHCTRL0 为外设控制寄存器 0。



注意

该寄存器可被寄存器 [SC_LOCKEN](#) 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

	Offset Address								Register Name								Total Reset Value																			
	0x01C								PERIPHCTRL0								0x0000_1000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								ddrc_apb_gt_en				reserved				cfgsdisable				reserved				cfigmfi				reserved				cp15sdisable			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:13]	RO		reserved		保留。																															
[12]	RW		ddrc_apb_gt_en		MDDRC APB 时钟门控。 0：关闭 APB 时钟； 1：打开 APB 时钟。																															
[11:5]	RO		reserved		保留。																															
[4]	RW		cfgsdisable		cpu set[4]。 屏蔽对处理器内部关键配置寄存器的写访问，包括 ICDDCR[0]=EnableSecure，ICDICTR 中定义的安全中断和 ICCICR(不包括 EnableNS 控制位)。 0：不使能； 1：使能。																															
[3]	RO		reserved		保留。																															



[2]	RW	cfgnmfi	cpu set[2]。 CPU 快速中断用作非屏蔽中断使能。 0: 不使能; 1: 使能 CPU 快速中断为非屏蔽中断。
[1]	RO	reserved	保留。
[0]	RW	cp15sdisable	cpu set[0]。 屏蔽对处理器内部安全寄存器的写访问, 包括 CP15 协处理器中的 c1(SCTLR), c2(TTBR0 和 TTBCR), c3(DACR), c10(PRRR 和 NMRR), c12(VBAR 和 MVBAR), c13(FCSEIDR)。 0: 不使能; 1: 使能。

PERIPHCTRL1

PERIPHCTRL1 为外设控制寄存器 1 (软中断寄存器)。



注意

该寄存器可被寄存器 [SC_LOCKEN](#) 写保护, 只有禁用写保护时, 对这个寄存器的写操作才有效。

	Offset Address	Register Name	Total Reset Value																						
	0x0020	PERIPHCTRL1	0x0000_0000																						
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																								
Name	reserved															software_int									
Reset	0 0																								
Bits	Access	Name	Description																						
[31:1]	-	reserved	保留。																						
[0]	RW	software_int	软件中断。 0: 不产生中断; 1: 产生中断。																						



PERIPHCTRL2

PERIPHCTRL2 为外设控制寄存器 2。

	Offset Address				Register Name				Total Reset Value																							
	0x0034				PERIPHCTRL2				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										software_int					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RO	reserved		保留。																											
	[0]	RW	rom_pgen		ROM 供电使能。 0: 使能; 1: 不使能。																											

PERIPHCTRL3

PERIPHCTRL3 为外设控制寄存器 3(SATA PHY 控制寄存器)。

	Offset Address				Register Name				Total Reset Value																							
	0x0038				PERIPHCTRL3				0x5D75_F000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																						sata_phy0_mpll_ss_sel	sata_phy0_ref_clk_sel								
Reset	0	1	0	1	1	1	0	1	0	1	1	1	0	1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:10]	RO	reserved		保留。																											



[9:8]	RW	sata_phy0_mpll_ss_sel	扩频选择。保留，必须设置为 0。
[7:0]	RW	sata_phy0_ref_clk_sel	参考时钟频率选择。对 MPLL 输出的时钟设置一个固定的 ppm 移相。 0x00：没有移相(缺省)； 0x01~0xFF：保留。

PERIPHCTRL4

PERIPHCTRL4 为外设控制寄存器 4。



Offset Address		Register Name		Total Reset Value				
0x003C		PERIPHCTRL4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vdac_ctrl_sl		reserved	ram2_ck_gt_en ram1_ck_gt_en ram0_ck_gt_en cbar_en mdu_ddrt_mst_sel	reserved ssp_cs_sel	reserved		sdio0_det_mode uart1_rts_ctrl reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RW	vdac_ctrl_sl	VDAC 通道下电控制。 vdac_ctrl_sl[0](PERIPHCTRL4[25])。 0: r 通道使能; 1: r 通道下电。 vdac_ctrl_sl[1](PERIPHCTRL4[26])。 0: g 通道使能; 1: g 通道下电。 vdac_ctrl_sl[2](PERIPHCTRL4[27])。 0: b 通道使能; 1: b 通道下电。 vdac_ctrl_sl[3](PERIPHCTRL4[28])。 0: cvbs0 通道使能; 1: cvbs0 通道下电。 vdac_ctrl_sl[4](PERIPHCTRL4[29])。 0: cvbs1 通道使能; 1: cvbs1 通道下电。 vdac_ctrl_sl[5](PERIPHCTRL4[30])。 0: cvbs0/1 使能; 1: cvbs0/1 下电。 vdac_ctrl_sl[6](PERIPHCTRL4[31])。 0: rgb 使能; 1: rgb 下电。					
[24:20]	RO	reserved	保留。					
[19]	RW	ram2_ck_gt_en	RAM2 时钟门控功能使能。 0: 禁止; 1: 使能。					



[18]	RW	ram1_ck_gt_en	RAM1 时钟门控功能使能。 0: 禁止; 1: 使能。
[17]	RW	ram0_ck_gt_en	RAM0 时钟门控功能使能。 0: 禁止; 1: 使能。
[16]	RW	cbar_en	cbar_en 输出使能。 0: 禁止; 1: 使能。
[15]	RW	mdu_ddrt_mst_sel	MDU 和 DDRT 功能选择。 0: MDU 使能, DDRT 不使能; 1: DDRT 使能, MDU 不使能。
[14]	RO	reserved	保留。
[13:12]	RW	ssp_cs_sel	SSP 片选选择。 00: 片选 0; 01: 片选 1; 10: 保留; 11: 保留。
[11:2]	RO	reserved	保留。
[1]	RW	uart1_rts_ctrl	UART1 RTS 输出控制。 0: 正常输出; 1: 取反输出。
[0]	RO	reserved	保留。

PERIPHCTRL5

PERIPHCTRL5 为外设控制寄存器 5 (MEDIA0 总线 Master 端口 Timeout 控制寄存器 0)。



Offset Address		Register Name		Total Reset Value																												
0x0040		PERIPHCTRL5		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_media0_port1				over_value_media0_port1								count_en_media0_port0				over_value_media0_port0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	count_en_media0_port1	JPGE 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	over_value_media0_port1	JPGE 端口的 timeout 计数值。 计数值=over_value_media0_port1x2。																													
[15]	RW	count_en_media0_port0	VENC 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	over_value_media0_port0	VENC 端口的 timeout 计数值。 计数值=over_value_media0_port0x2。																													

SC_LOCKEN

SC_LOCKEN 为关键系统控制寄存器的锁定寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0044		SC_LOCKEN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	scper_lockl																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RW	scper_lockl	<p>关键系统控制寄存器的锁定寄存器。涉及寄存器包括 SC_CTRL、SC_SYSRES、SC_SYSSTAT、SC_PLLCTRL、SC_PLLFCTRL、PERIPHCTRL0、PERIPHCTRL1。</p> <p>向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限，写入其他值则关闭写权限。</p> <p>读该寄存器返回加锁的状态而不是写入该寄存器的值。</p> <p>0x0000_0000：允许上述写访问(未加锁)；</p> <p>0x0000_0001：禁止上述写访问(已加锁)。</p>																													

PERIPHCTRL6

PERIPHCTRL6 为外设控制寄存器 6（MEDIA0 总线 Master 端口 Timeout 控制寄存器 1）。

Offset Address		Register Name		Total Reset Value																												
0x0048		PERIPHCTRL6		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_media0_port3	over_value_media0_port3										count_en_media0_port2	over_value_media0_port2																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	count_en_media0_port3	MDU_DDRT 端口的 timeout 计数使能。 0：禁止； 1：使能。																													
[30:16]	RW	over_value_media0_port3	MDU_DDRT 端口的 timeout 计数值。 计数值=over_value_media0_port3x2。																													



[15]	RW	count_en_media0_port2	JPGD 端口的 timeout 计数使能。 0: 禁止; 1: 使能。
[14:0]	RW	over_value_media0_port2	JPGD 端口的 timeout 计数值。 计数值=over_value_media0_port2x2。

PERIPHCTRL9

PERIPHCTRL9 为外设控制寄存器 9（MEDIA0 总线 Master 端口优先级控制寄存器）。

Offset Address		Register Name		Total Reset Value																												
0x0054		PERIPHCTRL9		0x0000_0123																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												media0_port3_pri	reserved	media0_port2_pri	reserved	media0_port1_pri	reserved	media0_port0_pri													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1
Bits	Access	Name	Description																													
[31:15]	RO	reserved	保留。																													
[14:12]	RW	media0_port3_pri	MD/DDRT 优先级。 3 为最高优先级。																													
[11]	RO	reserved	保留。																													
[10:8]	RW	media0_port2_pri	JPGD 优先级。 3 为最高优先级。																													
[7]	RO	reserved	保留。																													
[6:4]	RW	media0_port1_pri	JPGE 优先级。 3 为最高优先级。																													
[3]	RO	reserved	保留。																													
[2:0]	RW	media0_port0_pri	VENC 优先级。 3 为最高优先级。																													



PERIPHCTRL10

PERIPHCTRL10 为外设控制寄存器 10（系统总线 Master 端口 Timeout 控制寄存器 0）。

Offset Address		Register Name		Total Reset Value																												
0x0058		PERIPHCTRL10		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_port1				over_value_port1												count_en_port0				over_value_port0											
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name		Description																												
[31]	RW	count_en_port1		AHB 桥 1 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																												
[30:16]	RW	over_value_port1		AHB 桥 1 端口的 timeout 计数值。 计数值=over_value_port1x2。																												
[15]	RW	count_en_port0		AHB 桥 0 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																												
[14:0]	RW	over_value_port0		AHB 桥 0 端口的 timeout 计数值。 计数值=over_value_port0x2。																												

PERIPHCTRL11

PERIPHCTRL11 为外设控制寄存器 11（系统总线 Master 端口 Timeout 控制寄存器 1）。



Offset Address		Register Name		Total Reset Value				
0x005C		PERIPHCTRL11		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	count_en_port3 over_value_port3				count_en_port2 over_value_port2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	count_en_port3	A9 端口的 timeout 计数使能。 0: 禁止; 1: 使能。					
[30:16]	RW	over_value_port3	A9 端口的 timeout 计数值。 计数值=over_value_port3x2。					
[15]	RW	count_en_port2	IVE 端口的 timeout 计数使能。 0: 禁止; 1: 使能。					
[14:0]	RW	over_value_port2	IVE 端口的 timeout 计数值。 计数值=over_value_port2x2。					

PERIPHCTRL13

PERIPHCTRL13 为外设控制寄存器 13（系统总线 Master 端口优先级控制寄存器）。

Offset Address		Register Name		Total Reset Value							
0x0064		PERIPHCTRL13		0x0000_0123							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				mst_pri3	reserved	mst_pri2	reserved	mst_pri1	reserved	mst_pri0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1			
Bits	Access	Name	Description								
[31:15]	RO	reserved	保留。								



[14:12]	RW	mst_pri3	A9 优先级。 3 为最高优先级。
[11]	RO	reserved	保留。
[10:8]	RW	mst_pri2	IVE 优先级。 3 为最高优先级。
[7]	RO	reserved	保留。
[6:4]	RW	mst_pri1	AHB 桥 1 优先级。 3 为最高优先级。
[3]	RO	reserved	保留。
[2:0]	RW	mst_pri0	AHB 桥 0 优先级。 3 为最高优先级。

PERIPHCTRL14

PERIPHCTRL14 为外设控制寄存器 14（系统总线 Slave 端口优先级控制寄存器）。

	Offset Address	Register Name	Total Reset Value
	0x0068	PERIPHCTRL14	0x0012_3456
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
		slave_priority_s4	reserved
		slave_priority_s3	reserved
		slave_priority_s2	reserved
		slave_priority_s1	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 1
			0 0 1 0
			0 0 1 1
			0 1 0 0
			0 1 0 1
			0 1 1 0
			0 1 1 0
Bits	Access	Name	Description
[31:15]	RO	reserved	保留。
[14:12]	RW	slave_priority_s4	SYS AXI s4 端口 MDDRC0 总线访问优先级。 3 为最高优先级。
[11]	RO	reserved	保留。
[10:8]	RW	slave_priority_s3	SYS AXI s3 端口 APB_MEDIA 总线访问优先级。 3 为最高优先级。
[7]	RO	reserved	保留。



[6:4]	RW	slave_priority_s2	SYS AXI s2 端口 APB_SYS 总线访问优先级。 3 为最高优先级。
[3]	RO	reserved	保留。
[2:0]	RW	slave_priority_s1	SYS AXI s1 端口 AHB 总线访问优先级。 3 为最高优先级。

PERIPHCTRL15

PERIPHCTRL15 为外设控制寄存器 15（CHIP ID 寄存器）。

	Offset Address 0x006C								Register Name PERIPHCTRL15								Total Reset Value -																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																chipid																			
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?				
Bits	Access		Name		Description																															
[31:12]	RO		reserved		保留。																															
[11:0]	RO		chipid		芯片版本描述。 00: 保留; 01: Hi3515A; 10: Hi3515C; 11: Hi3520D。																															

PERIPHCTRL16

PERIPHCTRL16 为外设控制寄存器 16（MEDIA1 总线 Master 端口 Timeout 控制寄存器 0）。



Offset Address		Register Name		Total Reset Value																												
0x0070		PERIPHCTRL16		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_medial_port1				over_value_medial_port1								count_en_medial_port0				over_value_medial_port0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	count_en_medial_port1	TDE 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	over_value_medial_port1	TDE 端口的 timeout 计数值。 计数值= over_value_medial_port1x2。																													
[15]	RW	count_en_medial_port0	VPSS 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	over_value_medial_port0	VPSS 端口的 timeout 计数值。 计数值= over_value_medial_port0x2。																													

PERIPHCTRL17

PERIPHCTRL17 为外设控制寄存器 17 (MEDIA1 总线 Master 端口 Timeout 控制寄存器 1)。



Offset Address		Register Name		Total Reset Value																												
0x0074		PERIPHCTRL17		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_medial_port3				over_value_medial_port3								count_en_medial_port2				over_value_medial_port2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	count_en_medial_port3	VOIE 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	over_value_medial_port3	VOIE 端口的 timeout 计数值。 计数值= over_value_medial_port3x2。																													
[15]	RW	count_en_medial_port2	VCMP 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	over_value_medial_port2	VCMP 端口的 timeout 计数值。 计数值= over_value_medial_port2x2。																													

PERIPHCTRL18

PERIPHCTRL18 为外设控制寄存器 18（MEDIA1 总线 Master 端口 Timeout 控制寄存器 2）。



Offset Address		Register Name		Total Reset Value					
0x0078		PERIPHCTRL18		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				count_en_medial_port4	over_value_medial_port4			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15]	RW	count_en_medial_port4	AIO 端口的 timeout 计数使能。 0: 禁止; 1: 使能。						
[14:0]	RW	over_value_medial_port4	AIO 端口的 timeout 计数值。 计数值=over_value_port4_medialx2。						

PERIPHCTRL19

PERIPHCTRL19 为外设控制寄存器 19（MEDIA1 总线 Master 端口优先级控制寄存器）。

Offset Address		Register Name		Total Reset Value									
0x007C		PERIPHCTRL19		0x0000_1234									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				mst_pri4_medial	reserved	mst_pri3_medial	reserved	mst_pri2_medial	reserved	mst_pri1_medial	reserved	mst_pri0_medial
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0					
Bits	Access	Name	Description										
[31:19]	RO	reserved	保留。										
[18:16]	RW	mst_pri4_medial	AIO 优先级。 7 为最高优先级。										



[15]	RO	reserved	保留。
[14:12]	RW	mst_pri3_medial	VOIE 优先级。 7 为最高优先级。
[11]	RO	reserved	保留。
[10:8]	RW	mst_pri2_medial	VCMP 优先级。 7 为最高优先级。
[7]	RO	reserved	保留。
[6:4]	RW	mst_pri1_medial	TDE 优先级。 7 为最高优先级。
[3]	RO	reserved	保留。
[2:0]	RW	mst_pri0_medial	VPSS 优先级。 7 为最高优先级。

PERIPHCTRL20

PERIPHCTRL20 为外设控制寄存器 20（USB 控制寄存器）。

	Offset Address	Register Name	Total Reset Value
	0x0080	PERIPHCTRL20	0x0003_33A8
Bit	31 30 29 28	27 26 25 24	23 22 21 20
Name	reserved		
		preamble_sel	ovr_merge_en
		pwr_merge_en	usbopr_p_ctrl
		usbpwr_p_ctrl	phy1_ovrcur_en
		phy0_ovrcur_en	phy1_pwr_en
		phy0_pwr_en	reserved
		ss_ena_incr16_i	ss_ena_incr8_i
		ss_ena_incr4_i	ss_ena_incrx_align_i
		ss_autoppd_on_ovrcur_en_i	reserved
		ulpi_bypass_en	app_start_clk_i
		ohci_susp_lgcy_i	wordinterface
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 1 1	0 0 1 1	0 0 1 1
	0 0 1 1	1 0 1 0	1 0 1 0
	1 0 1 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20]	RW	preamble_sel	全速信号前导包后全速空闲周期个数选择。 0: 全速信号前导包后有 5 个全速空闲周期; 1: 全速信号前导包后有 4 个全速空闲周期。



[19]	RW	ovr_merge_en	两个 port 共用同一个过流信号使能(即[phy1_ovrcur_en]或[phy0_ovrcur_en]为 1 的端口的过流信号)。 0: 禁止; 1: 使能。
[18]	RW	pwr_merge_en	只要有一个端口上电, [phy1_pwr_en]和[phy0_pwr_en]就都使能。 0: 禁止; 1: 使能。
[17]	RW	usbovr_p_ctrl	过流保护极性控制。 0: 低电平有效; 1: 高电平有效。
[16]	RW	usbpwr_p_ctrl	电源使能极性控制。 0: 低电平有效; 1: 高电平有效。
[15]	RW	phy1_ovrcur_en	PHY1 过流保护关闭控制。 0: 关闭过流保护; 1: 使能过流保护。
[14]	RW	phy0_ovrcur_en	PHY0 过流保护关闭控制。 0: 关闭过流保护; 1: 使能过流保护。
[13]	RW	phy1_pwr_en	PHY1 电源关断控制。 0: 关掉电源; 1: 使能 controller 的电源输出。
[12]	RW	phy0_pwr_en	PHY0 电源关断。 0: 关掉电源; 1: 使能 controller 的电源输出。
[11:10]	RO	reserved	保留。
[9]	RW	ss_ena_incr16_i	AHB burst16 使能信号。 0: 禁止; 1: 使能。
[8]	RW	ss_ena_incr8_i	AHB burst8 使能信号。 0: 禁止; 1: 使能。



[7]	RW	ss_ena_incr4_i	AHB burst4 使能信号。 0: 禁止; 1: 使能。
[6]	RW	ss_ena_incrx_align_i	burst 对齐使能信号。 0: 禁止; 1: 使能。
[5]	RW	ss_autoppd_on_ove rcur_en_i	过流时自动关断端口电源使能。 0: 禁止; 1: 使能。
[4]	RO	reserved	保留。
[3]	RW	ulpi_bypass_en	ULPI 旁路控制。必须设置为 1。 0: ULPI mode; 1: utmi mode。
[2]	RW	app_start_clk_i	OHCI 时钟控制信号。 0: OHCI 正常工作; 1: 在挂起模式下打开 OHCI 时钟。
[1]	RW	ohci_susp_lgcy_i	OHCI 挂起的 strap 输入信号。
[0]	RW	wordinterface	UTMI 接口数据位宽选择信号。 0: 8bit; 1: 16bit。

PERIPHCTRL21

PERIPHCTRL21 为外设控制寄存器 21 (USB PHY 控制寄存器 0)。



Offset Address		Register Name		Total Reset Value																																
0x0084		PERIPHCTRL21		0x001D_2188																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								siddq	commononn	phy0_txhsxvtune	phy0_sleepm	phy0_loopbackenb	phy0_compdistune	phy0_sqrxtune	phy0_txflstune	phy0_txpreemphasistune	reserved	phy0_txrisetune	phy0_txverftune																
Reset	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	0	0	1	1	0	0	0	1	0	0	0	1	0	0	0
Bits	Access	Name	Description																																	
[31:23]	RO	reserved	保留。																																	
[22]	RW	siddq	PHY 的模拟关断测试使能信号。 0: 不关断模拟电源; 1: 关断模拟电源。 注意: 默认为 0, BIST 测试的时候需要确保为 0。																																	
[21]	RW	commononn	PHY 在 suspend 时, XO BIAS BANDGAP PLL 是否工作。默认为 0。 0: 任何时候(包括 suspend 时), clk48m_ohci 输出有效; 1: 除了在 suspend 时, clk48m_ohci 输出有效。																																	
[20:19]	RW	phy0_txhsxvtune	DP/DM 的 crossover 电压调节。 00: 保留; 01: -15mV; 10: +15mV; 11: 保留。																																	
[18]	RW	phy0_sleepm	端口 0 的 sleep 模式控制。 0: sleep 模式; 1: normal 模式。																																	
[17]	RW	phy0_loopbackenb	phy0 的环回测试(到 D+D-的环回)的使能信号。 必须配置为 0。																																	



[16:14]	RW	phy0_compdistune	PHY0 的 HOSDISCONNECT 门限电平调试信号。 000: -6%; 001: -4.5%; 010: -3%; 100: 缺省值; 101: +1.5%; 110: +3%; 111: +4.5%; 其他: 保留。
[13:11]	RW	phy0_sqrxtune	PHY0 的 squelch 电路调试信号。 000: +20%; 001: +15%; 010: +10%; 011: +5%; 100: 缺省值; 101: -5%; 110: -10%; 111: -15%。
[10:7]	RW	phy0_txflstune	PHY0 的 FS LS 阻抗调试信号。 0x0: +5%; 0x1: +2.5%; 0x3: 缺省值; 0x7: -2.5%; 0xF: -5%; 其他: 保留。
[6]	RW	phy0_txpreemphasisstune	PHY0 的 HS 模式发送预加重使能信号。 0: 禁止; 1: 使能。
[5]	RO	reserved	保留。
[4]	RW	phy0_txrisetune	PHY0 的高速信号上升/下降时间调节。 0: 缺省值; 1: -8%。



[3:0]	RW	phy0_txverftune	PHY0 的 HS 模式下的 DC 电平调节。 0x0: -10%; 0x1: -8.75%; 0x2: -7.5%; 0x3: -6.25%; 0x4: -5%; 0x5: -3.75%; 0x6: -2.5%; 0x7: -1.25%; 0x8: 缺省值; 0x9: +1.25%; 0xA: +2.5%; 0xB: +3.7%; 0xC: +5%; 0xD: +6.25%; 0xE: +7.5%; 0xF: +8.75%。
-------	----	-----------------	---

PERIPHCTRL22

PERIPHCTRL22 为外设控制寄存器 22（USB PHY 控制寄存器 1）。

	Offset Address				Register Name								Total Reset Value																																			
	0x0088				PERIPHCTRL22								0x701D_2188																																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved								phy1_txhsxvtune				phy1_sleepm				phy1_loopbackenb				phy1_compdistune				phy1_sqrxtune				phy1_txfsistune				phy1_txpreemphasistune				reserved				phy1_txrisetune				phy1_txvrefune			
Reset	0	1	1	1	0	0	0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	0	0	1	1	0	0	0	1	0	0	0	1	0	0	0												
Bits	[31:21]																																															
Access	RO																																															
Name	reserved																																															
Description	保留。																																															



[20:19]	RW	phy1_txhsxvtune	DP/DM 的 crossover 电压调节。 00: 保留; 01: -15mV; 10: +15mV; 11: 缺省值。
[18]	RW	phy1_sleepm	端口 1 的 sleep 模式控制。 0: sleep 模式; 1: normal 模式。
[17]	RW	phy1_loopbackenb	PHY1 的环回测试(到 D+D-的环回)的使能信号。 缺省值为 0, 必须配置为 0。
[16:14]	RW	phy1_compdistune	PHY1 的 HOSDISCONNECT 门限电平调试信号。 000: -6%; 001: -4.5%; 010: -3%; 100: 缺省值; 101: +1.5%; 110: +3%; 111: +4.5%; 其他: 保留。
[13:11]	RW	phy1_sqrxtune	PHY1 的 squelch 电路调试信号。 000: +20%; 001: +15%; 010: +10%; 011: +5%; 100: 缺省值; 101: -5%; 110: -10%; 111: -15%。
[10:7]	RW	phy1_txflstune	PHY1 的 FS LS 阻抗调试信号。 0x0: +5%; 0x1: +2.5%; 0x3: 缺省值; 0x7: -2.5%; 0xF: -5%; 其他: 保留。



[6]	RW	phy1_txpreemphasis	PHY1 的 HS 模式发送预加重使能信号。默认值为 0。 0: 禁止; 1: 使能。
[5]	RO	reserved	保留。
[4]	RW	phy1_txrisetune	PHY1 的高速信号上升/下降时间调节。 0: 缺省值; 1: -8%。
[3:0]	RW	phy1_txvrefune	PHY1 的 HS 模式下的 DC 电平调节。 0x0: -10%; 0x1: -8.75%; 0x2: -7.5%; 0x3: -6.25%; 0x4: -5%; 0x5: -3.75%; 0x6: -2.5%; 0x7: -1.25%; 0x8: 缺省值; 0x9: +1.25%; 0xA: +2.5%; 0xB: +3.7%; 0xC: +5%; 0xD: +6.25%; 0xE: +7.5%; 0xF: +8.75%。

SYSSTAT

SYSSTAT 为系统状态寄存器 (PLL_LOCK)。



Offset Address		Register Name		Total Reset Value				
0x008C		SYSSTAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	bootrom_sel_in reserved	a9_l2_idle a9_smp_namp	reserved	a9_standbywfe a9_standbywfi a9_pmupriv a9_secure sic_addr_mode	reserved	reserved	jtag_sel boot_mode	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	bootrom_sel_in	指示是否从 bootrom 启动。 0: 不从 bootrom 启动; 1: 从 bootrom 启动。					
[30:29]	RO	reserved	保留。					
[28]	RO	a9_l2_idle	指示 L2 cache 活动状态。 0: 非 IDLE 状态; 1: IDLE 状态。					
[27]	RO	a9_smp_namp	指示 Cortex-A9 processor 是均衡还是非均衡模式。 0: 非均衡; 1: 均衡。					
[26:20]	RO	reserved	保留。					
[19]	RO	a9_standbywfe	指示 Cortex-A9 processor 是否在 WFE 状态。 0: 不在 WFE 状态; 1: 处在 WFE 状态。					
[18]	RO	a9_standbywfi	指示 Cortex-A9 processor 是否在 WFI 状态。 0: 不在 WFI 状态; 1: 处在 WFI 状态。					
[17]	RO	a9_pmupriv	指示 Cortex-A9 processor 状况。 0: 处于 user 模式; 1: 处于 privileged 模式。					
[16]	RO	a9_secure	指示 Cortex-A9 processor 安全状况。 0: 处于 Non-secure 状态; 1: 处于 Secure 状态。					



[15]	RO	sfc_addr_mode	SPI FLASH 默认工作地址模式。 0: 3Byte 地址模式; 1: 4Byte 地址模式。
[14:7]	RO	reserved	保留。
[6]	RO	jtag_sel	芯片选定的 debug 模式。 0: debug A9; 1: debug SATA PHY。
[5:4]	RO	boot_mode	芯片选定的启动模式。 00: 从 SPI Flash 启动; 其他: 保留。
[3:0]	RO	reserved	保留。

PERIPHCTRL23

PERIPHCTRL23 为外设控制寄存器 23 (MDDRC 乱序配置 outtodr_ctrl 寄存器)。

	Offset Address 0x0090				Register Name PERIPHCTRL23								Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								a9_ctrl	reserved	ive_ctrl	reserved	ddrtest_ctrl	voic_ctrl	vcmp_ctrl	reserved	tde_ctrl	vpss_ctrl	reserved	mdu_ctrl	jpgd_ctrl	jpge_ctrl	reserved	vedu_ctrl	reserved	vicap_ctrl	vou_ctrl									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access			Name			Description																													
[31:21]	RO			reserved			保留。																													
[20]	RW			a9_ctrl			A9 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																													
[19:18]	RO			reserved			保留。																													
[17]	RW			ive_ctrl			IVE 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																													
[16]	RO			reserved			保留。																													



[15]	RW	ddrtest_ctrl	AIO 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[14]	RW	voie_ctrl	VOIE 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[13]	RW	vcmp_ctrl	VCMP 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[12]	RO	reserved	保留。
[11]	RW	tde_ctrl	TDE 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[10]	RW	vpss_ctrl	VPSS 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[9:8]	RO	reserved	保留。
[7]	RW	mdu_ctrl	MDU/DDRTEST 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[6]	RW	jpgd_ctrl	JPGD 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[5]	RW	jpge_ctrl	JPGE 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[4]	RO	reserved	保留。
[3]	RW	vedu_ctrl	VEDU 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[2]	RO	reserved	保留。
[1]	RW	vicap_ctrl	VICAP 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。



[0]	RW	vou_ctrl	VOU 访问 DDR 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
-----	----	----------	---

PERIPHCTRL24

PERIPHCTRL24 为外设控制寄存器 24 (FE PHY 地址配置寄存器)。

	Offset Address 0x0094								Register Name PERIPHCTRL24								Total Reset Value 0x0000_1000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								fephy_led_ctrl				reserved				fephy_sel				reserved				fephy_ad							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	RO		reserved		保留。																											
[12]	RW		fephy_led_ctrl		FE PHY led 灯极性控制。 0: 极性不取反; 1: 极性取反。																											
[11:9]	RO		reserved		保留。																											
[8]	RW		fephy_sel		FE PHY 选择。 0: 选择内部集成的 FE PHY; 1: 选择外部 FE PHY。																											
[7:5]	RO		reserved		保留。																											
[4:0]	RW		fephy_ad		内部集成 FE PHY 的 PHY 地址																											

PERIPHCTRL25

PERIPHCTRL25 为外设控制寄存器 25 (SATA PHY 控制寄存器 1)。



Offset Address		Register Name		Total Reset Value																												
0x0098		PERIPHCTRL25		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								sata_test_byp_mode	sata_test_burnin_mode	reserved								sata_test_pddq	reserved												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:22]	RO	reserved	保留。																													
[21]	RW	sata_test_byp_mode	使能 ASIC 中 SATA 的所有输入接口通过纯组合逻辑连接到输出端，提高接口测试覆盖率。 0：禁止； 1：使能。																													
[20]	RW	sata_test_burnin_mode	SATA 老化测试模式使能。 0：禁止； 1：使能。 注意：尽可能多的使能内部逻辑翻转，在老化测试时与 [sata_test_byp_mode]信号一起使用。																													
[19:3]	RO	reserved	保留。																													
[2]	RW	sata_test_pddq	SATA PHY 上下电控制。 0：不下电； 1：下电。																													
[1:0]	RO	reserved	保留。																													

PERIPHCTRL28

PERIPHCTRL28 为外设控制寄存器 28(IO 控制寄存器 0)。



Offset Address		Register Name		Total Reset Value												
0x00A4		PERIPHCTRL28		0x2222_2222												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved	spi_sclk_ioctrl_ds	reserved	aio_ws_tx_ioctrl_ds	reserved	aio_bclk_tx_ioctrl_ds	reserved	aio_ws_rx_ioctrl_ds	reserved	aio_bclk_rx_ioctrl_ds	reserved	aio_mclk_ioctrl_ds	reserved	vga_hs_vs_ioctrl_ds	reserved	vi_ade_clk_ioctrl_ds
Reset	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	
Bits	Access	Name	Description													
[31]	RO	reserved	保留。													
[30:28]	RW	spi_sclk_ioctrl_ds	spi_sclk 输出驱动能力选择。 000: 0mA(High Z); 001: 3mA; 010: 4mA; 011: 保留; 100: 保留; 101: 保留; 110: 8mA; 111: 11mA。													
[27]	RO	reserved	保留。													
[26:24]	RW	aio_ws_tx_ioctrl_ds	aio_ws_tx 输出驱动能力选择。 000: 0mA(High Z); 001: 3mA; 010: 4mA; 011: 保留; 100: 保留; 101: 保留; 110: 8mA; 111: 11mA。													
[23]	RO	reserved	保留。													



[22:20]	RW	aio_bclk_tx_ioctrl_ds	aio_bclk_tx 输出驱动能力选择(@SS,125°C 2.97V/1.08V Io1 at 0.4V)。 000: 0mA(High Z); 001: 3mA(Active); 010: 4mA(Active); 011: 7mA; 100: 4mA; 101: 7mA; 110: 8mA(Active); 111: 11mA(Active)。
[19]	RO	reserved	保留。
[18:16]	RW	aio_ws_rx_ioctrl_ds	aio_ws_rx_ioctrl_ds 输出驱动能力选择。 000: 0mA(High Z); 001: 3mA; 010: 4mA; 011: 保留; 100: 保留; 101: 保留; 110: 8mA(Active); 111: 11mA(Active)。
[15]	RO	reserved	保留。
[14:12]	RW	aio_bclk_rx_ioctrl_ds	aio_bclk_rx 输出驱动能力选择。 000: 0mA(High Z); 001: 3mA; 010: 4mA; 011: 保留; 100: 保留; 101: 保留; 110: 8mA; 111: 11mA。
[11]	RO	reserved	保留。



[10:8]	RW	aio_mclk_ioctrl_ds	aio_mclk 输出驱动能力选择。 000: 0mA(High Z); 001: 3mA; 010: 4mA; 011: 保留; 100: 保留; 101: 保留; 110: 8mA; 111: 11mA。
[7]	RO	reserved	保留。
[6:4]	RW	vga_hs_vs_ioctrl_ds	vga_hs 和 vga_vs 输出驱动能力选择。 000: 0mA(High Z); 001: 4mA; 010: 8mA; 011: 12mA; 100: 12mA; 101: 16mA; 110: 20mA; 111: 24mA。
[3]	RO	reserved	保留。
[2:0]	RW	vi_adc_clk_ioctrl_ds	vi_adc_clk 输出驱动能力选择。 000: 0mA(High Z); 001: 3mA; 010: 4mA; 011: 保留; 100: 保留; 101: 保留; 110: 8mA; 111: 11mA。

PERIPHCTRL29

PERIPHCTRL29 为外设控制寄存器 29(IO 控制寄存器 1)。



Offset Address		Register Name		Total Reset Value																												
0x00A8		PERIPHCTRL29		0x0000_0022																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														sfc_ioctrl_ds				reserved		spi_sdo_ioctrl_ds											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	sfc_ioctrl_ds	SFC 数据 pad 输出驱动能力。 000: 0mA(High Z); 001: 3mA; 010: 4mA; 011: 保留; 100: 保留; 101: 保留; 110: 8mA; 111: 11mA。																													
[3]	RO	reserved	保留。																													
[2:0]	RW	spi_sdo_ioctrl_ds	spi_sdo 输出驱动能力。 000: 0mA(High Z); 001: 3mA; 010: 4mA; 011: 保留; 100: 保留; 101: 保留; 110: 8mA; 111: 11mA。																													

SCSYSID0

SCSYSID0 为芯片 ID 寄存器 0。



Offset Address		Register Name				Total Reset Value		
0xEE0		SCSYSID0				0x00		
Bit	7	6	5	4	3	2	1	0
Name	sysid0							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	sysid0	读该寄存器返回 0x00。					

SCSYSID1

SCSYSID1 为芯片 ID 寄存器 1。

Offset Address		Register Name				Total Reset Value		
0xEE4		SCSYSID1				0xD1		
Bit	7	6	5	4	3	2	1	0
Name	sysid1							
Reset	1	1	0	1	0	0	0	1
Bits	Access	Name	Description					
[7:0]	RO	sysid1	读该寄存器返回 0xD1。					

SCSYSID2

SCSYSID2 为芯片 ID 寄存器 2。

Offset Address		Register Name				Total Reset Value		
0xEE8		SCSYSID2				0x20		
Bit	7	6	5	4	3	2	1	0
Name	sysid2							
Reset	0	0	1	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	sysid2	读该寄存器返回 0x20。					

SCSYSID3

SCSYSID3 为芯片 ID 寄存器 3。



	Offset Address 0xEEC			Register Name SCSYSID3			Total Reset Value 0x35	
Bit	7	6	5	4	3	2	1	0
Name	sysid3							
Reset	0	0	1	1	0	1	0	1
Bits	Access		Name		Description			
[7:0]	RO		sysid3		读该寄存器返回 0x35。			

3.5 CIPHER

3.5.1 概述

CIPHER 是一个实现 DES (Data Encryption Standard) /3DES 和 AES (Advanced Encryption Standard) 加解密处理的模块，DES/3DES 和 AES 算法的实现符合 FIPS46-3/FIPS 197 标准。DES/3DES 和 AES 的工作模式符合 FIPS -81/NIST special800-38a 标准。

CIPHER 模块适用于进行大量数据的高效加解密处理，可支持一次实现单个分组的加解密或多个分组的加解密。

3.5.2 特点

CIPHER 模块有如下特点：

- AES 密钥长度支持 128 位、192 位、256 位，由芯片密钥管理模块配置密钥时密钥长度只支持 128 位。
- DES 密钥长度支持 64 位，其中 0、8、16、24、32、40、48、56 位的值是每个 byte 的奇偶校验值，实际加解密操作中不使用。
- 3DES 支持 3 个密钥的方式，也支持 2 个密钥的方式，由芯片密钥管理模块配置密钥时只支持 2 个密钥的方式。
- AES 支持 ECB (Electronic CodeBook)、CBC (Cipher Block Chaining)、1/8/128-CFB (Cipher FeedBack)、128-OFB (Output FeedBack) 和 CTR (Counter) 几种工作模式，工作模式符合 NIST special800-38a 标准。
- DES/3DES 支持 ECB、CBC、1/8/64-CFB、1/8/64-OFB 几种工作模式，工作模式符合 FIPS-81 标准。
- ECB、CBC、CFB、OFB、CTR 工作模式下，支持一次实现多个分组的加解密运算，也支持一次实现单个分组的加解密运算。
- AES 的 CTR 工作模式下，支持一次实现多个分组的加解密运算，也支持一次实现单个分组的加解密运算
- 提供 8 个 CPU 配置的加解密密钥，可以配置为 64bits，128bits，192bits 或者 256bits。



- 提供 8 个芯片密钥管理模块配置的密钥，固定为 128bits，主 CPU 不可以读写。
- 提供一个单分组加解密通道和 7 个通道的多分组加解密通道。单分组加解密通道每次只能完成一个单分组加解密，由 CPU 将数据写入通道寄存器中，结果由 CPU 读取。多分组加解密通道由逻辑自动从 DDR 中读取数据完成加解密后再自动写回到 DDR 中。
- 各个通道采用加权轮循的工作方法，除了单分组通道的权值默认为 1，其他的多分组通道的权值都可以配置。
- 任何通道可以使用同一组密钥或者不同组密钥。
- 当多分组通道数据不是加解密分组的整数倍时，最后不足一个分组的数据不进行加解密。
- 多分组通道支持逻辑拼接数据，即上一个链表数据块最后预留数据不足一个加解密分组，又不是待处理数据的最后一个链表数据块，不需要进行数据填充，则将该链表数据遗留的数据与下一个链表数据块数据拼接到一起进行加解密。
- 多分组加解密通道支持字节地址。
- 多分组加解密通道支持多链表结构，支持拼接多个链表数据，每个链表的长度用 20 bit 表示，即最大数据量为 1M-1 byte。
- 提供中断状态查询、中断屏蔽和中断清除功能。
- 每个通道提供单独的中断处理和控制在。
- 支持多包中断和老化时间中断。

3.5.3 功能描述

DES/3DES、AES 算法支持的几种工作模式分别符合 FIPS-81 标准和 NIST special800-38a 标准，对于 DES/3DES 和 AES 算法，ECB、CBC 和 CFB 工作模式相同，OFB 和 CTR（只有 AES 算法中包括）工作模式略有区别。

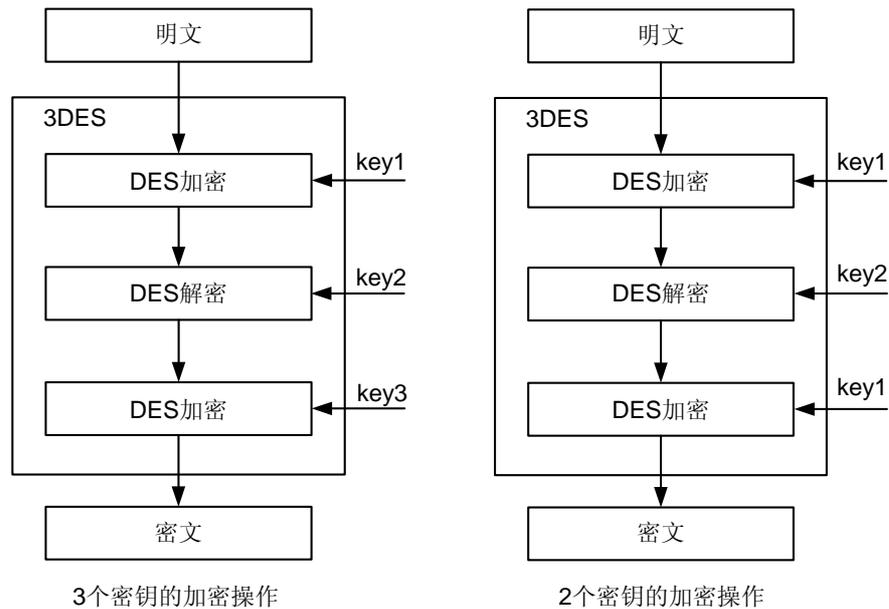
3DES 算法

3DES 支持 3 个密钥和 2 个密钥的运算，2 个密钥的运算可以看作 3 个密钥的一种简化情况，在 2 个密钥的操作中的第三个密钥（key3）都使用第一个密钥（key1）代替。

3 个密钥和 2 个密钥的 3DES 加密运算过程如图 3-5 所示。

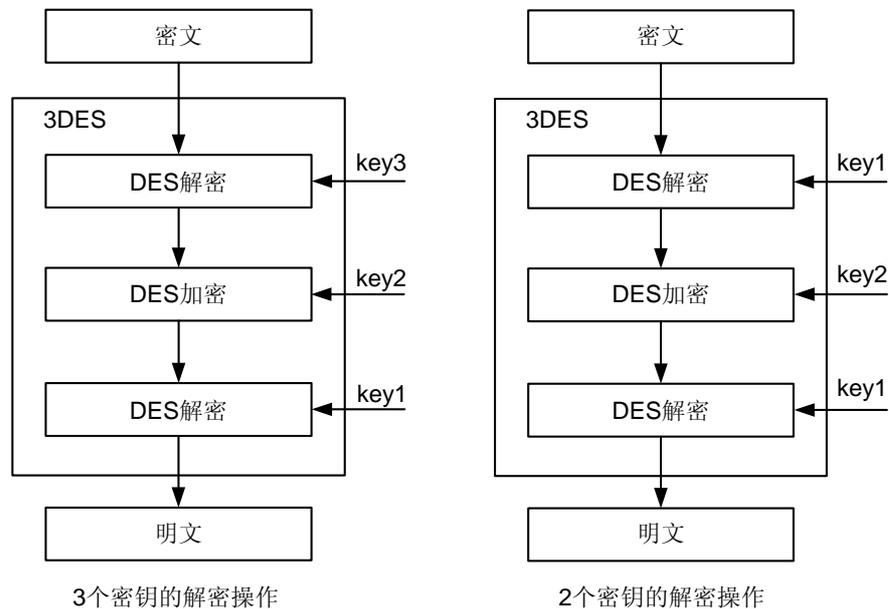


图3-5 3个密钥和2个密钥的3DES 加密操作



3个密钥和2个密钥的3DES 解密运算过程如图3-6所示。

图3-6 3个密钥和2个密钥的3DES 解密操作



ECB 模式

ECB (Electronic CodeBook) 模式中，加、解密算法是直接应用到各个分组数据，而且各个分组的运算均独立。这个特点使得明文的加密操作和密文的解密操作可以并行进行。AES/DES 和 3DES 的电子密码本 (ECB) 模式分别如图 3-7 和图 3-8 所示。

图3-7 AES/DES 的电子密码本 (ECB) 模式

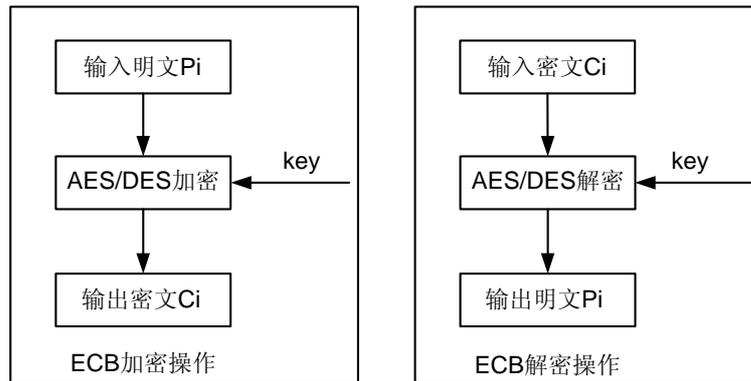
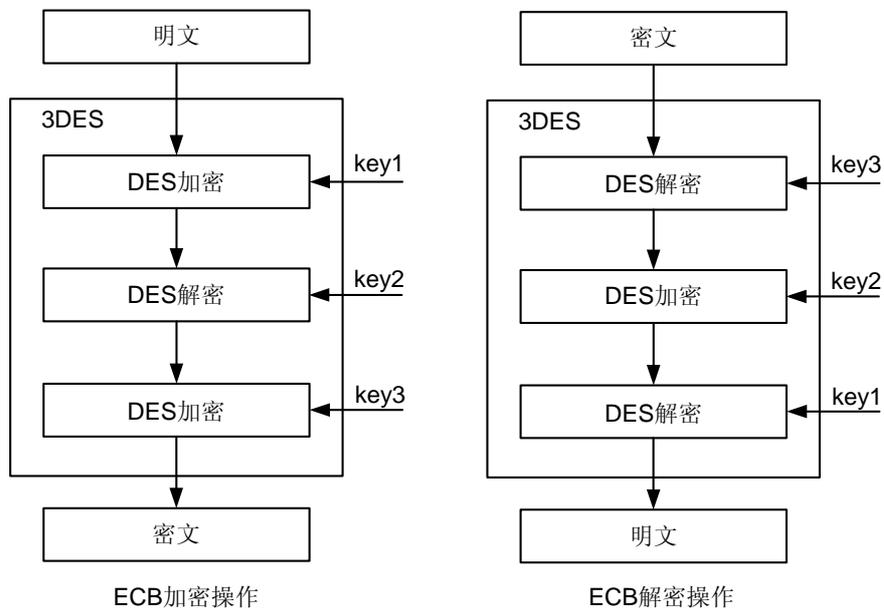


图3-8 3DES 的电子密码本 (ECB) 模式



CBC 模式

CBC (Cipher Block Chaining) 模式下，加密的输入明文分组需要先与输入向量 IV (Initialization Vector) 进行异或操作，才进入加密操作，而每个明文分组的加密处理都与上一个明文分组处理的结果（即密文）相关，因此 CBC 模式下的加密操作是不能进行并行处理的。但是解密操作不依赖于上一个分组的明文输出，是可以进行并行处理的。AES/DES 和 3DES 的密码分组链接 (CBC) 模式分别如图 3-9 和图 3-10 所示。



图3-9 AES/DES 的密码分组链接 (CBC) 模式

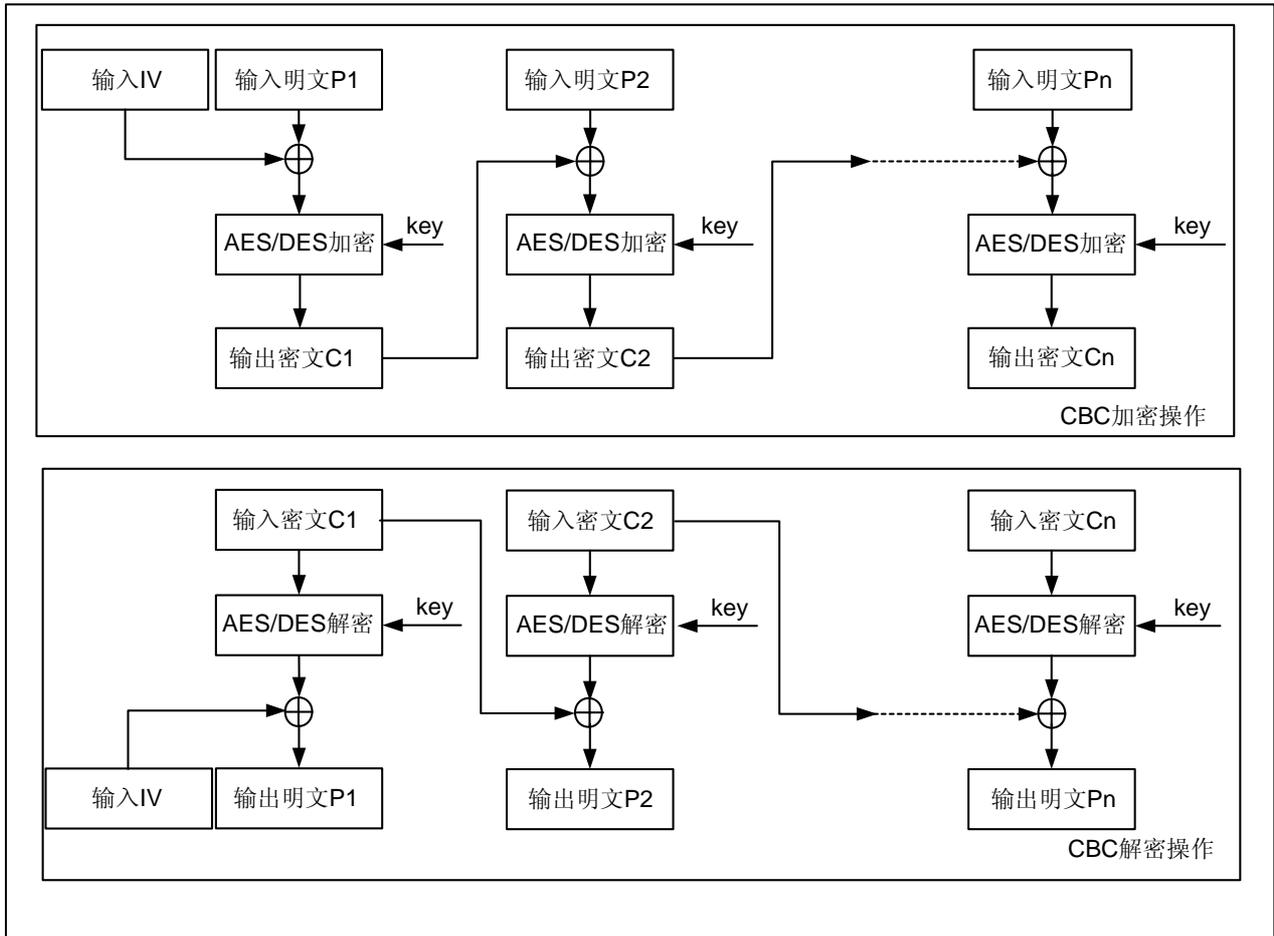
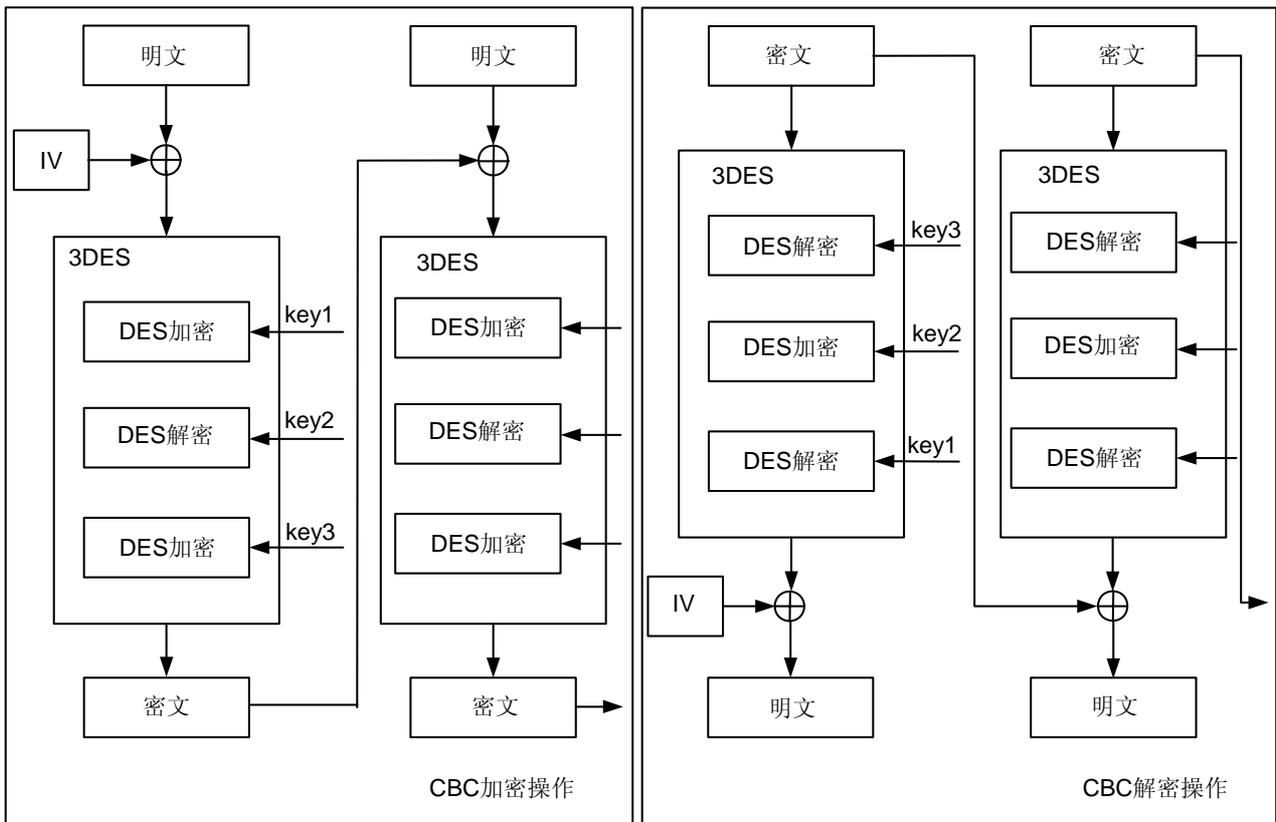


图3-10 3DES 的密码分组链接 (CBC) 模式



CFB 模式

CFB (Cipher FeedBack) 模式是将分组密码转换成流密码的一种工作模式，可以通过选择 CFB 的操作位数来实现。移位操作的位数用 s 位表示，关于 s 位，存在以下 2 种情况：

- 对于 DES/3DES, s 位可以是 1 位、8 位或 64 位。
- 对于 AES, s 位可以是 1 位、8 位或 128 位。

AES/DES 的 s 位密码反馈 (CFB) 模式和 3DES 的 s 位密码反馈 (CFB) 模式分别如图 3-11 和图 3-12 所示。



图3-11 AES/DES 的 s 位密码反馈 (CFB) 模式

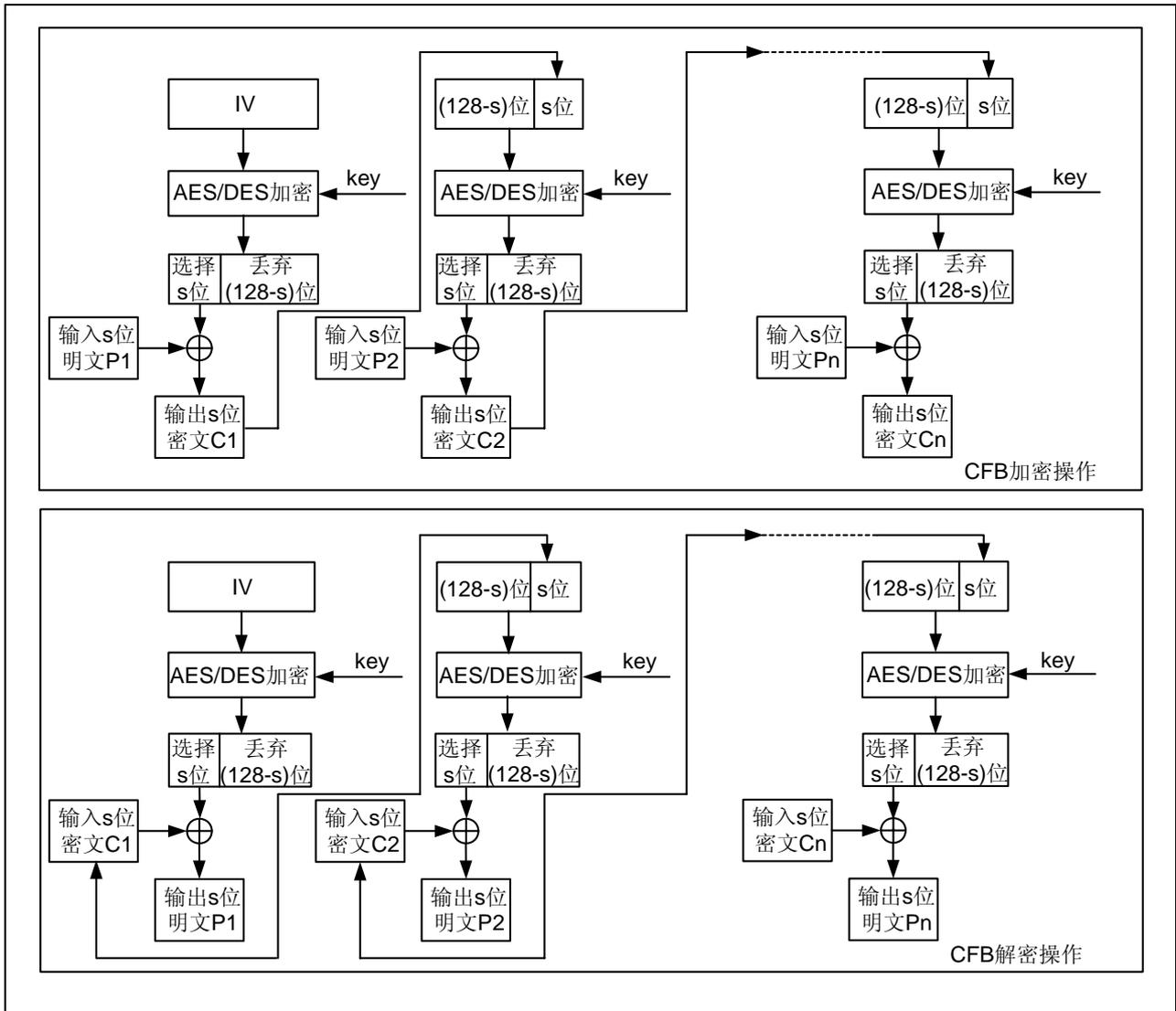
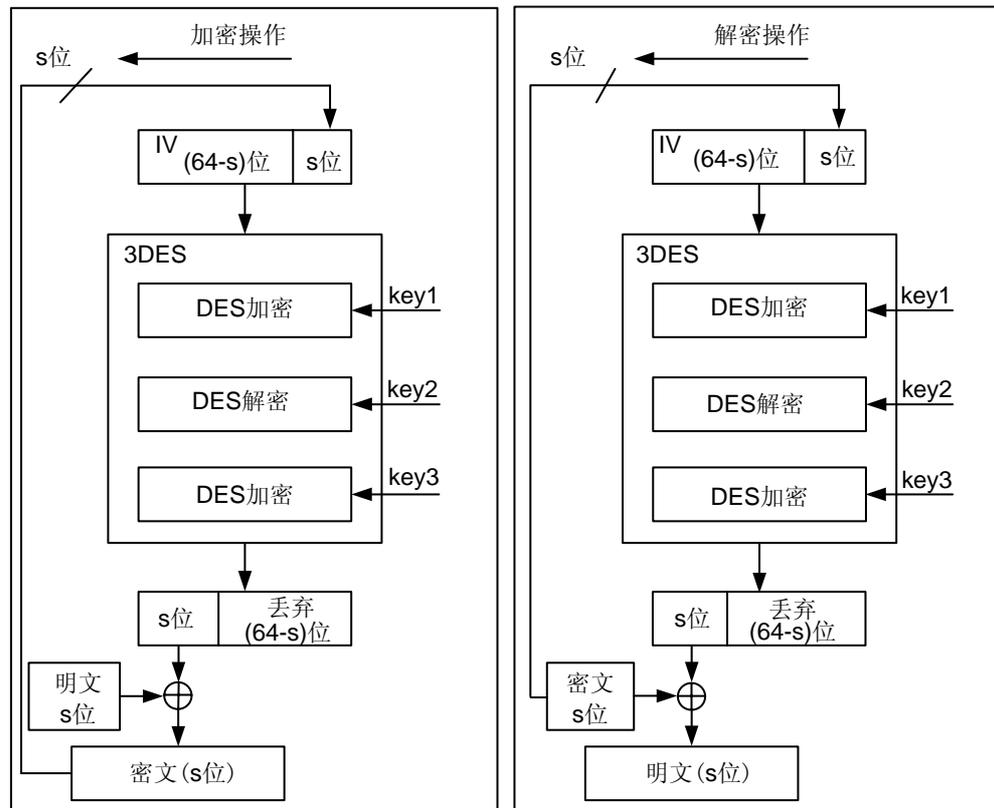


图3-12 3DES 的 s 位密码反馈 (CFB) 模式



OFB 模式

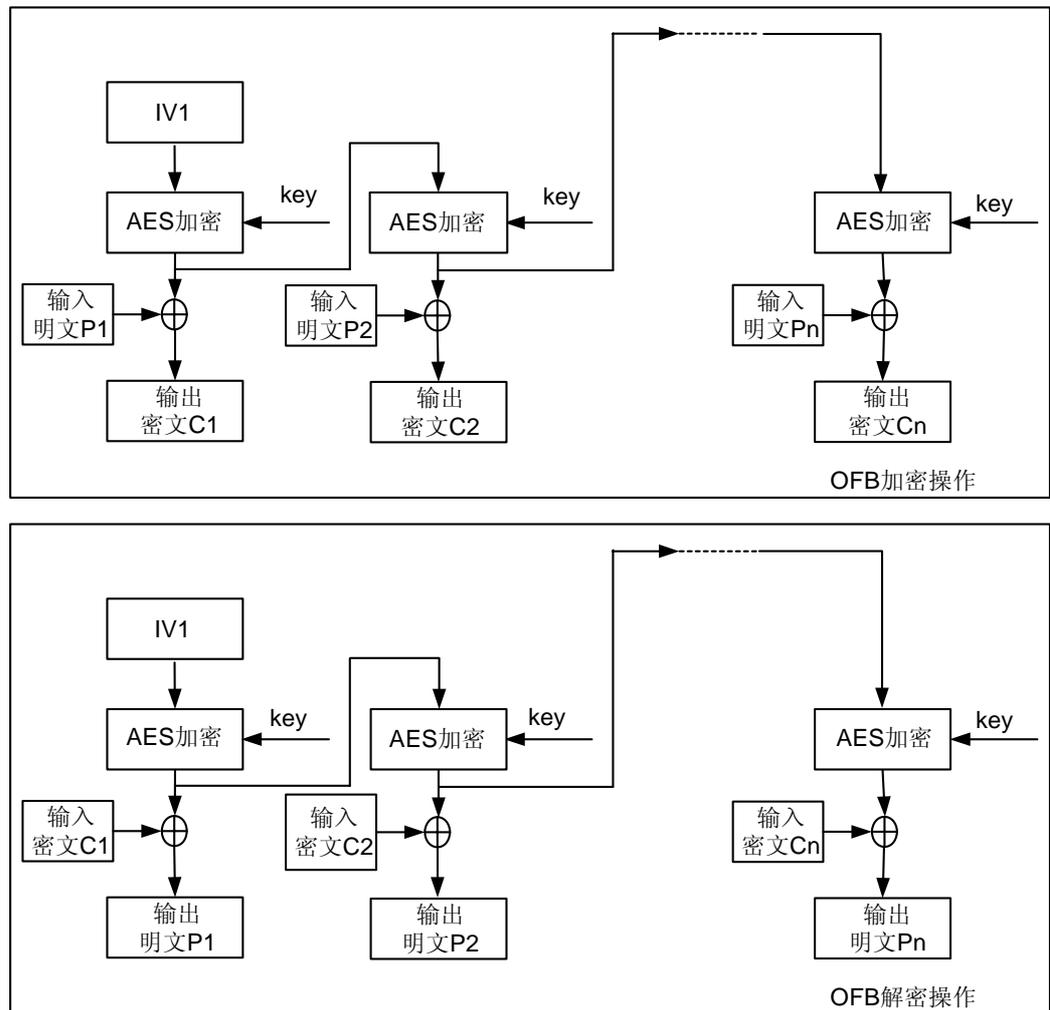
OFB (Output FeedBack) 模式下, 将 IV 直接作为加密操作的输入, 因此对同一个密钥的操作情况下, 应该使用不相同的 IV, 避免降低操作的安全性。关于 s 位, 存在以下 2 种情况:

- 对于 DES/3DES, s 位可以是 1 位、8 位或 64 位。
- 对于 AES, s 位只能是 128 位。



AES 的输出反馈（OFB）模式如图 3-13 所示。

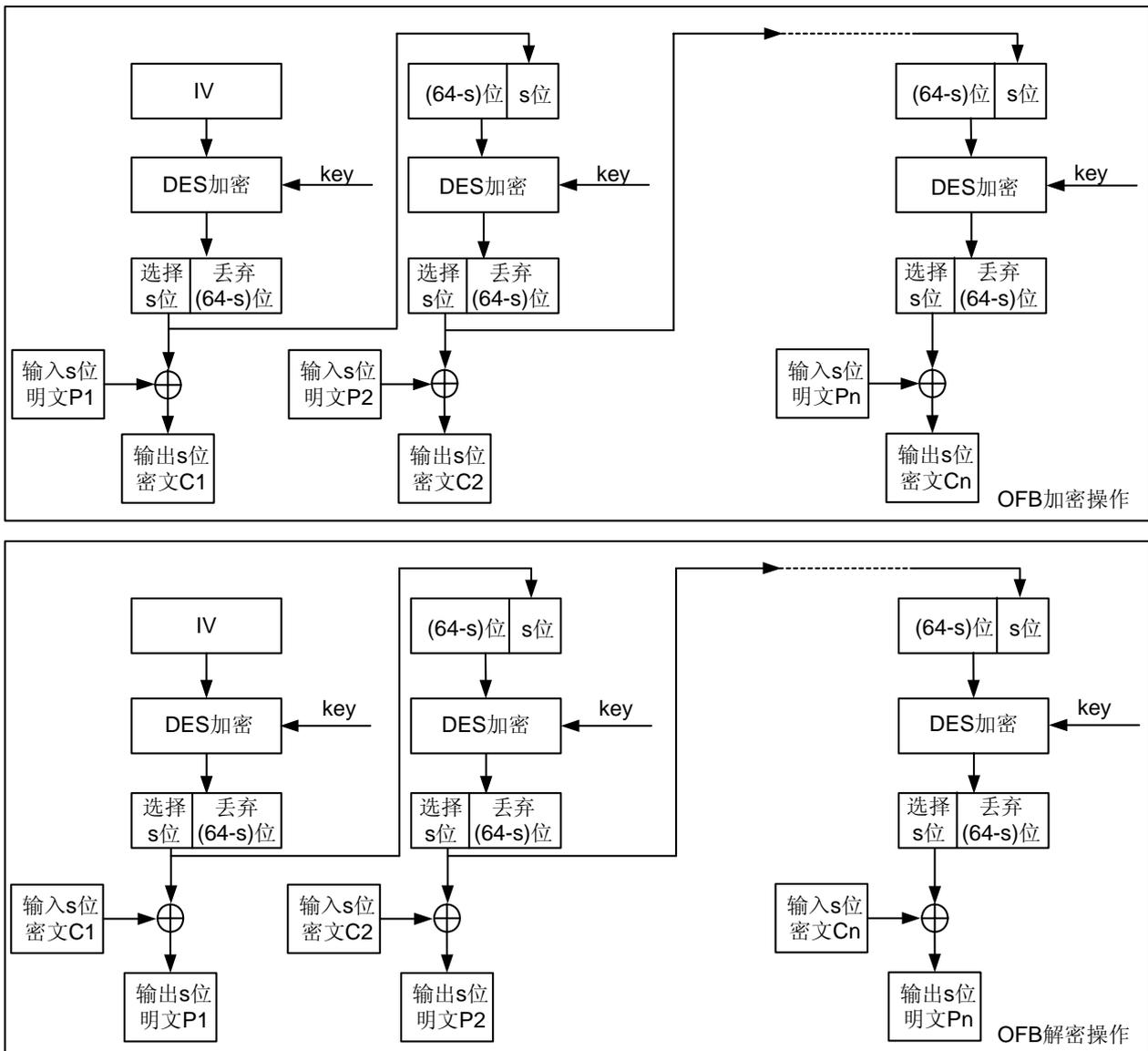
图3-13 AES 的输出反馈（OFB）模式



DES 的 s 位输出反馈模式如图 3-14 所示。

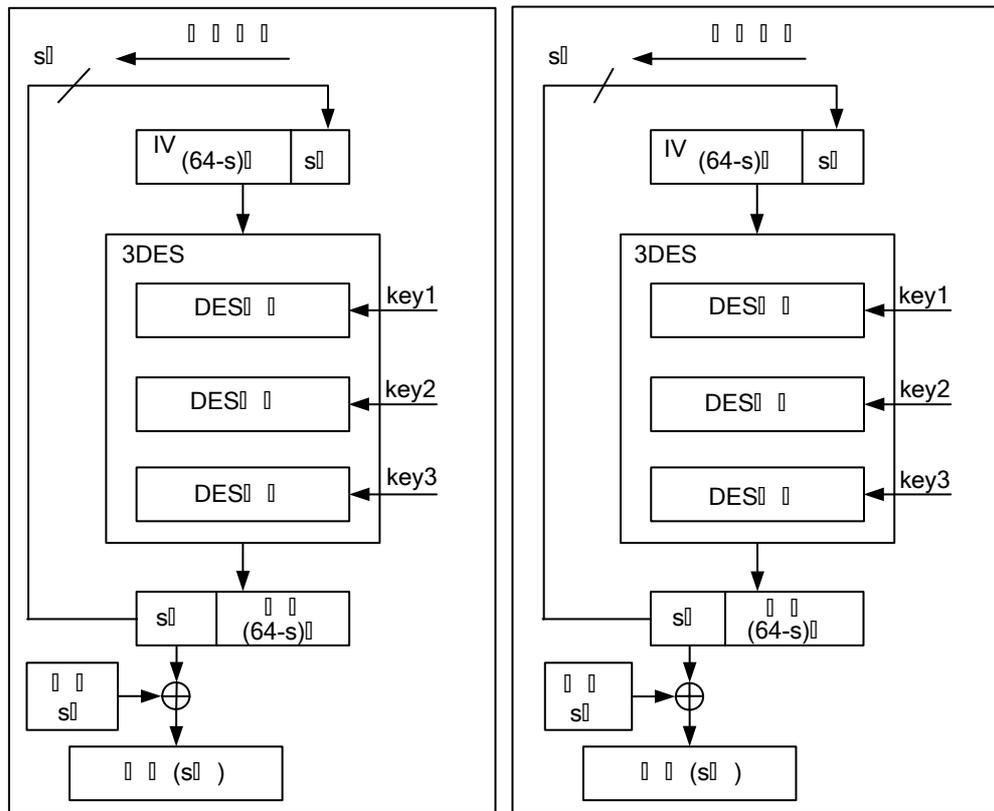


图3-14 DES 的 s 位输出反馈 (OFB) 模式



3DES 的 s 位输出反馈模式如图 3-15 所示。

图3-15 3DES 的 s 位输出反馈 (OFB) 模式



CTR 模式

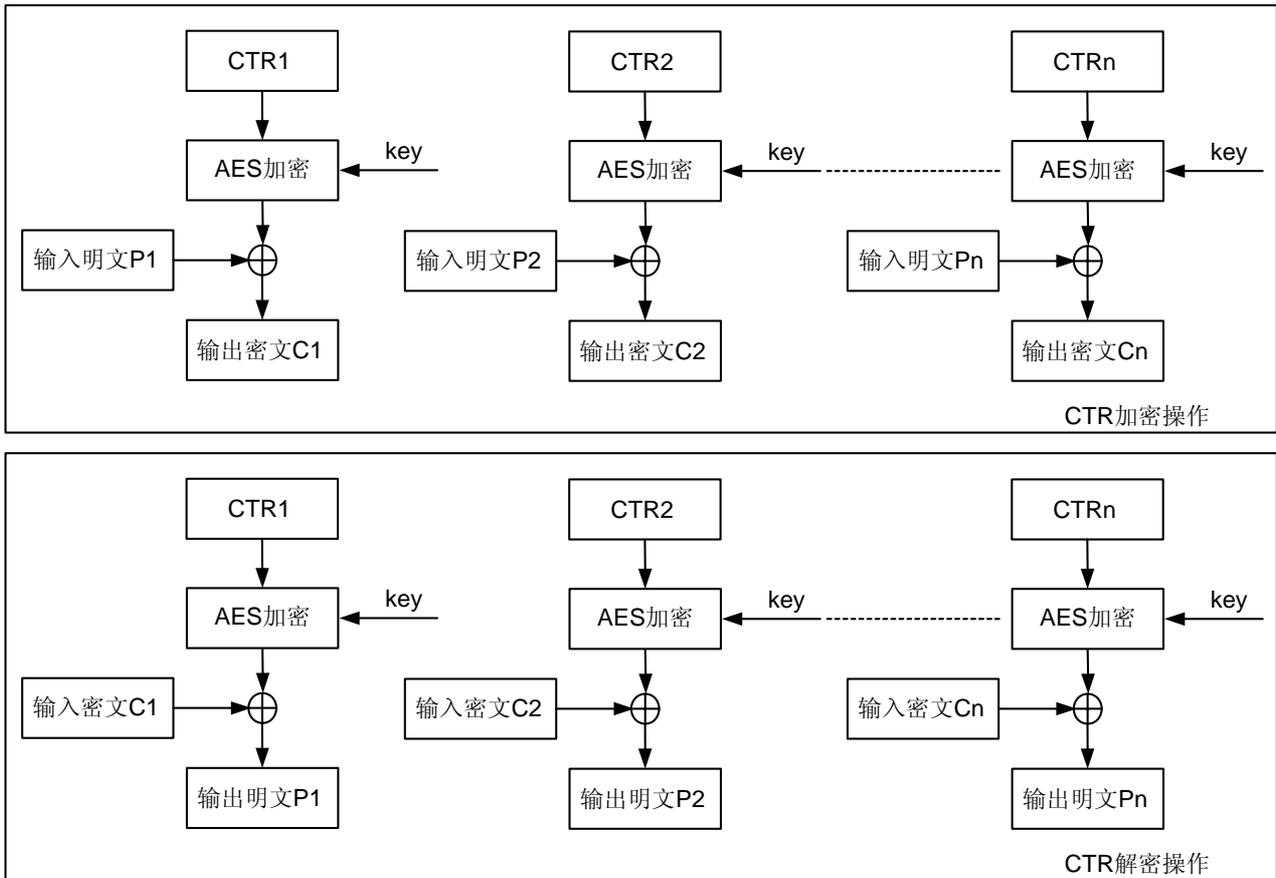
CTR (Counter) 模式下, 向 AES 加密或解密处理模块输入不同的数据来保证数据处理的安全性, 这种数据可以是计数的值。因此, 计数值 CTRn 的选取也决定了这种方式应用的安全性。

说明

CTRn 一般采用累加计数的方式获取。

AES 的 CTR 模式如图 3-16 所示。

图3-16 AES 的 CTR 模式



3.5.4 工作方式

CIPHER 的单分组操作流程

CIPHER 提供通道 0 作为单分组加解密通道，操作流程如下：

1. 查询通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_busy` 域，如果通道 0 不忙，则配置通道 0 的数据输入和将相关配置信息写入通道 0 的寄存器中。
2. 写通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_start` 域，启动通道 0 加解密。
3. 判断通道 0 加解密结束，有两种方式：
4. 查询等待通道 0 加解密结束后 `ch0_busy` 变为不忙。
5. 使能通道 0 中断，在通道 0 数据完成中断有效后读取数据。
6. 通道 0 加解密完成，从通道 0 的 `CHAN0_CIPHER_DOUT` 和 `CHAN0_CIPHER_IVOUT` 寄存器中读取相应结果。

----结束



CIPHER 的多分组操作流程

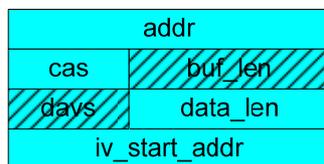
CIPHER 模块提供 7 个多分组加解密通道，软件可以根据每个通道速率大小设置每个通道的权值。多分组加解密通道自动从 DDR 中读取数据，完成加解密后再写入到 DDR 中。

CIPHER 的多分组操作流程如下：

1. 通道初始化配置。即每个通道输入队列深度和输出队列深度，输入输出队列的首地址，多包中断个数和老化中断时间，配置每个通道 CTRL 寄存器信息。
2. 当有数据需要加解密时，查询 `CHANn_IBUF_CNT` 寄存器，如果该寄存器的值小于 `CHANn_IBUF_NUM` 的值，则配置待加解密数据链表头到输入队列中，进入步骤 4；否则进入步骤 3；
3. 打开输入队列通道对应的中断，等待该中断发生时，读取 `CHANn_IEMPTY_CNT` 寄存器代表输入队列处理完成的包个数，软件通过向该寄存器写入相应的值清除中断，然后可以向输入队列中添加新的数据。
4. 向输出队列中加入对应的输出缓冲区链表头；
5. 打开输出队列通道对应中断；
6. 在输出队列中断发生时，软件取走输出队列数据并写本次收包个数到 `CHANn_OFULL_CNT`，以便清除中断。

----结束

图3-17 多分组加解密通道链表头结构如下：



- addr 表示该链表头指向的 Buffer 的首地址，可以是字节地址。
- data_len 表示该链表头指示的有效数据的长度。
- cas 代表 cipher 加解密的控制信息，具体 bit 数如下：

表3-18 CAS 各个 bit 标志

31	24	23	22	21	20
rsv	rsv	last_ist	iv_set	rsv	



- **iv_set**: 标志当前链表头指示的数据需要重新更换初始向量，此时需要通过 **iv_start_addr** 指示当前 IV 在 DDR 中的初始地址，此地址必须是 WORD 对齐地址。
- **last_lst**: 标志当前链表头指示的数据是一个数据块的最后一个链表，逻辑在该链表处理结束时如果遇到不足一个加解密分组的数据，逻辑将剩余数据直接写入到输出 Buffer 中，不进行加解密。

时钟门控

当不需要进行加密操作，且 CIPHER 模块处于空闲状态时，可以通过配置系统控制器的寄存器，关断 CIPHER 模块时钟以降低功耗。

软复位

可以通过配置系统控制器的寄存器对 CIPHER 模块进行软复位。

3.5.5 寄存器概览

CIPHER 寄存器概览如表 3-19 所示。

表3-19 CIPHER 寄存器概览（基址是 0x100C_0000）

偏移地址	名称	描述	页码
0x0000~ 0x000C	CHAN0_CIPHER_D OUT	CIPHER 模块通道 0（单分组加解密） 输出寄存器	3-116
0x0010~ 0x001C	CHAN0_CIPHER_IV OUT	CIPHER 操作完成之后的向量输出寄存 器	3-117
0x0020~ 0x008C	CHAN_CIPHER_IV OUT	通道 1~7 向量输出寄存器	3-118
0x0090~ 0x018C	CIPHER_KEY	CIPHER 模块的 CPU 配置密钥寄存器	3-118
0x1000	CHAN0_CIPHER_C TRL	通道 0 加解密控制寄存器	3-120
0x1004~ 0x1010	CHAN0_CIPHER_IV IN	CIPHER 模块通道 0 的向量分组的输入 寄存器	3-123
0x1014~ 0x1020	CHAN0_CIPHER_DI N	CIPHER 模块的 128 位分组输入寄存器	3-123
0x1000+ nx0x128	CHANn_IBUF_NUM	通道 n（n 为 1~7）输入队列总深度， 即为可以配置链表头的总个数寄存器	3-124
0x1000+ nx0x128+ 0x4	CHANn_IBUF_CNT	通道 n 输入队列中待处理的数据 Buffer 的个数寄存器	3-125



偏移地址	名称	描述	页码
0x1000+ nx0x128+ 0x8	CHANn_IEMPTY_C NT	通道 n 输入队列中处理完成的数据 Buffer 个数寄存器	3-125
0x1000+ nx0x128+ 0xC	CHANn_INT_ICNT CFG	通道 n 输入队列多包中断流水线寄存器	3-125
0x1000+ nx0x128+ 0x10	CHANn_CIPHER_C TRL	通道 n 加解密控制寄存器	3-126
0x1000+ nx0x128+ 0x14	CHANn_SRC_LST_ SADDR	通道 n 输入队列的起始地址寄存器	3-128
0x1000+ nx0x128+ 0x18	CHANn_IAGE_TIM ER	通道 n 输入队列中断的老化时间配置寄 存器	3-128
0x1000+ nx0x128+ 0x3C	CHANn_OBUF_NU M	通道 n 输出队列总深度，即为可以配置 链表头的总个数寄存器	3-129
0x1000+ nx0x128+ 0x40	CHANn_OBUF_CN T	通道 n 输出队列中待处理的数据 Buffer 的个数寄存器	3-129
0x1000+ nx0x128+ 0x44	CHANn_OFULL_CN T	通道 n 输出队列中处理完成的数据 Buffer 个数寄存器	3-130
0x1000+ nx0x128+ 0x48	CHANn_INT_OCNT CFG	通道 n 输出队列多包中断流水线寄存器	3-130
0x1000+ nx0x128+ 0x4C	CHANn_DEST_LST_ _SADDR	通道 n 输出队列的起始地址寄存器	3-130
0x1000+ nx0x128+ 0x50	CHANn_OAGE_TIM ER	通道 n 输出队列中断的老化时间配置寄 存器	3-131
0x1400	INT_STATUS	中断状态寄存器	3-131
0x1404	INT_EN	中断使能寄存器	3-132
0x1408	INT_RAW	原始中断状态寄存器	3-133
0x140C	RST_STATUS	复位状态指示寄存器	3-134
0x1410	CHAN0_CFG	通道 0 配置寄存器	3-135

CIPHER 寄存器偏移地址中变量的取值范围和含义如表 3-20 所示。



表3-20 CIPHER 寄存器偏移地址变量表

变量名称	取值范围	描述
n	1~7	CIPHER 模块的通道 1 至通道 7。

3.5.6 寄存器描述

CHAN0_CIPHER_DOUT

CHAN0_CIPHER_DOUT 为 CIPHER 模块通道 0（单分组加解密）输出寄存器。

读取本寄存器时需要注意：

从该寄存器中读取的数据是单分组的运算的结果数据。AES 运算和 DES 或 3DES 运算对应的情况不同：

- 如果选择进行 AES 运算
 - 如果选择 1-CFB 模式，最低位有效，即 CIPHER_DOUT bit[0]为有效数据。
 - 如果选择 8-CFB 模式，低 8 位有效，即 CIPHER_DOUT bit[7:0]为有效数据。
 - 如果选择 128-CFB 操作，128 位数据均有效。
 - 其它模式下 128 位数据均有效。
- 如果选择进行 DES 或 3DES 运算
 - 如果选择 1-CFB 或 1-OFB 模式，低 1 位有效，即 CIPHER_DOUT bit[0]为有效数据。
 - 如果选择 8-CFB 或 8-OFB 模式，低 8 位有效，即 CIPHER_DOUT bit[7:0]为有效数据。
 - 如果选择 64-CFB 或 64-OFB 模式，低 64 位数据有效，即 CIPHER_DOUT bit[63:0]为有效数据。
 - 其它模式下低 64 位数据有效，即 CIPHER_DOUT bit[63:0]为有效数据。



Offset Address		Register Name		Total Reset Value				
0x0000~0x000C		CHAN0_CIPHER_DOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_dout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan0_cipher_dout	CIPHER 模块 128 位分组输出，每 1 个地址对应 32 位的数据。 CIPHER_DOUT[31:0]: 0x0000 地址; CIPHER_DOUT[63:32]: 0x0004 地址; CIPHER_DOUT[95:64]: 0x0008 地址; CIPHER_DOUT[127:96]: 0x000C 地址。					

CHAN0_CIPHER_IVOUT

CHAN0_CIPHER_IVOUT 为 CIPHER 操作完成之后的向量输出寄存器。

读取本寄存器时需要注意：

- 如果执行的是 ECB 或 CTR 工作模式，不需要关注此寄存器。
- 如果选择进行单分组的处理，该寄存器中的数据是该分组的向量结果输出，可以作为同一数据包的下一个分组运算的向量输入。
 - 如果选择进行 AES 运算，128 位数据均有效。
 - 如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[cipher_mode]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER_IVOUT bit[63:0]为有效数据。
- 如果选择进行多分组的处理，该寄存器中读取的数据是最后一个分组运算的向量结果输出。
 - 如果选择进行 AES 运算，128 位数据均有效。
 - 如果选择进行 DES 或 3DES 运算，低 64 位数据有效，即 CIPHER_IVOUT bit[63:0]为有效数据。



Offset Address		Register Name		Total Reset Value				
0x0010~0x001C		CHAN0_CIPHER_IVOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_ivout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan0_cipher_ivout	CIPHER 模块操作完成之后的向量 IV 的输出（ECB、CTR 工作模式下无需关注），每 1 地址对应 32 位的数据。 CIPHER_IVOUT[31:0]: 0x0010 地址; CIPHER_IVOUT[63:32]: 0x0014 地址; CIPHER_IVOUT[95:64]: 0x0018 地址; CIPHER_IVOUT[127:96]: 0x001C 地址。					

CHAN_CIPHER_IVOUT

CHAN_CIPHER_IVOUT 为通道 1~7 向量输出寄存器。

Offset Address		Register Name		Total Reset Value				
0x0020~0x008C		CHAN_CIPHER_IVOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan_cipher_ivout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan_cipher_ivout	0x0020~0x002C: 通道 1; 0x0030~0x003C: 通道 2; 0x0040~0x004C: 通道 3; 0x0050~0x005C: 通道 4; 0x0060~0x006C: 通道 5; 0x0070~0x007C: 通道 6; 0x0080~0x008C: 通道 7。					

CIPHER_KEY

CIPHER_KEY 为 CIPHER 模块的 CPU 配置密钥寄存器，该密钥为 CPU 配置值，CPU 可以读写。

配置本寄存器时需要注意：



- 选择 DES 运算时，低 64 位数据有效，即 CIPHER_KEY[63:0]为有效数据。
- 选择 3DES 运算：
选择 3 个密钥运算（CIPHER_CTRL[key_length]=0b00、0b01 或 0b10）时，低 192 位数据有效，此时：
 - CIPHER_KEY bit[63:0]表示第一个密钥。
 - CIPHER_KEY bit[127:64]表示第二个密钥。
 - CIPHER_KEY bit[191:128]表示第三个密钥。选择 2 个密钥运算（即 CIPHER_CTRL[key_length]=0b11）时，低 128 位数据有效，此时：
 - CIPHER_KEY bit[63:0]表示第一个密钥。
 - CIPHER_KEY bit[127:64]表示第二个密钥。
- 选择 AES 运算时：
 - 如果选择 128 位密钥操作，低 128 位数据有效，即 CIPHER_KEY bit[127:0]为有效数据。
 - 如果选择 192 位密钥操作，低 192 位数据有效，即 CIPHER_KEY bit[191:0]为有效数据。
 - 如果选择 256 位密钥操作，256 位数据均有效。

CIPHER 模块共支持配置 8 个密钥，每个通道可以配置使用其中一个密钥，可以多个通道共同使用同一个密钥。



	Offset Address 0x0090~0x018C								Register Name CIPHER_KEY								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cipher_key																															
Reset	0 0																															
Bits	Access		Name	Description																												
[31:0]	RW		cipher_key	<p>CIPHER 模块的密钥输入，每 1 个地址对应一个 32 位宽的数据。</p> <p>CIPHER_KEY[31:0]: 0x0090 地址; CIPHER_KEY[63:32]: 0x0094 地址; CIPHER_KEY[95:64]: 0x0098 地址; CIPHER_KEY[127:96]: 0x009C 地址; CIPHER_KEY[159:128]: 0x00A0 地址; CIPHER_KEY[191:160]: 0x00A4 地址; CIPHER_KEY[223:192]: 0x00A8 地址; CIPHER_KEY[255:224]: 0x00AC 地址。</p> <p>0x0090~0x00AC: host_key0; 0x00B0~0x00CC: host_key1; 0x00D0~0x00EC: host_key2; 0x00F0~0x010C: host_key3; 0x0110~0x012C: host_key4; 0x0130~0x014C: host_key5; 0x0150~0x016C: host_key6; 0x0170~0x018C: host_key7。</p>																												

CHAN0_CIPHER_CTRL

CHAN0_CIPHER_CTRL 为通道 0 加解密控制寄存器，通道 0 为单分组加解密通道。

配置本寄存器时需要注意：

- 在进行模块的其它寄存器配置之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。



Offset Address		Register Name		Total Reset Value										
0x1000		CHAN0_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				key_adder	key_sel	byte_seq	reserved	key_length	ivin_sel	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:17]	RO	reserved	保留。											
[16:14]	RW	key_adder	当前通道使用 Key 的序号。 000: host_key0; 001: host_key1; 010: host_key2; 011: host_key3; 100: host_key4; 101: host_key5; 110: host_key6; 111: host_key7。											
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥或者芯片密钥管理模块产生的密钥。 0: 使用 CPU 配置的密钥; 1: 使用芯片密钥管理模块产生的密钥。											
[12]	RO	reserved	保留。											
[11]	RO	reserved	保留。											
[10:9]	RW	key_length	密钥长度控制。 AES 算法下: 00: 128 位密钥长度; 01: 192 位密钥长度; 10: 256 位密钥长度; 11: 128 位密钥长度。 DES 算法下: 00: 3 个密钥; 01: 3 个密钥; 10: 3 个密钥; 11: 2 个密钥。											



[8]	RW	ivin_sel	CIPHER_IVIN 的输入选择控制。 0: CIPHER_IVIN 不需要进行配置; 1: CIPHER_IVIN 需要配置。
[7:6]	RW	width	位宽控制。 DES/3DES 算法下: 00: 64 位模式; 01: 8 位模式; 10: 1 位模式; 11: 64 位模式。 AES 算法下: 00: 128 位模式; 01: 8 位模式; 10: 1 位模式; 11: 128 位模式。
[5:4]	RW	alg_sel	算法类型选择控制。 00: DES 运算; 01: 3DES 运算; 10: AES 运算; 11: DES 运算。
[3:1]	RW	mode	工作模式控制。 在 AES 算法下: 000: ECB 模式; 001: CBC 模式; 010: CFB 模式; 011: OFB 模式; 100: CTR 模式; 其它: ECB 模式。 在 DES 算法下: 000: ECB 模式; 001: CBC 模式; 010: CFB 模式; 011: OFB 模式; 其它: ECB 模式。
[0]	RW	decrypt	加解密控制。 0: 加密; 1: 解密。



CHAN0_CIPHER_IVIN

CHAN0_CIPHER_IVIN 为 CIPHER 模块通道 0 的向量分组的输入寄存器。

配置该寄存器时需要注意：

如果选择使用通道 0 进行单分组加解密且执行的不是 ECB 模式（CIPHER_CTRL[mode]=0b001、0b010、0b011 或 0b100）时：

- 如果选择不需要进行输入向量配置（CIPHER_CTRL[iv_in_sel]=0b0），则不需要进行该寄存器的配置。
- 如果选择需要进行输入向量配置（CIPHER_CTRL[iv_in_sel]=0b1），则需要进行该寄存器的配置。如果此时选择进行 AES 运算（即 CIPHER_CTRL[alg_sel]=0b10），CIPHER_IVIN bit[127:0]为有效数据；如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[alg_sel]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER_IVIN bit[63:0]为有效数据。

	Offset Address	Register Name	Total Reset Value
	0x1004~0x1010	CHAN0_CIPHER_IVIN	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	chan0_cipher_ivin		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
	Bits	Access	Name
	[31:0]	RW	chan0_cipher_ivin
	Description		
	通道 0 CIPHER 模块的 128 位 IV 向量或 Counter 输入的数据，每个地址对应一个 32 位宽的数据。		
	CIPHER_IVIN[31:0]: 0x1004 地址；		
	CIPHER_IVIN[63:32]: 0x1008 地址；		
	CIPHER_IVIN[95:64]: 0x100C 地址；		
	CIPHER_IVIN[127:96]: 0x1010 地址。		

CHAN0_CIPHER_DIN

CHAN0_CIPHER_DIN 为 CIPHER 模块的 128 位分组输入寄存器。

配置该寄存器时需要注意：

如果选择通道 0 进行单分组的处理，需要配置该寄存器：

- 如果选择进行 AES 运算（CIPHER_CTRL[alg_sel]=0b10）
 - 如果选择 1-CFB 操作，低 1 位有效，即 CIPHER_DIN bit[0]为有效数据。
 - 如果选择 8-CFB 操作，低 8 位有效，即 CIPHER_DIN bit[7:0]为有效数据。
 - 如果选择 128-CFB 操作，128 位数据均有效。
 - 如果选择其他操作模式，128 位数据均有效。



- 如果选择进行 DES 或 3DES 运算 (CIPHER_CTRL[alg_sel]=0b00、0b01 或 0b11)
 - 如果选择 1-CFB/1-OFB 操作, 低 1 位有效, 即 CIPHER_DIN bit[0]为有效数据。
 - 如果选择 8-CFB/8-OFB 操作, 低 8 位有效, 即 CIPHER_DIN bit[7:0]为有效数据。
 - 如果选择 64-CFB/64-OFB 操作, 低 64 位数有效, 即 CIPHER_DIN bit[63:0]为有效数据。
 - 如果选择其他操作模式, 低 64 位数有效, 即 CIPHER_DIN bit[63:0]为有效数据。

Offset Address		Register Name		Total Reset Value				
0x1014~0x1020		CHAN0_CIPHER_DIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_din							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan0_cipher_din	通道 0CIPHER 模块的 128 位分组输入, 每个地址对应一个 32 位宽的数据。 CIPHER_DIN[31:0]: 0x1014 地址; CIPHER_DIN[63:32]: 0x1018 地址; CIPHER_DIN[95:64]: 0x101c 地址; CIPHER_DIN[127:96]: 0x1020 地址。					

CHANn_IBUF_NUM

CHANn_IBUF_NUM 为 CHANn_IBUF_BUN 为通道 n (n 为 1~7) 输入队列总深度, 即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value				
0x1000+n*128		CHANn_IBUF_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ibuf_num			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	ibuf_num	输入队列深度, 即每个通道可以配置的链表头信息总个数。					



CHANn_IBUF_CNT

CHANn_IBUF_CNT 为通道 n 输入队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。

Offset Address		Register Name		Total Reset Value					
0x1000+nx0x128+0x4		CHANn_IBUF_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				ibuf_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	ibuf_cnt	输入队列中待处理的数据 Buffer 个数。						

CHANn_IEMPTY_CNT

CHANn_IEMPTY_CNT 为通道 n 输入队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x8		CHANn_IEMPTY_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				iempty_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	iempty_cnt	输入队列中处理完成的 Buffer 个数。						

CHANn_INT_ICNTCFG

CHANn_INT_ICNTCFG 为通道 n 输入队列多包中断水线，当逻辑处理完成的输入队列 Buffer 数目大于等于该值时，会报输入队列中断。



Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0xC		CHANn_INT_ICNTCFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				int_icnt_cfg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	int_icnt_cfg	输入队列多包中断门限。						

CHANn_CIPHER_CTRL

CHANn_CIPHER_CTRL 为通道 n 加解密控制寄存器。

配置本寄存器时需要注意：

- 在启动该通道加解密处理之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。

Offset Address		Register Name		Total Reset Value										
0x1000+ nx0x128+0x10		CHANn_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	weight		reserved		key_adder	key_sel	byte_seq	ts_vld	key_length	reserved	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:22]	-	weight	当前通道的权重，单位为 64bytes。											
[21:17]	-	reserved	保留。											
[16:14]	RW	key_adder	当前通道使用 Key 的序号，可以配置选择 0~7 地址中的一个 Key。											
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥或者芯片密钥管理模块产生的密钥。 0：使用 CPU 配置的密钥； 1：使用芯片密钥管理模块产生的密钥。											



[12:11]	-	reserved	保留。
[10:9]	RW	key_length	<p>密钥长度控制。</p> <p>AES 算法下：</p> <p>00: 128 位密钥长度；</p> <p>01: 192 位密钥长度；</p> <p>10: 256 位密钥长度；</p> <p>11: 128 位密钥长度。</p> <p>DES 算法下：</p> <p>00: 3 个密钥；</p> <p>01: 3 个密钥；</p> <p>10: 3 个密钥；</p> <p>11: 2 个密钥。</p>
[8]	-	reserved	保留。
[7:6]	RW	width	<p>位宽控制。</p> <p>DES/3DES 算法下：</p> <p>00: 64 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 64 位模式。</p> <p>AES 算法下：</p> <p>00: 128 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 128 位模式。</p>
[5:4]	RW	alg_sel	<p>算法类型选择控制。</p> <p>00: DES 运算；</p> <p>01: 3DES 运算；</p> <p>10: AES 运算；</p> <p>11: DES 运算。</p>



[3:1]	RW	mode	<p>工作模式控制。</p> <p>在 AES 算法下：</p> <p>000：ECB 模式；</p> <p>001：CBC 模式；</p> <p>010：CFB 模式；</p> <p>011：OFB 模式；</p> <p>100：CTR 模式；</p> <p>其它：ECB 模式。</p> <p>在 DES 算法下：</p> <p>000：ECB 模式；</p> <p>001：CBC 模式；</p> <p>010：CFB 模式；</p> <p>011：OFB 模式；</p> <p>其它：ECB 模式。</p>
[0]	RW	decrypt	<p>加解密控制。</p> <p>0：加密；</p> <p>1：解密。</p>

CHANn_SRC_LST_SADDR

CHANn_SRC_LST_SADDR 为通道 n 输入队列的起始地址，该地址必须为 WORD 对齐地址。

	Offset Address								Register Name								Total Reset Value																			
	0x1000+ nx0x128+0x14								CHANn_SRC_LST_SADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	src_lst_saddr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	[31:0]		Access		Name		Description																													
	[31:0]		RW		src_lst_saddr		输入队列的起始地址。																													

CHANn_IAGE_TIMER

CHANn_IAGE_TIMER 为通道 n 输入队列中断的老化时间配置，如果在老化时间计数器溢出时，输入队列处理完成的 Buffer 数如果大于 0，会报输入队列处理完成中断。



Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x18		CHANn_IAGE_TIMER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				iage_timer				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	iage_timer	老化中断定时器。						

CHANn_OBUF_NUM

CHANn_OBUF_NUM 为通道 n 输出队列总深度，即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x3C		CHANn_OBUF_NUM		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_num				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	obuf_num	输出队列总深度。						

CHANn_OBUF_CNT

CHANn_OBUF_CNT 为通道 n 输出队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。

Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x40		CHANn_OBUF_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RW	obuf_cnt	输出队列中待处理的数据 Buffer 个数。
--------	----	----------	------------------------

CHANn_OFULL_CNT

CHANn_OFULL_CNT 为通道 n 输出队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x44		CHANn_OFULL_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				ofull_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	ofull_cnt	输出队列中处理完成的 Buffer 个数。						

CHANn_INT_OCNTCFG

CHANn_INT_OCNTCFG 为通道 n 输出队列多包中断流水线，当逻辑处理完成的输出队列 Buffer 数目大于等于该值时，会报输出队列中断。

Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x48		CHANn_INT_OCNTCFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				int_ocnt_cfg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	int_ocnt_cfg	输出队列多包中断门限。						

CHANn_DEST_LST_SADDR

CHANn_DEST_LST_SADDR 为通道 n 输出队列的起始地址，该地址必须为 WORD 对齐地址。



Offset Address		Register Name		Total Reset Value				
0x1000+ nx0x128+0x4C		CHANn_DEST_LST_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dest_lst_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dest_lst_saddr	输出队列的起始地址。					

CHANn_OAGE_TIMER

CHANn_OAGE_TIMER 为通道 n 输出队列中断的老化时间配置，如果在老化时间计数器溢出时，输出队列处理完成的 Buffer 数如果大于 0，会报输出队列处理完成中断。

Offset Address		Register Name		Total Reset Value				
0x1000+ nx0x128+0x50		CHANn_OAGE_TIMER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				oage_timer			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	oage_timer	老化中断定时器。					

INT_STATUS

INT_STATUS 为中断状态寄存器。



	Offset Address 0x1400				Register Name INT_STATUS				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ch7_ibuf_int	ch6_ibuf_int	ch5_ibuf_int	ch4_ibuf_int	ch3_ibuf_int	ch2_ibuf_int	ch1_ibuf_int	ch0_ibuf_int	ch7_obuf_int	ch6_obuf_int	ch5_obuf_int	ch4_obuf_int	ch3_obuf_int	ch2_obuf_int	ch1_obuf_int	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15]	RO		ch7_ibuf_int		通道 7 输入队列数据中断。																											
[14]	RO		ch6_ibuf_int		通道 6 输入队列数据中断。																											
[13]	RO		ch5_ibuf_int		通道 5 输入队列数据中断。																											
[12]	RO		ch4_ibuf_int		通道 4 输入队列数据中断。																											
[11]	RO		ch3_ibuf_int		通道 3 输入队列数据中断。																											
[10]	RO		ch2_ibuf_int		通道 2 输入队列数据中断。																											
[9]	RO		ch1_ibuf_int		通道 1 输入队列数据中断。																											
[8]	RO		ch0_ibuf_int		通道 0 数据处理完成中断。																											
[7]	RO		ch7_obuf_int		通道 7 输出队列数据中断。																											
[6]	RO		ch6_obuf_int		通道 6 输出队列数据中断。																											
[5]	RO		ch5_obuf_int		通道 5 输出队列数据中断。																											
[4]	RO		ch4_obuf_int		通道 4 输出队列数据中断。																											
[3]	RO		ch3_obuf_int		通道 3 输出队列数据中断。																											
[2]	RO		ch2_obuf_int		通道 2 输出队列数据中断。																											
[1]	RO		ch1_obuf_int		通道 1 输出队列数据中断。																											
[0]	-		reserved		保留。																											

INT_EN

INT_EN 为中断使能寄存器。



Offset Address		Register Name		Total Reset Value															
0x1404		INT_EN		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	int_en reserved			ch7_ibuf_en	ch6_ibuf_en	ch5_ibuf_en	ch4_ibuf_en	ch3_ibuf_en	ch2_ibuf_en	ch1_ibuf_en	ch0_ibuf_en	ch7_obuf_en	ch6_obuf_en	ch5_obuf_en	ch4_obuf_en	ch3_obuf_en	ch2_obuf_en	ch1_obuf_en	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																
[31]	RW	int_en	Cipher 模块的总中断使能。																
[30:16]	-	reserved	保留。																
[15]	RW	ch7_ibuf_en	通道 7 输入队列数据中断使能。																
[14]	RW	ch6_ibuf_en	通道 6 输入队列数据中断使能。																
[13]	RW	ch5_ibuf_en	通道 5 输入队列数据中断使能。																
[12]	RW	ch4_ibuf_en	通道 4 输入队列数据中断使能。																
[11]	RW	ch3_ibuf_en	通道 3 输入队列数据中断使能。																
[10]	RW	ch2_ibuf_en	通道 2 输入队列数据中断使能。																
[9]	RW	ch1_ibuf_en	通道 1 输入队列数据中断使能。																
[8]	RW	ch0_ibuf_en	通道 0 数据处理完成中断使能。																
[7]	RW	ch7_obuf_en	通道 7 输出队列数据中断使能。																
[6]	RW	ch6_obuf_en	通道 6 输出队列数据中断使能。																
[5]	RW	ch5_obuf_en	通道 5 输出队列数据中断使能。																
[4]	RW	ch4_obuf_en	通道 4 输出队列数据中断使能。																
[3]	RW	ch3_obuf_en	通道 3 输出队列数据中断使能。																
[2]	RW	ch2_obuf_en	通道 2 输出队列数据中断使能。																
[1]	RW	ch1_obuf_en	通道 1 输出队列数据中断使能。																
[0]	-	reserved	保留。																

INT_RAW

INT_RAW 为原始中断状态寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x1408				INT_RAW				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ch7_ibuf_raw	ch6_ibuf_raw	ch5_ibuf_raw	ch4_ibuf_raw	ch3_ibuf_raw	ch2_ibuf_raw	ch1_ibuf_raw	ch0_ibuf_raw	ch7_obuf_raw	ch6_obuf_raw	ch5_obuf_raw	ch4_obuf_raw	ch3_obuf_raw	ch2_obuf_raw	ch1_obuf_raw	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	-	reserved	保留。																													
[15]	RWC	ch7_ibuf_raw	通道 7 输入队列数据原始中断。																													
[14]	RWC	ch6_ibuf_raw	通道 6 输入队列数据原始中断。																													
[13]	RWC	ch5_ibuf_raw	通道 5 输入队列数据原始中断。																													
[12]	RWC	ch4_ibuf_raw	通道 4 输入队列数据原始中断。																													
[11]	RWC	ch3_ibuf_raw	通道 3 输入队列数据原始中断。																													
[10]	RWC	ch2_ibuf_raw	通道 2 输入队列数据原始中断。																													
[9]	RWC	ch1_ibuf_raw	通道 1 输入队列数据原始中断。																													
[8]	RWC	ch0_ibuf_raw	通道 0 数据处理完成原始中断。																													
[7]	RWC	ch7_obuf_raw	通道 7 输出队列数据原始中断。																													
[6]	RWC	ch6_obuf_raw	通道 6 输出队列数据原始中断。																													
[5]	RWC	ch5_obuf_raw	通道 5 输出队列数据原始中断。																													
[4]	RWC	ch4_obuf_raw	通道 4 输出队列数据原始中断。																													
[3]	RWC	ch3_obuf_raw	通道 3 输出队列数据原始中断。																													
[2]	RWC	ch2_obuf_raw	通道 2 输出队列数据原始中断。																													
[1]	RWC	ch1_obuf_raw	通道 1 输出队列数据原始中断。																													
[0]	-	reserved	保留。																													

RST_STATUS

模块复位状态指示信号。



Offset Address		Register Name		Total Reset Value																												
0x140C		RST_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										rst_status					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	-		reserved		保留。																											
[0]	RO		rst_status		CIPHER 模块复位状态指示信号。 0: CIPHER 当前正处于复位状态; 1: CIPHER 当前处于正常工作状态。																											

CHAN0_CFG

CHAN0_CFG 为通道 0 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x1410		CHAN0_CFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ch0_busy	ch0_start				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:2]	-		reserved		保留。																											
[1]	RO		ch0_busy		通道 0 状态信号。																											
[0]	RW		ch0_start		通道 0 加解密启动信号。																											



3.6 定时器

3.6.1 概述

Timer 模块主要实现定时、计数功能，可以供操作系统用作系统时钟，也可以供应用程序用作定时和计数。Hi3520D 提供 4 组 Dual-Timer 模块：Dual-Timer0、Dual-Timer1、Dual-Timer2、Dual-Timer3。

- Dual-Timer0 包括 Timer0、Timer1，他们共用同一个基地址和同一根中断线。
- Dual-Timer1 包括 Timer2、Timer3，他们共用同一个基地址和同一根中断线。
- Dual-Timer2 包括 Timer4、Timer5，他们共用同一个基地址和同一根中断线。
- Dual-Timer3 包括 Timer6、Timer7，他们共用同一个基地址和同一根中断线。

每组 Dual-Timer 模块包含两个功能完全相同的 Timer。

3.6.2 特点

Dual-Timer 模块具有以下特点：

- 有 2 个带可编程 8 位预分频器的 32bit/16bit 减法定时器/计数器。
- 计数时钟可配置，系统处于 NORMAL 模式时，Dual-Timer0 和 Dual-Timer1 的计数时钟可以选择为系统总线时钟或晶振时钟。
- 支持 3 种计数模式：自由运行模式、周期模式和单次计数模式。
- 有 2 种载入计数初值的方法，分别通过 `TIMERx_LOAD` 和 `TIMERx_BGLOAD` 寄存器实现。
- 当前的计数值可随时读取。
- 当计数值减到 0 时会产生一个中断。

3.6.3 功能描述

功能原理

Timer 基于一个 32bit/16bit（可配置）减法计数器。计数器的值在每个计数时钟的上升沿减 1。当计数值递减到零，Timer 将产生一个中断。

Timer 有以下 3 种计数模式：

- 自由运行模式
定时器持续计数，当计数值减到 0 时又自动回转到其最大值，并继续计数。当计数长度为 32bit 时，最大值为 `0xFFFF_FFFF`。当计数长度为 16bit 时，最大值为 `0xFFFF`。在自由模式下，也可以载入计数值，并立即从载入值递减计数，但计到 0 时回转到其最大值。
- 周期模式
定时器持续计数，当计数值减到 0 时从 `TIMERx_BGLOAD` 寄存器中再次载入初值并继续计数。
- 单次计数模式



向定时器中载入计数初值。当定时器的计数值减到 0 时就停止计数，直到重新被载入新值且定时器处于使能状态，才再次开始计数。

每个 Timer 具有一个预分频计数器（prescaler），可将其工作时钟在 Timer 内部再次进行 1 分频、16 分频或 256 分频。进一步提高计数时钟频率的选择灵活性。

对定时器载入计数初值的方法如下：

- 通过写 `TIMERx_LOAD` 寄存器可对定时器载入计数初值。当定时器处于工作状态时，如果向 `TIMERx_LOAD` 寄存器写入值，会导致定时器立刻从新值开始重新计数。适用于所有计数模式。
- 通过写 `TIMERx_BGLOAD` 寄存器可以设定周期计数模式的计数周期。写该寄存器不会立刻影响定时器的当前计数，定时器会继续计数直到计数值减到 0。然后载入 `TIMERx_BGLOAD` 寄存器中的新值开始计数。

3.6.4 工作方式

初始化

系统初始化时应对 Timer 进行初始化。初始化 TimerX（TimerX 中的“X”取值为 0、1、2、3、4、5、6、7）时应按以下步骤进行配置：

1. 写 `TIMERx_LOAD` 寄存器，为 Timer 载入计数初值。
2. 当需要 Timer 工作在周期计数模式下、且计数周期与载入 Timer 的计数初值不同时，写 `TIMERx_BGLOAD` 寄存器，设置 Timer 的计数周期。
3. 配置系统控制寄存器，设置 Timer 的时钟使能信号的参考时钟。
4. 配置 `TIMERx_CONTROL` 寄存器，设置 Timer 的计数模式、计数器长度、预分频因子及中断屏蔽，同时启动 Timer 计数。

----结束

中断处理

Timer 主要用于定时产生中断，因此 Timer 的中断处理主要是激活等待定时中断的进程。操作步骤如下：

1. 配置 `TIMERx_INTCLR` 寄存器，清除 Timer 中断。
2. 激活等待该中断的进程，使其继续执行。
3. 当所有等待该中断的进程完成或再次执行到等待中断的休眠状态时，恢复中断现场，继续执行当前被中断的程序。

----结束

时钟选择

Dual-Timer0、Dual-Timer1、Dual-Timer2、Dual-Timer3 均有 2 种计数时钟可选择。下面以 Timer0 为例，时钟选择配置流程如下：



选择总线时钟进行计数

选择总线时钟进行计数的步骤如下：

1. 配置系统控制器的 SC_CTRL [timeren0ov]=1。
2. 初始化 Timer，开始计数。

----结束

选择晶振时钟进行计数

选择 3MHz 时钟进行计数的步骤如下：

1. 配置系统控制器的 SC_CTRL [timeren0ov]=0。
2. 配置系统控制器的 SC_CTRL [timeren0sel]=0。
3. 初始化 Timer，开始计数。

----结束

3.6.5 寄存器概览

Timer 模块中的 8 个定时器各自有一组寄存器，这 8 组寄存器除基址和偏移地址各不相同外其他特性都相同。其中：

- Timer0、Timer1 共用一个基址：0x2000_0000。
- Timer2、Timer3 共用一个基址：0x2001_0000。
- Timer4、Timer5 共用一个基址：0x2013_0000。
- Timer6、Timer7 共用一个基址：0x2014_0000。



说明

TIMERx 中的“x”取值为 0、1、2、3、4、5、6、7。其中：

- Timer0~Timer7 的寄存器相同，寄存器描述均以 Timer0 为例进行描述。
- Timer0、Timer2、Timer4、Timer6 的基地址不同，偏移地址相同；Timer1、Timer3、Timer5、Timer7 的基地址不同，偏移地址相同。

表3-21 Timer 寄存器概览（基址是 0x2000_0000、0x2001_0000、0x2013_0000、0x2014_0000）

Timer0/2/4/6 的偏移地址	Timer1/3/5/7 的偏移地址	名称	描述	页码
0x000	0x020	TIMERx_LOAD	计数初值寄存器	3-139
0x004	0x024	TIMERx_VALUE	当前计数值寄存器	3-139
0x008	0x028	TIMERx_CONTROL	Timer 控制寄存器	3-140
0x00C	0x02C	TIMERx_INTCLR	中断清除寄存器	3-141
0x010	0x030	TIMERx_RIS	原始中断寄存器	3-142



Timer0/2/4/6 的偏移地址	Timer1/3/5/7 的偏移地址	名称	描述	页码
0x014	0x034	TIMERx_MIS	屏蔽后中断寄存器	3-142
0x018	0x038	TIMERx_BGLOAD	周期模式计数初值寄存器	3-143

3.6.6 寄存器描述

TIMERx_LOAD

TIMERx_LOAD 为计数初值寄存器。用来配置定时器的计数初值。Timer0~Timer3 各有 1 个计数初值寄存器。

说明

- 向 TIMERx_LOAD 寄存器写入的最小有效值为 1。
- 当向 TIMERx_LOAD 写 0 时，Dual-Timer 将会立刻产生 1 个中断。

TIMERx_LOAD 和 TIMERx_BGLOAD 的区别：

如果在被 TIMCLKENx 使能的 TIMCLK 的上升沿到来之前，向 TIMERx_BGLOAD 寄存器和 TIMERx_LOAD 寄存器都写入值，则在被 TIMCLKENx 使能的 TIMCLK 的下一个上升沿当前计数值首先更新为 TIMERx_LOAD 的写入值。由于向 TIMERx_LOAD 寄存器写入值时，TIMERx_BGLOAD 的值也会被覆盖，所以读 TIMERx_BGLOAD，返回的值为 TIMERx_LOAD 与 TTIMERx_BGLOAD 中最晚被写入的寄存器的值。当定时器处于周期模式且计数值减到 0 时，将从 TIMERx_BGLOAD 寄存器中再次载入初值并继续计数。

	Offset Address	Register Name	Total Reset Value
	0x000	TIMER0_LOAD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_load		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	timer0_load	Timer0 的计数初值。

TIMERx_VALUE

TIMERx_VALUE 为当前计数值寄存器。用于给出正在递减的计数器的当前值。Timer0~7 各有 1 个当前计数值寄存器。



当向 **TIMERx_LOAD** 寄存器的写操作发生后，**TIMERx_VALUE** 在 PCLK 时钟域立刻反映出计数器的新载入值，不用等到下一个被 TIMCLKENx 使能的 TIMCLK 时钟沿到来。

说明

当定时器处于 16bit 模式时，32bit 的 **TIMERx_VALUE** 寄存器的高 16bit 并未被自动设为 0。若该定时器以前处于 32bit 模式，并且自从进入 16bit 模式后 **TIMERx_LOAD** 从未被写过，则 **TIMERx_VALUE** 寄存器的高 16bit 可能具有非零值。

	Offset Address	Register Name	Total Reset Value
	0x004	TIMER0_VALUE	0xFFFF_FFFF
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_value		
Reset	1 1		
Bits	Access	Name	Description
[31:0]	RO	timer0_value	正在递减的 Timer0 的当前值。

TIMERx_CONTROL

TIMERx_CONTROL 为 TIMER 控制寄存器。Timer0~3 各有 1 个控制寄存器。

说明

当选择用周期模式进行计数时，需要将 **TIMERx_CONTROL[timermode]** 置 1，**TIMERx_CONTROL[oneshot]** 置 0。

	Offset Address	Register Name	Total Reset Value										
	0x008	TIMER0_CONTROL	0x0000_0000										
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0												
Name	reserved						timeren	timermode	intenable	reserved	timerpre	timersize	oneshot
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description										
[31:8]	RO	reserved	保留。										
[7]	RW	timeren	定时器使能。 0: Timer 禁止; 1: Timer 使能。										



Bits	Access	Name	Description
[31:0]	WO	timer0_intclr	写该寄存器，清除 Timer0 的中断输出。

TIMERx_RIS

TIMERx_RIS 为原始中断寄存器。Timer0~Timer3 各有 1 个原始中断寄存器。

	Offset Address	Register Name	Total Reset Value
	0x030	TIMER0_RIS	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:1]	RO	reserved	保留。写入无效，读时返回 0。
[0]	RO	timer0ris	Timer0 的原始中断状态。 0: 未产生中断; 1: 已产生中断。

TIMERx_MIS

TIMERx_MIS 为屏蔽后中断寄存器。Timer0~Timer3 各有 1 个屏蔽后中断寄存器。

	Offset Address	Register Name	Total Reset Value
	0x014	TIMER0_MIS	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:1]	RO	reserved	保留。



[0]	RO	timer0mis	屏蔽后的 Timer0 的中断状态。 0: 中断无效; 1: 中断有效。
-----	----	-----------	--

TIMERx_BGLOAD

TIMERx_BGLOAD 为周期模式计数初值寄存器。Timer0~Timer3 各有 1 个周期模式计数初值寄存器。

TIMERx_BGLOAD 寄存器中包含了定时器的计数初值。该寄存器用于在周期模式下，当定时器的计数值递减到 0 时重新载入计数初值。

该寄存器提供了访问 TIMERx_LOAD 寄存器的另一种方法。不同之处在于写入值到 TIMERx_BGLOAD 寄存器中不会导致定时器立即从新写入值开始计数。

	Offset Address	Register Name	Total Reset Value
	0x018	TIMER0_BGLOAD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0bgload		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	timer0bgload	Timer0 的计数初值。 注意： 与 TIMERx_LOAD 寄存器有区别，具体请参见 TIMERx_LOAD 寄存器的描述。

3.7 看门狗

3.7.1 概述

看门狗 WatchDog 用于系统异常情况下，一定时间内发出复位信号，以复位整个系统。

3.7.2 特点

WatchDog 具备以下特点：

- 内部具有一个 32bit 减法计数器，计数时钟源可配置。
- 支持超时时间间隔（即计数初值）可配置。
- 支持寄存器锁定，防止寄存器被误改。
- 支持超时中断产生。



- 支持复位信号产生。
- 支持调试模式。

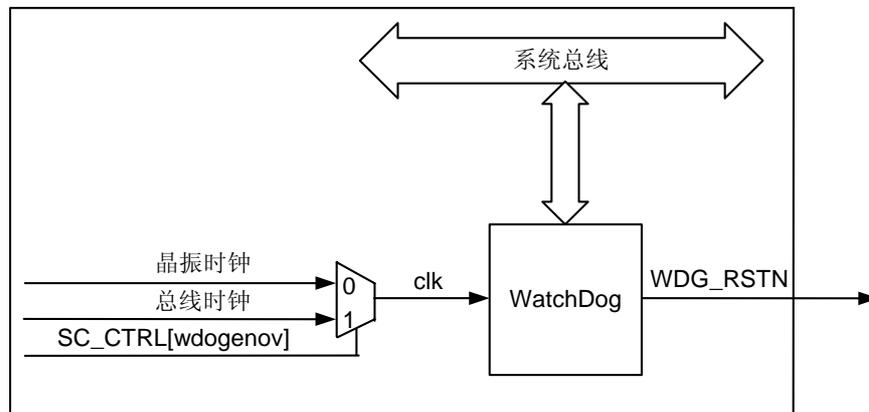
3.7.3 功能描述

应用框图

系统通过 SC_CTRL [wdogenov]给 WatchDog 选择配置时钟，并通过系统总线给 WatchDog 配置寄存器参数值。WatchDog 定时发出中断请求给系统，并在系统没有响应中断的情况下（如：死机），发出 WDG_RSTN 复位信号，使系统复位，达到监控系统运行的目的。

WatchDog 应用框图如图 3-18 所示。

图3-18 WatchDog 应用框图



功能原理

WatchDog 的运行基于 1 个 32bit 减法计数器，计数初值由寄存器 WDG_LOAD 载入。在 WatchDog 时钟使能情况下，计数值在每个计数时钟的上升沿减 1。当计数值递减到 0，WatchDog 将产生一个中断。然后在下一个计数时钟上升沿，计数器又从寄存器 WDG_LOAD 中重新载入计数初值，开始递减计数。

如果计数器的计数值第二次计数递减到 0 时，CPU 还没有清除 WatchDog 中断，则 WatchDog 将发出复位信号 WDG_RSTN，计数器停止计数。

根据实际应用需要，可通过配置 WDG_CONTROL 使能或者禁止 WatchDog 产生中断和复位信号：

- 当禁止产生中断时，计数器将停止计数。
- 当重新开启中断时，WatchDog 将从 WDG_LOAD 的设定值开始计数，而不是从计数器上次停止时的计数值开始计数。在中断到来之前，可以重新载入初值。

WatchDog 的计数时钟可以选择晶振时钟或者总线时钟，便于选择不同的计数时间范围。

通过配置 WDG_LOCK 寄存器，可以禁止对 WatchDog 内部寄存器进行写操作：



- 向 **WDG_LOCK** 写入 0x1ACC_E551，可以打开所有 WatchDog 寄存器的写权限。
- 向 **WDG_LOCK** 寄存器写入其他任何值，可以关闭所有 WatchDog 寄存器（**WDG_LOCK** 寄存器除外）的写权限。

该特性保护 WatchDog 的寄存器不被软件错误地修改，从而使得在异常情况下，WatchDog 不致被软件错误地中止操作。

在调试模式下，WatchDog 自动关闭，以防止干扰正常的调试操作。

3.7.4 工作方式

计数时钟频率配置

系统支持 2 种 WatchDog 计数时钟：3MHz 时钟和总线时钟，通过 SC_CTRL [wdogenov] 进行配置。

WatchDog 计数时间为 T_{WDG} ：

$$T_{\text{WDG}} = \text{Value}_{\text{WDG_LOAD}} \times \left(\frac{1}{f_{\text{clk}}} \right)$$

说明

其中上式中，各参数代表的意义分别是：

- T_{WDG} 表示 WatchDog 计数时间；
- $\text{Value}_{\text{WDG_LOAD}}$ 表示 WatchDog 计数初值；
- f_{clk} 表示 WatchDog 计数时钟频率。

WatchDog 在不同时钟下的计数时间范围值如下：

- 当选择 3MHz 时钟时，计数时间范围为 0s~1400s。
- 当选择总线时钟（以 100MHz 为例）时，计数时间范围为 0s~42s。

系统初始化配置

系统上电复位后 WatchDog 计数器处于停止计数状态，在系统初始化过程中需要将 WatchDog 初始化并启动其运行。WatchDog 的初始化过程如下：

1. 写寄存器 **WDG_LOAD**，设定计数初值。
2. 写寄存器 **WDG_CONTROL**，打开中断屏蔽并启动 WatchDog 计数。
3. 写寄存器 **WDG_LOCK**，给 WatchDog 上锁，防止软件错误修改 WatchDog 的配置。

----结束

中断处理过程

收到 WatchDog 发出的中断后，应及时清除其中断状态，并使其载入计数初值重新开始计数。WatchDog 中断处理的过程如下：

1. 向 **WDG_LOCK** 写 0x1ACC_E551，为 WatchDog 开锁。



2. 写寄存器 `WDG_INTCLR`，清除 WatchDog 的中断状态，同时也使 WatchDog 自动载入计数初值重新开始计数。
3. 向寄存器 `WDG_LOCK` 写入 `0x1ACC_E551` 以外的任何值，给 WatchDog 上锁。

----结束

关闭 WatchDog

向寄存器 `WDG_CONTROL`[`inten`]控制位写入 0 或 1 控制 WatchDog 的状态：

- 0：关闭 WatchDog；
- 1：打开 WatchDog。

3.7.5 寄存器概览

WatchDog 寄存器概览如表 3-22 所示。

表3-22 WatchDog 寄存器概览（基址是 `0x2004_0000`）

偏移地址	名称	描述	页码
<code>0x0000</code>	<code>WDG_LOAD</code>	计数初值寄存器	3-146
<code>0x0004</code>	<code>WDG_VALUE</code>	计数器当前值寄存器	3-147
<code>0x0008</code>	<code>WDG_CONTROL</code>	控制寄存器	3-147
<code>0x000C</code>	<code>WDG_INTCLR</code>	中断清除寄存器	3-148
<code>0x0010</code>	<code>WDG_RIS</code>	原始中断寄存器	3-148
<code>0x0014</code>	<code>WDG_MIS</code>	屏蔽后中断寄存器	3-149
<code>0x0018~0x0BFC</code>	RESERVED	保留	-
<code>0x0C00</code>	<code>WDG_LOCK</code>	LOCK 寄存器	3-149

3.7.6 寄存器描述

WDG_LOAD

`WDG_LOAD` 为计数初值寄存器。用来配置 WatchDog 内部计数器的计数初值。



Offset Address		Register Name		Total Reset Value				
0x0000		WDG_LOAD		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_load							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	RW	wdg_load	计数初值。					

WDG_VALUE

WDG_VALUE 为计数器当前值寄存器。用来读出 WatchDog 内部计数器的当前计数值。

Offset Address		Register Name		Total Reset Value				
0x0004		WDG_VALUE		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdogvalue							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	RO	wdogvalue	WatchDog 计数器当前值。					

WDG_CONTROL

WDG_CONTROL 为控制寄存器。用来控制 WatchDog 的打开/关闭、中断和复位功能。

Offset Address		Register Name		Total Reset Value					
0x0008		WDG_CONTROL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							resen	inten
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						



[1]	RW	resen	WatchDog 复位信号输出使能。 0: 禁止; 1: 使能。
[0]	RW	inten	WatchDog 中断信号输出使能。 0: 计数器停止计数, 计数值保持当前值不变, WatchDog 被关闭; 1: 既启动计数器又使能中断, WatchDog 被启动。

WDG_INTCLR

WDG_INTCLR 为中断清除寄存器。用来清除 WatchDog 中断, 使 WatchDog 重新载入初值进行计数。本寄存器是只写寄存器, 写进去任意值, 都会引起 WatchDog 清中断, 内部并不记忆写入的值, 无复位值。

Offset Address		Register Name		Total Reset Value					
0x000C		WDG_INTCLR		-					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	wdg_intclr								
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	
Bits	Access	Name	Description						
[31:0]	WO	wdg_intclr	对该寄存器写入任意值均可清除 WatchDog 的中断, 并使 WatchDog 从寄存器 WDG_LOAD 中重新载入初值计数。						

WDG_RIS

WDG_RIS 为原始中断寄存器。用来反映 WatchDog 原始中断状态。

Offset Address		Register Name		Total Reset Value					
0x0010		WDG_RIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wdogris
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						



[0]	RO	wdogris	<p>WatchDog 原始中断状态，当计数器的计数值递减到 0 时，该位置 1。</p> <p>0：未产生中断；</p> <p>1：已产生中断。</p>
-----	----	---------	---

WDG_MIS

WDG_MIS 为屏蔽后中断寄存器。用来反映屏蔽后的 WatchDog 中断状态。

	Offset Address	Register Name	Total Reset Value													
	0x0014	WDG_MIS	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved															wdogmis
Reset	0 0															
Bits	Access	Name	Description													
[31:1]	RO	reserved	保留。													
[0]	RO	wdogmis	<p>WatchDog 屏蔽后的中断状态。</p> <p>0：未产生中断或者中断被屏蔽；</p> <p>1：已产生中断。</p>													

WDG_LOCK

WDG_LOCK 为 LOCK 寄存器。用来控制 WatchDog 寄存器的读写权限。



Offset Address		Register Name		Total Reset Value				
0x0C00		WDG_LOCK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_lock							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wdg_lock	<p>向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限； 向该寄存器写入其他值则关闭写权限。 读该寄存器返回加锁的状态而不是写入该寄存器的值： 0x0000_0000：允许写访问（未加锁）； 0x0000_0001：禁止写访问（已加锁）。</p>					

3.8 实时时钟

3.8.1 概述

实时时钟 RTC（Real Time Clock）用于实现时间显示和定时报警功能。

3.8.2 特点

RTC 具备以下特点：

- 内部具有 1 个 16bit 的天计数器，5bit 的小时计数器，6bit 的分计数器，6bit 的秒计数器和 7bit 的 10ms 计数器。
- 计数时钟 100Hz
- 计数初值可配置
- 计数比较值可配置
- 支持超时中断产生
- 支持软复位
- 支持固定分频模式
- 提供自动温度计时校正功能
- 提供 RTC 模块所在芯片位置的节温

3.8.3 功能描述

RTC 的运行基于 1 个共同 40bit 的（天，时，分，秒，10ms）加法计数器，计数初值由寄存器 [RTC_LR_10MS](#)、[RTC_LR_S](#)、[RTC_LR_M](#)、[RTC_LR_H](#)、[RTC_LR_D_L](#)、[RTC_LR_D_H](#) 载入。在当计数值递加到寄存器与 [RTC_MR_10MS](#)、[RTC_MR_S](#)、



`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 寄存器值相等时，RTC 将产生一个中断，然后在下一个计数时钟上升沿，计数器继续递加计数。

根据实际应用需要，可通过配置 `RTC_IMSC` 使能或者禁止 RTC 产生中断信号。此时，存在以下两种情况：

- 当禁止产生中断时，RTC 计数器继续递加计数，将不会对外产生中断，在 `RTC_MSC_INT` 中显示屏蔽后中断的状态，在 `RTC_RAW_INT` 中显示原始中断状态。
- 当重新开启中断时，RTC 计数器仍然继续递加计数，当计数值递加到与 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 寄存器值相等时，RTC 将产生一个中断。

RTC 的计数时钟采用的是 100Hz 时钟，同时提供 16bit 的天计数，便于通过天计数值转换为具体的年、月、日。

3.8.4 工作方式

3.8.4.1 计数时钟频率

RTC 采用 100Hz 时钟进行计数，计数最大时间为：

$$T_{\text{RTC}} = 2^{16} = 65536(\text{天})$$

 说明

T_{RTC} 表示 RTC 计数时间。

3.8.4.2 软复位

通过配置 RTC 复位寄存器 `RTC_POR_N`，可以实现对 RTC 的单独软复位。软复位后各个 RTC 配置寄存器的值均恢复为默认值，因此软复位后需要重新对这些寄存器进行初始化配置。

软复位步骤如下：

1. 向 `RTC_POR_N` 写 0，对 RTC 软复位。
2. 等待 30ms。

----结束

3.8.4.3 RTC 初始化

RTC 在第一次上电时，系统需要将 RTC 初始化。RTC 的初始化过程如下：

1. 配置 `RTC_POR_N`，复位 RTC。
2. 等待 30ms。
3. 配置 `RTC_IMSC`，设置 RTC 中断屏蔽位。
4. 配置 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H`，设置 RTC 比较值。



5. 配置 `RTC_LR_10MS`、`RTC_LR_S`、`RTC_LR_M`、`RTC_LR_H`、`RTC_LR_D_L`、`RTC_LR_D_H`，设置 RTC 计数初始值。
6. 配置 `RTC_LORD` 为 1，让 RTC 计数初始值加载 RTC 计数器中。
7. RTC 按照 100Hz 的计数时钟频率，从 `RTC_LR_10MS`、`RTC_LR_S`、`RTC_LR_M`、`RTC_LR_H`、`RTC_LR_D_L`、`RTC_LR_D_H` 中的值开始计数，当计数到 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 中的值时，将根据 `RTC_IMSC` 的设置，决定是否产生中断。

----结束

3.8.4.4 中断处理

系统收到 RTC 发出的中断后，表示定时时间到，用户可以执行相应的自定义操作，RTC 计数器仍然保持递加计数。RTC 中断处理的过程如下：

1. 配置 `RTC_INT_CLR` 为 1，清除 RTC 的中断状态。
2. 如果还需要继续设置定时时间，则向寄存器 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 写入新的比较值。

----结束

3.8.4.5 RTC 寄存器的访问

RTC 的寄存器是在 RTC 模块内部的，并不在 APB 总线上。APB 总线上的 RTC 寄存器只是提供访问 RTC 内部寄存器的通路，并不是真正的 RTC 内部寄存器。

写 RTC 内部寄存器的步骤如下：

1. 配置 `SPI_CLK_DIV`；假如 apb 总线时钟为 120MHz，期望 SPI 的时钟为 12MHz，则 `spi_clk_div` 应该配置为 $(120\text{MHz}/12\text{MHz}) / 2 - 1 = 4 = 0x04$ 。（如果已经配置，并且不想更改 SPI 的时钟频率则可以省略这一步骤）。
2. 读 `SPI_RW`，直到 `SPI_RW [31]=0` 为止。
3. 配置 `SPI_RW`；假如要对 `RTC_MR_10MS` 写入 0x10，该寄存器在 RTC 内部的地址为 0x06，所以 `SPI_RW` 应该配置为 0x01060010（`spi_start=1,spi_rw=0,spi_add=0x06,spi_wdata=0x10`）。

----结束

读 RTC 内部寄存器的步骤如下：

4. 配置 `SPI_CLK_DIV`；假如 APB 总线时钟为 120MHz，期望 SPI 的时钟为 12MHz，则 `spi_clk_div` 应该配置为 $(120\text{MHz}/12\text{MHz}) / 2 - 1 = 4 = 0x04$ 。（如果已经配置过了，并且不想更改 spi 的时钟频率则可以省略这一步骤）。
5. 读 `SPI_RW`，直到 `SPI_RW [31]=0` 为止。
6. 配置 `SPI_RW`；假如要对读 `RTC_MR_10MS`，该寄存器在 RTC 内部的地址为 0x06，所以 `SPI_RW` 应该配置为 0x01860000（`spi_start=1,spi_rw=1,spi_add=0x06`）。



7. 读 `SPI_RW`，直到 `SPI_RW [31]=0` 为止。则 `SPI_RW [15:8]`为 `RTC_MR_10MS` 的读回值。

----结束

3.8.4.6 RTC 自动温度计时校正

当温度发生变化时，晶体的输出频率也会变化。而温度与晶体的输出频率的关系是确定的（对于确定的晶体来说），在 RTC 初始化时已经把这个关系通过配置相关寄存器明确下来了。所以以一定的周期（例如一分钟）采集温度值并写入校正算法的温度输入，这样就可以保证 RTC 能产生一个精准的 100Hz 时钟来计数。RTC 校正算法的温度来源有两个，一个是内部 `t_sensor`，另外一个就外部测量值。在芯片上电时，如果选择内部 `t_sensor` 时，考虑到内部 `t_sensor` 读取芯片内部温度值不是实际的环境温度，软件定时（1、4、8、16 分钟）从内部 `t_sensor` 读取芯片内部温度值，然后减去一个与外部环境温度的经验偏差值后写入 `OUTSIDE_TEMP` 即可；当选择外部测量值时，方案上也提供了两个选择，一种是用 `SAR_ADC`+温敏电阻；一种是外接温度传感器 `DS1820` (`DS18B20`)。这时，系统就要在一定的周期内对温度进行采集并把采集结果写入到 RTC 的外部温度寄存器中。由于 RTC 对温度的更新周期固定为 1、4、8、16 分钟，所以建议系统对温度的采集周期与 RTC 的温度更新周期一致。

当芯片下电时，此时内部 `t_sensor` 获取的芯片温度与环境温度基本一致，因此推荐直接使用内部 `t_sensor` 获取的芯片温度作为校正电路的输入。选择温度来源请参考寄存器 `TEMP_SEL`。

以采用外接温度传感器 `DS1820` 为例，RTC 温度校正的流程如下：

1. 配置 `fix_mode` (`TEMP_SEL bit[1]`) 为 0，`temp_sel` (`TEMP_SEL bit[0]`) 为 1，选择外部温度模式。
2. 配置 `sample_time` (`RTC_SAR_CTRL bit[1:0]`) 为 0，选择温度更新周期为 1 分钟。
3. 配置 `INT_MASK` 为 0，打开温度传感器采集中断。
4. 配置 `CONVER_T` 为 1，启动温度传感器采集。
5. 等待温度传感器采集完成中断产生。
6. 配置 `INT_CLEAR` 为 1，清除中断。
7. 读取 `T_VALUE`，并把温度码字转换为 `t_sensor` 的温度码字。然后把转换后的温度码字写入到 RTC 内部寄存器 `OUTSIDE_TEMP` 中。
8. 等待 1 分钟，重复步骤 4 到 8。

----结束



3.8.5 寄存器概览

RTC APB 寄存器概览如表 3-23 所示。

表3-23 RTC APB 寄存器概览（基址是 0x2006_0000）

偏移地址	名称	描述	页码
0x0000	SPI_CLK_DIV	SPI 接口的时钟率值寄存器	3-157
0x0004	SPI_RW	SPI 接口读写操作寄存器	3-158
0x0080	CONVER_T	温度传感器采集控制寄存器	3-159
0x0084	CRC_EN	温度传感器采集 CRC 校验使能控制寄存器	3-159
0x0088	INT_MASK	温度传感器采集中断屏蔽寄存器	3-160
0x008C	INT_CLEAR	温度传感器采集中断清除寄存器	3-160
0x0090	BUSY	温度传感器采集状态寄存器	3-161
0x0094	INT_RAW	温度传感器采集原始中断状态寄存器	3-161
0x0098	INT_TCAP	温度传感器采集中断状态寄存器	3-162
0x009C	T_VALUE	温度传感器采集结果寄存器	3-162
0x00A0	FILTER_NUM	滤毛刺宽度配置寄存器	3-163

表3-24 RTC 内部寄存器概览（基址是 0x00）

偏移地址	名称	描述	页码
0x00	RTC_10MS_COUNT	RTC 10ms 计数值寄存器	3-163
0x01	RTC_S_COUNT	RTC 秒计数值寄存器	3-164
0x02	RTC_M_COUNT	RTC 分计数值寄存器	3-164
0x03	RTC_H_COUNT	RTC 时计数值寄存器	3-165
0x04	RTC_D_COUNT_L	RTC 天计数值低 8 位寄存器	3-165
0x05	RTC_D_COUNT_H	RTC 天计数值高 8 位寄存器	3-166
0x06	RTC_MR_10MS	RTC 10ms 定时值寄存器	3-166
0x07	RTC_MR_S	RTC 秒定时值寄存器	3-167
0x08	RTC_MR_M	RTC 分定时值寄存器	3-167
0x09	RTC_MR_H	RTC 时定时值寄存器	3-168



偏移地址	名称	描述	页码
0x0A	RTC_MR_D_L	RTC 天定时值的低 8 位寄存器	3-168
0x0B	RTC_MR_D_H	RTC 天定时值的高 8 位寄存器	3-169
0x0C	RTC_LR_10MS	RTC 10ms 设置值寄存器	3-169
0x0D	RTC_LR_S	RTC 秒设置值寄存器	3-170
0x0E	RTC_LR_M	RTC 分设置值寄存器	3-170
0x0F	RTC_LR_H	RTC 时设置值寄存器	3-171
0x10	RTC_LR_D_L	RTC 天设置值的低 8 位寄存器	3-171
0x11	RTC_LR_D_H	RTC 天设置值的高 8 位寄存器	3-171
0x12	RTC_LORD	RTC 设置值使能加载寄存器	3-172
0x13	RTC_IMSC	RTC 中断使能寄存器	3-172
0x14	RTC_INT_CLR	RTC 中断清除寄存器	3-173
0x15	RTC_MSC_INT	RTC mask 中断状态寄存器	3-173
0x16	RTC_RAW_INT	RTC 原始中断状态寄存器	3-174
0x17	RTC_CLK	RTC 输出时钟选择寄存器	3-174
0x18	RTC_POR_N	RTC 复位控制寄存器	3-175
0x1A	RTC_SAR_CTRL	RTC 内部 t_sensor 控制寄存器	3-175
0x1C	TOT_OFFSET_L	校正算法中 tot_offset 的修正值的低 8 位寄存器	3-176
0x1D	TOT_OFFSET_H	校正算法中 tot_offset 的修正值的高 1 位寄存器	3-176
0x1E	TEMP_OFFSET	对输入校正 LUT 的温度码字的 offset 值寄存器	3-177
0x1F	OUTSIDE_TEMP	外部环境温度值寄存器	3-177
0x20	DIE_TEMP	RTC 内部 t_sensor 提供的温度值，码字表示-40 到 140 度	3-178
0x21	TEMP_SEL	校正算法输入温度来源的选择	3-178
0x22	LUT1	温度校正算法的 LUT1	3-179
0x23	LUT2	温度校正算法的 LUT2	3-179
0x24	LUT3	温度校正算法的 LUT3	3-180
0x25	LUT4	温度校正算法的 LUT4	3-180



偏移地址	名称	描述	页码
0x26	LUT5	温度校正算法的 LUT5	3-180
0x27	LUT6	温度校正算法的 LUT6	3-181
0x28	LUT7	温度校正算法的 LUT7	3-181
0x29	LUT8	温度校正算法的 LUT8	3-181
0x2A	LUT9	温度校正算法的 LUT9	3-182
0x2B	LUT10	温度校正算法的 LUT10	3-182
0x2C	LUT11	温度校正算法的 LUT11	3-182
0x2D	LUT12	温度校正算法的 LUT12	3-183
0x2E	LUT13	温度校正算法的 LUT13	3-183
0x2F	LUT14	温度校正算法的 LUT14	3-183
0x30	LUT15	温度校正算法的 LUT15	3-184
0x31	LUT16	温度校正算法的 LUT16	3-184
0x32	LUT17	温度校正算法的 LUT17	3-184
0x33	LUT18	温度校正算法的 LUT18	3-185
0x34	LUT19	温度校正算法的 LUT19	3-185
0x35	LUT20	温度校正算法的 LUT20	3-185
0x36	LUT21	温度校正算法的 LUT21	3-186
0x37	LUT22	温度校正算法的 LUT22	3-186
0x38	LUT23	温度校正算法的 LUT23	3-186
0x39	LUT24	温度校正算法的 LUT24	3-187
0x3A	LUT25	温度校正算法的 LUT25	3-187
0x3B	LUT26	温度校正算法的 LUT26	3-187
0x3C	LUT27	温度校正算法的 LUT27	3-188
0x3D	LUT28	温度校正算法的 LUT28	3-188
0x3E	LUT29	温度校正算法的 LUT29	3-188
0x3F	LUT30	温度校正算法的 LUT30	3-189
0x40	LUT31	温度校正算法的 LUT31	3-189
0x41	LUT32	温度校正算法的 LUT32	3-189
0x42	LUT33	温度校正算法的 LUT33	3-190



偏移地址	名称	描述	页码
0x43	LUT34	温度校正算法的 LUT34	3-190
0x44	LUT35	温度校正算法的 LUT35	3-190
0x45	LUT36	温度校正算法的 LUT36	3-191
0x46	LUT37	温度校正算法的 LUT37	3-191
0x47	LUT38	温度校正算法的 LUT38	3-191
0x48	LUT39	温度校正算法的 LUT39	3-192
0x49	LUT40	温度校正算法的 LUT40	3-192
0x4A	LUT41	温度校正算法的 LUT41	3-192
0x4B	LUT42	温度校正算法的 LUT42	3-193
0x4C	LUT43	温度校正算法的 LUT43	3-193
0x4D	LUT44	温度校正算法的 LUT44	3-193
0x4E	LUT45	温度校正算法的 LUT45	3-194
0x4F	LUT46	温度校正算法的 LUT46	3-194
0x50	LUT47	温度校正算法的 LUT47	3-194
0x51	sdm_coef_ouside_h	固定分频模式时的分频系数高 4 位	3-195
0x52	sdm_coef_ouside_l	固定分频模式时的分频系数低 8 位	3-195

3.8.6 APB 寄存器描述

SPI_CLK_DIV

SPI_CLK_DIV 为 SPI 接口的时钟率值寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x0000	SPI_CLK_DIV	0x0000_003B							
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0									
Name	reserved						spi_clk_div			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 0 1 1									
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							



Offset Address		Register Name		Total Reset Value					
0x0000		SPI_CLK_DIV		0x0000_003B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						spi_clk_div		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 0 1 1	
Bits	Access	Name	Description						
[7:0]	RW	spi_clk_div	SPI 接口的时钟率。SPI 时钟不得超过 20MHz，建议配置为 12MHz。 取值范围为 1~255。spi_clk_div 的值用来产生 SPI 发送和接收的比特率，公式为 $FSPICLK = FAPBCLK / (2 \times (spi_clk_div + 1))$ 。其中 FAPBCLK 为 APB 总线的时钟频率。例如，APB 总线时钟为 120MHz，期望 SPI 的时钟为 12MHz，则 spi_clk_div 应该配置为 $(120MHz / 12MHz) / 2 - 1 = 4$						

SPI_RW

SPI_RW 为 SPI 接口读写寄存器。

Offset Address		Register Name		Total Reset Value				
0x0004		SPI_RW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	spi_busy	reserved	spi_start spi_rw	spi_add	spi_rdata	spi_wdata		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	spi_busy	SPI 接口读写忙状态指示。 0: 空闲，可以发动新的 SPI 读写操作； 1: 正在对 SPI 接口进行读写操作，不能发起新的 SPI 读写操作。					
[30:25]	-	reserved	保留。					
[24]	W1_PULSE	spi_start	启动一次 SPI 读写操作。写 1 自动清零。当 spi_busy 为 1 时写入无效。即在上一次读写操作没有完成之前不会启动新的 SPI 操作，若启动则硬件会忽略这一次启动请求。					



[23]	RW	spi_rw	SPI 操作的类型。 0: 写操作; 1: 读操作。
[22:16]	RW	spi_add	SPI 操作的地址。 取值范围为 0~127。
[15:8]	RO	spi_rdata	SPI 接口读回的数据。
[7:0]	RW	spi_wdata	待写入 SPI 接口的数据。

CONVER_T

CONVER_T 为温度传感器采集控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0080	CONVER_T	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		conver_t
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	conver_t	温度传感器采集控制寄存器 start。必须设为 1。 1: start, 硬件会在清中断时自动归零。

CRC_EN

CRC_EN 为温度传感器采集 CRC 校验使能控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0084		CRC_EN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								crc_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	crc_en	温度传感器采集 CRC 校验使能控制寄存器。 0: disable; 1: enable。						

INT_MASK

INT_MASK 为温度传感器采集中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value					
0x0088		INT_MASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								int_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	int_mask	温度传感器采集中断屏蔽寄存器。 0: 不屏蔽; 1: 屏蔽。						

INT_CLEAR

INT_CLEAR 为温度传感器采集中断清除寄存器。



Offset Address		Register Name		Total Reset Value					
0x008C		INT_CLEAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								int_clear
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留						
[0]	RW	int_clear	温度传感器采集中断清除寄存器。 写 1 清中断。硬件会在中断清除后自动归零。						

BUSY

BUSY 为温度传感器采集状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x0090		BUSY		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								busy
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留						
[0]	RO	busy	温度传感器采集状态。 0: ready; 1: busy。						

INT_RAW

INT_RAW 为温度传感器采集原始中断状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x0094		INT_RAW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							int_err	get_tmprt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RO	int_err	错误中断寄存器。						
[0]	RO	get_tmprt_int	温度采集完成中断。						

INT_TCAP

INT_TCAP 为温度传感器采集中断状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x0098		INT_TCAP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							int_tcap
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	-	reserved	保留。					
[0]	RO	int_tcap	屏蔽后的中断状态。 0: 无中断; 1: 有中断。					

T_VALUE

T_VALUE 为温度传感器采集结果寄存器。



Offset Address		Register Name		Total Reset Value					
0x009C		T_VALUE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						t_value		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	保留。						
[11:0]	RO	t_value	温度传感器采集结果。						

FILTER_NUM

FILTER_NUM 滤毛刺宽度配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x00A0		FILTER_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							filter_num
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	-	reserved	保留。					
[3:0]	RW	filter_num	对输入进行滤毛刺宽度的选择，滤除 N+1 个 APB 时钟宽度的毛刺。					

3.8.7 内部寄存器描述

RTC_10MS_COUNT

RTC_10MS_COUNT 为 RTC 10ms 计数值寄存器。



Offset Address		Register Name		Total Reset Value				
0x00		RTC_10MS_COUNT		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_10ms_count					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	-	reserved	保留					
[6:0]	RO	rtc_10ms_count	RTC 10ms 计数器值，表示当前计时的 10ms 时间个数。 取值范围值为 0~99。					

RTC_S_COUNT

RTC_S_COUNT 为 RTC 秒计数值寄存器。

Offset Address		Register Name		Total Reset Value				
0x01		RTC_S_COUNT		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_s_count					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RO	rtc_s_count	RTC 秒计数器值，表示当前计时的秒时间个数。 取值范围为 0~59。					

RTC_M_COUNT

RTC_M_COUNT 为 RTC 分计数值寄存器



		Offset Address 0x02			Register Name RTC_M_COUNT			Total Reset Value 0x00	
Bit		7	6	5	4	3	2	1	0
Name		reserved			rtc_m_count				
Reset		0	0	0	0	0	0	0	0
	Bits	Access	Name		Description				
	[7:6]	-	reserved		保留。				
	[5:0]	RO	rtc_m_count		RTC 分计数器值，表示当前计时的分时间个数。取之范围为 0~59。				

RTC_H_COUNT

RTC_H_COUNT 为 RTC 时 计数值寄存器。

		Offset Address 0x03			Register Name RTC_H_COUNT			Total Reset Value 0x00	
Bit		7	6	5	4	3	2	1	0
Name		reserved			rtc_h_count				
Reset		0	0	0	0	0	0	0	0
	Bits	Access	Name		Description				
	[7:5]	-	reserved		保留				
	[4:0]	RO	rtc_h_count		RTC 时计数器值，表示当前计时的小时时间个数。取之范围为 0~23。				

RTC_D_COUNT_L

RTC_D_COUNT_L 为 RTC 天计数值低 8 位寄存器。



Offset Address		Register Name					Total Reset Value	
0x04		RTC_D_COUNT_L					0x00	
Bit	7	6	5	4	3	2	1	0
Name	rtc_d_count_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	rtc_d_count_l	RTC 天计数器值的低 8 位，与 RTC_D_COUNT_H 配合，表示当前计时的天时间个数，取值范围为 0~65535。					

RTC_D_COUNT_H

RTC_D_COUNT_H 为 RTC 天计数值高 8 位寄存器。

Offset Address		Register Name					Total Reset Value	
0x05		RTC_D_COUNT_H					0x00	
Bit	7	6	5	4	3	2	1	0
Name	rtc_d_count_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	rtc_d_count_h	RTC 天计数器值的高 8 位，与 RTC_D_COUNT_L 配合，表示当前计时的天时间个数，取值范围为 0~65535。					

RTC_MR_10MS

RTC_MR_10MS 为 RTC 10ms 定时值寄存器。



		Offset Address			Register Name			Total Reset Value	
		0x06			RTC_MR_10MS			0x7F	
Bit		7	6	5	4	3	2	1	0
Name		reserved		rtc_mr_10ms					
Reset		0	1	1	1	1	1	1	1
	Bits	Access	Name	Description					
	[7]	RW	reserved	保留。					
	[6:0]	RW	rtc_mr_10ms	RTC 10ms 定时值，表示定时的 10ms 时间值。 取值范围值为 0~99。					

RTC_MR_S

RTC_MR_S 为 RTC 秒定时值寄存器。

		Offset Address			Register Name			Total Reset Value	
		0x07			RTC_MR_S			0x3F	
Bit		7	6	5	4	3	2	1	0
Name		reserved		rtc_mr_s					
Reset		0	0	1	1	1	1	1	1
	Bits	Access	Name	Description					
	[7:6]	RW	reserved	保留。					
	[5:0]	RW	rtc_mr_s	RTC 秒定时值，表示定时的秒时间值。 取值范围值为 0~59。					

RTC_MR_M

RTC_MR_M 为 RTC 分定时值寄存器。



Offset Address		Register Name					Total Reset Value	
0x08		RTC_MR_M					0x3F	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_mr_m					
Reset	0	0	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:6]	RW	reserved	保留					
[5:0]	RW	rtc_mr_m	RTC 分定时值，表示定时的分时间值。 取值范围值为 0~59。					

RTC_MR_H

RTC_MR_H 为 RTC 时定时值寄存器。

Offset Address		Register Name					Total Reset Value	
0x09		RTC_MR_H					0x1F	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_mr_h					
Reset	0	0	0	1	1	1	1	1
Bits	Access	Name	Description					
[7:5]	RW	reserved	保留					
[4:0]	RW	rtc_mr_h	RTC 时定时值，表示定时的小时时间值。 取值范围值为 0~23。					

RTC_MR_D_L

RTC_MR_D_L 为 RTC 天定时值的低 8 位寄存器。



Offset Address		Register Name					Total Reset Value	
0x0A		RTC_MR_D_L					0xFF	
Bit	7	6	5	4	3	2	1	0
Name	rtc_mr_d_l							
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	rtc_mr_d_l	RTC 天定时值低 8 位，与 RTC_MR_D_H 配合，表示定时的天时间值，取值范围为 0~65535。					

RTC_MR_D_H

RTC_MR_D_H 为 RTC 天定时值的高 8 位寄存器。

Offset Address		Register Name					Total Reset Value	
0x0B		RTC_MR_D_H					0xFF	
Bit	7	6	5	4	3	2	1	0
Name	rtc_mr_d_h							
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	rtc_mr_d_h	RTC 天定时值高 8 位，与 RTC_MR_D_L 配合，表示定时的天时间值，取值范围为 0~65535。					

RTC_LR_10MS

RTC_LR_10MS 为 RTC 10ms 设置值寄存器。

Offset Address		Register Name					Total Reset Value	
0x0C		RTC_LR_10MS					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved	rtc_lr_10ms						
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	reserved	保留。					



[6:0]	RW	rtc_lr_10ms	RTC 10ms 设置值，表示设置的 10ms 时间值。 取值范围为 0~99。
-------	----	-------------	---

RTC_LR_S

RTC_LR_S 为 RTC 秒设置值寄存器。

	Offset Address			Register Name			Total Reset Value	
	0x0D			RTC_LR_S			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_lr_s					
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:6]	RW	reserved	保留				
	[5:0]	RW	rtc_lr_s	RTC 秒设置值，表示设置的秒时间值。 取值范围为 0~59。				

RTC_LR_M

RTC_LR_M 为 RTC 分设置值寄存器。

	Offset Address			Register Name			Total Reset Value	
	0x0E			RTC_LR_M			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_lr_m					
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:6]	RW	reserved	保留。				
	[5:0]	RW	rtc_lr_m	RTC 分设置值，表示设置的分时间值。 取值范围为 0~59。				



RTC_LR_H

RTC_LR_H 为 RTC 时设置值寄存器。

		Offset Address 0x0F			Register Name RTC_LR_H			Total Reset Value 0x00	
Bit		7	6	5	4	3	2	1	0
Name		reserved			rtc_lr_h				
Reset		0	0	0	0	0	0	0	0
Bits	Access	Name			Description				
[7:5]	RW	reserved			保留。				
[4:0]	RW	rtc_lr_h			RTC 时设置值，表示设置的小时时间值。 取值范围为 0~23。				

RTC_LR_D_L

RTC_LR_D_L 为 RTC 天设置值的低 8 位寄存器。

		Offset Address 0x10			Register Name RTC_LR_D_L			Total Reset Value 0x00	
Bit		7	6	5	4	3	2	1	0
Name		rtc_lr_d_l							
Reset		0	0	0	0	0	0	0	0
Bits	Access	Name			Description				
[7:0]	RW	rtc_lr_d_l			RTC 天设置值低 8 位，与 RTC_LR_D_H 配合表示 设置的天时间，取值范围为 0~65535。				

RTC_LR_D_H

RTC_LR_D_H 为 RTC 天设置值的高 8 位寄存器。



Offset Address		Register Name				Total Reset Value		
0x11		RTC_LR_D_H				0x00		
Bit	7	6	5	4	3	2	1	0
Name	rtc_lr_d_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	rtc_lr_d_h	RTC 天设置值高 8 位，与 RTC_LR_D_L 配合表示设置的天时间，取值范围为 0~65535。					

RTC_LORD

RTC_LORD 为 RTC 设置值使能加载寄存器。

Offset Address		Register Name				Total Reset Value		
0x12		RTC_LORD				0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved							rtc_load
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留					
[0]	RW	rtc_load	把 RTC 的时间配置值写入 RTC 累加器中的使能信号。软件写入 1 后，硬件会在加载成功后自动清零。					

RTC_IMSC

RTC_IMSC 为 RTC 中断使能寄存器。



Offset Address		Register Name					Total Reset Value	
0x13		RTC_IMSC					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							rtc_imsc
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RW	rtc_imsc	RTC 定时中断输出使能位。 0: 不输出中断; 1: 输出中断。					

RTC_INT_CLR

RTC_INT_CLR 为 RTC 中断清除寄存器。

Offset Address		Register Name					Total Reset Value	
0x14		RTC_INT_CLR					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							rtc_int_clr
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RW	rtc_int_clr	RTC 定时中断清除寄存器，软件写入 1 后，硬件会在中断清除成功后自动清零。					

RTC_MSC_INT

RTC_MSC_INT 为 RTC mask 中断状态寄存器。



Offset Address		Register Name					Total Reset Value	
0x15		RTC_MSC_INT					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							mask_int
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RO	mask_int	mask int 状态寄存器。					

RTC_RAW_INT

RTC_RAW_INT 为 RTC 原始中断状态寄存器。

Offset Address		Register Name					Total Reset Value	
0x16		RTC_RAW_INT					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							raw_int
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RO	raw_int	raw int 状态寄存器。					

RTC_CLK

RTC_CLK 为 RTC 输出时钟选择寄存器。



Offset Address		Register Name					Total Reset Value	
0x17		RTC_CLK					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved						clk_out_sel	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:2]	-	reserved	保留。					
[1:0]	RW	clk_out_sel	RTC 输出的测试时钟选择。 00: 输出晶体的震荡时钟; 01: 输出校正后的 100Hz 时钟; 1X: 输出 1Hz 时钟。					

RTC_POR_N

RTC_POR_N 为 RTC 复位控制寄存器。

Offset Address		Register Name					Total Reset Value	
0x18		RTC_POR_N					0x01	
Bit	7	6	5	4	3	2	1	0
Name	reserved						rtc_por_n	
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RW	rtc_por_n	RTC 模块的复位信号。复位成功后自动置 1。 0: 复位。					

RTC_SAR_CTRL

RTC_SAR_CTRL 为 RTC 内部 t_sensor 控制寄存器。



	Offset Address			Register Name			Total Reset Value	
	0x1A			RTC_SAR_CTRL			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved						sample_time	
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:4]	RW	reserved	保留。				
	[3]	RW	reserved	保留。				
	[2]	RW	reserved	保留。				
	[1:0]	RW	sample_time	温度的更新时间。 00: 1 分钟; 01: 4 分钟; 10: 8 分钟; 11: 16 分钟。				

TOT_OFFSET_L

TOT_OFFSET_L 为校正算法中 tot_offset 的修正值的低 8 位寄存器。

	Offset Address			Register Name			Total Reset Value	
	0x1C			TOT_OFFSET_L			0x00	
Bit	7	6	5	4	3	2	1	0
Name	tot_offset_l							
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:0]	RW	tot_offset_l	校正算法中 tot_offset 的修正值，为补码，表示-256~255，也就是说校正算法中 tot_offset 的值为 1990+(-256~255)。寄存器值为低 7 位。				

TOT_OFFSET_H

TOT_OFFSET_H 为校正算法中 tot_offset 的修正值的高 1 位寄存器。



Offset Address		Register Name					Total Reset Value	
0x1D		TOT_OFFSET_H					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							tot_offset_h
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留					
[0]	RW	tot_offset_h	校正算法中 tot_offset 的修正值，为补码，表示-256~255，也就是说校正算法中 tot_offset 的值为 1990+(-256~255)。寄存器值为高 1 位。					

TEMP_OFFSET

TEMP_OFFSET 为对输入校正 LUT 的温度码字的 offset 值寄存器。

Offset Address		Register Name					Total Reset Value	
0x1E		TEMP_OFFSET					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		temp_offset					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留					
[5:0]	RW	temp_offset	对输入校正 LUT 的温度码字的 offset 值，为补码，表示-32~31。					

OUTSIDE_TEMP

OUTSIDE_TEMP 为外部环境温度值寄存器。



Offset Address		Register Name				Total Reset Value		
0x1F		OUTSIDE_TEMP				0x00		
Bit	7	6	5	4	3	2	1	0
Name	outside_temp							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	outside_temp	外部环境温度值，码字表示-40° C~140° C。					

DIE_TEMP

DIE_TEMP 为 RTC 内部 t_sensor 提供的温度值寄存器

Offset Address		Register Name				Total Reset Value		
0x20		DIE_TEMP				0x00		
Bit	7	6	5	4	3	2	1	0
Name	die_temp							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	die_temp	RTC 内部 t_sensor 提供的温度值，即芯片内部温度，码字表示-40° C~140° C。					

TEMP_SEL

TEMP_SEL 为校正输入温度选择寄存器。

Offset Address		Register Name				Total Reset Value		
0x21		TEMP_SEL				0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved					sdm_sel	fix_mode	temp_sel
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:3]	RW	reserved	保留。					



[2]	RW	sdm_sel	与 fix_model 和 temp_sel 配合，表示是否进行温度补偿。 芯片上电及下电时： { temp_sel,fix_mode,temp_sel } 0xx: 打开温度补偿，模式由 {fix_mode,temp_sel} 决定； 110: 不进行温度补偿，RTC 时钟直接采用小数分频后的时钟，分频系数寄存器见 0x51 和 0x52； 其他：保留。
[1]	RW	fix_mode	与 temp_sel 配合，表示校正算法输入温度来源。 详细描述请参见 temp_sel。
[0]	RW	temp_sel	与 fix_mode 配合，表示校正算法输入温度来源。 芯片上电时： {fix_mode,temp_sel} 00: 选择 DIE_TEMP 为温度来源； 01: 选择 OUTSIDE_TEMP 为温度来源； 1X: 选择 OUTSIDE_TEMP 为温度来源。 芯片下电时： {fix_mode,temp_sel} 0X: 选择 DIE_TEMP 为温度来源； 1X: 选择 OUTSIDE_TEMP 为温度来源。

LUT1

LUT1 为校正 LUT1 寄存器。

	Offset Address			Register Name			Total Reset Value	
	0x22			LUT1			0xAC	
Bit	7	6	5	4	3	2	1	0
Name	lut1							
Reset	1	0	1	0	1	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut1	温度校正算法的 LUT1。					

LUT2

LUT2 为校正 LUT2 寄存器。



	Offset Address 0x23			Register Name LUT2			Total Reset Value 0xB4	
Bit	7	6	5	4	3	2	1	0
Name	lut2							
Reset	1	0	1	1	0	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut2	温度校正算法的 LUT2。					

LUT3

LUT3 为校正 LUT3 寄存器。

	Offset Address 0x24			Register Name LUT3			Total Reset Value 0xBB	
Bit	7	6	5	4	3	2	1	0
Name	lut3							
Reset	1	0	1	1	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut3	温度校正算法的 LUT3。					

LUT4

LUT4 为校正 LUT4 寄存器。

	Offset Address 0x25			Register Name LUT4			Total Reset Value 0xC2	
Bit	7	6	5	4	3	2	1	0
Name	lut4							
Reset	1	1	0	0	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut4	温度校正算法的 LUT4。					

LUT5

LUT5 为校正 LUT5 寄存器。



Offset Address		Register Name					Total Reset Value	
0x26		LUT5					0xC8	
Bit	7	6	5	4	3	2	1	0
Name	lut5							
Reset	1	1	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut5	温度校正算法的 LUT5。					

LUT6

LUT6 为校正 LUT6 寄存器。

Offset Address		Register Name					Total Reset Value	
0x27		LUT6					0xCF	
Bit	7	6	5	4	3	2	1	0
Name	lut6							
Reset	1	1	0	0	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut6	温度校正算法的 LUT6。					

LUT7

LUT7 为校正 LUT7 寄存器。

Offset Address		Register Name					Total Reset Value	
0x28		LUT7					0xD5	
Bit	7	6	5	4	3	2	1	0
Name	lut7							
Reset	1	1	0	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut7	温度校正算法的 LUT7。					

LUT8

LUT8 为校正 LUT8 寄存器。



	Offset Address 0x29			Register Name LUT8			Total Reset Value 0xDC	
Bit	7	6	5	4	3	2	1	0
Name	lut8							
Reset	1	1	0	1	1	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut8	温度校正算法的 LUT8。					

LUT9

LUT9 为校正 LUT9 寄存器。

	Offset Address 0x2A			Register Name LUT9			Total Reset Value 0xE2	
Bit	7	6	5	4	3	2	1	0
Name	lut9							
Reset	1	1	1	0	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut9	温度校正算法的 LUT9。					

LUT10

LUT10 为校正 LUT10 寄存器。

	Offset Address 0x2B			Register Name LUT10			Total Reset Value 0xE8	
Bit	7	6	5	4	3	2	1	0
Name	lut10							
Reset	1	1	1	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut10	温度校正算法的 LUT10。					

LUT11

LUT11 为校正 LUT11 寄存器。



Offset Address		Register Name				Total Reset Value		
0x2C		LUT11				0xEE		
Bit	7	6	5	4	3	2	1	0
Name	lut11							
Reset	1	1	1	0	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut11	温度校正算法的 LUT11。					

LUT12

LUT12 为校正 LUT12 寄存器。

Offset Address		Register Name				Total Reset Value		
0x2D		LUT12				0xF3		
Bit	7	6	5	4	3	2	1	0
Name	lut12							
Reset	1	1	1	1	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut12	温度校正算法的 LUT12。					

LUT13

LUT13 为校正 LUT13 寄存器。

Offset Address		Register Name				Total Reset Value		
0x2E		LUT13				0xF9		
Bit	7	6	5	4	3	2	1	0
Name	lut13							
Reset	1	1	1	1	1	0	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut13	温度校正算法的 LUT13。					

LUT14

LUT14 为校正 LUT14 寄存器。



	Offset Address 0x2F			Register Name LUT14			Total Reset Value 0xFE	
Bit	7	6	5	4	3	2	1	0
Name	lut14							
Reset	1	1	1	1	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut14	温度校正算法的 LUT14。					

LUT15

LUT15 为校正 LUT15 寄存器。

	Offset Address 0x30			Register Name LUT15			Total Reset Value 0x03	
Bit	7	6	5	4	3	2	1	0
Name	lut15							
Reset	0	0	0	0	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut15	温度校正算法的 LUT15。					

LUT16

LUT16 为校正 LUT16 寄存器。

	Offset Address 0x31			Register Name LUT16			Total Reset Value 0x08	
Bit	7	6	5	4	3	2	1	0
Name	lut16							
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut16	温度校正算法的 LUT16。					

LUT17

LUT17 为校正 LUT17 寄存器。



Offset Address		Register Name					Total Reset Value	
0x32		LUT17					0x0D	
Bit	7	6	5	4	3	2	1	0
Name	lut17							
Reset	0	0	0	0	1	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut17	温度校正算法的 LUT17。					

LUT18

LUT18 为校正 LUT18 寄存器。

Offset Address		Register Name					Total Reset Value	
0x33		LUT18					0x12	
Bit	7	6	5	4	3	2	1	0
Name	lut18							
Reset	0	0	0	1	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut18	温度校正算法的 LUT18。					

LUT19

LUT19 为校正 LUT19 寄存器。

Offset Address		Register Name					Total Reset Value	
0x34		LUT19					0x17	
Bit	7	6	5	4	3	2	1	0
Name	lut19							
Reset	0	0	0	1	0	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut19	温度校正算法的 LUT19。					

LUT20

LUT20 为校正 LUT20 寄存器。



Offset Address		Register Name					Total Reset Value	
0x35		LUT20					0x1B	
Bit	7	6	5	4	3	2	1	0
Name	lut20							
Reset	0	0	0	1	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut20	温度校正算法的 LUT20。					

LUT21

LUT21 为校正 LUT21 寄存器。

Offset Address		Register Name					Total Reset Value	
0x36		LUT21					0x1F	
Bit	7	6	5	4	3	2	1	0
Name	lut21							
Reset	0	0	0	1	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut21	温度校正算法的 LUT21。					

LUT22

LUT22 为校正 LUT22 寄存器。

Offset Address		Register Name					Total Reset Value	
0x37		LUT22					0x23	
Bit	7	6	5	4	3	2	1	0
Name	lut22							
Reset	0	0	1	0	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut22	温度校正算法的 LUT22。					

LUT23

LUT23 为校正 LUT23 寄存器。



Offset Address		Register Name					Total Reset Value	
0x38		LUT23					0x27	
Bit	7	6	5	4	3	2	1	0
Name	lut23							
Reset	0	0	1	0	0	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut23	温度校正算法的 LUT23。					

LUT24

LUT24 为校正 LUT24 寄存器。

Offset Address		Register Name					Total Reset Value	
0x39		LUT24					0x2B	
Bit	7	6	5	4	3	2	1	0
Name	lut24							
Reset	0	0	1	0	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut24	温度校正算法的 LUT24。					

LUT25

LUT25 为校正 LUT25 寄存器。

Offset Address		Register Name					Total Reset Value	
0x3A		LUT25					0x2E	
Bit	7	6	5	4	3	2	1	0
Name	lut25							
Reset	0	0	1	0	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut25	温度校正算法的 LUT25。					

LUT26

LUT26 为校正 LUT26 寄存器。



Offset Address		Register Name					Total Reset Value	
0x3B		LUT26					0x32	
Bit	7	6	5	4	3	2	1	0
Name	lut26							
Reset	0	0	1	1	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut26	温度校正算法的 LUT26。					

LUT27

LUT27 为校正 LUT27 寄存器。

Offset Address		Register Name					Total Reset Value	
0x3C		LUT27					0x35	
Bit	7	6	5	4	3	2	1	0
Name	lut27							
Reset	0	0	1	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut27	温度校正算法的 LUT27。					

LUT28

LUT28 为校正 LUT28 寄存器。

Offset Address		Register Name					Total Reset Value	
0x3D		LUT28					0x38	
Bit	7	6	5	4	3	2	1	0
Name	lut28							
Reset	0	0	1	1	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut28	温度校正算法的 LUT28。					

LUT29

LUT29 为校正 LUT29 寄存器。



Offset Address		Register Name					Total Reset Value	
0x3E		LUT29					0x3B	
Bit	7	6	5	4	3	2	1	0
Name	lut29							
Reset	0	0	1	1	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut29	温度校正算法的 LUT29。					

LUT30

LUT30 为校正 LUT30 寄存器。

Offset Address		Register Name					Total Reset Value	
0x3F		LUT30					0x3E	
Bit	7	6	5	4	3	2	1	0
Name	lut30							
Reset	0	0	1	1	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut30	温度校正算法的 LUT30。					

LUT31

LUT31 为校正 LUT31 寄存器。

Offset Address		Register Name					Total Reset Value	
0x40		LUT31					0x41	
Bit	7	6	5	4	3	2	1	0
Name	lut31							
Reset	0	1	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut31	温度校正算法的 LUT31。					

LUT32

LUT32 为校正 LUT32 寄存器。



	Offset Address 0x41			Register Name LUT32			Total Reset Value 0x43	
Bit	7	6	5	4	3	2	1	0
Name	lut32							
Reset	0	1	0	0	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut32	温度校正算法的 LUT32。					

LUT33

LUT33 为校正 LUT33 寄存器。

	Offset Address 0x42			Register Name LUT33			Total Reset Value 0x45	
Bit	7	6	5	4	3	2	1	0
Name	lut33							
Reset	0	1	0	0	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut33	温度校正算法的 LUT33。					

LUT34

LUT34 为校正 LUT34 寄存器。

	Offset Address 0x43			Register Name LUT34			Total Reset Value 0x48	
Bit	7	6	5	4	3	2	1	0
Name	lut34							
Reset	0	1	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut34	温度校正算法的 LUT34。					

LUT35

LUT35 为校正 LUT35 寄存器。



	Offset Address 0x44			Register Name LUT35			Total Reset Value 0x4A	
Bit	7	6	5	4	3	2	1	0
Name	lut35							
Reset	0	1	0	0	1	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut35	温度校正算法的 LUT35。					

LUT36

LUT36 为校正 LUT36 寄存器。

	Offset Address 0x45			Register Name LUT36			Total Reset Value 0x4B	
Bit	7	6	5	4	3	2	1	0
Name	lut36							
Reset	0	1	0	0	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut36	温度校正算法的 LUT36。					

LUT37

LUT37 为校正 LUT37 寄存器。

	Offset Address 0x46			Register Name LUT37			Total Reset Value 0x4D	
Bit	7	6	5	4	3	2	1	0
Name	lut37							
Reset	0	1	0	0	1	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut37	温度校正算法的 LUT37。					

LUT38

LUT38 为校正 LUT38 寄存器。



Offset Address		Register Name					Total Reset Value	
0x47		LUT38					0x4F	
Bit	7	6	5	4	3	2	1	0
Name	lut38							
Reset	0	1	0	0	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut38	温度校正算法的 LUT38。					

LUT39

LUT39 为校正 LUT39 寄存器。

Offset Address		Register Name					Total Reset Value	
0x48		LUT39					0x50	
Bit	7	6	5	4	3	2	1	0
Name	lut39							
Reset	0	1	0	1	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut39	温度校正算法的 LUT39。					

LUT40

LUT40 为校正 LUT40 寄存器。

Offset Address		Register Name					Total Reset Value	
0x49		LUT40					0x51	
Bit	7	6	5	4	3	2	1	0
Name	lut40							
Reset	0	1	0	1	0	0	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut40	温度校正算法的 LUT40。					

LUT41

LUT41 为校正 LUT41 寄存器。



Offset Address		Register Name					Total Reset Value	
0x4A		LUT41					0x52	
Bit	7	6	5	4	3	2	1	0
Name	lut41							
Reset	0	1	0	1	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut41	温度校正算法的 LUT41。					

LUT42

LUT42 为校正 LUT42 寄存器。

Offset Address		Register Name					Total Reset Value	
0x4B		LUT42					0x53	
Bit	7	6	5	4	3	2	1	0
Name	lut42							
Reset	0	1	0	1	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut42	温度校正算法的 LUT42。					

LUT43

LUT43 为校正 LUT43 寄存器。

Offset Address		Register Name					Total Reset Value	
0x4C		LUT43					0x54	
Bit	7	6	5	4	3	2	1	0
Name	lut43							
Reset	0	1	0	1	0	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut43	温度校正算法的 LUT43。					

LUT44

LUT44 为校正 LUT44 寄存器。



Offset Address		Register Name					Total Reset Value	
0x4D		LUT44					0x54	
Bit	7	6	5	4	3	2	1	0
Name	lut44							
Reset	0	1	0	1	0	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut44	温度校正算法的 LUT44。					

LUT45

LUT45 为校正 LUT45 寄存器。

Offset Address		Register Name					Total Reset Value	
0x4E		LUT45					0x55	
Bit	7	6	5	4	3	2	1	0
Name	lut45							
Reset	0	1	0	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut45	温度校正算法的 LUT45。					

LUT46

LUT46 为校正 LUT46 寄存器。

Offset Address		Register Name					Total Reset Value	
0x4F		LUT46					0x55	
Bit	7	6	5	4	3	2	1	0
Name	lut46							
Reset	0	1	0	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut46	温度校正算法的 LUT46。					

LUT47

LUT47 为校正 LUT47 寄存器。



Offset Address		Register Name				Total Reset Value		
0x50		LUT47				0x55		
Bit	7	6	5	4	3	2	1	0
Name	lut47							
Reset	0	1	0	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut47	温度校正算法的 LUT47。					

Sdm_coef_ouside_h

Sdm_coef_ouside_h 为外部分频系数高 4 位寄存器。

Offset Address		Register Name				Total Reset Value		
0x51		Sdm_coef_ouside_h				0x8		
Bit	7	6	5	4	3	2	1	0
Name	Reserved				Sdm_coef_ouside_h			
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:4]	-	reserved	保留。					
[3:0]	RW	Sdm_coef_ouside_h	固定分频模式时的分频系数高 4 位。					

Sdm_coef_ouside_l

Sdm_coef_ouside_l 为外部分频系数低 8 位寄存器。

Offset Address		Register Name				Total Reset Value		
0x52		Sdm_coef_ouside_l				0x1B		
Bit	7	6	5	4	3	2	1	0
Name	Sdm_coef_ouside_l							
Reset	0	0	0	1	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	Sdm_coef_ouside_l	固定分频模式时的分频系数低 8 位。 注意：对分频系数寄存器（0x51、0x52）进行读/写时，应该先读/写高 4 位，再读/写低 8 位，并且需要高位到低位连续操作才能完成读/写操作。					



3.9 电源管理与低功耗模式控制

3.9.1 概述

芯片的低功耗模式用来有效的减少芯片的功耗，芯片提供多种低功耗的控制来动态降低芯片的功耗。

- 系统工作模式控制
除了 NORMAL 模式之外，各种模式对功耗都有一定的减小作用，可以根据实际的功耗要求和功能要求选择不同的工作模式。
- 时钟门控和时钟频率调整
提供时钟关断功能，可以关闭没有必要的时钟，减少芯片的功耗。系统工作的时钟频率可以进行调整，在满足功能的情况下可以调节时钟频率，降低芯片功耗。
- 模块级低功耗控制
提供模块级的低功耗控制，在某模块不工作的情况下，关断该模块或使模块处于低功耗状态，以减少芯片的功耗。
- DDR 低功耗控制
DDR 的控制器和相关的管脚进行了动态的功耗控制功能，可以选择启动该功能，降低芯片功耗，还可以启动 DDR 的自刷新模式，来降低整个产品的功耗。

3.9.2 系统工作模式

系统提供两种工作模式：

- 正常工作模式：对应系统运行模式控制中的 NORMAL 模式。
系统正常工作在 NORMAL 模式下，可以通过控制运行的时钟频率，设置模块和 DDR 的低功耗控制，来降低运行时的功耗。
- 待机工作模式：对应系统运行模式控制中的 SLOW 模式和 DOZE 模式。
 - 待机工作模式工作系统在极低工作时钟下，并且关闭了大部分不使用的模块的时钟，功耗较低。
 - 待机工作在 SLOW 或 DOZE 模式下，可以通过关闭不工作模块的电源来直接减少待机的功耗。

模式切换可在系统控制器中配置。请参见系统控制器章节。

3.9.3 时钟门控和时钟频率调整

系统提供各个模块的时钟门控功能，在模块空闲的时候，可以关闭相应的时钟，降低芯片功耗，操作流程可以参见各个模块的时钟门控部分。

NORMAL 模式下，系统可以通过调整工作频率来降低芯片功耗，方法如下：

- 关闭业务模块，使其不访问 DDR。
- 系统切换到片上内存中运行。



配置 `DDRC_SREFCTRL[sr_seq]` 为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。

1. 配置 `SC_PLLCTRL[27:3]` 为 PLL 的稳定时间。
2. 配置 `PERI_CRG0` 和 `PERI_CRG1`，进行 PLL 分频比控制。
3. 根据 DDRC 的配置要求，等待一定的时间之后，配置 `DDRC_SREFCTRL` 退出自刷新，进行正常的操作。
4. 程序跳转到 DDR 中运行。

----结束

除了提供系统工作频率的调整外，部分模块的工作频率也可以单独进行调整。调整这些模块的工作频率，也可以进一步降低系统的功耗。具体参见“3.2.3 时钟配置”中关于各模块的时钟源选择部分。

3.9.4 模块级低功耗控制

芯片中的 USB 2.0 Host、SATA、Video DAC 和 PLL 等 PHY 模块都可以提供低功耗的工作模式。（参见系统控制器、时钟等章节寄存器描述）

- USB 2.0 Host 模块的低功耗控制
 - 配置 `PERI_CRG46 bit[7]` 为 0，关闭 USB 2.0 Host 的时钟。
 - 配置 `PERIPHCTRL21 bit[22]` 为 1，关断 USB PHY 电源。
- SATA 模块的低功耗控制
 - 配置 `PERI_CRG45 bit[9]/PERI_CRG45 bit[8]` 为 0，关闭 SATA Port0 和 SATA Port1 的时钟。
 - 配置 `PERIPHCTRL25 bit[2]` 为 1，关断 SATA PHY 的电源。
- Video DAC 不使用时的低功耗控制
 - `PERI_CRG13 bit[7]` 为 0，关闭 VOU SD DAC 时钟。
 - `PERI_CRG13 bit[6]` 为 0，关闭 VOU HD DAC 时钟。
 - `PERIPHCTRL4 bit[30]` 为 1，关断 VOU SD DAC 电源。
 - `PERIPHCTRL4 bit[31]` 为 1，关断 VOU HD DAC 电源。
- PLL 提供低功耗的功能，如果不使用 PLL 的情况下可以关闭 PLL，使系统处于低功耗状态：
 - 如果不需要使用 APLL，则配置 `PERI_CRG1 bit[21]` 为 0，禁止 APLL，使 APLL 处于低功耗状态。
 - 如果不需要使用 VPLL0，则配置 `PERI_CRG3 bit[21]` 为 0，禁止 VPLL0，使 VPLL0 处于低功耗状态。
 - 如果不需要使用 EPLL，则配置 `PERI_CRG9 bit[21]` 为 0，禁止 EPLL，使 EPLL 处于低功耗状态。

BOOTROM 等提供内部 ROM 断电控制。（参见系统控制器寄存器描述）

- BOOTROM 模块的低功耗控制：`PERIPHCTRL2 bit[0]` 为 1，关断 BOOTROM 模块内部 ROM 的电源。



3.9.5 DDR 低功耗控制

关于 DDRC 的低功耗控制的详细内容请参见“DDRC 工作方式”中的“低功耗配置”。

3.10 处理器子系统

3.10.1 ARMCortex-A9 处理器

Hi3520D 采用 ARMCortex-A9MPCore 的单核处理器，具有以下的特点：

- 处理器工作频率最大支持 660MHz。
- L1 Cache 包含 32KB Instruction Cache 和 32KB Data Cache。
- 包含 128KB L2 Cache，L2 Cache 与处理器同频，且与 AXI 总线之间的工作频率关系寄存器可配。如表 3-25 所示，共支持 2 种频率关系。

表3-25 CPU 与 AXI 总线之间的工作频率关系

L2 Cache 与 AXI 总线频率比		频率描述
总线频率 330MHz	2:1	L2 频率 660MHz，总线频率 330MHz
	1:1	L2 频率 330MHz，总线频率 330MHz

- 处理器内部集成中断控制器 GIC（Generic Interrupt Controller），支持 96 个中断源的处理，其中外部中断 64 个。
- 处理器为乱序双发射结构，基于单线程结构，2.5DMIPS。
- 处理器采用八级流水。
- 包含 MMU（Memory Management Unit）。
- 支持 Vxworks、Linux 等操作系统。
- 支持基于 GHB（Global History Buffer）的分支预测，分支预测准确率达到 95%。
- 支持 JTAG 调试接口。

3.10.2 L2 Cache

L2 Cache 具有以下特点：

- 128KB 大小。
- 基于物理地址和物理 tag。
- 支持 Format C 的 Cache Lockdown，Lockdown 对指令和数据操作分类，被 Lockdown 的 RAM 空间可用作处理器的 TCM（Tightly Coupled Memory）。
- Cache Line 大小固定为 32byte（8word/256bit），写操作支持按 byte 写。
- 支持写回（write back）、写通（write through）、读 Allocate 和写 Allocate 操作，实际模式基于页表决定。



- 支持 PipeLine 方式对 TAG RAM 和 DATA RAM 的访问，每个时钟周期能完成一次 TAG RAM 查询，和 DATA RAM 读写。
- 提供 3 个 LFB (Line Fill Buffer)，该 Buffer 的功能为缓存从 memory Allocate 的数据，直到数据填满一个 Line 后再提交给 L2 Memory。
- 为每个 Slave 端口提供 2 个 LRB (Line Read Buffer)，该 Buffer 的功能为缓存命中后供给 L1 cache 的 Cache Line。
- 提供 3 个 EB (Eviction Buffer)，该 Buffer 的功能为缓存由 L2 Cache 替换出来并准备写入主存的数据。
- 提供 3 个 WB (Write Buffer)，该 Buffer 缓存从 L1 写入，需要写入 memory 及 L2 Cache 的数据；该 Buffer 包括 1 个地址空间和 256bit 的数据空间，支持 1 条 Line 以内的数据写入 1 条数据槽。
- 支持强制写 Allocate 功能，该功能强制所有 Cacheable 写操作发生 Allocate 操作。
- 支持 Shared 模式设置，默认情况下 Shared 操作被认定为 Cacheable 且 Not Allocate。
- 支持关键字优先。
- 支持原子性 Sync 操作。
- 支持伪随机替换算法，该算法和实际 Lockdown 状态相关（直接相联情况下替换算法将不起作用）。
- 提供 Exclusive Cache 功能，该功能可由软件配置使能；使能情况下可禁止数据同时存在于 L1 级和 L2 级。
- 支持按 Way (路)、Way+Index (路加索引)、Address (地址) 进行 Clean (清理) 和 Invalidate (无效)。
- 支持 Cache Memory 的 ECC，Tag RAM 和 Data RAM 均支持 1bit 纠错。
- 支持 Cache 的 Disable 功能，该功能下 Cache 被旁路，L1 所有操作透传至 memory。
- 支持 L2 Cache 性能统计，Cache 提供包括 Cache 访问事件、写回事件、缺失事件、缺失并等待事件统计。
- 支持对 Cluster 内部的事件进行统计，同时支持对 Cluster 内部特殊信号进行配置。



说明

Format C Lockdown 原理请参见 ARM Architecture Reference Manual。



目 录

4 存储器接口	4-1
4.1 DDRC.....	4-1
4.1.1 概述.....	4-1
4.1.2 特点.....	4-1
4.1.3 功能描述.....	4-1
4.1.4 工作方式.....	4-6
4.1.5 寄存器概览.....	4-11
4.1.6 寄存器描述.....	4-14
4.2 SFC.....	4-78
4.2.1 概述.....	4-78
4.2.2 特点.....	4-78
4.2.3 功能描述.....	4-79
4.2.4 工作流程.....	4-84
4.2.5 寄存器概览.....	4-88
4.2.6 寄存器描述.....	4-89



插图目录

图 4-1 单个 DDRC 与 1 片 DDRn SDRAM 的互联示意图	4-3
图 4-2 SFC 应用框图	4-78
图 4-3 Standard SPI（写）接口时序图	4-80
图 4-4 Standard SPI（读）接口时序图	4-80
图 4-5 Dual Input/Dual Output SPI 接口时序图	4-80
图 4-6 Dual I/O SPI 接口时序图	4-81
图 4-7 Full Dual I/O SPI 接口时序图	4-81
图 4-8 Quad Input/Quad Output SPI 接口时序图	4-82
图 4-9 Quad I/O SPI 接口时序图	4-82
图 4-10 Full Quad SPI 接口时序图	4-83
图 4-11 SPI 输出时序图	4-84
图 4-12 通过寄存器读取 Flash 的操作流程（查询方式）	4-85
图 4-13 通过寄存器写 Flash 的操作流程（中断方式）	4-86
图 4-14 通过寄存器方式其他操作流程	4-87



表格目录

表 4-1 DDRC 支持的 DDR2 SDRAM 列表.....	4-2
表 4-2 DDRC 支持的 DDR3 SDRAM 列表.....	4-3
表 4-3 DDRC 命令真值表	4-4
表 4-4 DDRC 16bit 模式地址映射表	4-6
表 4-5 DDRC 的寄存器偏移地址变量表.....	4-11
表 4-6 DDRC 寄存器概览（基址是 0x2011_0000）	4-11
表 4-7 SFC 寄存器概览（基址是 0x1001_0000）	4-88



4 存储器接口

4.1 DDRC

4.1.1 概述

DDRC (DDR2/3 SDRAM Controller) 实现对动态存储器 DDR2/3 SDRAM 的存取控制。后文统一使用 DDRn SDRAM 替代 DDR2/3 SDRAM。



说明

Hi3520D/Hi3515A 有 1 个 DDRC，该 DDRC 支持 16bit DDR 位宽。

4.1.2 特点

DDRC 的功能特点：

- DDRC 提供 1 个 DDRn SDRAM 片选空间，支持数据总线位宽为 16bit、地址总线位宽最大支持 15bit。
- 支持最大存储空间为：16bit 模式 4Gbit。
- 支持 660MHz DDRn SDRAM 总线工作频率。
- 支持 DDRn SDRAM 的 Power Down、SELF Refresh 等低功耗模式。
- 支持 DDR2 SDRAM 的 burst4、burst8 的传输模式；DDR3 SDRAM 的 burst8 传输模式。

4.1.3 功能描述

4.1.3.1 应用框图

DDRC 实现了 SoC 系统中的 CPU 等主设备对外存 DDRn SDRAM 的数据访问。通过 CPU 配置 DDRC 的时序参数寄存器，可以支持符合 JEDEC (JESD79) 标准的 DDR2 SDRAM 器件和 DDR3 SDRAM 器件。表 4-1 列举了 DDRC 支持的几家主流 DRAM 厂商的 DDR2 SDRAM。此表针对 DDR2 SDRAM 的工作频率进行描述，没有考虑容量等因素的限制。



表4-1 DDRC 支持的 DDR2 SDRAM 列表

厂商	200MHz	333MHz	400MHz	备注
JESD79 (DDR2 Standard)	DDR2-400 DDR2-533 DDR2-667 DDR2-800	DDR2-667 DDR2-800	DDR2-800	1、2
Micron	-5E DDR2-400 -37E DDR2-533 -3 DDR2-667 -3E DDR2-667 -25 DDR2-800 -25E DDR2-800	-3 DDR2-667 -3E DDR2-667 -25 DDR2-800 -25E DDR2-800	-25 DDR2-800 -25E DDR2-800	1、2
ELPIDA	-4A DDR2-400 -5C DDR2-533 -6E DDR2-667 -6C DDR2-667 -8E DDR2-800	-6E DDR2-667 -6C DDR2-667 -8E DDR2-800	-8E DDR2-800	1、2
Hynix	-E3 DDR2-400 -C4 DDR2-533 -Y4 DDR2-667 -Y5 DDR2-667 -S5 DDR2-800 -S6 DDR2-800	-Y4 DDR2-667 -Y5 DDR2-667 -S5 DDR2-800 -S6 DDR2-800	-S5 DDR2-800 -S6 DDR2-800	1、2
Samsung	-CC DDR2-400 -D5 DDR2-533 -E6 DDR2-667 -E7 DDR2-800	-E6 DDR2-667 -E7 DDR2-800	-E7 DDR2-800	1、2

注:

- 1、DDRC 支持满足 JESD79 标准的 DRAM 器件，在不同的工作模式下，DDRC 只能支持 DRAM 工作频率高于或等于 DDRC 工作频率的器件。在使用非表中厂商的器件时，可以参考该标准来选取器件。
- 2、表中以各个厂商的 DDR2 SDRAM 的工作频率为判断的基本元素。真实的器件产品中，对同一工作频率的会有多种容量、位宽等系列版本，但只要该 DDR2 SDRAM 的工作频率在此列表中，DDRC 就可以支持该 DDR2 SDRAM。对于容量和位宽的选取，则根据芯片的实际应用场景来作出选择。

DDRC 支持的 DDR3 SDRAM 列表如表 4-2 所示。



表4-2 DDRC 支持的 DDR3 SDRAM 列表

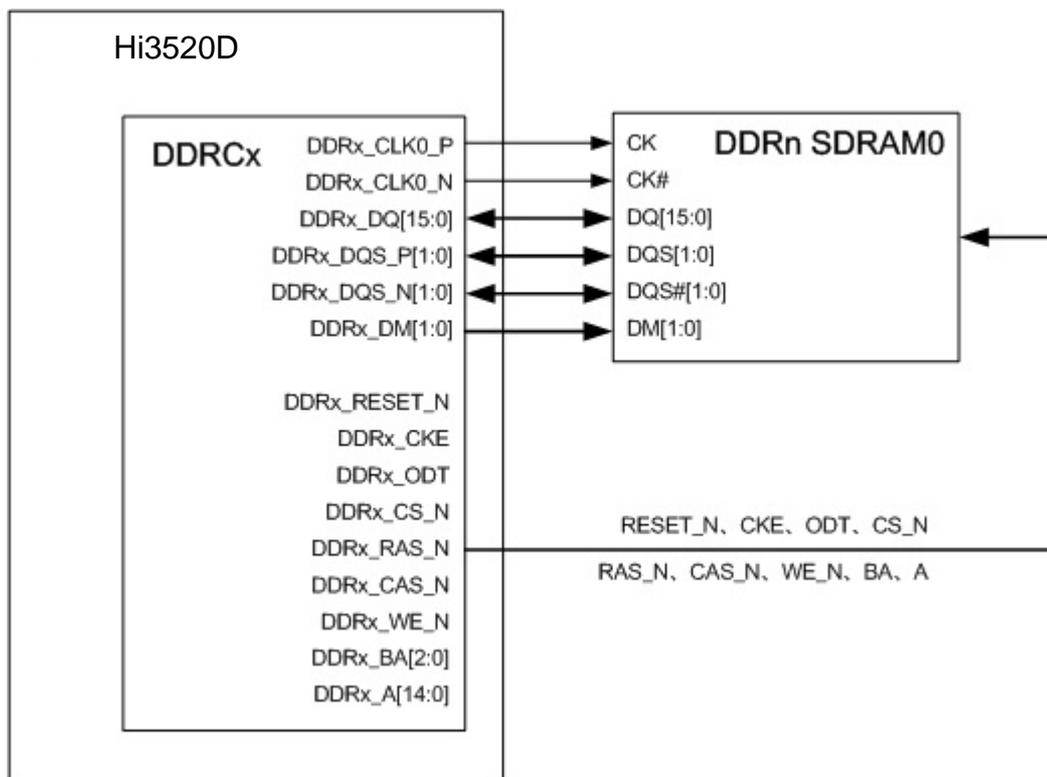
厂商	400MHz	533MHz	800MHz	备注
JESD79 (DDR3 Standard)	DDR3-800 DDR3-1066 DDR3-1333	-	-	3、4

注:

- 若 DDRC 工作频率为 400MHz，则所有支持的 DDR3 都可以降频到 400MHz 工作。
- 这里的支持器件类型以 JEDEC 标准为基准。

DDRC 支持 16bit 互联模式。该模式下，DDRC 与 1 片数据总线位宽为 16bit 或 2 片数据总线位宽为 8bit 的 DDRn SDRAM 相连，以 1 片 16bit DDRn SDRAM 为例，其连接示意图如图 4-1 所示。

图4-1 单个 DDRC 与 1 片 DDRn SDRAM 的互联示意图



连接说明:

- DDRCx 和 DDRx 中 x=0 或 1，表示第 x 个 DDR 控制器。
- DDRn SDRAMx 是数据总线宽度为 16bit 的存储器件。
- DDRC 的命令控制信号：DDRx_CKE、DDRx_RESET_N、DDRx_ODT、DDRx_CS_N、DDRx_RAS_N、DDRx_CAS_N、DDRx_WE_N、DDRx_BA[2:0]、DDRx_A[13:0]，与 DDRn SDRAM 的命令控制信号相连，即 DDRC 的命令控制总线是 1 驱 1 的连接模式。
- 当 DDR2 SDRAM 容量小于 1Gbit 时，DDRC 的 DDRx_BA[2]地址信号输出悬空。
- 在 DDR2 模式下，DDRx_RESET_N 悬空。



4.1.3.2 功能原理

DDRC 接口时序满足 JESD79 标准，通过发送 DDRn SDRAM 的命令字，完成对 DDRn SDRAM 的数据访问和状态控制。包括 DDRn SDRAM 的读写访问、自动刷新、低功耗控制等功能。

命令真值表

DDRC 支持 DDRn SDRAM 的读写和控制命令字。DDRC 的命令真值表如表 4-3 所示。

表4-3 DDRC 命令真值表

FUNCTION	DDRn_ CKE	DDRn_ CSN	DDRn_ RASN	DDRn_ CASN	DDRn_ WEN	DDRn_ADR			DDRn_ BA
						11	AP(10)	9:0	
DESELECT	H	H	X	X	X	X	X	X	X
ACTIVE	H	L	L	H	H	V	V	V	V
READ	H	L	H	L	H	V	V	V	V
WRITE	H	L	H	L	L	V	V	V	V
PRECHARGE	H	L	L	H	L	X	L	X	V
PRECHARGE ALL	H	L	L	H	L	X	H	X	X
AUTO REFRESH	H	L	L	L	H	X	X	X	X
SELF REFRESH	L	L	L	L	H	X	X	X	X
MODE REGISTER SET	H	L	L	L	L	V	V	V	V
ZQCL	H	L	H	H	L	X	H	X	X
ZQCS	H	L	H	H	L	X	L	X	X

H：表示高电平；L：表示低电平；V：表示有效；X：表示不关心。

ZQCL（ZQ Calibration Long）：用于在 DDR3 SDRAM 上电初始化时，启动 DDR3 的 ZQ Calibration 操作。

ZQCS（ZQ Calibration Short）：用于在芯片环境条件发生变化时，启动 DDR3 的 ZQ Calibration 操作。

自动刷新

当配置 `DDRC_TIMING2 [taref]` 为非零值，DDRC 自动产生周期性 AUTO REFRESH 命令，完成对 DDRn SDRAM 的刷新操作。常温下，DDRn SDRAM 要求在 64ms 内必须完成 8,192 次自动刷新操作，即自动刷新操作的周期为 7.8μs。`DDRC_TIMING2[taref]` 的配置值（Taref）与自动刷新周期（T=7.8μs 或 3.9μs）的关系为：



$T_{aref} \leq T / (16 \times \text{DDR 时钟周期})$

在配置了 `DDRC_TIMING2[taref]`，DDRC 内部的计数器会自动加载 Taref 值进行减计数，当计数器值为 0 时，DDRC 发起一次自动刷新操作，同时重新加载 Taref 值进行计数。

低功耗管理

DDRC 支持两种模式的低功耗管理：普通低功耗模式和自刷新低功耗模式。

当系统处于空闲状态时（DDRC 总线接口一定时间内无读写 DDR 访问），自动控制 DDRn SDRAM 进入到普通低功耗模式。

当系统需要进入到待机模式时，可通过配置 `DDRC_SREFCTRL[sr_req]` 的寄存器，控制 DDRn SDRAM 进入到自刷新低功耗模式。该模式下可以将 DDRn SDRAM 的功耗降至最低，同时保持 DDRn SDRAM 中的数据，但是此时系统不能访问 DDRn SDRAM。

仲裁机制

DDRC 实现了优先级调度算法。配置 `DDRC_QOS[pri]` 寄存器，DDRC 将给总线的命令添加优先级属性，然后根据命令的优先级属性进行调度，实现对 DDRn SDRAM 的高效率访问。配置 `DDRC_QOS[qos_en]` 和 `DDRC_QOSx[qos]`，DDRC 将给总线的命令添加响应延迟（timeout）属性，然后根据响应延迟优先的调度算法，实现总线命令响应延迟的保证。配置 `DDRC_FLUX[flux_port_en]` 和 `DDRC_FLUX[flux]`，DDRC 将给总线的端口添加流量控制属性，在延迟时间未耗尽的前提下，对每个总线端口的流量进行分配，保证各端口在 DDRC 访问繁忙时的带宽。

地址映射方式

DDRC 实现了将系统总线的访问地址转换为 DDRn SDRAM 的访问地址。配置寄存器 `DDRC_RNKCFG[mem_map]`、`DDRC_RNKCFG[mem_row]` 和 `DDRC_RNKCFG[mem_col]`，DDRC 根据地址映射算法将系统总线地址转换为 DDRn SDRAM 地址。

下面示例说明系统总线地址和 DDRn SDRAM 地址的映射算法。假设系统总线地址为 `BUSADR[28:0]`，有效地址为 `BUSADR[m-1:0]`，DDRn SDRAM 的地址为 `DDRADR[13:0]`。当 `DDRADR[13:0]` 作为行地址时，其有效地址为 `DDRROW[x-1:0]`，作为列地址时，其有效地址为 `DDRCOL[y-1:0]`，DDR 的 BANK 地址为 `DDRBA[z-1:0]`，DDRC 的存储数据总线宽度为 DW，此时地址映射关系为：

- `DDRC_RNKCFG[mem_map]` 为 0b00 时，RBC 映射方式：
 $BUSADR[m-1:0] = \{DDRROW[x-1:0], DDRBA[z-1:0], DDRCOL[y-1:0], DW\{b0\}\}$
- `DDRC_RNKCFG[mem_map]` 为 0b01 时，BRC 映射方式：
 $BUSADR[m-1:0] = \{DDR_BA[z-1:0], DDRROW[x-1:0], DDRCOL[y-1:0], DW\{b0\}\}$

在上面的表达式中，参数的关系满足： $m = x + y + z + DW$ 。

当 DDRC 为 16bit 应用模式时，DW 为 1。

当 `DDRC_RNKCFG[mem_map]` 为 0b00，A10 作为 DDR 的 AP 功能位时，系统总线地址到 DDRn SDRAM 地址的映射表如表 4-4。



该表格示例说明了 RBC 模式下的地址映射关系，BRC 模式下按照上面的表达式进行地址映射。

表4-4 DDRC 16bit 模式地址映射表

存储器类型 Mbit×bw	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR						
			2	1	0		13	12	11	10/AP	9	8	[7:0]
256Mbit 4bank													
16×16	13	9	-	11	10	行地址	-	24	23	22	21	20	[19:12]
						列地址	-	-	-	AP		9	[8:1]
512Mbit 4bank													
32×16	13	10	-	12	11	行地址	-	25	24	23	22	21	[20:13]
						列地址	-	-	-	AP	10	9	[8:1]
1024Mbit 8bank													
64×16	13	10	13	12	11	行地址		26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	10	9	[8:1]
2048Mbit 8bank													
128×16	14	10	13	12	11	行地址	27	26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	10	9	[8:1]

4.1.4 工作方式

4.1.4.1 时钟门控

系统进入低功耗模式后，可以关闭 DDRC 的工作时钟。同样，在系统恢复到正常模式之前，需要先打开 DDRC 的工作时钟。

DDRC 进入低功耗模式，时钟关闭的流程：

1. 系统进入 Flash 或者 TCM 中运行。
2. 配置 DDRC_SREFCTRL[sr_req]为 1，请求进入自刷新模式。
3. 查询 DDRC_STATUS[in_sr]，直到其值为 1，则进入低功耗模式。
4. 配置 DDRC_PHY_REG4 [phy_ck_en]为 0x0，关断 DDR 时钟。
5. 关断 DDRC 时钟。
6. 系统进入低功耗状态。

----结束



DDRC 退出低功耗模式，时钟打开的流程：

1. 系统进入正常工作模式，打开 DDRC 时钟。
2. 配置 `DDRC_CONFIG1` 为 `0x0040_0785`；配置 `DDRC_PHY_REG4` [`phy_ck_en`]为 `0x1`，打开 DDR 时钟。
3. 将寄存器 `DDRC_PHYCTRL`(偏移地址：`0x408`)配置为 `0x0`，启动对 `ddrphy` 进行初始化。
4. 软件等待一段时间（`500ns`），查询寄存器 `DDRC_PHYSTATUS`[`phy_init_done`]（偏移地址：`0x404`），直至为 `1`。
5. 配置 `DDRC_SREFCTRL`[`sr_req`]为 `0`，请求退出自刷新模式。
6. 查询 `DDRC_STATUS`[`in_sr`]位，直到其值为 `0`，表示已退出 DDR 低功耗模式。
7. 系统可以正常访问 DDR。

----结束

4.1.4.2 软复位

DDRC 不能进行单独的复位操作。只有在全局软复位时，才能复位 DDRC。复位之后，需要按照初始化流程进行重新初始化 DDRn SDRAM。

4.1.4.3 DDR2 初始化配置流程

系统上电之后，必须先完成 DDR2 SDRAM 的初始化操作，系统才能访问 DDR2 SDRAM。在进行初始化之前需要注意以下几点：

- 对 DDR2 SDRAM 进行上电操作时，需要遵循 JEDEC 标准。即先提供 VDD，然后提供 VDDQ，最后提供 VREF 和 VTT。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。

在 DDRC 16bit 模式下，假设存储空间由两片容量都为 2Gbit，数据总线位宽都为 8bit 的 DDR2 SDRAM 构成，DDR2 SDRAM 的初始化步骤如下：

1. 软件等待 `200μs` 以上。
2. 将 `DDRC_PHYCTRL` 寄存器(偏移地址：`0x408`)配置为 `0x0`，启动对 `ddrphy` 进行初始化。
3. 软件等待一段时间（`500ns`），查询寄存器 `DDRC_PHYSTATUS`[`phy_init_done`]（偏移地址：`0x404`），直至为 `1`。
4. 根据工作频率和器件要求，配置 `DDRC_EMRS01` 寄存器和 `DDRC_EMRS23` 寄存器，以设置 DDR 的读延迟（`cas latency`），写恢复延迟（`write recovery`），突发长度（`burst length`），DDR 器件的输出驱动阻抗和输入 ODT 阻抗等。



说明

`cas latency` 必须和 `DDRC_TIMING1`[`cl`]设置成同一个值。



DDRC_EMRS01 寄存器对应 DDR2 SDRAM 的模式寄存器 (MRS) 和扩展模式寄存器 1 (EMRS1)。配置该寄存器时, 只需要配置 DDR2 SDRAM 器件手册的模式寄存器的 A15-A0 位, (实际有效位为: A13~A0), 不需要配置模式寄存器的最高 3 位 A18~A16 寄存器选择位, 即 bank 地址。但是, 有些 DDRn SDRAM 厂家的 bank 地址是: A17~A15。

DDR2 SDRAM 的扩展模式寄存器 1 (EMRS1) 需要特别注意: 将该模式寄存器中的 RDQS 和 DQS#都配置为禁止模式 (disable)。

5. 把 DDRC_CONFIG0 寄存器为 0x8000_0500, 表示 DDRC 为 16bit DDR2 SDRAM 模式, 其中[pd_en]配置为 0, 禁止 power down。DDRC_CONFIG1 寄存器为 0x0000_0785, 其中[read_mode]=0, [wr_rcv_mode]=1, [clk_ratio]=0x1, [ecc_en]=0x0, [zqc_en]=0x1。



说明

低功耗配置的上电复位值是关闭的, 初始化过程中必须关闭低功耗自动进入功能以及时钟自动关闭功能, 但在正常使用中, 建议使能低功耗的控制, 可以降低功耗。

DDRC_CONFIG1[wr_rcv_mode]位必须配置为 1, 否则可能会导致芯片总线挂死。

6. 根据工作频率和器件要求, 配置 DDRC_TIMING2 bit[31:11], 同时将[ta_ref]配置为 0x000, 禁止自动刷新 (auto refresh)。
7. 根据器件的单片容量, 配置 DDRC_RNKCFG0~3 寄存器为 0x0000_0142。总线地址映射模式为 R-B-C-DW 模式, AP 为 A10, 列地址宽度为 10, 行地址宽度为 15。
8. 根据工作频率和器件要求, 配置 DDRC_TIMING0、DDRC_TIMING1、DDRC_TIMING3。
9. 配置存储空间基地址寄存器 DDRC_BASEADDR 为 0x8000_0000。
10. 根据实际应用, 配置 DDRC_QOSCFG0 和 DDRC_QOSCFG1; DDRC_QOS (DDRC_RDQOS0~ DDRC_RDQOS15)。关于这些寄存器, 也可以采用默认配置值。
11. 配置 DDRC_ODTCFG[wodt0]=0x1, DDRC_ODTCFG[rodt0]=0x0。
12. 配置 DDRC_DTRCTRL 寄存器[train_mode]=1, [train_en]=0, 使用 ddrphy read dqs 自动门控训练模式。
13. 把 DDRC_SREFCTRL 寄存器配置为 0x0, 退出自刷新状态。
14. 查询 DDRC_STATUS [in_sr], 直到 in_sr 为 0 或者软件等待 1μs 以上。
15. 将 DDRC_INITCTRL 寄存器 (地址: 0x008) 配置为 0x1, 启动 SDRAM 初始化操作。
16. 软件等待一段时间 (500ns), 查询 DDRC_STATUS[in_init] (地址: 0x0), 直至为 0x1。
17. 根据工作频率, 配置 DDRC_PHYREG4A[cas latency] (地址: 0x838), 将 DDRC_PHYREG4A[additive latency]配置为 0。
18. 将 DDRC_PHYREG2 (地址: 0x808) 寄存器配置为 0x1, 启动 PHY read dqs 门控的自动训练操作。
19. 软件等待一段时间 (500ns), 查询 DDRC_PHYREG62[phy_cal_done_h] (地址: 0xB48) 和 DDRC_PHYREG62[phy_cal_done_l], 直至 DDRC_PHYREG62[phy_cal_done_h]=0x1 且 DDRC_PHYREG62=0x1。
20. 把 DDRC_PHYREG2 (地址: 0x808) 配置为 0x0, 禁止 PHY read dqs training 操作。
21. 根据实际工作频率, 配置 DDRC_TIMING2[ta_ref], 使能自动刷新 (auto refresh)。



22. 启动软件门控训练方式，直至完成读 dqs 的门控信号训练。

----结束

完成以上步骤以后，DDR2 SDRAM 就可以正常工作。

4.1.4.4 DDR3 初始化配置流程

系统上电之后，必须先完成 DDR3 SDRAM 的初始化操作，系统才能访问 DDR3 SDRAM。在进行初始化之前需要注意以下几点：

- 对 DDR3 SDRAM 进行上电操作时，需要遵循 JEDEC 标准。即先提供 VDD，然后提供 VDDQ，最后提供 VREF 和 VTT。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。

在 DDRC 16bit 模式下，假设存储空间由两片容量都为 2Gbit，数据总线位宽都为 8bit 的 DDR3 SDRAM 构成，DDR3 SDRAM 的初始化步骤如下：

1. 软件等待 200 μ s 以上。
2. 将 DDRC_PHYCTRL 寄存器(偏移地址: 0x408)配置为 0x0，启动对 ddrphy 进行初始化。
3. 软件等待一段时间（500ns），查询寄存器 DDRC_PHYSTATUS[phy_init_done]（偏移地址: 0x404），直至为 1。
4. 根据工作频率和器件要求，配置 DDRC_EMRS01 寄存器和 DDRC_EMRS23 寄存器，以设置 DDR 的读延迟（cas latency），写延迟（cas write latency），写恢复延迟（write recovery），突发长度（burst length），DDR 器件的输出驱动阻抗和输入 ODT 阻抗等。

说明

cas latency 必须和 DDRC_TIMING1[cl]设置成同一个值。

DDRC_EMRS01 寄存器对应 DDR3 SDRAM 的模式寄存器（MRS）和扩展模式寄存器 1（EMRS1）。配置该寄存器时，只需要配置 DDR2 SDRAM 器件手册的模式寄存器的 A15-A0 位，（实际有效位为：A13~A0），不需要配置模式寄存器的最高 3 位 A18~A16 寄存器选择位，即 bank 地址。但是，有些 DDRn SDRAM 厂家的 bank 地址是：A17~A15。

5. 把 DDRC_CONFIG0 寄存器为 0x8000_0600，表示 DDRC 为 16bit DDR3 SDRAM 模式，其中[pd_en]配置为 0x0，禁止 power down。DDRC_CONFIG1 寄存器为 0x0000_0785，其中[read_mode]=0，[wr_rcv_mode]=0x1，[clk_ratio]=0x1，[ecc_en]=0x0，[zqc_en]=0x1。

说明

低功耗配置的上电复位值是关闭的，初始化过程中必须关闭低功耗自动进入功能以及时钟自动关闭功能，但在正常使用中，建议使能低功耗的控制，可以降低功耗。

DDRC_CONFIG1[wr_rcv_mode]位必须配置为 1，否则可能会导致芯片总线挂死。

6. 根据工作频率和器件要求，配置 DDRC_TIMING2 bit[31:11]，同时将[ta_ref]配置为 0x000，禁止自动刷新（auto refresh）。
7. 配置 DDRC_CTRL 寄存器为 0x0001，配置 DDR3 SDRAM 退出复位状态。
8. 软件等待 500 μ s 以上。



9. 根据器件的单片容量，配置 DDRC_RNKCFG0~3 寄存器为 0x0000_0142。总线地址映射模式为 R-B-C- DW 模式，AP 为 A10，列地址宽度为 10，行地址宽度为 15。
10. 根据工作频率和器件要求，配置 DDRC_TIMING0、DDRC_TIMING1、DDRC_TIMING3。
11. 配置存储空间基地址寄存器 DDRC_BASEADDR 为 0x8000_0000。
12. 根据实际应用，配置 DDRC_QOSCFG0 和 DDRC_QOSCFG1；DDRC_QOS (DDRC_RDQOS0~ DDRC_RDQOS15)。关于这些寄存器，也可以采用默认配置值。
13. 配置 DDRC_ODTCFG[wodt0]=0x1，DDRC_ODTCFG[rodt0]=0x0。
14. 配置 DDRC_DTRCTRL[train_mode]=0x1，DDRC_DTRCTRL[train_en]=0，使用 ddrphy read dqs 自动门控训练模式。
15. 把 DDRC_SREFCTRL 寄存器配置为 0x0，退出自刷新状态。
16. 查询 DRC_STATUS[in_sr]，直到为 0 或者软件等待 1μs 以上。
17. 将 DDRC_INITCTRL 寄存器（地址：0x008）配置为 0x1，启动 SDRAM 初始化操作。
18. 软件等待一段时间（500ns），查询 DDRC_STATUS[in_init]（地址：0x0），直至为 1。
19. 根据工作频率，配置 DDRC_PHYREG4A[cas latency]（地址：0x838），将 DDRC_PHYREG4A[additive latency]配置为 0。
20. 将 DDRC_PHYREG2（地址：0x808）寄存器配置为 0x1，启动 PHY read dqs 门控的自动训练操作。
21. 软件等待一段时间（500ns），查询 DDRC_PHYREG62[phy_cal_done_h]（地址：0xB48）和 DDRC_PHYREG62[phy_cal_done_l]，直至 DDRC_PHYREG62[phy_cal_done_h] =0x1 且 DDRC_PHYREG62=0x1。
22. 把 DDRC_PHYREG2（地址：0x808）配置为 0x0，禁止 PHY read dqs training 操作。
23. 根据实际工作频率，配置 DDRC_TIMING2 [taref]，使能自动刷新（auto refresh）。
24. 启动软件门控训练方式，直至完成读 dqs 的门控信号训练。

----结束

完成以上步骤以后，DDR3 SDRAM 就可以正常工作。

4.1.4.5 低功耗配置

DDRC 支持两种 DDRn SDRAM 的低功耗模式：DDRn SDRAM PowerDown 模式和 DDRn SDRAM 自刷新模式。

配置 DDRC_CONFIG0[pd_en]和 DDRC_CONFIG0[pd_prd]为有效值，DDRC 在系统空闲状态下会自动控制 DDRn SDRAM 进入低功耗状态。当 DDRC_CONFIG0[pd_en]配置为 1，DDRC 在 DDRC_CONFIG0[pd_prd]个总线时钟周期没有任何访问操作，则会控制 DDRn SDRAM 进入低功耗模式。



配置 `DDRC_SREFCTRL[sr_seq]` 为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。当配置 `DDRC_SREFCTRL[sr_req]` 为 1 时，DDRC 完成正在执行的访问之后，控制 DDRn SDRAM 进入自刷新模式，并不再响应总线上的请求。

4.1.4.6 DDR IO 阻抗配置

在 DDRn SDRAM 的应用场景，DDRC 具有自动校准 DDR IO 的发送阻抗和接收阻抗的功能。

默认配置为使能自动校准功能。也可以通过配置 `DDRC_PHY_REG11`、`DDRC_PHY_REG12`、`DDRC_PHY_REG16`、`DDRC_PHY_REG18`、`DDRC_PHY_REG22`、`DDRC_PHY_REG24`、`DDRC_PHY_REG25`、`DDRC_PHY_REG27`、`DDRC_PHY_REG28` 这些寄存器进行手动设置。

4.1.5 寄存器概览

DDRC 的寄存器偏移地址中变量的取值范围和含义如表 4-5 所示。

表4-5 DDRC 的寄存器偏移地址变量表

变量名称	取值范围	描述
blanes	0~1	DDRC 支持的 ByteLane 数。
dq_hf	0~7	DQ bit 延迟调整的寄存器数，最大为 DQ 位宽的 1/2。
id0s	0~15	DDRC 支持优先级配置寄存器个数。
ports	0~4	AXI 端口个数。

DDRC 寄存器概览如表 4-6 所示。

表4-6 DDRC 寄存器概览（基址是 0x2011_0000）

偏移地址	名称	描述	页码
0x000	DDRC_STATUS	DDRC 状态寄存器	4-14
0x004	DDRC_SREFCTRL	DDRC 自刷新控制寄存器	4-15
0x008	DDRC_INITCTRL	DDRC 初始化控制寄存器	4-16
0x010	DDRC_CTRL	DDRC 控制寄存器	4-16
0x014	DDRC_EMRS01	DDR 的模式配置寄存器	4-17
0x018	DDRC_EMRS23	DDR 的扩展模式配置寄存器	4-17
0x01C	DDRC_CONFIG0	配置 DDRC 功能的寄存器 0	4-18
0x020	DDRC_CONFIG1	配置 DDRC 功能的寄存器 1	4-20



偏移地址	名称	描述	页码
0x024	DDRC_CMDCFG	DDRC 命令配置寄存器	4-23
0x028	DDRC_CMDEXE	DDRC 软件配置命令启动寄存器	4-23
0x02C	DDRC_RNKCFG	配置 DDR 特性的寄存器	4-24
0x040	DDRC_BASEADDR	DDR 空间基地址配置寄存器	4-25
0x050	DDRC_TIMING0	DDR 时序参数寄存器 0	4-26
0x054	DDRC_TIMING1	DDR 时序参数寄存器 1	4-27
0x058	DDRC_TIMING2	DDR 时序参数寄存器 2	4-28
0x05C	DDRC_TIMING3	DDR 时序参数寄存器 3	4-29
0x0AC	DDRC_DTRCTRL	DDRC 门控训练控制寄存器	4-30
0x0F0	DDRC_AXISSTATUS	DDRC 接口状态寄存器	4-31
0x0F4	DDRC_ODTCFG	DDR 的 ODT 特性配置寄存器	4-32
0x100	DDRC_QOSCFG0	DDRC 的 QoS 算法配置寄存器 0	4-33
0x104	DDRC_QOSCFG1	DDRC 的 QoS 算法配置寄存器 1	4-34
0x150+0x4 x id0s	DDRC_QOS	DDRC 的命令优先级配置寄存器	4-35
0x200+0x4 x ports	DDRC_FLUX	DDRC AXI 端口带宽流量控制配置寄存器	4-36
0x240	DDRC_TEST0	DDRC 的测试状态寄存器	4-37
0x260	DDRC_TEST7	DDRC 性能统计控制寄存器	4-38
0x264	DDRC_TEST8	DDRC 写命令统计寄存器	4-39
0x268	DDRC_TEST9	DDRC 读命令统计寄存器	4-39
0x26C	DDRC_TEST10	DDRC DMC 命令等待个数统计寄存器	4-39
0x280	DDRC_TEST12	DDRC 的测试状态寄存器	4-40
0x400	DDRC_PHYSRST	DDRPHY 软复位控制信号	4-40
0x404	DDRC_PHYSTATUS	DDRPHY 状态寄存器	4-41
0x408	DDRC_PHYCTRL	DDRPHY 控制寄存器	4-41
0x800	DDRC_PHY_REG1	DDRPHY 寄存器 1	4-42
0x808	DDRC_PHY_REG2	DDRPHY 寄存器 2	4-43
0x804	DDRC_PHY_REG3	DDRPHY 寄存器 3	4-43



偏移地址	名称	描述	页码
0x824	DDRC_PHY_REG4	DDRPHY 寄存器 4	4-44
0x838	DDRC_PHY_REG4A	DDRPHY 寄存器 4A	4-45
0x83C	DDRC_PHY_REG4B	DDRPHY 寄存器 4B	4-46
0x8D4	DDRC_PHY_REG6	DDRPHY 寄存器 6	4-46
0x8D8	DDRC_PHY_REG7	DDRPHY 寄存器 7	4-47
0x8E0	DDRC_PHY_REG8	DDRPHY 寄存器 8	4-48
0x914	DDRC_PHY_REG9	DDRPHY 寄存器 9	4-50
0x918	DDRC_PHY_REG10	DDRPHY 寄存器 10	4-50
0x920	DDRC_PHY_REG11	DDRPHY 寄存器 11	4-51
0x840	DDRC_PHY_REG12	DDRPHY 寄存器 12	4-53
0x844	DDRC_PHY_REG13	DDRPHY 寄存器 13	4-53
0x848	DDRC_PHY_REG14	DDRPHY 寄存器 14	4-53
0x84C	DDRC_PHY_REG15	DDRPHY 寄存器 15	4-55
0x854	DDRC_PHY_REG16	DDRPHY 寄存器 16	4-56
0x858	DDRC_PHY_REG17	DDRPHY 寄存器 17	4-56
0x85C	DDRC_PHY_REG18	DDRPHY 寄存器 18	4-56
0x860	DDRC_PHY_REG19	DDRPHY 寄存器 19	4-58
0x864	DDRC_PHY_REG20	DDRPHY 寄存器 20	4-59
0x868	DDRC_PHY_REG21	DDRPHY 寄存器 21	4-59
0x870	DDRC_PHY_REG22	DDRPHY 寄存器 22	4-60
0x874	DDRC_PHY_REG23	DDRPHY 寄存器 23	4-61
0x878	DDRC_PHY_REG24	DDRPHY 寄存器 24	4-61
0x880	DDRC_PHY_REG25	DDRPHY 寄存器 25	4-62
0x884	DDRC_PHY_REG26	DDRPHY 寄存器 26	4-62
0x888	DDRC_PHY_REG27	DDRPHY 寄存器 27	4-63
0x88C	DDRC_PHY_REG28	DDRPHY 寄存器 28	4-63
0x9C0	DDRC_PHY_REG29	DDRPHY 寄存器 29	4-64
0xAC4	DDRC_PHY_REG30	DDRPHY 寄存器 30	4-65
0xAC8	DDRC_PHY_REG31	DDRPHY 寄存器 31	4-66



偏移地址	名称	描述	页码
0xACC	DDRC_PHY_REG32	DDRPHY 寄存器 32	4-66
0xAD0	DDRC_PHY_REG33	DDRPHY 寄存器 33	4-67
0xAD4	DDRC_PHY_REG34	DDRPHY 寄存器 34	4-67
0xAD8	DDRC_PHY_REG35	DDRPHY 寄存器 35	4-68
0xADC	DDRC_PHY_REG36	DDRPHY 寄存器 36	4-68
0xAE0	DDRC_PHY_REG37	DDRPHY 寄存器 37	4-69
0xAE4	DDRC_PHY_REG38	DDRPHY 寄存器 38	4-69
0xAE8	DDRC_PHY_REG39	DDRPHY 寄存器 39	4-70
0xAEC	DDRC_PHY_REG40	DDRPHY 寄存器 40	4-70
0xAF0	DDRC_PHY_REG41	DDRPHY 寄存器 41	4-71
0xAF4	DDRC_PHY_REG42	DDRPHY 寄存器 42	4-71
0xAF8	DDRC_PHY_REG43	DDRPHY 寄存器 43	4-72
0xAFC+0x4 x dq_hf	DDRC_PHY_TXDQSKE W	DDRPHY 寄存器	4-72
0xB1C	DDRC_PHY_REG52	DDRPHY 寄存器 52	4-73
0xB20	DDRC_PHY_REG53	DDRPHY 寄存器 53	4-74
0xB24	DDRC_PHY_REG54	DDRPHY 寄存器 54	4-74
0xB28	DDRC_PHY_REG55	DDRPHY 寄存器 55	4-74
0xB2C+0x4 x dq_hf	DDRC_PHY_RXDQSK EW	DDRPHY 寄存器	4-75
0xB4C	DDRC_PHY_REG5E	DDRPHY 寄存器 5E	4-76
0xBE0+0x4 *blanes	DDRC_PHY_REG60	DDRPHY 寄存器 60	4-76
0xBE8	DDRC_PHY_REG61	DDRPHY 寄存器 61	4-77
0xBC4	DDRC_PHY_REG62	DDRPHY 寄存器 62	4-77

4.1.6 寄存器描述

DDRC_STATUS

DDRC_STATUS 为 DDRC 状态寄存器。



Offset Address		Register Name		Total Reset Value							
0x000		DDRC_STATUS		0x0000_0005							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							in_init	in_sr	reserved	busy
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1			
Bits	Access	Name	Description								
[31:4]	RO	Reserved	保留。								
[3]	RO	in_init	控制器初始化状态。 0: 正常状态; 1: 初始化状态。								
[2]	RO	in_sr	控制器自刷新状态。 0: 正常状态; 1: 自刷新状态。								
[1]	RO	Reserved	保留。								
[0]	RO	busy	控制器忙状态寄存器。 0: 空闲; 1: 命令处理中。								

DDRC_SREFCTRL

DDRC_SREFCTRL 为 DDRC 自刷新控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x004		DDRC_SREFCTRL		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							sr_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RW	sr_req	SDRAM 自刷新请求。 0: 退出自刷新状态; 1: 进入自刷新状态。					



DDRC_INITCTRL

DDRC_INITCTRL 为 DDRC 初始化控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x008	DDRC_INITCTRL	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
	Bits	Access	Name
	[31:1]	RO	reserved
	[0]	RW	init_req
			Description
			保留。
			初始化启动。 0: 完成初始化或处于正常工作状态; 1: 启动 SDRAM 初始化操作。

DDRC_CTRL

DDRC_CTRL 为 DDRC 控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x010	DDRC_CTRL	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
	Bits	Access	Name
	[31:1]	RO	Reserved
	[0]	RW	ddr_rst_n
			Description
			保留。
			DDR3 SDRAM 复位。 0: 复位有效; 1: 复位无效。 注意: 仅对 DDR3 SDRAM 有效, 默认配置为 0。



DDRC_EMRS01

DDRC_EMRS01 为 DDR 的模式配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x014		DDRC_EMRS01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	emrs1				mrs				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	emrs1	DDRn SDRAM 扩展模式寄存器 1。 对应 DDRn SDRAM 手册中 Mode Register 1 (MR1) [15:0]。其中，大多数 DDR 器件的 MR1[15:14]不用，则 DDRC_EMRS01 的[31:30]保留，设置为 0b00。 注意：MR1 的具体解释，请参考所使用 DDRn SDRAM 手册。						
[15:0]	RW	mrs	DDRn SDRAM 模式寄存器。 对应 DDRn SDRAM 手册中 Mode Register 0 (MR0) [15:0]。其中，大多数 DDR 器件的 MR0[15:14]不用，则 DDRC_EMRS01 [15:14]保留，设置为 0b00。 注意：MR0 的具体解释，请参考所使用 DDRn SDRAM 手册。						

DDRC_EMRS23

DDRC_EMRS23 为 DDR 的扩展模式配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x018		DDRC_EMRS23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	emrs3				emrs2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	emrs3	DDRn SDRAM 扩展模式寄存器 3。 对应 DDRn SDRAM 手册中 Mode Register 3 (MR3) [15:0]。其中，大多数 DDR 器件的 MR3[15:14]不用，则 DDRC_EMRS23 [31:30]保留，设置为 0b00。 注意：MR3 的具体解释，请参考所使用 DDRn SDRAM 手册。						



[15:0]	RW	emrs2	<p>DDRn SDRAM 扩展模式寄存器 2。</p> <p>对应 DDRn SDRAM 手册中 Mode Register 2 (MR2) [15::0]。其中，大多数 DDR 器件的 MR2[15:14]不用，则保留 DDRC_EMRS23 [15:14]保留，设置为 0b00。</p> <p>注意：MR2 的具体解释，请参考所使用 DDRn SDRAM 手册。</p>
--------	----	-------	--

DDRC_CONFIG0

DDRC_CONFIG0 为配置 DDRC 功能的寄存器 0。

	Offset Address 0x01C								Register Name DDRC_CONFIG0								Total Reset Value 0x2000_0510															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	init_arefnum				pd_prd				rcv_pdr	sr_cc	pd_cc	pd_en	ddrc_2t_sel	ddrc_2t_en	rank	reserved	dram_type	reserved	mem_width	reserved	brst_a12	brstlen										
Reset	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RW		init_arefnum		<p>DDRn SDRAM 初始化过程中发出的自动刷新操作次数。</p> <p>0x0~0x2: 2 次；</p> <p>0x3~0xF: n 次。</p>																											
[27:20]	RW		pd_prd		<p>SDRAM 低功耗 (Power Down) 周期配置。当 DDRC 在连续的 pd_prd 个周期内没有接受到命令，则控制 SDRAM 进入到低功耗状态，当新命令到来，则控制 SDRAM 退出低功耗状态。</p> <p>0x00: 1 个时钟周期；</p> <p>0x01~0xFF: n 个时钟周期。</p> <p>注意：该参数仅在 pd_en 为 1 时有效；时钟周期为 DDRC 总线时钟周期。</p>																											
[19]	RW		rcv_pdr		<p>DDR 接收 IO 动态 Power Down 控制使能。使能时 DDRC 会在非读状态关断 DDR 数据 IO 的接收 Buffer。</p> <p>0: 禁止；</p> <p>1: 使能。</p>																											
[18]	RW		sr_cc		<p>自刷新模式，SDRAM 时钟控制。</p> <p>0: 不关断 SDRAM 时钟；</p> <p>1: 关断 SDRAM 时钟。</p>																											



[17]	RW	pd_cc	低功耗模式 (PowerDown)，SDRAM 时钟控制。 0: 不关断 SDRAM 时钟; 1: 关断 SDRAM 时钟。 注意: 该参数仅在外接 DDR 为 LPDDR/LPDDR2 SDRAM 时有效。
[16]	RW	pd_en	SDRAM 自动低功耗使能。 0: 禁止; 1: 使能。
[15]	RW	ddrc_2t_sel	2t timing 模式选择。 0: DDR 接口上, CS_N 信号单周期有效, RAS_N、CAS_N 和 WE_N 两个周期有效, 地址两个周期有效; 1: DDR 接口上, CS_N 信号总是为低有效, RAS_N、CAS_N 和 WE_N 单周期有效, 地址两个周期有效。
[14]	RW	ddrc_2t_en	2t timing 使能控制。 0: 禁止; 1: 使能。
[13:12]	RW	rank	控制器 Rank 配置。 00: 1 个 rank; 01: 2 个 rank; 10: 3 个 rank; 11: 4 个 rank。
[11]	RO	reserved	保留。
[10:8]	RW	dram_type	外部存储器类型。 101: DDR2; 110: DDR3; 其它: 保留。
[7:6]	RO	reserved	保留。
[5:4]	RW	mem_width	存储数据总线位宽。 00: 16bit; 01: 32bit; 其它: 保留。
[3:2]	RO	reserved	保留。



[1]	RW	brst_a12	DDR3 SDRAM A12 命令使能。 0: 禁止 A12 功能位; 1: 使能 A12 功能位。 注意: 推荐配置为 0。
[0]	RW	brstlen	控制器 Burst Length 配置。 0: BL4; 1: BL8。 DDRC 与 PHY 频率比为 1:1 时, DDR2 可配置为 Burst4 和 Burst8, DDR3 只能配置为 Burst8 模式; DDRC 与 PHY 频率比为 1:2 时, DDR2 和 DDR3 都只能配置为 Burst4 模式。

DDRC_CONFIG1

DDRC_CONFIG1 为配置 DDRC 功能的寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x020		DDRC_CONFIG1		0x0000_A380				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sref_arefnum	reserved	sref_zqc_en reserved clk_switch	reserved odis_ddrio pd_ac	pd_pst_opn pd_pre_cls	reserved auto_pre_en wr_rcv_mode exclu_en lock_en aref_mode wrlvl_en reserved	read_mode clk_ratio ecc_en zqc_en	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 1 1	1 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	sref_arefnum	DDRn SDRAM 在 DFS 流程中, 退出自刷新后发出的自动刷新操作次数。 0x0~0x1: 发送 1 次 Auto Refresh 操作; 0x2~0xF: 发送 n 次 Auto Refresh 操作。 注意: 在 train_en=1 时有效。当 train_en=0 时, 会直接退出自刷新, 不会发送 Auto Refresh 操作。					
[27:23]	RO	reserved	保留。					
[22]	RW	sref_zqc_en	DDR 退出自刷新时, ZQ Calibration Long 使能。 0: 禁止; 1: 使能。 注意: 对 DDR3 和 LPDDR2 模式有效。如果 DDR 长时间处于自刷新状态时, 需要配置为 1。					



[21]	RO	reserved	保留。
[20]	RW	clk_switch	DDRC 低功耗时钟切换控制。DDRC 进入低功耗状态（DDR Self Refresh）状态是否反压 AXI 接口命令。 0: 不反压命令，直接返回 ERROR 相应； 1: 反压接口命令，时钟切换完成后，继续执行原有命令。
[19:18]	RO	reserved	保留。
[17]	RW	odis_ddrio	DDR 命令和数据 IO 的输出关断配置。 0: 不关断管脚输出； 1: 关断管脚输出。 注意：此配置为静态配置。建议当配置 DDR 进入 self_refresh 后，可配置为 1，关断 DDR 命令和数据 IO 的输出。在配置 DDR 退出 self_refresh 前，配置为 0，打开 DDR 命令和数据 IO 的输出。
[16]	RW	pd_ac	低功耗模式（PowerDown），SDRAM 地址命令动态关断控制。 0: 不关断管脚输出； 1: 关断管脚输出。 注意：在 pd_en 使能下有效，控制管脚不包括 CKE、ODT、CSN 和 RESET_N。
[15:14]	RW	pd_pst_opn	退出低功耗模式（PowerDown）前 SDRAM 地址命令管脚提前打开延时。 00: 提前 0 个时钟周期； 01: 提前 1 个时钟周期； 10: 提前 2 个时钟周期； 11: 提前 3 个时钟周期。 注意：在 pd_en 使能下有效，控制管脚不包括 CKE 和 RESET_N；该时钟周期为 DDR SDRAMn 工作时钟周期。
[13:12]	RW	pd_pre_cls	进入低功耗模式（PowerDown）后 SDRAM 地址命令关断延时。 00: 延时 0 个时钟周期； 01: 延时 1 个时钟周期； 10: 延时 2 个时钟周期； 11: 延时 3 个时钟周期。 注意：在 pd_en 使能下有效，控制管脚不包括 CKE 和 RESET_N；该时钟周期为 DDR SDRAMn 工作时钟周期。
[11]	RO	reserved	保留。



[10]	RW	auto_pre_en	Auto Precharge 功能使能。 0: 禁止; 1: 使能。
[9]	RW	wr_rcv_mode	DDRC AXI 端口写命令接收模式选择。 0: 写命令直接接收模式; 1: 写命令需要等待与其对应的写数据到来后, 才被接收。
[8]	RW	exclu_en	排它命令使能。 0: 禁止; 1: 使能。
[7]	RW	lock_en	WRAP 命令锁定使能。 0: 禁止; 1: 使能。
[6]	RW	aref_mode	自动刷新模式选择。 0: 每 1 个 tREFI 周期执行 1 次自动刷新操作; 1: 每 9 个 tREFI 周期执行 8 次自动刷新操作。
[5]	RW	wrlvl_en	DDR3 WriteLVL 硬件自动控制使能。 0: 禁止; 1: 使能。
[4]	RW	reserved	保留。必须配置为 0。
[3]	RW	read_mode	控制器读模式选择。 0: 随路读模式; 1: 延迟读模式。 随路读模式, 是指控制器根据 PHY 送出的数据有效信号完成数据采样。 延迟读模式, 是指控制器内部延迟等待完成对 PHY 送出数据的采样。 注意: 该值在 DDRC_DTRCTRL[train_mode]配置为 0 时, 必须配置为 0。
[2]	RW	clkratio	控制器工作模式。 当 DDRC 与 PHY 频率比为 1:1 时, 配置为 0; 当 DDRC 与 PHY 频率比为 1:2 时, 配置为 1。
[1]	RW	ecc_en	控制器 ECC 使能。 0: 禁止; 1: 使能。



[0]	RW	zqc_en	DDR3 SDRAM ZQ 使能。 0: 禁止; 1: 使能。 注意: 仅对 DDR3 SDRAM 有效, 默认配置为 0 。
-----	----	--------	--

DDRC_CMDCFG

DDRC_CMDCFG 为 DDRC 命令配置寄存器。

	Offset Address 0x024								Register Name DDRC_CMDCFG								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cmd_mrs								cmd_ba								cmd_rank				reserved		cmd_type									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RW		cmd_mrs		配置 LMR 命令时, DDR 模式寄存器配置值。																											
[15:8]	RW		cmd_ba		配置 LMR 命令时, DDR BA 配置值。																											
[7:4]	RW		cmd_rank		执行命令的 Rank。 0: 执行配置命令; 1: 不执行配置命令。 每 bit 对应一个存储 Rank 的控制。 注意: Hi3520D 只有 rank0, cmd_rank 只能配置为 0x0 或者 0x1。																											
[3:2]	RO		reserved		保留。																											
[1:0]	RW		cmd_type		DDR 命令配置。 00: Deep Power Down 进入; 01: Deep Power Down 退出; 10: Load Mode Reigser (LMR) 命令; 11: ZQCL。																											

DDRC_CMDEXE

DDRC_CMDEXE 为 DDRC 软件配置命令启动寄存器。



Offset Address		Register Name		Total Reset Value					
0x028		DDRC_CMDEXE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cmd_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	cmd_req	控制器配置命令执行请求。 0: 不执行命令或者当命令执行完成后, 自动将该参数清零; 1: 请求执行命令。						

DDRC_RNKCFG

DDRC_RNKCFG 为配置 DDR 特性的寄存器。

Offset Address		Register Name		Total Reset Value								
0x02C		DDRC_RNKCFG		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved					mem_map	reserved	mem_bank	reserved	mem_row	reserved	mem_col
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:14]	RO	reserved	保留。									
[13:12]	RW	mem_map	SDRAM 地址译码模式。 00: {Rank,Row,Ba,Col,DW}= AXI_Address; 01: {Rank,Ba,Row,Col,DW}= AXI_Address; 其它: 保留。									
[11:9]	RO	reserved	保留。									



[8]	RW	mem_bank	单片 SDRAM Bank 数。 0: 4 Bank; 1: 8 Bank。 当有多个 rank 时, 支持同一通道内的各个 rank 采用不同的配置。但双通道模式下, 两个通道必须使用相同的配置。
[7]	RO	reserved	保留。
[6:4]	RW	mem_row	单片 SDRAM 行地址位宽配置。 000: 11 bit; 001: 12 bit; 010: 13 bit; 011: 14 bit; 100: 15 bit; 101: 16 bit; 其它: 保留。
[3]	RO	reserved	保留。
[2:0]	RW	mem_col	单片 SDRAM 列地址位宽配置。 000: 8 bit; 001: 9 bit; 010: 10 bit; 011: 11 bit; 100: 12 bit; 其它: 保留。

DDRC_BASEADDR

DDRC_BASEADDR 为 DDR 空间基地址配置寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x040								DDRC_BASEADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	mem_base_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
	Bits	Access	Name		Description																															
	[31:0]	RW	mem_base_addr		DDR 存储空间在整芯片系统中的起始基地址配置。																															



DDRC_TIMING0

DDRC_TIMING0 为 DDR 时序参数寄存器 0。

	Offset Address 0x050				Register Name DDRC_TIMING0								Total Reset Value 0xFFFF_3F1F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tmrd				trrd				trp				trcd				reserved				trc				reserved				tras			
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	0	1	1	1	1	1
Bits	Access				Name				Description																							
[31:28]	RW				tmrd				模式寄存器加载 (LMR) 命令的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。																							
[27:24]	RW				trrd				打开 BANK A 到打开 BANK B 的 (ACT bank a to ACT bank b) 等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。																							
[23:20]	RW				trp				关闭 (PRE period) 命令的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。																							
[19:16]	RW				trcd				同 BANK 激活到读或写 (ACT to READ or WRITE) 命令的等待周期。 0x0~0x3: 3 时钟周期; 0x4~0xF: n 时钟周期。																							
[15:14]	RO				reserved				保留。																							
[13:8]	RW				trc				同 BANK 的激活命令到激活命令 (active a bank to active a bank) 的等待周期。 0x00~0x01: 1 个时钟周期; 0x02~0x3F: n 个时钟周期。																							
[7:5]	RO				reserved				保留。																							
[4:0]	RW				tras				同 BANK 的激活命令到到关闭命令 (ACT to PRE) 的等待周期。 0x00~0x01: 1 个时钟周期; 0x02~0x0F: n 个时钟周期。																							



DDRC_TIMING1

DDRC_TIMING1 为 DDR 时序参数寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x054		DDRC_TIMING1		0xFF01_45FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tsre		trdlat	trtw	twl	tcl	trfc	
Reset	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 1	0 1 0 0	0 1 0 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:24]	RW	tsre	退出自刷新（Self-Refresh）到读命令的等待周期。 0x0: 1 个时钟周期; 0x01~0xFF: nx2 个时钟周期。 DDR3 SDRAM 时, 该值配置 tXSDLL 值。					
[23:20]	RW	trdlat	DDRPHY 固有延迟。 0x0~0xF: n+1 个周期。 在使用 Dolphin PHY 时, 配置为 0x5。 在 read_mode=1（延迟读模式）时有效。					
[19:16]	RW	trtw	最后一个读数据到第一个写数据延迟。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n+1 个时钟周期。					
[15:12]	RW	twl	写命令到写数据的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 如: 0x3: 3 个时钟周期。 注意: DDR2 模式, twl 配置为 tcl-1, twl 配置时应满足 twl - taond ≥ 1。 该时间参数按照 ddr sram 时钟周期计算。					
[11:8]	RW	tcl	DDR 的读命令到读数据的延迟（CAS Latency）。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 注意: 该时间参数按照 ddr sram 时钟周期计算。					
[7:0]	RW	trfc	自动刷新命令周期和自动刷新到激活（AREF period or AREF to ACT）命令的等待周期。该寄存器选择配置 max{trfc,tzqcs} 的大值。 0x00~0x01: 1 个时钟周期; 0x02~0xFF: n 个时钟周期。					



DDRC_TIMING2

DDRC_TIMING2 为 DDR 时序参数寄存器 2。

	Offset Address				Register Name				Total Reset Value																							
	0x058				DDRC_TIMING2				0xF3F3_F000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tcke				twtr				twr				reserved	tfaw				reserved	taref													
Reset	1	1	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:28]	RW	tcke	低功耗状态维持的最短时间。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 该值需要配置 tCKESR, tCKSRE, tCKSRX, tCKE 几个值中的最大值。 在使用 Dophin 的 DDRPHY 时, 该寄存器的值配置为 $\max\{tCKSRx,tCKE\}+3$ 。																												
	[27:24]	RW	twtr	写操作最后一个写数据到读命令 (write to read) 的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xf: n 个时钟周期。 如 0x3: 3 个时钟周期。																												
	[23:20]	RW	twr	写恢复 (write recovery) 等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xf: n 个时钟周期。 注意: 在有 DFS 的需求下, tWR 参数需要按照 DFS 中芯片可能使用最高频率配置。并且不能随 DDR 的频率变化修改 tWR 的配置。																												
	[19:18]	RO	reserved	保留。																												
	[17:12]	RW	tfaw	连续 4 个激活命令周期。 0x00~0x3F: n 个时钟周期; 如 0x14: 20 个时钟周期。																												
	[11]	RO	reserved	保留。																												



[10:0]	RW	taref	<p>自动刷新周期。</p> <p>0x000: 自动刷新禁止;</p> <p>0x001~0x7FF: SDRAM 刷新周期时间为 16xn 时钟周期。 如 0x008: 128 个时钟周期 (16x8)。</p> <p>配置间隔时间为(tREFI = 7800ns)/16/tclk。Tclk 为 SDRAM 使用时的运行周期的 2 倍。</p> <p>当 DDRC_CONFIG1[aref_mode]=1 时, 此寄存器需要配置为 8 x tREFI 的间隔时间。</p>
--------	----	-------	--

DDRC_TIMING3

DDRC_TIMING3 为 DDR 时序参数寄存器 3。

	Offset Address 0x05C				Register Name DDRC_TIMING3				Total Reset Value 0xFFDF_F0F2																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tzq_prd								tzqinit								taond				txard				trtp							
Reset	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	1	0
Bits	[31:22]				[21:12]				[11:8]																							
Access	RW				RW				RW																							
Name	tzq_prd				tzqinit				taond																							
Description	<p>ZQCS 命令周期。</p> <p>0x000: ZQCS 命令禁止;</p> <p>0x001~0x3FF: nx128 个 AREF 周期。 ZQCS 命令周期时间为 nx128 个 taref 时钟周期。</p>				<p>ZQ 初始化延迟周期。</p> <p>0x0~0x1ff: n+1 个时钟周期。 该值配置 tZQINIT, tDLLK 的最大值。</p>				<p>ODT (On-die termination) 打开和关闭周期。</p> <p>DDR2 模式下 (taond/taofd) :</p> <p>0x0: 2/2.5;</p> <p>0x1: 3/3.5;</p> <p>0x2: 4/4.5;</p> <p>0x3: 5/5.5;</p> <p>其它: 保留。</p> <p>在 DDR3 模式下, 该值配置为 tWL-1。</p> <p>注意: 该时间参数按照 ddr sram 时钟周期计算。</p>																							



[7:4]	RW	txard	退出 DDR 低功耗状态等待周期。 0x0~0xF: n 个时钟周期, n 代表十进制数; 如: 0x7: 为 7 个时钟周期。 取 {tXP,tXARD,tXARDS,tXS} 中的最大值。 在 DDR3 模式下, 该寄存器作为 tXS 配置时, txard 只需要配置为 10ns 的等价时钟周期即可。
[3:0]	RW	trtp	读命令到关闭命令的等待延迟。 000~010: 2 个时钟周期; 011~111: n 个时钟周期。 Trtp 的计算公式是 AL+BL/2+Max(trtp,2)-2

DDRC_DTRCTRL

DDRC_DTRCTRL 为 DDRC 门控训练控制寄存器。

Offset Address		Register Name		Total Reset Value																													
0x0AC		DDRC_DTRCTRL		0x0000_0401																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	dt_byte				reserved								reserved		rensel	train_mode	reserved				track_en	train_en	reserved										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																														
[31:24]	RW	dt_byte	字节训练使能。 0: 禁止字节训练; 1: 使能字节训练。 bit[31]~bit[24]: 依次对应 DDRC Byte7~DDRC Byte0 训练使能。																														
[23:16]	RO	reserved	保留。																														
[15:12]	RO	reserved	保留。																														
[11:9]	RW	rensel	读使能延迟周期。 000~011: n 个时钟周期。 其它: 保留。																														
[8]	RW	train_mode	门控训练方式选择。 0: 其他训练方式; 1: 普通训练方式。																														



[7:4]	RO	reserved	保留。
[3]	RO	reserved	保留。
[2]	RW	track_en	门控位置自动更新使能。 0: 禁止; 1: 使能 注意: 两次 train 操作之间必须有一组读操作, 连续访问长度大于 DDRBURST8。
[1]	RW	train_en	门控位置训练使能。 0: 禁止; 1: 使能;
[0]	RO	reserved	保留。

DDRC_AXISTATUS

DDRC_AXISTATUS 为 DDRC 接口状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0F0				DDRC_AXISTATUS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																axi_st7	axi_st6	axi_st5	axi_st4	axi_st3	axi_st2	axi_st1	axi_st0								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7]	RO		axi_st7		控制器总线接口 7 状态。 0: 空闲; 1: 有命令执行。																											
[6]	RO		axi_st6		控制器总线接口 6 状态。 0: 空闲; 1: 有命令执行。																											
[5]	RO		axi_st5		控制器总线接口 5 状态。 0: 空闲; 1: 有命令执行。																											



[4]	RO	axi_st4	控制器总线接口 4 状态。 0: 空闲; 1: 有命令执行。
[3]	RO	axi_st3	控制器总线接口 3 状态。 0: 空闲; 1: 有命令执行。
[2]	RO	axi_st2	控制器总线接口 2 状态。 0: 空闲; 1: 有命令执行。
[1]	RO	axi_st1	控制器总线接口 1 状态。 0: 空闲; 1: 有命令执行。
[0]	RO	axi_st0	控制器总线接口 0 状态。 0: 空闲; 1: 有命令执行。

DDRC_ODTCFG

DDRC_ODTCFG 为 DDR 的 ODT 特性配置寄存器。

	Offset Address	Register Name	Total Reset Value																					
	0x0F4	DDRC_ODTCFG	0x0000_0000																					
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
Name	reserved											rodt0	reserved											wodt0
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
Bits	Access	Name	Description																					
[31:17]	RW	reserved	保留。必须配置为 0。																					
[16]	RW	rodt0	Rank0 读 ODT 配置。 0: 禁止读 ODT; 1: 使能读 ODT。																					
[15:1]	RW	reserved	保留。必须配置为 0。																					



[0]	RW	wodt0	Rank0 写 ODT 配置。 0: 禁止写 ODT; 1: 使能写 ODT。
-----	----	-------	---

DDRC_QOSCFG0

DDRC_QOSCFG0 为 DDRC 的 QoS 算法配置寄存器 0。

	Offset Address 0x100								Register Name DDRC_QOSCFG0								Total Reset Value 0x0000_000F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																							idmap_mode	id_order_ctl	order_en	dmc_fifo_lvl					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6]	RW	idmap_mode	ID 映射模式： 0: 采用寄存器配置的 id_map 的映射方式（默认）； 1: 采用 AXI 接口随读写命令随路配置 Qos 映射模式（RTL 代码中打开了此模式的宏定义才能有效）。 注意：必须配置为 1，即采用随路配置 Qos 映射模式。																													
[5]	RW	id_order_ctl	指定 ID 的乱序执行使能。 0: 禁止； 1: 使能。控制器不保证指定 ID 的读写命令与其它 ID 的命令发生地址（DDR 行地址）冲突时的先后顺序。数据一致性由 Master 保证。																													
[4]	RW	order_en	同优先级命令顺序执行使能。 0: 禁止； 1: 使能。																													
[3:0]	RW	dmc_fifo_lvl	DMC 中，命令寄存器 FIFO 的深度。 0x0~0xF: n+1 个命令深度。 注意：Hi3520D 最大配置为 0xB，建议配置为 0x7。																													



DDRC_QOSCFG1

DDRC_QOSCFG1 为 DDRC 的 QoS 算法配置寄存器 1。

	Offset Address				Register Name				Total Reset Value																							
	0x104				DDRC_QOSCFG1				0x3210_3210																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	id_map_rd								id_map_wr																							
Reset	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:16]	RW	id_map_rd	<p>对读命令，根据总线上的读 ID 选取 4 位进行 QoS 的配置选择：</p> <p>bit[15:12]：配置 ID 映射的 bit[3]；</p> <p>bit[11:8]：配置 ID 映射的 bit[2]；</p> <p>bit[7:4]：配置 ID 映射的 bit[1]；</p> <p>bit[3:0]：配置 ID 映射的 bit[0]。</p> <p>例如：ID_MAP 配置为 0x5320，指示总线 ID 的 {ID[5],ID[3],ID[2],ID[0]} 用于 ID 映射，完成优先级的配置。</p> <p>DDRC 会在原有 13 位 ID 的第 9，第 8 和第 7 比特插入 3 比特 ID，代表 AXI 端口号，因此 DDRC 映射的 ID 位宽总共为 16bit。</p> <p>000： axi port 0；</p> <p>001： axi port 1；</p> <p>010： axi port 2；</p> <p>011： axi port 3；</p> <p>100： axi port 4；</p> <p>101： axi port 5；</p> <p>110： axi port 6；</p> <p>111： axi port 7。</p>																												



[15:0]	RW	id_map_wr	<p>对写命令，根据总线上来的写 ID 选取 4 位进行 QOS 的配置选择。</p> <p>bit[15:12]: 配置 ID 映射的 bit[3];</p> <p>bit[11:8]: 配置 ID 映射的 bit[2];</p> <p>bit[7:4]: 配置 ID 映射的 bit[1];</p> <p>bit[3:0]: 配置 ID 映射的 bit[0]。</p> <p>例如：ID_MAP 配置为 0x5320，指示总线 ID 的 {ID[5],ID[3],ID[2],ID[0]} 用于 ID 映射，完成优先级的配置。</p> <p>DDRC 会在原有 13 位 ID 的第 9，第 8 和第 7 比特插入 3 比特 ID，代表 AXI 端口号，因此 DDRC 映射的 ID 位宽总共为 16 比特。</p> <p>000: axi port 0;</p> <p>001: axi port 1;</p> <p>010: axi port 2;</p> <p>011: axi port 3;</p> <p>100: axi port 4;</p> <p>101: axi port 5;</p> <p>110: axi port 6;</p> <p>111: axi port 7。</p>
--------	----	-----------	--

DDRC_QOS

DDRC_QOS 是 DDRC 的命令优先级配置寄存器。

Offset Address	Register Name	Total Reset Value
0x150+0x4 x id0 id0s(0~15)	DDRC_QOS	0x0000_0004

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	rd_pri_apt	rd_age_prd	reserved rd_qos_en reserved	rd_qos			reserved rd_pri
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:24]	RW	pri_apt	命令优先级自适应配置。 0x0: 禁止优先级自适应功能; 0x1~0xF: Nx16 个时钟周期。					



[23:20]	RW	age_prd	命令老化时间配置。 0x0: 禁止 Aging 功能; 0x1~0xF: Nx16 个时钟周期。
[19:17]	RO	reserved	保留。
[16]	RW	qos_en	命令 QOS 使能 (timeout)。 0: 禁止; 1: 使能。
[15:14]	RO	reserved	保留。
[13:4]	RW	qos	命令 QoS 配置 (timeout)。 0x1~0x3FF: n 个时钟周期; 其它: 保留。 注意: 实际使用的 timeout 值是 16 的整数倍, 会忽略 rd_qos 的低 4 位。
[3]	RO	reserved	保留。
[2:0]	RW	pri	命令优先级配置。 000: 最高优先级; 001: 次高优先级; 111: 最低优先级。

DDRC_FLUX

DDRC_FLUX 为 DDRC AXI 端口带宽流量控制配置寄存器。

Offset Address	Register Name	Total Reset Value
0x200+0x4 x ports ports(0~4)	DDRC_FLUX	0x0000_0000

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				flux_port_en flux_ovfl	reserved	flux_lvl	reserved	flux
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RO	reserved	保留。						



[21]	RW	flux_port_en	AXI 接口 DDRC 流量统计使能。 0: 禁止流量控制功能; 1: 使能流量控制。
[20]	RW	flux_ovfl	AXI 接口流量溢出允许使能。 0: 禁止; 1: 使能。 配置为 1 时, 在 AXI 端口流量超过带宽限制, 且不存在无流量溢出的 AXI 端口, 有命令请求时, 允许此 AXI port 的带宽超过配置流量。
[19:17]	RO	reserved	保留。
[16:12]	RW	flux_lvl	AXI 接口流量溢出允许水线。 0x0~0x10: 允许流量溢出的 DMC 水线深度。 其它: 保留。 当 AXI 端口的流量超过 flux 的配置带宽时, 在 flux_ovfl=1 的条件下, DMC 中的待处理命令个数小于此配置水线时, 才允许发送。否则不给予仲裁。
[11:10]	RO	reserved	保留。
[9:0]	RW	flux	AXI 接口的允许带宽配置。 0x0~0x3FF: AXI 接口的允许访问的最大 DDR 带宽占总带宽的比例。总带宽为 1024, 配置值为占总带宽的比例。

DDRC_TEST0

DDRC_TEST0 为 DDRC 的测试状态寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x240	DDRC_TEST0	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	dmc_ct								dmc_cv									
Reset	0 0																	
Bits	Access	Name	Description															
[31:16]	RO	dmc_ct	控制器命令类型。															
[15:0]	RO	dmc_cv	控制器正在处理的命令。															



DDRC_TEST7

DDRC_TEST7 为 DDRC 性能统计控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x260		DDRC_TEST7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	perf_mode perf_en perf_ch	perf_prd						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	perf_mode	性能统计模式。 0: 连续触发模式。性能统计相关计数器连续计数。可保证在连续统计模式下, 1s 内统计不溢出 (533MHz)。 1: 单次触发模式。性能统计时间计满 perf_prd 后, 统计结果保持, 并停止统计。 注意: 当统计值溢出后, 会 WRAP 绕回。					
[30]	RW	perf_en	性能统计使能。 0: 禁止; 1: 使能。 注意: 在 perf_mode=0 时, 此位使能表示性能统计寄存器将开始循环计数。在 perf_mode=1 时, 完成一次统计之后, 该位自动清零。					
[29:28]	RW	perf_ch	读写命令统计通道。 00: 禁止; 01: 通道 0; 10: 通道 1; 11: 所有通道。 注意: 此寄存器限制的 DDRC_TEST8 和 DDRC_TEST9 的读写命令统计的通道数。					
[27:0]	RW	perf_prd	性能统计周期。 0x0~0xFFF_FFFF: 统计周期。 实际统计周期为 perf_prd*4*tclk (Tclk 为 DDRC 总线时钟周期)。 注意: 此配置只在 perf_mode=1 时有效。当 perf_mode=0 的连续统计模式下, 性能统计相关计数器会一直计数。					



DDRC_TEST8

DDRC_TEST8 为 DDRC 写命令统计寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0x264				DDRC_TEST8				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	wr_num																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RWC		wr_num		统计时限内，写命令个数。此寄存器写清零。 支持 Wrap 循环计数。																															

DDRC_TEST9

DDRC_TEST9 为 DDRC 读命令统计寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0x268				DDRC_TEST9				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	rd_num																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RWC		rd_num		统计时限内，读命令个数。此寄存器写清零。 支持 Wrap 循环计数。																															

DDRC_TEST10

DDRC_TEST10 为 DDRC DMC 命令等待个数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x26C		DDRC_TEST10		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dmc_cmd_num							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RWC	dmc_cmd_num	统计时限内，DDRC 中 DMC 命令等待个数统计。此寄存器写清零。 支持 Wrap 循环计数。 注意：受限于寄存器位宽限制，为了保证在 660MHz 下，1s 内不溢出。此寄存器的显示的统计结果为真实统计结果除以 2 后的计数值。					

DDRC_TEST12

DDRC_TEST12 为 DDRC 的测试状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x280		DDRC_TEST12		0x0000_0FFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wfifo_f				wfifo_e			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	wfifo_f	写 FIFO 满状态。					
[15:0]	RO	wfifo_e	写 FIFO 空状态。 注意：Hi3520D 中，只有 12bit 复位值为 0xFFF。					

DDRC_PHYSRST

DDRC_PHYSRST 为 DDRPHY 软复位控制信号。



Offset Address		Register Name		Total Reset Value					
0x400		DDRC_PHYSRST		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ddrphy_srst
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	ddrphy_srst	DDRPHY 复位控制。 0: 复位有效; 1: 复位无效。						

DDRC_PHYSTATUS

DDRC_PHYSTATUS 为 DDRPHY 状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x404		DDRC_PHYSTATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								phy_init_done
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	phy_init_done	DDRPHY 初始化完成标志。 0: DDRPHY 初始化未完成; 1: DDRPHY 初始化完成。						

DDRC_PHYCTRL

DDRC_PHYCTRL 为 DDRPHY 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x408		DDRC_PHYCTRL		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								phy_init_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	phy_init_start	DDRPHY 初始化请求。 0: 请求有效; 1: 请求无效。						

DDRC_PHY_REG1

DDRC_PHY_REG1 为 DDRPHY 寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x800		DDRC_PHY_REG1		0x0000_003F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_rfifo_en	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:6]	RO	reserved	保留。					
[5:4]	RW	phy_rfifo_en	RX FIFO 使能。 01: 8 bits 读 DQ 信号; 11: 16 bits 读 DQ 信号。					
[3:0]	-	reserved	保留, 初始值非零。					



DDRC_PHY_REG2

DDRC_PHY_REG2 为 DDRPHY 寄存器 2。

	Offset Address								Register Name								Total Reset Value															
	0x808								DDRC_PHY_REG2								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																							phy_mem_type	reserved				cal_mode	cal_start		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:7]	RO		reserved		保留。																											
[6]	RW		phy_mem_type		内存选择。 0: DDR3; 1: DDR2。																											
[5:2]	RW		reserved		保留。																											
[1]	RW		cal_mode		DQS squelch 校正模式选择。 0: 非旁路模式; 1: 旁路模式。 注意: DQS squelch 校正, 即芯片内部逻辑自动地对外部异步信号读 DQS 的门控信号进行反复增加或减小延迟的训练, 最终门控信号能合适地选通读 DQS。																											
[0]	RW		cal_start		DQS squelch 自动校正使能, 在非旁路模式下有效。 1: 使能; 0: 禁用。																											

DDRC_PHY_REG3

DDRC_PHY_REG3 为 DDRPHY 寄存器 3。



Offset Address		Register Name		Total Reset Value					
0x804		DDRC_PHY_REG3		0x0000_0025					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						reseverd_nz		phy_bl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 1	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:1]	RW	reseverd_nz	保留，初始值非零。						
[0]	RW	phy_bl	校正 burst 长度选择。 0: burst4; 1: burst8。						

DDRC_PHY_REG4

DDRC_PHY_REG4 为 DDRPHY 寄存器 4。

Offset Address		Register Name		Total Reset Value								
0x824		DDRC_PHY_REG4		0x0000_0020								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						phy_ck_en	reserved_nz	phy_odt_en	phy_cs_en	phy_cmd_en	phy_cke_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description									
[31:7]	RO	reserved	保留。									
[6]	RW	phy_ck_en	CK/CKB I/O 使能。 0: 使能; 1: 禁用。									
[5:4]	RW	reserved_nz	保留，初始值非零。									
[3]	RW	phy_odt_en	ODT I/O 使能。 0: 使能; 1: 禁用。									



Offset Address		Register Name		Total Reset Value								
0x824		DDRC_PHY_REG4		0x0000_0020								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						phy_cke_en	reserved_nz	phy_odt_en	phy_cs_en	phy_cmd_en	phy_cke_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0				
Bits	Access	Name	Description									
[2]	RW	phy_cs_en	CS I/O 使能。 0: 使能; 1: 禁用。									
[1]	RW	phy_cmd_en	CMD I/O 使能。 0: 始终使能; 1: 当接收到命令时使能。									
[0]	RW	phy_cke_en	CKE I/O 使能。 0: 使能; 1: 禁用。									

DDRC_PHY_REG4A

DDRC_PHY_REG4A 为 DDRPHY 寄存器 4A。

Offset Address		Register Name		Total Reset Value				
0x838		DDRC_PHY_REG4A		0x0000_0070				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_cl	phy_al
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	phy_cl	CL (CAS latency) 延迟值。 DDR2/DDR3 CL 延迟。					
[3:0]	RW	phy_al	AL (additive latency) 值。 DDR2/DDR3 AL 延迟。					



DDRC_PHY_REG4B

DDRC_PHY_REG4B 为 DDRPHY 寄存器 4B。

	Offset Address								Register Name								Total Reset Value															
	0x83C								DDRC_PHY_REG4B								0x0000_0009															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_dqssq_dly_h				phy_dqssq_dly_l			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											
	[5:3]	RW	phy_dqssq_dly_h		旁路模式下，高八位数据 DQ[15:8]的 DQS 门控延迟选择。																											
	[2:0]	RW	phy_dqssq_dly_l		旁路模式下，低八位数据 DQ[15:8]的 DQS 门控延迟选择。																											

DDRC_PHY_REG6

DDRC_PHY_REG6 为 DDRPHY 寄存器 6。

	Offset Address								Register Name								Total Reset Value																			
	0x8D4								DDRC_PHY_REG6								0x0000_000C																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																								phy_ltxdqdll_byph				phy_ltxdqdll_en				phy_ltxdqdll_dly			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0				
	Bits	Access	Name		Description																															
	[31:5]	RO	reserved		保留。																															



	Offset Address 0x8D4								Register Name DDRC_PHY_REG6								Total Reset Value 0x0000_000C															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_ltxdqdll_byph	phy_ltxdqdll_en	phy_ltxdqdll_dly					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
	Bits	Access	Name		Description																											
	[4]	RW	phy_ltxdqdll_byph		旁路模式下，左通道发送 DQ DLL 相位延迟选择。 0: 无延迟； 1: 90°延迟。																											
	[3]	RW	phy_ltxdqdll_en		左通道发送 DQ DLL 使能。 0: 禁用； 1: 使能。																											
	[2:0]	RW	phy_ltxdqdll_dly		左通道发送 DQ DLL 相位延迟选择。 000: 无延迟； 001: 22.5°延迟； 010: 45°延迟； 011: 67.5°延迟； 100: 90°延迟； 101: 112.5°延迟； 110: 135°延迟； 111: 157.5°延迟。																											

DDRC_PHY_REG7

DDRC_PHY_REG7 为 DDRPHY 寄存器 7。



Offset Address		Register Name		Total Reset Value																												
0x8D8		DDRC_PHY_REG7		0x0000_0008																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															phy_ltxdqsdll_byph	phy_ltxdqsdll_en	phy_ltxdqsdll_dly														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	phy_ltxdqsdll_byph	旁路模式下，左通道发送 DQS DLL 相位延迟选择。 0: 无延迟； 1: 90°延迟。																													
[3]	RW	phy_ltxdqsdll_en	左通道发送 DQS DLL 使能。 0: 禁用； 1: 使能。																													
[2:0]	RW	phy_ltxdqsdll_dly	左通道发送 DQS DLL 相位延迟选择。 000: 无延迟； 001: 22.5°延迟； 010: 45°延迟； 011: 67.5°延迟； 100: 90°延迟； 101: 112.5°延迟； 110: 135°延迟； 111: 157.5°延迟。																													

DDRC_PHY_REG8

DDRC_PHY_REG8 为 DDRPHY 寄存器 8。



Offset Address		Register Name		Total Reset Value																												
0x8E0		DDRC_PHY_REG8		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_ldqssqdll_en	phy_ldqssqdll_dly		phy_lrxqsdll_en		phy_lrxqsdll_dly												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6]	RW	phy_ldqssqdll_en	左通道接收 DQS squelch DLL 使能。 0: 使能; 1: 禁用。																													
[5:3]	RW	phy_ldqssqdll_dly	左通道接收 DQS squelch DLL 相位延迟选择。 00: 无延迟; 01: 22.5°延迟; 10: 45°延迟; 11: 67.5°延迟; 000: 90°延迟; 001: 112.5°延迟; 010: 135°延迟; 011: 157.5°延迟。																													
[2]	RW	phy_lrxqsdll_en	左通道接收 DQS latching DLL 使能。 0: 使能; 1: 禁用。																													
[1:0]	RW	phy_lrxqsdll_dly	左通道接收 DQS latching DLL 相位延迟选择。 00: 无延迟; 01: 22.5°延迟; 10: 45°延迟; 11: 67.5°延迟。																													



DDRC_PHY_REG9

DDRC_PHY_REG9 为 DDRPHY 寄存器 9。

	Offset Address								Register Name								Total Reset Value															
	0x914								DDRC_PHY_RE9								0x0000_000C															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_rtxdqdll_byph	phy_rtxdqdll_en	phy_rtxdqdll_dly					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
Bits	[31:5]		[4]		[3]		[2:0]																									
Access	RO		RW		RW		RW																									
Name	reserved		phy_rtxdqdll_byph		phy_rtxdqdll_en		phy_rtxdqdll_dly																									
Description	保留。		旁路模式下，右通道发送 DQ DLL 相位延迟选择。 0: 无延迟； 1: 90°延迟。		右通道发送 DQ DLL 使能。 0: 禁用； 1: 使能。		右通道发送 DQ DLL 相位延迟选择。 00: 无延迟； 01: 22.5°延迟； 10: 45°延迟； 11: 67.5°延迟； 000: 90°延迟； 001: 112.5°延迟； 010: 135°延迟； 011: 157.5°延迟。																									

DDRC_PHY_REG10

DDRC_PHY_REG10 为 DDRPHY 寄存器 10。



Offset Address		Register Name		Total Reset Value																												
0x918		DDRC_PHY_RE10		0x0000_0008																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															phy_rtxdqsdll_byph	phy_rtxdqsdll_en	phy_rtxdqsdll_dly														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	phy_rtxdqsdll_byph	旁路模式下，右通道发送 DQS DLL 相位延迟选择。 0: 无延迟； 1: 90°延迟。																													
[3]	RW	phy_rtxdqsdll_en	右通道发送 DQS DLL 使能。 0: 禁用； 1: 使能。																													
[2:0]	RW	phy_rtxdqsdll_dly	右通道发送 DQS DLL 相位延迟选择。 00: 无延迟； 01: 22.5°延迟； 10: 45°延迟； 11: 67.5°延迟； 000: 90°延迟； 001: 112.5°延迟； 010: 135°延迟； 011: 157.5°延迟。																													

DDRC_PHY_REG11

DDRC_PHY_REG11 为 DDRPHY 寄存器 11。



Offset Address		Register Name		Total Reset Value																												
0x920		DDRC_PHY_REG11		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_rdqssqdll_en	phy_rdqssqdll_dly		phy_rrxdqsdll_en		phy_rrxdqsdll_dly												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6]	RW	phy_rdqssqdll_en	右通道接收 DQS squelch DLL 使能。 0: 使能; 1: 禁用。																													
[5:3]	RW	phy_rdqssqdll_dly	右通道接收 DQS squelch DLL 相位延迟选择。 00: 无延迟; 01: 22.5°延迟; 10: 45°延迟; 11: 67.5°延迟; 000: 90°延迟; 001: 112.5°延迟; 010: 135°延迟; 011: 157.5°延迟。																													
[2]	RW	phy_rrxdqsdll_en	右通道接收 DQS latching DLL 使能。 0: 使能; 1: 禁用。																													
[1:0]	RW	phy_rrxdqsdll_dly	左通道接收 DQS latching DLL 相位延迟选择。 00: 无延迟; 01: 22.5°延迟; 10: 45°延迟; 11: 67.5°延迟。																													



DDRC_PHY_REG12

DDRC_PHY_REG12 为 DDRPHY 寄存器 12。

Offset Address		Register Name		Total Reset Value				
0x840		DDRC_PHY_REG12		0x0000_0088				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_cmd0pu_str	phy_cmd0pd_str
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	phy_cmd0pu_str	CMD0 I/O 上拉驱动强度控制。					
[3:0]	RW	phy_cmd0pd_str	CMD0 I/O 下拉驱动强度控制。					

DDRC_PHY_REG13

DDRC_PHY_REG13 为 DDRPHY 寄存器 13。

Offset Address		Register Name		Total Reset Value				
0x844		DDRC_PHY_REG13		0x0000_0088				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_cmd0_rsl	phy_cmd0_fsl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	phy_cmd0_rsl	CMD0 I/O 上升斜率控制。					
[3:0]	RW	phy_cmd0_fsl	CMD0 I/O 下降斜率控制。					

DDRC_PHY_REG14

DDRC_PHY_REG14 为 DDRPHY 寄存器 14。



Offset Address		Register Name		Total Reset Value																																												
0x848		DDRC_PHY_REG14		0x0000_0073																																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved																								phy_cmd0sdll_lpen	phy_cmd0dly_en	phy_rstn_pu	phy_rstn_pd	phy_cmd0_pu	phy_cmd0_pd	phy_cmd0pu_msb	phy_cmd0pd_msb																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1																
Bits	Access	Name	Description																																													
[31:8]	RO	reserved	保留。																																													
[7]	RW	phy_cmd0sdll_lpen	CMD0 从 DLL 低功耗使能。 0: 使能; 1: 禁用。																																													
[6]	RW	phy_cmd0dly_en	CMD0 一个时钟 (2xcclk) 周期延迟选择。 0: 无延迟; 1: 1 个周期。																																													
[5]	RW	phy_rstn_pu	RESETN 弱上拉使能。 0: 使能; 1: 禁用。																																													
[4]	RW	phy_rstn_pd	RESETN 弱下拉使能。 0: 禁用; 1: 使能。																																													
[3]	RW	phy_cmd0_pu	CMD0 弱上拉使能。 0: 使能; 1: 禁用。																																													
[2]	RW	phy_cmd0_pd	CMD0 弱下拉使能。 0: 禁用; 1: 使能。																																													
[1]	RW	phy_cmd0pu_msb	CMD0 上拉驱动强度控制, 最高位。																																													
[0]	RW	phy_cmd0pd_msb	CMD0 下拉驱动强度控制, 最高位。																																													



DDRC_PHY_REG15

DDRC_PHY_REG15 为 DDRPHY 寄存器 15。

	Offset Address								Register Name								Total Reset Value															
	0x84C								DDRC_PHY_REG15								0x0000_0008															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_cmd0fb_en	phy_cmd0sdll_inv	phy_cmd0sdll_en	phy_cmd0txsdll_dly				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5]	RW		phy_cmd0fb_en		CMD0 反馈使能。 0: 禁用; 1: 使能。																											
[4]	RW		phy_cmd0sdll_inv		CMD0 从 DLL 反向模式选择。 0: 不反向; 1: 反向。																											
[3]	RW		phy_cmd0sdll_en		CMD0 从 DLL 使能。 0: 禁用; 1: 使能。																											
[2:0]	RW		phy_cmd0txsdll_dly		CMD0 发送从 DLL 相位延迟选择。 00: 无延迟; 01: 22.5°延迟; 10: 45°延迟; 11: 67.5°延迟; 000: 90°延迟; 001: 112.5°延迟; 010: 135°延迟; 011: 157.5°延迟。																											



DDRC_PHY_REG16

DDRC_PHY_REG16 为 DDRPHY 寄存器 16。

Offset Address		Register Name		Total Reset Value				
0x854		DDRC_PHY_REG16		0x0000_0088				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_cmd1pu_str	phy_cmd1pd_str
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	phy_cmd1pu_str	CMD1 上拉驱动强度控制。					
[3:0]	RW	phy_cmd1pd_str	CMD1 下拉驱动强度控制。					

DDRC_PHY_REG17

DDRC_PHY_REG17 为 DDRPHY 寄存器 17。

Offset Address		Register Name		Total Reset Value				
0x858		DDRC_PHY_REG17		0x0000_0088				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_cmd1_rsl	phy_cmd1_fsl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	phy_cmd1_rsl	CMD1 上升斜率控制。					
[3:0]	RW	phy_cmd1_fsl	CMD1 下降斜率控制。					

DDRC_PHY_REG18

DDRC_PHY_REG18 为 DDRPHY 寄存器 18。



Offset Address		Register Name		Total Reset Value																																																	
0x85C		DDRC_PHY_REG18		0x0000_0053																																																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																					
Name	reserved																								phy_cmd1sdll_lpen	phy_cmd1dly_en	phy_rstn_pu	phy_rstn_pd	phy_cmd1pu	phy_cmd1pd	phy_cmd1pu_msb	phy_cmd1pd_msb																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	1																					
Bits	Access	Name	Description																																																		
[31:8]	RO	reserved	保留。																																																		
[7]	RW	phy_cmd1sdll_lpen	CMD1 从 DLL 低功耗使能。 0: 使能; 1: 禁用。																																																		
[6]	RW	phy_cmd1dly_en	CMD1 一个时钟 (2xcclk) 周期延迟选择。 0: 无延迟; 1: 1 个周期。																																																		
[5]	RW	phy_rstn_pu	CKE 弱上拉控制。 0: 使能; 1: 禁用。																																																		
[4]	RW	phy_rstn_pd	CKE 弱下拉使能。 0: 禁用; 1: 使能。																																																		
[3]	RW	phy_cmd1pu	CMD1 弱上拉使能。 0: 使能; 1: 禁用。																																																		
[2]	RW	phy_cmd1pd	CMD1 弱下拉使能。 0: 禁用; 1: 使能。																																																		
[1]	RW	phy_cmd1pu_msb	CMD1 上拉驱动强度控制, 最高位。																																																		
[0]	RW	phy_cmd1pd_msb	CMD1 下拉驱动强度控制, 最高位。																																																		



DDRC_PHY_REG19

DDRC_PHY_REG19 为 DDRPHY 寄存器 19。

	Offset Address								Register Name								Total Reset Value															
	0x860								DDRC_PHY_REG19								0x0000_0008															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_cmd1fb_en	phy_cmd1sdll_inv	phy_cmd1sdll_en	phy_cmd1txsdll_dly				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5]	RW		phy_cmd1fb_en		CMD1 反馈使能。 0: 禁用; 1: 使能。																											
[4]	RW		phy_cmd1sdll_inv		CMD1 从 DLL 反向模式选择。 0: 不反向; 1: 反向。																											
[3]	RW		phy_cmd1sdll_en		CMD1 从 DLL 使能。 0: 禁用; 1: 使能。																											
[2:0]	RW		phy_cmd1txsdll_dly		CMD1 发送从 DLL 相位延迟选择。 00: 无延迟; 01: 22.5°延迟; 10: 45°延迟; 11: 67.5°延迟; 000: 90°延迟; 001: 112.5°延迟; 010: 135°延迟; 011: 157.5°延迟。																											



DDRC_PHY_REG20

DDRC_PHY_REG20 为 DDRPHY 寄存器 20。

	Offset Address				Register Name				Total Reset Value																							
	0x864				DDRC_PHY_REG20				0x0000_0005																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_cmd1obv_en	reserved_nz	phy_ckdly_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
	Bits	Access	Name		Description																											
	[31:4]	RO	reserved		保留。																											
	[3]	RW	phy_cmd1obv_en		CMD1 观测使能。 0: 禁用 1: 使能																											
	[2:1]	RW	reserved_nz		保留，初始值非零。																											
	[0]	RW	phy_ckdly_en		CK 一个时钟（2xclk）周期延迟选择。 0: 无延迟； 1: 1 个周期。																											

DDRC_PHY_REG21

DDRC_PHY_REG21 为 DDRPHY 寄存器 21。



Offset Address		Register Name		Total Reset Value					
0x868		DDRC_PHY_REG21		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_cksdll_inv	phy_cktxsdll_dly
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:4]	RO	reserved	保留。						
[3]	RW	phy_cksdll_inv	CK 从 DLL 反向模式选择。 0: 不反向; 1: 反向。						
[2:0]	RW	phy_cktxsdll_dly	CK 发送从 DLL 相位延迟选择。 00: 无延迟; 01: 22.5°延迟; 10: 45°延迟; 11: 67.5°延迟; 000: 90°延迟; 001: 112.5°延迟; 010: 135°延迟; 011: 157.5°延迟。						

DDRC_PHY_REG22

DDRC_PHY_REG22 为 DDRPHY 寄存器 22。

Offset Address		Register Name		Total Reset Value				
0x870		DDRC_PHY_REG22		0x0000_0088				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_ckpu_str	phy_ckpd_str
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					



Offset Address		Register Name		Total Reset Value				
0x870		DDRC_PHY_REG22		0x0000_0088				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_ckpu_str	phy_ckpd_str
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[7:4]	RW	phy_ckpu_str	CK 上拉驱动强度控制。					
[3:0]	RW	phy_ckpd_str	CK 下拉驱动强度控制。					

DDRC_PHY_REG23

DDRC_PHY_REG23 为 DDRPHY 寄存器 23。

Offset Address		Register Name		Total Reset Value				
0x874		DDRC_PHY_REG23		0x0000_0088				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_ck_rsl	phy_ck_fsl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	phy_ck_rsl	CK 上升斜率控制。					
[3:0]	RW	phy_ck_fsl	CK 下降斜率控制。					

DDRC_PHY_REG24

DDRC_PHY_REG24 为 DDRPHY 寄存器 24。



Offset Address		Register Name		Total Reset Value					
0x878		DDRC_PHY_REG24		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_ckpu_msb	phy_ckpd_msb
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	phy_ckpu_msb	CK 上拉驱动强度控制，最高位。						
[0]	RW	phy_ckpd_msb	CK 下拉驱动强度控制，最高位。						

DDRC_PHY_REG25

DDRC_PHY_REG25 为 DDRPHY 寄存器 25。

Offset Address		Register Name		Total Reset Value				
0x880		DDRC_PHY_REG25		0x0000_0088				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_dqpu_str	phy_dqpd_str
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	phy_dqpu_str	DQ 上拉驱动强度控制。					
[3:0]	RW	phy_dqpd_str	DQ 下拉驱动强度控制。					

DDRC_PHY_REG26

DDRC_PHY_REG26 为 DDRPHY 寄存器 26。



	Offset Address 0x884								Register Name DDRC_PHY_REG26								Total Reset Value 0x0000_0088															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				phy_dq_rsl				phy_dq_fsl							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7:4]	RW	phy_dq_rsl		DQ 上升斜率控制。																											
	[3:0]	RW	phy_dq_fsl		DQ 下降斜率控制。																											

DDRC_PHY_REG27

DDRC_PHY_REG27 为 DDRPHY 寄存器 27。

	Offset Address 0x888								Register Name DDRC_PHY_REG27								Total Reset Value 0x0000_0024															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				phy_dqpu_odt				phy_dqpd_odt							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											
	[5:3]	RW	phy_dqpu_odt		DQ 上拉 ODT 控制。																											
	[2:0]	RW	phy_dqpd_odt		DQ 下拉 ODT 控制。																											

DDRC_PHY_REG28

DDRC_PHY_REG28 为 DDRPHY 寄存器 28。



	Offset Address 0x88C								Register Name DDRC_PHY_REG28								Total Reset Value 0x0000_0037															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_dqpd_msb	phy_dqpu_msb	phy_dqpu_en	phy_dqpd_en	phy_dqpu_odtmsb	phy_dqpd_odtmsb		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1
Bits	Access		Name				Description																									
[31:6]	RO		reserved				保留。																									
[5]	RW		phy_dqpd_msb				DQ 下拉驱动强度控制，最高位。																									
[4]	RW		phy_dqpu_msb				DQ 上拉驱动强度控制，最高位。																									
[3]	RW		phy_dqpu_en				DQ 弱上拉使能。 0: 使能 1: 禁用																									
[2]	RW		phy_dqpd_en				DQ 弱下拉使能。 1: 使能 0: 禁用																									
[1]	RW		phy_dqpu_odtmsb				DQ 上拉 ODT 控制，最高位。																									
[0]	RW		phy_dqpd_odtmsb				DQ 下拉 ODT 控制，最高位。																									

DDRC_PHY_REG29

DDRC_PHY_REG29 为 DDRPHY 寄存器 29。



Offset Address		Register Name		Total Reset Value																												
0x9C0		DDRC_PHY_REG29		0x0000_002D																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														reserved_nz1	phy_dqssq_2xdly_h	reserved_nz0	phy_dqssq_2xdly_l														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	1
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5]	RW	reserved_nz1	保留，初始值非零。																													
[4:3]	RW	phy_dqssq_2xdly_h	高八位接收 DQS squelch 的时钟（2xclk）周期延迟选择。 11: 3 个周期 10: 2 个周期 01: 1 个周期 00: 无延迟																													
[2]	RW	reserved_nz0	保留，初始值非零。																													
[1:0]	RW	phy_dqssq_2xdly_l	低八位接收 DQS squelch 的时钟（2xclk）周期延迟选择。 11: 3 个周期 10: 2 个周期 01: 1 个周期 00: 无延迟																													

DDRC_PHY_REG30

DDRC_PHY_REG30 为 DDRPHY 寄存器 30。



Offset Address		Register Name		Total Reset Value																												
0xAC4		DDRC_PHY_REG30		0x0000_0024																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_skew_a1		phy_skew_a0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:3]	RW		phy_skew_a1		A1 延迟。																											
[2:0]	RW		phy_skew_a0		A0 延迟。																											

DDRC_PHY_REG31

DDRC_PHY_REG31 为 DDRPHY 寄存器 31。

Offset Address		Register Name		Total Reset Value																												
0xAC8		DDRC_PHY_REG31		0x0000_0024																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_skew_a3		phy_skew_a2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:3]	RW		phy_skew_a3		A3 延迟。																											
[2:0]	RW		phy_skew_a2		A2 延迟。																											

DDRC_PHY_REG32

DDRC_PHY_REG32 为 DDRPHY 寄存器 32。



Offset Address		Register Name		Total Reset Value																												
0xACC		DDRC_PHY_REG32		0x0000_0024																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_skew_a5		phy_skew_a4															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:3]	RW		phy_skew_a5		A5 延迟。																											
[2:0]	RW		phy_skew_a4		A4 延迟。																											

DDRC_PHY_REG33

DDRC_PHY_REG33 为是 DDRPHY 寄存器 33。

Offset Address		Register Name		Total Reset Value																												
0xAD0		DDRC_PHY_REG33		0x0000_0024																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_skew_a7		phy_skew_a6															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:3]	RW		phy_skew_a7		A7 延迟。																											
[2:0]	RW		phy_skew_a6		A6 延迟。																											

DDRC_PHY_REG34

DDRC_PHY_REG34 为是 DDRPHY 寄存器 34。



Offset Address		Register Name		Total Reset Value																												
0xAD4		DDRC_PHY_REG34		0x0000_0024																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_skew_a9			phy_skew_a8														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:3]	RW		phy_skew_a9		A9 延迟。																											
[2:0]	RW		phy_skew_a8		A8 延迟。																											

DDRC_PHY_REG35

DDRC_PHY_REG35 为 DDRPHY 寄存器 35。

Offset Address		Register Name		Total Reset Value																												
0xAD8		DDRC_PHY_REG35		0x0000_0024																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_skew_a11			phy_skew_a10														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:3]	RW		phy_skew_a11		A11 延迟。																											
[2:0]	RW		phy_skew_a10		A10 延迟。																											

DDRC_PHY_REG36

DDRC_PHY_REG36 为 DDRPHY 寄存器 36。



Offset Address		Register Name		Total Reset Value					
0xADC		DDRC_PHY_REG36		0x0000_0024					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_skew_a13	phy_skew_a12
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:6]	RO	reserved	保留。						
[5:3]	RW	phy_skew_a13	A13 延迟。						
[2:0]	RW	phy_skew_a12	A12 延迟。						

DDRC_PHY_REG37

DDRC_PHY_REG37 为 DDRPHY 寄存器 37。

Offset Address		Register Name		Total Reset Value					
0xAE0		DDRC_PHY_REG37		0x0000_0024					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_skew_b1	phy_skew_b0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:6]	RO	reserved	保留。						
[5:3]	RW	phy_skew_b1	B1 延迟。						
[2:0]	RW	phy_skew_b0	B0 延迟。						

DDRC_PHY_REG38

DDRC_PHY_REG38 为 DDRPHY 寄存器 38。



Offset Address		Register Name		Total Reset Value																												
0xAE4		DDRC_PHY_REG38		0x0000_0024																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_skew_rasb		phy_skew_b2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:3]	RW		phy_skew_rasb		RASB 延迟。																											
[2:0]	RW		phy_skew_b2		B2 延迟。																											

DDRC_PHY_REG39

DDRC_PHY_REG39 为 DDRPHY 寄存器 39。

Offset Address		Register Name		Total Reset Value																												
0xAE8		DDRC_PHY_REG39		0x0000_0024																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														phy_skew_web		phy_skew_casb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:3]	RW		phy_skew_web		WEB 延迟。																											
[2:0]	RW		phy_skew_casb		CASB 延迟。																											

DDRC_PHY_REG40

DDRC_PHY_REG40 为 DDRPHY 寄存器 40。



Offset Address		Register Name		Total Reset Value					
0xAEC		DDRC_PHY_REG40		0x0000_0024					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_skew_ckb1	phy_skew_ck1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:6]	RO	reserved	保留。						
[5:3]	RW	phy_skew_ckb1	CKB1 延迟。						
[2:0]	RW	phy_skew_ck1	CK1 延迟。						

DDRC_PHY_REG41

DDRC_PHY_REG41 为 DDRPHY 寄存器 41。

Offset Address		Register Name		Total Reset Value					
0xAF0		DDRC_PHY_REG41		0x0000_0024					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_skew_cke	phy_skew_odt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:6]	RO	reserved	保留。						
[5:3]	RW	phy_skew_cke	CKE 延迟。						
[2:0]	RW	phy_skew_odt	ODT 延迟。						

DDRC_PHY_REG42

DDRC_PHY_REG42 为 DDRPHY 寄存器 42。



Offset Address		Register Name		Total Reset Value					
0xAF4		DDRC_PHY_REG42		0x0000_0004					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_skew_rstn	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	
Bits	Access	Name	Description						
[31:3]	RO	reserved	保留。						
[2:0]	RW	phy_skew_rstn	RESETN 延迟。						

DDRC_PHY_REG43

DDRC_PHY_REG43 为 DDRPHY 寄存器 43。

Offset Address		Register Name		Total Reset Value					
0xAF8		DDRC_PHY_REG43		0x0000_0024					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						phy_txskew_dm1		phy_txskew_dm0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:6]	RO	reserved	保留。						
[5:3]	RW	phy_txskew_dm1	TX DM1 延迟。						
[2:0]	RW	phy_txskew_dm0	TX DM0 延迟。						

DDRC_PHY_TXDQSKEW

DDRC_PHY_TXDQSKEW 为 DDRPHY 寄存器。



Offset Address		Register Name		Total Reset Value					
0xAFC+0x4*dq_hf		DDRC_PHY_TXDQSKEW		0x0000_0024					
dq_hf(0~7)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_txskew_dq_o	phy_txskew_dq_e
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:6]	RO	reserved	保留。						
[5:3]	RW	phy_txskew_dq_o	TX DQ[2*dq_hf+1]延迟。						
[2:0]	RW	phy_txskew_dq_e	TX DQ[2*dq_hal]延迟。						

DDRC_PHY_REG52

DDRC_PHY_REG52 为 DDRPHY 寄存器。

Offset Address		Register Name		Total Reset Value					
0xB1C		DDRC_PHY_REG52		0x0000_0024					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_txskew_dqs1	phy_txskew_dqs0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:6]	RO	reserved	保留。						
[5:3]	RW	phy_txskew_dqs1	TX DQS1 延迟。						
[2:0]	RW	phy_txskew_dqs0	TX DQS0 延迟。						



DDRC_PHY_REG53

DDRC_PHY_REG53 为 DDRPHY 寄存器 53。

	Offset Address				Register Name				Total Reset Value																							
	0xB20				DDRC_PHY_REG53				0x0000_0004																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_skew_a14							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
Bits	Access		Name		Description																											
[31:3]	RO		reserved		保留。																											
[2:0]	RW		phy_skew_a14		A14 延迟。																											

DDRC_PHY_REG54

DDRC_PHY_REG54 为 DDRPHY 寄存器 54。

	Offset Address				Register Name				Total Reset Value																							
	0xB24				DDRC_PHY_REG54				0x0000_0024																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_skew_ckb0		phy_skew_ck0					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:3]	RW		phy_skew_ckb0		CKB0 延迟。																											
[2:0]	RW		phy_skew_ck0		CK0 延迟。																											

DDRC_PHY_REG55

DDRC_PHY_REG55 为 DDRPHY 寄存器 55。



Offset Address		Register Name		Total Reset Value					
0xB28		DDRC_PHY_REG55		0x0000_0024					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_rxskew_dm1	phy_rxskew_dm0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:6]	RO	reserved	保留。						
[5:3]	RW	phy_rxskew_dm1	RX DM1 延迟。						
[2:0]	RW	phy_rxskew_dm0	RX DM0 延迟。						

DDRC_PHY_RXDQSKEW

DDRC_PHY_RXDQSKEW 为 DDRPHY 寄存器。

Offset Address		Register Name		Total Reset Value					
0xB2C+0x4*dq_hf dq_hf(0~7)		DDRC_PHY_RXDQSKEW		0x0000_0024					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							phy_rxskew_dq_o	phy_rxskew_dq_e
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:6]	RO	reserved	保留。						
[5:3]	RW	phy_rxskew_dq_o	RX DQ[2*dq_hf+1]延迟。						
[2:0]	RW	phy_rxskew_dq_e	RX DQ[2*dq_hal]延迟。						



DDRC_PHY_REG5E

DDRC_PHY_REG5E 为 DDRPHY 寄存器 5E。

	Offset Address				Register Name				Total Reset Value																							
	0xB4C				DDRC_PHY_REG5E				0x0000_0024																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_rxskew_dqs1		phy_rxskew_dqs0					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											
	[5:3]	RW	phy_rxskew_dqs1		RX DQS1 延迟。																											
	[2:0]	RW	phy_rxskew_dqs0		RX DQS0 延迟。																											

DDRC_PHY_REG60

DDRC_PHY_REG60 为 DDRPHY 寄存器 60。

	Offset Address				Register Name				Total Reset Value																							
	0xBE0+0x4*blanes blanes(0~1)				DDRC_PHY_REG60				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_cal_dllsel		phy_cal_ophsel		phy_cal_cycsel			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7:5]	RO	phy_cal_dllsel		校正配置：DLL 相位延迟选择。																											
	[4:3]	RO	phy_cal_ophsel		校正配置：门控延迟时钟周期选择。																											



Offset Address		Register Name		Total Reset Value					
0xBE0+0x4*blanes blanes(0~1)		DDRC_PHY_REG60		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						phy_cal_dllsel	phy_cal_ophsel	phy_cal_cycsel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RO	phy_cal_cycsel	校正配置：读使能信号延迟时钟周期选择。						

DDRC_PHY_REG61

DDRC_PHY_REG61 为 DDRPHY 寄存器 61。

Offset Address		Register Name		Total Reset Value				
0xBE8		DDRC_PHY_REG61		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						phy_cal_done_h	phy_cal_done_l
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:2]	RO	reserved	保留。					
[1]	RO	phy_cal_done_h	高八位数据 DQ[15:8]的 DQS 门控信号校正完成信号。					
[0]	RO	phy_cal_done_l	低八位数据 DQ[15:8]的 DQS 门控信号校正完成信号。					

DDRC_PHY_REG62

DDRC_PHY_REG62 为 DDRPHY 寄存器 62。



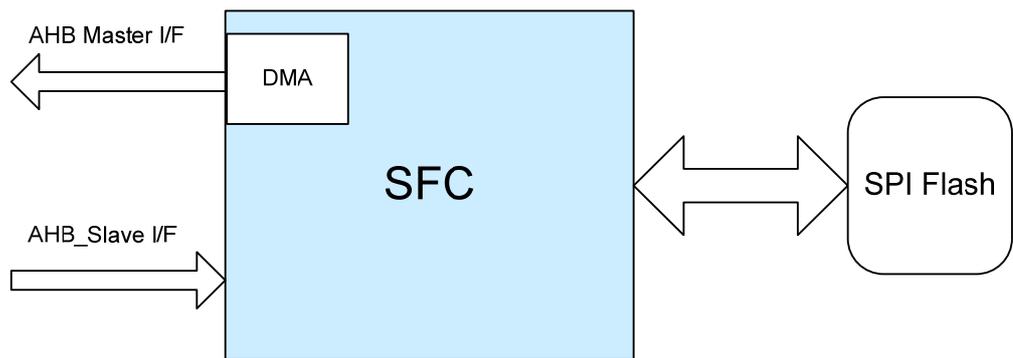
	Offset Address 0xBC4								Register Name DDRC_PHY_REG62								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy_idqe_h	phy_idqs_l						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:2]	RO	reserved		保留。																											
	[1]	RO	phy_idqe_h		高八位数据 DQ[15:8]的 DQS 门控信号采样 DQS 值。																											
	[0]	RO	phy_idqs_l		低八位数据 DQ[7:0]的 DQS 门控信号采样 DQS 值。																											

4.2 SFC

4.2.1 概述

SFC (Serial Peripheral Interface Flash Controller) 是一个 SPI Flash 控制器。业务侧提供一个 AHB (Advanced High performance Bus) Slave 接口，主要完成 AHB 通道对 SPI Flash 的访问控制功能；提供一个 AHB Master 接口，用于 DMA 方式读写 Flash。

图4-2 SFC 应用框图



4.2.2 特点

4.2.2.1 AHB Slave 接口

AHB Slave 接口具有以下特点：



- 提供一个 AHB Slave 接口，可以根据不同的选择信号访问内部配置寄存器或直接访问 SPI flash memory。
- 支持 AMBA2.0 协议。
- 仅支持小端（little-endian）。

4.2.2.2 AHB Master 接口

AHB Master 接口具有以下特点：

- 提供一个 AHB Master 接口，用于 DMA 方式在内存和 Flash 之间搬运数据。
- 支持 AMBA2.0 协议。
- 只支持小端。
- 只有 Single、INCR4、INCR8、INCR16 传输类型。
- 不支持 Early Termination。
- 支持总线 Lock。

4.2.2.3 存储器接口

存储器接口具有以下特点：

- 支持 2 个片选。存储空间最大支持到 128Mbit（3byte 地址模式）/8Gbit（4byte 地址模式）。SPI Flash 可分别映射到系统地址空间，映射基地址可配置，映射系统空间限制在 0x58000000~0x5BFFFFFF 空间内。
- 支持地址 Alias，可通过地址 Alias 实现上电后映射 0 地址到 CS1，芯片从 CS1 启动。
- 支持 Standard SPI、Dual-Output/Dual-Input SPI、Quad-Output/Quad-Input SPI、Dual-I/O SPI、Quad-I/O SPI、Full DIO SPI、Full QIO SPI 七种接口类型。上电后默认支持 Standard SPI 接口类型，可通过寄存器配置切换接口类型。
- 支持 3byte 和 4byte 两种 Flash 地址模式。可通过将管脚 SFC_ADDR_MODE（与管脚 SFC_CLK 复用）上下拉来选择默认地址模式，也可以通过配置寄存器切换地址模式。3byte 模式支持最大 128Mbit，4byte 模式支持最大 8Gbit。
- SPI Flash 读写操作支持总线直接读写、寄存器编程读写、DMA 读写三种方式。
- 支持多种写保护操作。

4.2.3 功能描述

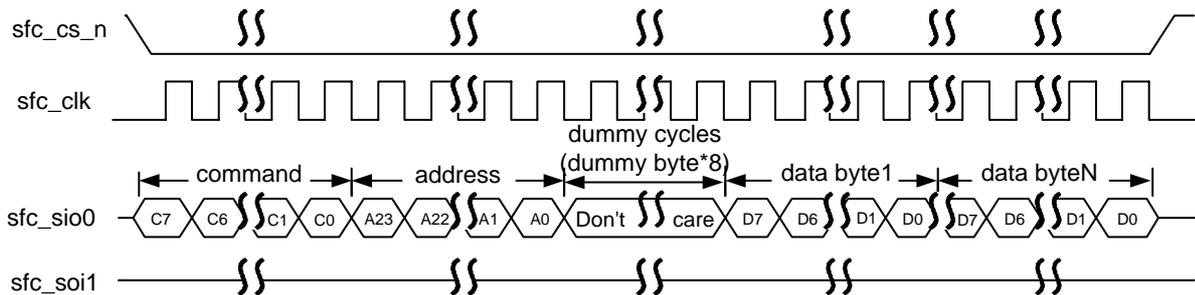
4.2.3.1 接口模式时序

Standard SPI

Standard SPI 接口模式具有 1bit 数据输入线和 1bit 数据输出线，接口时序如图 4-3 和图 4-4 所示。

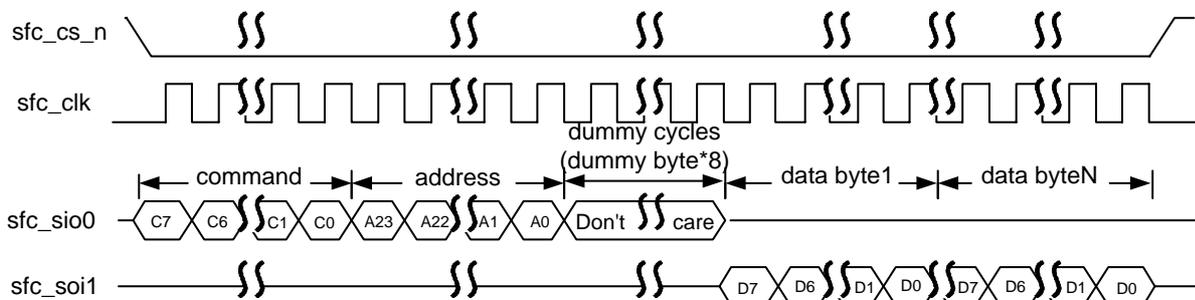


图4-3 Standard SPI（写）接口时序图



注：Opcode/Address/DummyByte 以单 bit 串行方式在 `sfc_sio0` 线上输出。
Data 以单 bit 串行方式在 `sfc_sio0` 线上输出。

图4-4 Standard SPI（读）接口时序图

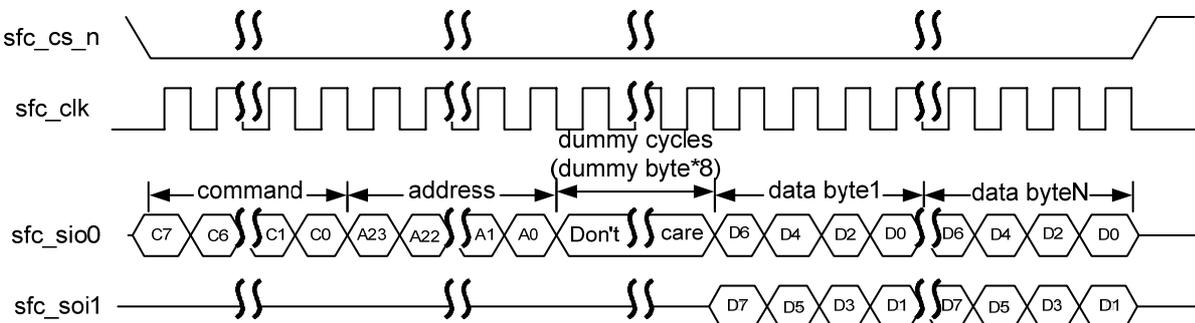


注：Opcode/Address/DummyByte 以单 bit 串行方式在 `sfc_sio0` 线上输出。
Data 以单 bit 串行方式在 `sfc_soi1` 线上输入。

Dual Input/Dual Output SPI

Dual Input/Dual Output SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-5 所示。

图4-5 Dual Input/Dual Output SPI 接口时序图



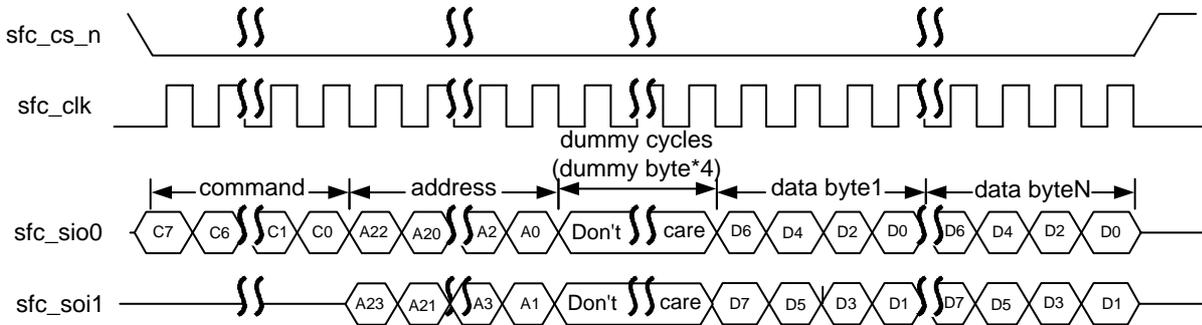
注：Opcode/Address/DummyByte 以单 Bit 串行方式在 `sfc_sio0` 线上输出。
Data 以 Dual Bits 方式在 `sfc_sio0/sfc_soi1` 线上输出（写）或输入（读）。



Dual I/O SPI

Dual I/O SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-6 所示。

图4-6 Dual I/O SPI 接口时序图

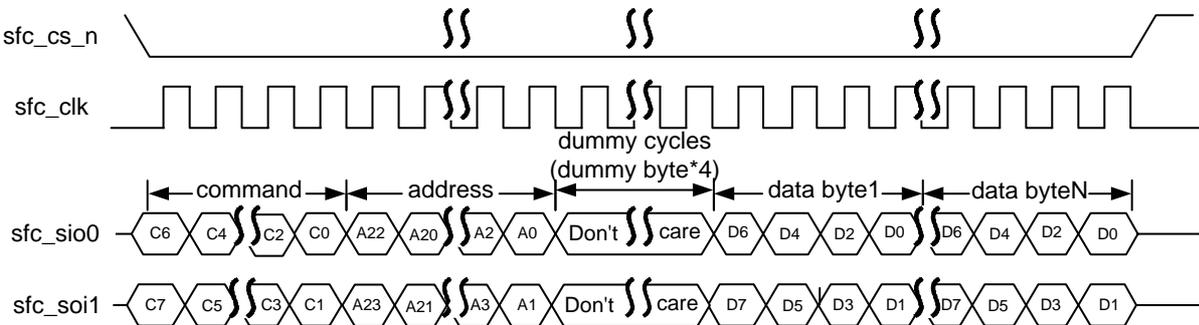


注： Opcode 以单 Bit 串行方式在 sfc_sio0 线上输出。Address/DummyByte 以 Dual Bits 方式在 sfc_sio0/sfc_soi1 线上输出。Data 以 Dual Bits 方式在 sfc_sio0/sfc_soi1 线上输出（写）或输入（读）。

Full Dual I/O SPI

Dual Input/Dual Output SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-7 所示。

图4-7 Full Dual I/O SPI 接口时序图



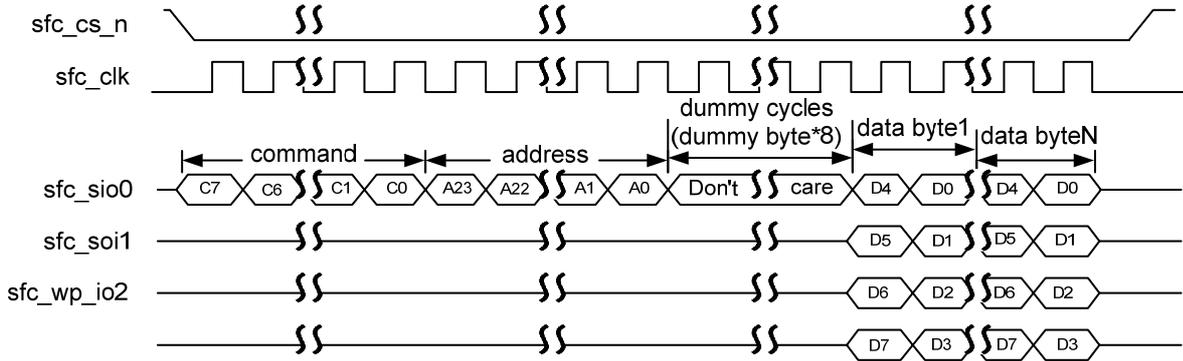
注： Opcode/Address/DummyByte 以 Dual Bits 方式在 sfc_sio0/sfc_soi1 线上输出。Data 以 Dual Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp/sfc_hold 线上输出（写）或输入（读）。

Quad Input/Quad Output SPI

Quad Input/Quad Output SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-8 所示。



图4-8 Quad Input/Quad Output SPI 接口时序图

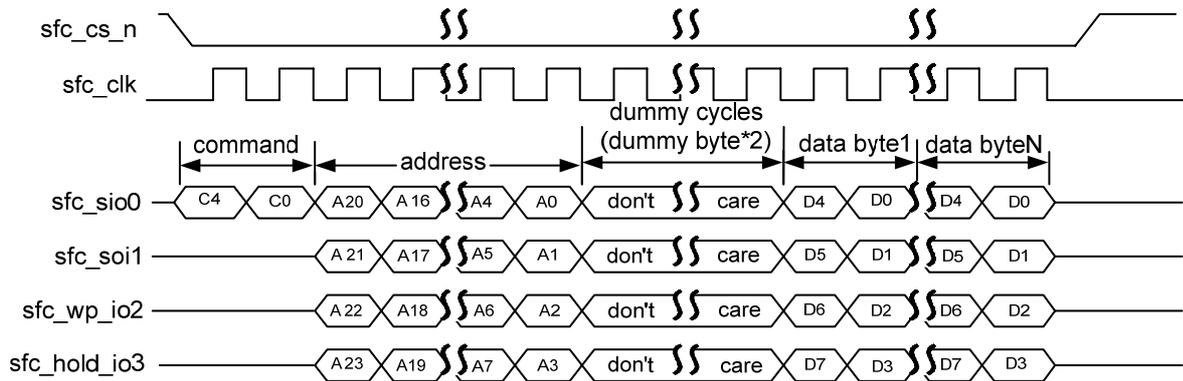


注：Opcode/Address/DummyByte 以单 Bit 串行方式在 `sfc_sio0` 线上输出。
Data 以 Quad Bits 方式在 `sfc_sio0/sfc_soi1/sfc_wp/sfc_hold` 线上输出（写）或输入（读）。

Quad I/O SPI

Quad SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-9 所示。

图4-9 Quad I/O SPI 接口时序图



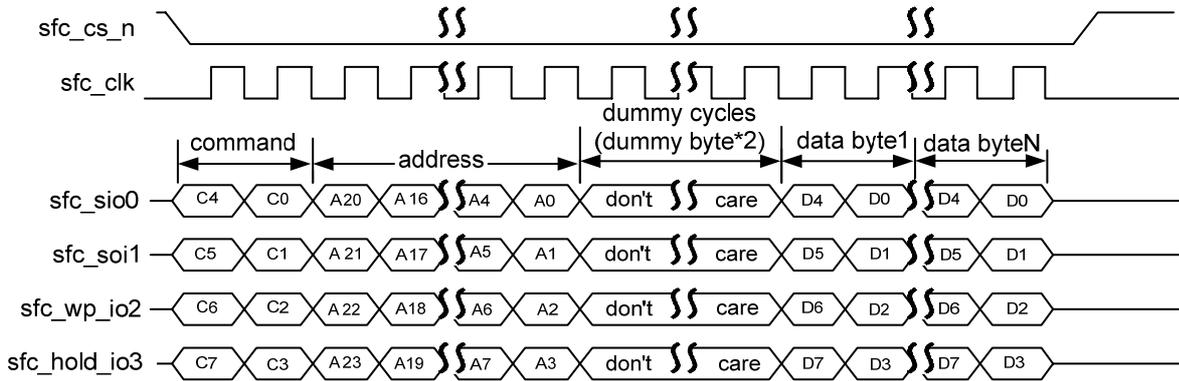
注：Opcode 以单 Bit 串行方式在 `sfc_sio0` 线上输出。Address/DummyByte 以 Quad Bits 方式在 `sfc_sio0/sfc_soi1/sfc_wp/sfc_hold` 线上输出。Data 以 Quad Bits 方式在 `sfc_sio0/sfc_soi1/sfc_wp/sfc_hold` 线上输出（写）或输入（读）。

Full Quad SPI

Full Quad SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-10 所示。



图4-10 Full Quad SPI 接口时序图



注：Opcode/Address/DummyByte 以 Quad Bits 方式在 `sfc_sio0/sfc_soi1/sfc_wp/sfc_hold` 线上输出。
Data 以 Quad Bits 方式在 `sfc_sio0/sfc_soi1/sfc_wp/sfc_hold` 线上输出（写）或输入（读）。

4.2.3.2 读写 Flash 操作

有三种方式读写 Flash：

- 通过寄存器配置方式发送 SPI Flash Program、Read 等命令来读写 Flash。此方式需 CPU 直接控制需要发送的 Flash 命令和参数。
- CPU 通过 AHB Slave 接口以类似读写普通 Memory 的方式读写 Flash。SFC 模块会自动将 AHB 总线的读写操作时序映射为 SPI Flash 读写命令。
- 通过 DMA 方式在 Flash 和内存之间搬运数据。

4.2.3.3 其他操作

对 Flash 的其他操作如 Erase、读 Device ID 等必须通过寄存器访问来实现。

4.2.3.4 Flash 地址模式切换

本模块支持 3Bytes 与 4Bytes 两种 Flash 地址模式，可通过将管脚上下拉来选择初始默认地址模式，也可以在芯片启动起来之后通过配置寄存器动态切换地址模式。

芯片启动时默认地址模式配置：

- 将管脚 `SFC_ADDR_MODE`(与管脚 `SFC_CLK` 复用)下拉，默认寻址模式为 3Bytes 地址模式。
- 将管脚 `SFC_ADDR_MODE`(与管脚 `SFC_CLK` 复用)上拉，默认寻址模式为 4Bytes 地址模式。

芯片启动起来之后切换 Flash 地址模式的步骤如下：

1. 无 Flash 操作或保证之前 Flash 操作完成。
2. 根据器件要求，用寄存器方式发特定命令配置 Flash 进入 4B 模式。
3. 配置 SFC 的 Flash 地址模式为 4B 模式（`GLOBAL_CONFIG[flash_addr_mode]`）

----结束

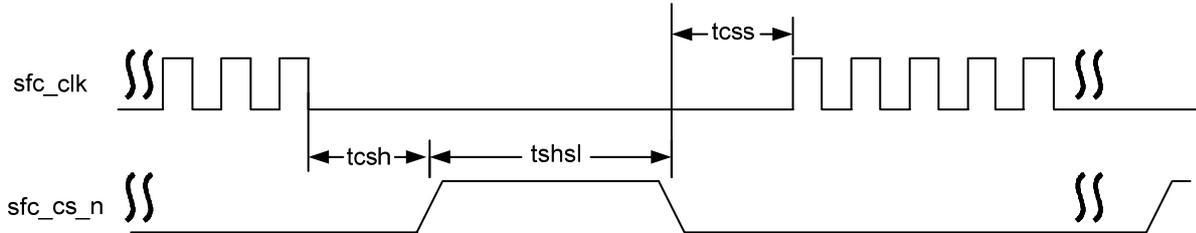


具体 SPI Flash 地址模式切换的命令。请查找相关器件手册。

4.2.3.5 时序说明

时序以及参数说明如图 4-11 所示。

图4-11 SPI 输出时序图



注：

tcsh: CS setup time。

tcss: CS hold time。

tshsl: 片选 deselect time。

4.2.4 工作流程

4.2.4.1 初始化流程

初始化流程如下：

1. (如果需要调整 Timing 参数) 配置 Timing 寄存器。
2. (如果需要用到 Flash 4Bytes 地址模式)，请参见“4.2.3.4 Flash 地址模式切换”。
3. 配置总线操作方式寄存器：
 - a. 根据实际 Flash 大小配置 BUS_FLASH_SIZE (可通过发 Read ID 命令给 Flash 查询获得器件型号获知)。
 - b. 依据 Flash 直接映射到系统地址空间情况配置 CS1_BUS_BASE_ADDR、BUS_ALIAS_ADDR 映射空间应在系统总线分配给 SFC_MEM 的地址空间范围内。
通常 BUS_ALIAS_ADDR 对应从 Flash 启动时映射的地址，只默认值有意义，所以一般固定不修改。
 - c. 有些器件要求进入非 Standard SPI 读写时序需要预先以特殊命令配置 Flash。根据器件需要，用寄存器方式发特定命令配置 Flash。
 - d. 配置总线读写操作指令和参数。
配置 BUS_CONFIG1/BUS_CONFIG2。
 - e. 如果需要开启总线写操作，使能总线写。默认关闭总线写功能。
配置 BUS_CONFIG1[wr_enable]为 1。



说明

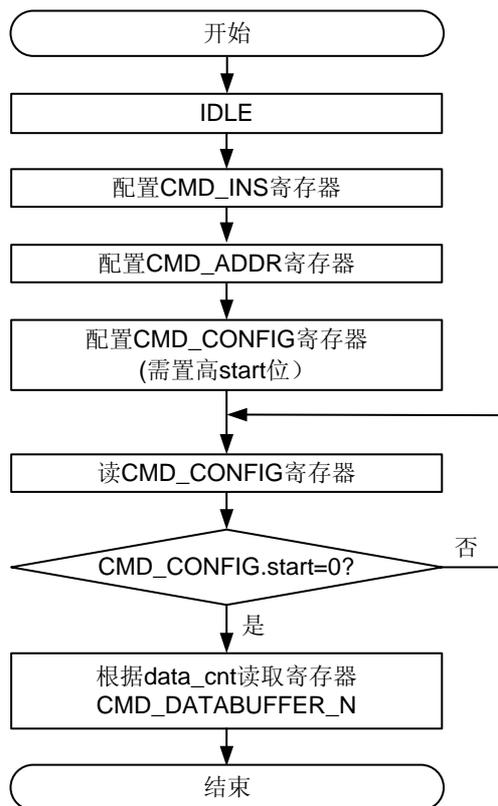
- 寄存器操作 flash 方式无需初始化，每次操作都需要重新配置。
- 注意以上初始化流程仅做参考，请视器件差异进行调整。

----结束

4.2.4.2 通过寄存器方式读 Flash 操作流程

通过寄存器读取 Flash 的操作流程如图 4-12 所示（查询方式）。

图4-12 通过寄存器读取 Flash 的操作流程（查询方式）

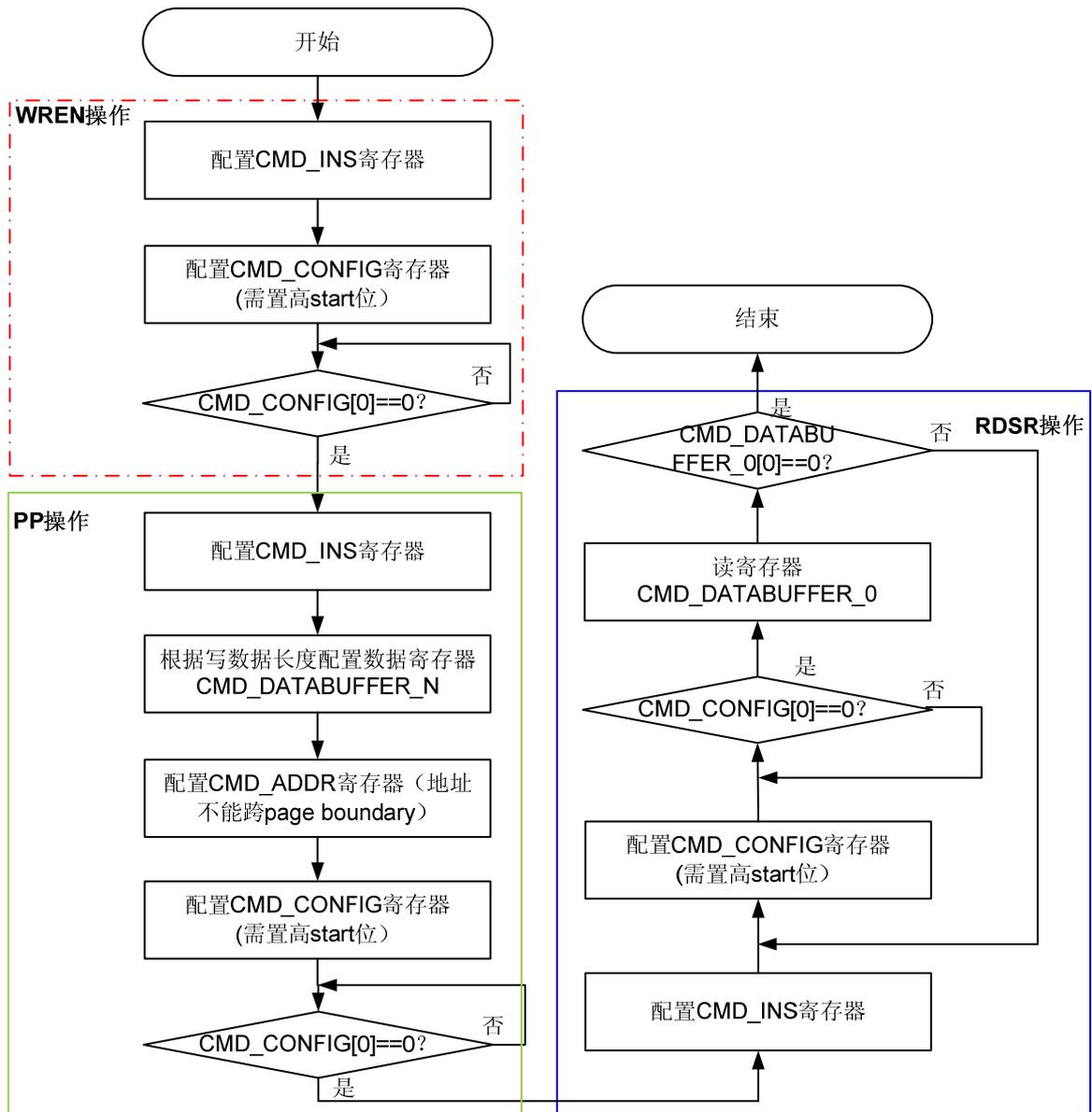


4.2.4.3 通过寄存器方式写 Flash 操作流程

通过寄存器写 Flash 的操作流程如图 4-13 所示（中断方式）。

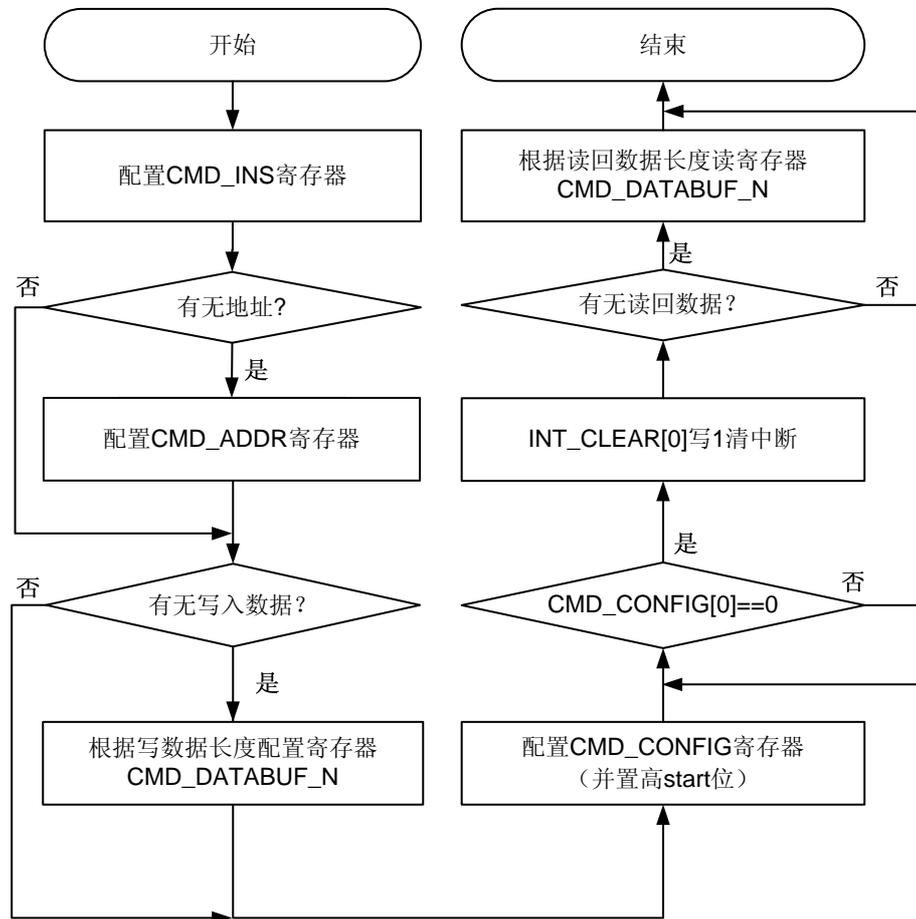


图4-13 通过寄存器写 Flash 的操作流程（中断方式）



4.2.4.4 通过寄存器方式其他操作流程

图4-14 通过寄存器方式其他操作流程



4.2.4.5 通过 AHB Slave 直接读写 Flash 操作流程

上电复位后，默认配置为 Standard SPI 时序模式。不需要额外配置可直接读 Flash。

默认通过 AHB Slave 写 Flash 是禁止的。需要配置 `BUS_CONFIG1[wr_enable]` 为 1，使能总线写操作。

如果需要调整总线读写配置，请参见“4.2.4.1 初始化流程”。

4.2.4.6 通过 DMA 方式读写 Flash 操作流程

DMA 操作流程：

1. 如需调整总线操作方式时序配置，请参考初始化流程。
2. 配置 DMA 操作的内存端起始地址、Flash 端起始地址（Flash 偏移地址）、数据长度。
3. 配置读写方向。
4. 使能 DMA 操作（配置寄存器 `BUS_DMA_CTRL[start]` 为 1）。



- 等待 dma_done 中断触发(中断方式)或轮询 DMA 操作完成 (BUS_DMA_CTRL [start]变为 0)。

说明

- DMA 操作时可以同时进行 Flash 寄存器命令操作。
- DMA 操作时可以同时通过 AHB Slave 直接访问 Flash，但需保证中间不修改总线操作相关配置。

----结束

4.2.5 寄存器概览

寄存器概览如表 4-7 所示。

表4-7 SFC 寄存器概览（基址是 0x1001_0000）

偏移地址	名称	描述	页码
0x0100	GLOBAL_CONFIG	全局配置寄存器	4-89
0x0110	TIMING	Timing 配置寄存器	4-90
0x0120	INT_RAW_STATUS	中断原始状态寄存器	4-90
0x0124	INT_STATUS	经过屏蔽处理的中断状态寄存器	4-91
0x0128	INT_MASK	中断屏蔽寄存器	4-92
0x012C	INT_CLEAR	中断清除寄存器	4-92
0x01F8	VERSION	版本寄存器	4-93
0x01FC	VERSION_SEL	版本选择寄存器	4-94
0x0200	BUS_CONFIG1	总线操作方式配置寄存器 1	4-94
0x0204	BUS_CONFIG2	总线操作方式配置寄存器 2	4-96
0x0210	BUS_FLASH_SIZE	总线操作方式映射尺寸寄存器	4-96
0x0214	CS0_BUS_BASE_A DDR	片选 0 总线操作方式映射基地址寄存器	4-97
0x0218	CS1_BUS_BASE_A DDR	片选 1 总线操作方式映射基地址寄存器	4-97
0x021C	BUS_ALIAS_ADDR	总线操作方式 Alias 映射基地址寄存器	4-98
0x0240	BUS_DMA_CTRL	DMA 操作控制寄存器	4-98
0x0244	BUS_DMA_MEM_S ADDR	DMA 操作 DDR 起始地址寄存器	4-99
0x0248	BUS_DMA_FLASH_ SADDR	DMA 操作 Flash 起始地址寄存器	4-100



偏移地址	名称	描述	页码
0x024C	BUS_DMA_LEN	DMA 操作搬运数据长度寄存器	4-100
0x0250	BUS_DMA_AHB_C TRL	DMA 操作 AHB burst 操作控制寄存器	4-100
0x0300	CMD_CONFIG	命令操作方式配置寄存器	4-101
0x0308	CMD_INS	命令操作方式指令寄存器	4-103
0x030C	CMD_ADDR	命令操作方式地址寄存器	4-103
0x0400+4 xN	CMD_DATABUF_N	命令操作方式数据 Buffer 寄存器 N	4-103

4.2.6 寄存器描述

GLOBAL_CONFIG

GLOBAL_CONFIG 为全局配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0100	GLOBAL_CONFIG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																								reserved	flash_addr_mode	wp_en	mode								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:5]	RO		reserved		保留。																															
[4:3]	RW		reserved		保留。必须写 0。																															
[2]	RW		flash_addr_mode		SPI 地址模式 0: 3Bytes address mode (default); 1: 4Bytes address mode。 CMD.start 为 1 时写无效。																															
[1]	RW		wp_en		硬件写保护使能，置 1 后 WP 管脚强制拉低。 0: Disable 硬件写保护 1: Enable 硬件写保护																															



[0]	RW	mode	SPI 模式设置。 0: 支持 Mode0; 1: 支持 Mode3。
-----	----	------	---

TIMING

TIMING 为 Timing 配置寄存器。

	Offset Address 0x0110								Register Name TIMING								Total Reset Value 0x0000_660F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								tcsh				reserved	tcss				reserved				tshsl										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	0	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:15]	RO		reserved		保留。																											
[14:12]	RW		tcsh		设置片选的 hold time。 000~111: n+1 个时钟周期。n 为 0、1、2、……、7。																											
[11]	RW		reserved		保留。																											
[10:8]	RW		tcss		设置片选的 setup time。 000~111: n+1 个时钟周期。n 为 0、1、2、……、7。																											
[7:4]	RO		reserved		保留																											
[3:0]	RW		tshsl		设置片选的 Deselect time, 相当于两次 Flash 操作之间的时间间隔。 0000~1111: n+2 个时钟周期。n 为 0、1、2、……、15。																											

INT_RAW_STATUS

INT_RAW_STATUS 为中断原始状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x0120		INT_RAW_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dma_done_int_raw_status	cmd_op_end_raw_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RO	dma_done_int_raw_status	DMA 操作完成中断原始状态(未经过屏蔽)。0: 未完成操作; 1: 已完成操作。						
[0]	RO	cmd_op_end_raw_status	指令操作结束原始中断状态(未经过屏蔽)。0: 未完成操作; 1: 已完成操作。						

INT_STATUS

INT_STATUS 为经过屏蔽处理的中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x0124		INT_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dma_done_int_status	cmd_op_end_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						



[1]	RO	dma_done_int_status	DMA 操作完成中断原始状态(经过屏蔽)。 0: 未完成操作; 1: 已完成操作。
[0]	RO	cmd_op_end_status	指令操作结束中断状态(经过屏蔽)。 0: 未完成操作; 1: 已完成操作。

INT_MASK

INT_MASK 为中断屏蔽寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0128				INT_MASK				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												dma_done_int_mask	cmd_op_end_int_mask		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:2]	RO		reserved		保留。																											
[1]	RW		dma_done_int_mask		DMA 操作完成中断屏蔽位。 0: 屏蔽中断; 1: 不屏蔽中断。																											
[0]	RW		cmd_op_end_int_mask		指令操作结束中断屏蔽位。 0: 屏蔽中断; 1: 不屏蔽中断。																											

INT_CLEAR

INT_CLEAR 为中断清除寄存器。



Offset Address		Register Name		Total Reset Value					
0x012C		INT_CLEAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dma_done_int_clr	cmd_op_end_int_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	WO	dma_done_int_clr	DMA 操作完成中断清除位，向该位写 1 将清除 dma_done_status 和 dma_done_raw_status。 0: 不清除中断； 1: 清除中断。 清除操作完成后该位自动返回 0。						
[0]	WO	cmd_op_end_int_clr	指令操作结束中断清除位，向该位写 1 将清除 cmd_op_end_status 和 cmd_op_end_raw_status。 0: 不清除中断； 1: 清除中断。 清除操作完成后该位自动返回 0。						

VERSION

VERSION 为版本寄存器。

Offset Address		Register Name		Total Reset Value				
0x01F8		VERSION		0x0000_0350				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	VERSION							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 1 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	VERSION	SFC 版本号。					



VERSION_SEL

VERSION_SEL 为版本选择寄存器。

Offset Address		Register Name		Total Reset Value																												
0x01FC		VERSION_SEL		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											version_sel				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:1]	RO	reserved	保留。																													
[0]	RO	version_sel	新旧寄存器组指示信号。 0: 旧版寄存器组; 1: 新版寄存器组。																													

BUS_CONFIG1

BUS_CONFIG1 为总线操作方式配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0200		BUS_CONFIG1		0x8080_0300																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rd_enable	wr_enable	wr_ins				wr_dummy_bytes	wr_mem_if_type	rd_ins				rd_prefetch_cnt	rd_dummy_bytes	rd_mem_if_type																	
Reset	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	rd_enable	总线读控制，总线读数据返回 0。 0: 禁止总线读功能。 1: 使能总线读功能																													



[30]	RW	wr_enable	总线写控制，总线写操作忽略。 0: 禁止总线写功能。 1: 使能总线写功能
[29:22]	RW	wr_ins	写指令
[21:19]	RW	wr_dummy_bytes	总线写操作 DummyByte 0: 没有 DummyByte 1: 1 Byte 2: 2 Bytes ... 7: 7 Bytes
[18:16]	RW	wr_mem_if_type	总线写操作指定连接的 SPI FLASH 接口类型。 000: Standard SPI 接口类型; 001: Dual-Input/Dual-Output SPI; 010: Dual-I/O SPI; 011: Full DIO SPI; 100: reserved; 101: Quad-Input/Dual-Output SPI; 110: Quad-I/O SPI; 111: Full QIO SPI。
[15:8]	RW	rd_ins	读指令
[7:6]	RW	rd_prefetch_cnt	总线访问 Flash 方式(非定长读)预取周期。 00: 不预取; (default) 01: 预取 1 个时钟周期数据; 10: 预取 2 个时钟周期数据; 11: 预取 3 个时钟周期数据。
[5:3]	RW	rd_dummy_bytes	总线读操作 DummyByte。 0: 没有 DummyByte; 1: 1 Byte; 2: 2 Bytes; ... 7: 7 Bytes。



[2:0]	RW	rd_mem_if_type	总线读操作指定连接的 SPI FLASH 接口类型。 000: Standard SPI 接口类型; 001: Dual-Input/Dual-Output SPI; 010: Dual-I/O SPI; 011: Full DIO SPI; 100: reserved; 101: Quad-Input/Dual-Output SPI; 110: Quad-I/O SPI; 111: Full QIO SPI。
-------	----	----------------	---

BUS_CONFIG2

BUS_CONFIG2 为总线操作方式配置寄存器 2。

	Offset Address				Register Name				Total Reset Value																							
	0x0204				BUS_CONFIG2				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	RO	reserved		保留。																											
	[2:0]	RW	reserved		保留。必须写 0。																											

BUS_FLASH_SIZE

BUS_FLASH_SIZE 为总线操作方式映射尺寸寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0210				BUS_FLASH_SIZE				0x0000_0909																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												flash_size_cs1		reserved																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											



[11:8]	RW	flash_size_cs1	指定片选 1 连接的 SPI Flash 容量。 0000: 没有连接 SPI FLASH; 0001: 512Kbit; 0010: 1Mbit; 0011: 2Mbit; 0100: 4Mbit; 0101: 8Mbit; 0110: 16Mbit; 0111: 32Mbit; 1000: 64Mbit; 1001: 128Mbit(default); 1010: 256Mbit; 1011: 512Mbit; 1100: 1Gbit; 1101: 2Gbit; 1110: 4Gbit; 1111: 8Gbit。
[7:0]	RW	reserved	保留。

CS0_BUS_BASE_ADDR

CS0_BUS_BASE_ADDR 为总线操作方式映射基地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x0214		CS0_BUS_BASE_ADDR		0x5A00_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	cs0_bus_base_addr_high				reserved				
Reset	0 1 0 1	1 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	cs0_bus_base_addr_high	CS0 flash 映射到系统空间基地址。						
[15:0]	RO	reserved	保留。						

CS1_BUS_BASE_ADDR

CS1_BUS_BASE_ADDR 为总线操作方式映射基地址寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0218				CS1_BUS_BASE_ADDR				0x5800_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cs1_bus_base_addr_high												reserved																			
Reset	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	cs1_bus_base_addr_high		CS1 flash 映射到系统空间基地址。																											
	[15:0]	RO	reserved		保留。																											

BUS_ALIAS_ADDR

BUS_ALIAS_ADDR 为总线操作方式 Alias 映射基地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x021C				BUS_ALIAS_ADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	flash_alias_addr												reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	flash_alias_addr		flash 映射到系统空间第二个基地址。																											
	[15:0]	RO	reserved		保留。																											

BUS_DMA_CTRL

BUS_DMA_CTRL 为 DMA 操作控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0240		BUS_DMA_CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															rw	start															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	reserved	DMA 操作指定片选。 0: 片选 0 采用 DMA 方式; 1: 片选 1 采用 DMA 方式。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	rw	DMA 读写指示。 0: 写操作(写到 Flash)。 1: 读操作(从 Flash 读出)。																													
[0]	RW	start	DMA 传输使能控制。 0: 无操作或操作完成。 1: 写 1 使能 DMA 操作, 读回 1 指示 DMA 操作中。 DMA 完成后自动回零。																													

BUS_DMA_MEM_SADDR

BUS_DMA_MEM_SADDR 为 DMA 操作 DDR 起始地址寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0244		BUS_DMA_MEM_SADDR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dma_mem_saddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RW	dma_mem_saddr	DMA 操作系统 memory 起始地址寄存器。 必须对齐 4bytes。																													



BUS_DMA_FLASH_SADDR

BUS_DMA_FLASH_SADDR 为 DMA 操作 Flash 起始地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0248	BUS_DMA_FLASH_SADDR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	dma_flash_saddr		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	dma_flash_saddr	DMA 操作 Flash 起始地址寄存器。

BUS_DMA_LEN

BUS_DMA_LEN 为 DMA 操作搬运数据长度寄存器。

	Offset Address	Register Name	Total Reset Value
	0x024C	BUS_DMA_LEN	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	dma_len	
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:30]	RW	reserved	保留。
[29:0]	RW	dma_len	DMA 操作数据搬运长度。最大 256MB。

BUS_DMA_AHB_CTRL

BUS_DMA_AHB_CTRL 为 DMA 操作 AHB burst 操作控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x0250		BUS_DMA_AHB_CTRL		0x0000_0007						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							incr16_en	incr8_en	incr4_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1		
Bits	Access	Name	Description							
[31:3]	RW	reserved	保留。							
[2]	RW	incr16_en	INC16 burst 类型使能。 0: 不使能。 1: 使能。							
[1]	RW	incr8_en	INC8 burst 类型使能。 0: 不使能。 1: 使能。							
[0]	RW	incr4_en	INC4 burst 类型使能。 0: 不使能。 1: 使能。							

CMD_CONFIG

CMD_CONFIG 为命令操作方式配置寄存器。

Offset Address		Register Name		Total Reset Value									
0x0300		CMD_CONFIG		0x0000_7E00									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved			mem_if_type	reserved	data_cnt		rw	data_en	dummy_byte_cnt	addr_en	reserved	start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	1 1 1 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:20]	RO	reserved	保留。										



[19:17]	RW	mem_if_type	指定寄存器命令操作方式连接的 SPI FLASH 接口类型。 000: Standard SPI 接口类型; 001: Dual-Input/Dual-Output SPI; 010: Dual-I/O SPI; 011: Full DIO SPI; 100: reserved; 101: Quad-Input/Dual-Output SPI; 110: Quad-I/O SPI; 111: Full QIO SPI。
[16:15]	RW	reserved	保留。必须写为 0。
[14:9]	RW	data_cnt	读写数据长度 N+1Bytes。
[8]	RW	rw	标识此次操作数据读写, 需 data_en 为 1。 0: 写, 有发送数据; 1: 读, 有返回数据。
[7]	RW	data_en	标识此次操作是否有数据。 0: 没有数据; 1: 有数据。
[6:4]	RW	dummy_byte_cnt	寄存器命令操作方式 DummyByte。 0: 没有 DummyByte; 1: 1 Byte; 2: 2 Bytes; ... 7: 7 Bytes。
[3]	RW	addr_en	此次操作是否有地址。 0: 没有地址; 1: 有地址。
[2]	RO	reserved	保留。
[1]	RW	reserved	片选选择信号。 0: 片选 0; 1: 片选 1。
[0]	RW	start	标识指令操作开始。 0: 操作结束; 1: 开始操作。 此次操作完成后该位自动回 0。



CMD_INS

CMD_INS 为命令操作方式指令寄存器。

Offset Address		Register Name		Total Reset Value						
0x0308		CMD_INS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						REG_INS			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	REG_INS	寄存器访问 Flash 方式下的指令码。							

CMD_ADDR

CMD_ADDR 为命令操作方式地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x030C		CMD_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cmd_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:0]	RW	cmd_addr	寄存器访问 Flash 方式下的操作地址。						

CMD_DATABUF_N

CMD_DATABUF_N 为命令操作方式数据 Buffer 寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0400+4xN				CMD_DATABUF_N				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cmd_databuf_n																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RW	cmd_databuf_n	寄存器访问 Flash 方式下的第 N 数据 Buffer。 寄存器偏移地址 0x400+4xN。 N 为 0 到 15。																													



目 录

5 以太网接口.....	5-1
5.1 ETH.....	5-1
5.1.1 概述	5-1
5.1.2 功能描述	5-1
5.1.3 信号描述	5-2
5.1.4 工作方式	5-3
5.1.5 寄存器概览	5-12
5.1.6 寄存器描述	5-16
5.2 FE PHY	5-71
5.2.1 概述	5-71
5.2.2 特点	5-71
5.2.3 功能描述	5-72
5.2.4 寄存器概览	5-79
5.2.5 寄存器描述	5-80



插图目录

图 5-1 Ethernet 模块逻辑框图.....	5-2
图 5-2 中断方式收帧流程图.....	5-5
图 5-3 查询方式收帧流程图.....	5-6
图 5-4 CPU 发帧流程图.....	5-7
图 5-5 系统框图	5-73
图 5-6 接收 LED.....	5-76
图 5-7 发送 LED.....	5-76
图 5-8 发送/接收 LED.....	5-77
图 5-9 链路/操作 LED.....	5-78
图 5-10 有/无 LPI LED 模式的定制 LED.....	5-79
图 5-11 EEE LED 运行状态.....	5-79



5 以太网接口

5.1 ETH

5.1.1 概述

以太网模块提供了 1 个 Ethernet MAC，实现网络接口数据的接收和发送，可以工作在 10Mbit/s 或 100Mbit/s 模式下，支持全双工或者半双工工作模式，对内置 PHY 提供了 MII 接口，对片外提供 RMII 接口，提供可配置的 8 组 DMAC 地址过滤表，可以对网口的输入帧进行选择过滤接收，同时实现了对 CPU 端口流量限制功能，保护 CPU 不被大流量攻击。

5.1.2 功能描述

Ethernet 模块有如下功能特点：

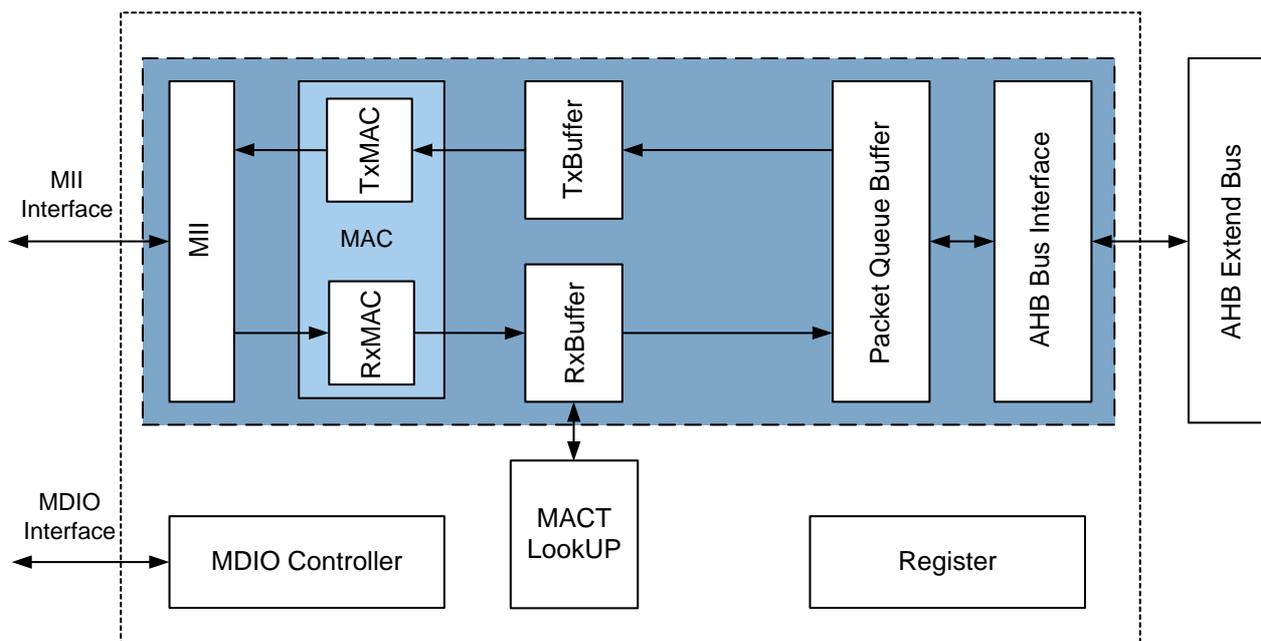
- 支持 1 个 Ethernet MAC。
- 支持 10Mbit/s 或 100Mbit/s 速率。
- 可工作在全双工或半双工模式。
- 支持外接 RMII 接口，对内置 PHY 提供 MII 接口。
- 支持半双工模式下的碰撞回退重传和 late collision。
- 支持全双工模式下的流控帧的发送。
- 支持帧长有效性检测，丢弃超长帧和超短帧。
- 支持对输入帧进行 CRC 校验，可丢弃校验错的帧。
- 支持对输出帧添加 CRC 校验。
- 支持短帧填充功能。
- 支持端口全双工模式下的内环回和外环回。
- 提供自适应功能，自动获取 PHY 芯片的工作状态。
- 提供 MDIO 接口，MDIO 接口时钟频率可调整。
- 提供 64 个接收和发送共用的帧管理队列。
- 提供流量限制功能，防止针对 CPU 的流量攻击。
- 支持对接收和发送帧进行统计计数。



- 提供输入 512byte 和输出 1536byte 的缓冲区。
- 支持 8 个可配置的 DMAC 地址过滤表。
- 对广播帧、组播帧和单播帧支持可配置是否转发或者丢弃。
- 对内置 PHY 支持 802.3az(Energy Efficient Ethernet)。

Ethernet 模块逻辑框图如图 5-1 所示。

图5-1 Ethernet 模块逻辑框图



5.1.3 信号描述

Ethernet 接口信号如表 5-1 和表 5-2 所示。

表5-1 MDIO 接口信号描述

信号名称	方向	描述	对应管脚
MDCK	O	MDIO 接口时钟输出。	MDCK
MDIO	I/O	MDIO 接口的输入/输出信号。	MDIO

表5-2 MII 接口信号描述

信号名称	方向	描述	对应管脚
RMII_REF_CLK	I/O	上行 RMII 接口参考时钟。	RMII_REFCLK



信号名称	方向	描述	对应管脚
MII_TXCK	I	MII 发送数据时钟。	MII_TXCK
MII_TXD[3:0]/ RMII_TXD[3:0]	O	MII/RMII 发送数据。	MII_TXD3~ MII_TXD0
MII_TXEN/ RMII_TXEN	O	MII/RMII 发送数据有效。	MII_TXEN
MII_TXER	O	MII 发送数据错误标志	MII_TXER
MII_RXCK	I	MII 接口接收数据时钟。	MII_RXCK
MII_RXD[3:0]/ RMII_RXD[1:0]	I	MII/RMII 接口接收数据。	MII_RXD3~ MII_RXD0
MII_RXDV/ RMII_CRSDV	I	MII/RMII 接口接收数据有效。	MII_RXDV
MII_RXER	I	MII 接口接收数据错误	MII_RXER
MII_CRSD	I	MII 接口载波有效信号。	MII_CRSD
MII_COL	I	MII 接口冲突信号。	MII_COL

5.1.4 工作方式

5.1.4.1 收帧过程

初始化时软件需要完成以下操作：

- 软件需要申请与配置的输入队列深度个数相同的缓冲区，每个缓冲区的大小为 2KB，然后将缓冲区首地址依次写入到帧输入队列中，写入的次数应刚好等于配置的输入队列的深度。
- 软件需要保证配置的缓冲区在收帧时不能释放。如果配置的首地址为非 word 对齐地址时，需确保该地址对应的字节地址为可写地址。

当 CPU 获知有 1 帧数据需要接收时，执行以下步骤：

1. 读取寄存器 `UD_GLB_IQFRM_DES` 中的帧描述子（包含输入帧的起始地址和帧长度信息）。
2. 处理数据，并将 `GLB_IRQ_RAW[iraw_rx_up]` 写 1 清 0（表示 CPU 收帧结束）。

----结束

软件收完 1 帧数据后需要重新申请一个 2KB 的缓冲区，并将首地址重新写入到当前输入队列帧描述子中。否则，实际可以使用的输入队列的深度不等于 CPU 配置的数值，而等于 CPU 实际分配的缓冲区个数。

CPU 接收帧描述子数据结构如表 5-3 所示。



表5-3 CPU 接收帧描述子数据结构

位	名称	描述
[63:32]	rxfrm_saddr	接收帧的起始地址。
[31:18]	reserved	保留
[17:12]	fd_in_addr	输入队列 (iq) 待接收帧的相对地址, 作为帧存放绝对地址的索引值 (0~iq_len-1)。
[11:0]	fd_in_len	输入队列待接收帧帧长度。

说明

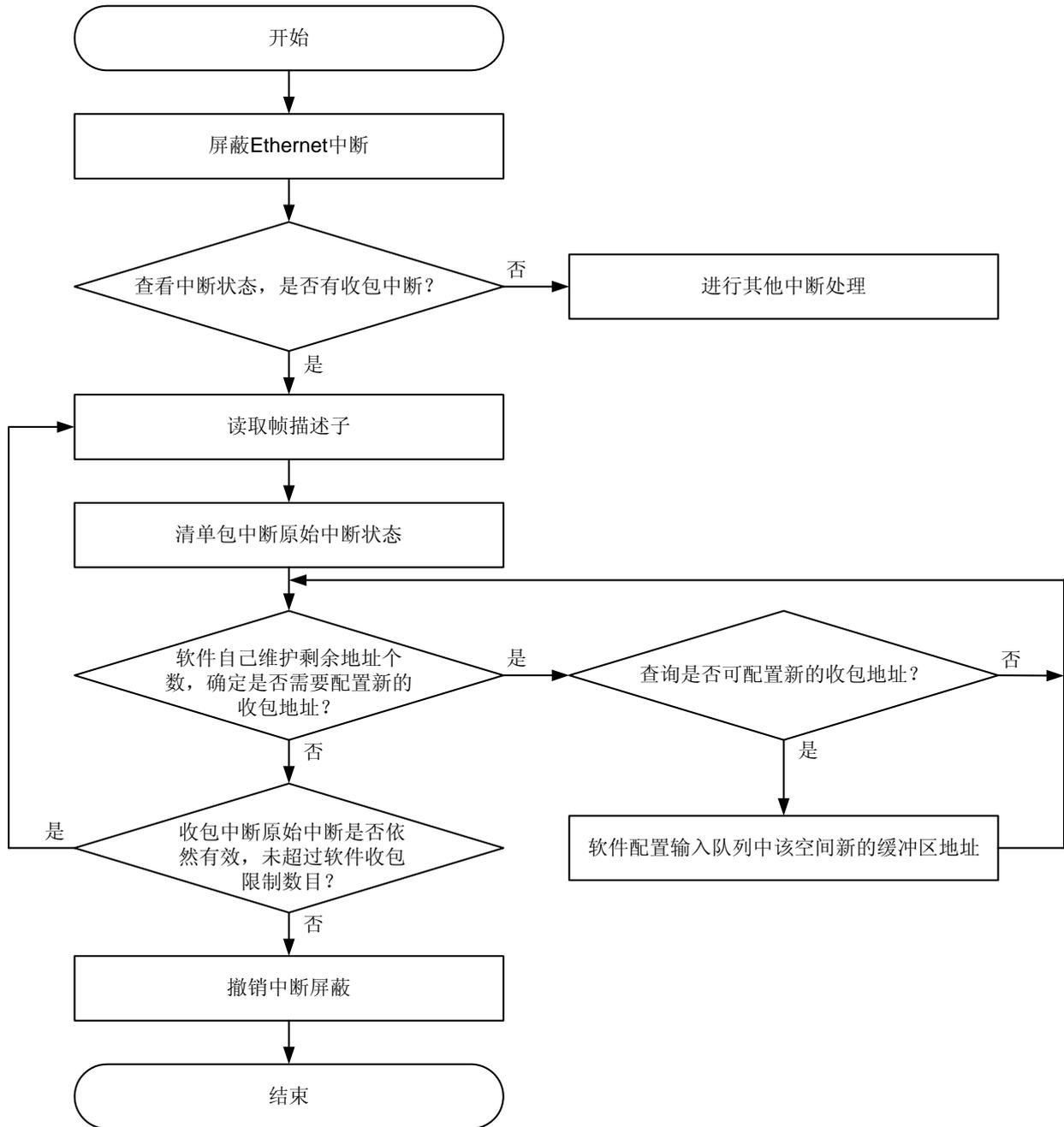
查询 [UD_GLB_ADDRQ_STAT](#) 可获得接收队列使用长度。

CPU 收帧可以采用中断方式或查询方式。

a. 中断方式收帧

CPU 使能帧接收中断时, 根据是否有帧需要接收, 硬件会产生帧接收中断 (单包中断和多包中断) `int_rx_up` (每接收 1 个报文上报 1 个中断) 和 `int_rxd_up` (每接收到指定报文数目时上报 1 个中断) 通知 CPU 收帧。中断方式收帧流程如 [图 5-2](#) 所示。

图5-2 中断方式收帧流程图

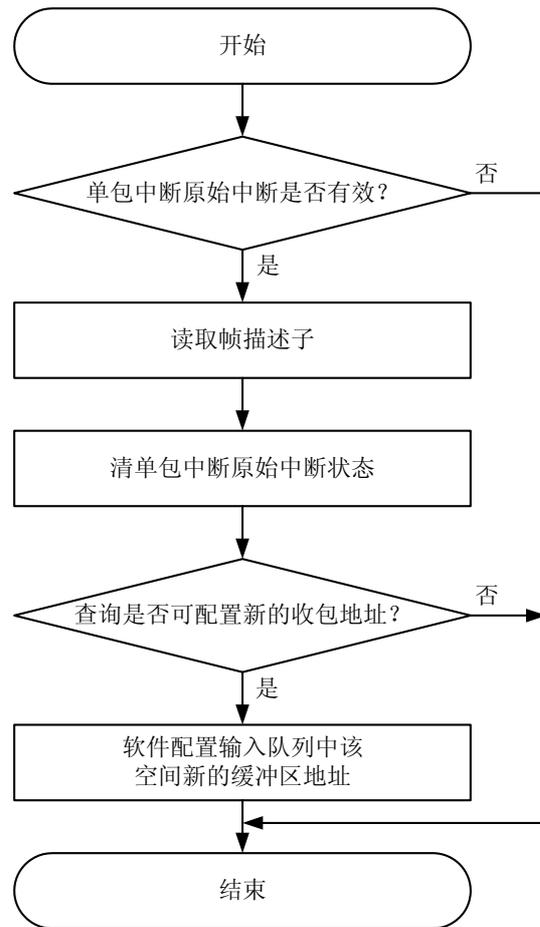


b. 查询方式收帧

CPU 不使能帧接收中断 `GLB_IRQ_ENA[ien_rx_up]`, CPU 自动查询 `GLB_IRQ_RAW[iraw_rx_up]`, 为 1 表示有帧需要 CPU 接收。查询方式收帧流程如图 5-3 所示。



图5-3 查询方式收帧流程图



5.1.4.2 发帧过程

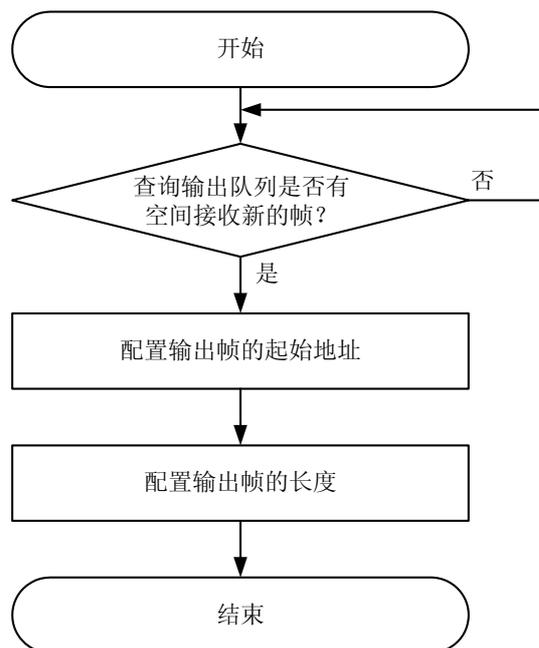
CPU 有帧待发送时，判断当前队列是否有空间发送。如果有空间发送，则分别写该帧 Buffer 的首地址和帧长到输出队列帧描述子中。CPU 先写入首地址，然后写入发送帧的帧长。写发送帧的帧长触发硬件将该输出帧的首地址和帧长信息写入到输出队列中等待发送。因此，软件应该控制不能任意写帧长寄存器，每写该寄存器一次会导致发送一个数据包。

帧格式如下：

目的 MAC	源 MAC	Type	Data	FCS
--------	-------	------	------	-----

CPU 发帧流程如图 5-4 所示。

图5-4 CPU 发帧流程图



CPU 发出的帧在 SDRAM 中缓存时，不包括帧描述子。写帧描述子到 [UD_GLB_EQ_ADDR](#) 及 [UD_GLB_EQFRM_LEN](#)，通知 Ethernet 将该帧（描述子）入队。CPU 发送帧描述子数据结构如表 5-4 所示。

表5-4 CPU 发送帧描述子数据结构

位	名称	描述
[42:11]	start_addr_eq	发送一个帧的首地址。
[10:0]	fm_len	帧长度，单位：byte。

注：fm_len 小于 20byte 以及大于 1900byte 的帧将被丢弃，即可发送范围在 20~1900 之间。

说明

查询 [UD_GLB_ADDRQ_STAT](#) 可获得当前 CPU 发送队列使用情况。

CPU 发帧可以采用中断方式或查询方式。

a. 中断方式发帧

CPU 使能 Ethernet 发包队列由不空到空中断（int_freeeq_up），同时设置允许该中断通知 CPU。此时如果 Ethernet 输出队列由不空到空，说明 Ethernet 可以发送帧，硬件产生中断通知 CPU，表示 CPU 可以发帧。

如果软件需要发送帧，但是当前输出队列已满，则软件可以使能该中断。当输出队列为空后，产生中断，通知软件发送等待的帧。软件可以使用该中断一次发送一组帧，同时在该中断有效时释放上次发送的一组帧的缓冲区。



b. 查询方式发帧

软件查询自己内部的发帧计数，如果计数小于配置的输出队列长度，则可以直接将待发送的帧通知 Ethernet，同时建立对应的发帧索引表，索引表项内容为写入到 Ethernet 输出队列的输出帧首地址。当 Ethernet 发送完 1 帧后，通过输出队列的地址通知 CPU 释放对应的发送缓冲区，CPU 通过该输出队列的地址查找到对应的发送缓冲区并释放。

5.1.4.3 中断管理

中断状态寄存器

指示产生的中断类型，具体内容请参见“5.1.6.3 全局控制寄存器”中的“GLB_IRQ_STAT”。

中断使能寄存器

控制是否产生相应的中断，具体内容请参见“5.1.6.3 全局控制寄存器”中的“GLB_IRQ_ENA”。如果使能某中断，其中断状态会写入到相应的中断状态寄存器中。

原始中断状态寄存器

可以读取某种类型的原始中断传送给 CPU，具体内容请参见“5.1.6.3 全局控制寄存器”中的“GLB_IRQ_RAW”。中断状态清除必须清除该中断的原始中断，原始中断清除后，中断状态会自动清除。

5.1.4.4 流量控制

对于软件接收的帧，当单位时间间隔内接收到的帧超过软件配置上限时，则将后续接收的帧按配置进行选择性的丢弃。软件可配置超过流量限制后丢弃广播帧、组播帧或者单播帧（通过 UD_GLB_FC_DROPCTRL 配置）。流量限制阈值通过 UD_GLB_FC_RXLIMIT 设置。

软件可配置寄存器 UD_GLB_FC_TIMECTRL 来设置流量限制的时间间隔。使用 1 个 10bit 时间间隔寄存器，最大可以是 1023 个时间粒度。时间间隔粒度采用 17bit 计数器，对主时钟进行计数，默认值是 100000，对于 100MHz 主时钟时间粒度为 1ms。软件可配置（20bit 寄存器）流量限制上限值的大小，若配置为 0 表示不进行流量限制全部接收。

5.1.4.5 典型应用

时钟门控

说明

在不使用 ETH 模块时，可关断其时钟，以降低功耗。

关断 Ethernet 时钟的步骤如下：

1. 关闭端口链路状态，使 Ethernet 无法收发包。
2. 清除端口收包队列，使 Ethernet 再无收包中断上报。



3. 软件下发复位 Ethernet 逻辑命令，复位不撤消。
4. 设置 PERI_CRG51 [eth_cken]为 0，关闭 Ethernet 时钟。

----结束

打开 Ethernet 时钟的步骤如下：

1. 保持复位不撤消。设置 PERI_CRG51 [eth_cken]为 1，打开 Ethernet 时钟。
2. 设置 PERI_CRG51 [hrst_eth_s]为 0，撤消复位。
3. 打开端口链路状态，Ethernet 恢复正常工作。

----结束

软复位

Ethernet 全局软复位的步骤如下：

1. 关闭 Ethernet 的端口链路状态以及收包中断使能，使软件无法收包，同时软件不再发包。
2. 等到软件处理完端口的当前收发包后，清除收发包队列，同时队列长度保持软复位之前的值，相关指针、队列计数值均要回 0。
3. 设置 PERI_CRG51 [hrst_eth_s]为 1，下发 Ethernet 软复位命令。
4. 设置 PERI_CRG51 [hrst_eth_s]为 0，撤消 Ethernet 软复位。
5. 如果要重新开始收发包，软件还需对端口收发包队列进行初始化配置。
6. 打开端口链路状态，Ethernet 恢复正常工作。

----结束

初始化

端口的初始化的步骤如下：

1. 配置端口状态获取方式。

Ethernet 可以自适应 PHY 工作状态或者由软件配置其工作状态。在初始化时通过配置 [UD_MAC_PORTSEL\[stat_ctrl\]](#)进行选择：

- 当配置为 1 时，选择软件配置端口工作状态，执行 2。
- 当配置为 0 时，选择自适应获取工作状态，执行 3。

复位时选择软件设置端口工作状态。

2. 配置工作状态和 PHY 芯片工作状态。

- 如果配置端口通过软件配置工作状态，则软件需要根据实际运用环境配置 [UD_MAC_PORTSET](#) 中的速度、连接状态和双工模式状态信息，同时将这些信息配置到 PHY 芯片的相关寄存器中。



- Ethernet 提供 MDIO 接口，实现对 PHY 芯片的读写控制。软件操作时将数据、PHY 芯片的地址、寄存器地址和相关控制信息写入到 MDIO_RWCTRL 寄存器中，然后查询到 MDIO_RWCTRL[finish] 为 1，表示硬件完成对 PHY 芯片的读写操作。具体的配置内容需要参考相关 PHY 芯片的数据手册。

配置完成后执行 4。

3. 配置自适应工作状态。

如果配置端口通过自适应方式获取 PHY 芯片的工作状态，需要指明 PHY 芯片速度、双工模式和有无连接寄存器的地址以及这些状态位各自寄存器中的偏移地址。通过配置 UD_MDIO_ANEG_CTRL 实现。

4. 接收和发送帧队列深度设置。

设置寄存器 UD_GLB_QLEN_SET 中的输入队列深度和输出队列深度：

- 输入队列深度表示接收数据时可以缓存的帧的最大的数量。
- 输出队列深度表示发送数据时可以缓存的帧的最大的数量。

由于输入队列和输出队列共用 64 个管理空间，因此设置的输入队列深度和输出队列深度之和不能超过 64，输入队列深度和输出队列深度至少为 1。如果软件设置的输入队列深度和输出队列深度之和大于 64，则优先保证软件先配置的项，另外一项则为 64 减去先配置项的结果。

另外，可以设置多包中断配置寄存器，设置寄存器 UD_GLB_IRQN_SET[int_frm_cnt] 来配置每隔多少个包上报一次多包中断，同时配置老化时间寄存器 UD_GLB_IRQN_SET[int_timer]。

5. 初始化接收帧队列缓冲区。

复位后，软件需要申请与配置的输入队列深度个数相同的缓冲区，每个缓冲区大小为 2KB，然后将缓冲区首地址依次写入到帧输入队列中，写入的次数应刚好等于配置的输入队列的深度。

6. 模块软复位。

软件配置 ETH 模块软复位，可以对 Ethernet 内部的逻辑电路和帧管理队列进行复位，使 ETH 模块回到初始化状态，但 Ethernet 内部所有的寄存器保留软复位前的值。软件解除软复位后，需要重新申请收包缓冲区并对输入队列进行初始化，否则 Ethernet 不能接收网络包。

说明

Ethernet 软复位后，软件设置的寄存器不变。具体哪些寄存器可以软复位，请参见每个寄存器的说明。

----结束

中断收帧流程

中断收帧的步骤如下：

1. 进入中断处理程序后，屏蔽 Ethernet 中断。



2. 查看中断状态 `GLB_IRQ_STAT[int_rx_up]` 是否有收帧中断。如果有，则转 3；如果没有，则进行其他 Ethernet 中断处理。
3. 读取帧描述子 `UD_GLB_IQFRM_DES`，根据 `fd_in_addr` 对应的帧首地址读取对应长度 (`fd_in_len`) 的帧数据。
4. 清单包中断原始中断信号 `GLB_IRQ_RAW[iraw_rx_up]` 为 0，通知硬件接收完成。
5. 软件根据自己维护的剩余可用地址个数，确定是否需要配置新的收包地址。如果不需要配置，则转 8。完成一次收包。
6. 读取 `UD_GLB_QSTAT[cpu_addr_in_rdy]`，查看是否可配新的收包地址。如果不可配，则返回 5。
7. 软件通过寄存器 `UD_GLB_IQ_ADDR` 将新的缓冲区地址配置给输入队列。返回 5。
8. 读取并判断单包中断原始中断信号 `GLB_IRQ_RAW[iraw_rx_up]`。如果该位有效且软件可继续收包（未超过收包限制数目），则返回 3。
9. 撤消 Ethernet 中断屏蔽。

----结束

查询收帧流程

不使能帧接收中断 `GLB_IRQ_ENA[ien_cpu_rx]`，CPU 自动查询单包中断原始中断信号 `GLB_IRQ_RAW[iraw_rx_up]`，为 1 表示有帧需要接收。

查询收帧的步骤如下：

1. 读取单包中断原始中断信号 `GLB_IRQ_RAW[iraw_rx_up]`。如果该位无效，则直接结束。
2. 读取帧描述子 `UD_GLB_IQFRM_DES`，根据 `fd_in_addr` 对应的帧首地址读取对应长度 (`fd_in_len`) 的帧数据。
3. 写 1 清除单包中断原始中断信号 `GLB_IRQ_RAW[iraw_rx_up]`，通知硬件接收完成。
4. 读取 `UD_GLB_QSTAT[cpu_addr_in_rdy]`，查看是否可配新的收包地址。如果无效，则直接结束。
5. 软件通过寄存器 `UD_GLB_IQ_ADDR` 将新的缓冲区地址配置给输入队列。

----结束

发帧流程

发帧的步骤如下：

1. 读取 `UD_GLB_ADDRQ_STAT[eq_in_rdy]`，检查 Ethernet 输出队列是否有剩余空间接收新的发送帧。如果没有，则继续等待并查询。
2. 配置待输出帧的首地址 `UD_GLB_EQ_ADDR`。
3. 配置待输出帧的长度 `UD_GLB_EQFRM_LEN`。完成 1 帧的发送配置。



----结束

5.1.5 寄存器概览

MDIO 控制寄存器

MDIO 控制寄存器概览如表 5-5 所示。

表5-5 MDIO 控制寄存器概览（基地址是 0x1009_0000）

偏移地址	名称	描述	页码
0x1100	MDIO_RWCTRL	MDIO 命令字寄存器	5-16
0x1104	MDIO_RO_DATA	MDIO 读数据寄存器	5-18
0x0108	UD_MDIO_PHYADDR	PHY 物理地址寄存器	5-18
0x010C	UD_MDIO_RO_STAT	PHY 芯片状态寄存器	5-18
0x0110	UD_MDIO_ANEG_CTRL	PHY 芯片各状态的偏移地址设置寄存器	5-19
0x0114	UD_MDIO_IRQENA	端口状态变化扫描屏蔽寄存器	5-20

MAC 控制寄存器

MAC 控制寄存器概览如表 5-6 所示。

表5-6 MAC 控制寄存器概览（基地址是 0x1009_0000）

偏移地址	名称	描述	页码
0x0200	UD_MAC_PORTSEL	端口工作状态控制寄存器	5-21
0x0204	UD_MAC_RO_STAT	端口状态寄存器	5-22
0x0208	UD_MAC_PORTSET	端口设定工作状态寄存器	5-23
0x020C	UD_MAC_STAT_CHANGE	端口状态改变指示寄存器	5-23
0x0210	UD_MAC_SET	MAC 功能设置寄存器	5-24
0x0480	UD_MAC_EEE_INT	EEE 原始中断寄存器	5-26
0x0484	UD_MAC_EEE_INTEN	EEE 中断使能寄存器	5-27
0x0488	UD_MAC_EEE_ENA	EEE 使能寄存器	5-28
0x048C	UD_MAC_EEE_TIMER	EEE 定时控制器	5-29
0x0490	UD_MAC_EEE_LINK_STATUS	EEE 连接状态配置	5-29



偏移地址	名称	描述	页码
0x0494	UD_MAC_EEE_CLK_CNT	EEE 定时单元计数器	5-30

全局控制寄存器

Ethernet 全局控制寄存器概览如表 5-7 所示。

表5-7 全局控制寄存器概览（基地址是 0x1009_0000）

偏移地址	名称	描述	页码
0x1300	GLB_HOSTMAC_L32	本机 MAC 地址低 32bit 寄存器	5-30
0x1304	GLB_HOSTMAC_H16	本机 MAC 地址寄存器高 16bit	5-31
0x1308	GLB_SOFT_RESET	内部软复位寄存器	5-31
0x1310	GLB_FWCTRL	转发控制寄存器	5-32
0x1314	GLB_MACTCTRL	MAC 过滤表控制寄存器	5-33
0x1318	GLB_ENDIAN_MOD	大小端控制寄存器	5-34
0x1330	GLB_IRQ_STAT	中断状态寄存器	5-34
0x1334	GLB_IRQ_ENA	中断使能寄存器	5-36
0x1338	GLB_IRQ_RAW	原始中断寄存器	5-38
0x1400	GLB_MAC0_L32	MAC 过滤器 0	5-39
0x1404	GLB_MAC0_H16	MAC 过滤器 0	5-40
0x1408	GLB_MAC1_L32	MAC 过滤器 1	5-41
0x140C	GLB_MAC1_H16	MAC 过滤器 1	5-41
0x1410	GLB_MAC2_L32	MAC 过滤器 2	5-42
0x1414	GLB_MAC2_H16	MAC 过滤器 2	5-42
0x1418	GLB_MAC3_L32	MAC 过滤器 3	5-43
0x141C	GLB_MAC3_H16	MAC 过滤器 3	5-43
0x1420	GLB_MAC4_L32	MAC 过滤器 4	5-44
0x1424	GLB_MAC4_H16	MAC 过滤器 4	5-44
0x1428	GLB_MAC5_L32	MAC 过滤器 5	5-45
0x142C	GLB_MAC5_H16	MAC 过滤器 5	5-45



偏移地址	名称	描述	页码
0x1430	GLB_MAC6_L32	MAC 过滤器 6	5-46
0x1434	GLB_MAC6_H16	MAC 过滤器 6	5-47
0x1438	GLB_MAC7_L32	MAC 过滤器 7	5-47
0x143C	GLB_MAC7_H16	MAC 过滤器 7	5-48
0x0340	UD_GLB_IRQN_SET	多包中断配置寄存器	5-48
0x0344	UD_GLB_QLEN_SET	队列长度配置寄存器	5-49
0x0348	UD_GLB_FC_LEVEL	流控控制寄存器	5-50
0x034C	UD_GLB_CAUSE	报文上送 CPU 的 Cause 寄存器	5-50
0x0350	UD_GLB_RXFRM_SADDR	输入帧起始地址寄存器	5-51
0x0354	UD_GLB_IQFRM_DES	输入帧描述子寄存器	5-51
0x0358	UD_GLB_IQ_ADDR	输入帧首地址寄存器	5-52
0x035C	UD_GLB_BFC_STAT	转发缓存流控状态和多包中断老化时间计数器	5-53
0x0360	UD_GLB_EQ_ADDR	输出队列首地址寄存器	5-53
0x0364	UD_GLB_EQFRM_LEN	输出队列帧长配置寄存器	5-54
0x0368	UD_GLB_QSTAT	队列状态寄存器	5-54
0x036C	UD_GLB_ADDRQ_STAT	地址队列状态寄存器	5-55
0x0370	UD_GLB_FC_TIMECTRL	流量限制时间配置寄存器	5-56
0x0374	UD_GLB_FC_RXLIMIT	流量限制水线配置寄存器	5-56
0x0378	UD_GLB_FC_DROPCTRL	流量限制丢包控制寄存器	5-57

统计计数控制寄存器

统计计数控制寄存器概览如表 5-8 所示。

表5-8 统计计数控制寄存器概览（基地址是 0x1009_0000）

偏移地址	名称	描述	页码
0x0584	UD_STS_PORTCNT	端口部分状态计数器	5-58
0x05A0	UD_PORT2CPU_PKTS	CPU 接收总包数寄存器	5-58



偏移地址	名称	描述	页码
0x05A4	UD_CPU2IQ_ADDRCNT	CPU 配置收包地址队列次数寄存器	5-59
0x05A8	UD_RX_IRQCNT	上报单包中断次数寄存器	5-59
0x05AC	UD_CPU2EQ_PKTS	CPU 发往发送端口总包数寄存器	5-59

统计结果寄存器

统计结果寄存器概览如表 5-9 所示。

表5-9 统计结果寄存器概览（基地址是 0x1009_0000）

偏移地址	名称	描述	页码
0x0600	UD_RX_DVCNT	RXDV 上升沿次数寄存器	5-60
0x0604	UD_RX_OCTS	接收的总字节数寄存器	5-60
0x0608	UD_RX_RIGHTOCTS	接收正确包总字节数寄存器	5-61
0x060C	UD_HOSTMAC_PKTS	匹配本机 MAC 的包数寄存器	5-61
0x0610	UD_RX_RIGHTPKTS	端口接收的总包数寄存器	5-62
0x0614	UD_RX_BROADPKTS	正确的广播包数寄存器	5-62
0x0618	UD_RX_MULTPKTS	正确的组播包数寄存器	5-62
0x061C	UD_RX_UNIPKTS	正确的单播包数寄存器	5-63
0x0620	UD_RX_ERRPKTS	错包总包数寄存器	5-63
0x0624	UD_RX_CRCERR_PKTS	CRC 错误次数寄存器	5-64
0x0628	UD_RX_LENERR_PKTS	包长无效的包数寄存器	5-64
0x062C	UD_RX_OCRCERR_PKTS	奇数 Nibble CRC 错的包数寄存器	5-64
0x0630	UD_RX_PAUSE_PKTS	接收的流控包数寄存器	5-65
0x0634	UD_RF_OVERCNT	RXFIFO 溢出次数寄存器	5-65
0x0638	UD_FLUX_TOL_IPKTS	流量限制入口的总包数寄存器	5-66



偏移地址	名称	描述	页码
0x063C	UD_FLUX_TOL_DPKTS	流量限制丢弃的总包数寄存器	5-66
0x064C	UD_MN2CPU_PKTS	由于 MAC 限制不转发给 CPU 端口的包数寄存器	5-66
0x0780	UD_TX_PKTS	发送成功的总包数寄存器	5-67
0x0784	UD_TX_BROADPKTS	发送成功的广播包数寄存器	5-67
0x0788	UD_TX_MULTPKTS	发送成功的组播包数寄存器	5-68
0x078C	UD_TX_UNIPKTS	发送成功的单播包数寄存器	5-68
0x0790	UD_TX_OCTS	发送的总字节数寄存器	5-68
0x0794	UD_TX_PAUSE_PKTS	发送的流控帧数目寄存器	5-69
0x0798	UD_TX_RETRYCNT	发送过程中总重传次数寄存器	5-69
0x079C	UD_TX_COLCNT	发生冲突的总次数寄存器	5-69
0x07A0	UD_TX_LC_PKTS	发生 LateCollision 的包数寄存器	5-70
0x07A4	UD_TX_COLOK_PKTS	有冲突但发送成功的包数寄存器	5-70
0x07A8	UD_TX_RETRY15_PKTS	重传超 15 次丢弃的包数寄存器	5-71
0x07AC	UD_TX_RETRYN_PKTS	冲突次数等于域值的包数寄存器	5-71

5.1.6 寄存器描述

5.1.6.1 MDIO 控制寄存器

MDIO_RWCTRL

MDIO_RWCTRL 为 MDIO 命令字寄存器。该寄存器不支持软复位。



	Offset Address				Register Name				Total Reset Value																							
	0x1100				MDIO_RWCTRL				0x0000_8000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												finish	reserved	rw	phy_exaddr				frq_dv		phy_inaddr										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	cpu_data_in		MDIO 模块对 PHY 进行写操作的数据。 进行写操作时，CPU 将要写入的 16bit 数据先写入到该寄存器中。																											
	[15]	RW	finish		PHY 的读/写操作完成。 0: 未完成; 1: 完成。 当要进行第 2 次读/写操作时，CPU 要先对该位进行清 0。																											
	[14]	RO	reserved		保留。																											
	[13]	RW	rw		控制对 PHY 的访问为读操作还是写操作。 0: 读操作; 1: 写操作。																											
	[12:8]	RW	phy_exaddr		对外部操作的 PHY 的对应外部物理地址。 1 个 MDIO 可以对外面的多个 PHY 进行读写访问。每个 PHY 有 1 个相应的地址。当外部只连接 1 个 PHY 芯片时，配置值与寄存器 UD_MDIO_PHYADDR[phy0_addr] 和 UD_MDIO_PHYADDR[phy1_addr] 的值一致。																											
	[7:5]	RW	frq_dv		对外部 PHY 进行读写操作时，对 MDCK（MDIO 接口时钟）的分频系数。 以主时钟频率 54MHz 为例，frq_dv 与 MDC 频率对应关系如下： 000: 对工作主时钟 50 分频，分频后的频率为 1.1MHz; 001: 对工作主时钟 100 分频，分频后的频率为 552KHz; 010: 对工作主时钟 150 分频，分频后的频率为 368 KHz; 011: 对工作主时钟 200 分频，分频后的频率为 276 KHz; 100: 对工作主时钟 250 分频，分频后的频率为 221 KHz; 101: 对工作主时钟 300 分频，分频后的频率为 184 KHz; 110: 对工作主时钟 350 分频，分频后的频率为 158 KHz; 111: 对工作主时钟 400 分频，分频后的频率为 138 KHz。																											



[4:0]	RW	phy_inaddr	对外部操作的 PHY 芯片的内部寄存器地址，用 5bit 二进制数表示。
-------	----	------------	--------------------------------------

MDIO_RO_DATA

MDIO_RO_DATA 为读数据寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value													
	0x1104	MDIO_RO_DATA	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								cpu_data_out							
Reset	0 0															
Bits	Access	Name	Description													
[31:16]	RO	reserved	保留。													
[15:0]	RO	cpu_data_out	用于 MDIO 模块对 PHY 进行读操作的数据寄存器，将从 PHY 读取的 16bit 数据先写入到该寄存器中。													

UD_MDIO_PHYADDR

UD_MDIO_PHYADDR 为 PHY 物理地址寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value													
	0x0108	UD_MDIO_PHYADDR	0x0000_0001													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved												phy_addr			
Reset	0 1															
Bits	Access	Name	Description													
[31:5]	RO	reserved	保留。													
[4:0]	RW	phy_addr	外部连接的 PHY 芯片的外部物理地址。													

UD_MDIO_RO_STAT

UD_MDIO_RO_STAT 为获取 PHY 芯片状态寄存器。该寄存器不支持软复位。



	Offset Address				Register Name				Total Reset Value																							
	0x010C				UD_MDIO_RO_STAT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								speed_mdio2mac	link_mdio2mac	duplex_mdio2mac					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:3]	RO	reserved	保留。																													
[2]	RO	speed_mdio2mac	从 MDIO 接口得到的端口速度工作状态，处于 10Mbit/s 或 100Mbit/s 工作方式。 0: 10Mbit/s 工作方式； 1: 100Mbit/s 工作方式。																													
[1]	RO	link_mdio2mac	从 MDIO 接口得到的端口链接状态。 0: 无链接； 1: 有链接。																													
[0]	RO	duplex_mdio2mac	从 MDIO 接口得到的端口双工工作状态。 0: 半双工； 1: 全双工。																													

UD_MDIO_ANEG_CTRL

UD_MDIO_ANEG_CTRLPHY 为芯片各状态的偏移地址设置寄存器。该寄存器不支持软复位。

说明

如果 PHY 芯片速度状态位于其地址为 17 的寄存器的 bit[14]，即可配置 internal_addr_speed 为 0x11、speed_index 为 0xE，则此时可通过 MDIO 接口将该 bit 值读出作为 PHY 当前工作的速度模式信息。



Offset Address		Register Name		Total Reset Value																												
0x0110		UD_MDIO_ANEG_CTRL		0x0463_1EA9																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				internal_addr_speed				internal_addr_link				internal_addr_duplex				speed_index				link_index				duplex_index							
Reset	0	0	0	0	0	1	0	0	0	1	1	0	0	0	1	1	0	0	0	1	1	1	1	0	1	0	1	0	1	0	0	1
Bits	Access		Name		Description																											
[31:27]	RO		reserved		保留。																											
[26:22]	RW		internal_addr_speed		PHY 芯片存储状态信息（速度）的寄存器地址。缺省值按照 Intel 9785 设置。																											
[21:17]	RW		internal_addr_link		PHY 芯片存储状态信息（链接）的寄存器地址。缺省值按照 Intel 9785 设置。																											
[16:12]	RW		internal_addr_duplex		PHY 芯片存储状态信息（双工）的寄存器地址。缺省值按照 Intel 9785 设置。																											
[11:8]	RW		speed_index		PHY 芯片状态寄存器中存储速度信息的偏移地址。缺省值按照 Intel 9785 设置。																											
[7:4]	RW		link_index		PHY 芯片状态寄存器中存储链接信息的偏移地址。缺省值按照 Intel 9785 设置。																											
[3:0]	RW		duplex_index		PHY 芯片状态寄存器中存储双工信息的偏移地址。缺省值按照 Intel 9785 设置。																											

UD_MDIO_IRQENA

UD_MDIO_IRQENA 为端口状态变化扫描屏蔽寄存器。该寄存器不支持软复位。



说明

- 对于端口所连接 PHY 状态信息无法通过配置 UD_MDIO_ANEG_CTRL 进行扫描获取的，用户可通过 MDIO_RWCTRL 扫描 PHY 状态寄存器来获取端口状态是否发生变化，并产生中断通知软件进行处理。
- link_partner 状态变化是指 PHY 状态的 link、speed、duplex 任意一位发生变化。

Offset Address	Register Name	Total Reset Value									
0x0114	UD_MDIO_IRQENA	0x0000_0000									
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										
Name	reserved							link_partner_ch_mask	speed_ch_mask	link_ch_mask	duplex_ch_mask
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0										
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	link_partner_ch_mask	端口 link partner 状态扫描变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。								
[2]	RW	speed_ch_mask	端口速度模式扫描变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。								
[1]	RW	link_ch_mask	端口连接模式扫描变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。								
[0]	RW	duplex_ch_mask	端口双工模式扫描变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。								

5.1.6.2 MAC 控制寄存器

MAC 控制寄存器为端口控制类寄存器。当端口状态有效时，对 MAC 控制寄存器进行配置后，需要进行一次软复位。

UD_MAC_PORTSEL

UD_MAC_PORTSEL 为端口工作状态控制寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value					
0x0200		UD_MAC_PORTSEL		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							mii_rmii	stat_ctrl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	mii_rmii	端口接口模式选择。 0: MII 接口; 1: RMII 接口。						
[0]	RW	stat_ctrl	端口工作状态信息选择控制寄存器。 0: 使用从 MDIO 接口获得的状态信息; 1: 使用 CPU 设定的状态信息。						

UD_MAC_RO_STAT

UD_MAC_RO_STAT 为端口状态寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value						
0x0204		UD_MAC_RO_STAT		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							speed_stat	link_stat	duplex_stat
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RO	speed_stat	端口当前速度模式。 0: 10Mbit/s 模式; 1: 100Mbit/s 模式。							
[1]	RO	link_stat	端口当前链接状态。 0: 无链接; 1: 有链接。							



[0]	RO	duplex_stat	端口当前双工模式。 0: 半双工; 1: 全双工。
-----	----	-------------	---------------------------------

UD_MAC_PORTSET

UD_MAC_PORTSET 为端口设定工作状态寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value
	0x0208	UD_MAC_PORTSET	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			speed_stat_dio
			link_stat_dio
			duplex_stat_dio
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2]	RW	speed_stat_dio	CPU 设定端口速度模式。 0: 10Mbit/s 模式; 1: 100Mbit/s 模式。
[1]	RW	link_stat_dio	CPU 设定端口链接状态。 0: 无链接; 1: 有链接。
[0]	RW	duplex_stat_dio	CPU 设定端口双工模式。 0: 半双工; 1: 全双工。

UD_MAC_STAT_CHANGE

UD_MAC_STAT_CHANGE 为端口状态改变指示寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value																												
0x020C		UD_MAC_STAT_CHANGE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								speed_stat_ch	link_stat_ch	duplex_stat_ch					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:3]	RO	reserved	保留。																													
[2]	WC	speed_stat_ch	端口速度模式改变指示。 0: 无改变; 1: 改变。 该寄存器写 1 清 0。																													
[1]	WC	link_stat_ch	端口链接状态改变指示。 0: 无改变; 1: 改变。 该寄存器写 1 清 0。																													
[0]	WC	duplex_stat_ch	端口双工模式改变指示。 0: 无改变; 1: 改变。 该寄存器写 1 清 0。																													

UD_MAC_SET

UD_MAC_SET 为 MAC 功能设置寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value																													
0x0210		UD_MAC_SET		0x2027_55EE																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved				add_pad_en	crcgen_dis	cntr_rdclr_en	cntr_clr_all	cntr_roll_dis	colthreshold				in_loop_en	ex_loop_en	pause_en	rx_shframe_en	rx_min_thr						len_max									
Reset	0	0	1	0	0	0	0	0	0	0	1	0	0	1	1	1	0	1	0	1	0	1	0	1	1	1	1	0	1	1	1	1	0
Bits	Access		Name		Description																												
[31:30]	RO		reserved		保留。																												
[29]	RW		add_pad_en		端口发送时自动添加 PAD 使能。 0: 禁止; 1: 使能。																												
[28]	RW		crcgen_dis		端口 CRC 生成禁止控制。 0: 输出帧重新计算 CRC; 1: 输出帧不重新计算 CRC。																												
[27]	RW		cntr_rdclr_en		端口统计计数器读清空使能。 0: 禁止; 1: 使能。																												
[26]	RW		cntr_clr_all		端口统计计数器清空控制。 0: 不清空; 1: 清空。 注意: 若 cntr_clr_all 为 1, 则在下次全清时需要置 0 后再置为 1 才会执行全清操作。																												
[25]	RW		cntr_roll_dis		端口统计非循环计数使能。 0: 禁止; 1: 使能。																												
[24:21]	RW		colthreshold		端口冲突次数统计阈值。 缺省为 0x1, 表示出现一次冲突的帧的个数。																												
[20]	RW		in_loop_en		端口内环回使能。 0: 禁止; 1: 使能。 注意: 外环回和内环回不可同时配置使能。当网口处于正常工作状态时, 内、外环回配置改变之后需对模块进行软复位。																												



[19]	RW	ex_loop_en	端口外环回使能。 0: 禁止; 1: 使能。 注意: 外环回和内环回不可同时配置使能。当网口处于正常工作状态时, 内、外环回配置改变之后需对模块进行软复位。
[18]	RW	pause_en	端口流控帧发送使能。 0: 禁止; 1: 使能。
[17]	RW	rx_shframe_en	端口短帧接收使能。 0: 禁止; 1: 使能。 注意: rx_shframe_en 配置为 1 时, 端口允许接收的最小帧长为 rx_min_thr 配置帧长; rx_shframe_en 配置为 0 时, 端口允许接收的最小帧长缺省为 64byte (含 CRC)。
[16:11]	RW	rx_min_thr	端口允许接收的最小帧长。 取值范围为 42byte~63byte, 缺省为 42byte。 注意: 若 rx_min_thr 配置值小于 42, 将取值为 42。
[10:0]	RW	len_max	端口允许接收的最大帧长, 缺省为 1518byte。 取值范围为 1518byte~1535byte。 注意: 若 len_max 配置大于 2000, 将取值 2000; 若 len_max 配置小于 256, 将取值 256。

UD_MAC_EEE_INT

UD_MAC_EEE_INT 为 EEE 原始中断寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0480		UD_MAC_EEE_INT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															tx_entry_start	rx_leave_lpi	rx_entry_lpi	tx_leave_lpi	tx_entry_lpi												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RO	tx_entry_start	ETH TX方向允许进入LPI的原始中断。 0: 无中断; 1: 有中断。																													
[3]	RO	rx_leave_lpi	RX方向退出LPI的原始中断。 0: 无中断; 1: 有中断。																													
[2]	RO	rx_entry_lpi	RX方向进入LPI的原始中断。 0: 无中断; 1: 有中断。																													
[1]	RO	tx_leave_lpi	TX方向退出LPI的原始中断。 0: 无中断; 1: 有中断。																													
[0]	RO	tx_entry_lpi	TX方向进入LPI的原始中断。 0: 无中断; 1: 有中断。																													

UD_MAC_EEE_INTEN

UD_MAC_EEE_INTEN 为 EEE 中断使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0484		UD_MAC_EEE_INTEN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																tx_entry_start_msk	rx_leave_lpi_msk	rx_entry_lpi_msk	tx_leave_lpi_msk	tx_entry_lpi_msk	tx_entry_start_en	rx_leave_lpi_en	rx_entry_lpi_en	tx_leave_lpi_en	tx_entry_lpi_en						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	tx_entry_start_msk	ETH TX方向允许进入LPI的原始中断掩码																													
[8]	RW	rx_leave_lpi_msk	RX方向退出LPI的原始中断掩码																													
[7]	RW	rx_entry_lpi_msk	RX方向进入LPI的原始中断掩码																													
[6]	RW	tx_leave_lpi_msk	TX方向退出LPI的原始中断掩码																													
[5]	RW	tx_entry_lpi_msk	TX方向进入LPI的原始中断掩码																													
[4]	RO	tx_entry_start_en	ETH TX方向允许进入LPI的原始中断使能																													
[3]	RO	rx_leave_lpi_en	RX方向退出LPI的原始中断使能																													
[2]	RO	rx_entry_lpi_en	RX方向进入LPI的原始中断使能																													
[1]	RO	tx_leave_lpi_en	TX方向退出LPI的原始中断使能																													
[0]	RO	tx_entry_lpi_en	TX方向进入LPI的原始中断使能																													

UD_MAC_EEE_ENA

UD_MAC_EEE_ENA 为 EEE 使能寄存器。



Offset Address		Register Name		Total Reset Value						
0x0488		UD_MAC_EEE_ENA		0x00F4_2400						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	eee_ls_timer							reserved	eee_assert	eee_enable
Reset	0 0 0 0	0 0 0 0	1 1 1 1	0 1 0 0	0 0 1 0	0 1 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:4]	RW	eee_ls_timer	LS_TIMER							
[3:2]	RW	reserved	保留。							
[1]	RW	eee_assert	EEE 进入配置。							
[0]	RW	eee_enable	EEE使能开关。							

UD_MAC_EEE_TIMER

UD_MAC_EEE_TIMER 为 EEE 需要设置的 TIMER 寄存器。

Offset Address		Register Name		Total Reset Value					
0x048C		UD_MAC_EEE_TIMER		0x001E_2710					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	tx_wk_timer				lpi_cond_timer				
Reset	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 0	0 0 1 0	0 1 1 1	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	tx_wk_timer	TX_WK_TIMER						
[15:0]	RW	lpi_cond_timer	LPI_COND_TIMER						

UD_MAC_EEE_LINK_STATUS

UD_MAC_EEE_LINK_STATUS 为专为 EEE 设置的网口 link 状态寄存器。



Offset Address		Register Name		Total Reset Value						
0x0490		UD_MAC_EEE_LINK_STATUS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							auto_eee	eee_tx_press	eee_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RW	reserved	保留。							
[2]	RW	auto_eee	不需要软件参与，由逻辑自动控制EEE流程。							
[1]	RW	eee_tx_press	TX方向反压数据流，使EEE的退出过程符合802.3az关于wk_timer的时间要求。							
[0]	RW	phy_link_status	PHY link 状态。							

UD_MAC_EEE_CLK_CNT

UD_MAC_EEE_CLK_CNT 为 EEE 时钟单元计数器。

Offset Address		Register Name		Total Reset Value				
0x0494		UD_MAC_EEE_CLK_CNT		0x0000_0063				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	eee_clk_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	0 0 1 1
Bits	Access	Name	Description					
[31:0]	RW	eee_clk_cnt	EEE时钟单元计数器。					

5.1.6.3 全局控制寄存器

GLB_HOSTMAC_L32

GLB_HOSTMAC_L32 为本机 MAC 地址低 32bit 寄存器。该寄存器不支持软复位。



	Offset Address				Register Name				Total Reset Value																							
	0x1300				GLB_HOSTMAC_L32				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	local_mac																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	local_mac		本机 MAC 的低 32bit。																											

GLB_HOSTMAC_H16

GLB_HOSTMAC_H16 为本机 MAC 地址高 16bit 寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x1304				GLB_HOSTMAC_H16				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												local_mac[47:32]																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	local_mac[47:32]		本机 MAC 的高 16bit。																											

GLB_SOFT_RESET

GLB_SOFT_RESET 为内部软复位寄存器。该寄存器不支持软复位。



说明

所有软复位时间须保持 2ms 以上。



Offset Address		Register Name		Total Reset Value																												
0x1308		GLB_SOFT_RESET		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											soft_reset				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:1]	RO	reserved	保留。																													
[0]	RW	soft_reset	内部软复位。 0: 不复位; 1: 复位。 进入软复位状态后, 若要撤消软复位, 需将该位置 0。																													

GLB_FWCTRL

GLB_FWCTRL 为转发控制寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value																												
0x1310		GLB_FWCTRL		0x0000_0020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																							fwall2cpu_up	reserved	fw2cpu_ena_up	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access	Name	Description																													
[31:8]	RO	reserved	保留。																													
[7]	RW	fwall2cpu_up	端口所有输入的有效帧是否都强制转发给 CPU 端口。 0: 否; 1: 是。																													
[6]	RO	reserved	保留。																													



[5]	RW	fw2cpu_ena_up	端口输入帧转发给 CPU 端口使能。 0: 禁止; 1: 使能。
[4:0]	RO	reserved	保留。

GLB_MACTCTRL

GLB_MACTCTRL 为 MAC 过滤表控制寄存器。该寄存器不支持软复位。

说明

- 目的 MAC 地址最高字节为偶数是单播帧。
- 目的 MAC 地址最高字节为奇数是组播帧。
- 目的 MAC 地址所有字节为全 0xFF 的是广播帧。

	Offset Address				Register Name				Total Reset Value																							
	0x1314				GLB_MACTCTRL				0x0000_0020																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																mact_ena_up	reserved	broad2cpu_up	reserved	multi2cpu_up	reserved	uni2cpu_up	reserved								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7]	RW		mact_ena_up		端口所有 MAC 过滤器总使能位。 0: 不使用任何 MAC 过滤器; 1: 使用 MAC 过滤器。																											
[6]	RO		reserved		保留。																											
[5]	RW		broad2cpu_up		端口输入的广播帧是否转发给 CPU 端口。 0: 不转发给 CPU 端口; 1: 转发给 CPU 端口。																											
[4]	RO		reserved		保留。																											
[3]	RW		multi2cpu_up		端口输入的非过滤表中的组播帧是否转发给 CPU 端口。 0: 不转发给 CPU 端口; 1: 转发给 CPU 端口。																											
[2]	RO		reserved		保留。																											



[1]	RW	uni2cpu_up	端口输入的非过滤表中的单播帧是否转发给 CPU 端口。 0: 不转发给 CPU 端口; 1: 转发给 CPU 端口。
[0]	RO	reserved	保留。

GLB_ENDIAN_MOD

GLB_ENDIAN_MOD 为大小端控制寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value
	0x1318	GLB_ENDIAN_MOD	0x0000_0003
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1		
	Bits	Access	Name
	[31:2]	RO	reserved
	[1]	RW	in_edian
	[0]	RW	out_edian
			Description
			保留。
			收包写 SDRAM 大小端配置。 0: big-endian 模式; 1: little-endian 模式。 数据按字节翻转。
			发包读 SDRAM 大小端配置。 0: big-endian 模式; 1: little-endian 模式。

GLB_IRQ_STAT

GLB_IRQ_STAT 为中断状态寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value
	0x1330	GLB_IRQ_STAT	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		



Name	reserved																int_mdio_finish	reserved				int_rxd_up	int_freeeq_up	int_stat_up	int_duplex_up	int_speed_up	int_link_up	int_tx_up	int_rx_up		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																0	0 0 0 0				0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																											
	[31:13]	RO	reserved	保留。																											
	[12]	RO	int_mdio_finish	MDIO 完成 CPU 操作指示。 0: MDIO 未完成 CPU 操作; 1: MDIO 已完成 CPU 操作, 产生中断。 进入该中断程序后, 查询 MDIO_RWCTRL[finish] , 判断 MDIO 操作是否完成。																											
	[11:8]	RO	reserved	保留。																											
	[7]	RO	int_rxd_up	端口有 (多个) 帧等待 CPU 接收中断指示 (多包中断)。 0: 中断无效; 1: 中断有效, 输入队列中有帧等待 CPU 接收。 当发生该中断后, 需要查询 GLB_IRQ_RAW[iraw_rxd_up] 信号是否有效来判断是否有帧等待接收。																											
	[6]	RO	int_freeeq_up	端口输出队列由不空到空中断, 表示输出队列缓冲区由不空到空, 指示 CPU 可以写入新的待发送的一组帧。 0: 没有产生中断; 1: 输出队列由不空到空中断。 进入该中断程序后, 软件通过查询 UD_GLB_ADDRQ_STAT[eq_cnt] 判断当前输出队列是否为空, 如果不为空, 说明该中断为无效中断。																											
	[5]	RO	int_stat_up	端口状态改变中断信号, 表示 MDIO 自适应到 PHY 芯片的速度变化、双工模式变化和连接状态变化时产生中断。 0: 没有产生中断; 1: 端口状态改变中断。 进入该中断程序后, 软件根据 UD_MDIO_IRQENA 的配置值决定是什么状态发生变化。																											



[4]	RO	int_duplex_up	<p>端口双工模式变化中断指示。</p> <p>0: 双工模式没有变化; 1: 双工模式发生变化, 产生中断。</p> <p>进入该中断程序后, 查询 UD_MAC_STAT_CHANGE[duplex_stat_ch], 判断是否发生双工状态改变。</p>
[3]	RO	int_speed_up	<p>端口速度模式变化中断指示。</p> <p>0: 速度模式没有变化; 1: 速度模式发生变化, 产生中断。</p> <p>进入该中断程序后, 查询 UD_MAC_STAT_CHANGE[speed_stat_ch], 判断是否发生速度状态改变。</p>
[2]	RO	int_link_up	<p>端口连接状态变化中断指示。</p> <p>0: 连接状态没有变化; 1: 连接状态发生变化, 产生中断。</p> <p>进入该中断程序后, 查询 UD_MAC_STAT_CHANGE[link_stat_ch], 判断是否发生连接状态改变。</p>
[1]	RO	int_tx_up	<p>端口发送完来自 CPU 的 1 帧数据指示。</p> <p>0: 未发送完; 1: 已发送完, 产生中断。</p> <p>当发生该中断后, 需要查询 UD_GLB_QSTAT 中的输出队列当前的出队地址 <code>eq_out_index</code>, 判断是否释放输出帧的缓存空间。</p>
[0]	RO	int_rx_up	<p>端口有帧等待 CPU 接收中断指示。</p> <p>0: 中断无效; 1: 中断有效, 输入队列中有帧等待 CPU 接收。</p> <p>当发生该中断后, 需要查询 GLB_IRQ_RAW[iraw_rxd_up] 信号是否有效来判断是否有帧等待接收。</p>

GLB_IRQ_ENA

GLB_IRQ_ENA 为中断使能寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value				
0x1334		GLB_IRQ_ENA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			ien_all ien_up	reserved	ien_mdio_finish	reserved	ien_rxd_up ien_freeeq_up ien_stat_up ien_duplex_up ien_speed_up ien_link_up ien_tx_up ien_rx_up
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19]	RW	ien_all	所有中断使能。 0: 禁止（所有中断都不能上报）； 1: 使能（所有中断按配置对应上报）。					
[18]	RW	ien_up	所有上行端口中断使能。 0: 禁止（所有上行端口中断都不能上报）； 1: 使能（所有上行端口中断按配置对应上报）。					
[17:13]	RO	reserved	保留。					
[12]	RW	ien_mdio_finish	MDIO 完成 CPU 操作指示使能。 0: 禁止； 1: 使能。					
[11:8]	RO	reserved	保留。					
[7]	RW	ien_rxd_up	上行端口有（多个）帧等待 CPU 接收使能（多包中断）。 0: 禁止； 1: 使能。					
[6]	RW	ien_freeeq_up	上行端口输出队列由不空到空中断信号使能。 0: 禁止； 1: 使能。					
[5]	RW	ien_stat_up	上行端口状态改变中断信号使能。 0: 禁止； 1: 使能。					
[4]	RW	ien_duplex_up	上行端口双工模式变化中断使能。 0: 禁止； 1: 使能。					



[3]	RW	ien_speed_up	上行端口速度模式变化中断使能。 0: 禁止; 1: 使能。
[2]	RW	ien_link_up	上行端口连接状态变化中断使能。 0: 禁止; 1: 使能。
[1]	RW	ien_tx_up	上行端口发送完来自 CPU 的 1 帧数据指示使能。 0: 禁止; 1: 使能。
[0]	RW	ien_rx_up	上行端口有帧等待 CPU 接收使能。 0: 禁止; 1: 使能。

GLB_IRQ_RAW

GLB_IRQ_RAW 为原始中断寄存器。该寄存器不支持软复位，是写 1 清 0 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1338				GLB_IRQ_RAW				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												iraw_mdio_finish	reserved				iraw_rxd_up	iraw_freecq_up	iraw_stat_up	iraw_duplex_up	iraw_speed_up	iraw_link_up	iraw_tx_up	iraw_rx_up							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	RO		reserved		保留。																											
[12]	WC		iraw_mdio_finish		MDIO 完成 CPU 操作的原始中断状态。 0: 无中断; 1: 有中断。																											
[11:8]	RO		reserved		保留。																											



[7]	WC	iraw_rxd_up	上行端口有（多个）帧等待 CPU 接收的原始中断状态（多包中断）。 0: 无中断； 1: 有中断。
[6]	WC	iraw_freeeq_up	上行端口输出队列由不空到空的原始中断状态，表示输出队列缓冲区由不空到空，指示 CPU 可以写入新的待发送的一组帧。 0: 无中断； 1: 有中断。
[5]	WC	iraw_stat_up	上行端口状态改变的原始中断状态，表示 MDIO 自适应到 PHY 芯片的速度变化、双工模式变化和连接状态变化时产生中断。 0: 无中断； 1: 有中断。
[4]	WC	iraw_duplex_up	上行端口双工模式变化的原始中断状态。 0: 无中断； 1: 有中断。
[3]	WC	iraw_speed_up	上行端口速度模式变化的原始中断状态。 0: 中断无效； 1: 速度模式发生变化，产生中断。 该寄存器写 1 清 0。
[2]	WC	iraw_link_up	上行端口连接状态变化的原始中断状态。 0: 无中断； 1: 有中断。
[1]	WC	iraw_tx_up	上行端口发送完来自 CPU 的原始中断状态。 0: 无中断； 1: 有中断。
[0]	WC	iraw_rx_up	上行端口有帧等待 CPU 接收的原始中断状态。 0: 无中断； 1: 有中断。

GLB_MAC0_L32

GLB_MAC0_L32 为过滤表 MAC0 的低 32bit 寄存器。



Offset Address		Register Name		Total Reset Value				
0x1400		GLB_MAC0_L32		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flt_mac0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	flt_mac0	过滤表 MAC0 的低 32bit。					

GLB_MAC0_H16

GLB_MAC0_H16 为过滤表 MAC0 的高 16bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1404		GLB_MAC0_H16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		fw2cpu_up	reserved	mac0_up	reserved	flt_mac0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:22]	RO	reserved	保留。					
[21]	RW	fw2cpu_up	上行端口使能本过滤器时，上行端口输入帧命中本过滤器是否转发给 CPU 端口。 0: 否； 1: 是。					
[20:18]	RO	reserved	保留。					
[17]	RW	mac0_up	本过滤器配置为上行端口使用控制。 0: 上行端口不使用该过滤器； 1: 上行端口使用该过滤器。					
[16]	RO	reserved	保留。					
[15:0]	RW	flt_mac0	过滤表 MAC0 的高 16bit。					



GLB_MAC1_L32

GLB_MAC1_L32 为过滤表 MAC1 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1408		GLB_MAC1_L32		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flt_mac1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	flt_mac1	过滤表 MAC1 的低 32bit。					

GLB_MAC1_H16

GLB_MAC1_H16 为过滤表 MAC1 的高 16bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x140C		GLB_MAC1_H16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			fw2cpu_up	reserved	mac1_up	reserved	flt_mac1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:22]	RO	reserved	保留。					
[21]	RW	fw2cpu_up	上行端口使能本过滤器时，上行端口输入帧命中本过滤器是否转发给 CPU 端口。 0: 否； 1: 是。					
[20:18]	RO	reserved	保留。					
[17]	RW	mac1_up	本过滤器配置为上行端口使用控制。 0: 上行端口不使用该过滤器； 1: 上行端口使用该过滤器。					
[16]	RO	reserved	保留。					
[15:0]	RW	flt_mac1	过滤表 MAC1 的高 16bit。					



GLB_MAC2_L32

GLB_MAC2_L32 为过滤表 MAC2 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1410		GLB_MAC2_L32		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flt_mac2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	flt_mac2	过滤表 MAC2 的低 32bit。					

GLB_MAC2_H16

GLB_MAC2_H16 为过滤表 MAC2 的高 16bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1414		GLB_MAC2_H16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		fw2cpu_up	reserved	mac2_up	reserved	flt_mac2	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:22]	RO	reserved	保留。					
[21]	RW	fw2cpu_up	上行端口使能本过滤器时，上行端口输入帧命中本过滤器是否转发给 CPU 端口。 0: 否； 1: 是。					
[20:18]	RO	reserved	保留。					
[17]	RW	mac2_up	本过滤器配置为上行端口使用控制。 0: 上行端口不使用该过滤器； 1: 上行端口使用该过滤器。					
[16]	RO	reserved	保留。					



[15:0]	RW	flt_mac2	过滤表 MAC2 的高 16bit。
--------	----	----------	--------------------

GLB_MAC3_L32

GLB_MAC3_L32 为过滤表 MAC3 的低 32bit 寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x1418				GLB_MAC3_L32								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	flt_mac3																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RW	flt_mac3		过滤表 MAC3 的低 32bit。																															

GLB_MAC3_H16

GLB_MAC3_H16 为过滤表 MAC3 的高 16bit 寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x141C				GLB_MAC3_H16								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								fw2cpu_up	reserved	mac3_up	reserved	flt_mac3																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:22]	RO	reserved		保留。																															
	[21]	RW	fw2cpu_up		上行端口使能本过滤器时，上行端口输入帧命中本过滤器是否转发给 CPU 端口。 0: 否; 1: 是。																															
	[20:18]	RO	reserved		保留。																															



[17]	RW	mac3_up	本过滤器配置为上行端口使用控制。 0: 上行端口不使用该过滤器; 1: 上行端口使用该过滤器。
[16]	RO	reserved	保留。
[15:0]	RW	flt_mac3	过滤表 MAC3 的高 16bit。

GLB_MAC4_L32

GLB_MAC4_L32 为过滤表 MAC4 的低 32bit 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1420	GLB_MAC4_L32	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	flt_mac4		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	flt_mac4	过滤表 MAC4 的低 32bit。

GLB_MAC4_H16

GLB_MAC4_H16 为过滤表 MAC4 的高 16bit 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1424	GLB_MAC4_H16	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	fw2cpu_up reserved mac4_up reserved	flt_mac4
Reset	0 0		
Bits	Access	Name	Description
[31:22]	RO	reserved	保留。



[21]	RW	fw2cpu_up	上行端口使能本过滤器时，上行端口输入帧命中本过滤器是否转发给 CPU 端口。 0: 否； 1: 是。
[20:18]	RO	reserved	保留。
[17]	RW	mac4_up	本过滤器配置为上行端口使用控制。 0: 上行端口不使用该过滤器； 1: 上行端口使用该过滤器。
[16]	RO	reserved	保留。
[15:0]	RW	flt_mac4	过滤表 MAC4 的高 16bit。

GLB_MAC5_L32

GLB_MAC5_L32 为过滤表 MAC5 的低 32bit 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1428	GLB_MAC5_L32	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	flt_mac5		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	flt_mac5	过滤表 MAC5 的低 32bit。

GLB_MAC5_H16

GLB_MAC5_H16 为过滤表 MAC5 的高 16bit 寄存器。



Offset Address		Register Name		Total Reset Value					
0x142C		GLB_MAC5_H16		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fw2cpu_up	reserved	mac5_up	reserved	flt_mac5
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RO	reserved	保留。						
[21]	RW	fw2cpu_up	上行端口使能本过滤器时，上行端口输入帧命中本过滤器是否转发给 CPU 端口。 0: 否; 1: 是。						
[20:18]	RO	reserved	保留。						
[17]	RW	mac5_up	本过滤器配置为上行端口使用控制。 0: 上行端口不使用该过滤器; 1: 上行端口使用该过滤器。						
[16]	RO	reserved	保留。						
[15:0]	RW	flt_mac5	过滤表 MAC5 的高 16bit。						

GLB_MAC6_L32

GLB_MAC6_L32 为过滤表 MAC6 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1430		GLB_MAC6_L32		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flt_mac6							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	flt_mac6	过滤表 MAC6 的低 32bit。					



GLB_MAC6_H16

GLB_MAC6_H16 为过滤表 MAC6 的高 16bit 寄存器。

Offset Address		Register Name		Total Reset Value						
0x1434		GLB_MAC6_H16		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				fw2cpu_up	reserved	mac6_up	reserved	flt_mac6	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:22]	RO	reserved	保留。							
[21]	RW	fw2cpu_up	上行端口使能本过滤器时，上行端口输入帧命中本过滤器是否转发给 CPU 端口。 0: 否; 1: 是。							
[20:18]	RO	reserved	保留。							
[17]	RW	mac6_up	本过滤器配置为上行端口使用控制。 0: 上行端口不使用该过滤器; 1: 上行端口使用该过滤器。							
[16]	RO	reserved	保留。							
[15:0]	RW	flt_mac6	过滤表 MAC6 的高 16bit。							

GLB_MAC7_L32

GLB_MAC7_L32 为过滤表 MAC7 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1438		GLB_MAC7_L32		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flt_mac7							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	flt_mac7	过滤表 MAC7 的低 32bit。					



GLB_MAC7_H16

GLB_MAC7_H16 为过滤表 MAC7 的高 16bit 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x143C				GLB_MAC7_H16				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								fw2cpu_up	reserved			mac7_up	reserved	flt_mac7																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:22]	RO	reserved	保留。																													
[21]	RW	fw2cpu_up	上行端口使能本过滤器时，上行端口输入帧命中本过滤器是否转发给 CPU 端口。 0: 否； 1: 是。																													
[20:18]	RO	reserved	保留。																													
[17]	RW	mac7_up	本过滤器配置为上行端口使用控制。 0: 上行端口不使用该过滤器； 1: 上行端口使用该过滤器。																													
[16]	RO	reserved	保留。																													
[15:0]	RW	flt_mac7	过滤表 MAC7 的高 16bit。																													

UD_GLB_IRQN_SET

UD_GLB_IRQN_SET 为多包中断配置寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value					
0x0340		UD_GLB_IRQN_SET		0x0800_003A					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	int_frm_cnt	reserved	age_timer					
Reset	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 0 1 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:24]	RW	int_frm_cnt	该设置用于多包中断功能，定义为每收到多少个包上报一次多包中断。 注意：int_frm_cnt 最小值可配置为 1，此时多包中断等同于单包中断。						
[23:16]	RO	reserved	保留。						
[15:0]	RW	age_timer	打开多包中断功能后，每经过一定的时间收包数量还未达到上报多包中断所要求的包数，该时间段定义为多包中断产生的老化时间。 注意：age_timer 以主时钟 256 分频周期为计数单位。						

UD_GLB_QLEN_SET

UD_GLB_QLEN_SET 为队列长度配置寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value					
0x0344		UD_GLB_QLEN_SET		0x0000_2020					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				iq_len	reserved	eq_len		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	RO	reserved	保留。						
[13:8]	RW	iq_len	输入（收包）队列长度配置。 注意：iq_len 不得配置为 0，否则将会强行置 1；配置的 iq_len 和 eq_len 之和不得大于 64，否则优先满足 iq_len 的值（非 0），eq_len 取 64-iq_len。						
[7:6]	RO	reserved	保留。						



[5:0]	RW	eq_len	输出（发包）队列长度配置。 注意：eq_len 不得配置为 0，否则将会强行置 1。
-------	----	--------	--

UD_GLB_FC_LEVEL

UD_GLB_FC_LEVEL 为流控控制寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0348				UD_GLB_FC_LEVEL				0x3018_0508																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																qlimit_ena	qlimit_up				reserved		qlimit_down								
Reset	0	0	1	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0
Bits	Access		Name		Description																											
[31:15]	RO		reserved		保留。																											
[14]	RW		qlimit_ena		接收队列流控使能。 0：禁止（不根据接收队列状态来发送流控信息）； 1：使能（可根据接收队列状态来发送流控信息）。																											
[13:8]	RW		qlimit_up		接收队列流控上限。当输入队列剩余可用队列空间数小于该上限值时，若收包队列流控使能，则发送流控信息给对端。 注意：若上限值 qlimit_up 配置为 0，将无法进入流控状态；上限值 qlimit_up 必须比下限值 qlimit_down 小。																											
[7:6]	RO		reserved		保留。																											
[5:0]	RW		qlimit_down		接收队列解除流控下限。当输入队列剩余可用队列空间数大于或者等于该下限值同时正处于接收流控状态时，解除当前流控状态。																											

UD_GLB_CAUSE

UD_GLB_CAUSE 为报文上送 CPU 的 Cause 寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value																												
0x034C		UD_GLB_CAUSE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										mact_cause					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:3]	RO	reserved		保留。																												
[2:0]	RO	mact_cause		报文查 MAC 表的匹配结果类型。 000: 强制转发; 001: 目的 MAC 是本机 MAC 的报文; 010: 广播报文; 011: 匹配 MAC 表的报文; 100: 不匹配 MAC 表的组播报文; 101: 不匹配 MAC 表的单播报文; 其他: 保留。																												

UD_GLB_RXFRM_SADDR

UD_GLB_RXFRM_SADDR 为输入帧起始地址寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value																												
0x0350		UD_GLB_RXFRM_SADDR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxfrm_saddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:0]	RO	rxfrm_saddr		接收帧的起始地址。																												

UD_GLB_IQFRM_DES

UD_GLB_IQFRM_DES 为输入帧描述子寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value					
0x0354		UD_GLB_IQFRM_DES		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fd_vlanid				fd_in_addr		fd_in_len		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:18]	RO	reserved	保留。						
[17:12]	RO	fd_in_addr	输入队列 (iq) 中等待接收的第一个帧的相对地址，作为帧存放绝对地址的索引值 (0~iq_len-1)。						
[11:0]	RO	fd_in_len	输入队列待接收帧的帧长度。						

UD_GLB_IQ_ADDR

UD_GLB_IQ_ADDR 为输入帧首地址寄存器。该寄存器不支持软复位。



说明

如果软件分配的地址非 word 对齐时，逻辑会按照 word 地址写入数据，只是前面写入的数据为无效数据。例如，配置的帧首地址为 0xF000_8002 (非 word 对齐地址)，逻辑会在 0xF000_8000 和 0xF000_8001 地址都写入 0x00 (也可能是其他数据)，在 0xF000_8002 写入接收帧的第 1 个字节 (有效数据)，在 0xF000_8003 写入接收帧的第 2 个字节 (有效数据)，后续数据依次写入缓冲区。如果是其他非 word 对齐地址，操作方式类似。

Offset Address		Register Name		Total Reset Value				
0x0358		UD_GLB_IQ_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	startaddr_iq							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	startaddr_iq	CPU 配置的输入帧对应的存储空间的首地址。接收帧根据此地址来申请总线。					

UD_GLB_BFC_STAT

UD_GLB_BFC_STAT 为转发缓存流控状态和多包中断老化时间计数器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value					
0x035C		UD_GLB_BFC_STAT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	timerover_cnt				flowctrl_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	timerover_cnt	多包中断老化时间计数器溢出（计数到配置值）次数计数器。 注意：单位时间内如果 timerover_cnt 值过大，说明 UD_GLB_IRQN_SET[int_frm_cnt] 设置不合理，多包中断主要由老化时间触发，需要减少配置值。						
[15:0]	RO	flowctrl_cnt	上行端口（或者下行端口）的转发缓存进入流控状态次数计数器。 注意：单位时间内如果 flowctrl_cnt 值过大，说明 UD_GLB_FC_LEVEL[blimit_up] 或者 UD_GLB_FC_LEVEL[blimit_down] 设置过小，或者外部网络状态恶化，可能需要减少配置值。						

UD_GLB_EQ_ADDR

UD_GLB_EQ_ADDR 为输出队列首地址寄存器。该寄存器不支持软复位。



说明

如果输出帧的首地址为非 word 对齐时，逻辑会按照 word 地址读入数据，只是前面读取的数据为无效数据而丢弃。例如，配置的发送帧首地址为 0xF000_8102（非 word 对齐地址），逻辑会把从地址 0xF000_8100 和 0xF000_8101 读入的字节数据直接丢弃，在 0xF000_8102 读入的数据当作发送帧的第 1 个字节（有效数据），在 0xF000_8103 读入的数据为发送帧的第 2 个字节（有效数据），后续数据都为有效数据（直到读取指定帧长的数据）。如果是其他非 word 对齐地址，操作方式类似。

Offset Address		Register Name		Total Reset Value				
0x0360		UD_GLB_EQ_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	add_fd_addr_out							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	add_fd_addr_out	CPU 添加到输出队列的发送帧的首地址。					



UD_GLB_EQFRM_LEN

UD_GLB_EQFRM_LEN 为输出队列帧长配置寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value						
0x0364		UD_GLB_EQFRM_LEN		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						add_fd_len_out			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RO	reserved	保留。							
[10:0]	RW	add_fd_len_out	CPU 添加到输出队列的发送帧的帧长。 配置该寄存器触发硬件将发送帧的首地址和帧长写入到输出队列中等待发送，软件发送帧时必须先写入帧的首地址，然后再写入该帧的帧长。 注意：add_fd_len_out 小于 20byte 以及大于 1600byte 的帧将被丢弃，即可发送范围在 20byte~1600byte 之间。							

UD_GLB_QSTAT

UD_GLB_QSTAT 为队列状态寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x0368		UD_GLB_QSTAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	iq_in_index	reserved	cpuw_index	reserved	eq_in_index	reserved	eq_out_index
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29:24]	RO	iq_in_index	输入（收包）队列入队 index。					
[23:22]	RO	reserved	保留。					
[21:16]	RO	cpuw_index	输入（收包）队列帧首地址入队 index。					
[15:14]	RO	reserved	保留。					
[13:8]	RO	eq_in_index	输出（发包）队列描述子入队 index。					



[7:6]	RO	reserved	保留。
[5:0]	RO	eq_out_index	输出（发包）队列描述子出队 index。

UD_GLB_ADDRQ_STAT

UD_GLB_ADDRQ_STAT 为地址队列状态寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value												
	0x036C	UD_GLB_ADDRQ_STAT	0x0300_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				cpuaddr_in_rdy	eq_in_rdy	reserved	cpu_cnt		reserved	iq_cnt		reserved	eq_cnt	
Reset	0 0 0 0	0 0 0 0	1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description											
	[31:26]	RO	reserved	保留。											
	[25]	RO	cpuaddr_in_rdy	CPU 是否可配置输入队列帧首地址。 0: 否; 1: 是。 注意: cpuaddr_in_rdy、eq_in_rdy 复位时为 0, 但复位后将立即被电路置为 1。即复位后 iq 地址队列和 eq 描述子队列可配。											
	[24]	RO	eq_in_rdy	CPU 是否可配置输出队列帧描述子（帧首地址及帧长） 0: 否; 1: 是。											
	[23:22]	RO	reserved	保留。											
	[21:16]	RO	cpu_cnt	输入队列对 CPU 分配的可用帧首地址计数。											
	[15:14]	RO	reserved	保留。											
	[13:8]	RO	iq_cnt	输入队列已经使用长度（0~iq_len）。											
	[7:6]	RO	reserved	保留。											
	[5:0]	RO	eq_cnt	输出队列已经使用长度（0~eq_len）。											



UD_GLB_FC_TIMECTRL

UD_GLB_FC_TIMECTRL 为流量限制时间配置寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value					
0x0370		UD_GLB_FC_TIMECTRL		0x07FF_86A0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			flux_timer_cfg			flux_timer_inter		
Reset	0 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	1 0 0 0	0 1 1 0	1 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:17]	RW	flux_timer_cfg	流量限制时间间隔计数器，对 flux_timer_inter 产生的分频时钟进行计数。配置为 0 不进行流量限制。						
[16:0]	RW	flux_timer_inter	流量限制时间粒度计数器，对主时钟进行计数，默认为 100000，在 100MHz 主时钟时为 1ms。						

UD_GLB_FC_RXLIMIT

UD_GLB_FC_RXLIMIT 为流量限制水线配置寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value					
0x0374		UD_GLB_FC_RXLIMIT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			flux_cfg					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:0]	RW	flux_cfg	流量限制上限阈值寄存器，该组对流量限制时间间隔内的软件接收帧数进行限制，超过该配置值的帧根据配置选择性进行丢弃或者接收。当配置为全 0 时，表示不进行流量限制。						

UD_GLB_FC_DROPCTRL

UD_GLB_FC_DROPCTRL 为流量限制丢包控制寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value						
0x0378		UD_GLB_FC_DROPCTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							flux_uni	flux_multi	flux_broad
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	flux_uni	流量限制超过上限值时是否丢弃单播包。 0: 否; 1: 是。							
[1]	RW	flux_multi	流量限制超过上限值时是否丢弃组播包。 0: 否; 1: 是。							
[0]	RW	flux_broad	流量限制超过上限值时是否丢弃广播包。 0: 否; 1: 是。							

5.1.6.4 统计计数控制寄存器

UD_STS_PORTCNT

UD_STS_PORTCNT 为端口部分状态计数器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x0584		UD_STS_PORTCNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxsof_cnt	rxeof_cnt	rxrcok_cnt	rxrcbad_cnt	txsof_cnt	txeof_cnt	txrcok_cnt	txrcbad_cnt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	rxsof_cnt	端口接收到帧头计数。					
[27:24]	RO	rxeof_cnt	端口接收到帧尾计数。					
[23:20]	RO	rxrcok_cnt	端口接收到 CRC 校验正确计数。					



[19:16]	RO	rxcrbad_cnt	端口接收到 CRC 校验错误计数。
[15:12]	RO	txsof_cnt	端口发送帧头计数。
[11:8]	RO	txeof_cnt	端口发送帧尾计数。
[7:4]	RO	txcrcok_cnt	端口发送 CRC 校验正确计数。
[3:0]	RO	txcrbad_cnt	端口发送 CRC 校验错误计数。

UD_PORT2CPU_PKTS

UD_PORT2CPU_PKTS 为 CPU 接收上行或下行端口总包数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value					
0x05A0		UD_PORT2CPU_PKTS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				pkts_cpu				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	WC	pkts_cpu	CPU 端口接收到的所有包数，该寄存器写 0 清 0，写 1 无效。						

UD_CPU2IQ_ADDRCNT

UD_CPU2IQ_ADDRCNT 为 CPU 配置收包地址队列次数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value					
0x05A4		UD_CPU2IQ_ADDRCNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				addr_cpu				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	WC	addr_cpu	CPU 成功配置收包地址队列的次数，该寄存器写 0 清 0，写 1 无效。						



UD_RX_IRQCNT

UD_RX_IRQCNT 为上行或下行端口上报单包中断次数寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value	
	0x05A8	UD_RX_IRQCNT	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
	Bits	Access	Name	Description
	[31:16]	RO	reserved	保留。
	[15:0]	WC	pkts_port	上报的收帧中断计数，该寄存器写 0 清 0，写 1 无效。

UD_CPU2EQ_PKTS

UD_CPU2EQ_PKTS 为 CPU 发往上行或下行发送端口总包数寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value	
	0x05AC	UD_CPU2EQ_PKTS	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
	Bits	Access	Name	Description
	[31:16]	RO	reserved	保留。
	[15:0]	WC	pkts_cpu2tx	CPU 端口发往端口所有报文计数，该寄存器写 0 清 0，写 1 无效。

5.1.6.5 统计结果寄存器

统计结果可配置只读和读清 0 两种模式（UD_MAC_SET[cntr_rdclr_en]设置为 1 表示读清 0 模式，设置为 0 表示只读模式），以下对寄存器的介绍针对只读模式。



UD_RX_DVCNT

UD_RX_DVCNT 为 RXDV 上升沿次数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0600				UD_RX_DVCNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rxdvrise																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	rxdvrise		所有的 rxdv 上升沿的计数。																											

UD_RX_OCTS

UD_RX_OCTS 为接收的总字节数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0604				UD_RX_OCTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ifinoctets																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	ifinoctets		所有接收字节的计数，包括正确帧、错误帧以及 Preamble 中的字节。未检测到有效 SFD (Start of Frame Delimiter) 的帧不进行统计。																											

UD_RX_RIGHTOCTS

UD_RX_RIGHTOCTS 为接收正确包总字节数寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value				
0x0608		UD_RX_RIGHTOCTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	octets_rx							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	octets_rx	接收字节计数，包括正确帧和错误帧，但不包括 Preamble 字节。未检测到有效 SFD 的帧不进行统计。					

UD_HOSTMAC_PKTS

UD_HOSTMAC_PKTS 为匹配本机 MAC 的包数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x060C		UD_HOSTMAC_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	local_mac_match							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	local_mac_match	接收帧中目的 MAC 和本机 MAC 地址相同的正确帧的计数，不包括超短帧、超长帧、CRC 错帧、流控帧和传输错帧。					

UD_RX_RIGHTPKTS

UD_RX_RIGHTPKTS 为端口接收的总包数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x0610		UD_RX_RIGHTPKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pkts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	pkts	所有帧的计数。					



UD_RX_BROADPKTS

UD_RX_BROADPKTS 为正确的广播包数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0614				UD_RX_BROADPKTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	broadcastpkts																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	broadcastpkts		帧长有效并且 CRC 正确的广播帧的计数，但不包括流控帧、传输错帧。																											

UD_RX_MULTPKTS

UD_RX_MULTPKTS 为正确的组播包数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0618				UD_RX_MULTPKTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	multicastpkts																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	multicastpkts		帧长有效并且 CRC 正确的组播帧的计数，但不包括流控帧、传输错帧。																											

UD_RX_UNIPKTS

UD_RX_UNIPKTS 为正确的单播包数寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value				
0x061C		UD_RX_UNIPKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ifinucastpkts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	ifinucastpkts	帧长有效并且 CRC 正确的单播帧的计数，但不包括流控帧、传输错帧。					

UD_RX_ERRPKTS

UD_RX_ERRPKTS 为错包总包数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x0620		UD_RX_ERRPKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ifinerrors							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	ifinerrors	接收的所有错帧计数，包括 CRC 错帧、超短帧、超长帧和传输错帧。					

UD_RX_CRCERR_PKTS

UD_RX_CRCERR_PKTS 为 CRC 错误次数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x0624		UD_RX_CRCERR_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	crcerr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	crcerr	接收帧的帧长有效（非超短、超长帧），但其 CRC 或 Alignment 检查出错的帧的个数。					



UD_RX_LENERR_PKTS

UD_RX_LENERR_PKTS 为包长无效的包数寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value
	0x0628	UD_RX_LENERR_PKTS	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
		19 18 17 16	15 14 13 12
		11 10 9 8	7 6 5 4
		3 2 1 0	
Name	abnormalsizepkts		
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:0]	RO	abnormalsizepkts	帧长无效（小于设定的最小有效帧长，或者帧长大于设定的最大有效帧长）的个数（超短帧、超长帧）。

UD_RX_OCRRCERR_PKTS

UD_RX_OCRRCERR_PKTS 为奇数 Nibble 的 CRC 错的包数寄存器。该寄存器不支持软复位。

	Offset Address	Register Name	Total Reset Value
	0x062C	UD_RX_OCRRCERR_PKTS	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
		19 18 17 16	15 14 13 12
		11 10 9 8	7 6 5 4
		3 2 1 0	
Name	dot3alignmenterr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:0]	RO	dot3alignmenterr	接收到的奇数个 Nibble 的 CRC 错帧。

UD_RX_PAUSE_PKTS

UD_RX_PAUSE_PKTS 为接收的流控包数寄存器。该寄存器不支持软复位。



	Offset Address				Register Name				Total Reset Value																							
	0x0630				UD_RX_PAUSE_PKTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dot3pause																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	dot3pause		接收的流控帧数。																											

UD_RF_OVERCNT

UD_RF_OVERCNT 为 RXFIFO 溢出次数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0634				UD_RF_OVERCNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dropevents																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	dropevents		帧接收的过程中，RXFIFO 溢出事件的累计次数。																											

UD_FLUX_TOL_IPKTS

UD_FLUX_TOL_IPKTS 为流量限制入口的总包数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0638				UD_FLUX_TOL_IPKTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	flux_frame_cnt																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	flux_frame_cnt		流量限制输入正确帧的总数计数，不包括超短帧、超长帧、CRC 错帧、流控帧和传输错帧。																											



UD_FLUX_TOL_DPKTS

UD_FLUX_TOL_DPKTS 为流量限制丢弃的总包数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x063C				UD_FLUX_TOL_DPKTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	flux_drop_cnt																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	flux_drop_cnt		流量限制丢弃正确帧的计数，不包括超短帧、超长帧、CRC 错帧、流控帧和传输错帧。																											

UD_MN2CPU_PKTS

UD_MN2CPU_PKTS 为 MAC 限制不转发给 CPU 端口的包数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x064C				UD_MN2CPU_PKTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mac_not2cpu_pkts																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	mac_not2cpu_pkts		由于 MAC 限制不转发 CPU 端口的包数。																											

UD_TX_PKTS

UD_TX_PKTS 为发送成功的总包数寄存器。该寄存器不支持软复位。



	Offset Address				Register Name				Total Reset Value																							
	0x0780				UD_TX_PKTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pkts_tx																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	pkts_tx		所有配置发送帧的计数，不包含超时丢弃帧以及 UD_GLB_EQFRM_LEN 配置长度不在有效范围内的发送帧。																											

UD_TX_BROADPKTS

UD_TX_BROADPKTS 为发送成功的广播包数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0784				UD_TX_BROADPKTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	broadcastpkts_tx																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	broadcastpkts_tx		发送成功的广播帧的计数（不含重传）。																											

UD_TX_MULTPKTS

UD_TX_MULTPKTS 为发送成功的组播包数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0788				UD_TX_MULTPKTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	multicastpkts_tx																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	multicastpkts_tx		发送成功的组播帧的计数（不含重传）。																											



UD_TX_UNIPKTS

UD_TX_UNIPKTS 为发送成功的单播包数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x078C		UD_TX_UNIPKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ifoutucastpkts_tx							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	ifoutucastpkts_tx	发送成功的单播帧的计数（不含重传）。					

UD_TX_OCTS

UD_TX_OCTS 为发送的总字节数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x0790		UD_TX_OCTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	octets_tx							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	octets_tx	发送的总字节数，包含重发帧、正确帧和错误帧，但 Preamble 字节不计在内。					

UD_TX_PAUSE_PKTS

UD_TX_PAUSE_PKTS 为发送的流控帧数目寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x0794		UD_TX_PAUSE_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dot3outpause							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dot3outpause	发送的流控帧数目。					



UD_TX_RETRYCNT

UD_TX_RETRYCNT 为发送过程中总重传次数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x0798				UD_TX_RETRYCNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	retry_times_tx																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	retry_times_tx		配置发送帧的总的重传次数。																											

UD_TX_COLCNT

UD_TX_COLCNT 为发生冲突的总次数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name				Total Reset Value																							
	0x079C				UD_TX_COLCNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	collisions																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	collisions		冲突发生的次数。																											

UD_TX_LC_PKTS

UD_TX_LC_PKTS 为发生 LateCollision 的包数寄存器。该寄存器不支持软复位。



Offset Address		Register Name		Total Reset Value				
0x07A0		UD_TX_LC_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dot3latecol							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dot3latecol	发生 Latecollission 的包数目。					

UD_TX_COLOK_PKTS

UD_TX_COLOK_PKTS 为有冲突但发送成功的包数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x07A4		UD_TX_COLOK_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dot3col_ok							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dot3col_ok	发生冲突后发送成功的包数目。					

UD_TX_RETRY15_PKTS

UD_TX_RETRY15_PKTS 为重传超 15 次丢弃的包数寄存器。该寄存器不支持软复位。

Offset Address		Register Name		Total Reset Value				
0x07A8		UD_TX_RETRY15_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dot3excessivecol							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dot3excessivecol	由于重传次数大于 15 而丢弃的包数目。					



UD_TX_RETRYN_PKTS

UD_TX_RETRYN_PKTS 为冲突次数等于域值的包数寄存器。该寄存器不支持软复位。

	Offset Address				Register Name								Total Reset Value																							
	0x07AC				UD_TX_RETRYN_PKTS								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dot3colcnt																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RO	dot3colcnt		冲突次数等于冲突阈值的包数目，由 UD_MAC_SET[colthreshold]设定。																															

5.2 FE PHY

5.2.1 概述

10/100M 以太网物理层收发器 IP 包括物理编码子层（PCS）、物理媒介附加子层（PMA）、双绞线物理介质相关子层（TP-PMD）、10Base-TX 编解码器和双绞线媒体访问单元（TPMAU）。10/100M 以太网物理层收发器 IP 支持自动翻转。

5.2.2 特点

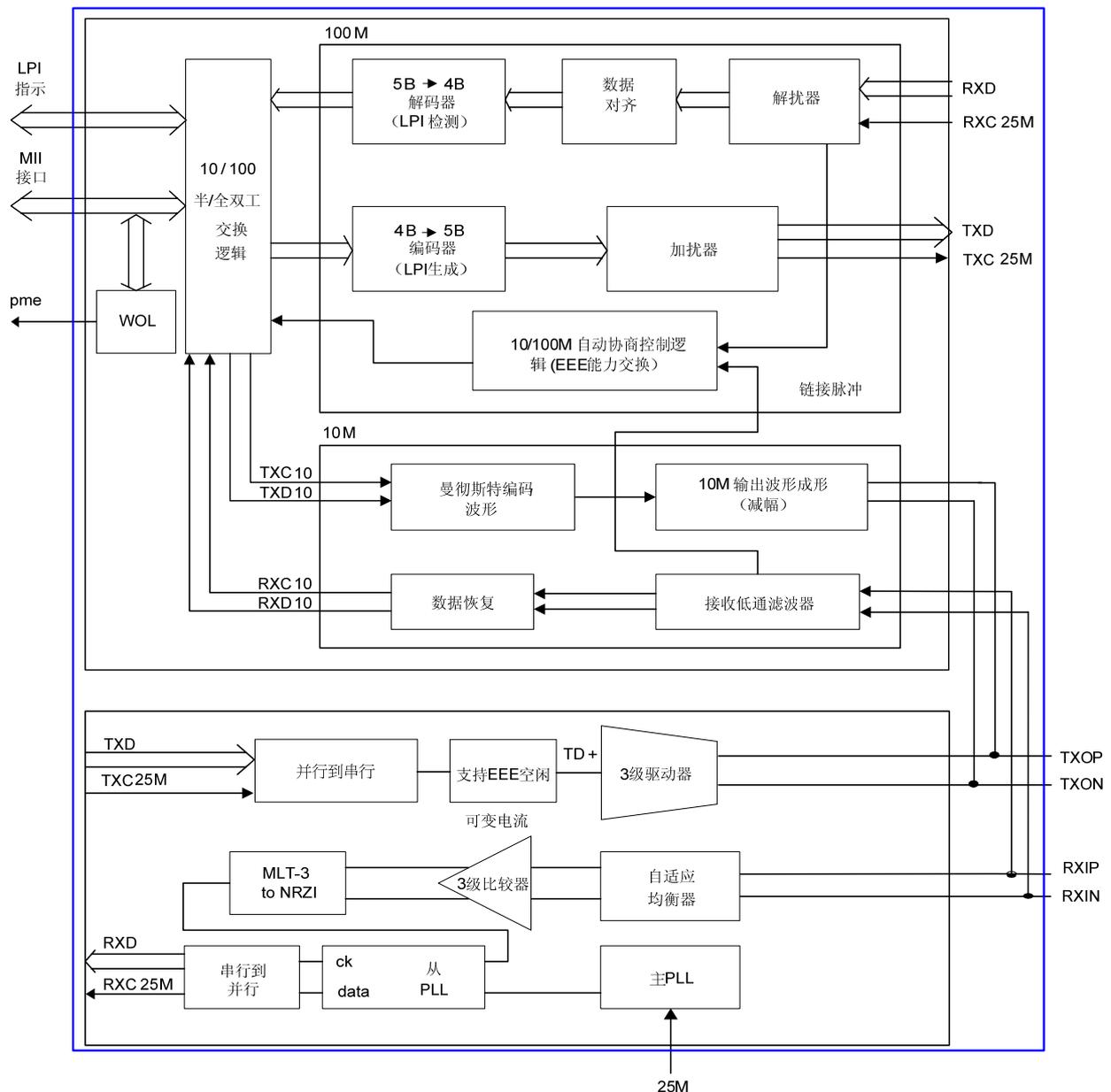
- 符合 IEEE Std 802.3az-2010 标准。
- 符合 100Base-TX IEEE 802.3u 标准。
- 符合 10Base-T IEEE 802.3 标准。
- 支持全/半双工操作。
- 支持双绞线或光纤模式输出。
- 支持自动协商。
- 支持掉电模式。
- 支持在掉线省电模式下操作。
- 支持基线漂移补偿。
- 支持自动翻转。
- 支持中断功能。
- 支持网络唤醒。
- 支持自适应均衡。
- 支持自动极性校正。



- 支持三种定制的 LED。
- 支持 25 MHz 时钟输入。
- 支持通过 MDIO 接口读写 PHY 内部寄存器。

5.2.3 功能描述

图5-5 系统框图



5.2.3.2 自动协商和并行检测

10/100M 以太网物理层收发器 IP 支持 IEEE 802.3u 条款 28 定义的自动协商，以便和支持自动协商的其他收发器进行通信。10/100M 以太网物理层收发器 IP 自动检测链接对



端设备的能力，确定这两台设备间的最高速率或双工配置。如果链接对端设备不支持自动协商，10/100M 以太网物理层收发器 IP 使能半双工模式，并进入并行检测模式。10/100M 以太网物理层收发器 IP 默认传输快速链路脉冲（FLP），并等待链接对端设备的响应。如果 10/100M 以太网物理层收发器 IP 收到一个快速链路脉冲，将继续进行自动协商过程。如果收到一个普通链路脉冲（NLP），10/100M 以太网物理层收发器 IP 将切换到 10Mbit/s 和半双工模式。如果收到一个 100Mbit/s 的空闲模式，10/100M 以太网物理层收发器 IP 将切换到 100 Mbit/s 和半双工模式。

5.2.3.3 掉电和掉线省电模式

支持两种省电模式操作。描述了如何通过软件实现每种模式。

表5-10 省电模式管脚配置

模式	描述
LDPS	设置寄存器 24 的第 15 位为 1 使 10/100M 以太网物理层收发器 IP 处于掉线（省电）模式。在掉线模式下，10/100M 物理层收发器 IP 将检测链接状态，以确定是否关闭传输功能。如果链接关闭，将不能传输快速链路脉冲、100 Mbit/s 空闲模式和 10 Mbit/s 普通链路脉冲。然而，将传输一些类似普通链路脉冲的信号。一旦检测到拉平的信号，收发器将停止这些信号，重新传输快速链路脉冲、100 Mbit/s 空闲模式或 10 Mbit/s 普通链路脉冲。掉线时，将省电 60%~80%。
PWD	设置寄存器 0 的第 11 位为 1 使收发器处于掉电模式（PWD）。这是收发器带电时最理想的省电模式。在掉电模式下，物理收发器将关闭除了 MDC/MDIO 管理接口之外的所有模拟/数字功能。因此，如果收发器处于掉电模式而 MAC 想重新呼叫物理层，物理层必须自己创建 MDC/MDIO 时序（该操作由软件来完成）。

5.2.3.4 10/100M 发送和接收

100Base-TX 发送操作

转换以 25 MHz（txc）的时钟频率传输的四位数据（txd0~txd3）为 5B 符号码（4B/5B 编码）。加扰、串行和转换时钟频率为 125 MHz，接着是 NRZ-to-NRZI 编码转换。传输 NRZI 信号到 MLT-3 编码器，然后到发送线驱动程序。发送器收起断言发送使能信号。发送数据模式前，发送器将发送一个 J/K 符号（帧开始限制器）、数据符号和一个 T/R 符号（帧结束限制器）。为了实现更好的 EMI 性能，加扰器的启动源基于 PHY 地址。在集线器/交换机环境，10/100M 以太网物理层收发器 IP 有不同的加扰器启动源，因此可以分发 MLT-3 输出信号。

100Base-TX 接收操作

接收到的信号被自适应均衡器补偿，以弥补由于电缆衰减和内部符号干扰导致的信号损失。基线漂移校正监控和动态校正信号均衡过程。然后锁相环从信号和接收时钟恢复时序信息。这样，采样接收到的信号以形成 NRZI 数据。接下来的步骤是 NRZI-to-NRZ 编码转换，解扰数据，并行到串行转换，5B 到 4B 编码转换和发送 4B 编码的四位数据到 MII 接口。



10Base-T 发送操作

以 25 MHz 的时钟频率 (txc) 发送四位数据 (txd0~txd3) 到并行-串行转换器。输出的 10 Mbit/s NRZ 信号被发送到曼彻斯特编码器。曼彻斯特编码器将 10 Mbit/s NRZ 数据转换成 TP 发送器的曼彻斯特编码数据流, 并根据 IEEE 802.3 规定在数据包的结尾添加一个起始空脉冲。最后, 编码的数据流由嵌入在 10/100M 以太网物理层收发器 IP 中的带宽受限滤波器处理并发送。

10Base-T 接收操作

在 10Base-T 接收模式下, 嵌入在 10/100M 以太网物理层收发器 IP 中的曼彻斯特编码器通过解码数据和去除起始空脉冲把曼彻斯特译码数据流转化为 NRZ 数据。串行 NRZ 数据流被转换为并行四位信号 (rxd0~rxd3)。

5.2.3.5 PHY 复位

可通过拉低 PHY_RSTB_L 接口 10 ms, 然后拉高该接口复位 10/100M 以太网物理层收发器 IP。复位该收发器清除和重新初始化寄存器。该媒体接口将断开链接, 并重启自动协商或并行检测过程。

PHY 复位也可通过设置寄存器 0 的第 15 位为 1(软复位)来实现。详情参见 3.4 章节内容。

5.2.3.6 自动极性校正

根据检测的有效间隔链路脉冲自动链路脉冲, 10/100M 以太网物理层收发器 IP 自动校正 10Base-T 模式下接收对上的极性错误。自动极性校正 MDI 交叉检测阶段开始, 当 10Base-T 链路连通时被锁定。链路断开时, 极性校正解除锁定。100Base-TX 模式下, 不涉及极性校正。

LED 功能

10/100M 以太网物理层收发器 IP 支持四个可配置的操作模式下的三个 LED。三个 LED 在不同的 LED 操作中被驱动为低电平。以下章节介绍各种 LED 操作。

链路监控

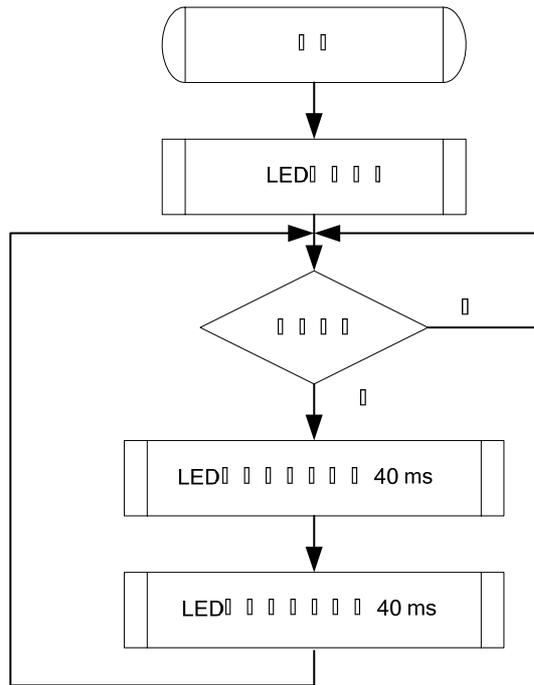
链路监控检测链路完整性, 如 LINK₁₀、LINK₁₀₀、LINK₁₀/ACT 或 LINK₁₀₀/ACT。当创建了链路状态, 特定链路 LED 管脚被驱动为低电平。一旦电缆断开连接, 链路 LED 管脚被驱动为高电平, 表明无网络连接存在。

接收 LED

在 10/100M 模式下, 接收 LED 闪烁表明正在接收数据。



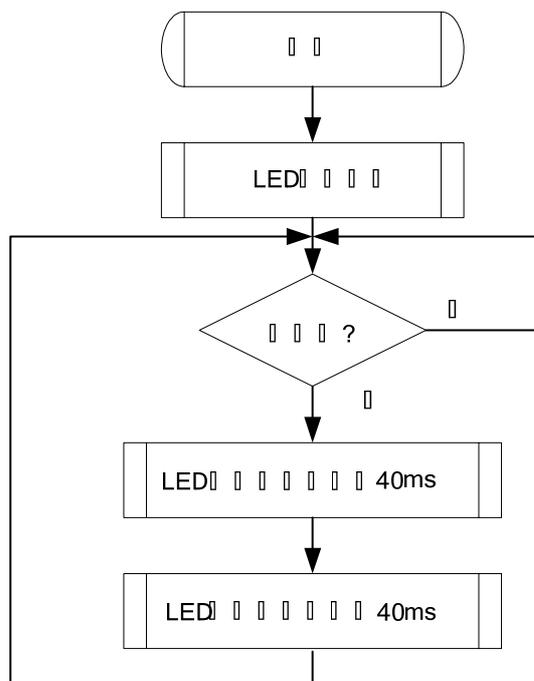
图5-6 接收 LED



发送 LED

在 10/100M 模式下，发送 LED 闪烁表明正在发送数据。

图5-7 发送 LED

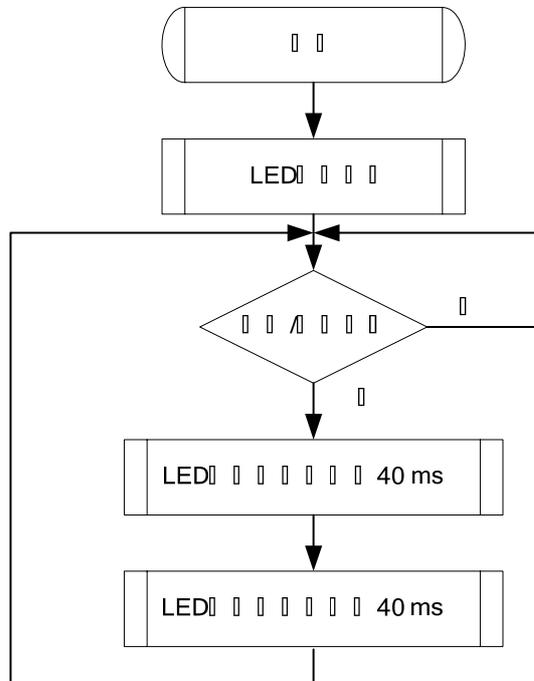




发送/接收 LED

在 10/100M 模式下，发送/接收 LED 闪烁表明发送/接收数据。

图5-8 发送/接收 LED

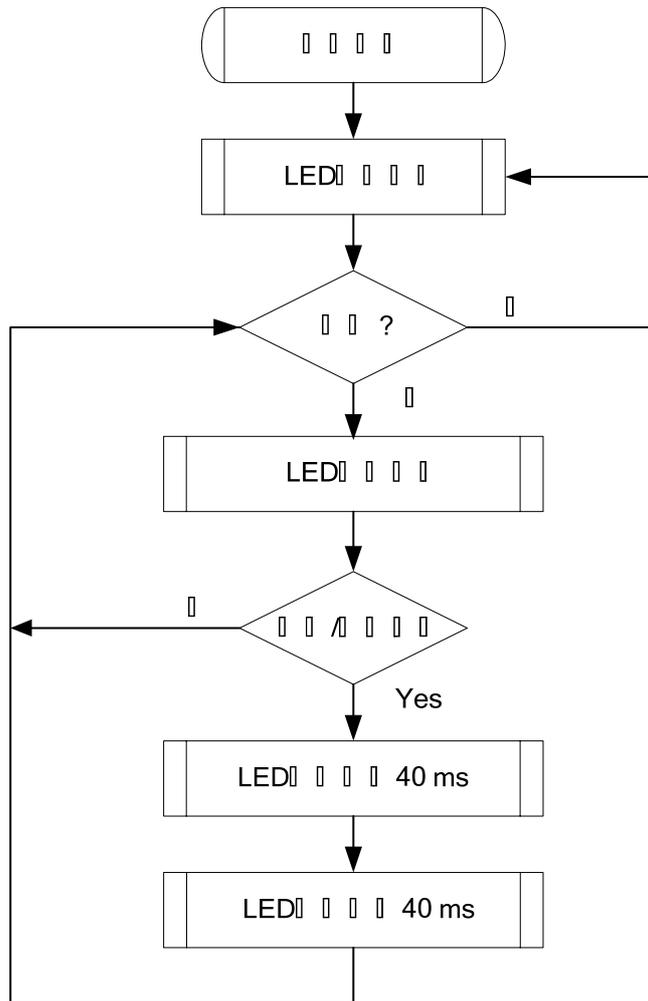


链路/操作 LED

在 10/100M 模式下，链路/操作灯闪烁表明 10/100M 以太网物理层收发器 IP 处于连接状态并运行正常。如果 LED 长时间被驱动为高电平，表明存在链路问题。



图5-9 链路/操作 LED

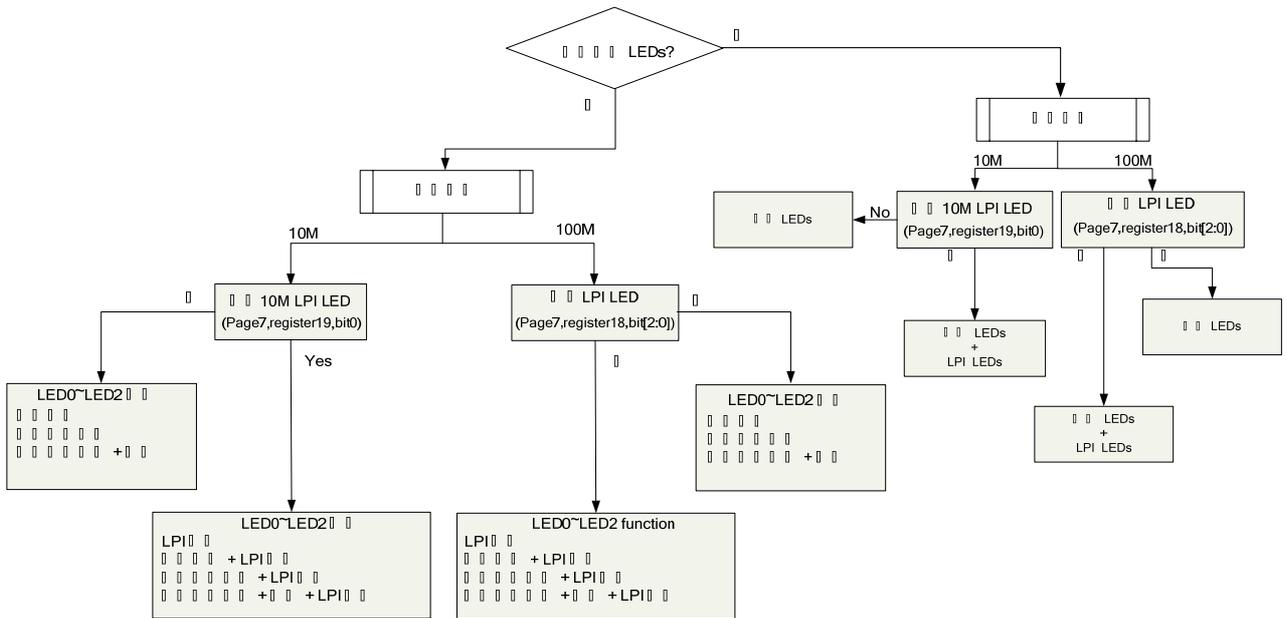


定制 LED

10/100M 以太网物理层收发器 IP 在 10/100 Mbit/s 模式下支持可编程的 LED。通过设置寄存器 19 的第三个 bit 位使能或禁用该功能。



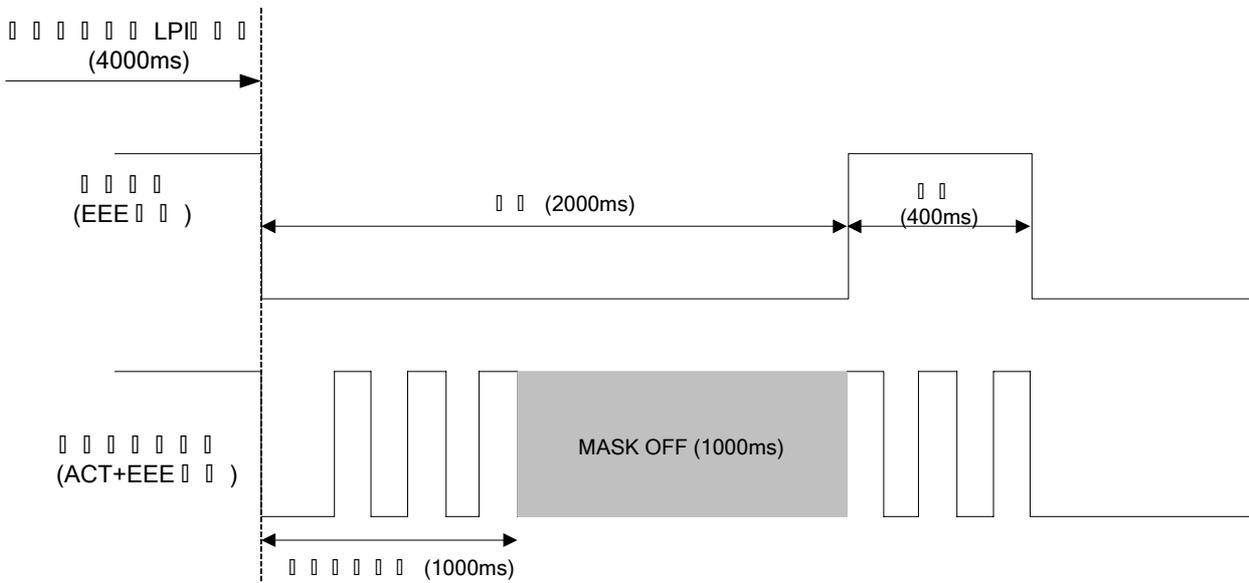
图5-10 有/无 LPI LED 模式的定制 LED



EEE LED 运行状态

- EEE 空闲模式：LED 连续缓慢闪烁。
- EEE 主动模式：LED 快速和缓慢闪烁（数据包发送和接收）。

图5-11 EEE LED 运行状态





5.2.3.7 能效以太网（EEE）

10/100M 以太网物理层收发器 IP 支持 10 Mbit/s 和 100 Mbit/s 模式下的 IEEE 802.3az-2010（也称为能效以太网）。该设备提供一个协议根据链路利用率协调到/从低功耗水平（低功耗空闲模式）的转换。当无数据包发送，系统计入低功耗空闲模式。当需要发送数据包，系统在不改变链接状态和不丢帧/销毁帧的情况下回复到正常模式。

为了省电，当系统处于低功耗空闲模式时，大多数电路被禁用。然而，从低功耗空闲模式过渡的时间足够小，能够对上层协议和应用程序是透明的。

EEE 也指定一个协商方法，使链接伙伴确定是否支持 EEE。

- 对于 EEE 能力，MAC 可断言/去断言发送 LPI。
- 对于 EEE 能力，PHY 可断言/去断言接收 LPI。
- 对于 EEE 能力，PHY 可使用断言的 CRS(被定义为 EEE CRS)通告 MAC 仍在断言发送 LPI，使用去断言的 CRS 通告 MAC 能够发送数据包因为 MAC 已去断言发送 LPI，并且 PHY 唤醒计时器已过期。
- MAC 不支持 EEE，并且没有发送 LPI 的信令。然而，当没有流量时，有缓冲区的 PHY 唯一能做的是生成发送 LPI 请求。
- 对于 EEE 能力，PHY 可断言/去断言接收 LPI。
- MAC 不支持 EEE，并且不需要来自 PHY 的 EEE CRS。

5.2.4 寄存器概览

寄存器概览如表 5-11 所示。

表5-11 寄存器概览

偏移地址	名称	描述	页码
0x0	BMCR	基本模式控制寄存器	5-81
0x1	BMSR	基本模式状态寄存器	5-83
0x2	PHYID1	PHY 标识寄存器 1	5-85
0x3	PHYID2	PHY 标识寄存器 2	5-85
0x4	ANAR	自动协商通知寄存器	5-86
0x5	ANLPAR	自动协商链接方能力寄存器	5-87
0x6	ANER	自动协商扩展寄存器	5-88
0xD	MACR	MMD 接入控制寄存器	5-89
0xE	MADDR	MMD 访问地址数据寄存器	5-89
0x18	PSMR	省电模式寄存器	5-90
0x1C	LPM	环回寄存器	5-90
0x1E	INTR	中断指示和信噪比显示寄存器	5-91



偏移地址	名称	描述	页码
0x1F	PGSEL	页面选择寄存器	5-91
device3_0 x0	EEEEPC1R	PCS 控制寄存器（3 号 MMD 设备，地址：0x00）	5-92
device3_0 x1	EEEEPS1R	PCS 状态寄存器（3 号 MMD 设备，地址：0x01）	5-92
device3_0 x14	EEEECR	EEE 能力寄存器（3 号 MMD 设备；地址：0x14）	5-93
device3_0 x16	EEEWER	EEE 唤醒错误寄存器（3 号 MMD 设备；地址：0x16）。	5-93
device7_0 x3C	EEEEAR	EEE 通知寄存器（7 号 MMD 设备；地址：0x3C）。	5-94
device7_0 x3D	EEELPAR	EEE 链接方能力寄存器（7 号 MMD 设备；地址：0x3D）。	5-94

5.2.5 寄存器描述

BMCR

BMCR 为基本模式控制寄存器。



		Offset Address 0x0						Register Name BMCR			Total Reset Value 0x3100						
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reset	loopback	speedselection	autonegotiationenabl	powerdown	isolate	restartautonegotiation	duplexmode	collisiontest	reserved						
Reset		0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0
Bits	Access	Name					Description										
[15]	RWSC	reset					设置 PHY 在默认状态下的状态和控制寄存器。该位为自清零。 0: 正常操作; 1: 软复位。 寄存器 0 和 1 在软件复位(设置 bit[15]为 1)后恢复到默认值。 该操作可能改变内部 PHY 的状态以及和内部 PHY 关联的物理链路的状态。										
[14]	RW	loopback					使能 4 比特(txd0~txd3)的传输数据环回到接收数据路径。 0: 正常操作; 1: 使能环回。										
[13]	RW	speedselection					设置网络速度。 0: 10 Mbit/s; 1: 100 Mbit/s。 自动协商完成后, 该 bit 反应网络速度的状态。 0: 10Base-T; 1: 100Base-T。										
[12]	RW	autonegotiationenabl					自动协商使能控制。 0: 禁用自动协商。bit[13]和 bit[8]分别用来确定链路速度和数据传输模式; 1: 使能自动协商。bit[13]和 bit[8]被忽略。 注意: 禁用自动协商和设置 bit[13]和 bit[8]确定链路速度后, 设置 bit[15]为 1 进行软件复位。										
[11]	RW	powerdown					关闭 PHY 芯片的电源。 MDC 和 MDIO 仍处于上电状态, 可用来访问 MAC。 0: 正常操作; 1: 下电。										



[10]	RW	isolate	0: 正常操作; 该域被使能或禁用时, MII 以一个周期的毛刺传输和接收数据。 1: 电隔离 PHY 和 MII。PHY 仍能响应 MDC 或 MDIO。
[9]	RWSC	restartautonegotiation	重置自动协商。 0: 正常操作; 1: 重启自动协商。
[8]	RW	duplexmode	自动协商被禁用(bit[12]=0)时, 该 bit 用来设置双工模式。 0: 半双工; 1: 全双工。 自动协商完成后, 该 bit 反应双工状态。 0: 半双工; 1: 全双工。
[7]	RW	collisiontest	碰撞测试。 0: 正常操作; 1: 使能碰撞测试。 设置该域导致 COL 信号被拉高以在 512 bit 的时间内响应 TXEN。该信号将被拉低以在 4 bit 时间内响应 TXEN 被拉低。
[6:0]	RW	reserved	保留。

BMSR

BMSR 为基本模式状态寄存器。



		Offset Address					Register Name					Total Reset Value				
		0x1					BMSR					0x7849				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	_00base_t4	_00base_tx_fd	_00base_tx_hd	_0base_t_fd	_0_base_t_hd	reserved				mfpreamblesuppression	AutoNegotiationComplete	remotefault	auto_negotiationability	linkstatus	jabberdetect	extendedcapability
Reset	0	1	1	1	1	0	0	0	0	1	0	0	1	0	0	1
Bits	Access		Name			Description										
[15]	RO		_00base_t4			0: 禁用 100Base-T4; 1: 使能 100Base-T4。										
[14]	RO		_00base_tx_fd			0: 禁用 100Base-TX 全双工; 1: 使能 100Base-TX 全双工。										
[13]	RO		_00base_tx_hd			0: 禁用 100Base-TX 半双工; 1: 使能 100Base-TX 半双工。										
[12]	RO		_0base_t_fd			0: 禁用 10Base-T 全双工; 1: 使能 10Base-T 全双工。										
[11]	RO		_0_base_t_hd			0: 禁用 10Base-T 半双工; 1: 使能 10Base-T 半双工。										
[10:7]	RO		reserved			保留。										
[6]	RO		mfpreamblesuppression			通过抑制前导码, PHY 可以接收 MDIO 帧 复位后, 第一个 MDIO 操作至少需要 32 个前导码比特。根据 IEEE802.3u 规范, 任何两个 MDIO 操作之间需要一个 bit 的空闲时间。										
[5]	RW		AutoNegotiationComplete			0: 未完成自动协商; 1: 完成自动协商。										
[4]	RC		remotefault			0: 未检测到远程故障; 1: 检测到远程故障(读清零)。										
[3]	RO		auto_negotiationability			0: PHY 不能执行自动协商; 1: PHY 能够执行自动协商。										



[2]	RO	linkstatus	0: 未建立有效链接; 1: 建立了有效链接。 该位指示链路自上次读后是否丢失。读取该寄存器两次获取当前链路状态。
[1]	RO	jabberdetect	0: 未检测到超时传输; 1: 检测到超时传输。
[0]	RO	extendedcapability	0: 不可扩展的寄存器能力; 1: 可扩展的寄存器能力(permanently=1)。

PHYID1

PHYID1 为 PHY 标识寄存器 1。

	Offset Address 0x2						Register Name PHYID1						Total Reset Value 0x001C			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	oui															
Reset	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0
Bits	Access		Name			Description										
[15:0]	RO		oui			分别由组织唯一标识符(OUI)的第 6 至第 21 位组成。										

PHYID2

PHYID2 为 PHY 标识寄存器 2。

	Offset Address 0x3						Register Name PHYID2						Total Reset Value 0xC816			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	oui_lsb						modelnumber						revisionnumber			
Reset	1	1	0	0	1	0	0	0	0	0	0	1	0	1	1	0
Bits	Access		Name			Description										
[15:10]	RO		oui_lsb			分配给 OUI 的第 0 至第 5 位。										
[9:4]	RO		modelnumber			型号。										
[3:0]	RO		revisionnumber			修订版本号。										



ANAR

ANAR 为自动协商通知寄存器。

		Offset Address 0x4					Register Name ANAR					Total Reset Value 0x01E1					
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		nextpage	acknowledge	remotefault	reserved	asymmetricpause	pause	_00base_t4	_00base_tx_fd	_00base_tx	_0base_t_fd	_0base_t	selectorfield				
Reset		0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	1
	Bits	Access	Name		Description												
	[15]	RW	nextpage		下一页面位。 0: 传输主要能力数据页; 1: 传输协议特定数据页。												
	[14]	RO	acknowledge		0: 不确认接收链接方能力; 1: 确认接收链接方能力。												
	[13]	RW	remotefault		0: 不通告远程故障检测能力; 1: 通告远程故障检测能力。												
	[12]	RO	reserved		保留。												
	[11]	RW	asymmetricpause		0: 通告不支持非对称 pause 帧; 1: 通告支持非对称 pause 帧。												
	[10]	RW	pause		0: 二层 MAC 没有流动能力; 1: 通告二层 MAC 有流控能力。												
	[9]	RO	_00base_t4		0: 本地节点不支持 100Base-T4; 1: 本地节点支持 100Base-T4。												
	[8]	RW	_00base_tx_fd		0: 本地节点不支持 100Base-TX 全双工; 1: 本地节点支持 100Base-TX 全双工。												
	[7]	RW	_00base_tx		0: 本地节点不支持 100Base-TX; 1: 本地节点支持 100Base-TX。												
	[6]	RW	_0base_t_fd		0: 本地节点不支持 10Base-T 全双工; 1: 本地节点支持 10Base-T 全双工。												
	[5]	RW	_0base_t		0: 本地节点不支持 10Base-T; 1: 本地节点支持 10Base-T。												



[4:0]	RO	selectorfield	该节点支持的二进制编码选择器。 目前只指定了 CSMA/CD 00001。不支持其他协议。
-------	----	---------------	--

ANLPAR

ANLPAR 为自动协商链接方能力寄存器。

		Offset Address 0x5					Register Name ANLPAR					Total Reset Value 0x01E1					
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		nextpage	acknowledge	remotefault	reserved	asymmetricpause	pause	_00base_t4	_00base_tx_fd	_00base_tx	_0base_t_fd	_0base_t	selectorfield				
Reset		0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	1
Bits	Access	Name		Description													
[15]	RW	nextpage		下一页面位。 0: 传输主要能力数据页; 1: 传输协议特定数据页。													
[14]	RW	acknowledge		0: 不确认接收链接方能力; 1: 确认接收链接方能力。													
[13]	RW	remotefault		0: 不通告远程故障检测能力; 1: 通告远程故障检测能力。													
[12]	RO	reserved		保留。													
[11]	RW	asymmetricpause		0: 通告不支持非对称 pause 帧; 1: 通告支持非对称 pause 帧。													
[10]	RW	pause		0: 二层 MAC 没有流动能力; 1: 通告二层 MAC 有流控能力。													
[9]	RO	_00base_t4		0: 本地节点不支持 100Base-T4; 1: 本地节点支持 100Base-T4。													
[8]	RW	_00base_tx_fd		0: 本地节点不支持 100Base-TX 全双工; 1: 本地节点支持 100Base-TX 全双工。													
[7]	RW	_00base_tx		0: 本地节点不支持 100Base-TX; 1: 本地节点支持 100Base-TX。													



[6]	RW	_0base_t_fd	0: 本地节点不支持 10Base-T 全双工; 1: 本地节点支持 10Base-T 全双工。
[5]	RW	_0base_t	0: 本地节点不支持 10Base-T; 1: 本地节点支持 10Base-T。
[4:0]	RW	selectorfield	该节点支持的二进制编码选择器。 目前只指定了 CSMA/CD 00001。不支持其他协议。

ANER

ANER 为自动协商扩展寄存器。

		Offset Address 0x6					Register Name ANER					Total Reset Value 0x0000					
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved										paralleldetectionfault	linkpartnernextpageability	localnextpageability	pagereceived	linkpartnerauto_negotiationability	
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name					Description										
[15:5]	RO	reserved					保留。										
[4]	RC	paralleldetectionfault					0: 通过并行检测功能未检测到故障; 1: 通过并行检测功能已检测到故障。										
[3]	RW	linkpartnernextpageability					0: 链接方没有下下一页面能力; 1: 链接方具有下一页面能力。										
[2]	RW	localnextpageability					0: 本地节点没有下一页面能力; 1: 本地节点具有下一页面能力。										
[1]	RC	pagereceived					0: 尚未收到一个新的页面; 1: 收到一个新的页面。										



[0]	RW	linkpartnerauto_negotiationability	如果使能了自动协商。 该位定义如下： 0：链接方不具有自动协商能力； 1：链接方有自动协商能力。
-----	----	------------------------------------	---

MACR

MACR 为 MMD 接入控制寄存器。

Offset Address		Register Name		Total Reset Value												
0xD		MACR		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	function		reserved								devad					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:14]	WO	function	00: 地址； 01: 数据，无算后增量； 10: 数据，读写都有算后增量； 11: 数据，只有写操作有算后增量。													
[13:5]	RO	reserved	保留。													
[4:0]	WO	devad	设备地址。													

MADDR

MADDR 为 MMD 访问地址数据寄存器。

Offset Address		Register Name		Total Reset Value												
0xE		MADDR		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	addressdata															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:0]	RW	addressdata	当 bit[15:14] = 00, bit[13:0]表示 MMD DEVAD 地址； 当 bit[15:14] = 01、10 或 11 时, bit[13:0]表示 MMD DEVAD 数据, 由它的地址寄存器内容指示。													



PSMR

PSMR 为省电模式寄存器。

Offset Address		Register Name										Total Reset Value				
0x18		PSMR										0x8000				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	enpwrsave		reserved													
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description												
[15]	RW	enpwrsave		使能省电模式。												
[14:0]	RO	reserved		保留。												

LPM

LPM 为环回寄存器。

Offset Address		Register Name										Total Reset Value				
0x1C		LPM										0x0006				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												en_automdix	force_mdi	reserved	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
Bits	Access	Name		Description												
[15:3]	RO	reserved		保留。												
[2]	RW	en_automdix		使能自动 MDIX 功能。												
[1]	RW	force_mdi		强制启动 MDI/MDIX 模式。 如果使能了自动 MDIX 功能，该域设置如下： 0：强制启动 MDIX 模式； 1：强制启动 MDI 模式。												



[0]	RO	reserved	保留。
-----	----	----------	-----

INTR

INTR 为中断指示和信噪比显示寄存器。

Offset Address		Register Name		Total Reset Value												
0x1E		INTR		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	anerr	spdchg	duplexchg	reserved	linkstatuschg	reserved						snr_o				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description												
[15]	RC	anerr		自动协商错误中断。												
[14]	RC	spdchg		速度模式变化中断。												
[13]	RC	duplexchg		双工模式变化中断。												
[12]	RO	reserved		保留。												
[11]	RC	linkstatuschg		链接状态变化中断。												
[10:4]	RO	reserved		保留。												
[3:0]	RO	snr_o		这 4 位显示信噪比值。												

PGSEL

PGSEL 为页面选择寄存器。

Offset Address		Register Name		Total Reset Value												
0x1F		PGSEL		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								pagesel							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description												
[15:8]	RO	reserved		保留。												
[7:0]	RW	pagesel		选择的页面地址范围：00000000~11111111。												



EEEPC1R

EEEPC1R 为 PCS 控制寄存器（3 号 MMD 设备，地址：0x00）。

Offset Address		Register Name		Total Reset Value												
device3_0x0		EEEPC1R		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					clockstopenable	reserved									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:11]	RW		reserved		保留。											
[10]	RW		clockstopenable		0: RXC 不停止发送 RXC 停止(默认值); 1: 在 LPI 时 PHY 停止发送 RXC。											
[9:0]	RW		reserved		保留。											

EEEPS1R

EEEPS1R 为 PCS 状态寄存器（3 号 MMD 设备，地址：0x01）。

Offset Address		Register Name		Total Reset Value												
device3_0x1		EEEPS1R		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					txlpireceived	rxlpireceived	txlpiindication	rxlpiindication	reserved	clockstopcapable	reserved				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:12]	RO		reserved		保留。											
[11]	RO		txlpireceived		0: 发送 PCS 未收到 LPI; 1: 发送 PCS 已收到 LPI。											



[10]	RO	rxlpireceived	0: 接收 PCS 未收到 LPI; 1: 接收 PCS 已收到 LPI。
[9]	RO	txlpiindication	0: 发送 PCS 未在接收 LPI; 1: 发送 PCS 正在接收 LPI。
[8]	RO	rxlpiindication	0: 接收 PCS 未在接收 LPI; 1: 接收 PCS 正在接收 LPI。
[7]	RO	reserved	保留。
[6]	RO	clockstopcapable	0: 设置 TXC 为“不可停止”(TXC 的元器件为 RL6307); 1: 在 LPI 是停止发送 TXC。
[5:0]	RO	reserved	保留。

EEEECR

EEEECR 为 EEE 能力寄存器 (3 号 MMD 设备; 地址: 0x14)。

	Offset Address						Register Name						Total Reset Value			
	device3_0x14						EEEECR						0x0003			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														_00base_txeee	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access		Name		Description											
[15:2]	RO		reserved		保留。											
[1]	RO		_00base_txeee		0: 不支持 100Base-TX EEE; 1: 支持 100Base-TX EEE。											
[0]	RO		reserved		保留。											

EEEWER

EEEWER 为 EEE 唤醒错误寄存器 (3 号 MMD 设备; 地址: 0x16)。



Offset Address		Register Name		Total Reset Value												
device3_0x16		EEEWER		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	eeewakeerrorcounter															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:0]	RC	eeewakeerrorcounter	由支持 EEE 的 PHY 用来计数唤醒时间错误。这些错误是因为 PHY 无法在特定类型的 PHY 要求的时间内完成其正常时序而产生。													

EEEAR

EEEAR 为 EEE 通知寄存器（7 号 MMD 设备；地址：0x3C）。

Offset Address		Register Name		Total Reset Value												
device7_0x3C		EEEAR		0x0002												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														_00base_txeee	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description													
[15:2]	RW	reserved	保留。													
[1]	RW	_00base_txeee	100Base-TX EEE 能力通知控制。 0：不通知； 1：通知。													
[0]	RW	reserved	保留。													

EEELPAR

EEELPAR 为 EEE 链接方能力寄存器（7 号 MMD 设备；地址：0x3D）。



Offset Address		Register Name										Total Reset Value				
device7_0x3D		EEELPAR										0x0000				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														lp100base_txeee	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description												
[15:2]	RO	reserved		保留。												
[1]	RO	lp100base_txeee		0: 链接方不支持 100Base-TX EEE; 1: 链接方支持 100Base-TX EEE。												
[0]	RO	reserved		保留。												



目 录

6 视频编码.....	6-1
6.1 概述.....	6-1
6.2 VENC.....	6-1
6.2.1 概述	6-1
6.2.2 特点	6-1
6.2.3 功能描述	6-2
6.3 JPGE.....	6-3
6.3.1 概述	6-3
6.3.2 特点	6-3
6.3.3 功能描述	6-4



插图目录

图 6-1 VENC 编码功能框图.....	6-3
图 6-2 JPGE 功能框图.....	6-5



6 视频编码

6.1 概述

视频编码单元是一个支持 H.264/JPEG 的多协议编码器，包括 VENC 和 JPGE 两部分，其中 VENC 实现 H.264 协议的编码，JPGE 实现 JPEG 协议的编码。

6.2 VENC

6.2.1 概述

VENC (Video Encode Unit) 是一个硬件实现的支持 H.264 视频标准的编码器。VENC 具有 CPU 占用率低、总线带宽占用小、低延时、低功耗等优点。

6.2.2 特点

VENC 编码器具有以下特点：

- 支持 ITU-T H.264 High Profile/Main Profile/Baseline Profile@Level4.2 编码
 - 支持 1/2、1/4 像素精度运动补偿
 - 支持帧间预测 16x16、16x8、8x16、8x8 四种子块类型
 - 支持所有 Intra4x4、Intra8x8、Intra16x16 预测模式
 - 支持 Trans4x4、Trans8x8
 - 支持 CABAC、CAVLC 熵编码
 - 支持 De-blocking 滤波
 - 支持 I_PCM 编码
- 支持输入图像格式：Semi-Planar YCbCr4:2:0
- H.264 视频编码性能：
 - 16xD1@6fps+8CIF@6fps 编码
 - 16xCIF@30fps+8QCIF@30fps 编码
 - 8xD1@30fps+4CIF@30fps 编码
 - 8x960H@30fps+4CIF@30fps 编码



- 支持图像分辨率可配置
 - 最小图像分辨率：160x64
 - 最大图像分辨率：1920x2048
 - 图像宽度/高度的配置步长为 4
- 支持感兴趣区域编码
 - 支持最多 8 个区域的感兴趣编码
 - 感兴趣编码功能可使能/禁止
- 支持 OSD 区域编码保护
OSD 区域编码保护功能可使能/禁止
- 支持视频前端 OSD 叠加处理
 - 支持最多 8 个区域的编码前 OSD 叠加
 - 支持任意位置、最大为图像大小的 OSD 叠加
 - 支持 129 级的 alpha 叠加
 - OSD 叠加功能可使能/禁止
- 支持 CBR/VBR 两种码率控制模式
- 输出码率范围：2kbps~40Mbps

6.2.3 功能描述

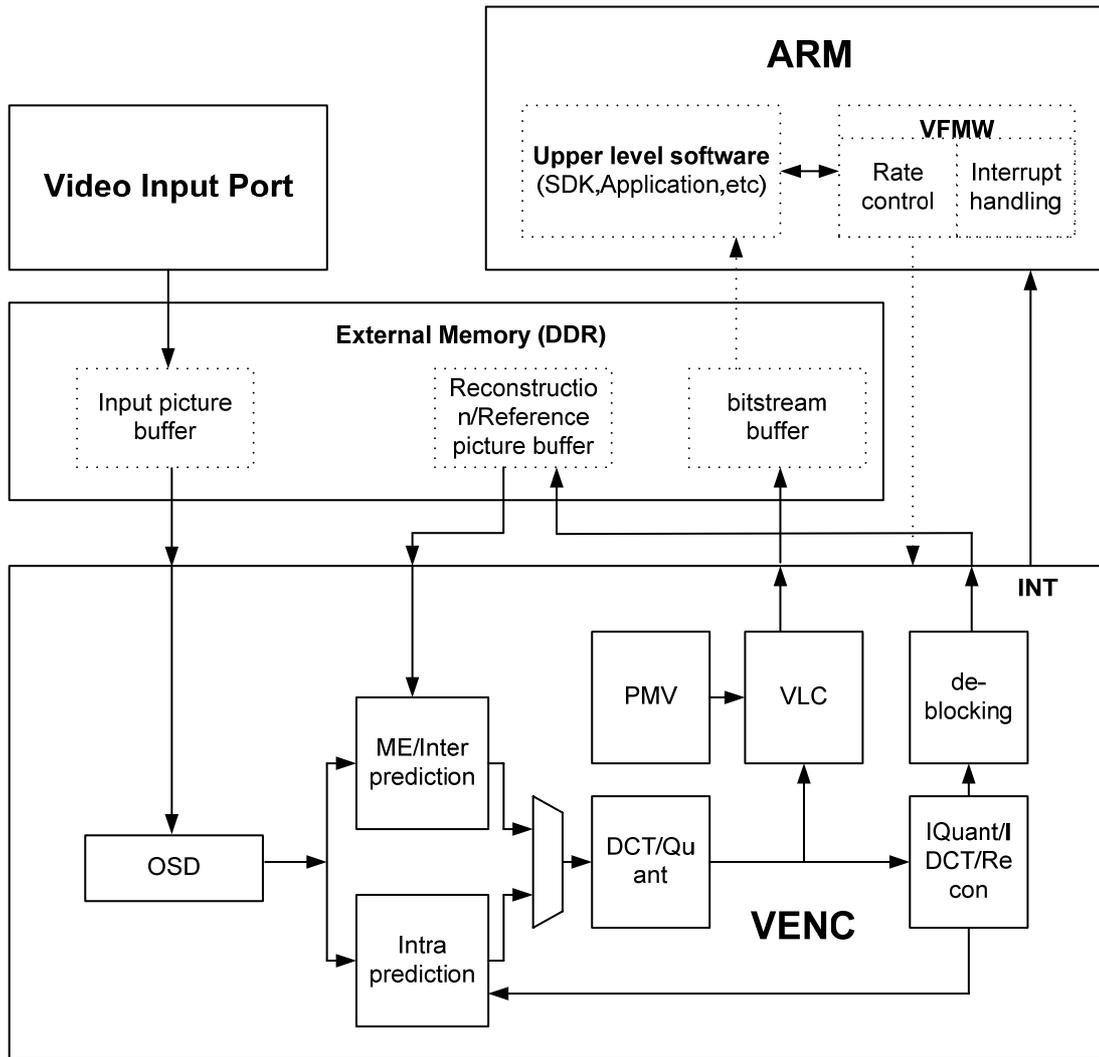
VENC 功能框图如图 6-1 所示。

VENC 编码实现了运动估计/帧间预测、帧内预测、运动矢量预测、变换/量化、反量化/反变换、VLC(Variable Length Code) 编码及码流生成、de-blocking 滤波等协议/算法处理，ARM 软件则完成码率控制和中断处理等编码控制处理。

在启动 VENC 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下三种类型的缓冲区。

- 输入图像缓冲区
VENC 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 重构图像/参考图像缓冲区
VENC 在编码过程中会向该缓冲区中写入重构图像、以作为后续图像的参考图像，在进行 P 帧编码时会从该缓冲区读取参考图像。
- 码流缓冲区
该缓冲区用于存放编码输出的码流。VENC 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。

图6-1 VENC 编码功能框图



6.3 JPGE

6.3.1 概述

JPGE (JPEG Encoder) 是一个硬件实现的高性能 JPEG 编码器，可实现高达 67.1M 像素的图片抓拍或高清图像 MJPEG 编码业务。

6.3.2 特点

JPGE 具有以下特点：

- 支持 ISO/IEC 10918-1(CCITT T.81) Baseline Process(DCT Sequential)编码
- 支持 YCbCr4:2:0、YCbCr4:2:2、YCbCr4:4:4 三种色度采样格式的图像编码
- MCU 采用 interleaved 顺序组织
- 支持如下几种输入图像格式：



- Planar YCbCr4:2:0
- Planar YCbCr4:2:2
- Planar YCbCr4:4:4
- Semi-Planar YCbCr4:2:0
- Semi-Planar YCbCr4:2:2
- PackageYUYV
- 最高性能可达到 67.1M(8192x8192)pixel/s
- 支持图像分辨率可配置
 - 最小图像分辨率：64x64
 - 最大图像分辨率：8192x8192
- 图像宽度/高度的配置步长为 4
- 量化表可配置
 - Y、Cb、Cr 三个分量各提供一张量化表
- 支持视频前端 OSD 叠加处理
 - 支持最多 8 个区域的编码前 OSD 叠加
 - 支持任意大小，任意位置（不超出图像大小和位置）OSD 叠加
 - 支持 129 级的 alpha 叠加
 - OSD 叠加功能可使能/禁止

6.3.3 功能描述

JPGE 功能如图 6-2 所示。

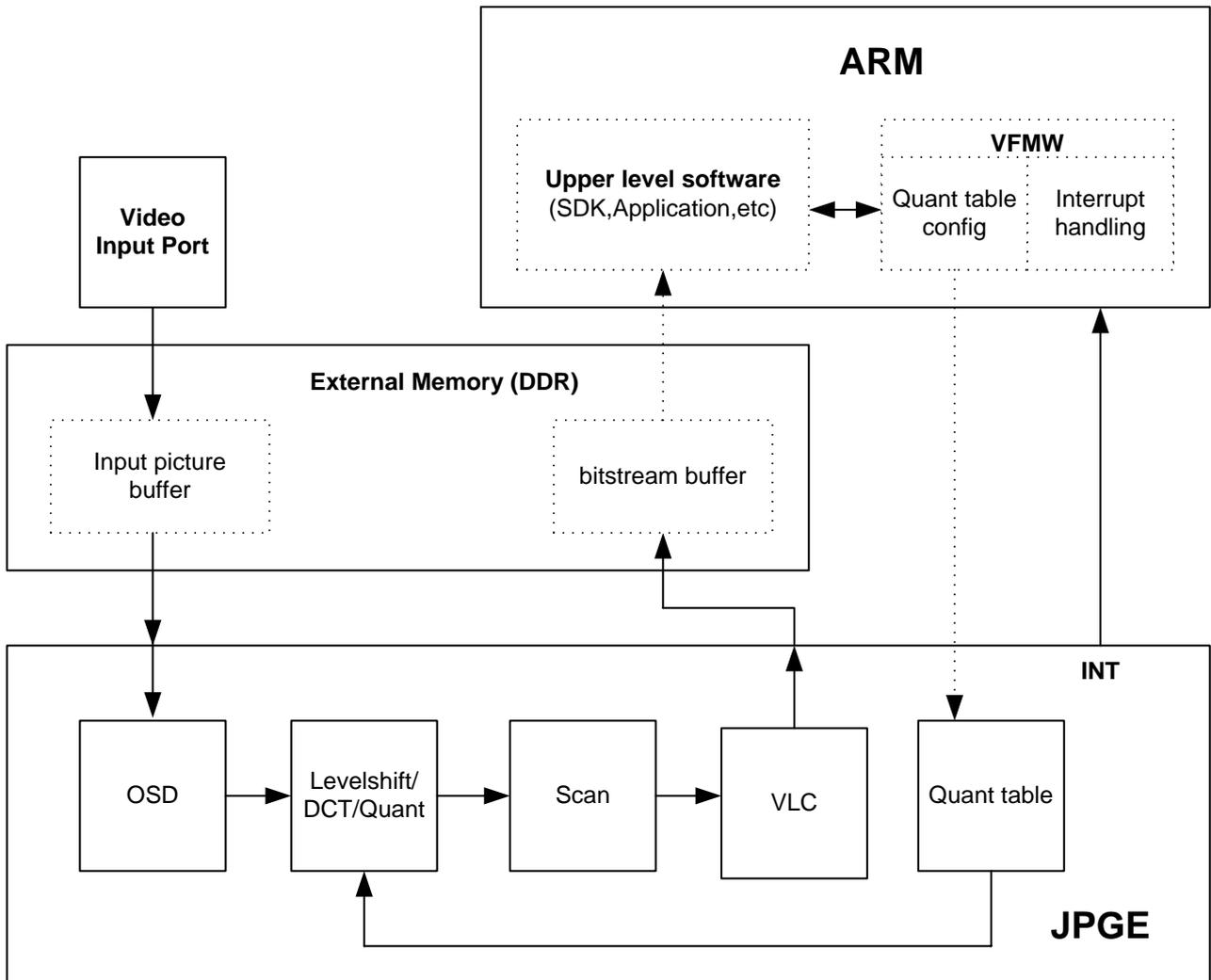
由图可见，JPGE 硬件实现了 OSD、level shift、DCT、量化、扫描、VLC 编码及码流生成等运算量较大的协议处理，而 ARM 软件则完成量化表配置和中断处理等编码控制处理。

在启动 JPGE 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下两种类型的缓冲区：

- 输入图像缓冲区
 - JPGE 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 码流缓冲区
 - 该缓冲区用于存放编码输出的码流。JPGE 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。



图6-2 JPGE 功能框图





目 录

7 视频解码.....	7-1
7.1 VDH.....	7-1
7.1.1 概述.....	7-1
7.1.2 功能描述.....	7-1
7.1.3 工作方式.....	7-2
7.2 JPGD.....	7-3
7.2.1 概述.....	7-3
7.2.2 功能描述.....	7-3
7.2.3 工作方式.....	7-5



插图目录

图 7-1 视频解码器架构	7-2
图 7-2 JPGD 总体结构图	7-4
图 7-3 JPEG 码流结构图	7-5



表格目录

表 7-1 JPGD 内部模块说明 7-4



7 视频解码

7.1 VDH

7.1.1 概述

视频解码器由运行于 ARM 处理器的 VFMW（Video Firmware）和内嵌的硬件视频解码引擎 VDH 构成，VFMW 从上层软件获得码流，对码流进行解析并调用 VDH，产生解码图像序列。解码图像序列在上层软件的控制下，由 VDP 输出到显示器或其它设备。

7.1.2 功能描述

视频解码器有以下特点：

- 支持 ITU-T H.264 High Profile/Main Profile/Baseline Profile@Level4.2 解码
 - 支持 1/2、1/4 像素精度运动补偿
 - 支持帧间预测 16x16、16x8、8x16、8x8、8x4、4x8、4x4 等子块类型
 - 支持所有 Intra4x4、Intra8x8、Intra16x16 预测模式
 - 支持 Trans4x4、Trans8x8
 - 支持 CABAC、CAVLC 熵解码
 - 支持 De-blocking 滤波
 - 支持 I_PCM 解码
 - 不支持 ASO/FMO
 - 不支持 B slice 解码
 - 不支持场解码
 - 不支持 MBAFF
 - 不支持加权预测
- H.264 视频解码性能：
 - 16xD1@6fps+8CIF@6fps 解码
 - 16xCIF@30fps+8QCIF@30fps 解码
 - 8xD1@30fps+4CIF@30fps 解码
 - 8x960H@30fps+4CIF@30fps 解码

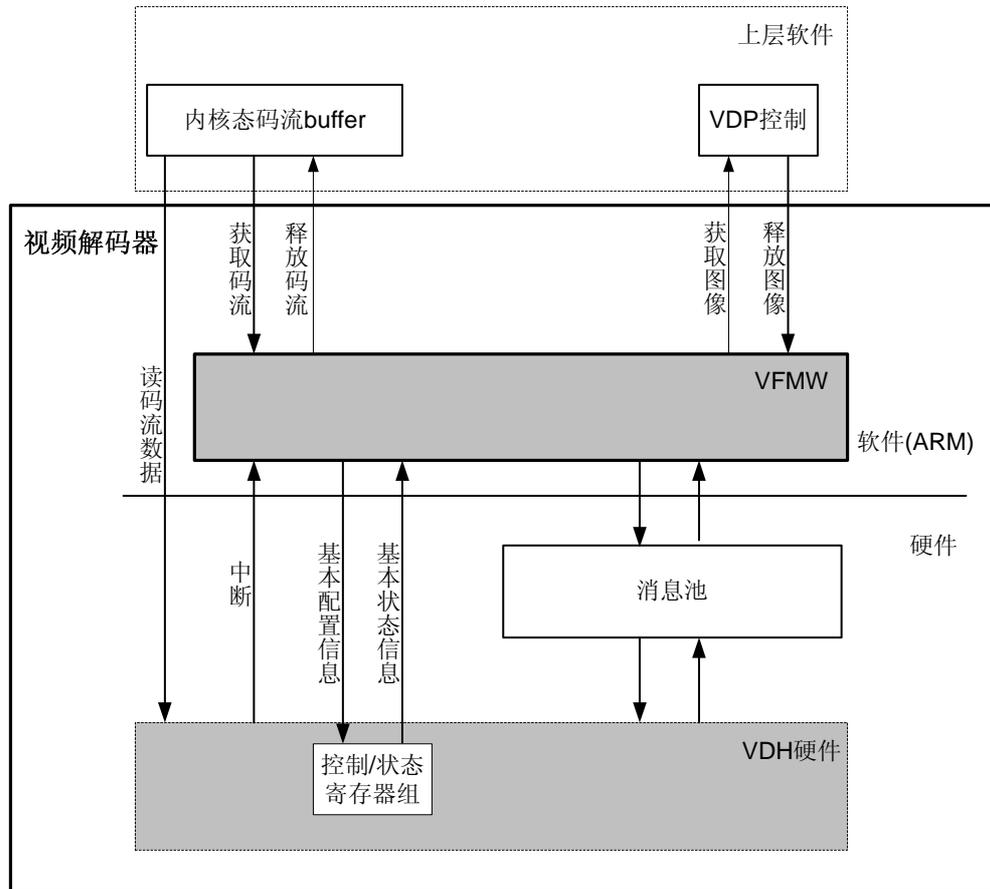


- 4x720P@30fps H.264 解码
- 支持图像分辨率
 - 最小图像分辨率：80x64
 - 最大图像分辨率：1920x2048
- 支持整帧亮度统计信息上报功能

7.1.3 工作方式

视频解码器架构如图 7-1 所示。

图7-1 视频解码器架构



VDH: Video Decoding Module For High Definition, 高清视频解码模块。

VFMW: Video Firmware, 视频固件, 实为运行在主处理器上的一个软件组件, 负责调度视频解码引擎完成视频解码。

消息池: VFMW 和 VDH 进行信息交互的存储空间, 是在外部 SDRAM 存储器中开辟的, 可被 VDH 和 VFMW 共同读写的存储区域。

VDH 与 VFMW 交互模式:

H264 协议按一批 slice 进行交互完成解码, VFMW 完成 slice header 及以上的解码,

VDH 硬件完成 slice data 及以下的解码;



视频解码步骤如下：

- 步骤 1 创建、初始化解码器。
- 步骤 2 向码流 buffer 中存入码流。
- 步骤 3 通过 VFMW 的图像输出接口获取图像。
- 步骤 4 图像显示完成后，通过 VFMW 的图像回收接口释放图像。
- 步骤 5 反复执行步骤 2~步骤 4，直到码流解码结束。
- 步骤 6 播放完毕，销毁解码器。

----结束

7.2 JPGD

7.2.1 概述

JPGD 是 JPEG（Joint Picture Expert Group）静态图像解码模块，该模块的作用是支持 JPEG/Motion-JPEG 图像的解码。

7.2.2 功能描述

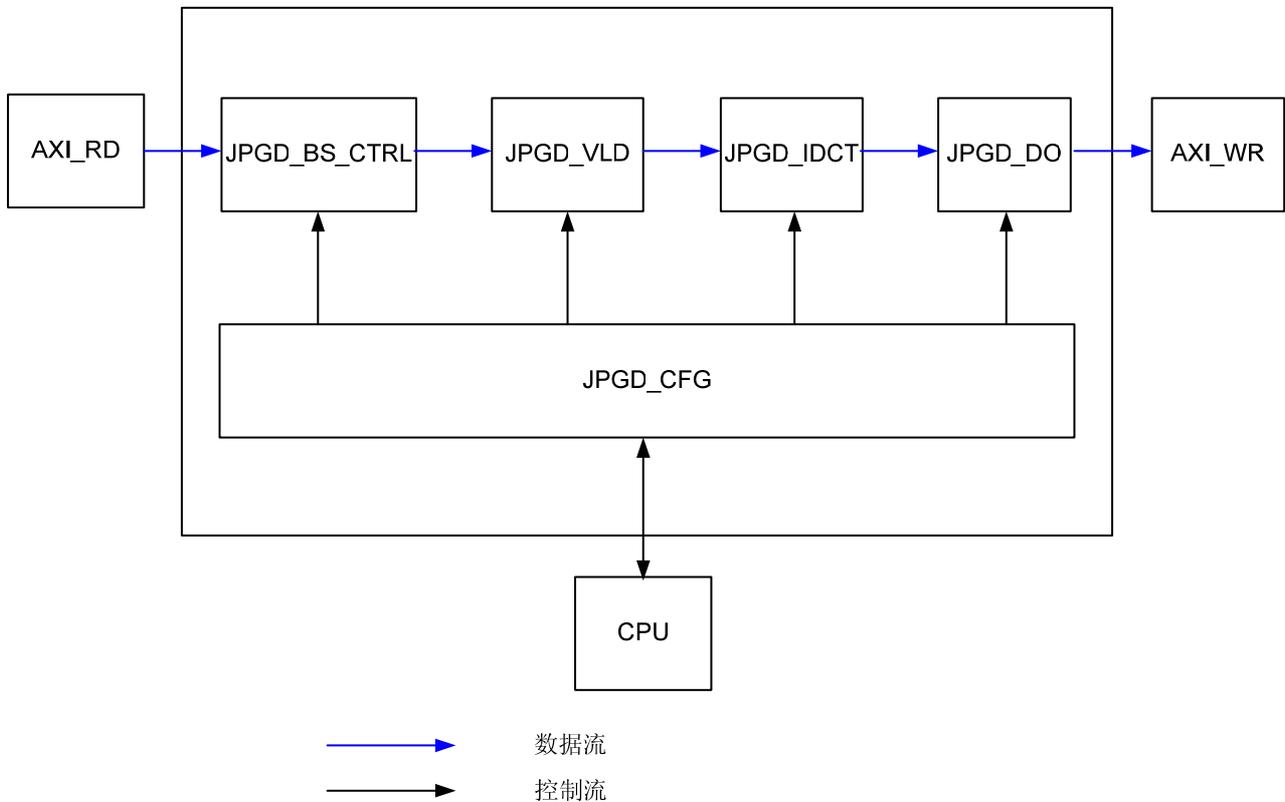
JPGD 模块具有以下功能特点：

- 支持 AXI 接口。
- 支持中断。
- 部分支持 ITU-T81 Baseline profile 解码。即：
 - 支持 YUV 三分量的 JPEG 图像解码，支持 YUV 4:0:0、YUV4:2:0、YUV4:2:2 1x2、YUV4:2:2 2x1、YUV 4:4:4 五种格式。
 - 最多支持 4 张 Huffman 表，其中包括 2 张 DC 表和 2 张 AC 表。
 - 最多支持 3 张量化表。
 - 支持 sequential 格式解码。
 - 支持基于 DCT 变换的 JPEG 格式解码。
 - 支持 8bit 采样精度。
 - 支持交织的扫描方式。
- 支持 1/2、1/4、1/8 三种尺度的频域缩放。
- 最大支持分辨率为 8192 x 8192 大小的静态图像解码，最小支持分辨率为 1 x 1 大小的静态图像解码。
- 支持 semi-planar 的最大输出存储规格为 8192 x 8192。
- 支持压缩码流分段解码。
- 提供 40Mpixel/s 或 3 路 Motion-JPEG D1 30fps 的解码能力，可以用于各种对实时性有较高要求的解码系统。
- 支持频域缩放，大大减少了解码过程中对内存和带宽的占用。



JPGD 总体结构如图 7-2 所示。

图7-2 JPGD 总体结构图



JPGD 内部模块说明如表 7-1 所示。

表7-1 JPGD 内部模块说明

模块名称	功能
JPGD_BS_CTRL	码流的读取和移位处理，内含一个 Barrel-Shift，将有效码流送给下游模块进行解码。
JPGD_VLD	Huffman 变长码解码，同时将解码后的系数进行反扫描和反量化。
JPGD_IDCT	进行 IDCT 变换和频域压缩。
JPGD_DO	负责将解码后的数据存储到指定的内存空间中。
JPGD_CFG	接收 HOST 的配置信息，并将配置信息配置给各功能模块。同时负责整个解码器的启动、中断的产生以及向 HOST 反馈解码器的内部状态。



7.2.3 工作方式

7.2.3.1 软硬件划分

JPEG 码流结构如图 7-3 所示。

图7-3 JPEG 码流结构图

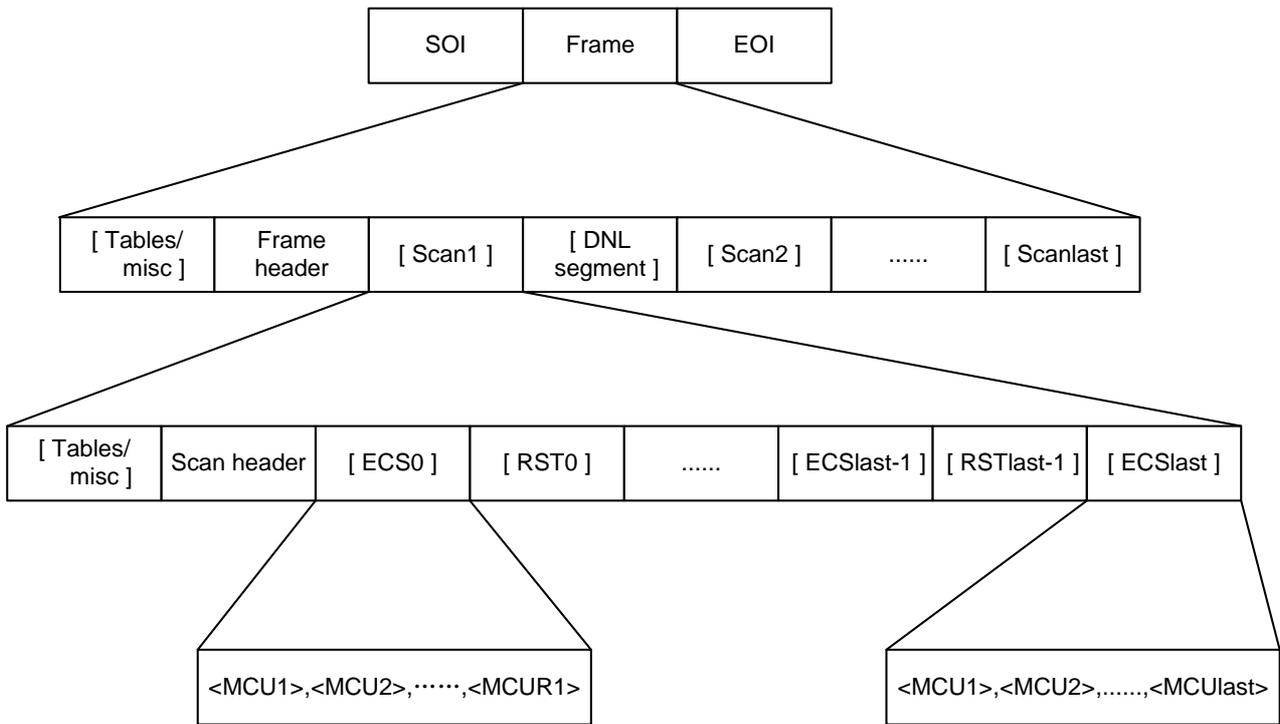


图 7-3 为广义结构图，对于 JPEG 码流，由软件解析 Scan header 及其以上部分，硬件解析 ECS 层和 RSTn 标志。

7.2.3.2 软硬件交互

JPEG 解码由软硬件共同完成，所以在解码中存在软硬件交互。

- 软硬件的交互除去续码流外，以帧级进行交互：
 - 对于 JPEG 图像，每帧图像交互一次。
 - 对于 Motion-JPEG，每帧图像交互一次。
- 软硬件可以通过查询和中断两种方式进行交互，中断产生方式有如下几种：
 - 当前图像解码完成产生的中断，表示当前图像已经全部解码完成并写入外存中，JPEG 解码工作结束（因为 Baseline 图像只有一个扫描层，因此一个扫描层解码结束也表示一幅图像解码结束）。
 - 当前配置的一段码流消耗完成产生的中断，表示当前图像解码过程中发生了错误，JPGD 无法继续解码，工作结束。
 - 当前配置的一段码流消耗完成，等待软件配置下一段码流后，启动解码器继续解码。



7.2.3.3 续码流

由于内存的限制，在解码图像时，不可能一次将全部码流读入内存。所以采用续码流机制，一次读入一段码流，当码流消耗完时，启动续码流操作，再向内存中读入下一段码流。

为简化续码流过程中的软硬件交互，定义续码流步骤如下：

- 步骤 1 JPGD 每次只接收一段连续码流解码。即在每次启动解码前，firmware 只需配置给 JPGD 一个码流物理存放起始地址和一个码流物理存放结束地址（均以 byte 为单位），就可以启动 JPGD 开始解码。
- 步骤 2 当 JPGD 消耗完当前码流后，停止解码，上报续码流中断。
- 步骤 3 软件收到续码流中断后，只需配置下一段码流起始和结束地址，即可重新启动 JPGD。启动方式为向 JPGD_RESUME_START 寄存器写 1。需要注意的是，每次启动解码时，码流不能少于 64byte。
- 步骤 4 JPGD 获取新的码流进行解码，直到当前图像解码完成。

----结束



目 录

8 视频及图形处理.....	8-1
8.1 TDE.....	8-1
8.1.1 概述	8-1
8.1.2 功能描述	8-1
8.2 VPSS	8-2
8.2.1 概述	8-2
8.2.2 特点	8-2
8.3 VCMP	8-3
8.3.1 概述	8-3
8.3.2 特点	8-3
8.3.3 寄存器配置限制.....	8-3



8 视频及图形处理

8.1 TDE

8.1.1 概述

2D 图形加速引擎 TDE (Two Dimensional Engine) 利用硬件进行图形绘制, 可以大大减少对 CPU 的占用, 同时提高了内存带宽的资源利用率。TDE 通过 AXI Master 总线接口读写位图数据、滤波缩放系数、链表节点参数信息以及一些链表信息等; 通过 APB Slave 总线接口获得 CPU 的寄存器配置信息。

图形数据接口包括源 1 和源 2 两条通路, 其功能如下:

- 源 1 在单源操作时完成直接拷贝与直接填充的功能。
- 源 2 在单源操作时可完成各种复杂的操作, 如图像缩放、抗闪烁等。
- 源 1 与源 2 协同工作时可以完成颜色混合等操作, 并且用来支持处理宏块格式的图像。

8.1.2 功能描述

TDE 模块有以下功能特点:

- 源位图 1 支持 ARGB4444、ARGB1555、ARGB8888、YCbCr422、byte、halfword、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。源位图 2 支持 ARGB4444、ARGB1555、ARGB8888、YCbCr422、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 输出位图支持 ARGB4444、ARGB1555、ARGB8888、YCbCr422、byte、halfword、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 只支持小端系统。
- 支持源位图 1、源位图 2 和输出位图格式分别可配。
- 支持 Gamma 校正、亮度对比度的调节。
- 支持 RGB 与 YCbCr 的转换。
- 支持直接拷贝。



- 支持直接填充。
- 支持 2D-resize 操作。
- 支持抗闪烁操作。
- 支持 clip 操作。
- 支持 alpha blending 操作。
- 支持 colorkey 操作。
- 支持 clip mask 功能。
- 提供状态中断。

8.2 VPSS

8.2.1 概述

视频处理子系统 VPSS（Video Processing Sub System）实现视频处理功能。包含高斯噪声 3D 自适应降噪，图像细节编码前增强，解交错，缩放，锐化，对比度，图像加边框和分块处理功能。

VPSS 特性如下：

- 支持单帧处理 960H 视频源
- 支持编码通路同源预览功能
- 支持编码通路大小码流和预览同时输出
- 支持图像边框大小和颜色单独配置功能，但图像的 4 条边框必须是同一种颜色
- 支持 1080P 分块处理功能
- 支持寄存器链表配置功能
- 支持跨 4K 边界
- 输入输出数据格式为 420/422，但不支持输入 420 到输出 422 的转换
- 支持 outstanding 配置
- 支持 MEM 的 clock gate 低功耗模式

8.2.2 特点

- 去高斯噪声功能：NR 模块（noise reduction），能通过参数配置，把图像中的高斯噪声去除，使得图像变得平滑，同时降低了编码码率。
- 图像增强功能：IE 模块（image enhancement），能辨别图像中的细节区域，把图像细节凸显，使得图像清晰，增加图像的对比度。
- 解交错功能：DEI 模块（de-interlace），能把交错的隔行视频源还原成逐行视频源。
- 图像锐化功能：HSP 模块，在缩放后提取图像的高频分量，对经过低频滤波器（scaler）后的图像进行频率补偿，使得图像边缘锐利，轮廓清晰。
- 图像加边框功能：图像边缘处加入边框，图像边框（上下左右）单独设置宽度，边框颜色可单独设置。



- 图像分块处理功能：当输入的图像单帧宽度大于 960，可以采用图像分块处理功能；在分块处理模式下，所处理的图像最大宽度为 1920。
- 缩放功能：输入输出分辨率不同的低频滤波处理。缩放倍数为缩小 8 倍，放大 16 倍。

8.3 VCMP

8.3.1 概述

VCMP 利用图形带宽压缩算法实现对图片数据的压缩，压缩后的码流由 VDP 读取并解压显示，以节省对系统带宽的占用。VCMP 通过 AXI Master 总线接口读取位图数据并写出压缩后的码流；通过 APB 总线接口获得 CPU 的寄存器配置信息。

图形数据接口包括一条读通路和四条写通路，其功能如下：

- 读通路从内存中读取待压缩的图片数据。
- 写通路将压缩得到的码流写到内存中，分为 A、R、G、B 四个通道。

8.3.2 特点

VCMP 模块具有以下功能特点：

- 待压缩图片数据支持 ARGB1555 和 ARGB8888 两种格式。
- 压缩码流按分量存储，A、R、G、B 四个分量的压缩数据分别存放在不同的地址中。
- 支持变长码压缩算法。
- 支持输出压缩数据，以 byte 为单位。
- 支持直接搬移图片，作为自测试模式。
- 提供工作完成中断。

8.3.3 寄存器配置限制

VCMP 模块相关工作寄存器的配置有以下限制：

- VCMP 所有工作相关寄存器只能在 VCMP 上报中断后进行配置，当 VCMP 正在工作时，不能配置 VCMP 的寄存器。
- 待压缩图片起始地址 (SRC_ADDR) 与 stride(SRC_STRIDE) 支持 128bit 对齐。
- A、R、G、B 分量压缩数据回写地址 (VCMP_A_ADDR、VCMP_R_ADDR、VCMP_G_ADDR、VCMP_B_ADDR) 与 stride 支持 128bit 对齐。
- 压缩数据回写宽度需配置为 (256 的整数倍-1)，如 255、511、767、1023 等，且需小于或等于压缩数据回写的 stride。



目 录

9 运动检测单元.....	9-1
9.1 概述.....	9-1
9.2 功能描述.....	9-1
9.3 工作方式.....	9-1
9.3.1 MDU 运动检测业务的软硬件分工	9-1
9.3.2 MDU 视频遮挡检测业务的软硬件分工.....	9-2
9.4 寄存器概览.....	9-2
9.5 寄存器描述.....	9-3



表格目录

表 9-1 MDU 寄存器概览（基址是 0x206C_0000）9-2



9 运动检测单元

9.1 概述

MDU (Motion Detect Unit) 是一个高性能的运动检测和视频遮挡检测硬件加速 IP, 能够对视频背景进行高效的建模, 并计算运动区域的信息。MDU 通过 AXI Master 总线接口读取图像信息, 写出刷新后的背景图信息、SAD (Sum of absolute differences) 值及运动区域信息。通过 APB Slave 总线获取配置寄存器信息。

9.2 功能描述

MDU 支持如下几种功能:

- 支持以 8x8 或 16x16 为单位的 SAD 值计算和输出。
- 支持运动区域检测及运动区域信息输出。
- 支持背景图更新。

9.3 工作方式

9.3.1 MDU 运动检测业务的软硬件分工

软件实现待编码图像的准备, 包括:

- 在 DDR 中分配存储空间。
- 调用其他硬件完成视频捕获、缩放等处理。
- 多个运动检测的调度, 待检测区域的指定, 划分和生成地址信息等。

硬件实现对输入图像进行 SAD 值计算:

- 根据 SAD 的计算结果和设定的阈值检测运动区域, 并更新背景。
- 根据软件的设置输出运动区域的信息, 背景图像或 SAD 值。



9.3.2 MDU 视频遮挡检测业务的软硬件分工

软件使用硬件输出的运动区域的面积信息，判断是否达到遮挡阈值，如果达到，则设置硬件不再更新背景，但继续进行运动区域的检测，当运动区域面积连续超过设置的遮挡阈值，则进行遮挡报警。

9.4 寄存器概览

MDU 寄存器概览如表 9-1 所示。

表9-1 MDU 寄存器概览（基址是 0x206C_0000）

偏移地址	名称	描述	页码
0x0000	MDU_INTSTAT	中断状态信号寄存器	9-3
0x0004	MDU_INTEN	中断使能信号寄存器	9-4
0x0008	MDU_RAWINT	原始中断信号寄存器	9-5
0x000C	MDU_INTCLR	中断清除寄存器	9-6
0x0020	MDU_VEDIMGSIZE	图像大小配置寄存器	9-6
0x0024	MDU_MODE	模式配置寄存器	9-7
0x0028	MDU_START	MDU 启动寄存器	9-8
0x002C	MDU_AXI_OUTST D_NUM	AXI OUTSTANDING 配置寄存器	9-9
0x0040	MDU_REF_YADDR	参考图像亮度存储地址寄存器	9-9
0x0044	MDU_REF_YSTRID E	参考图像亮度 Stride 寄存器	9-9
0x0048	MDU_CUR_YADDR	当前图像亮度存储地址寄存器	9-10
0x004C	MDU_CUR_YSTRID E	当前图像亮度 Stride 寄存器	9-10
0x0060	MDU_MBSAD_AD DR	宏块 SAD 值存储地址寄存器	9-11
0x0064	MDU_MBSAD_STR IDE	宏块 SAD 值存储 Stride 寄存器	9-11
0x0070	MDU_BACKGROU ND_ADDR	背景图像亮度存储地址寄存器	9-12
0x0074	MDU_BACKGROU ND_STRIDE	背景图像亮度 Stride 寄存器	9-12
0x0078	MDU_OBJ_ADDR	运动区域存储地址寄存器	9-12



偏移地址	名称	描述	页码
0x007C	MDU_BG_UP_WEIGHT	背景图更新权重寄存器	9-13
0x0080	MDU_MBSAD_TH	宏块动静判决阈值寄存器	9-14
0x0084	MDU_TIMEOUT	TIMEOUT 上限寄存器	9-14
0x0090	MDU_WND_SIZE	SAD 值输出窗口配置寄存器	9-14
0x0094	MDU_MIN_OBJ_SIZE	边界搜索最小窗口配置寄存器	9-15
0x0098	MDU_MAX_OBJ_CNT	边界搜索最大窗口配置寄存器	9-16
0x009C	MDU_OBJ_CNT	运动区域信息回读寄存器	9-16
0x00A0	MDU_MAX_OBJ_SIZE	最大运动区域回读寄存器	9-16
0x00A4	MDU_TOTAL_OBJ_SIZE	总运动区域信息回读寄存器	9-17
0x00A8	MDU_MOVE_PIX_CNT	整帧运动像素统计寄存器	9-18
0x00AC	MDU_OBJ_CNT1	基于背景的运动区域信息回读寄存器	9-18
0x00B0	MDU_MAX_OBJ_SIZE1	基于背景的最大运动区域回读寄存器	9-18
0x00B4	MDU_TOTAL_OBJ_SIZE1	基于背景的总运动区域信息回读寄存器	9-19
0x00B8	MDU_MOVE_PIX_CNT1	基于背景的整帧运动像素统计寄存器	9-19

9.5 寄存器描述

MDU_INTSTAT

MDU_INTSTAT 为中断状态信号寄存器。



Offset Address		Register Name		Total Reset Value				
0x0000		MDU_INTSTAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err mdu_cfg_err	reserved						mdu_timeout mdu_endofpic
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	mdu_bus_err	总线读写错误。					
[30]	RO	mdu_cfg_err	寄存器配置错误。					
[29:2]	RO	reserved	保留。					
[1]	RO	mdu_timeout	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。					
[0]	RO	mdu_endofpic	MDU 当前图像结束指示，高有效。					

MDU_INTEN

MDU_INTEN 为中断使能信号寄存器。

Offset Address		Register Name		Total Reset Value				
0x0004		MDU_INTEN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err_en mdu_cfg_err_en	reserved						mdu_timeout_en mdu_endofpic_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	mdu_bus_err_en	总线读写错误时中断使能。 0: 禁止; 1: 使能。					



[30]	RW	mdu_cfg_err_en	寄存器配置错误中断使能。 0: 禁止; 1: 使能。
[29:2]	RO	reserved	保留。
[1]	RW	mdu_timeout_en	mdu 超时工作中断, 当 mdu 被配置为打开超时检测模式下, 且 mdu 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。 0: 禁止; 1: 使能。
[0]	RW	mdu_endofpic_en	MDU 当前图像结束中断使能。 0: 禁止; 1: 使能。

MDU_RAWINT

MDU_RAWINT 为原始中断信号寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0008	MDU_RAWINT	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	mdu_bus_err_raw mdu_cfg_err_raw	reserved	mdu_timeout_raw mdu_endofpic_raw
Reset	0 0		
Bits	Access	Name	Description
[31]	RO	mdu_bus_err_raw	总线读写错误指示, 高有效。
[30]	RO	mdu_cfg_err_raw	寄存器配置错误指示, 高有效。
[29:2]	RO	reserved	保留。
[1]	RO	mdu_timeout_raw	MDU 超时工作中断, 高有效。
[0]	RO	mdu_endofpic_raw	MDU 当前图像结束指示, 高有效。



MDU_INTCLR

MDU_INTCLR 为中断清除寄存器。

Offset Address		Register Name		Total Reset Value				
0x000C		MDU_INTCLR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err_clr mdu_cfg_err_clr	reserved						mdu_timeout_clr mdu_endofpic_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	mdu_bus_err_clr	总线读写错误清除，高有效。					
[30]	RW	mdu_cfg_err_clr	寄存器配置错误清除，高有效。					
[29:2]	RO	reserved	保留。					
[1]	RW	mdu_timeout_clr	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。					
[0]	RW	mdu_endofpic_clr	MDU 当前图像结束指示清除，高有效。					

MDU_VEDIMGSIZE

MDU_VEDIMGSIZE 为图像大小配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0020		MDU_VEDIMGSIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	imgheightinpixelsminus1				reserved	imgwidthinpixelsminus1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	imgheightinpixelsminus1	图像高度。以像素为单位，实际宽度减 1。例如图像宽度为 352，此寄存器应该配为 351。						



[15:13]	RO	reserved	保留。
[12:0]	RW	imgwidthinpixelsminus1	图象宽度。以像素为单位，实际高度减 1。例如图象宽高为 288，此寄存器应该配为 287。

MDU_MODE

MDU_MODE 为模式配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0024				MDU_MODE				0x0000_019C																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																mcpi_clkgate_en	mcpi_wrlock_en	timeout_en	md_mod	bg_update_en	eg_find_en	obj_out_en	sad_out_en	sad_mad_sel							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	0	0
Bits	Access		Name		Description																											
[31:9]	RO		reserved		保留。																											
[8]	RW		mcpi_clkgate_en		时钟门控开关。																											
[7]	RW		mcpi_wrlock_en		寄存器配置锁开关，打开时，在启动 MDU 后，到结束检测之前，配置寄存器无效，防止寄存器在使用中被改写。																											
[6]	RW		timeout_en		mdu 超时检测开关，打开时可以自行检测软件在寄存器 MDU_TIMEOUT 中配置的工作 cycle 数上限值。 0: 关闭超时检测功能； 1: 打开超时检测功能。																											
[5]	RW		md_mod		运动检测模式。 0: 基于背景算法； 1: 基于帧差算法。																											
[4]	RW		bg_update_en		背景更新开关。 0: 不更新背景； 1: 更新背景。 此寄存器在 md_mod 设置为基于背景算法的情况下有效，基于帧差算法时，此寄存器为任何值都设置无效。																											



[3]	RW	eg_find_en	运动区域联通检测开关。 0: 不使用运动区域联通检测; 1: 使用运动区域联通检测。 在基于背景算法时, 此开关只关闭最后一次基于背景的区域联通检测。
[2]	RW	obj_out_en	运动区域输出开关, 如果此开关打开, 必须设置运动区域信息存储内存的地址和间隔寄存器。 0: 运动区域信息不输出; 1: 运动区域信息输出。
[1]	RW	sad_out_en	SAD 输出开关, 如果此开关打开必须设置 SAD 的存储内存地址和间隔寄存器。 0: 生成的 SAD 不输出; 1: 生成的 SAD 输出。
[0]	RW	sad_mad_sel	SAD 输出比特数选择信号。 0: 8bit; 1: 16bit。

MDU_START

MDU_START 为 MDU 启动寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0028	MDU_START	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved															mdu_start
Reset	0 0															
Bits	Access	Name	Description													
[31:1]	RO	reserved	保留。													
[0]	WO	mdu_start	MDU 工作触发开始。 0: 不工作; 1: 触发工作。													



MDU_AXI_OUTSTD_NUM

MDU_AXI_OUTSTD_NUM 为 AXI OUTSTANDING 配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x002C				MDU_AXI_OUTSTD_NUM				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										axi_outstd_num					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	RO	reserved		保留。																											
	[2:0]	RW	axi_outstd_num		AXI outstanding 配置寄存器，从 0 计数（实际值为加 1 后的值）。																											

MDU_REF_YADDR

MDU_REF_YADDR 为参考图像亮度存储地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0040				MDU_REF_YADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mdu_ref_yaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	mdu_ref_yaddr		参考图像 Y 分量存储地址。输入的原始图像必须是 Qword (128bit) 对齐的，即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。																											

MDU_REF_YSTRIDE

MDU_REF_YSTRIDE 为参考图像亮度 Stride 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0044		MDU_REF_YSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_ref_ystride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	mdu_ref_ystride	亮度 Stride ， 以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐， Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。						

MDU_CUR_YADDR

MDU_CUR_YADDR 为当前图像亮度存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0048		MDU_CUR_YADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_cur_yaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_cur_yaddr	原始图像 Y 分量存储地址。输入的原始图像必须是 Qword (128bit) 对齐的， 即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。					

MDU_CUR_YSTRIDE

MDU_CUR_YSTRIDE 为当前图像亮度 Stride 寄存器。



Offset Address		Register Name		Total Reset Value					
0x004C		MDU_CUR_YSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_cur_ystride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	mdu_cur_ystride	亮度 Stride，以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐，Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。						

MDU_MBSAD_ADDR

MDU_MBSAD_ADDR 为宏块 SAD 值存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0060		MDU_MBSAD_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_mbsad_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_mbsad_addr	宏块 SAD 存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。					

MDU_MBSAD_STRIDE

MDU_MBSAD_STRIDE 为宏块 SAD 值存储 Stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0064		MDU_MBSAD_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_mbsad_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	mdu_mbsad_stride	宏块 sad 行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。
--------	----	------------------	---

MDU_BACKGROUND_ADDR

MDU_BACKGROUND_ADDR 为背景图像亮度存储地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0070	MDU_BACKGROUND_ADDR	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	bg_yaddr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:0]	RO	bg_yaddr	背景图像地址。地址必须是 qword 对齐的，因此其低 4 位为 0。

MDU_BACKGROUND_STRIDE

MDU_BACKGROUND_STRIDE 为背景图像亮度 Stride 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0074	MDU_BACKGROUND_STRIDE	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		bg_ystride
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	bg_ystride	背景图像行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。

MDU_OBJ_ADDR

MDU_OBJ_ADDR 为运动区域存储地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0078		MDU_OBJ_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	obj_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	obj_addr	<p>运动区域存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。</p> <p>存储格式为一个运动区域使用 4 个 16bit 存放 4 个点顺序为 left、top、right、bottom；因而一个运动区域会使用 3 个 32bit 的内存，软件在分配内存的时候应该使用 2 x 32bit x 最大运动区域个数作为内存的最小值。</p>					

MDU_BG_UP_WEIGHT

MDU_BG_UP_WEIGHT 为背景图更新权重寄存器。

Offset Address		Register Name		Total Reset Value					
0x007C		MDU_BG_UP_WEIGHT		0x0000_0101					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			src_weight			weight_sum_exp_2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:8]	RW	src_weight	新图像权重。						
[7:0]	RW	weight_sum_exp_2	<p>权重和的对 2 的指数。</p> <p>MDU 在进行源图像与背景迭加生成新背景的时候，使用如下的计算公式： $(\text{背景像素值} \times ((1 \ll \text{weight_sum_exp_2}) - \text{src_weight}) + \text{源图像} \times \text{bg_weight}) \gg \text{weight_sum_exp_2}$。</p> <p>背景图像的权重 bg_weight 为： $((1 \ll \text{weight_sum_exp_2}) - \text{src_weight})$，如果背景权重设置的比 src_weight 越大，背景更新的速度就越慢。</p> <p>Default: 0x1，最大值为 8。</p>						



MDU_MBSAD_TH

MDU_MBSAD_TH 为宏块动静判决阈值寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0080	MDU_MBSAD_TH	0x0000_001E	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 0			
	Bits	Access	Name	
	[31:16]	RO	reserved	
	[15:0]	RW	mdu_mbsad_th	
			Description	
			保留。	
			4×4 块动静判决阈值。在 MDU 内部所有的计算都是使用的 4×4 块	

MDU_TIMEOUT

MDU_TIMEOUT 为 TIMEOUT 上限寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0084	MDU_TIMEOUT	0x0360_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	mdu_timeout			
Reset	0 0 0 0 0 0 1 1 0 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
	Bits	Access	Name	
	[31:0]	RW	mdu_timeout	
			Description	
			工作 cycle 数的上限值。	

MDU_WND_SIZE

MDU_WND_SIZE 为 SAD 值输出窗口配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x0090		MDU_WND_SIZE		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								sad_wnd_size
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	sad_wnd_size	sad 输出窗口大小。在 MDU 内部以 4 x 4 块为单位进行计算，在使能了模式寄存器中的 sad_out_en 后，MDU 在输出的时候会根据这个寄存器对多个 4 x 4 块做加和，然后输出到 DDR 中。 0: 8 x 8; 1: 16 x 16。（默认值）						

MDU_MIN_OBJ_SIZE

MDU_MIN_OBJ_SIZE 为边界搜索最小窗口配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0094		MDU_MIN_OBJ_SIZE		0x0300_0101					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	egsearch_timeout			min_obj_size_h			min_obj_size_w		
Reset	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RW	egsearch_timeout	边缘搜索超时，如果一个运动区域搜索的点数超过此值，则停止此运动区域边缘搜索，进行下一个区域搜索。						
[15:8]	RW	min_obj_size_h	运动尺寸的高度下限值，小于此高度的运动区域不上报。此处的 size 的 1 代表一个 4 x 4 块。						
[7:0]	RW	min_obj_size_w	运动尺寸的宽度下限值，小于此宽度的运动区域不上报。此处的 size 的 1 代表一个 4 x 4 块。						



MDU_MAX_OBJ_CNT

MDU_MAX_OBJ_CNT 为边界搜索最大窗口配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0098		MDU_MAX_OBJ_CNT		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				max_obj_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	max_obj_cnt	检测运动目标的上限值。						

MDU_OBJ_CNT

MDU_OBJ_CNT 为运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value					
0x009C		MDU_OBJ_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	max_obj_index				obj_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	max_obj_index	最大运动区域索引。后面不带数字后缀的统计寄存器，是使用帧差法的统计信息，或使用背景法，在第一次计算 SAD 和进行运动区域搜索得到的统计信息。						
[15:0]	RO	obj_cnt	检测到的运动目标个数。						

MDU_MAX_OBJ_SIZE

MDU_MAX_OBJ_SIZE 为最大运动区域回读寄存器。



Offset Address		Register Name		Total Reset Value																																
0x00A0		MDU_MAX_OBJ_SIZE		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	max_obj_size																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:0]	RO	max_obj_size	<p>最大运动区域面积，用来对视频遮挡进行检测。此处输出的值是像素面积。</p> <p>软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行视频遮挡检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。</p>																																	

MDU_TOTAL_OBJ_SIZE

MDU_TOTAL_OBJ_SIZE 为总运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value																																
0x00A4		MDU_TOTAL_OBJ_SIZE		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	total_obj_size																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:0]	RO	total_obj_size	<p>所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。</p> <p>MDU 内部的计算方法为把所有的运动区域面积进行加和。此处输出的值是像素面积（用一个运动区域的 4 x 4 块的个数乘 16）。</p> <p>注意：</p> <ul style="list-style-type: none"> 在某些情况下，运动区域可能会有重叠，此面积可能会超过原始图象面积。 每个运动区域是的 4 x 4 块宽度和高度计算公式为： weight= (right-left) +1; heigth= (bottom-top) +1。 																																	



MDU_MOVE_PIX_CNT

MDU_MOVE_PIX_CNT 为整帧运动像素统计寄存器。

Offset Address		Register Name		Total Reset Value																																
0x00A8		MDU_MOVE_PIX_CNT		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	move_pix_cnt																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:0]	RO	move_pix_cnt	整帧运动像素个数，可用来做视频遮挡检测，用法同运动区域面积统计。 注意：因为这个是按单个像素点进行的统计，此面积和上面的 total_obj_size 可能会不相等。																																	

MDU_OBJ_CNT1

MDU_OBJ_CNT1 为基于背景的运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00AC		MDU_OBJ_CNT1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	max_obj_index1																obj_cnt1															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	max_obj_index1	基于背景的最大运动区域索引。后面所有的后缀为 1 的统计寄存器，都是指在使用背景法的时候，第二次进行 SAD 计算和运动区域搜索得到的统计信息。																													
[15:0]	RO	obj_cnt1	检测到的基于背景的运动目标个数。																													

MDU_MAX_OBJ_SIZE1

MDU_MAX_OBJ_SIZE1 为基于背景的最大运动区域回读寄存器。



Offset Address		Register Name		Total Reset Value				
0x00B0		MDU_MAX_OBJ_SIZE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	max_obj_size1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	max_obj_size1	基于背景的最大运动区域面积，用来对视频遮挡进行检测。软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行的视频检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。以像素为单位。					

MDU_TOTAL_OBJ_SIZE1

MDU_TOTAL_OBJ_SIZE1 为基于背景的总运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value				
0x00B4		MDU_TOTAL_OBJ_SIZE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	total_obj_size1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	total_obj_size1	基于背景的所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。					

MDU_MOVE_PIX_CNT1

MDU_MOVE_PIX_CNT1 为基于背景的整帧运动像素统计寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x00B8				MDU_MOVE_PIX_CNT1				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	move_pix_cnt1																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RO	move_pix_cnt1	基于背景的整帧运动像素个数，可用来做视频遮挡检测，用法同运动区域面积统计。																													



目 录

10 智能加速引擎	10-1
10.1 概述.....	10-1
10.2 功能描述.....	10-1
10.3 工作方式.....	10-2
10.3.1 硬件使用	10-2
10.3.2 中断	10-6
10.3.3 时钟复位	10-6
10.3.4 输入、输出数据格式.....	10-7
10.4 寄存器概览.....	10-22
10.5 寄存器描述.....	10-23



插图目录

图 10-1 IVE 链表节点结构示意图	10-3
图 10-2 IVE 链表使用示意图	10-6
图 10-3 数据格式为 SemPlanar YCbCr422 时, Pixel 在 Memory 中的存储	10-7
图 10-4 数据格式为 SemPlanar YCbCr420 时, Pixel 在 Memory 中的存储	10-7
图 10-5 数据格式为单分量时, Pixel 在 Memory 中的存储	10-8
图 10-6 数据格式为 RGB package 时, Pixel 在 Memory 中的存储	10-8
图 10-7 数据格式为 RGB planar 时, Pixel 在 Memory 中的存储	10-9
图 10-8 SOBEL 算子时, 输出结果在 Memory 中的存储	10-10
图 10-9 CANNY 算子, 结果在 Memory 中的存储	10-10
图 10-10 积分图算子时, 输出结果在 Memory 中的存储 (INTEGRAL_OUT)	10-11
图 10-11 直方图统计时, 输出结果在 Memory 中的存储 (HIST_OUT)	10-11
图 10-12 算子的参数 stride 取最小值时的情况	10-12
图 10-13 DMA 数据搬运应用之一	10-13
图 10-14 3×3 模板滤波计算公式	10-14
图 10-15 SOBEL 梯度计算公式	10-17
图 10-16 CANNY 角度量化定义	10-18



表格目录

表 10-1 IVE 链表节点参数说明	10-3
表 10-2 YCbCr 到 RGB 的视频矩阵 (BT.601)	10-15
表 10-3 YCbCr 到 RGB 的视频矩阵 (BT.709)	10-15
表 10-4 YCbCr 到 RGB 的图象矩阵 (BT.601)	10-15
表 10-5 YCbCr 到 RGB 的图象矩阵 (BT.709)	10-16
表 10-6 IVE 寄存器概览 (基址是 0x205E_0000)	10-22



10 智能加速引擎

10.1 概述

IVE (Intelligent Video Engineering) 模块是智能分析系统中的硬件加速模块。实现模板滤波、膨胀、腐蚀、图像 sobel 和 canny 边缘提取, 图像减、与、或, 图像二值化, 积分图, 直方图统计功能。IVE 通过 AXI Master 总线接口读写数据以及链表节点参数信息; 通过 APB Slave 总线接口配置 IVE 启动所需的寄存器信息以及获得运行过程中的寄存器状态信息。

10.2 功能描述

IVE 模块支持如下功能特点:

- 支持 DMA。
- 支持 3 x 3 模板滤波。
- 支持 YUV 到 RGB 的颜色空间转换。
- 支持 3 x 3 模板滤波加 YUV 到 RGB 颜色空间转换的复合功能。
- 支持 SOBEL/SCHARR 等算子的 X/Y 方向的梯度计算。
- 支持 CANNY 梯度幅值及方向计算。
- 支持 3 x 3 腐蚀。
- 支持 3 x 3 膨胀。
- 支持图象二值化。
- 支持两幅图象相与。
- 支持两幅图象相减。
- 支持两幅图象相或。
- 支持积分图计算。
- 支持直方图统计。
- 最大运行频率 300MHz。
- 支持单独进行软复位。
- 支持 64bit AXI 总线 (Master) 和 32bit APB 总线 (Slave)。



- 支持链表级中断和节点级中断。
- 支持查询模式。
- 支持单分量，SP420 (semi-planar420)，SP422 (semi-planar422) 输入格式。
- 支持单分量，SP420，SP422，RGBpackage，RGBplanar 等输出格式。
- 部分算子支持读写地址非 8byte 对齐。

10.3 工作方式

10.3.1 硬件使用

在查询模式下使用 IVE 的操作步骤如下：

步骤 1 在内存中创建任务链表。

步骤 2 配置 IVE 内部寄存器 `LIST_POINTER`，`INT_EN`。

步骤 3 配置 IVE 内部寄存器 `IVE_START`，启动 IVE。

步骤 4 在运行过程中查看 `IVE_STATUS` 的状态以获取 IVE 运行状态。如果 IVE 空闲，则链表任务完成。如需要继续使用，重复步骤 1 至步骤 4。

----结束

在中断模式下使用 IVE 的操作步骤如下：

步骤 1 在内存中创建任务链表。

步骤 2 配置 IVE 内部寄存器 `LIST_POINTER`，`INT_EN`。

步骤 3 配置 IVE 内部寄存器 `IVE_START`，启动 IVE。

步骤 4 在中断服务程序中，根据 `INT_STATUS` 判断中断类型，配置 IVE 内部寄存器 `INT_RW` 可以清除 `INT_STATUS` 的中断状态。并根据 `IVE_STATUS` 判断 IVE 状态，`IVE_STATUS` 状态为 `IDLE`，表明链表任务完成，回步骤 1 开始下一次链表操作。

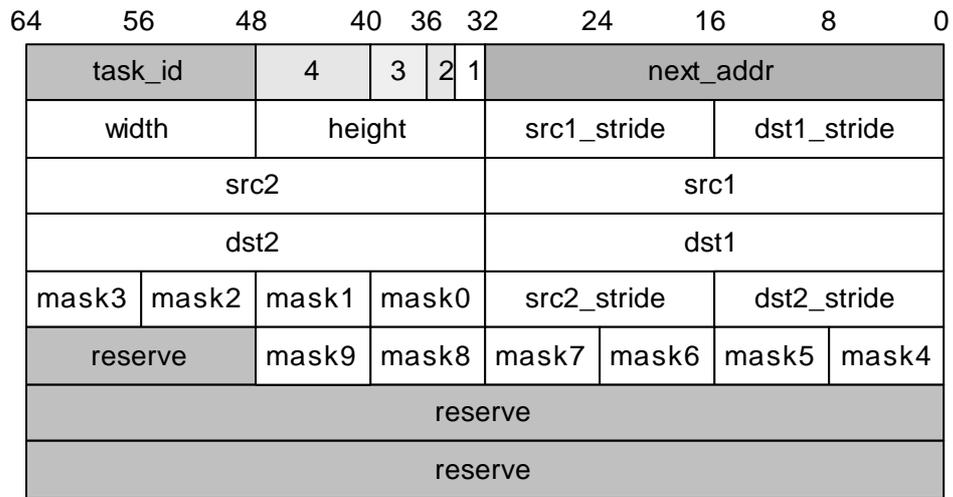
----结束

IVE 任务链表采用定长定位的链表节点格式，每个节点的大小为 8 x 8byte，链表的节点数目为任意值。

链表节点结构如图 10-1 所示，



图10-1 IVE 链表节点结构示意图



1: in_fmt[1:0] 2: csc_fmt[1:0] 3: out_fmt[3:0] 4: op_type[7:0]

表 10-1 描述了节点各参数值的意义。

表10-1 IVE 链表节点参数说明

参数寄存器	描述
next_addr	下一个结点在内存中的地址，为 0x00000000，表示当前链表的最后一个节点。
in_fmt	图像输入格式。 00: 单分量； 01: SP420； 10: SP422； 11: 保留。
csc_fmt	CSC 模式选择。 00: BT601&BT656，范围 16~235； 01: BT701，范围 16~235； 10: BT601&BT656，范围 0~255； 11: BT701，范围 0~255。



参数寄存器	描述
out_fmt	<p>图像输出格式。</p> <p>CSC:</p> <p>0000: package;</p> <p>0001: planar。</p> <p>CANNY:</p> <p>0000: 只输出幅值;</p> <p>0001: 输出幅值和角度值。</p> <p>THRESH:</p> <p>0000: 大于阈值置为 maxvalue, 小于阈值置为 minvalue;</p> <p>0001: 大于阈值置为 maxvalue, 小于阈值不变;</p> <p>0010: 大于阈值不变, 小于阈值置为 minvalue。</p> <p>SUBSTRACT:</p> <p>0000: 差异绝对值输出;</p> <p>0001: 差异值右移一位输出。</p>
op_type	<p>当前节点选择运行的算子类型。</p> <p>0x00: 快速拷贝 (DMA);</p> <p>0x01: 模板滤波 (FILTER);</p> <p>0x02: 色彩空间转换 (CSC);</p> <p>0x03: 模板滤波加色彩转换复合功能 (FILTER+CSC);</p> <p>0x04: SOEBL 梯度 (SOBEL);</p> <p>0x05: SOBEL 幅度及方向 (CANNY);</p> <p>0x06: 膨胀 (DILATE);</p> <p>0x07: 腐蚀 (ERODE);</p> <p>0x08: 图像二值化 (THRESH);</p> <p>0x09: 两图像相与 (AND);</p> <p>0x0A: 两图像相减 (SUBSTRACT);</p> <p>0x0B: 两图像相或 (OR);</p> <p>0x0C: 积分图 (INTEGRAL);</p> <p>0x0D: 直方图 (HISTOGRAM)。</p>
task_id	当前节点的任务 ID 号。
dst1_stride	输出目的地址 1 的 stride 信号, 8byte 对齐。
src1_stride	源图像 1 的 stride 信号, 8byte 对齐。
height	源图像实际高度值。
width	源图像实际宽度值, 当输入格式为 420 和 422 时, 为偶数。

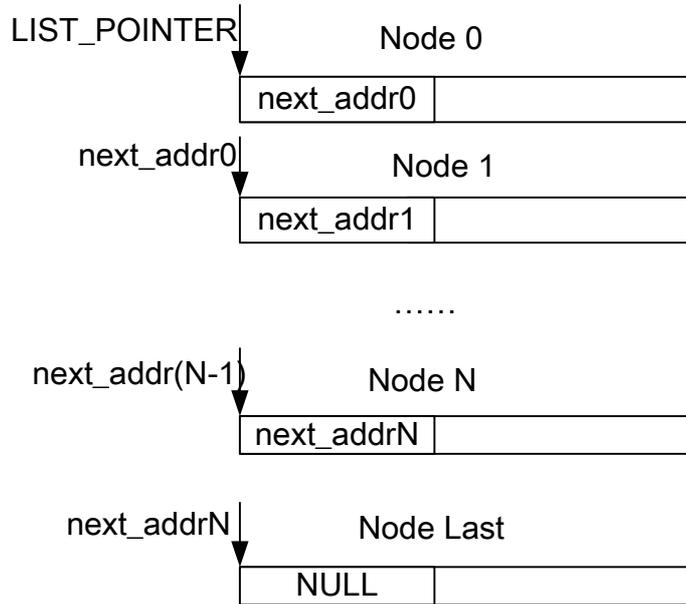


参数寄存器	描述
src1	源图像 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，8byte 对齐。
src2	源图像 2 的起始地址。
dst1	目标 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，要求 8byte 对齐。
dst2	目标 2 的起始地址。
dst2_stride	目标地址 2 的 stride，要求 8byte 对齐。
src2_stride	源图像 2 的 stride，8byte 对齐。
mask0	模板系数 00 或者 THRESH 算子的 threshold。
mask1	模板系数 01 或者 THRESH 算子的 min_value。
mask2	模板系数 02 或者 THRESH 算子的 max_value。
mask3	模板系数 10。
mask4	模板系数 11。
mask5	模板系数 12。
mask6	模板系数 20。
mask7	模板系数 21。
mask8	模板系数 22。
mask9	FILTER 算子系数和。
reserved	保留位。

模板系数：3×3 运算算子（FILTER、FILTER+CSC、SOBEL、CANNY、DILATE、ERODE）使用的运算模板的系数。



图10-2 IVE 链表使用示意图



10.3.2 中断

IVE 会产生以下 2 种中断：

- 当前链表的全部节点完成中断。
- 当前节点的操作完成中断。

10.3.3 时钟复位

时钟关断策略

IVE 的输入时钟可以进行关断，以达到降功耗的目的。IVE 时钟关断前必须保证 IVE 处于空闲状态（查询状态寄存器 `IVE_STATUS` 为 `IDLE`），然后才能关断时钟。时钟关断不会丢掉 IVE 的寄存器配置。在对 IVE 内部寄存器进行操作前，必须先开启时钟。

复位策略

单独对 IVE 复位时不支持任意时间复位，否则可能导致总线异常，单独对 IVE 复位时必须在 IVE 状态寄存器 `IVE_STATUS` 为 `IDLE` 时方可复位。

系统复位将使 IVE 内部各寄存器全部清空。



10.3.4 输入、输出数据格式

10.3.4.1 存放顺序

下面数据存放顺序均是在小端系统（little endian）的内存存放顺序，为了方便描述，统一使用 Word、Double Word 作为存储单位进行描述，实际应用中不同的算子对数据存储对齐格式有特殊要求，具体要求见 10.3.4.2 支持的功能描述部分。

图10-3 数据格式为 SemPlanar YCbCr422 时，Pixel 在 Memory 中的存储

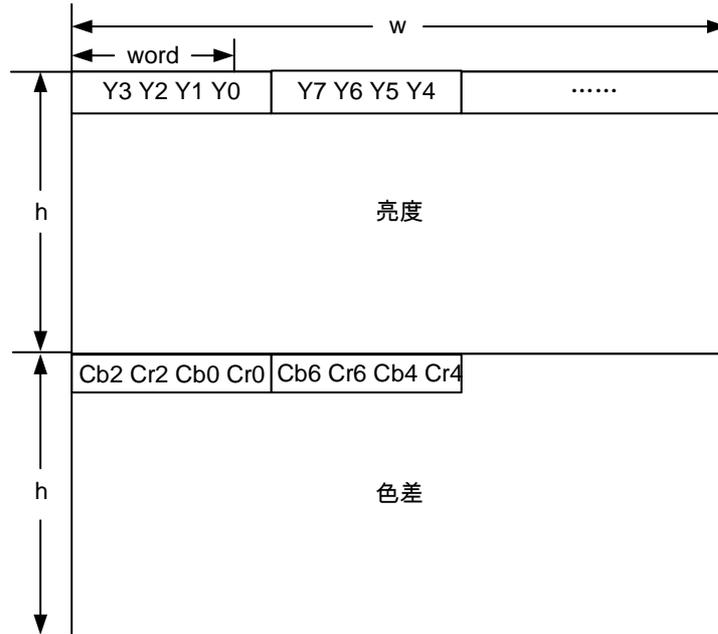


图10-4 数据格式为 SemPlanar YCbCr420 时，Pixel 在 Memory 中的存储

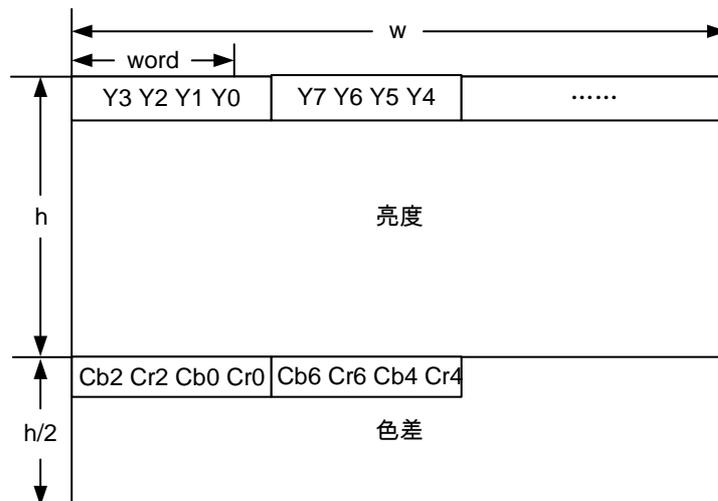




图10-5 数据格式为单分量时，Pixel 在 Memory 中的存储

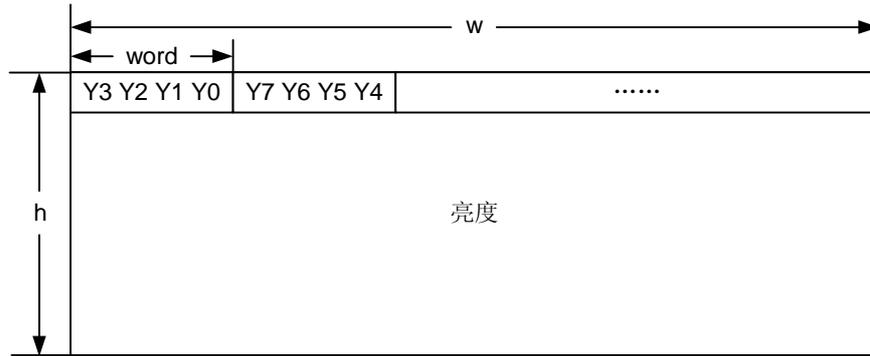


图10-6 数据格式为 RGB package 时，Pixel 在 Memory 中的存储

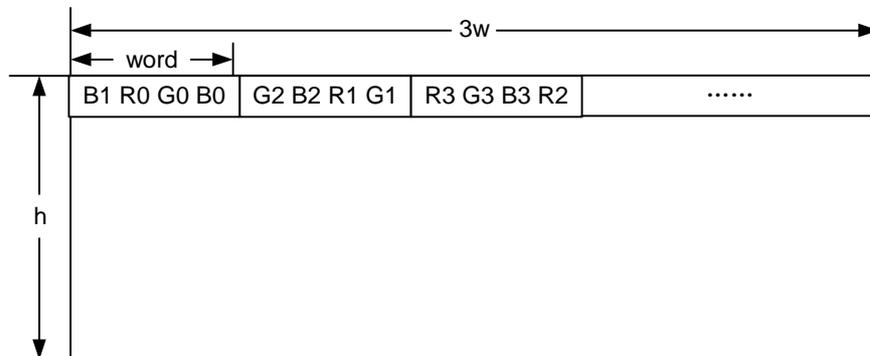




图10-7 数据格式为 RGB planar 时, Pixel 在 Memory 中的存储

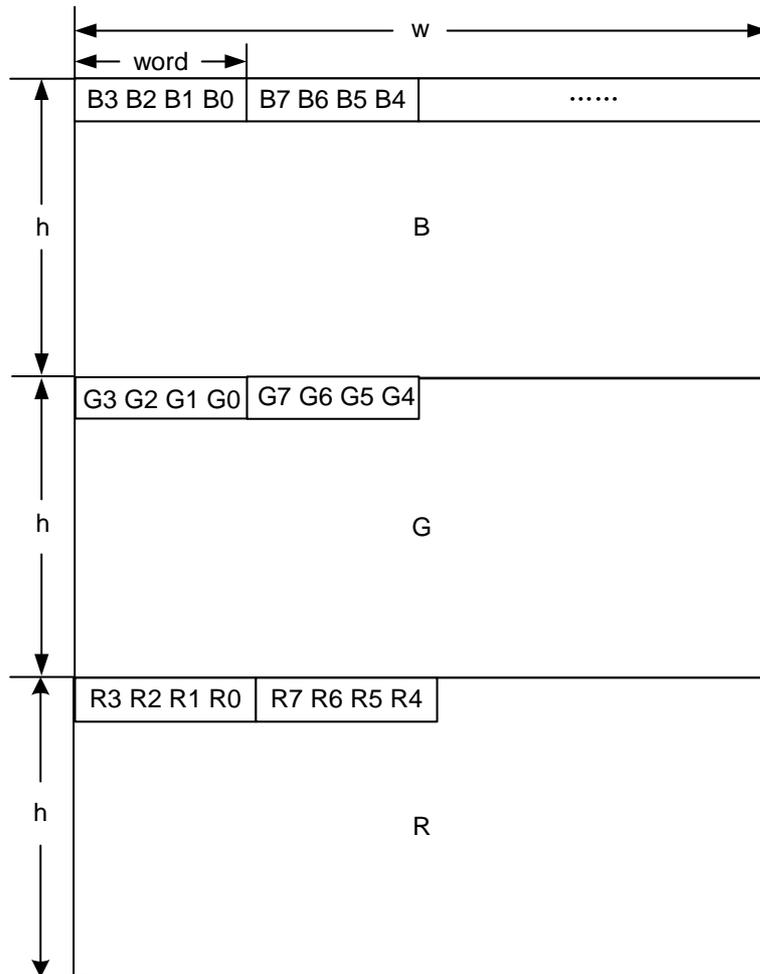




图10-8 SOBEL 算子时，输出结果在 Memory 中的存储

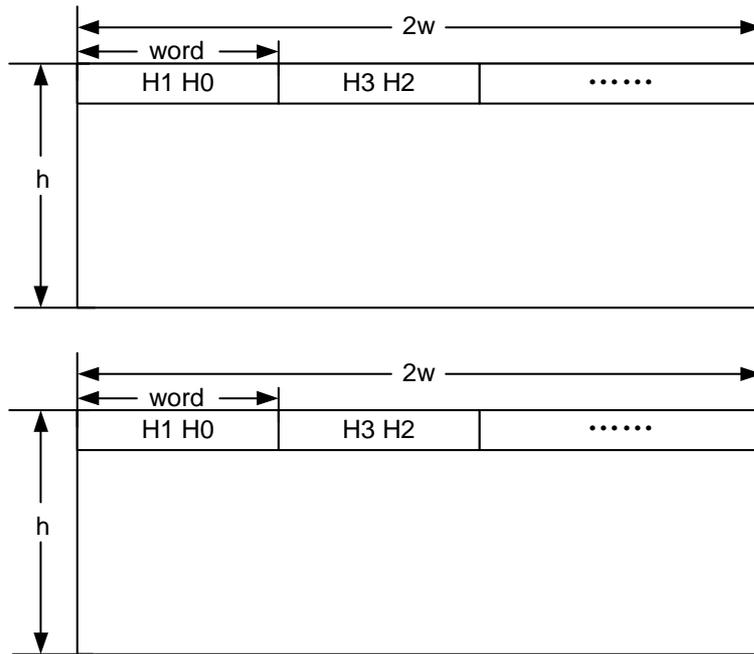


图10-9 CANNY 算子，结果在 Memory 中的存储

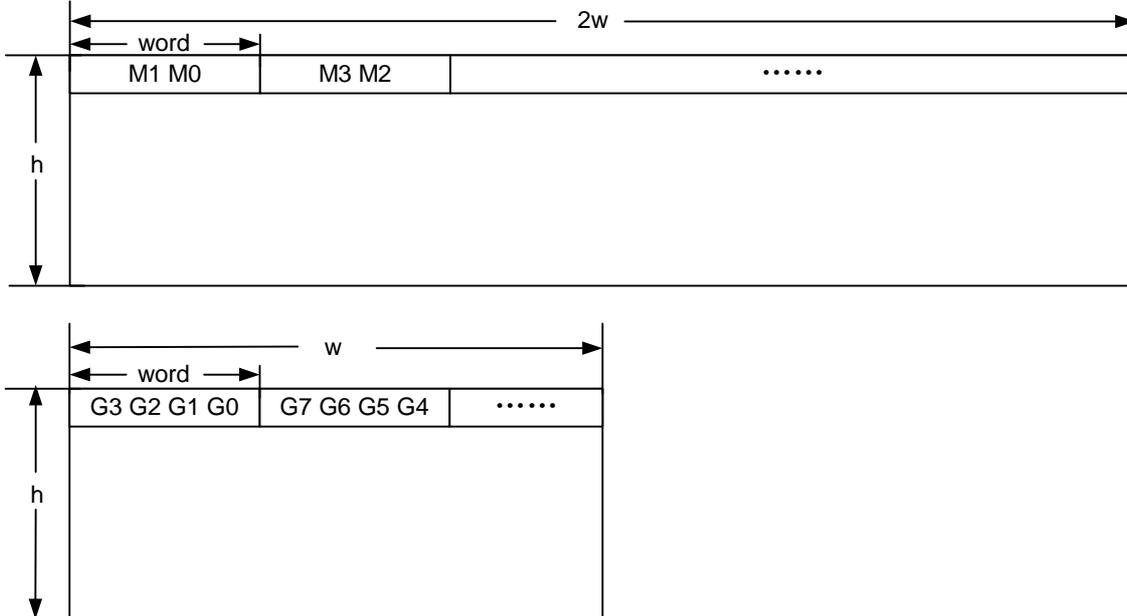




图10-10 积分图算子时，输出结果在 Memory 中的存储（INTEGRAL_OUT）

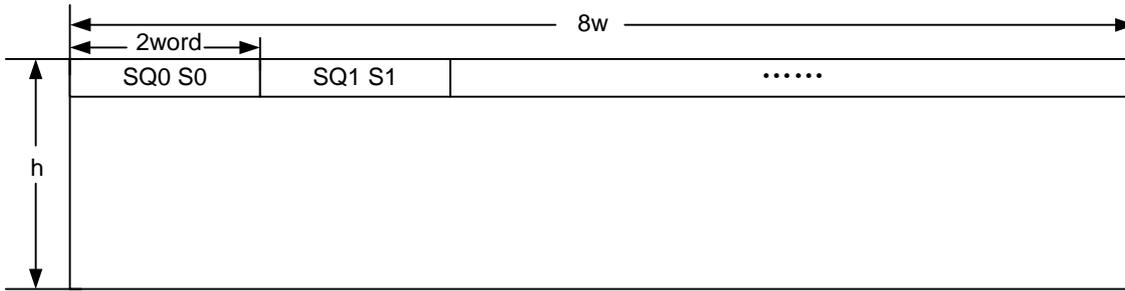
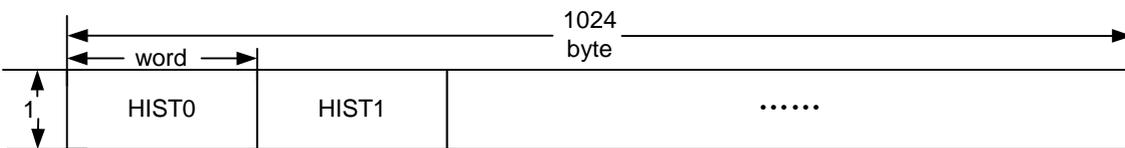


图10-11 直方图统计时，输出结果在 Memory 中的存储（HIST_OUT）



10.3.4.2 支持的功能

IVE 所有算子的 stride 均需要满足以下条件：

当 $((src\%8) == 0) \& \&((width\%8) == 0)$ 成立时，要求

$$\begin{cases} stride \geq width \\ stride\%8 = 0 \end{cases}$$

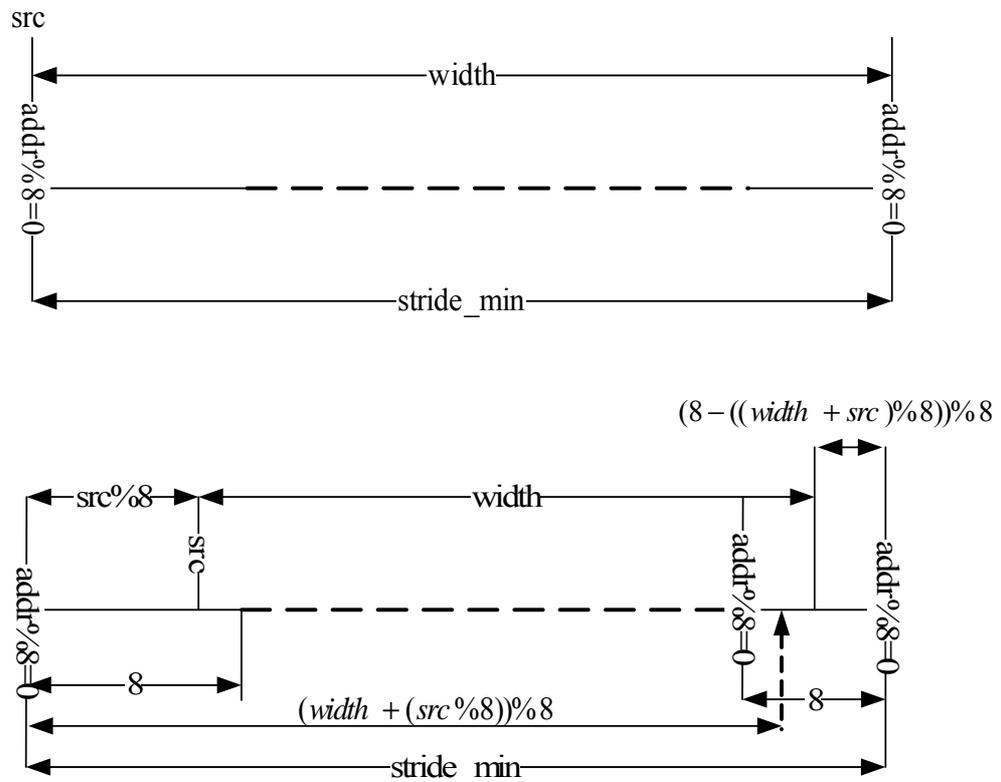
否则要求

$$\begin{cases} \{(8 - ((width + (src\%8))\%8)) + (src\%8) + width\} \leq stride \\ stride\%8 = 0 \end{cases}$$

其中 % 表示求余数操作。示例见图 10-12。



图10-12 算子的参数 stride 取最小值时的情况



快速拷贝

实现矩形图像区域的快速搬移功能。源数据在 DMA 模式下将会直接通过 IVE 内部快速通路，搬移到目的区域，并直接覆盖目标区域数据。

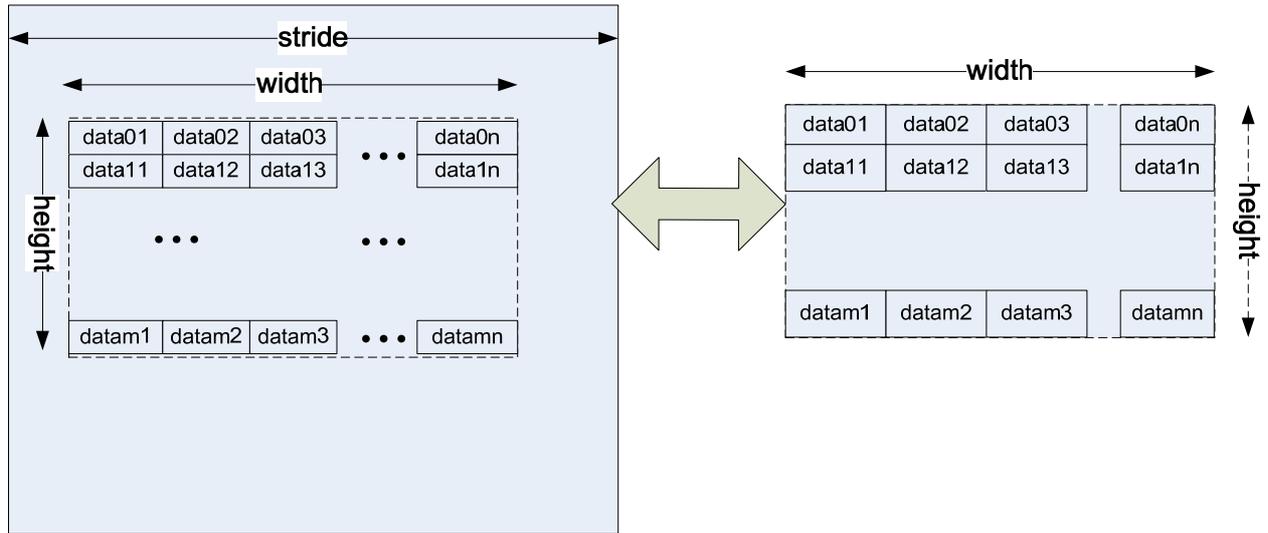
图象分辨率：32 x 1~1920 x 1080

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x00

图10-13 DMA 数据搬运应用之一



3×3 模板滤波

将源图象以 3×3 模板作滤波后输出。

图象分辨率：64 x 64~1920 x 1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量；SP420→SP420；SP422→SP422。

使用方法：

- 配置 `op_type` 为 0x1。
- 配置输入格式。
- 配置系数 `mask0`, `mask1`, …… `mask9`。`mask0~mask8` 范围为[-128, 127]，`mask9` 取值为[0, 10]。



图10-14 3×3 模板滤波计算公式

$I(x-1,y-1)$	$I(x,y-1)$	$I(x+1,y-1)$	$coef(-1,-1)$ mask0	$coef(0,-1)$ mask1	$coef(1,-1)$ mask2
○	○	○	○	○	○
$I(x-1,y)$	$I(x,y)$	$I(x+1,y)$	$coef(-1,0)$ mask3	$coef(0,0)$ mask4	$coef(1,0)$ mask5
○	○	○	○	○	○
$I(x-1,y+1)$	$I(x,y+1)$	$I(x+1,y+1)$	$coef(-1,1)$ mask6	$coef(0,1)$ mask7	$coef(1,1)$ mask8
○	○	○	○	○	○

$$I_{out}(x, y) = \left\{ \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x+i, y+j) \cdot coef(i, j) \right\} \gg mask9$$

颜色空间转换（CSC）

颜色空间转换支持从 YUV 空间到 RGB 空间的转换。

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：SP420→RGB package；SP420→RGB planar；SP422→RGB package；SP422→RGB planar。

使用方法：

- 配置链表中结点的 op_type 为 0x02。
- 配置链表中结点的 in_fmt:
 - 01: 420
 - 10: 422
- 配置链表中结点的 out_fmt:
 - 0000: package
 - 0001: planar
- 配置链表中结点的 csc_fmt:
 - 00: BT601&BT656 （16~235）
 - 01: BT709 （16~235）
 - 10: BT601&BT656 （0~255）
 - 11: BT709 （0~255）

当 csc_fmt = 0 或者 1 时为 YUV 到 RGB 的视频变换，输出满足 $16 \leq R, G, B \leq 235$



当 $csc_fmt = 2$ 或者 3 时为 YUV 到 RGB 的图像变换，输出满足 $0 \leq R, G, B \leq 255$
YUV 到 RGB 的转换的视频矩阵的输入输出要求如下。

- $16 \leq Y \leq 235$
- $16 \leq Cb, Cr \leq 240$
- $16 \leq R, G, B \leq 235$

YUV 到 RGB 的转换的视频矩阵算法如表 10-2。

表10-2 YCbCr 到 RGB 的视频矩阵 (BT.601)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1	x (Y)	+	0.0	x (Cb-128)	+	1.371	x (Cr-128)
G	=	1	x (Y)	-	0.336	x (Cb-128)	-	0.698	x (Cr-128)
B	=	1	x (Y)	+	1.732	x (Cb-128)	+	0.0	x (Cr-128)

表10-3 YCbCr 到 RGB 的视频矩阵 (BT.709)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1	x (Y)	+	0.0	x (Cb-128)	+	1.540	x (Cr-128)
G	=	1	x (Y)	-	0.183	x (Cb-128)	-	0.459	x (Cr-128)
B	=	1	x (Y)	+	1.816	x (Cb-128)	+	0.0	x (Cr-128)

YUV 到 RGB 的转换的图象矩阵的输入输出要求如下。

- $16 \leq Y \leq 235$
- $16 \leq U, V \leq 240$
- $0 \leq R, G, B \leq 255$

YUV 到 RGB 的转换的图象矩阵算法如表 10-4。

表10-4 YCbCr 到 RGB 的图象矩阵 (BT.601)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1.164	x (Y-16)	+	0.0	x (Cb-128)	+	1.596	x (Cr-128)



RGB 到 YCbCr 颜色空间转换浮点计算方法:									
G	=	1.164	x (Y-16)	-	0.391	x (Cb-128)	-	0.813	x (Cr-128)
B	=	1.164	x (Y-16)	+	2.018	x (Cb-128)	+	0.0	x (Cr-128)

表10-5 YCbCr 到 RGB 的图象距阵 (BT.709)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1.164	x (Y-16)	+	0.0	x (Cb-128)	+	1.793	x (Cr-128)
G	=	1.164	x (Y-16)	-	0.213	x (Cb-128)	-	0.534	x (Cr-128)
B	=	1.164	x (Y-16)	+	2.115	x (Cb-128)	+	0.0	x (Cr-128)

3x3 模板滤波加 CSC

将源图象以 3 x 3 模板作滤波, 然后再作颜色空间转换后输出。

图象分辨率: 64 x 64~1920 x 1024。

地址对齐方式: 输入输出地址都要求 8byte 对齐。

输入输出格式: SP420→RGB package; SP420→RGB planar; SP422→RGB package; SP422→RGB planar。

使用方法:

- 配置 op_type 为 0x3。
- 配置 CSC 系数。
- 配置输入格式和输出格式。
- 配置系数 mask0, mask1, mask9。mask0~mask8 范围为[-128, 127], mask9 取值为[0, 10]。

SOBEL x/y 方向梯度计算

图象分辨率: 64 x 64~1920 x 1024。

地址对齐方式: 输入输出地址都要求 8byte 对齐。

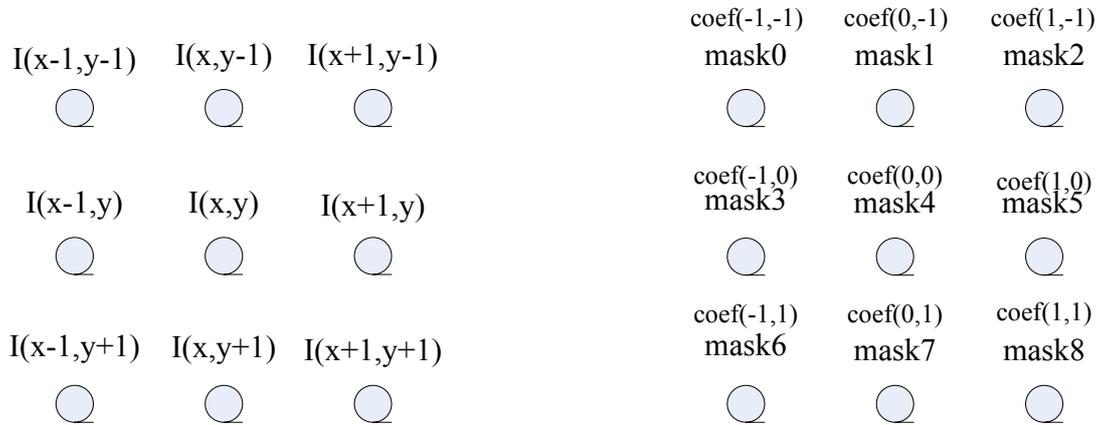
输入输出格式: 单分量→SOBEL_OUT。

使用方法:

- 配置 op_type 为 0x4。
- 配置系数 mask0, mask1, mask8。mask0~mask8 范围为[-128, 127]。



图10-15 SOBEL 梯度计算公式



$$Hout(x, y) = \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x + i, y + j) \bullet coef(i, j)$$

$$Vout(x, y) = \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x + i, y + j) \bullet coef(j, i)$$

CANNY 梯度幅值及角度

图象分辨率：64 x 64~1920 x 1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→CANNY_OUT1；单分量→CANNY_OUT2。

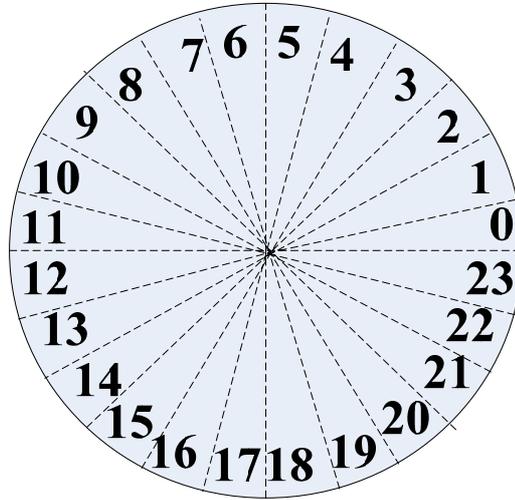
使用方法：

- 配置 op_type 为 0x5。
- 配置输出格式。
- 配置系数 mask0, mask1, mask8。mask0~mask8 范围为[-128, 127]。

幅值定义： $Mag(x, y) = abs(Hout(x, y)) + abs(Vout(x, y))$



图10-16 CANNY 角度量化定义



计算输出角度为：
$$\theta = \left[\frac{\arctan\left(\frac{V}{H}\right) * 12}{\pi} \right]$$

3x3 膨胀

图象分辨率：64 x 64~1920 x 1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

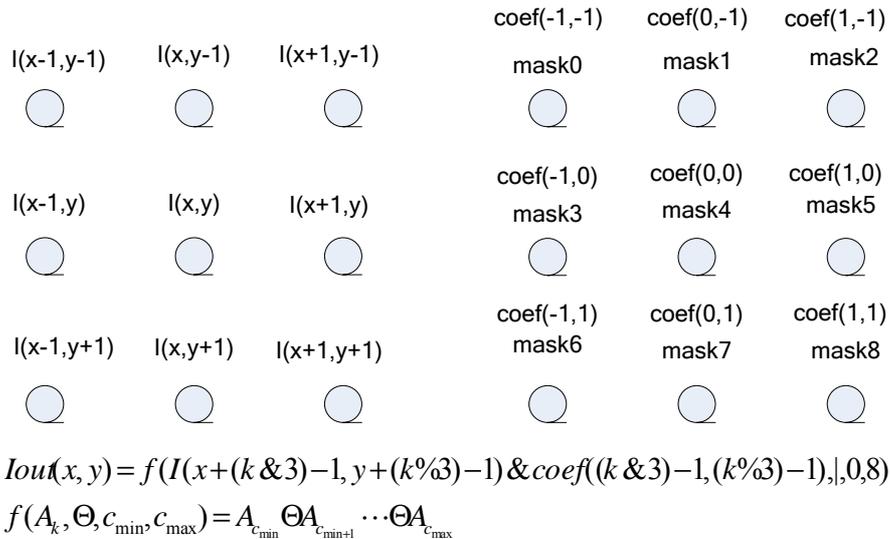
输入输出格式：单分量→单分量。

使用方法：

- 配置 op_type 为 0x6。
- 配置系数 mask0, mask1, mask8。

要求输入输出数据为 0 或 255，mask 的值为 0 或 255。

3x3 膨胀计算公式如下，其中公式中|为位或运算，&为位与运算，%为除余运算。



3x3 腐蚀

图象分辨率：64 x 64~1920 x 1024。

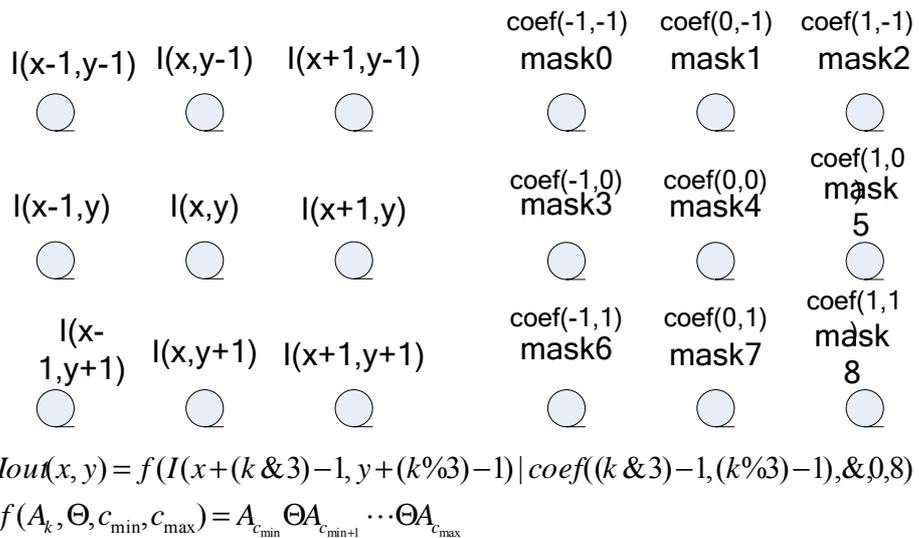
地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置 op_type 为 0x7。
- 配置系数 mask0, mask1, mask8。
- 要求输入输出数据为 0 或 255, mask 的值为 0 或 255。

3x3 腐蚀计算公式如下，其中该公式中|为位或运算，&为位与运算，%为除余运算。





图像二值化处理

使用固定阈值对图像进行二值化操作，共有三种模式：

- mode=2: 像素值>阈值 threshold，像素值不变，否则为 minValue

$$I_{out}(x, y) = \begin{cases} \text{min Value} & (I(x, y) \leq \text{threshold}) \\ I(x, y) & (I(x, y) > \text{threshold}) \end{cases}$$

- mode=1: 像素值>阈值 threshold，则为 maxValue，否则像素值不变

$$I_{out}(x, y) = \begin{cases} I(x, y) & (I(x, y) \leq \text{threshold}) \\ \text{max Value} & (I(x, y) > \text{threshold}) \end{cases}$$

- mode=0: 像素值>阈值 threshold，则为 maxValue，否则为 minValue

$$I_{out}(x, y) = \begin{cases} \text{min Value} & (I(x, y) \leq \text{threshold}) \\ \text{max Value} & (I(x, y) > \text{threshold}) \end{cases}$$

图像分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置链表中结点的 op_type 为 0x08；
- 配置链表中结点 mask0，mask1 和 mask2 对应为 threshold，minValue 和 maxValue。

双源图像与运算



注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行进行与运算，然后搬移到目的区域。

图像分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x09。

$$I_{out}(x, y) = I_{src1}(x, y) \& I_{src2}(x, y)$$

其中，该公式中&为位与运算。



双源图像减运算



注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行减运算，然后搬移到目的区域，提供两种工作模式：

0000：差异值绝对值输出，即 $dst[i, j] = abs(src1[i, j] - src2[i, j])$ ；

0001：差异值右移 1 位输出，保留符号位，即
 $dst[i, j] = (src1[i, j] - src2[i, j]) >> 1$ ；

如图像 1 某位置像素值为 0x23，图像 2 对应位置像素值为 0x40，则在模式 0000 时结果为 0x1D，在模式 0001 时结果为 0xF1。

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置链表中结点的 op_type 为 0x0a；
- 配置链表中结点的 out_fmt 为 0x0000 或 0x0001。

双源图像或运算



注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行或运算，然后搬移到目的区域。

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x0b。

$$I_{out}(x, y) = I_{src1}(x, y) | I_{src2}(x, y)$$

其中，该公式中|为位或运算。



积分图

支持分量累加和与分量平方累加和，输出格式为 64 比特，分量累加和占低 28 比特，分量平方累加和占高 36 比特。

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→INTEGRAL_OUT。

使用方法：配置链表中结点的 op_type 为 0x0c。

$$I_{sum}(x, y) = \sum_{i \geq 0} \sum_{j \geq 0}^{i \leq x, j \leq y} I(i, j)$$

$$I_{sq}(x, y) = \sum_{i \geq 0} \sum_{j \geq 0}^{i \leq x, j \leq y} (I(i, j) \cdot I(i, j))$$

$$I_{out}(x, y) = (I_{sum}(x, y) \& 0xFFFFFFFF) | (I_{sq}(x, y) \ll 28)$$

其中，该公式中|为位或运算，&为位与运算，<<为左移移位操作。

直方图

256 级直方图统计，输入为单分量，输出为位宽为 32bit 的 256 级直方图统计值。

图象分辨率：64x64~1920x1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→HIST_OUT。

使用方法：配置链表中结点的 op_type 为 0x0d。

$$I_{out}(x) = \sum_i \sum_j ((I(i, j) == x) ? 1 : 0) \quad x = 0 \dots 255$$

10.4 寄存器概览

IVE 寄存器概览如表 10-6 所示。

表10-6 IVE 寄存器概览（基址是 0x205E_0000）

偏移地址	名称	描述	页码
0x0000	IVE_START	启动信号寄存器	10-23
0x0004	INT_EN	中断使能信号寄存器	10-23
0x0008	INT_RW	原始中断信号寄存器	10-24
0x000C	INT_STATUS	中断状态信号寄存器	10-25



偏移地址	名称	描述	页码
0x0010	LIST_POINTER	链表首地址寄存器	10-25
0x0014	IVE_STATUS	IVE 工作状态信号寄存器	10-26
0x0018	IVE_TASK_ID	刚刚完成的 task 的 ID 寄存器	10-26

10.5 寄存器描述

IVE_START

IVE_START 为启动信号寄存器。

	Offset Address	Register Name	Total Reset Value																						
	0x0000	IVE_START	0x0000_0000																						
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																								
Name	reserved															ive_start									
Reset	0 0																								
Bits	Access	Name	Description																						
[31:1]	RO	reserved	保留。																						
[0]	WO	ive_start	IVE 启动信号，高电平有效。																						

INT_EN

INT_EN 为中断使能信号寄存器。



Offset Address		Register Name		Total Reset Value					
0x0004		INT_EN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							list_int_en	node_int_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	list_int_en	链表中断使能。 0: 不使能; 1: 使能。						
[0]	RW	node_int_en	节点中断使能。 0: 不使能; 1: 使能。						

INT_RW

INT_RW 为原始中断信号寄存器。

Offset Address		Register Name		Total Reset Value					
0x0008		INT_RW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							list_int_rw	node_int_rw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	list_int_rw	链表级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0: 没有中断; 1: 有中断。						



[0]	RW	node_int_rw	节点级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0: 没有中断; 1: 有中断。
-----	----	-------------	--

INT_STATUS

INT_STATUS 为中断状态信号寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x000C				INT_STATUS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										list_int_status	node_int_status				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留。																													
[1]	RO	list_int_status	链表级中断状态。软件通过读此状态位确定是否有链表级中断。 0: 没有中断; 1: 有中断。																													
[0]	RO	node_int_status	节点级中断状态。软件通过读此状态位确定是否有节点级中断。 0: 没有中断; 1: 有中断。																													

LIST_POINTER

LIST_POINTER 为链表首地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0010		LIST_POINTER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	link_table_header_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	link_table_header_addr	标明链表第一个节点的地址。					

IVE_STATUS

IVE_STATUS 为 IVE 工作状态信号寄存器。

Offset Address		Register Name		Total Reset Value					
0x0014		IVE_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ive_working_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	ive_working_status	IVE 当前的工作状态。 0: 空闲; 1: 忙碌。						

IVE_TASK_ID

IVE_TASK_ID 为刚完成的任务的 ID 寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0018				IVE_TASK_ID				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ive_task_id																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	reserved	保留。																													
[15:0]	RO	ive_task_id	刚刚完成的任务的 ID。如果任务 ID 是递增的，则表明此 ID 之前的所有任务都已完成。																													



目 录

11 视频接口	11-1
11.1 VICAP.....	11-1
11.1.1 概述.....	11-1
11.1.2 特点.....	11-1
11.1.3 功能描述.....	11-2
11.1.4 工作方式.....	11-10
11.1.5 寄存器概览.....	11-11
11.1.6 寄存器描述.....	11-15
11.2 VDP.....	11-49
11.2.1 概述.....	11-49
11.2.2 功能描述.....	11-49
11.2.3 工作方式.....	11-52



插图目录

图 11-1 VICAP 功能框图.....	11-1
图 11-2 8 路 D1/960H 的典型输入应用.....	11-3
图 11-3 2 路 720P 的典型输入应用.....	11-3
图 11-4 1 路 1080P 的典型输入应用.....	11-4
图 11-5 525 行 60 场/秒视频系统垂直时序.....	11-6
图 11-6 625 行 50 场/秒视频系统垂直时序.....	11-6
图 11-7 高清接口输入时序水平时序.....	11-7
图 11-8 高清接口输入时序垂直时序.....	11-7
图 11-9 有效图像区域与水平垂直消隐关系图.....	11-8
图 11-10 YCbCr4:2:2 的存储模式.....	11-9
图 11-11 big endian 和 little endian 图像存储模式.....	11-9
图 11-12 VICAP 的硬件工作流程.....	11-10
图 11-13 软件操作流程.....	11-11
图 11-14 VICAP 寄存器空间分配.....	11-12
图 11-15 VDP 总体框图.....	11-50
图 11-16 3 套坐标示意图.....	11-56
图 11-17 逐行解压存储方式.....	11-59
图 11-18 隔行解压存储方式.....	11-59



表格目录

表 11-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式.....	11-4
表 11-2 SAV/EAV 格式.....	11-4
表 11-3 有效 SAV/EAV 值.....	11-5
表 11-4 ITU-R BT.656 纠错码表.....	11-5
表 11-5 寄存器概览（基址是 0x2058_0000）.....	11-12
表 11-6 DHD0 显示通道的时钟配置关系（接口时钟/数据来源于 DHD0 或者 DSD0/DSD1）.....	11-52
表 11-7 DSD0~DSD1 显示通道的时钟配置关系.....	11-53



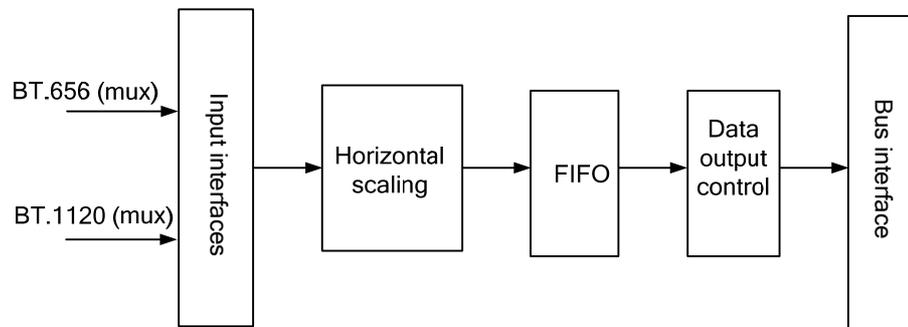
11 视频接口

11.1 VICAP

11.1.1 概述

视频捕获单元 VICAP (Video capture)，可以通过 BT.656 (mux) /BT.1120 (mux) 接口接收视频数据，存入指定的内存区域。在此过程中，VICAP 可以对视频图像数据进行水平缩小（根据通道情况可能为简单的下采样或者是缩放）并输出多个不同的视频流。VICAP 的功能框图如图 11-1 所示。

图11-1 VICAP 功能框图



11.1.2 特点

VICAP 有以下特点：

- 输入最大分辨率为 1920x1080
- 外部支持 2 个 BT.656 接口，或 1 个 BT.1120 接口（Hi3515A 仅支持 1 个 BT.656 接口）
- 内部支持 2 个端口和 8 个通道视频处理，每个通道支持隔行和逐行输入模式（Hi3515A 支持 1 个端口和 4 个通道）
- 支持 BT.656 (mux)、BT.1120 (mux) 等时序
- 支持 SMPTE293M/ITU-R BT.1358 时序（480P/576P）



- 支持 SMPTE 274M/BT 1120 时序 (1080i/1080P)
- 支持 SMPTE 296M (720P)
- 支持最大 2 倍的水平整数倍缩小
- 各通道支持 2 级总线优先级可配
- 支持在一个指定窗口内获取数据
- 支持统计获取到数据的亮度功能
- 支持水平镜像和垂直镜像
- 输出格式支持存储模式：SPYCbCr 4:2:0 和 SPYCbCr 4:2:2 模式。

11.1.3 功能描述

11.1.3.1 典型应用

VICAP 是一个支持多种时序输入的视频输入采集单元，将采集到的视频数据存储到 DDR 中，系统可以配置不同的功能模式，使之可以灵活的适应不同的外部输入视频接口，支持多种外部输入设备。

VICAP 总共占有 18 个管脚，2 个时钟，16 根数据线。

VICAP 模块总共有 2 个端口，8 个通道。每 1 个端口可以解析 1 个对接芯片的时序，每 1 个通道可以处理 1 路视频信号。

每 1 个端口对应 4 个通道。2 个端口之间相互独立，可以任意组合。

可以接 2 个 8bit 数据线的对接芯片，使用 2 个端口。

可以接 1 个 16bit 数据线的对接芯片，使用 1 个端口。

每个端口可以接 4 路 D1/960H，2 路 D1/960H，1 路 D1/960H，1 路 720P 中任意一种。1080P60 只能接端口 0，对接 16bit 数据线的对接芯片。

VICAP 的典型输入有以下 3 种：

- 8 路 D1/960H
- 2 路 720P
- 1 路 1080P



注意

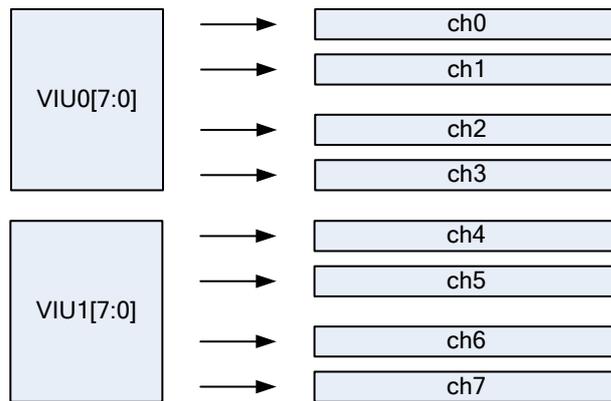
管脚上的两个 BT.656 口分别有一个时钟，分别为 VIU0_CLK 和 VIU1_CLK。如果两个 BT.656 口作为一个 16bit 的数据输入，可以使用 VIU0_CLK 或 VIU1_CLK；如果作为两个 8bit 的数据输入，则 VIU0 使用 VIU0_CLK，VIU1 使用 VIU1_CLK。

8 路 D1/960H

8 路 D1/960H 的典型输入应用如图 11-2 所示。



图11-2 8路 D1/960H 的典型输入应用



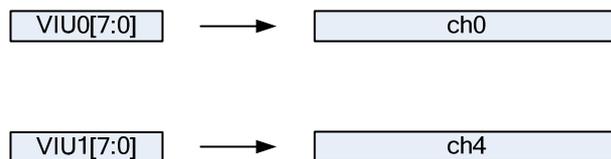
每 8bit 数据管脚传 4 路时分复用的 D1/960H，总共使用 16bit 管脚。

- VIU0 表示管脚上的第 0 个 BT.656 口
- VIU1 表示管脚上的第 1 个 BT.656 口
- [7:0]表示第 7 到 0bit
- ch0 到 ch7 表示通道 0 到通道 7

2 路 720P

2 路 720P 的典型输入应用如图 11-3 所示。

图11-3 2路 720P 的典型输入应用



每 8bit 数据管脚传 1 路 720P，总共使用 16bit 管脚（interleave 模式，将 BT.1120 的 16bit 数据线，通过时分复用的方式，通过 8bit 来传输，C 分量在前，Y 分量在后，时钟频率提高一倍）。其中：

- VIU0 表示管脚上的第 0 个 BT.656 口
- VIU1 表示管脚上的第 1 个 BT.656 口
- [7:0]表示第 7 到 0bit
- ch0 到 ch7 表示通道 0 到通道 7

1 路 1080P

1 路 1080P 的典型输入应用如图 11-4 所示。



图11-4 1路 1080P 的典型输入应用



2 个 8bit 数据管脚组成 1 个 BT.1120 口输入 1 路 1080P，总共使用 16bit 管脚。其中：

- VIU0 表示管脚上的第 0 个 BT.656 口
- VIU1 表示管脚上的第 1 个 BT.656 口
- [7:0]表示第 7 到 0bit
- ch0 到 ch7 表示通道 0 到通道 7

混合时序输入

不同对接芯片之间相互独立，互不影响，可以任意组合。例如 VIU0 输入 1 路高清 interleave，VIU1 输入 4 路 D1。

11.1.3.2 功能原理

ITU-R BT.656 YCbCr4:2:2

(1) 水平时序

在 ITU-R BT.656 协议中，同步信号集成在数据流中，在数据流中的特殊字节 SAV 和 EAV 分别表示有效行数据的开始和结束。在视频数据流中，由 FF 00 00（FF、00 为图像编码数据的保留值，为非图像数据）构成的定时基准码字的码头来标志紧接着的一个字节为 SAV 或者 EAV，ITU-R BT. 656 的行数据流格式如表 11-1 所示。

表11-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式

定时基准码				行消隐区				定时基准码				720 有效像素 YCbCr 4:2:2							
FF	00	00	EAV	80	10	...	80	10	FF	00	00	SAV	Cb0	Y0	Cr0	Y1	...	Cr718	Y719

SAV 和 EAV 的相互区别由 SAV/EAV 的特殊比特位“H”区分，SAV/EAV 还包含了垂直消隐位“V”和场指示位“F”。SAV/EAV 的具体描述见表 11-2 所示。

表11-2 SAV/EAV 格式

bit[7]	bit[6](F)	bit[5](V)	bit[4](H)	bit[3:0](P3~P0)
固定值 1	场指示位 1st field: F=0 2nd field: F=1	垂直消隐位 VBI: V=1 Active video: V=0	SAV: H=0 EAV: H=1	校验位。



ITU-R BT.656 协议采用了 8 个有效保留位用来定义有效的 SAV 和 EAV，4 个校验位可纠正 1bit 出错，检测 2bit 出错。有效的 SAV/EAV 值如表 11-3 所示。

表11-3 有效 SAV/EAV 值

编码	二进制值	场号	垂直消隐期
SAV	10000000	1	-
EAV	10011101	1	-
SAV	10101011	1	是
EAV	10110110	1	是
SAV	11000111	2	-
EAV	11011010	2	-
SAV	11101100	2	是
EAV	11110001	2	是

4 个有效保留位还起到纠错的作用，P0、P1、P2、P3 由 F、V 和 H 位来确定的，如表 11-4 所示。

表11-4 ITU-R BT.656 纠错码表

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

其中：

$$P0=F^{\wedge}V^{\wedge}H$$

$$P1=F^{\wedge}V$$

$$P2=F^{\wedge}H$$

$$P3=V^{\wedge}H$$

(2) 垂直时序



垂直时序也是通过定时基准码 SAV/EAV 的“F”和“V”来实现，典型的 525 行和 625 行视频系统垂直时序如图 11-5 和图 11-6 所示。

图11-5 525 行 60 场/秒视频系统垂直时序

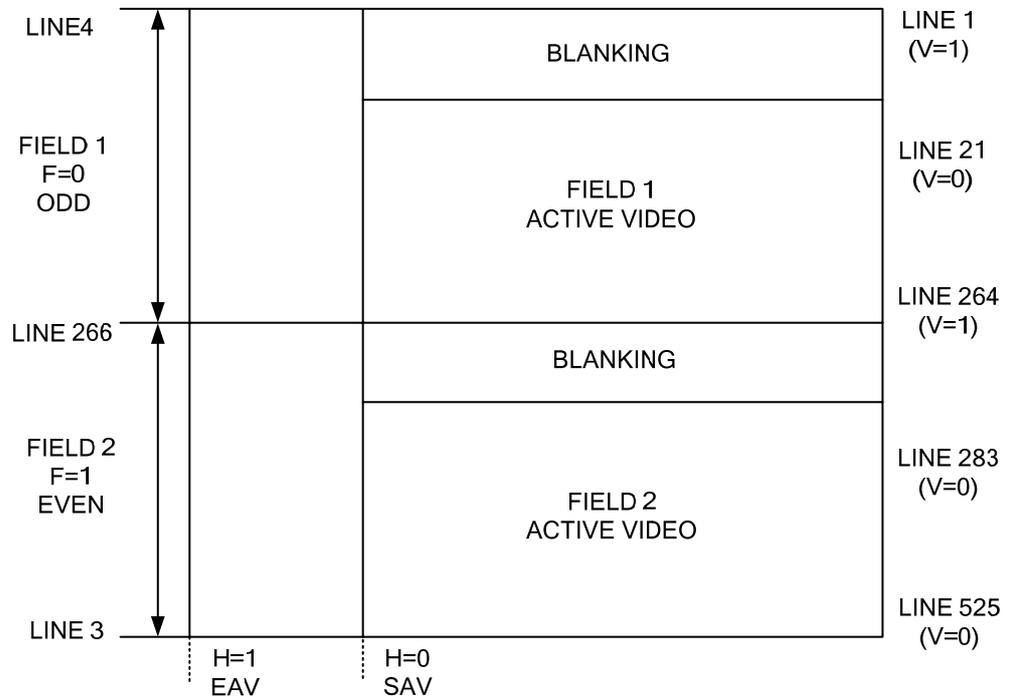
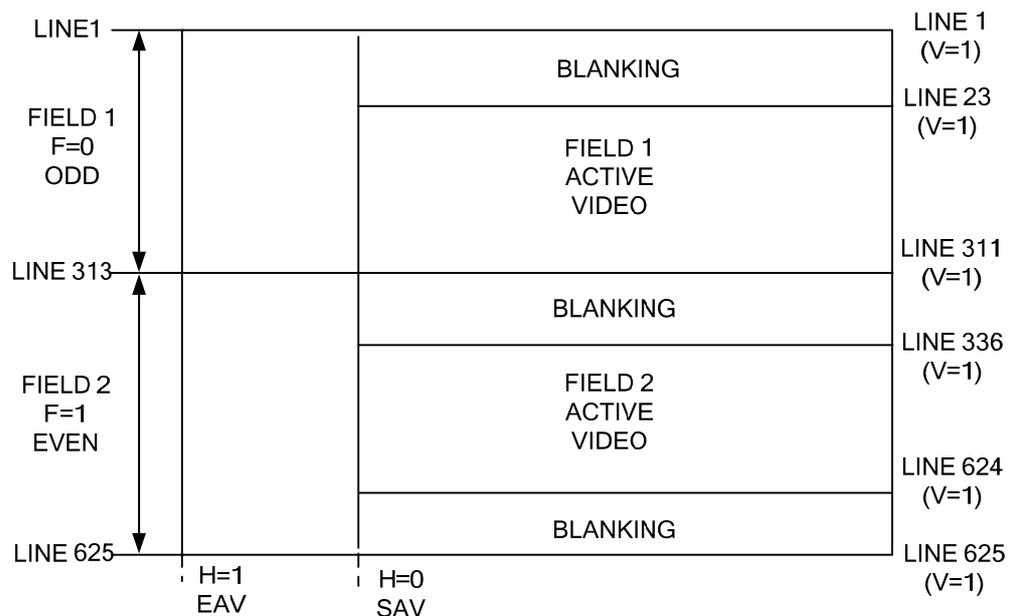


图11-6 625 行 50 场/秒视频系统垂直时序



注：VICAP 内部只根据 SAV/EAV 来识别垂直时序，不会限制具体在哪一行。



BT 1120（高清）接口时序

VICAP 支持 Y/C 分开输入的高清接口时序，此时需要用到 2 个端口，一个端口用来传输亮度，另一个端口用来传输色度，如图 11-7 和图 11-8 所示。

图11-7 高清接口输入时序水平时序

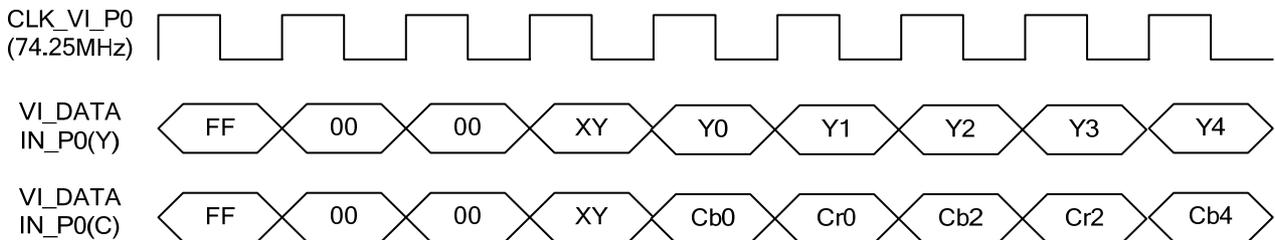
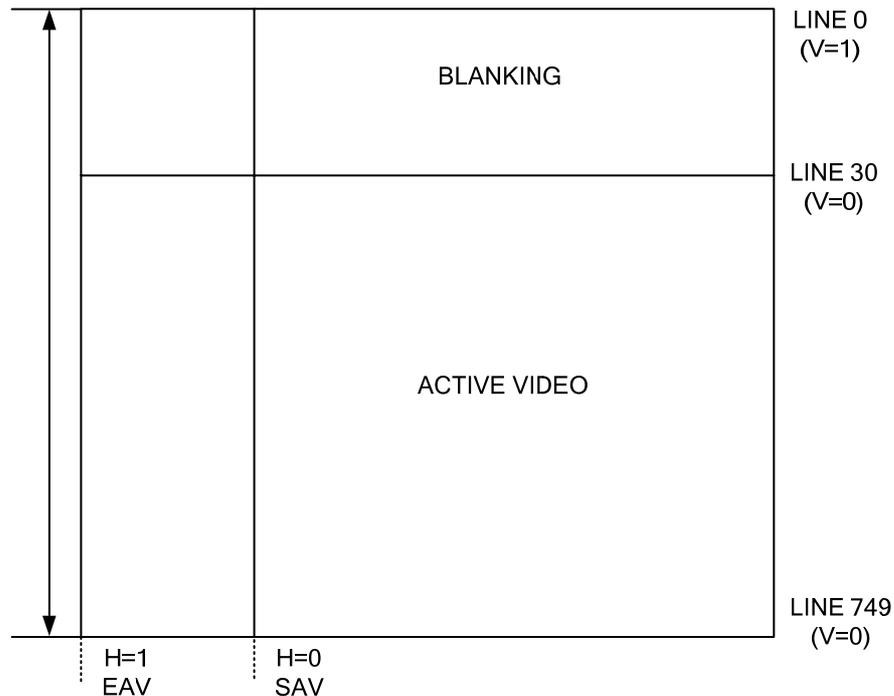


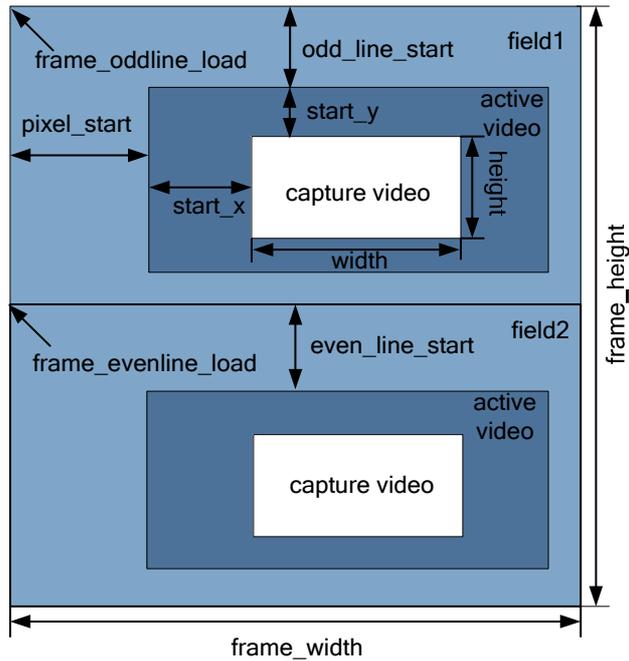
图11-8 高清接口输入时序垂直时序



11.1.3.3 图象 CROP

有效视频范围如图 11-9 所示。开始于水平消隐和垂直消隐之后。而实际显示的视图区域常常包含在有效视频范围之内，相对有效视频的边界有一点点缩小，其目的是避免边缘效应。

图11-9 有效图像区域与水平垂直消隐关系图

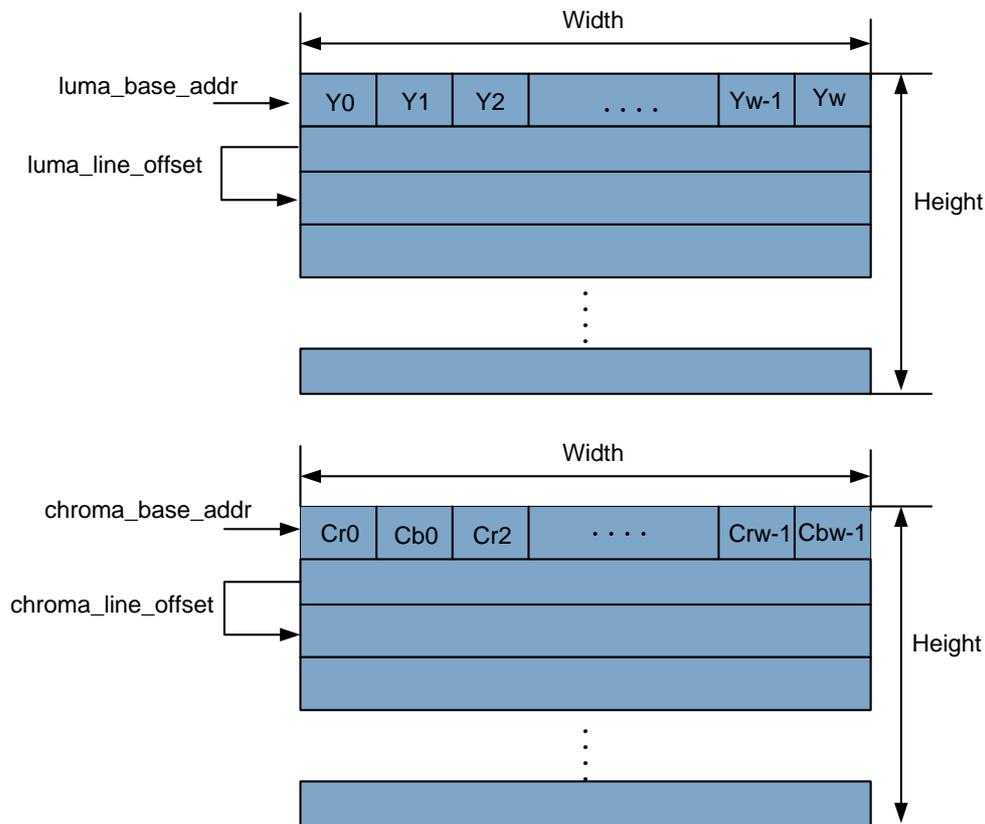


11.1.3.4 图像存储模式

图像存储模式包括：

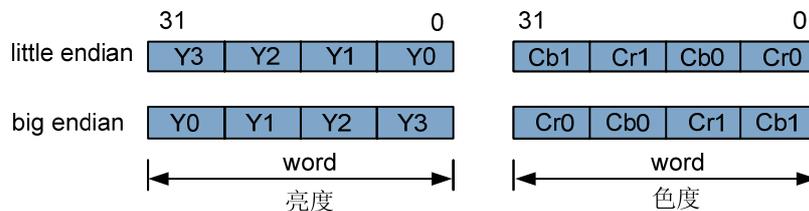
- semi-planar YcbCr 存储
系统设定了视图区域后，对读入数据按照 semi-planar 方式存储，即亮度分量和色度分量分别存储在 DDR 中的亮度存储空间和色度存储空间。
- 在 1 行内，亮度、色度分量各自连续存储。
- 连续 2 行之间的存储，可以通过系统定义的行首与行首之间的存储间隔参数 offset 定义。亮度和色度分量在 DDR 中的存储位置由起始地址 base_addr 来指示。VI 捕获的如图 11-10 所示。

图11-10 YCbCr4:2:2 的存储模式



在 DDR，数据的存储是以 word（32bit）为单位。由 4 个 8bit 像素组成一个 32bit 的 word，在 4 个字节构成一个 word 时有 2 种方式：big endian 和 little endian。图 11-11 是以亮度和色度分量为例来说明 big endian 和 little endian 的存储方式。

图11-11 big endian 和 little endian 图像存储模式



VICAP 只支持采用 little endian 方式存储数据的 DDR。

11.1.3.5 水平镜像和垂直镜像（mirror and flip）

当 sensor 安装出现镜头水平和垂直颠倒的情况下时，可通过 VICAP 的水平和垂直镜像来纠正输出的图像，水平和垂直镜像是通过写入 DDR 地址的反向处理来实现的，但必须确保帧起始的首地址 128bit 对齐。

11.1.4 工作方式

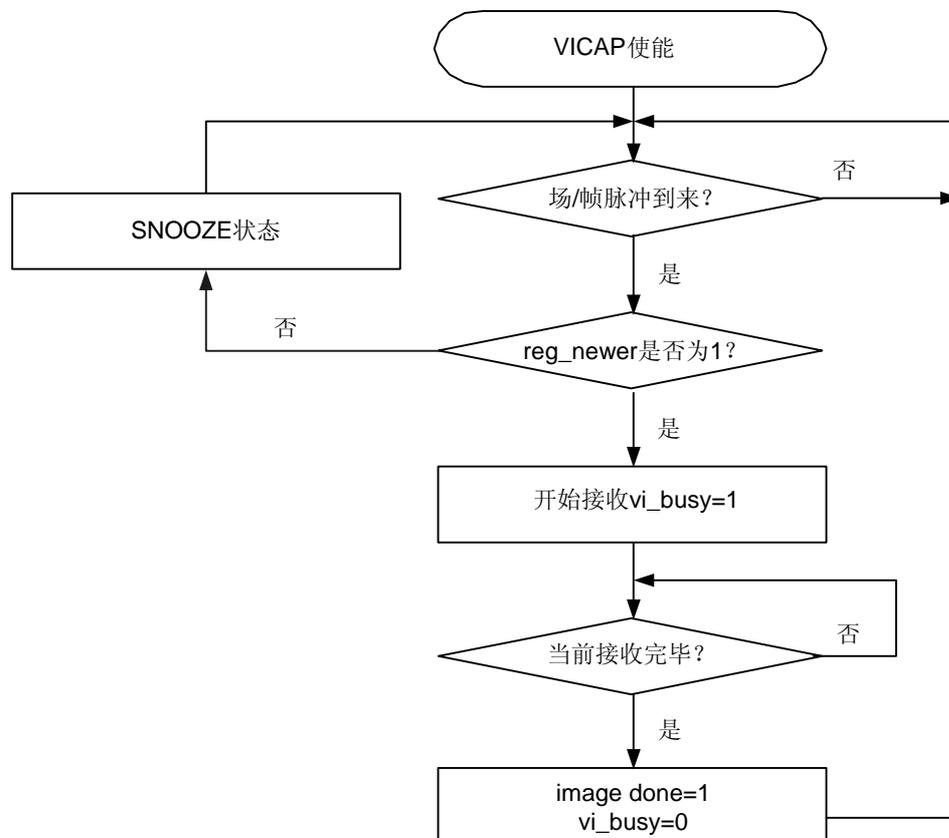
11.1.4.1 VICAP 的 reg_newer 功能

- 在软件使能 VICAP 某个通道之前，软件应该完成以下操作：
 - 完成对 VICAP 的属性寄存器的配置操作。
 - 写 reg_newer 位为“1”，通知 VICAP 模块当前的寄存器已经准备就绪。
- 使能 VICAP 后，VICAP 逻辑开始工作，当一场/帧到来的时候，则有：
 - 如果 reg_newer 为 0，则 VICAP 将不会接收数据，置硬件状态为 SNOOZE，等待下一场/帧的数据的到来。
 - 如果 reg_newer 为 1，则开始接收数据，同时给出寄存器更新中断 (reg_update_int)，并设置硬件状态为 busy。
- 当接收完毕当前数据后，清除硬件 busy 状态。等到下一场/帧到来的时候，则：
 - 如果 reg_newer 为 0，则放弃下一场/帧数据的接收。
 - 如果 reg_newer 为 1，则可以紧接着前一次数据继续接收下一场/帧的数据。

11.1.4.2 硬件工作流程

VICAP 的硬件工作流程如图 11-12 所示。

图11-12 VICAP 的硬件工作流程



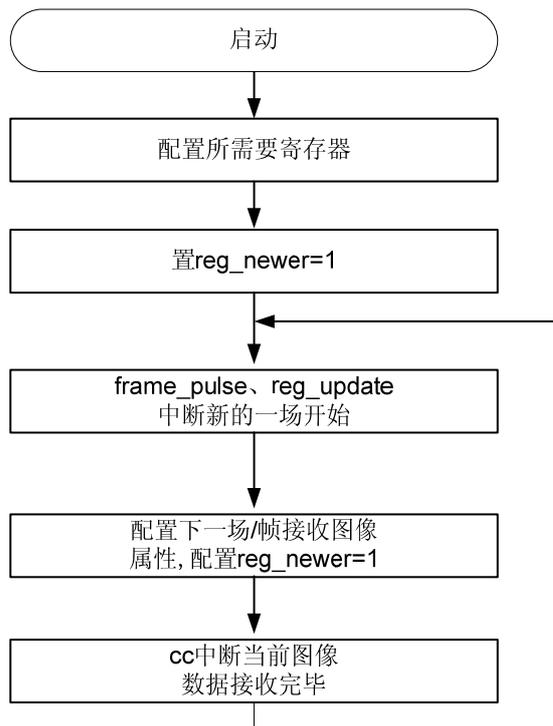


每接收完一场/帧规定数据，在下一场的到来时，VICAP 将检测 `reg_newer` 位。如果 `reg_newer` 位为 1（表示软件已经更新或者确认 VICAP 的寄存器），VICAP 将自动 load 软件所配置的寄存器值到工作寄存器（工作寄存器软件不可访问），然后将 `reg_newer` 位清 0，并开始接收下一场/帧数据。否则，只有等到 `reg_newer` 为 1 且新的一场/帧到来时开始接收数据。

11.1.4.3 软件配置流程

在中断方式下，软件的操作流程如图 11-13 所示。

图11-13 软件操作流程



在使用 BT.656 模式和 BT.1120 模式下，不需要配置时序寄存器。

11.1.5 寄存器概览

VICAP 寄存器空间分配如图 11-14 所示。



注意

由于最多外接 2 个端口，因此，表 11-5 中 PT_ 为前缀的寄存器只存在于 0 和 4 通道中；0x0000 ~ 0x0200 为 VICAP 系统寄存器。



- 端口 0 的数据可连接到通道 0、1、2、3。
- 端口 1 的数据可连接到通道 4、5、6、7。

图11-14 VICAP 寄存器空间分配

0x0000	VICAP系统寄存器		
0x10000	PORT0寄存器	0x10300	CH0寄存器
		0x12300	CH1寄存器
0x14000	PORT1寄存器	0x14300	CH2寄存器
		0x16300	CH3寄存器
0x18000	PORT2寄存器	0x18300	CH4寄存器
		0x1A300	CH5寄存器
0x1C000	PORT3寄存器	0x1C300	CH6寄存器
		0x1E300	CH7寄存器
0x20000	PORT4寄存器	0x20300	CH8寄存器
		0x22300	CH9寄存器
0x24000	PORT5寄存器	0x24300	CH10寄存器
		0x26300	CH11寄存器
0x28000	PORT6寄存器	0x28300	CH12寄存器
		0x2A300	CH13寄存器
0x2C000	PORT7寄存器	0x2C300	CH14寄存器
		0x2E300	CH15寄存器

注：图中以0x标注的地址为偏移地址

寄存器概览如表 11-5 所示。

说明

表 11-5 中的寄存器针对 PORT0 和 CH0。

- 表 11-5 中 PT_XXX 是以 PORT0 为例进行介绍，PORT1 ~ PORT7 的寄存器与 PORT0 相比，除偏移地址不同外，其他均相同；
- 表 11-5 中 CH_XXX 是以 chn0 为例进行介绍，CH1 ~ CH15 的寄存器与 CH0 相比，除偏移地址不同外，其他均相同。

表11-5 寄存器概览（基址是 0x2058_0000）

偏移地址	名称	描述	页码
0x0000	WK_MODE	全局工作配置寄存器	11-15
0x0004	AXI_CFG	总线配置寄存器	11-15
0x0008	MIXER0_PRO_CFG0	MASTER 优先级配置寄存器	11-16
0x0100	VICAP_INT	中断指示寄存器	11-17



偏移地址	名称	描述	页码
0x10000	PT_INTF_MOD	接口模式寄存器	11-18
0x10004	PT_R_MASK_L	R 分量 mask 寄存器	11-20
0x10008	PT_B_MASK_L	B 分量 mask 寄存器	11-20
0x1000C	PT_G_MASK_L	G 分量 mask 寄存器	11-20
0x10014	PT_R_OFFSET_L	R 分量偏移寄存器	11-21
0x10018	PT_B_OFFSET_L	B 分量偏移寄存器	11-21
0x1001C	PT_G_OFFSET_L	G 分量偏移寄存器	11-22
0x10040	PT_TEST_CFG	接口测试配置寄存器	11-22
0x10044	PT_ID_STATUS	接口 ID 状态寄存器	11-23
0x10300	CH_INTF_CFG0	接口时序寄存器 0	11-23
0x10304	CH_INTF_CFG1	接口时序寄存器 1	11-24
0x10360	CH_FSTART_DLY	帧同步延迟寄存器	11-26
0x10400	CH_CTRL	通道控制寄存器	11-26
0x10404	CH_REG_NEWER	采集控制寄存器	11-27
0x10410	CH_CROP_START	CROP 起始位置寄存器	11-27
0x10414	CH_CROP_SIZE	CROP 大小置寄存器	11-27
0x10418	CH_YDES_SIZE	原始码流亮度存储大小寄存器	11-28
0x1041C	CH_CDES_SIZE	原始码流色度存储大小寄存器	11-28
0x10420	CH_YBASE_ADDR	原始码流亮度存储基地址寄存器	11-29
0x10424	CH_CBASE_ADDR	原始码流色度存储基地址寄存器	11-29
0x10428	CH_YLINE_OFFSET	原始码流亮度行偏移寄存器	11-30
0x1042C	CH_CLINE_OFFSET	原始码流色度行偏移寄存器	11-30
0x10430	CH_INT_RAW	通道原始中断寄存器	11-30
0x10434	CH_INT	通道中断寄存器	11-32
0x10438	CH_INT_MASK	通道中断屏蔽寄存器	11-33
0x1043C	CH_STATUS	通道状态寄存器	11-34
0x10440	CH_IPI_STATUS_SIZE	通道大小指示寄存器	11-35
0x10444	CH_IPI_STATUS_SEAV	通道 SEAV 指示寄存器	11-35
0x10500	CH_DITHER_CFG	Dither 配置寄存器	11-36



偏移地址	名称	描述	页码
0x10504	CH_DITHER_COEF0	Dither 系数寄存器 0	11-36
0x10508	CH_DITHER_COEF1	Dither 系数寄存器 1	11-37
0x1050C	CH_DITHER_SIZE	Dither 模块的输入图像宽度寄存器	11-37
0x10510	CH_MIR_CTRL	原始码流镜像控制寄存器	11-37
0x10700	CH_MSC_CFG	块屏蔽配置寄存器	11-38
0x10710	CH_BLOCK0_START	块 0 屏蔽起始位置寄存器	11-39
0x10714	CH_BLOCK1_START	块 1 屏蔽起始位置寄存器	11-39
0x10718	CH_BLOCK2_START	块 2 屏蔽起始位置寄存器	11-40
0x1071C	CH_BLOCK3_START	块 3 屏蔽起始位置寄存器	11-40
0x10750	CH_BLOCK0_SIZE	块 0 屏蔽大小寄存器	11-41
0x10754	CH_BLOCK1_SIZE	块 1 屏蔽大小寄存器	11-41
0x10758	CH_BLOCK2_SIZE	块 2 屏蔽大小寄存器	11-42
0x1075C	CH_BLOCK3_SIZE	块 3 屏蔽大小寄存器	11-42
0x10790	CH_BLOCK0_COLOR	块 0 屏蔽颜色寄存器	11-42
0x10794	CH_BLOCK1_COLOR	块 1 屏蔽颜色寄存器	11-43
0x10798	CH_BLOCK2_COLOR	块 2 屏蔽颜色寄存器	11-43
0x1079C	CH_BLOCK3_COLOR	块 3 屏蔽颜色寄存器	11-44
0x10800	CH_VCDS_CFG	主码流色度垂直下采样配置寄存器	11-44
0x10808	CH_VCDS_COEF	主码流色度垂直下采样系数寄存器	11-45
0x10940	CH_LHFIR_SPH	亮度水平缩放参数配置寄存器	11-45
0x10944	CH_CHFIR_SPH	色度水平缩放参数配置寄存器	11-46
0x10948	CH_LHFIR_OFFSET	亮度缩放水平位置偏移寄存器	11-46
0x1094C	CH_CHFIR_OFFSET	色度缩放水平位置偏移寄存器	11-47
0x10B00	CH_Y_CLIP_CFG	亮度 CLIP 配置寄存器	11-47
0x10B04	CH_C_CLIP_CFG	色度 CLIP 配置寄存器	11-48
0x10C00	CH_SUM_Y	输入图像的亮度和统计寄存器	11-48



11.1.6 寄存器描述

WK_MODE

WK_MODE 为全局工作配置寄存器。

	Offset Address 0x0000								Register Name WK_MODE								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																pt1_mode	pt0_mode	reserved																power_mode	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:18]	RO		reserved		保留。																															
[17]	RW		pt1_mode		端口 1 工作模式。 0: D1 或 960H 模式; 1: 720p 模式。																															
[16]	RW		pt0_mode		端口 0 工作模式。 0: D1 或 960H 模式; 1: 720p 或 1080p 模式。																															
[15:1]	RO		reserved		保留。																															
[0]	RW		power_mode		时钟模式。 0: 低功耗关闭; 1: 低功耗打开。																															

AXI_CFG

AXI_CFG 为总线配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x0004		AXI_CFG		0xF0F0_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			m0_id	reserved			m0_otd
Reset	1 1 1 1	0 0 0 0	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:16]	RW	m0_id	ID 号。					
[15:4]	RO	reserved	保留。					
[3:0]	RW	m0_otd	outstanding 个数。 outstanding 应该大于 0，小于等于 4。					

MIXER0_PRO_CFG0

MIXER0_PRO_CFG0 为 MASTER 优先级配置寄存器。

Offset Address		Register Name		Total Reset Value															
0x0008		MIXER0_PRO_CFG0		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	reserved			ch7_c_pro	ch7_y_pro	ch6_c_pro	ch6_y_pro	ch5_c_pro	ch5_y_pro	ch4_c_pro	ch4_y_pro	ch3_c_pro	ch3_y_pro	ch2_c_pro	ch2_y_pro	ch1_c_pro	ch1_y_pro	ch0_c_pro	ch0_y_pro
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																
[31:16]	RO	reserved	保留。																
[15]	RW	ch7_c_pro	通道 7 色度优先级设置，0 为高优先级。																
[14]	RW	ch7_y_pro	通道 7 亮度优先级设置，0 为高优先级。																
[13]	RW	ch6_c_pro	通道 6 色度优先级设置，0 为高优先级。																
[12]	RW	ch6_y_pro	通道 6 亮度优先级设置，0 为高优先级。																
[11]	RW	ch5_c_pro	通道 5 色度优先级设置，0 为高优先级。																
[10]	RW	ch5_y_pro	通道 5 亮度优先级设置，0 为高优先级。																
[9]	RW	ch4_c_pro	通道 4 色度优先级设置，0 为高优先级。																
[8]	RW	ch4_y_pro	通道 4 亮度优先级设置，0 为高优先级。																



[7]	RW	ch3_c_pro	通道 3 色度优先级设置，0 为高优先级。
[6]	RW	ch3_y_pro	通道 3 亮度优先级设置，0 为高优先级。
[5]	RW	ch2_c_pro	通道 2 色度优先级设置，0 为高优先级。
[4]	RW	ch2_y_pro	通道 2 亮度优先级设置，0 为高优先级。
[3]	RW	ch1_c_pro	通道 1 色度优先级设置，0 为高优先级。
[2]	RW	ch1_y_pro	通道 1 亮度优先级设置，0 为高优先级。
[1]	RW	ch0_c_pro	通道 0 色度优先级设置，0 为高优先级。
[0]	RW	ch0_y_pro	通道 0 亮度优先级设置，0 为高优先级。

VICAP_INT

VICAP_INT 为中断指示寄存器。

	Offset Address 0x0100								Register Name VICAP_INT								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				int_ch7	int_ch6	int_ch5	int_ch4	int_ch3	int_ch2	int_ch1	int_ch0				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7]	RO		int_ch7		通道 7 中断指示。 0: 无中断; 1: 有中断。																											
[6]	RO		int_ch6		通道 6 中断指示。 0: 无中断; 1: 有中断。																											
[5]	RO		int_ch5		通道 5 中断指示。 0: 无中断; 1: 有中断。																											
[4]	RO		int_ch4		通道 4 中断指示。 0: 无中断; 1: 有中断。																											



[3]	RO	int_ch3	通道 3 中断指示。 0: 无中断; 1: 有中断。
[2]	RO	int_ch2	通道 2 中断指示。 0: 无中断; 1: 有中断。
[1]	RO	int_ch1	通道 1 中断指示。 0: 无中断; 1: 有中断。
[0]	RO	int_ch0	通道 0 中断指示。 0: 无中断; 1: 有中断。

PT_INTF_MOD

PT_INTF_MOD 为接口模式寄存器。

Offset Address		Register Name		Total Reset Value																	
0x10000		PT_INTF_MOD		0x0000_0000																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved				interleave_seq	ch3_id_en	ch2_id_en	ch1_id_en	ch0_id_en	ch3_id	ch2_id	ch1_id	ch0_id	port_cap_mode	port_mux_mode	fix_code	reserved	port_mod	reserved	clk_mode	port_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																		
[31:25]	-	reserved	端口寄存器，共 2 个端口。 偏移地址： 0x1_0000~0x1_00FF 为端口 0 的地址； 0x1_8000~0x1_80FF 为端口 1 的地址； 以下只列出端口 0 的地址，其他端口的寄存器与端口 0 相同。																		
[24]	RW	interleave_seq	interleave 时的 YC 顺序。 0: C 在前； 1: Y 在前。																		



[23]	RW	ch3_id_en	3 通道 ID 使能。 0: 不检测 ID; 1: 通过 ID 选择数据通路。
[22]	RW	ch2_id_en	2 通道 ID 使能。 0: 不检测 ID; 1: 通过 ID 选择数据通路。
[21]	RW	ch1_id_en	1 通道 ID 使能。 0: 不检测 ID; 1: 通过 ID 选择数据通路。
[20]	RW	ch0_id_en	0 通道 ID 使能。 0: 不检测 ID; 1: 通过 ID 选择数据通路。
[19:18]	RW	ch3_id	3 通道 ID 使能时, 根据 ID 选择数据通路。
[17:16]	RW	ch2_id	2 通道 ID 使能时, 根据 ID 选择数据通路。
[15:14]	RW	ch1_id	1 通道 ID 使能时, 根据 ID 选择数据通路。
[13:12]	RW	ch0_id	0 通道 ID 使能时, 根据 ID 选择数据通路。
[11:10]	RW	port_cap_mode	端口模式。 00: BT656/BT.1120 模式; 11: interleave 模式; 其他: 保留。
[9:8]	RW	port_mux_mode	复合模式。 00: 1 路复合模式; 01: 2 路复合模式; 10: 4 路复合模式; 11: 保留。
[7]	RW	fix_code	同步码最高 bit。 0: 同步码最高 bit 为 1; 1: 同步码最高 bit 为 0。
[6:5]	RO	reserved	保留。
[4:3]	RW	port_mod	端口模式。 00: 单分量输入; 01: 双分量输入; 其他: 保留。
[2]	RO	reserved	保留。



[1]	RW	clk_mode	时钟模式。 0: 上升沿采样; 1: 下降沿采样。
[0]	RW	port_en	端口使能。 0: 关闭; 1: 使能。

PT_R_MASK_L

PT_R_MASK_L 为 R 分量 mask 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x10004	PT_R_MASK_L	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	r_mask		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	r_mask	R 分量 mask。

PT_B_MASK_L

PT_B_MASK_L 为 B 分量 mask 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x10008	PT_B_MASK_L	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	b_mask		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	b_mask	B 分量 mask。

PT_G_MASK_L

PT_G_MASK_L 为 G 分量 mask 寄存器。



Offset Address		Register Name		Total Reset Value				
0x1000C		PT_G_MASK_L		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	g_mask							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	g_mask	G 分量 mask。					

PT_R_OFFSET_L

PT_R_OFFSET_L 为 R 分量偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x10014		PT_R_OFFSET_L		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						r_offset	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	r_offset	R 分量偏移。					

PT_B_OFFSET_L

PT_B_OFFSET_L 为 B 分量偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x10018		PT_B_OFFSET_L		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						b_offset	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	b_offset	B 分量偏移。					



PT_G_OFFSET_L

PT_G_OFFSET_L 为 G 分量偏移寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1001C				PT_G_OFFSET_L				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																g_offset															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	-		reserved		保留。																											
[7:0]	RW		g_offset		G 分量偏移。																											

PT_TEST_CFG

PT_TEST_CFG 为接口测试配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x10040				PT_TEST_CFG				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																interlace	hsync_sel	cbar_en													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	RO		reserved		保留。																											
[2]	RW		interlace		隔行逐行模式。 0: 逐行; 1: 隔行。																											
[1]	RW		hsync_sel		测试模式行同步信号选择。																											
[0]	RW		cbar_en		color_bar 测试使能。 0: 关闭; 1: 使能;																											



PT_ID_STATUS

PT_ID_STATUS 为接口 ID 状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x10044				PT_ID_STATUS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																id3	id2	id1	id0												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7:6]	RO		id3		通道 3 ID 号码。																											
[5:4]	RO		id2		通道 2 ID 号码。																											
[3:2]	RO		id1		通道 1 ID 号码。																											
[1:0]	RO		id0		通道 0 ID 号码。																											

CH_INTF_CFG0

CH_INTF_CFG0 为接口时序寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x10300		CH_INTF_CFG0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																port_scan_mod		port_mode		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:9]	RO	reserved	通道寄存器，共 8 个通道。 偏移地址： 0x1_0300~0x1_0FFF 为通道 0 的地址； 0x1_2300~0x1_2FFF 为通道 1 的地址； 0x1_4300~0x1_4FFF 为通道 2 的地址； 0x1_6300~0x1_6FFF 为通道 3 的地址； 0x1_8300~0x1_8FFF 为通道 4 的地址； 0x1_A300~0x1_AFFF 为通道 5 的地址； 0x1_C300~0x1_CFFF 为通道 6 的地址； 0x1_E300~0x1_EFFF 为通道 7 的地址。																													
[8:7]	RW	port_scan_mod	端口数据输入模式。 bit[8]: Scan_mode[1]。 0: 亮度色度复合模式； 1: 亮度色度分离模式。 bit[7]: Scan_mode[0]。 0: 隔行输入模式； 1: 逐行输入模式。																													
[6:5]	RW	port_mode	端口数据接收模式。 00: BT.656/BT.1120 模式； 其他: 保留。																													
[4:0]	RO	reserved	保留。																													

CH_INTF_CFG1

CH_INTF_CFG1 为接口时序寄存器 1。



Offset Address		Register Name		Total Reset Value									
0x10304		CH_INTF_CFG1		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				port_mod	reserved			yuv_seq	ftc_cfg	ftc_polar	reserved	sav_ver_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:16]	RO	reserved	保留。										
[15:14]	RW	port_mod	端口模式。 00: 单分量输入; 01: 双分量输入; 10: 三分量输入; 11: 保留。										
[13:6]	RO	reserved	保留。										
[5:4]	RW	yuv_seq	YUV 输入顺序寄存器。 00: UYVY; 01: VYUY; 10: YUYV; 11: YVYU。 当为两分量的时候, 表示 UV 顺序。 00: VUVU; 01: UVUV; 10/11: 保留。										
[3]	RW	ftc_cfg	BT.656 定时基准码最高 bit 配置。 0: 固定为 1; 1: 固定为 0。										
[2]	RW	ftc_polar	BT.656 定时基准码场指示位(F)极性。 0: 1st field:F=0, 2nd field:F=1(标准); 1: 1st field:F=1, 2nd field:F=0(非标准)。										
[1]	RO	reserved	保留。										



[0]	RW	sav_ver_en	SAV(Start of Active Video)/EAV(End of Activevideo)数据校验使能。 0: 不使能校验; 1: 使能校验。
-----	----	------------	--

CH_FSTART_DLY

CH_FSTART_DLY 为帧同步延迟寄存器。

	Offset Address	Register Name	Total Reset Value				
	0x10360	CH_FSTART_DLY	0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20				
	19 18 17 16	15 14 13 12	11 10 9 8				
	7 6 5 4	3 2 1 0					
Name	reserved						
Reset	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description				
[31:0]	RW	reserved	帧同步延迟寄存器。				

CH_CTRL

CH_CTRL 为通道控制寄存器。

	Offset Address	Register Name	Total Reset Value					
	0x10400	CH_CTRL	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20					
	19 18 17 16	15 14 13 12	11 10 9 8					
	7 6 5 4	3 2 1 0						
Name	reserved							ch_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0					
	0 0 0 0	0 0 0 0	0 0 0 0					
	0 0 0 0	0 0 0 0	0 0 0 0					
	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RW	ch_en	通道使能。 0: 不使能; 1: 使能。					



CH_REG_NEWER

CH_REG_NEWER 为采集控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x10404		CH_REG_NEWER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								reg_newer
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	reg_newer	通道更新寄存器，每帧自动清 0。						

CH_CROP_START

CH_CROP_START 为 CROP 起始位置寄存器。

Offset Address		Register Name		Total Reset Value				
0x10410		CH_CROP_START		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	y_start			reserved	x_start		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:16]	RW	y_start	开始获取图像的行号。					
[15:12]	RO	reserved	保留。					
[11:0]	RW	x_start	开始获取图像的像素号。					

CH_CROP_SIZE

CH_CROP_SIZE 为 CROP 大小置寄存器。



Offset Address		Register Name		Total Reset Value					
0x10414		CH_CROP_SIZE		0x023F_03BF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	crop_hgt			reserved	crop_wth			
Reset	0 0 0 0	0 0 1 0	0 0 1 1	1 1 1 1	0 0 0 0	0 0 1 1	1 0 1 1	1 1 1 1	
Bits	Access	Name		Description					
[31:28]	RO	reserved		保留。					
[27:16]	RW	crop_hgt		获取图像的高度(以行为单位)。					
[15:12]	RO	reserved		保留。					
[11:0]	RW	crop_wth		获取图像一行的宽度(以像素为单位)。					

CH_YDES_SIZE

CH_YDES_SIZE 为亮度存储大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x10418		CH_YDES_SIZE		0x023F_03BF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	height			reserved	width			
Reset	0 0 0 0	0 0 1 0	0 0 1 1	1 1 1 1	0 0 0 0	0 0 1 1	1 0 1 1	1 1 1 1	
Bits	Access	Name		Description					
[31:28]	RW	reserved		保留。					
[27:16]	RW	height		Y 分量的输出高度(以行为单位)。					
[15:12]	RO	reserved		保留。					
[11:0]	RW	width		Y 分量的输出宽度(以像素为单位)。					

CH_CDES_SIZE

CH_CDES_SIZE 为色度存储大小寄存器。



Offset Address		Register Name		Total Reset Value					
0x1041C		CH_CDES_SIZE		0x023F_03BF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	height			reserved	width			
Reset	0 0 0 0	0 0 1 0	0 0 1 1	1 1 1 1	0 0 0 0	0 0 1 1	1 0 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:28]	RW	reserved	保留。						
[27:16]	RW	height	C 分量的输出高度(以行为单位)。						
[15:12]	RO	reserved	保留。						
[11:0]	RW	width	C 分量的输出宽度(以像素为单位)。						

CH_YBASE_ADDR

CH_YBASE_ADDR 为亮度存储基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x10420		CH_YBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ybase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ybase_addr	原始码流亮度存储基地址。					

CH_CBASE_ADDR

CH_CBASE_ADDR 为色度存储基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x10424		CH_CBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cbase_addr	原始码流色度存储基地址。					



CH_YLINE_OFFSET

CH_YLINE_OFFSET 为亮度行偏移寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x10428				CH_YLINE_OFFSET								0x0000_03C0																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																y_stride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:0]	RW		y_stride		图像存储亮度的 stride, 以 byte 为单位。																											

CH_CLINE_OFFSET

CH_CLINE_OFFSET 为色度行偏移寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x1042C				CH_CLINE_OFFSET								0x0000_03C0																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																c_stride															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:0]	RW		c_stride		图像存储色度的 stride, 以 byte 为单位。																											

CH_INT_RAW

CH_INT_RAW 为通道原始中断寄存器。



Offset Address		Register Name		Total Reset Value																												
0x10430		CH_INT_RAW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												bus_err	buf_ovf	cc_int	reserved						timing_err	field_throw	reserved						reg_update	fstart	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:19]	RO	reserved	保留。																													
[18]	WC	bus_err	总线错误中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[17]	WC	buf_ovf	内部 FIFO 溢出错误中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[16]	WC	cc_int	获取完毕中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[15:10]	RO	reserved	保留。																													
[9]	WC	timing_err	时序错误中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[8]	WC	field_throw	场/帧丢失中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[7:2]	RO	reserved	保留。																													
[1]	WC	reg_update	寄存器更新中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[0]	WC	fstart	帧/场起始中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													



CH_INT

CH_INT 为通道中断寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x10434				CH_INT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								bus_err	buf_ovf	cc_int	reserved				timing_err	field_throw	reserved				reg_update	fstart									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:19]	RO	reserved	保留。																													
[18]	RO	bus_err	总线错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[17]	RO	buf_ovf	内部 FIFO 溢出错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[16]	RO	cc_int	获取完毕中断状态。 0: 无原始中断; 1: 有原始中断。																													
[15:10]	RO	reserved	保留。																													
[9]	RO	timing_err	时序错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[8]	RO	field_throw	场/帧丢失中断状态。 0: 无原始中断; 1: 有原始中断。																													
[7:2]	RO	reserved	保留。																													
[1]	RO	reg_update	寄存器更新中断状态。 0: 无原始中断; 1: 有原始中断。																													
[0]	RO	fstart	帧/场起始中断状态。 0: 无原始中断; 1: 有原始中断。																													



CH_INT_MASK

CH_INT_MASK 为通道中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value																												
0x10438		CH_INT_MASK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												bus_err_en	buf_ovf_en	cc_int_en	reserved				timing_err_en	field_throw_en	reserved				reg_update_en	fstart_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:19]	RO	reserved	保留。																													
[18]	RW	bus_err_en	总线错误中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[17]	RW	buf_ovf_en	内部 FIFO 溢出错误中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[16]	RW	cc_int_en	获取完毕中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[15:10]	RO	reserved	保留。																													
[9]	RW	timing_err_en	时序错误中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[8]	RW	field_throw_en	场/帧丢失中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[7:2]	RO	reserved	保留。																													
[1]	RW	reg_update_en	寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。																													



[0]	RW	fstart_en	帧/场起始中断使能。 0: 屏蔽中断; 1: 使能中断。
-----	----	-----------	------------------------------------

CH_STATUS

CH_STATUS 为通道状态寄存器。

	Offset Address 0x1043C								Register Name CH_STATUS								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								busy	bus_err	buf_ovf	image_done	reserved				timing_err	field_throw	reserved								field2									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:20]	RO		reserved		保留。																															
[19]	RO		busy		工作状态。 0: 空闲; 1: 忙。																															
[18]	RO		bus_err		总线错误。 0: 总线正确; 1: 总线错误。																															
[17]	RO		buf_ovf		内部 buffer 溢出。 0: 未溢出; 1: 溢出。																															
[16]	RO		image_done		获取完毕。 0: 未接受完毕; 1: 接受完毕。																															
[15:10]	RO		reserved		保留。																															
[9]	RO		timing_err		时序错误状态。 0: 时序正确; 1: 时序错误。																															



[8]	RO	field_throw	丢失场/帧数据。 0: 未丢失; 1: 丢失。
[7:1]	RO	reserved	保留。
[0]	RO	field2	奇偶场指示。 0: 奇场; 1: 偶场。

CH_IPI_STATUS_SIZE

CH_IPI_STATUS_SIZE 为通道状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x10440		CH_IPI_STATUS_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	height				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	height	图像高度。						
[15:0]	RO	reserved	保留。						

CH_IPI_STATUS_SEAV

CH_IPI_STATUS_SEAV 为通道状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x10444		CH_IPI_STATUS_SEAV		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				SEAV		reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:8]	RO	SEAV	SEAV 码的值。						
[7:0]	RO	reserved	保留。						



CH_DITHER_CFG

CH_DITHER_CFG 为 Dither 配置寄存器

Offset Address		Register Name		Total Reset Value					
0x10500		CH_DITHER_CFG		0xE000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dither_md reserved								
Reset	1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RW	dither_md	Dither 模式选择。 000: 12bit 输入, 10bit 输出, 不做 dither, 直接截位; 001: 12bit 输入, 10bit 输出, 时域 dither; 010: 12bit 输入, 10bit 输出, 空域 dither; 011: 12bit 输入, 8bit 输出, 时域与空域 dither。 100: 12bit 输入, 10bit 输出, 四舍五入。 101: 12bit 输入, 8bit 输出, 四舍五入。 111: Dither bypass。						
[28:0]	RO	reserved	保留。						

CH_DITHER_COEF0

CH_DITHER_COEF0 为 Dither 系数寄存器 0。

Offset Address		Register Name		Total Reset Value					
0x10504		CH_DITHER_COEF0		0xDD66_4400					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dither_coef3		dither_coef2		dither_coef1		dither_coef0		
Reset	1 1 0 1	1 1 0 1	0 1 1 0	0 1 1 0	0 1 0 0	0 1 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	dither_coef3	时域模式 Dither 使用的系数 3。						
[23:16]	RW	dither_coef2	时域模式 Dither 使用的系数 2。						
[15:8]	RW	dither_coef1	时域模式 Dither 使用的系数 1。						
[7:0]	RW	dither_coef0	时域模式 Dither 使用的系数 0。						



CH_DITHER_COEF1

CH_DITHER_COEF1 为 Dither 系数寄存器 1。

	Offset Address	Register Name	Total Reset Value
	0x10508	CH_DITHER_COEF1	0xDD66_4400
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	dither_coef7		dither_coef6
Reset	1 1 0 1 1 1 0 1 0 1 1 0 0 1 1 0 0 1 0 0 0 1 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:24]	RW	dither_coef7	时域模式 Dither 使用的系数 7。
[23:16]	RW	dither_coef6	时域模式 Dither 使用的系数 6。
[15:8]	RW	dither_coef5	时域模式 Dither 使用的系数 5。
[7:0]	RW	dither_coef4	时域模式 Dither 使用的系数 4。

CH_DITHER_SIZE

CH_DITHER_SIZE 为 Dither 模块的输入图像宽度寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1050C	CH_DITHER_SIZE	0x0000_03BF
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		width
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 0 1 1 1 1 1 1		
Bits	Access	Name	Description
[31:12]	RW	reserved	保留。
[11:0]	RW	width	dither 模块的输入图像宽度。

CH_MIR_CTRL

CH_MIR_CTRL 为原始码流镜像控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x10510		CH_MIR_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							flip_en	mir_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	flip_en	垂直反向使能。 0: 不使能; 1: 使能。						
[0]	RW	mir_en	水平反向使能。 0: 不使能; 1: 使能。						

CH_MSC_CFG

CH_MSC_CFG 为块屏蔽配置寄存器。

Offset Address		Register Name		Total Reset Value							
0x10700		CH_MSC_CFG		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							msc3_en	msc2_en	msc1_en	msc0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	-	reserved	保留。								
[3]	RW	msc3_en	遮挡块 3 使能。 0: 不使能; 1: 使能。								
[2]	RW	msc2_en	遮挡块 2 使能。 0: 不使能; 1: 使能。								



[1]	RW	masc1_en	遮挡块 1 使能。 0: 不使能; 1: 使能。
[0]	RW	masc0_en	遮挡块 0 使能。 0: 不使能; 1: 使能。

CH_BLOCK0_START

CH_BLOCK0_START 为块 0 屏蔽起始位置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x10710				CH_BLOCK0_START								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				y_start								reserved				x_start															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27:16]	RW		y_start		遮挡块 0 垂直起始点。																											
[15:12]	RO		reserved		保留。																											
[11:0]	RW		x_start		遮挡块 0 水平起始点。																											

CH_BLOCK1_START

CH_BLOCK1_START 为块 1 屏蔽起始位置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x10714				CH_BLOCK1_START								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				y_start								reserved				x_start															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27:16]	RW		y_start		遮挡块 1 垂直起始点。																											
[15:12]	RO		reserved		保留。																											



Offset Address		Register Name		Total Reset Value					
0x10714		CH_BLOCK1_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name		Description					
[11:0]	RW	x_start		遮挡块 1 水平起始点。					

CH_BLOCK2_START

CH_BLOCK2_START 为块 2 屏蔽起始位置寄存器。

Offset Address		Register Name		Total Reset Value					
0x10718		CH_BLOCK2_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name		Description					
[31:28]	RO	reserved		保留。					
[27:16]	RW	y_start		遮挡块 2 垂直起始点。					
[15:12]	RO	reserved		保留。					
[11:0]	RW	x_start		遮挡块 2 水平起始点。					

CH_BLOCK3_START

CH_BLOCK3_START 为块 3 屏蔽起始位置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1071C		CH_BLOCK3_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name		Description					
[31:28]	RO	reserved		保留。					



[27:16]	RW	y_start	遮挡块 3 垂直起始点。
[15:12]	RO	reserved	保留。
[11:0]	RW	x_start	遮挡块 3 水平起始点。

CH_BLOCK0_SIZE

CH_BLOCK0_SIZE 为块 0 屏蔽大小寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x10750				CH_BLOCK0_SIZE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				blk_height								reserved				blk_width															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits					Access				Name				Description																			
[31:28]	RO				reserved				保留。																							
[27:16]	RW				blk_height				遮挡块 0 垂直高度-1。																							
[15:12]	RO				reserved				保留。																							
[11:0]	RW				blk_width				遮挡块 0 水平宽度-1。																							

CH_BLOCK1_SIZE

CH_BLOCK1_SIZE 为块 1 屏蔽大小寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x10754				CH_BLOCK1_SIZE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				blk_height								reserved				blk_width															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits					Access				Name				Description																			
[31:28]	RO				reserved				保留。																							
[27:16]	RW				blk_height				遮挡块 1 垂直高度-1。																							
[15:12]	RO				reserved				保留。																							
[11:0]	RW				blk_width				遮挡块 1 水平宽度-1。																							



CH_BLOCK2_SIZE

CH_BLOCK2_SIZE 为块 2 屏蔽大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x10758		CH_BLOCK2_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	blk_height			reserved	blk_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:16]	RW	blk_height	遮挡块 2 垂直高度-1。						
[15:12]	RO	reserved	保留。						
[11:0]	RW	blk_width	遮挡块 2 水平宽度-1。						

CH_BLOCK3_SIZE

CH_BLOCK3_SIZE 为块 3 屏蔽大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x1075C		CH_BLOCK3_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	blk_height			reserved	blk_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:16]	RW	blk_height	遮挡块 3 垂直高度-1。						
[15:12]	RO	reserved	保留。						
[11:0]	RW	blk_width	遮挡块 3 水平宽度-1。						

CH_BLOCK0_COLOR

CH_BLOCK0_COLOR 为块 0 屏蔽颜色寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x10790				CH_BLOCK0_COLOR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				blk_cr				blk_cb				blk_y																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RO	reserved	保留。																													
[23:16]	RW	blk_cr	遮挡块 0 填充色 Cr 分量。																													
[15:8]	RW	blk_cb	遮挡块 0 填充色 Cb 分量。																													
[7:0]	RW	blk_y	遮挡块 0 填充色 Y 分量。																													

CH_BLOCK1_COLOR

CH_BLOCK1_COLOR 为块 1 屏蔽颜色寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x10794				CH_BLOCK1_COLOR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				blk_cr				blk_cb				blk_y																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RO	reserved	保留。																													
[23:16]	RW	blk_cr	遮挡块 1 填充色 Cr 分量。																													
[15:8]	RW	blk_cb	遮挡块 1 填充色 Cb 分量。																													
[7:0]	RW	blk_y	遮挡块 1 填充色 Y 分量。																													

CH_BLOCK2_COLOR

CH_BLOCK2_COLOR 为块 2 屏蔽颜色寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x10798				CH_BLOCK2_COLOR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				blk_cr				blk_cb				blk_y																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RO	reserved	保留。																													
[23:16]	RW	blk_cr	遮挡块 2 填充色 Cr 分量。																													
[15:8]	RW	blk_cb	遮挡块 2 填充色 Cb 分量。																													
[7:0]	RW	blk_y	遮挡块 2 填充色 Y 分量。																													

CH_BLOCK3_COLOR

CH_BLOCK3_COLOR 为块 3 屏蔽颜色寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x1079C				CH_BLOCK3_COLOR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				blk_cr				blk_cb				blk_y																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RO	reserved	保留。																													
[23:16]	RW	blk_cr	遮挡块 3 填充色 Cr 分量。																													
[15:8]	RW	blk_cb	遮挡块 3 填充色 Cb 分量。																													
[7:0]	RW	blk_y	遮挡块 3 填充色 Y 分量。																													

CH_VCDS_CFG

CH_VCDS_CFG 为主码流色度垂直下采样配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x10800		CH_VCDS_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cds_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	cds_en	下采样使能。 0: 下采样关闭; 1: 下采样使能。						

CH_VCDS_COEF

CH_VCDS_COEF 为主码流色度垂直下采样系数寄存器。

Offset Address		Register Name		Total Reset Value				
0x10808		CH_VCDS_COEF		0x0000_001F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			coef1	reserved			coef0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1
Bits	Access	Name	Description					
[31:21]	RO	reserved	保留。					
[20:16]	RW	coef1	下采样系数 1。					
[15:5]	RO	reserved	保留。					
[4:0]	RW	coef0	下采样系数 0。					

CH_LHFIR_SPH

CH_LHFIR_SPH 为亮度水平缩放参数配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x10940		CH_LHFIR_SPH		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hlmsc_en																reserved															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	RW	hlmsc_en	水平亮度缩放使能。 0: 禁止; 1: 使能。																													
[30:0]	RO	reserved	保留。																													

CH_CHFIR_SPH

CH_CHFIR_SPH 为色度水平缩放参数配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x10944		CH_CHFIR_SPH		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hchmsc_en																reserved															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	RW	hchmsc_en	水平色度缩放使能。 0: 禁止; 1: 使能。																													
[30:0]	RO	reserved	保留。																													

CH_LHFIR_OFFSET

CH_LHFIR_OFFSET 为亮度缩放水平位置偏移寄存器。



Offset Address		Register Name		Total Reset Value					
0x10948		CH_LHFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hluma_offset	reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	RO	reserved	保留。						
[16:12]	RW	hluma_offset	水平亮度起始位置偏移。 (s,5)格式，即 1bit 符号位，4bit 整数位，补码表示，范围-6~15。						
[11:0]	RO	reserved	保留。						

CH_CHFIR_OFFSET

CH_CHFIR_OFFSET 为色度缩放水平位置偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x1094C		CH_CHFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hchroma_offset	reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	RO	reserved	保留。						
[16:12]	RW	hchroma_offset	水平色度起始位置偏移。 (s,5)格式，即 1bit 符号位，4bit 整数位，补码表示，范围-6~15。						
[11:0]	RO	reserved	保留。						

CH_Y_CLIP_CFG

CH_Y_CLIP_CFG 为亮度 CLIP 配置寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x10B00				CH_Y_CLIP_CFG								0x00FF_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				max								reserved				min															
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:16]	RW	max		输出的最大值。																											
	[15:8]	RO	reserved		保留。																											
	[7:0]	RW	min		输出的最小值。																											

CH_C_CLIP_CFG

CH_C_CLIP_CFG 为色度 CLIP 配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x10B04				CH_C_CLIP_CFG								0x00FF_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				max								reserved				min															
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:16]	RW	max		输出的最大值。																											
	[15:8]	RO	reserved		保留。																											
	[7:0]	RW	min		输出的最小值。																											

CH_SUM_Y

CH_SUM_Y 为输入图像的亮度和统计寄存器。



	Offset Address				Register Name				Total Reset Value																											
	0x10C00				CH_SUM_Y				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	sum_y																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:0]	RO	sum_y	亮度和统计信息。																																	

11.2 VDP

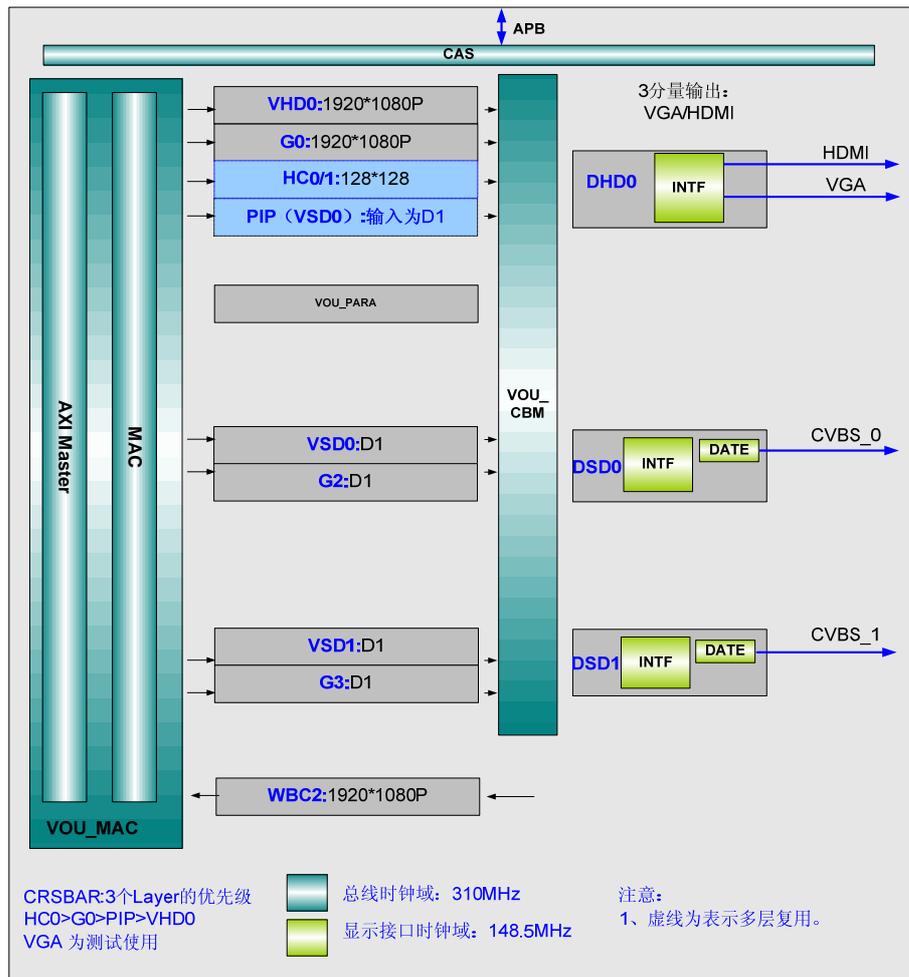
11.2.1 概述

VDP (Video Display) 模块主动从内存相应位置读取视频和图形数据，将视频层和图形层数据叠加后通过显示通道送出。

11.2.2 功能描述

VDP 的总体框图如图 11-15 所示。

图11-15 VDP 总体框图



- **Surface:** 总线输入的数据通路。其功能包括单个图层的总线数据读取、数据处理。Surface 包括：视频层（VHD0、VSD0、VSD1）、图形层（G0、G2、G3）和鼠标层 HC0。
- **Display Channel:** 显示通道。包括高清显示通道（DHD0）、标清显示通道（DSD0 和 DSD1）。
- **CBM (CrossBar and Mixer, 选通叠加器):** 视频层/图形层叠加。
- **PARA (Parameter, 参数):** 处理视频通道 ZME (Zoom Engine) 系数的更新、加载。
- **MAC (Memory Access Controller, 内存访问控制器):** 各 Surface 的总线申请仲裁模块。各模块通过 AXI (Advanced eXtensible Interface, 高级扩展接口) 总线从内存中读取数据，该模块对各 Surface 提出的申请进行仲裁。
- **CAS (Control And Status, 控制和状态):** 该模块主要是通过 APB (Advanced Peripheral Bus, 高级外围总线) 总线完成对寄存器的配置，并且各模块的状态信息通过该模块上报给 CPU。

VDP 寄存器主要按照模块全局、Surface 和 Display Channel 来分配：



- 模块全局寄存器
包括总线相关配置、中断、版本寄存器。
- Surface 寄存器
包括视频层、图形层配置寄存器。
- Display Channel 寄存器
包括 DHD、DSD 配置寄存器。
- 片内系数
视频层 ZME 系数。因为系数的数据量较大，因此通过 AXI Master 读取，不占用 CPU。

VDP 的特点如下：

- 数字输出接口
 - 高清支持 VGA（Video Graphics Array，视频图形阵列）输出、HDMI 1.4a（High Definition Multimedia Interface，高清晰度多媒体接口）输出
 - HDMI、VGA 同时显示同一通道数据
- 模拟输出接口
 - 标清通道 DSD0、DSD1 支持 CVBS（Composite Video Broadcast Signal，复合电视广播信号）输出
- 视频层（Video Surface）
 - 支持输入像素格式：Semi-Planar YCbCr4:2:2，Semi-Planar YCbCr4:2:0
 - 支持全局 alpha 值
 - 支持视频层的色彩空间转换，支持亮度、对比度、色调、饱和度调节
 - 支持垂直色度上采样
 - 支持水平色度上采样
 - 支持多区域读写（VHD0 为 16 区域）
 - 支持最大 8 倍的放大
- 图形层(Graphics Surface)
 - 支持 3 个图形层：图形层 0、2、3
 - 支持 1 个鼠标层：HC0
 - 支持的数据格式：ARGB8888、ARGB1555
 - 支持全局 alpha 和像素 alpha
 - 支持 3 种数据扩展模式：
 - 低位补 0
 - 低位补最高 bit
 - 低位补若干高 bit
 - 支持宽度和高度为偶数
 - G0 最小输入/输出分辨率 32x32，最大输入/输出分辨率为 1920×1080
 - G2/G3 最小输入/输出分辨率 32x32，最大输入/输出分辨率为 720×576
- 叠加特性



- 支持背景层、2层视频层、1层图形层、1鼠标层的256级alpha混合，图形层和视频层的优先级可配置（叠加时使用优先级高的层的alpha）。
- 各叠加图层的大小和位置可以任意调节。
- 支持叠加后图像的亮度、对比度、色调、饱和度调节。
- VDP包含1个高清通道、2个标清通道，每个通道都有独立的垂直时序中断，标志帧/场的结束标志，以及3个低带宽中断、一个回写完成中断和一个回写停止中断。

11.2.3 工作方式

11.2.3.1 时钟配置

VDP的时钟源共有3个：

- VPLL0
- VPLL2
- AXI bus 总线时钟

以下时钟选择可通过寄存器配置：

- HDMI接口时钟来源于DHD0。
- DAC数据端口DACR、DACG、DACB对应的接口时钟。接口时钟来源于DHD0。

表11-6~表11-7为通道接口类型和PLL配置关系，使用方法为：

1. 确定通道。
2. 从通道所对应的表格中查找接口类型。
3. 从接口类型所在的行信息中即可确定PLL的选取及DATE（Digital part of Analog TV Encoder，模拟电视编码器的数字部分）/DAC（Digital Analog Converter，数模转换器）的配置。

--结束

表11-6 DHD0显示通道的时钟配置关系（接口时钟/数据来源于DHD0或者DSD0/DSD1）

	DHD0 (MHz)	DSD0/DSD1 (MHz)	PLL0/2 (MHz)	HDATE (MHz)	DAC~ DAC5 (MHz)
HDMI	148.5	NA	PLL0 (297)	NA	NA
	74.25	NA	PLL0 (148.5)	NA	NA
VGA	148.5	NA	PLL0 (148.5)	NA	148.5
BT656	NA	27	PLL2 (27)	NA	NA



表11-7 DSD0~DSD1 显示通道的时钟配置关系

	DSD0~DSD1	PLL0/2 (MHz)	SDATE (MHz)	DAC0 (MHz)
CVBS	27	PLL2 (27)	54	54
BT656	27	PLL2 (27)	NA	NA

11.2.3.2 复位

VDP 的复位包括硬件复位、软件复位。

VDP 共有 3 个软复位（向相应的时钟复位控制位写 1 复位，写 0 撤销复位）：

- 2 个标清通道 SD channel 共用一个软复位
- 高清通道 HD0 软复位
- AXI 总线软复位



注意

在进行 AXI 总线复位之前：

- 将所有的层关闭。
- 在下一帧/场中断起来（到达更新点）后，再配置总线复位请求。

11.2.3.3 总线相关配置

AXI Master

VDP 包括一个 Master 接口，可提高总线访问效率：

- VDP 支持 AXI Master，VHD0、VSD0/1、G0/2、HC0、WBC2 层的数据读写请求可通过 MASTER 进行总线操作。

APB 寄存器配置

VDP 寄存器通过 APB 接口进行读写操作，APB 的时钟为 165MHz。在 Hi3520D 中，VDP 的基地址为 0x205C_0000，寄存器寻址空间 64KB，相应的地址偏移范围为：0x0000~0xFFFF。

Outstanding 配置

AXI Master 的 Outstanding 深度可配置为 0、1、2、3、4、5、6、7。其中，outstanding 为 0 时，AXI Master 不对总线进行任何操作。



11.2.3.4 模拟输出接口

VDP 包含以下模拟输出接口：

- 标清通道支持最多 2 路 CVBS 输出接口
 - DSD0->CVBS_0
 - DSD1->CVBS_1
 - CVBS 支持两种制式：PAL 制和 NTSC 制式

11.2.3.5 数字输出接口

VDP 支持以下数字接口输出：

- HDMI 接口
- VGA 接口

HDMI 接口

HDMI 为支持 1.4a 协议标准的 HDMI 接口（其源可以来自 DHD0）：

- 最大输出分辨率：1920x1200 或 1920x1080
- 时钟频率为 74.25MHz~165MHz
- 支持逐隔行显示
- 数据格式为 YCbCr444

VGA 接口

支持 VGA 接口（其源可以来自 DHD0）：

- 输出分辨率范围：720P50~1920 x 1200
- 时钟频率为 40MHz~165MHz
- 支持逐行显示
- 通过配置接口 CSC（Color Space Conversion，色彩空间转换）实现 RGB888 输出

11.2.3.6 高清视频层功能

多区域读取功能

VDP 具有多区域读取的功能，可同时显示多个区域的画面，每个区域画面的数据可以是不同的来源：

- VHD0 视频层支持多区域规格。
- VHD0 最大可支持 16 区域。
- 各区域大小可配，最小为 32×32，最大为层的最大分辨率（VHD0：1920x1200）。
- 各区域可单独使能。
- 区域显示位置可配置在屏幕的任意位置显示（通过区域的起始、结束坐标配置）。
- 各区域的内容可来自同一视频源，也可来自不同的视频源。



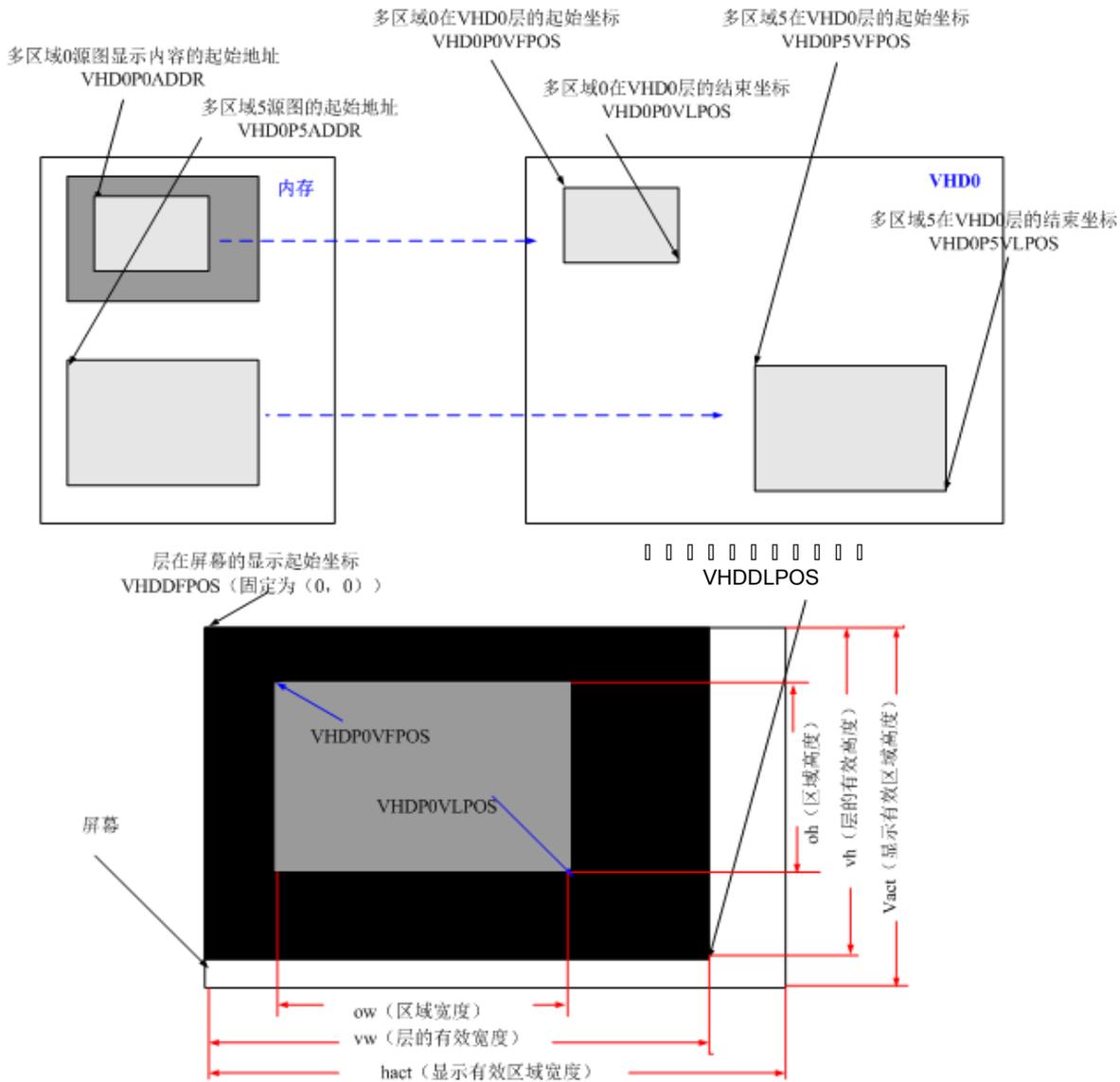
- 区域源起始地址可配（分亮度、色度地址），地址为 2byte 对齐。
- 区域源 stride 可配（分亮度、色度地址），为 16byte 对齐。
- 支持逐行模式、隔行模式。

显示位置描述

VDP 支持视频显示位置可配：

- 视频层有 3 套坐标
- 需要读取数据的源起始坐标（软件计算出起始地址配置给硬件）。
- 显示区域在相对于视频层的起始结束坐标。
- 视频层在屏幕上显示的起始结束坐标。
- 3 个坐标的组合可以实现视频源在屏幕的任意位置显示。

图11-16 3套坐标示意图



注意

层在屏幕的起始坐标必须设置为 (0,0)。

缩放功能描述

VDP 具有高质量的缩放引擎，支持不同倍数的放大：

- VHD0 支持缩放功能
- VHD0 只支持放大，不支持缩小
- 支持视频格式 semi-plannar420、semi-plannar422



- VHD0 最小的输入分辨率 32×32 ，最大的输入分辨率 1920×1200
- VHD0 最小的输出分辨率 32×32 ，最大的输出分辨率 1920×1200
- 支持复制模式、滤波模式
- 支持水平亮度 8 阶、水平色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 支持垂直亮度 6 阶、垂直色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 缩放系数采取 AXI 自动从 DDR 中 load 的策略
- 支持垂直亮度色度、水平亮度色度单独配置使能
- 性能：输出的像素 $1\text{pixel}/1\text{clk}$



注意

- 采用垂直缩放在水平缩放之前的缩放策略。
- VHD0 不支持宽度大于 1280 且小于 1920 的分辨率放大到 1920 的缩放。

420-422（垂直色度上采样）

当输入的图像数据是 420 时，需要对色度在垂直方向上放大 2 倍将数据格式转换为 422。

VHD、VSD 根据不同的图像质量要求，转换格式的处理不同：

- VHD 转换数据格式方式：
 - 4 阶滤波
 - 复制这两种模式可配置。
- VSD 转换数据格式方式：复制

IFIR：水平色度上采样

水平色度上采样的主要功能是对色度在水平方向上进行上采样，将 422 的数据格式转换为 444。

实现色度水平上采样的方式有 3 种，可配置：

- 复制
- 双线性插值
- 8 阶滤波

CSC：色彩空间转换

- 可实现 YUV709、YUV601 色彩空间的转换
- 可实现 RGB、YUV 色彩空间的转换



11.2.3.7 标清视频层功能

VDP 具有多个标清视频层：

- 标清视频层包括：VSD0、VSD1，只能支持 1 区域
- 支持的输入像素格式：semi-plannar420、semi-plannar422
- 最小输入分辨率 32x32，最大输入分辨率为 720x576
- 最小输出分辨率 32x32，最大输出分辨率为 720x576
- 输入的水平分辨率为 2 的倍数，垂直分辨率为 4 的倍数
- 支持逐行模式、隔行模式
- 源起始地址可配（分亮度、色度地址），地址为 2byte 对齐
- 源 stride 可配（分亮度、色度地址），为 16byte 对齐
- 支持水平色度上采样 IFIR，复制模式、双线性差值、6 阶滤波模式可选。
- 支持 YCbCr→RGB 的色彩空间转换，支持对比度/色调/饱和度调节
- 支持显示位置可配：在屏幕的任意位置显示
- 支持帧/场更新模式
- 支持全局 alpha 可配置，配置范围 0~255

11.2.3.8 图形层功能

图形层包括：G0、G2、G3

解压功能

VDP G0 支持无损压缩格式的图像解压，其他图形层不支持：

- 支持的输入像素格式：ARGB1555、ARGB8888
- 支持逐行压缩、隔行压缩模式
- 支持帧/场更新模式
- G0 最小输入/输出分辨率 32x32，最大输入/输出分辨率为 2560x1600
- G2/G3 最小输入/输出分辨率 32x32，最大输入/输出分辨率为 720x576
- 图形层垂直分辨率为 2 的倍数
- 支持显示位置可配：在屏幕的任意位置显示
- 4 个分量单独解压缩，4 个分量的地址可配置（16byte 对齐），共用一个 bankwidth（16byte 对齐），共用一个 stride（16byte 对齐）
- 解压性能：1pixel/1clk
- 格式为 ARGB1555 时，像素 alpha 值不进行压缩。

解压 DCMP 的配置方式：DCMP 支持逐行解压、隔行解压，压缩数据的存储与逐行、隔行的源数据存储方式类似。压缩信息的配置主要包括首地址 address、bankwidth 信息、stride 信息。其中，4 分量单独进行压缩，因此共有 alpha、R、G、B 等 4 个分量的首地址。其次，bankwidth 类似于 semi-plannar 存储方式 line 的概念，区别在于，一个 bankwidth 存储的可能是若干分量 line 的压缩数据；最后，stride 与 semi-plannar 的 stride 概念完全一致，用于确定每行压缩数据的首地址。

图11-17 逐行解压存储方式

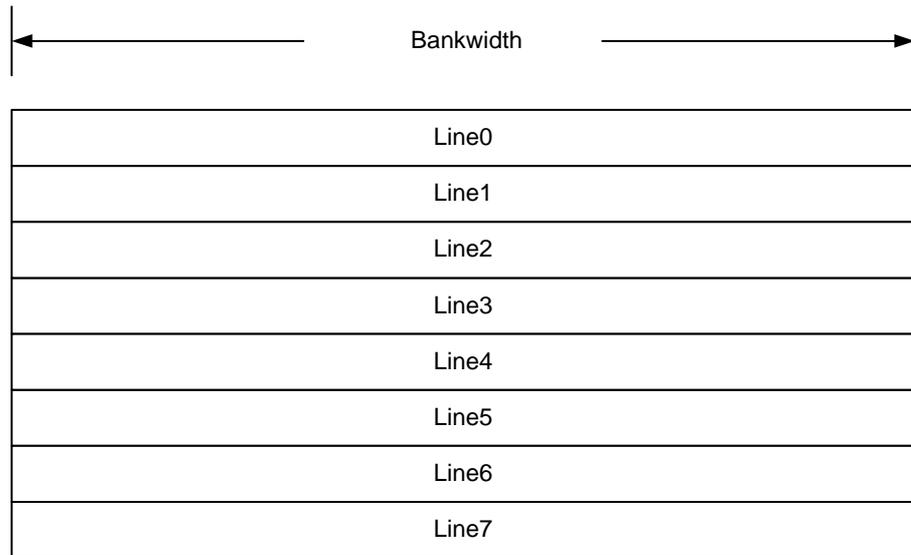
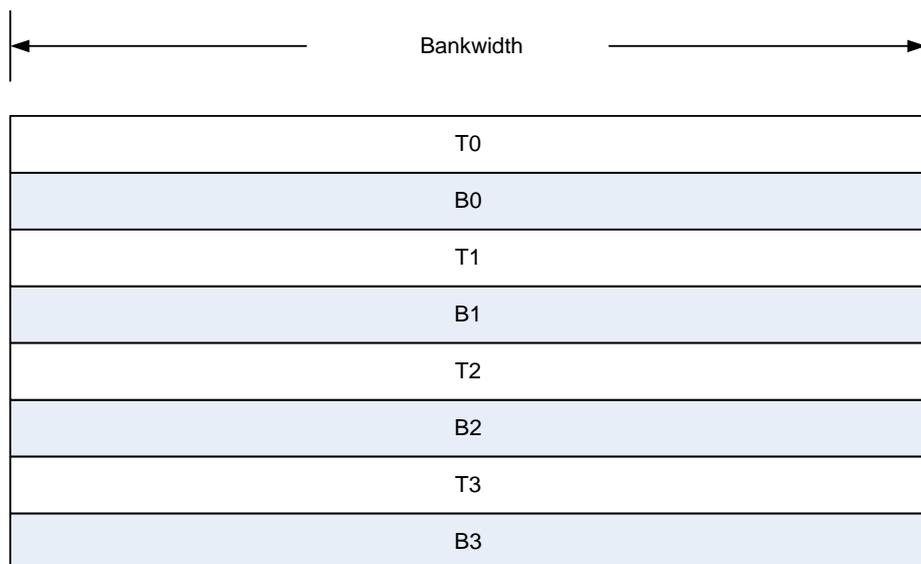


图11-18 隔行解压存储方式



以下为不同场景下解压模式的配置：

- 逐行解压、帧更新、帧中断配置方式：
 - 配置图形层为压缩模式。
 - 配置 4 个分量的基地址。
 - 配置 bandwidth、stride 信息，其中，压缩的 stride 与解压的 stride 相等，即 $\text{stride_dcmp} = \text{stride_vcmp}$ 。
 - 配置图形层为帧更新模式。
 - 配置中断产生方式为帧中断。



- 隔行解压、帧更新、帧中断配置方式：
 - 同逐行解压的配置。
 - 配置 bandwidth、stride 信息，其中， $\text{stride_dcmp} = \text{stride_vcmp}/2$ 。
 - 同逐行解压的配置。
 - 打开隔行解压使能。
- 隔行解压、场更新、场中断配置方式：
 - 同逐行解压的配置。
 - 配置 bandwidth、stride 信息，其中， $\text{stride_dcmp} = \text{stride_vcmp}/2$ 。
 - 配置图形层为场更新模式。
 - 配置中断产生方式为场中断，在中断服务程序配置顶场/底场的 4 分量存储首地址。

CSC 功能描述

支持色彩空间转换，包括：RGB、YCbCr601、YCbCr709、xvYCC601、xvYCC709 之间的相互转换。

alpha 处理

图形层的 alpha 值可以有两个来源：

- 像素 alpha 值：表示某一个像素的叠加属性。
- 全局 alpha 值：表示某一层的叠加属性。

像素 alpha 值有一种特殊情况，在 RGB1555 格式时，alpha 值仅有 1bit，该 bit 不是真实的 alpha 值，仅是 alpha 的索引，真实的 alpha 值是根据该索引值选择 alpha 寄存器中的值得到，当索引值为 0 时，取值 alpha0，否则，取值为 alpha1。

HC 功能描述

VDP 具有两个硬件鼠标层：

- 支持的输入像素格式：ARGB1555、ARGB8888
- 最小输入分辨率 32x32，最大输入分辨率为 128x128
- 最小输出分辨率 32x32，最大输出分辨率为 128x128
- 输入垂直分辨率为 2 的倍数
- 支持逐行模式、隔行模式
- 支持帧更新、场更新
- 源起始地址可配，地址为 128bit（16byte）对齐
- 源 stride 可配，为 128bit（16byte）对齐
- 支持色彩空间转换，包括：RGB2YUV 709、RGB2YUV 601
- 支持显示位置可配：在屏幕的任意位置显示
- 支持全局 alpha 可配置，配置范围 0~255



- 像素 alpha 使能可配，对于像素格式 ARGB1555 中像素 Alpha 值的图形，选择 ALPHA0 或 ALPHA1

11.2.3.9 图层叠加处理

VDP 支持多层叠加功能，共有 3 个叠加，其对应关系为：

- MIX1 → DHD0
- MIX3 → DSD0
- MIX4 → DSD1

MIXER 的功能描述：

- 固定绑定到 MIXER1 的视频/图形层：VHD0、G0
- 固定绑定到 MIXER3 的视频/图形层：G2
- 固定绑定到 MIXER4 的视频/图形层：VSD1、G3
- 可选绑定到 MIXER1/3/4 的视频/图形层：HC0
- 可选绑定到 MIXER1/3 的视频层：VSD0（PIP）
- MIXER1/3/4 的背景色单独可配

具体配置方法如下：

1. 关闭相应的视频输出接口。
2. 配置 sur_attrix，确定各个 surface 的连接关系。
3. 配置各个 surface 的相关寄存器。
4. 配置各个 surface 的优先级。
5. 打开相应的视频输出接口。

--结束



注意

- 若 HC0、VSD0（PIP）绑定到 MIXER1，则其不能再绑定到 MIXER3/MIXER4。
- HC0 只能绑定到 MIXER1、MIXER3 或 MIXER4 中的某一个。
- HC0、VSD0（PIP）可驱动不同的 MIXER，但如果从驱动当前 MIXER 切换到驱动另外一个 MIXER，则不能实时变更。必须先关闭相应的视频输出接口，在变更 surface 所驱动 MIXER。



11.2.3.10 高清通道处理功能

时序配置

VDP 的输出接口支持配置各种典型及非典型时序，以适应不同的对接芯片接口：

- DHD0 接口分辨率最大 1920x1200
- 接口水平时序参数可配：
 - 水平前肩 HFB:16bit= (1-65536)，单位：时钟
 - 水平后肩 HBB:16bit= (1-65536)，单位：时钟
 - 水平有效 HACT:16bit= (1-65536)，单位：时钟
 - 水平脉冲宽度 HPW:16bit= (1-65536)，单位：时钟
- 接口垂直时序参数可配：
 - 垂直前肩 VFB:8bit= (1-256)，单位：行
 - 垂直后肩 VBB:8bit= (5-256)，单位：行
 - 垂直有效 VACT:12bit= (1-256)，单位：行
 - 垂直脉冲宽度 VPW:16bit= (1-65536)，单位：行
- 隔行时序参数可配：
 - 底场垂直前肩 BVFB:8bit= (1-256)，单位：行
 - 底场垂直后肩 BVBB:8bit= (5-256)，单位：行
 - 底场垂直有效 BVACT:12bit= (1-256)，单位：行
 - 底场垂直脉冲宽度 BVPW:16bit= (1-65536)，单位：行
 - 底场时半行配置 HMID:16bit= (1-65536)，单位：时钟周期，一行中在相对于有效区第一个像素的时钟周期



注意

- 一行时钟个数=HFB + HBB + HACT x (n clk/pixel)，HPW 要小于 HBB。
- 一帧的行数=VFB + VBB + VACT，VPW 要小于 VBB，BVPW 要小于 BVBB。
- 所有时序参数配置时，接口都应该关闭，配置完成后在打开接口。

DFIR 功能

DFIR 使能可以配置，滤波采用 1,2,1 的滤波方式，性能可达 1pixel/1clk。

CLIP 功能

VDP 具有灵活可配置的 CLIP 功能：

- 接口时序的协议要求输出数据必须限制在一定范围内。如果超出这个范围，需要对数据进行 clip 操作。
- clip 使能可以配置，clip 的低值门限和高值门限可以配置，性能可达 1pixel/1clk。
- HDMI、VGA 接口各有一套独立的 clip 逻辑。



H_SHARPEN 功能

VDP 的 VGA 接口具有可配置的 Horizontal Sharpen 功能:

- Horizontal Sharpen 用于增强 VGA 通路上水平方向上的锐化效果。
- Horizontal Sharpen 的使能可配。

11.2.3.11 标清通道处理功能

VDP 具有 2 个标清通道:

- 标清通道包括 DSD0、DSD1
- 接口最大分辨率支持 720x576
- DSD0、DSD1 支持 CVBS 接口
- 支持色度下采样 DFIR, DFIR 使能可配
- 支持 CLIP 功能, CLIP 使能可配
- clip 的低值门限和高值门限可以配置

11.2.3.12 WBC2 通道回写功能

WBC2 回写为 DHD0 通道输出时的数据经过缩放回写到 DDR 中, 作为高/标清同源显示的标清输入源。

逐/隔行回写

VDP 的 WBC 回写支持逐/隔行可配:

- WBC2 回写使能可配。
- 输入的数据格式: YUV422。WBC2 的数据源可配, 可选择来自 CBM 的 MIX2 或者 VHD0 的输出。在输入到 WBC2 时, 已下采样到 YUV422 的采样格式。
- 输出的数据格式: semi-plannar422、semi-plannar420。
- 支持逐行回写、隔行回写。WBC2 逐行回写、隔行回写由 DHD0 通道决定, 当 DHD0 为隔行显示时, WBC2 隔行回写, 当 DHD0 为逐行显示时, WBC2 逐行回写。
- 输入分辨率范围: 32x32~1920x1080。WBC2 的输入分辨率由 DHD0 的有效宽高决定, 当 DHD0 逐行显示时, 输入的高度为一帧的高度; 当 DHD0 隔行显示时, 输入的高度为一场的高度。
- 输出分辨率可配, 范围 32x32~720x576。

WBC2 缩放

VDP 的 WBC 回写支持高质量, 倍数可配置的缩小:

- WBC2 只支持缩小, 不支持放大
- WBC2 缩放最小的输入分辨率 32x32, 最大的输入分辨率 1920x1920
- WBC2 缩放最小的输出分辨率 32x32, 最大的输出分辨率 720x576
- 支持复制模式、滤波模式



- 支持水平亮度 8 阶、水平色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 支持垂直亮度 6 阶、垂直色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 缩放系数采取 AXI 自动从 DDR 中 load 的策略
- 支持垂直亮度色度、水平亮度色度单独配置使能
- 性能：输出的像素 1pixel/1clk



注意

- 采用水平缩放在垂直缩放之前的缩放策略。
- 缩小倍数最大为缩小 16 倍，缩放的亮度行 Buffer 大小为 720，色度的行 Buffer 大小为 720。当输出为 SPYCbCr420 时，最大缩小倍数为 8 倍。

11.2.3.13 中断

VDP 支持共 8 个中断，分 4 类：

- 垂直时序中断
- 低带宽中断
- WBC2 回写完成中断
- WBC2 回写停止中断

垂直时序中断

VDP 的每个通道都有独立的垂直时序中断，中断产生位置可灵活配置：

- VDP 包含 1 个高清通道，2 个标清通道，每个通道都有独立的垂直时序中断，标志帧/场的结束标志。VDP 共有 3 个垂直时序中断。
- 中断的产生方式可选：帧中断、场中断。
- 逐行显示，垂直时序中断只能配置为帧中断模式。
- 隔行显示，垂直时序中断可配置为帧中断模式或场中断模式（建议隔行时高清按照场产生中断，标清按照帧产生中断）。
- 支持中断屏蔽可配。
- 支持垂直时序中断门限可配。
- 每个中断源可单独打开与关闭，写 1 清 0。

低带宽中断

VDP 支持以中断方式上报低带宽状态：

- VDP 包含 1 个高清通道，2 个标清通道，每个通道都有独立的低带宽中断，标志帧/场的低带宽信息。VDP 共有 3 个低带宽中断。
- 中断的产生方式可选：帧中断、场中断。
- 逐行显示，垂直时序中断只能配置为帧中断模式。



- 隔行显示，垂直时序中断可配置为帧中断模式或场中断模式（建议隔行时高清按照场产生中断，标清按照帧产生中断）。
- 支持中断屏蔽可配。
- 每个中断源可单独打开与关闭，写 1 清 0。

WBC2 回写完成中断

VDP 支持以中断方式上报 WBC 回写完成状态：

- VDP 包含 1 个 WBC2 回写通道，因此共有 1 个 WBC 回写中断，标志帧/场的数据的回写完成。
- WBC2 中断的产生方式由 DHD0 的中断产生方式决定：
 - DHD0 为帧中断，则 WBC2 的中断方式为帧中断。
 - DHD0 为场中断，则 WBC2 的中断方式为场中断。
- 支持中断屏蔽可配。
- 中断源可单独打开与关闭，写 1 清 0。

WBC2 回写停止中断

VDP 支持以中断方式上报 WBC 回写停止状态：

- VDP 包含 1 个 WBC2 回写通道，因此共有 1 个 WBC 回写停止中断，标志帧/场的数据的回写停止。
- WBC2 中断的产生方式由 DHD0 的中断产生方式决定：
 - DHD0 为帧中断，则 WBC2 的中断方式为帧中断。
 - DHD0 为场中断，则 WBC2 的中断方式为场中断。
- 支持中断屏蔽可配。
- 中断源可单独打开与关闭，写 1 清 0。

11.2.3.14 低功耗控制

VDP 支持可配置的时钟门控：

- Mem 的动态时钟门控通过时钟门控信号 `ck_gate_en` 来实现：
 - 0：时钟正常输入到 mem。
 - 1：mem 的时钟强制为 0。
- 在使能动态时钟门控之前，必须先停止所有的 VDP 业务（所有层、通道禁能）。



11.2.4 寄存器概览

寄存器偏移地址中变量的取值范围和含义如表 10-8 所示。

表11-8 寄存器偏移地址变量表

变量名称	取值范围	描述
i	0 和 1	标清视频层 0~1
m	0~15	高清视频层区域号
	0	标清视频层区域号

寄存器概览如表 10-9 所示。

表11-9 寄存器概览（基址是 0x205C_0000）

偏移地址	名称	描述	页码
0x0000	VHDNCTRL	VHD 控制寄存器	10-78
0x0004	VHDNUPD	VHD 通道更新使能寄存器	10-78
0x0010	VHDNCADDR	当前帧的地址寄存器	10-79
0x0014	VHDNCCADDR	当前帧的色度地址寄存器	10-79
0x0024	VHDNSTRIDE	surface 的 stride 寄存器	10-80
0x0028	VHDNIRESO	输入分辨率寄存器	10-80
0x0034	VHDNCBMPARA	叠加相关参数寄存器	10-81
0x0060	VHDNDFPOS	Surface 在显示窗口的起始位置（First POSition）寄存器	10-81
0x0064	VHDNDLPOS	Surface 在显示窗口的结束位置（Last POSition）寄存器	10-82
0x0070	VHDBK	视频层的背景色寄存器	10-82
0x0080	VHDNCSCIDC	色彩空间转换输入直流分量寄存器	10-83
0x0084	VHDNCSCODC	色彩空间转换输出直流分量寄存器	10-83
0x0088	VHDNCSCP0	色彩空间转换参数 0 寄存器	10-84
0x008C	VHDNCSCP1	色彩空间转换参数 1 寄存器	10-84
0x0090	VHDNCSCP2	色彩空间转换参数 2 寄存器	10-85
0x0094	VHDNCSCP3	色彩空间转换参数 3 寄存器	10-86



偏移地址	名称	描述	页码
0x0098	VHDNCSCP4	色彩空间转换参数 4 寄存器	10-86
0x00C0	VHDNHSP	水平缩放参数配置 (horizontal Scaling Parameter) 寄存器	10-86
0x00C4	VHDNHLOFFSET	亮度水平位置偏移寄存器	10-88
0x00C8	VHDNHCOFFSET	色度水平位置偏移寄存器	10-88
0x00CC	VHDNVSP	缩放参数 (vertical Scaling Parameter) 寄存器	10-88
0x00D0	VHDNVSR	垂直缩放倍数 (Luma Vertical Scaling Ratio) 寄存器	10-90
0x00D4	VHDNVOFFSET	垂直缩放偏移 (Vertical Luma Offset) 寄存器	10-90
0x00D8	VHDNZMEORESO	缩放单元的输出分辨率寄存器	10-91
0x00DC	VHDNZMEIRESO	缩放单元的输出分辨率寄存器	10-91
0x0180	VHDNIFIRCOEF01	VHD IFIR 滤波系数 0、1 寄存器	10-92
0x0184	VHDNIFIRCOEF23	VHD IFIR 滤波系数 2、3 寄存器	10-92
0x0188	VHDNIFIRCOEF45	VHD IFIR 滤波系数 4、5 寄存器	10-93
0x018C	VHDNIFIRCOEF67	VHD IFIR 滤波系数 6、7 寄存器	10-93
0x0400 + m x 0x20	VHDNPMRESO	视频层 VHD 分区 m 的分辨率寄存器	10-94
0x0404 + m x 0x20	VHDNPMLADDR	视频层 VHD 分区 m 的地址寄存器	10-94
0x0408 + m x 0x20	VHDNPMCADDR	视频层 VHD 分区 m 的色度地址寄存器	10-95
0x040C + m x 0x20	VHDNPMSTRIDE	视频层 VHD 分区 m 的 stride 寄存器	10-95
0x0410 + m x 0x20	VHDNPMVFPOS	视频层 VHD 分区 m 在视频内容的起始位置 (First POSition) 寄存器	10-96
0x0414 + m x 0x20	VHDNPMVLPOS	视频层 VHD 分区 m 在视频内容的结束位置 (First POSition) 寄存器	10-96
0x0C04	VHDN64REGIONE NL	视频层 VHD 16 分区的 0~15 分区使能寄存器	10-97
0x3000 + i x 0x1000	VSDICTRL	VSD 控制寄存器	10-99



偏移地址	名称	描述	页码
0x3004+i x 0x1000	VSDIUPD	VSD 通道更新使能寄存器	10-100
0x3010+i x 0x1000	VSDICADDR	当前帧的地址寄存器	10-101
0x3014+i x 0x1000	VSDICCADDR	当前帧的色度地址寄存器	10-101
0x3024+i x 0x1000	VSDISTRIDE	surface 的 stride 寄存器	10-102
0x3028+i x 0x1000	VSDIIRESO	输入分辨率寄存器	10-102
0x3034+i x 0x1000	VSDICBMPARA	叠加相关参数寄存器	10-103
0x3060+i x 0x1000	VSDIDFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	10-103
0x3064+i x 0x1000	VSDIDLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	10-104
0x3070+i x 0x1000	VSDIBK	视频层的背景色寄存器	10-104
0x3080+i x 0x1000	VSDICSCIDC	色彩空间转换输入直流分量寄存器	10-105
0x3084+i x 0x1000	VSDICSCODC	色彩空间转换输出直流分量寄存器	10-106
0x3088+i x 0x1000	VSDICSCP0	色彩空间转换参数寄存器	10-106
0x308C+i x 0x1000	VSDICSCP1	色彩空间转换参数 1 寄存器	10-107
0x3090+i x 0x1000	VSDICSCP2	色彩空间转换参数 2 寄存器	10-107
0x3094+i x 0x1000	VSDICSCP3	色彩空间转换参数 3 寄存器	10-108
0x3098+i x 0x1000	VSDICSCP4	色彩空间转换参数 4 寄存器	10-109
0x3180+i x 0x1000	VSDIIFIRCOEF01	VSD IFIR 滤波系数 0、1 寄存器	10-109
0x3184+i x 0x1000	VSDIIFIRCOEF23	VSD IFIR 滤波系数 2、3 寄存器	10-109



偏移地址	名称	描述	页码
0x3188 + i x 0x1000	VSDIIFIRCOEF45	VSD IFIR 滤波系数 4、5 寄存器	10-110
0x318C + i x 0x1000	VSDIIFIRCOEF67	VSD IFIR 滤波系数 6、7 寄存器	10-110
0x3400 + i x 0x1000	VSDIP0RESO	视频层 VSD 分区 0 的分辨率寄存器	10-111
0x3404 + i x 0x1000	VSDIP0LADDR	视频层 VSD 分区 0 的地址寄存器	10-111
0x3408 + i x 0x1000	VSDIP0CADDR	视频层 VSD 分区 0 的色度地址寄存器	10-112
0x340C + i x 0x1000	VSDIP0STRIDE	视频层 VSD 分区 0 的 stride 寄存器	10-112
0x3410 + i x 0x1000	VSDIP0VFPOS	视频层 VSD 分区 0 在视频内容的起始位置 (First POSition) 寄存器	10-113
0x3414 + i x 0x1000	VSDIP0VLPOS	视频层 VSD 分区 0 在视频内容的结束位置 (First POSition) 寄存器	10-113
0x3C04 + i x 0x1000	VSDI1REGIONEN	视频层 VSD 单区域使能寄存器	10-114
0x8200	WBC2CTRL	WBC2 的控制寄存器	10-114
0x8204	WBC2UPD	WBC2 通道更新使能寄存器	10-115
0x8208	WBC2ADDR	CAPTURE 写地址地址寄存器	10-116
0x820C	WBC2STRIDE	CAPTURE 的 stride 寄存器	10-116
0x8210	WBC2ORESO	输出分辨率寄存器	10-117
0x8220	WBC2CADDR	CAPTURE 写地址色度地址寄存器	10-117
0x8224	WBC2CSTRIDE	CAPTURE 的色度 stride 寄存器	10-118
0x82C0	WBC2HSP	水平缩放参数配置 (horizontal Scaling Parameter) 寄存器	10-118
0x82C4	WBC2HLOFFSET	亮度水平位置偏移寄存器	10-120
0x82C8	WBC2HCOFFSET	色度水平位置偏移寄存器	10-120
0x82CC	WBC2VSP	缩放参数 (vertical Scaling Parameter) 寄存器	10-120
0x82D0	WBC2VSR	垂直缩放倍数 (Luma Vertical Scaling Ratio) 寄存器	10-122



偏移地址	名称	描述	页码
0x82D4	WBC2VOFFSET	垂直缩放偏移 (Vertical Luma Offset) 寄存器	10-122
0x82D8	WBC2ZMEORESO	缩放单元的输出分辨率寄存器	10-123
0x82DC	WBC2ZMEIRESO	缩放单元的输入分辨率寄存器	10-123
0x9000	G0CTRL	G0 层控制寄存器	10-124
0x9004	G0UPD	图形层更新使能寄存器	10-125
0x9008	G0ADDR	图形层地址寄存器	10-126
0x900C	G0STRIDE	图形层的 stride 寄存器	10-126
0x9010	G0CBMPARA	叠加相关参数寄存器	10-127
0x9014	G0CKEYMAX	color key 最大值寄存器	10-128
0x9018	G0CKEYMIN	color key 最小值寄存器	10-128
0x901C	G0CMASK	color key 的 MASK 值	10-129
0x9020	G0IRESO	输入分辨率寄存器	10-129
0x9024	G0ORESO	输出分辨率寄存器	10-130
0x902C	G0DFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	10-130
0x9030	G0DLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	10-131
0x90A0	G0CSCIDC	色彩空间转换输入直流分量寄存器	10-131
0x90A4	G0CSCODC	色彩空间转换输出直流分量寄存器	10-132
0x90A8	G0CSCP0	色彩空间转换参数 0 寄存器	10-132
0x90AC	G0CSCP1	色彩空间转换参数 1 寄存器	10-133
0x90B0	G0CSCP2	色彩空间转换参数 2 寄存器	10-134
0x90B4	G0CSCP3	色彩空间转换参数 3 寄存器	10-134
0x90B8	G0CSCP4	色彩空间转换参数 4 寄存器	10-135
0x91B4	G0DCMPBANKWIDTH	G0 层压缩数据 bank 宽度寄存器	10-135
0x91B8	G0DCMPSTRIDE	G0 层压缩数据 stride 寄存器	10-136
0x91BC	G0DCMPAADDR	G0 层 A 分量压缩数据起始地址寄存器	10-136
0x91C0	G0DCMPRADDR	G0 层 R 分量压缩数据起始地址寄存器	10-137



偏移地址	名称	描述	页码
0x91C4	G0DCMPGADDR	G0 层 G 分量压缩数据起始地址寄存器	10-137
0x91C8	G0DCMPBADDR	G0 层 B 分量压缩数据起始地址寄存器	10-137
0x9400	G2CTRL	G2 层控制寄存器	10-138
0x9404	G2UPD	图形层更新使能寄存器	10-139
0x9408	G2ADDR	图形层地址寄存器	10-139
0x940C	G2STRIDE	图形层的 stride 寄存器	10-139
0x9410	G2CBMPARA	叠加相关参数寄存器	10-140
0x9414	G2CKEYMAX	color key 最大值寄存器	10-141
0x9418	G2CKEYMIN	color key 最小值寄存器	10-141
0x941C	G2CMASK	color key 的 MASK 值	10-142
0x9420	G2IRESO	输入分辨率寄存器	10-142
0x9424	G2ORESO	输出分辨率寄存器	10-143
0x942C	G2DFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	10-143
0x9430	G2DLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	10-144
0x94A0	G2CSCIDC	色彩空间转换输入直流分量寄存器	10-144
0x94A4	G2CSCODC	G2 层色彩空间转换输出直流分量寄存器	10-145
0x94A8	G2CSCP0	G2 层色彩空间转换参数 0 寄存器	10-145
0x94AC	G2CSCP1	G2 层色彩空间转换参数 1 寄存器	10-146
0x94B0	G2CSCP2	G2 层色彩空间转换参数 2 寄存器	10-147
0x94B4	G2CSCP3	G2 层色彩空间转换参数 3 寄存器	10-147
0x94B8	G2CSCP4	G2 层色彩空间转换参数 4 寄存器	10-148
0x9600	G3CTRL	G3 层控制寄存器	10-148
0x9604	G3UPD	图形层更新使能寄存器	10-149
0x9608	G3ADDR	图形层地址寄存器	10-150
0x960C	G3STRIDE	图形层的 stride 寄存器	10-150
0x9610	G3CBMPARA	叠加相关参数寄存器	10-151
0x9614	G3CKEYMAX	color key 最大值寄存器	10-152



偏移地址	名称	描述	页码
0x9618	G3CKEYMIN	color key 最小值寄存器	10-152
0x961C	G3CMASK	color key 的 MASK 值	10-153
0x9620	G3IRESO	输入分辨率寄存器	10-153
0x9624	G3ORESO	输出分辨率寄存器	10-154
0x962C	G3DFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	10-154
0x9630	G3DLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	10-155
0x96A0	G3CSCIDC	G3 层色彩空间转换输入直流分量寄存器	10-155
0x96A4	G3CSCODC	G3 层色彩空间转换输出直流分量寄存器	10-156
0x96A8	G3CSCP0	G3 色彩空间转换参数 0 寄存器	10-156
0x96AC	G3CSCP1	G3 层色彩空间转换参数 1 寄存器	10-157
0x96B0	G3CSCP2	G3 层色彩空间转换参数 2 寄存器	10-158
0x96B4	G3CSCP3	G3 层色彩空间转换参数 3 寄存器	10-158
0x96B8	G3CSCP4	G3 层色彩空间转换参数 4 寄存器	10-159
0x9A00	HCCTRL	HC 层控制寄存器	10-159
0x9A04	HCUPD	图形层更新使能寄存器	10-161
0x9A08	HCADDR	图形层地址寄存器	10-161
0x9A0C	HCSTRIDE	图形层的 stride 寄存器	10-162
0x9A10	HCCBMPARA	叠加相关参数寄存器	10-162
0x9A14	HCCKEYMAX	color key 最大值寄存器	10-163
0x9A18	HCCKEYMIN	color key 最小值寄存器	10-164
0x9A1C	HCCMASK	color key 最小值寄存器	10-164
0x9A20	HCIRESO	输入分辨率寄存器	10-165
0x9A2C	HCDFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	10-165
0x9A30	HCDLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	10-166
0x9AA0	HCCSCIDC	色彩空间转换输入直流分量寄存器	10-166
0x9AA4	HCCSCODC	色彩空间转换输出直流分量寄存器	10-167



偏移地址	名称	描述	页码
0x9AA8	HCCSCP0	色彩空间转换参数 0 寄存器	10-168
0x9AAC	HCCSCP1	色彩空间转换参数 1 寄存器	10-168
0x9AB0	HCCSCP2	色彩空间转换参数 2 寄存器	10-169
0x9AB4	HCCSCP3	色彩空间转换参数 3 寄存器	10-169
0x9AB8	HCCSCP4	色彩空间转换参数 4 寄存器	10-170
0x9E00	CBMBKG1	HD0 叠加背景色寄存器	10-170
0x9E08	CBMBKG3	SD0 叠加背景色寄存器	10-171
0x9E0C	CBMBKG4	SD1 叠加背景色寄存器	10-171
0x9E10	CBMATTR	CrossBar (Cross Bar ConFiGuration) 配置寄存器	10-172
0x9E14	CBMMIX1	Mixer1 优先级配置寄存器	10-173
0x9E1C	CBMMIX3	Mixer3 优先级配置寄存器	10-174
0x9E20	CBMMIX4	Mixer4 优先级配置寄存器	10-175
0xA000	DHDCTRL	显示通道的总体控制寄存器	10-176
0xA004	DHDVSYNC	垂直时序寄存器	10-178
0xA008	DHDHSYNC1	水平时序寄存器	10-179
0xA00C	DHDHSYNC2	水平时序寄存器	10-180
0xA010	DHDVPLUS	隔行底场垂直时序寄存器	10-180
0xA014	DHDVPLR	同步信号脉冲宽度寄存器	10-181
0xA01C	DHDVTTHD	垂直时序门限值 (Vertical Timing Threshold) 寄存器	10-182
0xA040	DHDCLIPL	显示通道 Clip 处理最低门限值寄存器	10-183
0xA044	DHDCLIPH	显示通道 Clip 处理最高门限值寄存器	10-183
0xA060	DHDVGACLIPL	显示通道 Clip 处理最低门限值寄存器, 为即时寄存器	10-184
0xA064	DHDVGACLIPH	显示通道 Clip 处理最高门限值寄存器, 为即时寄存器	10-185
0xA080	DHDHSPCFG0	VGA 通道 H sharpen 配置寄存器 0	10-185
0xA084	DHDHSPCFG1	VGA 通道 H sharpen 配置寄存器 1	10-185
0xA094	DHDHSPCFG5	VGA 通道 H sharpen 配置寄存器 5	10-186



偏移地址	名称	描述	页码
0xA098	DHDHSPCFG6	VGA 通道 H sharpen 配置寄存器 6	10-186
0xA09C	DHDHSPCFG7	VGA 通道 H sharpen 配置寄存器 7	10-187
0xA0A0	DHDHSPCFG8	VGA 通道 H sharpen 配置寄存器 8	10-188
0xA0B0	DHDHSPCFG12	VGA 通道 H sharpen 配置寄存器 12	10-188
0xA0B4	DHDHSPCFG13	VGA 通道 H sharpen 配置寄存器 13	10-188
0xA0B8	DHDHSPCFG14	VGA 通道 H sharpen 配置寄存器 14	10-189
0xA0BC	DHDHSPCFG15	VGA 通道 H sharpen 配置寄存器 15	10-190
0xA0F0	DHDSTATE	DHD 状态寄存器	10-191
0xA800	DSDCTRL	显示通道的总体控制寄存器	10-192
0xA804	DSDVSYNC	垂饰时序寄存器	10-194
0xA808	DSDHSYNC1	水平时序寄存器	10-194
0xA80C	DSDHSYNC2	水平时序寄存器	10-195
0xA810	DSDVPLUS	隔行底场垂直时序寄存器	10-196
0xA814	DSDPWR	同步信号脉冲宽度寄存器	10-196
0xA81C	DSDVTTHD	垂直时序门限值 (Vertical Timing Threshold) 寄存器	10-197
0xA840	DSDCLIPL	显示通道 Clip 处理最低门限值寄存器	10-198
0xA844	DSDCLIPH	显示通道 Clip 处理最高门限值寄存器	10-198
0xA8F0	DSDSTATE	DSD 状态寄存器	10-199
0xAC00	DSD1CTRL	显示通道的总体控制寄存器	10-200
0xAC04	DSD1VSYNC	垂直时序寄存器	10-202
0xAC08	DSD1HSYNC1	水平时序寄存器	10-202
0xAC0C	DSD1HSYNC2	水平时序寄存器	10-203
0xAC10	DSD1VPLUS	隔行输出时	10-204
0xAC14	DSD1PWR	同步信号脉冲宽度寄存器	10-204
0xAC1C	DSD1VTTHD	垂直时序门限值 (Vertical Timing Threshold) 寄存器	10-205
0xAC40	DSD1CLIPL	显示通道 Clip 处理最低门限值寄存器	10-206
0xAC44	DSD1CLIPH	显示通道 Clip 处理最高门限值寄存器	10-206



偏移地址	名称	描述	页码
0xACF0	DSD1STATE	DSD 状态寄存器	10-207
0xC200	DATE_COEFF0	制式参数配置寄存器	10-208
0xC204	DATE_COEFF1	幅度配置寄存器	10-213
0xC21C	DATE_COEFF7	Teletext 配置寄存器	10-215
0xC220	DATE_COEFF8	Teletext 配置寄存器	10-219
0xC224	DATE_COEFF9	Teletext 配置寄存器	10-219
0xC228	DATE_COEFF10	Teletext 配置寄存器	10-220
0xC22C	DATE_COEFF11	Closed Caption 配置寄存器	10-221
0xC230	DATE_COEFF12	Closed Caption 配置寄存器	10-222
0xC234	DATE_COEFF13	CGMS 配置寄存器	10-222
0xC238	DATE_COEFF14	CGMS 配置寄存器	10-223
0xC23C	DATE_COEFF15	WSS 配置寄存器	10-223
0xC240	DATE_COEFF16	VPS 配置寄存器	10-224
0xC244	DATE_COEFF17	VPS 配置寄存器	10-225
0xC248	DATE_COEFF18	VPS 配置寄存器	10-225
0xC24C	DATE_COEFF19	VPS 配置寄存器	10-226
0xC250	DATE_COEFF20	Teletext 配置寄存器	10-226
0xC254	DATE_COEFF21	输出矩阵控制寄存器	10-227
0xC258	DATE_COEFF22	DTO 初始相位配置寄存器	10-230
0xC25C	DATE_COEFF23	VIDEO_OUT 延时配置寄存器	10-231
0xC280	DATE_ISRMASK	中断屏蔽寄存器	10-232
0xC284	DATE_ISRSTATE	中断状态寄存器	10-233
0xC288	DATE_ISR	中断寄存器	10-233
0xC290	DATE_VERSION	版本寄存器	10-234
0xC400	DATE1_COEFF0	制式参数配置寄存器	10-234
0xC404	DATE1_COEFF1	幅度配置寄存器	10-239
0xC41C	DATE1_COEFF7	Teletext 配置寄存器	10-241
0xC420	DATE1_COEFF8	Teletext 配置寄存器	10-245



偏移地址	名称	描述	页码
0xC424	DATE1_COEFF9	Teletext 配置寄存器	10-246
0xC428	DATE1_COEFF10	Teletext 配置寄存器	10-246
0xC42C	DATE1_COEFF11	Closed Caption 配置寄存器	10-247
0xC430	DATE1_COEFF12	Closed Caption 配置寄存器	10-248
0xC434	DATE1_COEFF13	CGMS 配置寄存器	10-248
0xC438	DATE1_COEFF14	CGMS 配置寄存器	10-249
0xC43C	DATE1_COEFF15	WSS 配置寄存器	10-249
0xC440	DATE1_COEFF16	VPS 配置寄存器	10-250
0xC444	DATE1_COEFF17	VPS 配置寄存器	10-251
0xC448	DATE1_COEFF18	VPS 配置寄存器	10-251
0xC44C	DATE1_COEFF19	VPS 配置寄存器	10-252
0xC450	DATE1_COEFF20	Teletext 配置寄存器	10-252
0xC454	DATE1_COEFF21	输出矩阵控制寄存器	10-253
0xC458	DATE1_COEFF22	DTO 初始相位配置寄存器	10-256
0xC45C	DATE1_COEFF23	VIDEO_OUT 延时配置寄存器	10-257
0xC480	DATE1_ISRMASK	中断屏蔽寄存器	10-258
0xC484	DATE1_ISRSTATE	中断状态寄存器	10-259
0xC488	DATE1_ISR	中断寄存器	10-259
0xC490	DATE1_VERSION	版本寄存器	10-260
0xCE00	VOCTRL	VO 控制寄存器	10-260
0xCE04	VOINTSTA	VO 中断状态寄存器	10-261
0xCE08	VOMSKINTSTA	VO 经过 Mask 的中断状态寄存器	10-263
0xCE0C	VOINTMSK	VOU 中断屏蔽寄存器	10-265
0xCE10	VOUVERSION1	VOU 版本 1 寄存器	10-266
0xCE14	VOUVERSION2	VOU 版本 2 寄存器	10-266
0xCE18	VOMUXDATA	VO 输出接口复选数据 (VOPINTTEST) 寄存器	10-267
0xCE1C	VOMUX	VO 输出接口复选寄存器	10-268
0xCE24	VGACSCIDC	色彩空间转换输入直流分量寄存器	10-269



偏移地址	名称	描述	页码
0xCE28	VGACSCODC	色彩空间转换输出直流分量寄存器	10-269
0xCE2C	VGACSCP0	色彩空间转换参数 0 寄存器	10-270
0xCE30	VGACSCP1	色彩空间转换参数 1 寄存器	10-270
0xCE34	VGACSCP2	色彩空间转换参数 2 寄存器	10-271
0xCE38	VGACSCP3	色彩空间转换参数 3 寄存器	10-272
0xCE3C	VGACSCP4	色彩空间转换参数 4 寄存器	10-272
0xCE40	VOPARAUP	缩放/GAMMA/ACC 系数更新使能寄存器	10-272
0xCE44	VHDHCOEFAD	VHD 水平亮度、水平色度滤波系数地址寄存器	10-274
0xCE48	VHDVCOEFAD	VHD 垂直亮度、水平色度滤波系数地址寄存器	10-274
0xCE58	WBC2HCOEFAD	WBC2 水平亮度、水平色度滤波系数地址寄存器	10-274
0xCE5C	WBC2VCOEFAD	WBC2 垂直亮度、水平色度滤波系数地址寄存器	10-275
0xD000~ 0xD10C	VHDHLCOEF	VHD 水平亮度缩放滤波系数寄存器	10-275
0xD200~ 0xD284	VHDHCCOEF	VHD 水平色度缩放滤波系数寄存器	10-276
0xD400~ 0xD50C	VHDVLCOEF	VHD 垂直亮度缩放滤波系数寄存器	10-277
0xD600~ 0xD684	VHDVCCOEF	VHD 垂直色度缩放滤波系数寄存器	10-277
0xE000~ 0xE10C	WBCHLCOEF	WBC 水平亮度缩放滤波系数寄存器	10-278
0xE200~ 0xE284	WBCHCCOEF	WBC 水平色度缩放滤波系数寄存器	10-279
0xE400~ 0xE50C	WBCVLCOEF	WBC 垂直亮度缩放滤波系数寄存器	10-280
0xE600~ 0xE684	WBCVCCOEF	WBC 垂直色度缩放滤波系数寄存器	10-281



11.2.5 寄存器描述

VHDNCTRL

VHDNCTRL 为 VHD 控制寄存器。该寄存器可以配置层的相关信息。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																								
	0x0000				VHDNCTRL				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	surface_en	reserved												ifir_mode		vup_mode		reserved												ifmt			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0								
Bits	Access		Name		Description																												
[31]	RW		surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																												
[30:20]	RO		reserved		保留。																												
[19:18]	RW		ifir_mode		水平色度 IFIR 模式。 00: 保留。 01: 色度 IFIR 拷贝模式; 10: 双线性插值; 11: 6 阶 FIR。																												
[17]	RW		vup_mode		寄存器更新模式选择。 0: 按场更新; 1: 按帧更新。																												
[16:4]	RO		reserved		保留。																												
[3:0]	RW		ifmt		输入数据格式。 0x3: SPYCbCr420; 0x4: SPYCbCr422; 其他: 保留。																												

VHDNUPD

VHDNUPD 为 VHD 通道更新使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x0004		VHDNUPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。						

VHDNCADDR

VHDNCADDR 为当前帧的地址寄存器。对于 package 像素格式就是帧 buffer 地址；对于 semi-planar 像素格式是亮度帧 buffer 地址。

Offset Address		Register Name		Total Reset Value				
0x0010		VHDNCADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_caddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_caddr	当前帧的地址。					

VHDNCCADDR

VHDNCCADDR 为当前帧的色度地址寄存器。对于 package 像素格式该地址无效；对于 semi-planar 像素格式是色度帧 buffer 地址。



Offset Address		Register Name		Total Reset Value				
0x0014		VHDNCCADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_ccaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_ccaddr	当前帧的色度地址。					

VHDNSTRIDE

VHDNSTRIDE 为 surface 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0024		VHDNSTRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	色度帧 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	帧 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

VHDNIRESO

VHDNIRESO 为输入分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0028		VHDNIRESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					



Offset Address		Register Name		Total Reset Value					
0x0028		VHDNIRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[23:12]	RW	ih	高度，单位：行。实际高度减 1。 以帧高度为参考，以行为单位。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。						

VHDNCBMPARA

VHDNCBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0034		VHDNCBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						galpha		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RW	reserved	保留。						
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~128。128 为全不透明；0 为全透明。						

VHDNDFPOS

VHDNDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0060				VHDNDFPOS								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				disp_yfpos								disp_xfpos																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RO	reserved	保留。																													
[23:12]	RW	disp_yfpos	显示列起始坐标。 以帧高度为参考，以行为单位。																													
[11:0]	RW	disp_xfpos	显示行起始坐标。																													

VHDNDLPOS

VHDNDLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0064				VHDNDLPOS								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				disp_ylpos								disp_xlpos																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RO	reserved	保留。																													
[23:12]	RW	disp_ylpos	显示列结束坐标。 以帧高度为参考，以行为单位。																													
[11:0]	RW	disp_xlpos	显示行结束坐标。																													

VHDBK

VHDBK 为视频层的背景色寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0070				VHDBK								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vbk_alpha				vbk_y				vbk_cb				vbk_cr																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		vbk_alpha		视频层的背景填充色 0~128 级。																											
[23:16]	RW		vbk_y		Y 分量。																											
[15:8]	RW		vbk_cb		Cb 分量。																											
[7:0]	RW		vbk_cr		Cr 分量。																											

VHDNCSCIDC

VHDNCSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0080				VHDNCSCIDC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		csc_en	cscidc2				cscidc1				cscidc0																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27]	RW		csc_en		CSC 使能控制信号。 0: 禁止; 1: 使能。																											
[26:18]	RW		cscidc2		输入分量 2 直流参数, MSB 为符号位。补码表示。																											
[17:9]	RW		cscidc1		输入分量 1 直流参数, MSB 为符号位。补码表示。																											
[8:0]	RW		cscidc0		输入分量 0 直流参数, MSB 为符号位。补码表示。																											

VHDNCSCODC

VHDNCSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0084		VHDNCSCODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。						
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。						
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。						

VHDNCSCP0

VHDNCSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0088		VHDNCSCP0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp01			reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VHDNCSCP1

VHDNCSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x008C		VHDNCSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VHDNCSCP2

VHDNCSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0090		VHDNCSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



VHDNCSCP3

VHDNCSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0094		VHDNCSCP3		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21								reserved				cscp20															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:16]	RW		cscp21		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											
[15:13]	RO		reserved		保留。																											
[12:0]	RW		cscp20		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

VHDNCSCP4

VHDNCSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0098		VHDNCSCP4		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cscp22																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	RO		reserved		保留。																											
[12:0]	RW		cscp22		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

VHDNHSP

VHDNHSP 为水平缩放参数配置（horizontal Scaling Parameter）寄存器。



缩放比率 = 输入宽度/输出宽度

	Offset Address 0x00C0								Register Name VHDNHSP								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hlmsc_en	hchmsc_en	hlmid_en	hchmid_en	reserved	hlfir_en	hchfir_en	reserved	hratio																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		hlmsc_en		水平亮度缩放使能。 0: 禁止; 1: 使能。																											
[30]	RW		hchmsc_en		水平色度缩放使能。 0: 禁止; 1: 使能。																											
[29]	RW		hlmid_en		水平亮度缩放中值滤波使能（当 hlfir_en 无效时，该比特不起作用）。 0: 禁止; 1: 使能。																											
[28]	RW		hchmid_en		水平色度缩放中值滤波使能（当 hchfir_en 无效时，该比特不起作用）。 0: 禁止; 1: 使能。																											
[27]	RO		reserved		保留。																											
[26]	RW		hlfir_en		水平亮度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。																											
[25]	RW		hchfir_en		水平色度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。																											
[24]	RO		reserved		保留。																											
[23:0]	RW		hratio		水平缩放倍数，(u,4,20)格式。																											



VHDNHLOFFSET

VHDNHLOFFSET 为亮度水平位置偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x00C4		VHDNHLOFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	hor_offset						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:0]	RW	hor_offset	水平亮度位置偏移, (s,8,20)格式。补码表示。					

VHDNHCOFFSET

VHDNHCOFFSET 为色度水平位置偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x00C8		VHDNHCOFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	hor_coffset						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:0]	RW	hor_coffset	水平色度位置偏移, (s,8,20)格式。补码表示。					

VHDNVSP

VHDNVSP 为缩放参数 (vertical Scaling Parameter) 寄存器。



		Offset Address 0x00CC								Register Name VHDNVSP								Total Reset Value 0x0000_0000																
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name		vlmsc_en	vchmsc_en	vlmid_en	vchmid_en	reserved	vsc_chroma_tap	reserved	vlfir_en	vchfir_en	zme_out_fmt	zme_in_fmt		reserved																				
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																												
	[31]	RW		vlmsc_en		垂直亮度缩放使能。 0: 禁止; 1: 使能。																												
	[30]	RW		vchmsc_en		垂直色度缩放使能。 0: 禁止; 1: 使能。																												
	[29]	RW		vlmid_en		垂直亮度缩放中值滤波使能(当 vlfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。																												
	[28]	RW		vchmid_en		垂直色度缩放中值滤波使能(当 vchfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。																												
	[27]	RO		reserved		保留。																												
	[26]	RW		vsc_chroma_tap		垂直色度缩放阶数。 0: 4 阶 FIR; 1: 2 阶 FIR。																												
	[25]	RO		reserved		保留。																												
	[24]	RW		vlfir_en		垂直亮度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。																												



[23]	RW	vchfir_en	垂直色度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。
[22:21]	RW	zme_out_fmt	缩放输出数据格式。 0: 422; 其他: 保留。
[20:19]	RW	zme_in_fmt	缩放输入数据格式。 0: 422; 1: 420。
[18:0]	RO	reserved	保留。

VHDNVSR

VHDNVSR 为垂直缩放倍数（Luma Vertical Scaling Ratio）寄存器。非即时寄存器。

缩放比率 = 输入高度/输出高度。

	Offset Address				Register Name				Total Reset Value																							
	0x00D0				VHDNVSR				0x0000_1000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vratio																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:0]	RW		vratio		垂直缩放倍数，(u,4,12)格式。																											

VHDNVOFFSET

VHDNVOFFSET 为垂直缩放偏移（Vertical Luma Offset）寄存器。

垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。



Offset Address		Register Name		Total Reset Value				
0x00D4		VHDNVOFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vluma_offset				vchroma_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	vluma_offset	垂直亮度偏移，补码表示，(s,4,12)格式。					
[15:0]	RW	vchroma_offset	垂直色度偏移，补码表示，(s,4,12)格式。					

VHDNZMEORES0

VHDNZMEORES0 为缩放单元的输出分辨率寄存器。

Offset Address		Register Name		Total Reset Value				
0x00D8		VHDNZMEORES0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	oh	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位；隔行时，以场高度为参考，以行为单位。					
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。					

VHDNZMEIRES0

VHDNZMEIRES0 为缩放单元的输入分辨率寄存器。



Offset Address		Register Name		Total Reset Value					
0x00DC		VHDNZMEIRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	ih	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位，隔行时，以场高度为参考，以行为单位。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

VHDNIFIRCOEF01

VHDNIFIRCOEF01 为 VHD IFIR 滤波系数 0、1 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0180		VHDNIFIRCOEF01		0x000D_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef1		reserved		coef0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	coef1	IFIR 滤波系数 1。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	coef0	IFIR 滤波系数 0。						

VHDNIFIRCOEF23

VHDNIFIRCOEF23 为 VHD IFIR 滤波系数 2、3 寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0184				VHDNIFIRCOEF23								0x0132_03C1																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef3				reserved				coef2																			
Reset	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1
	Bits	Access	Name		Description																											
	[31:26]	RO	reserved		保留。																											
	[25:16]	RW	coef3		IFIR 滤波系数 3。																											
	[15:10]	RO	reserved		保留。																											
	[9:0]	RW	coef2		IFIR 滤波系数 2。																											

VHDNIFIRCOEF45

VHDNIFIRCOEF45 为 VHD IFIR 滤波系数 4、5 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0188				VHDNIFIRCOEF45								0x03C1_0132																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef5				reserved				coef4																			
Reset	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0
	Bits	Access	Name		Description																											
	[31:26]	RO	reserved		保留。																											
	[25:16]	RW	coef5		IFIR 滤波系数 5。																											
	[15:10]	RO	reserved		保留。																											
	[9:0]	RW	coef4		IFIR 滤波系数 4。																											

VHDNIFIRCOEF67

VHDNIFIRCOEF67 为 VHD IFIR 滤波系数 6、7 寄存器。



Offset Address		Register Name		Total Reset Value					
0x018C		VHDNIFIRCOEF67		0x0000_000D					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef7		reserved		coef6		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	coef7	IFIR 滤波系数 7。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	coef6	IFIR 滤波系数 6。						

VHDNPMRESO

VHDNPMRESO 为视频层 VHD 分区 m 的分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0400+m x 0x20 (m = 0~15)		VHDNPMRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RW	reserved	保留。						
[11:0]	RW	w	宽度，单位：像素。实际宽度减 1。 注意：实际宽度必须是偶数。						

VHDNPMLADDR

VHDNPMLADDR 为视频层 VHD 分区 m 的地址寄存器。



Offset Address
0x0404+m x 0x20
(m = 0~15)

Register Name
VHDNPLADDR

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RW		surface_addr		视频层 VHD 分区 m 的首地址。																															

VHDNPMCADDR

VHDNPMCADDR 为视频层 VHD 分区 m 的色度地址寄存器。

Offset Address
0x0408+m x 0x20
(m = 0~15)

Register Name
VHDNPMCADDR

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RW		surface_addr		视频层 VHD 分区 m 的色度首地址。																															

VHDNPMSTRIDE

VHDNPMSTRIDE 为视频层 VHD 分区 m 的 stride 寄存器。

Offset Address
0x040C+m x 0x20
(m = 0~15)

Register Name
VHDNPMSTRIDE

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_cstride																surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	RW		surface_cstride		视频层 VHD 分区 m 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。																															



Offset Address
0x040C+m x 0x20
(m = 0~15)

Register Name
VHDNPMSTRIDE

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_cstride												surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[15:0]	RW	surface_stride		视频层 VHD 分区 m buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。																											

VHDNPMVFPOS

VHDNPMVFPOS 为视频层 VHD 分区 m 在视频内容的起始位置 (First POSition) 寄存器。以像素为单位。非即时寄存器。

Offset Address
0x0410+m x 0x20
(m = 0~15)

Register Name
VHDNPMVFPOS

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								video_yfpos								video_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	reserved		保留。																											
	[23:12]	RW	video_yfpos		视频内容列起始坐标。 以帧高度为参考, 以行为单位。																											
	[11:0]	RW	video_xfpos		视频内容行起始坐标。																											

VHDNPMVLPOS

VHDNPMVLPOS 为视频层 VHD 分区 m 在视频内容的结束位置 (First POSition) 寄存器。以像素为单位。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0414+m x 0x20 (m = 0~15)		VHDNPMVLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

VHDN64REGIONENL

VHDN64REGIONENL 为视频层 VHD 16 分区的 0~15 分区使能寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value															
0x0C04		VHDN64REGIONENL		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	reserved			p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																
[31:16]	RW	reserved	保留。																
[15]	RW	p15_en	VHD 分区 15 的使能信号。 0: 禁止; 1: 使能。																
[14]	RW	p14_en	VHD 分区 14 的使能信号。 0: 禁止; 1: 使能。																
[13]	RW	p13_en	VHD 分区 13 的使能信号。 0: 禁止; 1: 使能。																



Offset Address		Register Name		Total Reset Value																
0x0C04		VHDN64REGIONENL		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																	
[12]	RW	p12_en	VHD 分区 12 的使能信号。 0: 禁止; 1: 使能。																	
[11]	RW	p11_en	VHD 分区 11 的使能信号。 0: 禁止; 1: 使能。																	
[10]	RW	p10_en	VHD 分区 10 的使能信号。 0: 禁止; 1: 使能。																	
[9]	RW	p9_en	VHD 分区 9 的使能信号。 0: 禁止; 1: 使能。																	
[8]	RW	p8_en	VHD 分区 8 的使能信号。 0: 禁止; 1: 使能。																	
[7]	RW	p7_en	VHD 分区 7 的使能信号。 0: 禁止; 1: 使能。																	
[6]	RW	p6_en	VHD 分区 6 的使能信号。 0: 禁止; 1: 使能。																	
[5]	RW	p5_en	VHD 分区 5 的使能信号。 0: 禁止; 1: 使能。																	
[4]	RW	p4_en	VHD 分区 4 的使能信号。 0: 禁止; 1: 使能。																	



	Offset Address 0x0C04								Register Name VHDN64REGIONENL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[3]	RW	p3_en	VHD 分区 3 的使能信号。 0: 禁止; 1: 使能。																												
	[2]	RW	p2_en	VHD 分区 2 的使能信号。 0: 禁止; 1: 使能。																												
	[1]	RW	p1_en	VHD 分区 1 的使能信号。 0: 禁止; 1: 使能。																												
	[0]	RW	p0_en	VHD 分区 0 的使能信号。 0: 禁止; 1: 使能。																												

VSDICTRL

VSDICTRL 为 VSD 控制寄存器。该寄存器可以配置层的相关信息。非即时寄存器。



Offset Address 0x3000+i x 0x1000 (i = 0~1)		Register Name VSDICTRL		Total Reset Value 0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				ifir_mode	vup_mode	reserved		ifmt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	surface_en	surface 使能。非即时寄存器。 0: 禁止; 1: 使能。						
[30:20]	RO	reserved	保留。						
[19:18]	RW	ifir_mode	水平色度 IFIR 模式。 00: 保留。 01: 色度 IFIR 拷贝模式; 10: 双线性插值; 11: 6 阶 FIR。						
[17]	RW	vup_mode	寄存器更新模式选择。 0: 按场更新; 1: 按帧更新。						
[16:4]	RO	reserved	保留。						
[3:0]	RW	ifmt	输入数据格式。 0x3: SPYCbCr420; 0x4: SPYCbCr422; 其他: 保留。						

VSDIUPD

VSDIUPD 为 VSD 通道更新使能寄存器。



	Offset Address $0x3004+i \times 0x1000$ ($i = 0 \sim 1$)																Register Name VSDIUPD				Total Reset Value 0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved																															regup					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																																
	[31:1]	RO	reserved		保留。																																
	[0]	RW	regup		surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。																																

VSDICADDR

VSDICADDR 为当前帧的地址寄存器。对于 package 像素格式，该地址是帧 buffer 地址；对于 semi-planar 像素格式，该地址是亮度帧 buffer 地址。

	Offset Address $0x3010+i \times 0x1000$ ($i = 0 \sim 1$)																Register Name VSDICADDR				Total Reset Value 0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	surface_caddr																																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
	Bits	Access	Name		Description																																
	[31:0]	RW	surface_caddr		DIE 当前帧的地址。																																

VSDICCADDR

VSDICCADDR 为当前帧的色度地址寄存器。对于 package 像素格式该地址无效；对于 semi-planar 像素格式是色度帧 buffer 地址。



Offset Address
 $0x3014+i \times 0x1000$
 (i = 0~1)

Register Name
 VSDICADDR

Total Reset Value
 0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_ccaddr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RW	surface_ccaddr		DIE 当前帧的色度地址。																															

VSDISTRIDE

VSDISTRIDE 为 surface 的 stride 寄存器。

Offset Address
 $0x3024+i \times 0x1000$
 (i = 0~1)

Register Name
 VSDISTRIDE

Total Reset Value
 0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_cstride																surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:16]	RW	surface_cstride		色度帧 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。																															
	[15:0]	RW	surface_stride		帧 buffer 的 stride(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。																															

VSDIRESO

VSDIRESO 为输入分辨率寄存器。非即时寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x3028+i x 0x1000				VSDIIRESO				0x0000_0000																							
	(i = 0~1)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ih								iw																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RO	reserved	保留。																												
	[23:12]	RW	ih	高度，单位：行。实际高度减 1。 以帧高度为参考，以行为单位。																												
	[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。																												

VSDICBMPARA

VSDICBMPARA 为叠加相关参数寄存器。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x3034+i x 0x1000				VSDICBMPARA				0x0000_0000																							
	(i = 0~1)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												galpha																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:8]	RW	reserved	保留。																												
	[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~128。128 为全不透明；0 为全透明。																												

VSDIDFPOS

VSDIDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。非即时寄存器。



Offset Address
 $0x3060 + i \times 0x1000$
($i = 0 \sim 1$)

Register Name
VSDIDFPOS

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_yfpos								disp_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:12]	RW		disp_yfpos		显示列起始坐标。 以帧高度为参考，以行为单位。																											
[11:0]	RW		disp_xfpos		显示行起始坐标。																											

VSDIDLPOS

VSDIDLPOS 为 Surface 在显示窗口的结束位置 (Last POSition) 寄存器。以像素为单位。非即时寄存器。

Offset Address
 $0x3064 + i \times 0x1000$
($i = 0 \sim 1$)

Register Name
VSDIDLPOS

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_ylpos								disp_xlpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:12]	RW		disp_ylpos		显示列结束坐标。 以帧高度为参考，以行为单位。																											
[11:0]	RW		disp_xlpos		显示行结束坐标。																											

VSDIBK

VSDIBK 为视频层的背景色寄存器。



Offset Address		Register Name		Total Reset Value					
0x3070+i x 0x1000 (i = 0~1)		VSDIBK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vbk_alpha		vbk_y		vbk_cb		vbk_cr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	vbk_alpha	视频层的背景填充色 0~128 级。						
[23:16]	RW	vbk_y	Y 分量。						
[15:8]	RW	vbk_cb	Cb 分量。						
[7:0]	RW	vbk_cr	Cr 分量。						

VSDICSCIDC

VSDICSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x3080+i x 0x1000 (i = 0~1)		VSDICSCIDC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	csc_en	cscidc2		cscidc1		cscidc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27]	RW	csc_en	CSC 使能控制信号。 0: 禁止; 1: 使能。						
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。						
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。						
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。						



VSDICSCODC

VSDICSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address
 $0x3084+i \times 0x1000$
($i = 0 \sim 1$)

Register Name
VSDICSCODC

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscodc2								cscodc1								cscodc0											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits					Access				Name				Description																			
	[31:27]				RO				reserved				保留。																			
	[26:18]				RW				cscodc2				输出分量 2 直流参数，MSB 为符号位。补码表示。																			
	[17:9]				RW				cscodc1				输出分量 1 直流参数，MSB 为符号位。补码表示。																			
	[8:0]				RW				cscodc0				输出分量 0 直流参数，MSB 为符号位。补码表示。																			

VSDICSCP0

VSDICSCP0 为色彩空间转换参数寄存器。即时寄存器。

Offset Address
 $0x3088+i \times 0x1000$
($i = 0 \sim 1$)

Register Name
VSDICSCP0

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp01								reserved				cscp00															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits					Access				Name				Description																			
	[31:29]				RO				reserved				保留。																			
	[28:16]				RW				cscp01				5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																			
	[15:13]				RO				reserved				保留。																			
	[12:0]				RW				cscp00				5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																			



VSDICSCP1

VSDICSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x308C+i x 0x1000 (i = 0~1)		VSDICSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

VSDICSCP2

VSDICSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x3090+i x 0x1000 (i = 0~1)		VSDICSCP2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp12				reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							



Offset Address		Register Name		Total Reset Value						
0x3090+i x 0x1000 (i = 0~1)		VSDICSCP2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp12				reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[15:13]	RO	reserved	保留。							
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

VSDICSCP3

VSDICSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x3094+i x 0x1000 (i = 0~1)		VSDICSCP3		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp21				reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							



VSDICSCP4

VSDICSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x3098+i x 0x1000 (i = 0~1)		VSDICSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	RO	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VSDIIFIRCOEF01

VSDIIFIRCOEF01 为 VSD IFIR 滤波系数 0、1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x3180+i x 0x1000 (i = 0~1)		VSDIIFIRCOEF01		0x000D_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef1		reserved		coef0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:26]	RO	reserved	保留。					
[25:16]	RW	coef1	IFIR 滤波系数 1。					
[15:10]	RO	reserved	保留。					
[9:0]	RW	coef0	IFIR 滤波系数 0。					

VSDIIFIRCOEF23

VSDIIFIRCOEF23 为 VSD IFIR 滤波系数 2、3 寄存器。



Offset Address
 $0x3184 + i \times 0x1000$
($i = 0 \sim 1$)

Register Name
VSDIIFIRCOEF23

Total Reset Value
0x0132_03C1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef3								reserved				coef2															
Reset	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:16]	RW		coef3		IFIR 滤波系数 3。																											
[15:10]	RO		reserved		保留。																											
[9:0]	RW		coef2		IFIR 滤波系数 2。																											

VSDIIFIRCOEF45

VSDIIFIRCOEF45 为 VSD IFIR 滤波系数 4、5 寄存器。

Offset Address
 $0x3188 + i \times 0x1000$
($i = 0 \sim 1$)

Register Name
VSDIIFIRCOEF45

Total Reset Value
0x003C_0132

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef5								reserved				coef4															
Reset	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:16]	RW		coef5		IFIR 滤波系数 5。																											
[15:10]	RO		reserved		保留。																											
[9:0]	RW		coef4		IFIR 滤波系数 4。																											

VSDIIFIRCOEF67

VSDIIFIRCOEF67 为 VSD IFIR 滤波系数 6、7 寄存器。



Offset Address		Register Name		Total Reset Value					
0x318C+i x 0x1000 (i = 0~1)		VSDIFIRCOEF67		0x0000_000D					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef7		reserved		coef6		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	coef7	IFIR 滤波系数 7。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	coef6	IFIR 滤波系数 6。						

VSDIP0RESO

VSDIP0RESO 为视频层 VSD 分区 0 的分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x3400+i x 0x1000 (i = 0~1)		VSDIP0RESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		h			w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	h	高度，以帧高度为参考。行为单位，实际高度减 1。 注意：实际高度必须是偶数。						
[11:0]	RW	w	宽度，单位：像素。实际宽度减 1。 注意：实际宽度必须是偶数。						

VSDIP0LADDR

VSDIP0LADDR 为视频层 VSD 分区 0 的地址寄存器。



Offset Address
 $0x3404+i \times 0x1000$
($i = 0 \sim 1$)

Register Name
VSDIP0LADDR

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:0]	RW	surface_addr	视频层 VSD 分区 0 的首地址。																																

VSDIP0CADDR

VSDIP0CADDR 为视频层 VSD 分区 0 的色度地址寄存器。

Offset Address
 $0x3408+i \times 0x1000$
($i = 0 \sim 1$)

Register Name
VSDIP0CADDR

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:0]	RW	surface_addr	视频层 VSD 分区 0 的色度首地址。																																

VSDIP0STRIDE

VSDIP0STRIDE 为视频层 VSD 分区 0 的 stride 寄存器。

Offset Address
 $0x340C+i \times 0x1000$
($i = 0 \sim 1$)

Register Name
VSDIP0STRIDE

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_cstride																surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:16]	RW	surface_cstride	视频层 VSD 分区 0 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。																																



Offset Address		Register Name		Total Reset Value				
0x340C+i x 0x1000 (i = 0~1)		VSDIP0STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[15:0]	RW	surface_stride	视频层 VSD 分区 0 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

VSDIP0VFPOS

VSDIP0VFPOS 为视频层 VSD 分区 0 在视频内容的起始位置 (First POSition) 寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x3410+i x 0x1000 (i = 0~1)		VSDIP0VFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。					
[11:0]	RW	video_xfpos	视频内容行起始坐标。					

VSDIP0VLPOS

VSDIP0VLPOS 为视频层 VSD 分区 0 在视频内容的结束位置 (First POSition) 寄存器。以像素为单位。非即时寄存器。



Offset Address
0x3414+i x 0x1000
(i = 0~1)

Register Name
VSDIP0VLPOS

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								video_ylpos								video_xlpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	reserved		保留。																											
	[23:12]	RW	video_ylpos		视频内容列起始坐标。 以帧高度为参考，以行为单位。																											
	[11:0]	RW	video_xlpos		视频内容行起始坐标。																											

VSDI16REGIONEN

VSDI16REGIONEN 为视频层 VSD 单区域使能寄存器。非即时寄存器。

Offset Address
0x3C04+i x 0x1000
(i = 0~1)

Register Name
VSDI16REGIONEN

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																														p0_en	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RW	reserved		保留。																											
	[0]	RW	p0_en		VSD 分区 0 的使能信号。 0: 禁止; 1: 使能。																											

WBC2CTRL

WBC2CTRL 为 WBC2 的控制寄存器。非即时寄存器。



	Offset Address 0x8200								Register Name WBC2CTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wbc0_en	reserved	wb_stp_en	reserved	dfp_sel	reserved								wbc0_dft	reserved																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31]	RW	wbc2_en		WBC2 使能。 0: 禁能; 1: 使能。																											
	[30:29]	RO	reserved		保留。																											
	[28]	RW	wb_stp_en		回写停止。在接口时序走完有效区时, 若 WBC2 回写未完成, 则当前帧的未回写数据不再回写。 0: 禁能; 1: 使能。																											
	[27]	RO	reserved		保留。																											
	[26:24]	RW	dfp_sel		数据提取点选择。 01: 数据提取点 1; From VHD.LBOX; 10: 数据提取点 2; From CBM.Mixer1; 其他: 保留。																											
	[23:14]	RO	reserved		保留。																											
	[13:12]	RW	Wbc0_dft		WBC0 的输出数据格式 00: SPYCbCr422; 01: SPYCbCr420; 其他: 保留。																											
	[11:0]	RO	reserved		保留。																											

WBC2UPD

WBC2UPD 为 WBC2 通道更新使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x8204		WBC2UPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	regup	CAPTURE 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。						

WBC2ADDR

WBC2ADDR 为 CAPTURE 写地址地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x8208		WBC2ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wbcaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wbcaddr	帧 buffer 地址。4byte 位对齐，低 2bit 无效(支持无缝拼接)。					

WBC2STRIDE

WBC2STRIDE 为 CAPTURE 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x820C		WBC2STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				wbc0stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					



Offset Address		Register Name		Total Reset Value				
0x820C		WBC2STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				wbc0stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[15:0]	RW	wbc0stride	帧 buffer 的 stride。128bit 对齐。					

WBC2ORESO

WBC2ORESO 为输出分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x8210		WBC2ORESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	oh	高度，单位：行。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。					
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。					

WBC2CADDR

WBC2CADDR 为 CAPTURE 写地址色度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x8220		WBC2CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wbccaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wbccaddr	帧色度 buffer 地址。4byte 位对齐，低 2bit 无效(支持无缝拼接)。					

WBC2CSTRIDE

WBC2CSTRIDE 为 CAPTURE 的色度 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x8224		WBC2CSTRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				wbc0cstride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	wbc0cstride	帧色度 buffer 的 stride。16byte 位对齐。					

WBC2HSP

WBC2HSP 为水平缩放参数配置 (horizontal Scaling Parameter) 寄存器。非即时寄存器。

缩放比率 = 输入宽度 / 输出宽度。



		Offset Address 0x82C0								Register Name WBC2HSP								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		hlmsc_en	hchmsc_en	hlmid_en	hchmid_en	reserved	hlfir_en	hchfir_en	reserved	hratio																							
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31]	RW	hlmsc_en		水平亮度缩放使能。 0: 禁止; 1: 使能。																													
[30]	RW	hchmsc_en		水平色度缩放使能。 0: 禁止; 1: 使能。																													
[29]	RW	hlmid_en		水平亮度缩放中值滤波使能(当 hlfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。																													
[28]	RW	hchmid_en		水平色度缩放中值滤波使能(当 hchfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。																													
[27]	RO	reserved		保留。																													
[26]	RW	hlfir_en		水平亮度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。																													
[25]	RW	hchfir_en		水平色度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。																													
[24]	RO	reserved		保留。																													
[23:0]	RW	hratio		水平缩放倍数, (u,4,20)格式。																													



WBC2HLOFFSET

WBC2HLOFFSET 为亮度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x82C4		WBC2HLOFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	hor_loffset						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:0]	RW	hor_loffset	水平亮度位置偏移，(s,8,20)格式。补码表示。					

WBC2HCOFFSET

WBC2HCOFFSET 为色度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x82C8		WBC2HCOFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	hor_coffset						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:0]	RW	hor_coffset	水平色度位置偏移，(s,8,20)格式。补码表示。					

WBC2VSP

WBC2VSP 为缩放参数（vertical Scaling Parameter）寄存器。



		Offset Address 0x82CC								Register Name WBC2VSP								Total Reset Value 0x0000_0000																
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name		vlmsc_en	vchmsc_en	vlmid_en	vchmid_en	reserved	vsc_chroma_tap	reserved	vlfir_en	vchfir_en	zme_out_fmt	zme_in_fmt		reserved																				
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																														
[31]	RW	vlmsc_en		垂直亮度缩放使能。 0: 禁止; 1: 使能。																														
[30]	RW	vchmsc_en		垂直色度缩放使能。 0: 禁止; 1: 使能。																														
[29]	RW	vlmid_en		垂直亮度缩放中值滤波使能(当 vlfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。																														
[28]	RW	vchmid_en		垂直色度缩放中值滤波使能(当 vchfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。																														
[27]	RO	reserved		保留。																														
[26]	RW	vsc_chroma_tap		垂直色度缩放阶数。 0: 4 阶 FIR; 1: 2 阶 FIR。																														
[25]	RO	reserved		保留。																														
[24]	RW	vlfir_en		垂直亮度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。																														
[23]	RW	vchfir_en		垂直色度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。																														



Offset Address		Register Name		Total Reset Value					
0x82CC		WBC2VSP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vlmisc_en vchmisc_en vlmid_en vchmid_en	reserved vsc_chroma_tap reserved	vlfir_en vchfir_en zme_out_fmt zme_in_fmt	reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[22:21]	RW	zme_out_fmt	缩放输出数据格式。 0: 420; 1: 422。						
[20:19]	RW	zme_in_fmt	缩放输入数据格式。 0: 422; 其他: 保留。						
[18:0]	RO	reserved	保留。						

WBC2VSR

WBC2VSR 为垂直缩放倍数（Luma Vertical Scaling Ratio）寄存器。非即时寄存器。
缩放比率 = 输入高度 / 输出高度。

Offset Address		Register Name		Total Reset Value				
0x82D0		WBC2VSR		0x0000_1000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			vratio				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	vratio	垂直缩放倍数，(u,4,12)格式。					

WBC2VOFFSET

WBC2VOFFSET 为垂直缩放偏移（Vertical Luma Offset）寄存器。



垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。

Offset Address		Register Name		Total Reset Value				
0x82D4		WBC2VOFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vluma_offset				vchroma_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	vluma_offset	垂直亮度偏移，补码表示，(s,4,12)格式。					
[15:0]	RW	vchroma_offset	垂直色度偏移，补码表示，(s,4,12)格式。					

WBC2ZMEORES0

WBC2ZMEORES0 为缩放单元的输出分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x82D8		WBC2ZMEORES0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	oh	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位；隔行时，以场高度为参考，以行为单位。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

WBC2ZMEIRES0

WBC2ZMEIRES0 为缩放单元的输入分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x82DC		WBC2ZMEIRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	ih	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位；隔行时，以场高度为参考，以行为单位。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G0CTRL

G0CTRL 为 G0 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9000		G0CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_en	reserved	upd_mode	read_mode	dcmp_mode	dcmp_inter	reserved	bitext	ifmt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	surface_en	surface 使能。非即时寄存器。 0：禁止； 1：使能。						
[30:28]	RO	reserved	保留。						
[27]	RW	upd_mode	更新模式。 0：帧更新； 1：场更新。						



	Offset Address 0x9000								Register Name G0CTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en		reserved				upd_mode	read_mode	dcmp_mode	dcmp_inter	reserved								bitext				ifmt									
Reset	0 0 0 0								0 0 0 0								0 0 0 0								0 0 0 0							
	Bits	Access	Name		Description																											
	[26]	RW	read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																											
	[25]	RW	dcmp_mode		解压模式。非即时寄存器。 0: 非解压模式模式; 1: 解压模式。																											
	[24]	RW	dcmp_inter		隔行解压控制, 非即时寄存器。 0: 逐行解压; 1: 隔行解压。																											
	[23:10]	RW	reserved		保留。																											
	[9:8]	RW	bitext		层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。																											
	[7:0]	RW	ifmt		输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。																											

G0UPD

G0UPD 为图形层更新使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x9004		G0UPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。						

G0ADDR

G0ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G0SFPOS 说明。

Offset Address		Register Name		Total Reset Value				
0x9008		G0ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

G0STRIDE

G0STRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x900C		G0STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					



Offset Address		Register Name		Total Reset Value					
0x900C		G0STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				surface_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[15:0]	RW	surface_stride	帧 buffer 的 stride。						

G0CBMPARA

G0CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x9010		G0CBMPARA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				key_mode	key_en	premult_en	palpha_en	reserved	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:16]	RO	reserved	保留。							
[15]	RW	key_mode	color key 模式 0: 满足 $\text{Keymin} \leq \text{Pixel} \leq \text{Keymax}$ 时, 处理为关键色 1: 满足 $\text{Pixel} \leq \text{Keymin}$ 或者 $\text{Pixel} \geq \text{Keymax}$ 时处理为关键色							
[14]	RW	key_en	color key 使能。 0: 禁止; 1: 使能。							
[13]	RW	premult_en	输入位图为预乘图。 0: 非预乘图; 1: 预乘图。							
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。							
[11:8]	RW	reserved	保留。							



	Offset Address 0x9010								Register Name G0CMBPARA				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																key_mode	key_en	premult_en	palpha_en	reserved				alpha											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[7:0]	RW	alpha		叠加全局 alpha 值。取值范围为 0~255，255 为全不透明，0 为全透明。																															

G0CKEYMAX

G0CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

	Offset Address 0x9014								Register Name G0CKEYMAX				Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	va0				keyr_max				keyg_max				keyb_max																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	va0		alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。																											
	[23:16]	RW	keyr_max		color key R 分量最大值。																											
	[15:8]	RW	keyg_max		color key G 分量最大值。																											
	[7:0]	RW	keyb_max		color key B 分量最大值。																											

G0CKEYMIN

G0CKEYMIN 为 color key 最小值寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x9018		G0CKEYMIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	val		keyr_min		keyg_min		keyb_min	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	val	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。					
[23:16]	RW	keyr_min	colry key R 分量最小值。					
[15:8]	RW	keyg_min	color key G 分量最小值。					
[7:0]	RW	keyb_min	color key B 分量最小值。					

G0CMASK

G0CMASK 为 color key 的 MASK 值，为非即时寄存器。相应 bit 为 0 表示在 Key 的比较过程中，不关心该 bit。

Offset Address		Register Name		Total Reset Value				
0x901C		G0CMASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		kmsk_r		kmsk_g		kmsk_b	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:16]	RW	kmsk_r	colry key mask 的 R 分量。					
[15:8]	RW	kmsk_g	colry key mask 的 G 分量。					
[7:0]	RW	kmsk_b	colry key mask 的 B 分量。					

G0IRESO

G0IRESO 为输入分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9020		G0IRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G0ORES0

G0ORES0 为输出分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9024		G0ORES0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G0DFPOS

G0DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。



	Offset Address 0x902C								Register Name G0DFPOS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_yfpos								disp_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:12]	RW	disp_yfpos		列起始坐标。																											
	[11:0]	RW	disp_xfpos		行起始坐标。																											

G0DLPOS

G0DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

	Offset Address 0x9030								Register Name G0DLPOS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_ylpos								disp_xlpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:12]	RW	disp_ylpos		列结束坐标。																											
	[11:0]	RW	disp_xlpos		行结束坐标。																											

G0CSCIDC

G0CSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x90A0				G0CSCIDC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_en	cscidc2				cscidc1				cscidc0																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:28]		[27]		[26:18]		[17:9]		[8:0]																							
Access	RO		RW		RW		RW		RW																							
Name	reserved		csc_en		cscidc2		cscidc1		cscidc0																							
Description	保留。		CSC 使能。 0: 禁能; 1: 使能。		输入分量 2 直流参数, MSB 为符号位。补码表示。		输入分量 1 直流参数, MSB 为符号位。补码表示。		输入分量 0 直流参数, MSB 为符号位。补码表示。																							

G0CSCODC

G0CSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x90A4				G0CSCODC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscodc2				cscodc1				cscodc0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:27]		[26:18]		[17:9]		[8:0]																									
Access	RO		RW		RW		RW																									
Name	reserved		cscodc2		cscodc1		cscodc0																									
Description	保留。		输出分量 2 直流参数, MSB 为符号位。补码表示。		输出分量 1 直流参数, MSB 为符号位。补码表示。		输出分量 0 直流参数, MSB 为符号位。补码表示。																									

G0CSCP0

G0CSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。



		Offset Address				Register Name				Total Reset Value																							
		0x90A8				G0CSCP0				0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				cscp01				reserved				cscp00																			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31:29]	RO		reserved		保留。																											
	[28:16]	RW		cscp01		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											
	[15:13]	RO		reserved		保留。																											
	[12:0]	RW		cscp00		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

G0CSCP1

G0CSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

		Offset Address				Register Name				Total Reset Value																							
		0x90AC				G0CSCP1				0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				cscp10				reserved				cscp02																			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31:29]	RO		reserved		保留。																											
	[28:16]	RW		cscp10		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											
	[15:13]	RO		reserved		保留。																											
	[12:0]	RW		cscp02		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											



G0CSCP2

G0CSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x90B0		G0CSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G0CSCP3

G0CSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x90B4		G0CSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						



Offset Address		Register Name		Total Reset Value						
0x90B4		G0CSCP3		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp21				reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

G0CSCP4

G0CSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x90B8		G0CSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	RO	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G0DCMPBANKWIDTH

G0DCMPBANKWIDTH 为 G0 层压缩数据 bank 宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x91B4		G0DCMPBANKWIDTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_bankwidth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	dcmp_bankwidth	压缩数据 bank 宽度，128bit 对齐。						

G0DCMPSTRIDE

G0DCMPSTRIDE 为 G0 层压缩数据 stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x91B8		G0DCMPSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	dcmp_stride	压缩数据 stride，128bit 对齐。						

G0DCMPAADDR

G0DCMPAADDR 为 G0 层 A 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x91BC		G0DCMPAADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_a							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_a	压缩数据起始地址。					



G0DCMPRADDR

G0DCMPRADDR 为 G0 层 R 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x91C0		G0DCMPRADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_r							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_r	压缩数据起始地址。					

G0DCMPGADDR

G0DCMPGADDR 为 G0 层 G 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x91C4		G0DCMPGADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_g	压缩数据起始地址。					

G0DCMPBADDR

G0DCMPBADDR 为 G0 层 B 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x91C8		G0DCMPBADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_b							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_b	压缩数据起始地址。					



G2CTRL

G2CTRL 为 G2 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x9400				G2CTRL								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved			upd_mode	read_mode	reserved								bitext				ifmt													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																											
[30:28]	RO		reserved		保留。																											
[27]	RW		upd_mode		更新模式。 0: 帧更新; 1: 场更新。																											
[26]	RW		read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																											
[25:10]	RW		reserved		保留。																											
[9:8]	RW		bitext		层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。																											
[7:0]	RW		ifmt		输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。																											



G2UPD

G2UPD 为图形层更新使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x9404		G2UPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。						

G2ADDR

G2ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G2SFPOS 说明。

Offset Address		Register Name		Total Reset Value				
0x9408		G2ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

G2STRIDE

G2STRIDE 为图形层的 stride 寄存器。



Offset Address		Register Name		Total Reset Value				
0x940C		G2STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	帧 buffer 的 stride。					

G2CBMPARA

G2CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x9410		G2CBMPARA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				key_mode	key_en	reserved	palpha_en	reserved	alpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:16]	RO	reserved	保留。							
[15]	RW	key_mode	color key 模式。 0: 满足 $\text{Keymin} \leq \text{Pixel} \leq \text{Keymax}$ 时, 处理为关键色 1: 满足 $\text{Pixel} \leq \text{Keymin}$ 或者 $\text{Pixel} \geq \text{Keymax}$ 时处理为关键色							
[14]	RW	key_en	color key 使能。 0: 禁止; 1: 使能。							
[13]	RO	reserved	保留。							
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。							
[11:8]	RW	reserved	保留。							



	Offset Address 0x9410								Register Name G2CBMPARA				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																key_mode	key_en	reserved	palpha_en	reserved								galpha							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[7:0]	RW	galpha		叠加全局 alpha 值。取值范围为 0~255，255 为全不透明，0 为全透明。																															

G2CKEYMAX

G2CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

	Offset Address 0x9414								Register Name G2CKEYMAX				Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	va0				keyr_max				keyg_max				keyb_max																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	va0		alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。																											
	[23:16]	RW	keyr_max		color key R 分量最大值。																											
	[15:8]	RW	keyg_max		color key G 分量最大值。																											
	[7:0]	RW	keyb_max		color key B 分量最大值。																											

G2CKEYMIN

G2CKEYMIN 为 color key 最小值寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x9418		G2CKEYMIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	val		keyr_min		keyg_min		keyb_min	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	val	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。					
[23:16]	RW	keyr_min	colry key R 分量最小值。					
[15:8]	RW	keyg_min	color key G 分量最小值。					
[7:0]	RW	keyb_min	color key B 分量最小值。					

G2CMASK

G2CMASK 为 color key 的 MASK 值，为非即时寄存器。相应 bit 为 0 表示在 Key 的比较过程中，不关心该 bit。

Offset Address		Register Name		Total Reset Value				
0x941C		G2CMASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		kmsk_r		kmsk_g		kmsk_b	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:16]	RW	kmsk_r	colry key mask 的 R 分量。					
[15:8]	RW	kmsk_g	colry key mask 的 G 分量。					
[7:0]	RW	kmsk_b	colry key mask 的 B 分量。					

G2IRESO

G2IRESO 为输入分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9420		G2IRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G2ORES0

G2ORES0 为输出分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9424		G2ORES0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G2DFPOS

G2DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x942C		G2DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

G2DLPOS

G2DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9430		G2DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_ylpos			disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	disp_ylpos	列结束坐标。						
[11:0]	RW	disp_xlpos	行结束坐标。						

G2CSCIDC

G2CSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x94A0		G2CSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2	cscidc1	cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27]	RW	csc_en	CSC 使能。 0: 禁能; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

G2CSCODC

G2CSCODC 为 G2 层色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x94A4		G2CSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。					

G2CSCP0

G2CSCP0 为 G2 层色彩空间转换参数 0 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x94A8		G2CSCP0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp01			reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G2CSCP1

G2CSCP1 为 G2 层色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x94AC		G2CSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



G2CSCP2

G2CSCP2 为 G2 层色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x94B0		G2CSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G2CSCP3

G2CSCP3 为 G2 层色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x94B4		G2CSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						



	Offset Address				Register Name								Total Reset Value																			
	0x94B4				G2CSCP3								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21								reserved				cscp20															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[12:0]	RW	cscp20		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

G2CSCP4

G2CSCP4 为 G2 层色彩空间转换参数 4 寄存器。即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x94B8				G2CSCP4								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cscp22																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:13]	RO	reserved		保留。																											
	[12:0]	RW	cscp22		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

G3CTRL

G3CTRL 为 G3 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9600		G3CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_en reserved	upd_mode read_mode	reserved				bitext	ifmt	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	surface_en	surface 使能。非即时寄存器。 0: 禁止; 1: 使能。						
[30:28]	RO	reserved	保留。						
[27]	RW	upd_mode	更新模式。 0: 帧更新; 1: 场更新。						
[26]	RW	read_mode	数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。						
[25:10]	RO	reserved	保留。						
[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。						
[7:0]	RW	ifmt	输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。						

G3UPD

G3UPD 为图形层更新使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x9604		G3UPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。						

G3ADDR

G3ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G3SFPOS 说明。

Offset Address		Register Name		Total Reset Value				
0x9608		G3ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

G3STRIDE

G3STRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x960C		G3STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					



Offset Address		Register Name		Total Reset Value					
0x960C		G3STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				surface_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[15:0]	RW	surface_stride	帧 buffer 的 stride。						

G3CBMPARA

G3CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x9610		G3CBMPARA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				key_mode	key_en	premult_en	palpha_en	reserved	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:16]	RO	reserved	保留。							
[15]	RW	key_mode	color key 模式 0: 满足 $Keymin \leq Pixel \leq Keymax$ 时, 处理为关键色 1: 满足 $Pixel \leq Keymin$ 或者 $Pixel \geq Keymax$ 时处理为关键色							
[14]	RW	key_en	color key 使能。 0: 禁止; 1: 使能。							
[13]	RW	premult_en	输入位图为预乘图。 0: 非预乘图; 1: 预乘图。							
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。							
[11:8]	RW	reserved	保留。							



Offset Address		Register Name		Total Reset Value						
0x9610		G3CBMPARA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				key_mode	key_en	premult_en	palpha_en	reserved	alpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[7:0]	RW	alpha	叠加全局 alpha 值。取值范围为 0~255，255 为全不透明，0 为全透明。							

G3CKEYMAX

G3CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9614		G3CKEYMAX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		keyr_max		keyg_max		keyb_max	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。					
[23:16]	RW	keyr_max	color key R 分量最大值。					
[15:8]	RW	keyg_max	color key G 分量最大值。					
[7:0]	RW	keyb_max	color key B 分量最大值。					

G3CKEYMIN

G3CKEYMIN 为 color key 最小值寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x9618		G3CKEYMIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	val		keyr_min		keyg_min		keyb_min	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	val	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。					
[23:16]	RW	keyr_min	colry key R 分量最小值。					
[15:8]	RW	keyg_min	color key G 分量最小值。					
[7:0]	RW	keyb_min	color key B 分量最小值。					

G3CMASK

G3CMASK 为 color key 的 MASK 值，为非即时寄存器。相应 bit 为 0 表示在 Key 的比较过程中，不关心该 bit。

Offset Address		Register Name		Total Reset Value				
0x961C		G3CMASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		kmsk_r		kmsk_g		kmsk_b	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:16]	RW	kmsk_r	colry key mask 的 R 分量。					
[15:8]	RW	kmsk_g	colry key mask 的 G 分量。					
[7:0]	RW	kmsk_b	colry key mask 的 B 分量。					

G3IRESO

G3IRESO 为输入分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9620		G3IRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G3ORESO

G3ORESO 为输出分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9624		G3ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G3DFPOS

G3DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。



	Offset Address 0x962C								Register Name G3DFPOS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_yfpos								disp_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:12]	RW	disp_yfpos		列起始坐标。																											
	[11:0]	RW	disp_xfpos		行起始坐标。																											

G3DLPOS

G3DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

	Offset Address 0x9630								Register Name G3DLPOS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_ylpos								disp_xlpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:12]	RW	disp_ylpos		列结束坐标。																											
	[11:0]	RW	disp_xlpos		行结束坐标。																											

G3CSCIDC

G3CSCIDC 为 G3 层色彩空间转换输入直流分量寄存器。即时寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x96A0				G3CSCIDC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_en	cscidc2				cscidc1				cscidc0																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:28]		[27]		[26:18]		[17:9]		[8:0]																							
Access	RO		RW		RW		RW		RW																							
Name	reserved		csc_en		cscidc2		cscidc1		cscidc0																							
Description	保留。		CSC 使能。 0: 禁能; 1: 使能。		输入分量 2 直流参数, MSB 为符号位。补码表示。		输入分量 1 直流参数, MSB 为符号位。补码表示。		输入分量 0 直流参数, MSB 为符号位。补码表示。																							

G3CSCODC

G3CSCODC 为 G3 层色彩空间转换输出直流分量寄存器。即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x96A4				G3CSCODC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscodc2				cscodc1				cscodc0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:27]		[26:18]		[17:9]		[8:0]																									
Access	RO		RW		RW		RW																									
Name	reserved		cscodc2		cscodc1		cscodc0																									
Description	保留。		输出分量 2 直流参数, MSB 为符号位。补码表示。		输出分量 1 直流参数, MSB 为符号位。补码表示。		输出分量 0 直流参数, MSB 为符号位。补码表示。																									

G3CSCP0

G3CSCP0 为 G3 色彩空间转换参数 0 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x96A8		G3CSCP0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp01				reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

G3CSCP1

G3CSCP1 为 G3 层色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x96AC		G3CSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							



G3CSCP2

G3CSCP2 为 G3 层色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x96B0		G3CSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G3CSCP3

G3CSCP3 为 G3 层色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x96B4		G3CSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						



Offset Address		Register Name		Total Reset Value						
0x96B4		G3CSCP3		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp21				reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

G3CSCP4

G3CSCP4 为 G3 层色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x96B8		G3CSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	RO	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

HCCTRL

HCCTRL 为 HC 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x9A00		HCCTRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_en reserved	upd_mode read_mode	reserved	key_mode key_en	reserved	bitext	ifmt	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	surface_en	surface 使能。非即时寄存器。 0: 禁止; 1: 使能。					
[30:28]	RO	reserved	保留。					
[27]	RW	upd_mode	更新模式。 0: 帧更新; 1: 场更新。					
[26]	RW	read_mode	数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。					
[25:16]	RO	reserved	保留。					
[15]	RW	key_mode	color key 模式 0: 满足 $Keymin \leq Pixel \leq Keymax$ 时, 处理为关键色 1: 满足 $Pixel \leq Keymin$ 或者 $Pixel \geq Keymax$ 时处理为关键色					
[14]	RW	key_en	color key 使能。 0: 禁止; 1: 使能。					
[13:10]	RW	reserved	保留。					
[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。					



Offset Address		Register Name		Total Reset Value					
0x9A00		HCCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_en reserved	upd_mode read_mode	reserved	key_mode key_en	reserved	bitext	ifmt		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[7:0]	RW	ifmt	输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。						

HCUPD

HCUPD 为图形层更新使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x9A04		HCUPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新, 更新完成后, 硬件自动清零。						

HCADDR

HCADDR 为图形层地址寄存器。在有水平像素偏移的情况下, 地址计算参考 HCSFPOS 说明。



Offset Address		Register Name		Total Reset Value				
0x9A08		HCADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

HCSTRIDE

HCSTRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x9A0C		HCSTRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	帧 buffer 的 stride。					

HCCBMPARA

HCCBMPARA 为叠加相关参数寄存器。非即时寄存器。



	Offset Address 0x9A10								Register Name HCCBMPARA								Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved								key_mode				key_en				reserved				palpha_en				reserved				palpha_range				galpha							
Reset	0 0 0 0								0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access		Name		Description																																			
[31:16]	RO		reserved		保留。																																			
[15]	RW		key_mode		color key 模式。 0: 满足 $Keymin \leq Pixel \leq Keymax$ 时, 处理为关键色; 1: 满足 $Pixel \leq Keymin$ 或者 $Pixel \geq Keymax$ 时处理为关键色。																																			
[14]	RW		key_en		color key 使能。 0: 禁止; 1: 使能。																																			
[13]	—		reserved		输入位图为预乘图。 0: 非预乘图; 1: 预乘图。																																			
[12]	RW		palpha_en		像素 alpha 使能。 0: 禁止; 1: 使能。																																			
[11:9]	—		reserved		保留。																																			
[8]	RW		palpha_range		0: 表示像素的 α 范围为 0~128; 1: 表示像素的 α 范围为 0~255。																																			
[7:0]	RW		galpha		叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。																																			

HCCKEYMAX

HCCKEYMAX 为 color key 最大值寄存器。非即时寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x9A14				HCCKEYMAX				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	va0				keyr_max				keyg_max				keyb_max																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	va0		alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。																											
	[23:16]	RW	keyr_max		colry key R 分量最大值。																											
	[15:8]	RW	keyg_max		color key G 分量最大值。																											
	[7:0]	RW	keyb_max		color key B 分量最大值。																											

HCCKEYMIN

HCCKEYMIN 为 color key 最小值寄存器。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x9A18				HCCKEYMIN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	va1				keyr_min				keyg_min				keyb_min																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	va1		alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。																											
	[23:16]	RW	keyr_min		colry key R 分量最小值。																											
	[15:8]	RW	keyg_min		color key G 分量最小值。																											
	[7:0]	RW	keyb_min		color key B 分量最小值。																											

HCCMASK

HCCMASK 为 color key 最小值寄存器。非即时寄存器。相应 bit 为 1 表示在 Key 的比较过程中，不关心该 bit。



Offset Address		Register Name		Total Reset Value					
0x9A1C		HCCMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		kmsk_r		kmsk_g		kmsk_b		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:16]	RW	kmsk_r	colry key mask 的 R 分量。						
[15:8]	RW	kmsk_g	colry key mask 的 G 分量。						
[7:0]	RW	kmsk_b	colry key mask 的 B 分量。						

HCIRESO

HCIRESO 为输入分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9A20		HCIRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

HCDFPOS

HCDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9A2C		HCDFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

HCDLPOS

HCDLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9A30		HCDLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_ylpos			disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	disp_ylpos	列结束坐标。						
[11:0]	RW	disp_xlpos	行结束坐标。						

HCCSCIDC

HCCSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x9AA0		HCCSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_mode csc_en	cscidc2	cscidc1	cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RO	reserved	保留。					
[28]	RW	csc_mode	CSC 转换模式。 0: RGB2YUV 601(标清); 1: RGB2YUV 709(g 高清)。					
[27]	RW	csc_en	CSC 使能。 0: 禁能; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

HCCSCODC

HCCSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9AA4		HCCSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2	cscodc1	cscodc0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。					



HCCSCP0

HCCSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9AA8		HCCSCP0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp01			reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

HCCSCP1

HCCSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9AAC		HCCSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0x9AAC		HCCSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

HCCSCP2

HCCSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9AB0		HCCSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

HCCSCP3

HCCSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9AB4		HCCSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscp21		reserved		cscp20		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

HCCSCP4

HCCSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9AB8		HCCSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	RO	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

CBMBKG1

CBMBKG1 为 HD0 叠加背景色寄存器。



Offset Address		Register Name		Total Reset Value	
0x9E00		CBMBKG1		0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0				
Name	reserved		cbm_bkgy	cbm_bkgcb	cbm_bkgcr
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0				
Bits	Access	Name	Description		
[31:24]	RO	reserved	保留。		
[23:16]	RW	cbm_bkgy	Mixer1 叠加背景色, Y 分量。		
[15:8]	RW	cbm_bkgcb	Mixer1 叠加背景色, Cb 分量。		
[7:0]	RW	cbm_bkgcr	Mixer1 叠加背景色, Cr 分量。		

CBMBKG3

CBMBKG3 为 SD0 叠加背景色寄存器。

Offset Address		Register Name		Total Reset Value	
0x9E08		CBMBKG3		0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0				
Name	reserved		cbm_bkgy	cbm_bkgcb	cbm_bkgcr
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0				
Bits	Access	Name	Description		
[31:24]	RO	reserved	保留。		
[23:16]	RW	cbm_bkgy	Mixer3 叠加背景色, Y 分量。		
[15:8]	RW	cbm_bkgcb	Mixer3 叠加背景色, Cb 分量。		
[7:0]	RW	cbm_bkgcr	Mixer3 叠加背景色, Cr 分量。		

CBMBKG4

CBMBKG4 为 SD1 叠加背景色寄存器。



Offset Address		Register Name		Total Reset Value					
0x9E0C		CBMBKG4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cbm_bkgy	cbm_bkgcb		cbm_bkgr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:16]	RW	cbm_bkgy	Mixer4 叠加背景色, Y 分量。						
[15:8]	RW	cbm_bkgcb	Mixer4 叠加背景色, Cb 分量。						
[7:0]	RW	cbm_bkgr	Mixer4 叠加背景色, Cr 分量。						

CBMATTR

CBMATTR 为 CrossBar (Cross Bar ConFiGuration) 配置寄存器。

sur_attr_x 表示第 x 层连接到 Mixer1 还是 Mixer2。

Offset Address		Register Name		Total Reset Value				
0x9E10		CBMATTR		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						sur_attr1	sur_attr0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	sur_attr1	HC0 链接。 0x0: Mixer1 for DHD; 0x1: Mixer3 for DSD; 0x2: Mixer4 for DSD1; 其他: 保留。					
[3:0]	RW	sur_attr0	VSD 链接。 0x0: Mixer1 for DHD; 0x1: Mixer3 for DSD。 其他: 保留					



CBMMIX1

CBMMIX1 为 Mixer1 优先级配置寄存器。在 vsync 处更新有效。非即时寄存器。

	Offset Address 0x9E14				Register Name CBMMIX1				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								mixer_prio3				mixer_prio2				mixer_prio1				mixer_prio0											
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31:16]	RO	reserved	保留。																													
[15:12]	RW	mixer_prio3	Mixer1 的叠加层优先级配置，表示优先级 3 的驱动层。 0x0: 表示没有层驱动； 0x1: vhd； 0x4: vsd； 0x9: g0； 0xe: HC0 其他：保留。																													
[11:8]	RW	mixer_prio2	Mixer1 的叠加层优先级配置，表示优先级 2 的驱动层。 0x0: 表示没有层驱动； 0x1: vhd； 0x4: vsd； 0x9: g0； 0xe: HC0 其他：保留。																													
[7:4]	RW	mixer_prio1	Mixer1 的叠加层优先级配置，表示优先级 1 的驱动层。 0x0: 表示没有层驱动； 0x1: vhd； 0x4: vsd； 0x9: g0； 0xe: HC0 其他：保留。																													



Offset Address		Register Name		Total Reset Value				
0x9E14		CBMMIX1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[3:0]	RW	mixer_prio0	Mixer1 的叠加层优先级配置，表示优先级 0 的驱动层。 0x0: 表示没有层驱动; 0x1: vhd; 0x4: vsd; 0x9: g0; 0xe: HC0 其他: 保留。					

CBMMIX3

CBMMIX3 为 Mixer3 优先级配置寄存器。在 vsync 处更新有效。

该寄存器为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9E1C		CBMMIX3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:8]	RW	mixer_prio2	Mixer3 的叠加层优先级配置，表示优先级 2 的驱动层。 0x0: 表示没有层驱动; 0x4: vsd; 0xb: g2; 0xe: HC0; 其他: 保留。					



Offset Address		Register Name		Total Reset Value				
0x9E1C		CBMMIX3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[7:4]	RW	mixer_prio1	Mixer3 的叠加层优先级配置，表示优先级 1 的驱动层。 0x0: 表示没有层驱动； 0x4: vsd； 0xb: g2； 0xe: HC0； 其他：保留。					
[3:0]	RW	mixer_prio0	Mixer3 的叠加层优先级配置，表示优先级 0 的驱动层。 0x0: 表示没有层驱动； 0x4: vsd； 0xb: g2； 0xe: HC0； 其他：保留。					

CBMMIX4

CBMMIX4 为 Mixer4 优先级配置寄存器。在 vsync 处更新有效。

该寄存器为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9E20		CBMMIX4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					



Offset Address		Register Name		Total Reset Value				
0x9E20		CBMMIX4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[11:8]	RW	mixer_prio2	叠加层优先级配置，表示优先级 2 的驱动层。 0x0: 没有层驱动； 0x5: vsd1； 0xc: g3； 0xe: HC0； 其他：保留。					
[7:4]	RW	mixer_prio1	叠加层优先级配置，表示优先级 1 的驱动层。 0x0: 表示没有层驱动； 0x5: vsd1； 0xc: g3； 0xe: HC0； 其他：保留。					
[3:0]	RW	mixer_prio0	叠加层优先级配置，表示优先级 0 的驱动层。 0x0: 没有层驱动； 0x5: vsd1； 0xc: g3； 0xe: HC0； 其他：保留。					

DHDCTRL

DHDCTRL 为显示通道的总体控制寄存器。



注意

该寄存器的所有 bit 的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



	Offset Address 0xA000								Register Name DHDCTRL								Total Reset Value 0x0001_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved																clipen	reserved	gmnen	gmmode	reserved	idv	ihs	ivs	iop	synm	intfb	intfdm			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name		Description																											
	[31]	RW	intf_en		显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。																											
	[30:17]	RO	reserved		保留。																											
	[16]	RW	clipen		输出嵌位使能，即时寄存器。 0: 禁止; 1: 使能。																											
	[15:11]	RO	reserved		保留。																											
	[10]	RW	idv		数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																											
	[9]	RW	ihs		水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																											
	[8]	RW	ivs		垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																											
	[7]	RW	iop		逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。																											
	[6]	RW	synm		同步模式，即时寄存器。 0: 时序标签模式(例如 BT.656); 1: 同步信号模式(例如 LCD 显示)。																											



	Offset Address 0xA000								Register Name DHDCTRL								Total Reset Value 0x0001_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved								clipen	reserved	gmnen	gmmode	reserved	idv	ihs	ivs	iop	synm	intfb	intfdm											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[5:4]	RW	intfb	输出接口位宽模式。即时寄存器。 00: 单分量模式(每个时钟输出 1 个分量); 01: 2 分量模式(每个时钟输出 2 个分量); 10: 3 分量模式(每个时钟输出 3 个分量); 11: 保留。																												
	[3:0]	RW	intfdm	接口数据格式。即时寄存器。 0x0: YCbCr422 数据格式; 0x1~0xB: 无效; 0xC: RGB888/YCbCr444 输出。 其他: 无效。																												

DHDVSYNC

DHDVSYNC 为垂直时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



	Offset Address				Register Name								Total Reset Value																			
	0xA004				DHDVSYNC								0x0011_321B																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb				vbb				vact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	1	1	0	1	1
Bits	Access	Name	Description																													
[31:28]	RO	reserved	保留。																													
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。																													
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。																													
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。																													

DHDHSYNC1

DHDHSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value				
0xA008		DHDHSYNC1		0x00BF_077F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbb				hact			
Reset	0 0 0 0	0 0 0 0	1 0 1 1	1 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	hbb	水平消隐后肩，单位：像素。					
[15:0]	RW	hact	活动区域水平像素数。					

DHDHSYNC2

DHDHSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0xA00C		DHDHSYNC2		0x0000_020F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hmid				hfb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	hmid	底场垂直同步有效像素值(有效数据区)。					
[15:0]	RW	hfb	水平消隐前肩，单位为像素。					

DHDVPLUS

DHDVPLUS 为隔行底场垂直时序寄存器。隔行输出时，该寄存器表示底场垂直同步时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xA010				Register Name DHDVPLUS								Total Reset Value 0x0021_321B																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	1	1	0	1	1
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27:20]	RW		bvfb		隔行输出时：底场垂直消隐前肩。 单位：行																											
[19:12]	RW		bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行																											
[11:0]	RW		bvact		隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行																											

DHDPWR

DHDPWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value					
0xA014		DHDVTHD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vpw		hpw				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。						
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。						

DHDVTTHD

DHDVTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value				
0xA01C		DHDVTTHD		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。					
[14:13]	RO	reserved	保留。					
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd_int1]中断。					



DHDCLIPL

DHDCLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xA040		DHDCLIPL		0x4100_4010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	CLIP 使能。 0: 禁止; 1: 使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。 0: 禁止; 1: 使能。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R, 无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G, 无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B, 无符号整数。						

DHDCLIPH

DHDCLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如: BT.656 标准输出时, 需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xA044		DHDCLIPH		0x0EB0_00F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 0 0	1 1 1 0	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0xA044		DHDCLIPH		0x0EB0_00F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1			clipch0		
Reset	0 0 0 0	1 1 1 0	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R, 无符号整数。						
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G, 无符号整数。						
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B, 无符号整数。						

DHDVGACLIPL

DHDVGACLIPL 为显示通道 Clip 处理最低门限值寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xA060		DHDVGACLIPL		0x4401_0040					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen reserved	clipcl2		clipcl1			clipcl0		
Reset	0 1 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	CLIP 使能。 0: 禁止; 1: 使能。						
[30]	RO	reserved	保留。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R, 无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G, 无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B, 无符号整数。						



DHDVGACLIPH

DHDVGACLIPH 为显示通道 Clip 处理最高门限值寄存器，为即时寄存器。例如 BT.656 标准输出时需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xA064		DHDVGACLIPH		0x3ACF_03C0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 1 1	1 0 1 0	1 1 0 0	1 1 1 1	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R，无符号整数。						
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G，无符号整数。						
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B，无符号整数。						

DHDHSPCFG0

DHDHSPCFG0 为 VGA 通道 H sharpen 配置寄存器 0。

Offset Address		Register Name		Total Reset Value				
0xA080		DHDHSPCFG0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hsp_hf0_tmp3		hsp_hf0_tmp2		hsp_hf0_tmp1		hsp_hf0_tmp0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	hsp_hf0_tmp3	高频滤波系数 3，有符号。					
[23:16]	RW	hsp_hf0_tmp2	高频滤波系数 2，有符号。					
[15:8]	RW	hsp_hf0_tmp1	高频滤波系数 1，有符号。					
[7:0]	RW	hsp_hf0_tmp0	高频滤波系数 0，有符号。					

DHDHSPCFG1

DHDHSPCFG1 为 VGA 通道 H sharpen 配置寄存器 1。



Offset Address		Register Name		Total Reset Value					
0xA084		DHDHSPCFG1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						hsp_hf0_coring		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	hsp_en	水平锐化使能。						
[30:8]	RO	reserved	保留。						
[7:0]	RW	hsp_hf0_coring	高频 coring 系数，无符号。						

DHDHSPCFG5

DHDHSPCFG5 为 VGA 通道 H sharpen 配置寄存器 5。

Offset Address		Register Name		Total Reset Value					
0xA094		DHDHSPCFG5		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hsp_hf0_gainneg		reserved		hsp_hf0_gainpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	hsp_hf0_gainneg	高频增益负极性系数，有符号(10.8)。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	hsp_hf0_gainpos	高频增益正极性系数，有符号(10.8)。						

DHDHSPCFG6

DHDHSPCFG6 为 VGA 通道 H sharpen 配置寄存器 6。



	Offset Address 0xA098				Register Name DHDHSPCFG6								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hsp_hf0_adpshoot_en		hsp_hf0_winsize		reserved				hsp_hf0_mixratio				hsp_hf0_underth				hsp_hf0_overth															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
	Bits	Access	Name		Description																											
	[31]	RW	hsp_hf0_adpshoot_en		高频调整门限使能。																											
	[30:28]	RW	hsp_hf0_winsize		高频窗口大小，无符号，取值范围 0-4。																											
	[27:24]	RO	reserved		保留。																											
	[23:16]	RW	hsp_hf0_mixratio		高频调整门限比率，无符号(8.7)。																											
	[15:8]	RW	hsp_hf0_underth		高频调整 under 门限，无符号。																											
	[7:0]	RW	hsp_hf0_overth		高频调整 over 门限，无符号。																											

DHDHSPCFG7

DHDHSPCFG7 为 VGA 通道 H sharpen 配置寄存器 7。

	Offset Address 0xA09C				Register Name DHDHSPCFG7								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hsp_hf1_tmp3				hsp_hf1_tmp2				hsp_hf1_tmp1				hsp_hf1_tmp0																			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
	Bits	Access	Name		Description																											
	[31:24]	RW	hsp_hf1_tmp3		高频滤波系数 3，有符号。																											
	[23:16]	RW	hsp_hf1_tmp2		高频滤波系数 2，有符号。																											
	[15:8]	RW	hsp_hf1_tmp1		高频滤波系数 1，有符号。																											
	[7:0]	RW	hsp_hf1_tmp0		高频滤波系数 0，有符号。																											



DHDHSPCFG8

DHDHSPCFG8 为 VGA 通道 H sharpen 配置寄存器 8。

	Offset Address				Register Name								Total Reset Value																			
	0xA0A0				DHDHSPCFG8								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hsp_hfl_coring															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7:0]	RW		hsp_hfl_coring		高频 coring 系数，无符号。																											

DHDHSPCFG12

DHDHSPCFG12 为 VGA 通道 H sharpen 配置寄存器 12。

	Offset Address				Register Name								Total Reset Value																			
	0xA0B0				DHDHSPCFG12								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		hsp_hfl_gainneg						reserved		hsp_hfl_gainpos																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:27]	RO		reserved		保留。																											
[26:16]	RW		hsp_hfl_gainneg		高频增益负极性系数，有符号(10.8)。																											
[15:11]	RW		reserved		保留。																											
[10:0]	RW		hsp_hfl_gainpos		高频增益正极性系数，有符号(10.8)。																											

DHDHSPCFG13

DHDHSPCFG13 为 VGA 通道 H sharpen 配置寄存器 13。



Offset Address		Register Name		Total Reset Value				
0xA0B4		DHDHSPCFG13		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hsp_hfl_adpshoot_en hsp_hfl_winsize	reserved	hsp_hfl_mixratio	hsp_hfl_underth	hsp_hfl_overth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	hsp_hfl_adpshoot_en	高频调整门限使能。					
[30:28]	RW	hsp_hfl_winsize	高频窗口大小，无符号，取值范围 0-4。					
[27:24]	RO	reserved	保留。					
[23:16]	RW	hsp_hfl_mixratio	高频调整门限比率，无符号(8.7)。					
[15:8]	RW	hsp_hfl_underth	高频调整 under 门限，无符号。					
[7:0]	RW	hsp_hfl_overth	高频调整 over 门限，无符号。					

DHDHSPCFG14

DHDHSPCFG14 为 VGA 通道 H sharpen 配置寄存器 14。



Offset Address		Register Name		Total Reset Value				
0xA0B8		DHDHSPCFG14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hsp_h0_en hsp_h1_en hsp_ltih_en hsp_ctih_en reserved	hsp_hf_shootdiv	hsp_lti_ratio	hsp_ldti_gain	hsp_cdti_gain			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	hsp_h0_en	高频滤波 0 使能。					
[30]	RW	hsp_h1_en	高频滤波 1 使能。					
[29]	RW	hsp_ltih_en	水平 LTI 使能。					
[28]	RW	hsp_ctih_en	水平 CTI 使能。					
[27]	RO	reserved	保留。					
[26:24]	RW	hsp_hf_shootdiv	高频调整移位系数，无符号，取值范围 1-7。					
[23:16]	RW	hsp_lti_ratio	亮度增强比率，无符号(8.7)。					
[15:8]	RW	hsp_ldti_gain	亮度增强增益系数，无符号(8.5)。					
[7:0]	RW	hsp_cdti_gain	色度增强增益系数，无符号(8.5)。					

DHDHSPCFG15

DHDHSPCFG15 为 VGA 通道 H sharpen 配置寄存器 15。



Offset Address		Register Name		Total Reset Value					
0xA0BC		DHDHSPCFG15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	hsp_peak_ratio		reserved	hsp_glb_overth		reserved	hsp_glb_underth	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:20]	RW	hsp_peak_ratio	亮度增强比率，无符号(8.7)。						
[19]	RO	reserved	保留。						
[18:10]	RW	hsp_glb_overth	亮度增强全局高门限，无符号。						
[9]	RO	reserved	保留。						
[8:0]	RW	hsp_glb_underth	亮度增强全局低门限，无符号。						

DHDSTATE

DHDSTATE 为 DHD 状态寄存器。

Offset Address		Register Name		Total Reset Value						
0xA0F0		DHDSTATE		0x0000_0110						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RO	bottom_field	DHD 显示顶底场标识。 0: 顶场; 1: 底场。							



	Offset Address 0xA0F0								Register Name DHDSTATE								Total Reset Value 0x0000_0110															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bottom_field	vblank	vback_blank					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
	Bits	Access	Name		Description																											
	[1]	RO	vblank		DHD 显示消隐区标识。 0: 有效区; 1: 消隐区。																											
	[0]	RO	vback_blank		DHD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。																											

DSDCTRL

DSDCTRL 为显示通道的总体控制寄存器。



注意

该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value												
0xA800		DSDCTRL		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	intf_en				reserved				idv	ihs	ivs	iop	synm	intfb	intfdm	
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
Bits	Access	Name	Description													
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。													
[30:11]	RO	reserved	保留。													
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。													
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。													
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。													
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。													
[6]	RW	synm	同步模式，即时寄存器。 0: 时序标签模式(例如 BT.656); 1: 同步信号模式(例如 LCD 显示)。													
[5:4]	RW	intfb	输出接口位宽模式。即时寄存器。 00: 单分量模式(每个时钟输出 1 个分量); 其他: 无效。													
[3:0]	RW	intfdm	接口数据格式。即时寄存器。 0x0: YCbCr422 数据格式; 其他: 无效。													



DSDVSYNC

DSDVSYNC 为垂饰时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xA804								Register Name DSDVSYNC								Total Reset Value 0x0011_511F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb				vbb				vact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:28]	RO	reserved		保留。																											
	[27:20]	RW	vfb		隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。																											
	[19:12]	RW	vbb		隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。																											
	[11:0]	RW	vact		隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。																											

DSDHSYNC1

DSDHSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xA808				DSDHSYNC1								0x0107_02CF																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hbb												hact																			
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:16]	RW		hbb		水平消隐后肩，单位为像素。																											
[15:0]	RW		hact		活动区域水平像素数。																											

DSDHSYNC2

DSDHSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xA80C				DSDHSYNC2								0x0000_0017																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hfb																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:0]	RW		hfb		水平消隐前肩，单位为像素。																											



DSDVPLUS

DSDVPLUS 为隔行底场垂直时序寄存器。隔行输出时，该寄存器表示底场垂直同步时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xA810				DSDVPLUS								0x0011_611F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvf				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access	Name	Description																													
[31:28]	RO	reserved	保留。																													
[27:20]	RW	bvf	隔行输出时：底场垂直消隐前肩。 单位：行。																													
[19:12]	RW	bvbb	隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。																													
[11:0]	RW	bvact	隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。																													

DSDPWR

DSDPWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value					
0xA814		DSDPWR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vpw		hpw				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。						
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。						

DSDVTTHD

DSDVTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value				
0xA81C		DSDVTTHD		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数； 1：场模式，在隔行显示时以场为单位做门限计数。					
[14:13]	RO	reserved	保留。					
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsdvtthd_int1]中断。					



DSDCLIPL

DSDCLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xA840		DSDCLIPL		0x4401_0040					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	输出嵌位使能，即时寄存器。 0：禁止； 1：使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。 0：禁止； 1：使能。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。						

DSDCLIPH

DSDCLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xA844		DSDCLIPH		0x3ACF_03C0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 1 1	1 0 1 0	1 1 0 0	1 1 1 1	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0xA844		DSDCLIPH		0x3ACF_03C0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1			clipch0		
Reset	0 0 1 1	1 0 1 0	1 1 0 0	1 1 1 1	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R, 无符号整数。						
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G, 无符号整数。						
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B, 无符号整数。						

DSDSTATE

DSDSTATE 为 DSD 状态寄存器。

Offset Address		Register Name		Total Reset Value						
0xA8F0		DSDSTATE		0x0000_0006						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	bottom_field	DSD 显示顶底场标识。 0: 顶场; 1: 底场。							
[1]	RW	vblank	DSD 显示消隐区标识。 0: 有效区; 1: 消隐区。							



Offset Address		Register Name		Total Reset Value						
0xA8F0		DSDSTATE		0x0000_0006						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0		
Bits	Access	Name	Description							
[0]	RW	vback_blank	DSD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。							

DSD1CTRL

DSD1CTRL 为显示通道的总体控制寄存器。



注意

该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value									
0xAC00		DSD1CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	intf_en	reserved					idv	ihs	ivs	iop	synm	intfb	intfdm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。										
[30:11]	RO	reserved	保留。										



Offset Address		Register Name		Total Reset Value							
0xAC00		DSD1CTRL		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				idv	ihs	ivs	iop	synm	intfb	intfdm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。								
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。								
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。								
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。								
[6]	RW	synm	同步模式，即时寄存器。 0: 时序标签模式(例如 BT.656); 1: 同步信号模式(例如 LCD 显示)。								
[5:4]	RW	intfb	输出接口位宽模式。即时寄存器。 00: 单分量模式(每个时钟输出 1 个分量); 其他: 保留。								
[3:0]	RW	intfdm	接口数据格式。即时寄存器。 0x0: YCbCr422 数据格式; 其他: 保留。								

DSD1VSYNC

DSD1VSYNC 为垂直时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xAC04				DSD1VSYNC								0x0011_511F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb				vbb				vact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access	Name	Description																													
[31:28]	RO	reserved	保留。																													
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。																													
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。																													
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。																													

DSD1HSYNC1

DSD1HSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value				
0xAC08		DSD1HSYNC1		0x0107_02CF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbb				hact			
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 1 1 1	0 0 0 0	0 0 1 0	1 1 0 0	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	hbb	水平消隐后肩，单位为像素。					
[15:0]	RW	hact	活动区域水平像素数。					

DSD1HSYNC2

DSD1HSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0xAC0C		DSD1HSYNC2		0x0000_0017				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hfb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	hfb	水平消隐前肩，单位为像素。					

DSD1VPLUS

DSD1VPLUS 为隔行输出时，底场垂直同步时序寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xAC10								Register Name DSD1VPLUS								Total Reset Value 0x0011_611F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27:20]	RW		bvfb		隔行输出时：底场垂直消隐前肩。 单位：行。																											
[19:12]	RW		bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。																											
[11:0]	RW		bvact		隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。																											

DSD1PWR

DSD1PWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value					
0xAC14		DSD1PWR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vpw		hpw				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。						
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。						

DSD1VTTHD

DSD1VTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value				
0xAC1C		DSD1VTTHD		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15]	RW	thd1_mode	门限 1 中断产生的模式： 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。					
[14:13]	RO	reserved	保留。					
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsvtthd_int1]中断。					



DSD1CL IPL

DSD1CL IPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xAC40		DSD1CL IPL		0x4401_0040					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	输出嵌位使能，即时寄存器。 0：禁止； 1：使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。 0：禁止 1：使能。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。						

DSD1CLIPH

DSD1CLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xAC44		DSD1CLIPH		0x3ACF_03C0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 1 1	1 0 1 0	1 1 0 0	1 1 1 1	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0xAC44		DSD1CLIPH		0x3ACF_03C0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1			clipch0		
Reset	0 0 1 1	1 0 1 0	1 1 0 0	1 1 1 1	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R, 无符号整数。						
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G, 无符号整数。						
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B, 无符号整数。						

DSD1STATE

DSD1STATE 为 DSD 状态寄存器。

Offset Address		Register Name		Total Reset Value						
0xACF0		DSD1STATE		0x0000_0006						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	bottom_field	DSD 显示顶底场标识。 0: 顶场; 1: 底场。							
[1]	RW	vblank	DSD 显示消隐区标识。 0: 有效区; 1: 消隐区。							



Offset Address		Register Name		Total Reset Value						
0xACF0		DSD1STATE		0x0000_0006						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0		
Bits	Access	Name	Description							
[0]	RW	vback_blank	DSD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。							

DATE_COEFF0

DATE_COEFF0 为制式参数配置寄存器。

Offset Address		Register Name		Total Reset Value																	
0xC200		DATE_COEFF0		0x5284_14FC																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	clpf_sel	dis_ire	reserved	scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel	sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl	reserved	oversam_en	lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0													
Bits	Access	Name	Description																		
[31:30]	RW	clpf_sel	色度低通滤波器带宽选择。 00: 1.1MHz 带宽(NTSC); 01: 1.3MHz 带宽(PAL); 10: 1.6MHz 带宽(测试); 11: 保留。																		



		Offset Address 0xC200								Register Name DATE_COEFF0								Total Reset Value 0x5284_14FC																																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																				
Name		c_lpf_sel		dis_ire		reserved		scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel				sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl				reserved		oversam_en		lunt_en		oversam2_en		chlp_en		syllp_en		chgain_en		tt_seq							
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																																	
[29]	RW	dis_ire		对于(M)NTSC 和(M, N)PAL 制式，黑电平高于消隐电平 7.5IRE；对于其它制式，黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0：黑电平高于消隐电平 7.5IRE； 1：黑电平等于消隐电平。																																																	
[28:26]	RW	reserved		保留。 写无效，读为 0。																																																	
[25]	RW	scanline		根据在不同制式下每帧包含的扫描行数进行设置。对于 (M)NTSC、NTSC-J、(M)PAL，每帧包含 525 行；对于(B、D、J、H、I)PAL，(N)PAL，(Nc)PAL，每帧包含 625 行。 0：每帧包含 525 行； 1：每帧包含 625 行。																																																	
[24]	RW	rgb_en		在 intf_sel 配置为 100 时，该位决定分量信号是选用 RGB 还是选用 YPbPr。 0：分量信号选用 YPbPr； 1：分量信号选用 RGB。																																																	
[23]	RW	vbi_lpf_en		Vbi 数据低通滤波使能控制。 0：不滤波处理； 1：滤波处理。																																																	
[22]	RW	fm_sel		FMsecam 调频选择。 0：secam 调频采用 sin； 1：secam 调频采用 cos。																																																	



		Offset Address 0xC200								Register Name DATE_COEFF0								Total Reset Value 0x5284_14FC																																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																								
Name		c1pf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel								sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl								reserved		oversam_en		lunt_en		oversam2_en		chlp_en		sytp_en		chgain_en		tt_seq	
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0	1	1	0	0	1	1	0	0																
Bits	Access	Name		Description																																																					
[21:18]	RW	style_sel		<p>与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1: (M)NTSC 制式； 0x2: NTSC-J 制式； 0x4: (M)PAL 制式； 其他：保留。</p> <p>当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1: (B、D、G、H、I)PAL 制式；0x2: (N)PAL 制式； 0x4: (Nc)PAL 制式； 0x8: SECAM 制式。 其他：保留。</p>																																																					
[17:16]	RW	sync_mode_sel		<p>bit[17]: 指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。 该位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0: 分量输出时，只在一个通道上包含同步信号； 1: 分量输出时，在三个通道上都包含同步信号。</p> <p>在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。</p> <p>bit[16]: 指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100，rgb_en 设为 1 时有效，含义为： 0: RGB 输出时无消隐基数； 1: RGB 输出时有消隐基数。</p>																																																					
[15]	RW	sync_mode_scart		<p>此位指明下分量 3 个通道均不叠加同步</p> <p>0: 分量同步输出根据 sync_mode_sel[1]配置 1: 分量 3 个通道均不叠加同步，此时 sync_mode_sel[1]需配置为 0</p>																																																					



Offset Address		Register Name		Total Reset Value				
0xC200		DATE_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en chlp_en syllp_en chgain_en	tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[14]	RW	length_sel	说明每个视频行包含的以像素数为单位的行有效宽度。 0: 按照 BT.601 模式的行有效像素宽度输出; 1: 按照 BT.470 模式的行有效像素宽度输出。当该位为 0 时, 行有效宽度为 720 个像素。当该位配置为 1 时, 对于 625 行制式, 行有效宽度为 704 个像素; 对于 525 行制式, 行有效宽度为 712 个像素。目前版本不支持 BT601 模式和 BT470 模式动态配置, 复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式, 即采用上电复位值。					
[13]	RW	agc_amp_sel	AGC 脉冲选择。 0: 参照片内默认值产生 AGC 脉冲(推荐); 1: 参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。					
[12:9]	RW	luma_dl	以半个像素宽度为单位, 相对于亮度信号, 色度信号超前或滞后的位移量。 bit[12]: 色度信号相对亮度信号位移量的方向。 0: 色度信号滞后于亮度信号; 1: 色度信号超前于色度信号。 bit[11:9]:色度信号相对亮度信号位移量的绝对值, 二进制表示, 取值范围为从 0~7。 000: 色度与亮度对齐, 不作调整; 001~111: 色度信号相对亮度信号超前或滞后 1~7 个单位。					
[8]	RW	reserved	保留。 写无效, 读为 0。					



Offset Address		Register Name		Total Reset Value				
0xC200		DATE_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en	chlp_en sylop_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[7:6]	RW	oversam_en	第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]: 亮度过采样开关控制位。 0: 亮度过采样关闭; 1: 亮度过采样打开。 bit[6]: 色度过采样开关控制位。 0: 色度过采样关闭; 1: 色度过采样打开。					
[5]	RW	lunt_en	亮度陷波功能开关控制位。 0: 亮度陷波功能关闭; 1: 亮度陷波功能打开。					
[4]	RW	oversam2_en	第二级过采样开关控制位，同时控制亮度通路和色度通路。 0: 亮度过采样关闭; 1: 亮度过采样打开。					
[3]	RW	chlp_en	色度低通滤波功能开关控制位。 0: 色度低通滤波功能关闭; 1: 色度低通滤波功能打开。					
[2]	RW	sylop_en	同步低通滤波功能开关控制位。 0: 同步低通滤波功能关闭; 1: 同步低通滤波功能打开。					
[1]	RW	chgain_en	色度增益开关控制位。 0: 色度增益关闭; 1: 色度增益打开。					



		Offset Address 0xC200								Register Name DATE_COEFF0								Total Reset Value 0x5284_14FC																													
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
Name		clpf_sel		dis_ire		reserved		scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel				sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl				reserved		oversam_en		lunt_en		oversam2_en		chlp_en		sytp_en		chgain_en		tt_seq	
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	1	1	1	1	1	1	1	1	0	0										
	Bits	Access		Name		Description																																									
	[0]	RW		tt_seq		配置 Teletext 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																																									

DATE_COEFF1

DATE_COEFF1 为幅度配置寄存器。

		Offset Address 0xC204								Register Name DATE_COEFF1								Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		c_gain		cvbs_limit_en		wss_seq		vps_seq		cgms_seq		cc_seq		amp_outside				date_test_en		date_test_mode		dac_test															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																															
	[31:29]	RW		c_gain		色同步增益幅度调节。																															
	[28]	RW		cvbs_limit_en		CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。																															



		Offset Address 0xC204								Register Name DATE_COEFF1								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test											
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[27]	RW		wss_seq		配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[26]	RW		vps_seq		配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[25]	RW		cgms_seq		配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[24]	RW		cc_seq		配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[23]	RW		c_limit_en		色度限幅开关控制位。 0: 不限幅; 1: 限幅。																											
	[22:13]	RW		amp_outside		外部 AGC 脉冲幅度输入。																											
	[12]	RW		date_test_en		测试有效信号。 0: 无效; 1: 有效。																											
	[11:10]	RW		date_test_mode		测试模式信号。																											
	[9:0]	RW		dac_test		DAC 测试值输入。																											



DATE_COEFF7

DATE_COEFF7 为 Teletext 配置寄存器。

	Offset Address 0xC21C				Register Name DATE_COEFF7								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		tt22_enf1		奇场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[30]	RW		tt21_enf1		奇场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[29]	RW		tt20_enf1		奇场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[28]	RW		tt19_enf1		奇场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[27]	RW		tt18_enf1		奇场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[26]	RW		tt17_enf1		奇场第 17 行 Teletext 开关控制位。 0: 关闭; 2: 打开。																											
[25]	RW		tt16_enf1		奇场第 16 行 Teletext 开关控制位。 0: 关闭; 3: 打开。																											



		Offset Address 0xC21C								Register Name DATE_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[24]	RW	tt15_enf1		奇场第 15 行 Teletext 开关控制位。 0: 关闭; 4: 打开。																													
[23]	RW	tt14_enf1		奇场第 14 行 Teletext 开关控制位。 0: 关闭; 5: 打开。																													
[22]	RW	tt13_enf1		奇场第 13 行 Teletext 开关控制位。 0: 关闭; 6: 打开。																													
[21]	RW	tt12_enf1		奇场第 12 行 Teletext 开关控制位。 0: 关闭; 7: 打开。																													
[20]	RW	tt11_enf1		奇场第 11 行 Teletext 开关控制位。 0: 关闭; 8: 打开。																													
[19]	RW	tt10_enf1		奇场第 10 行 Teletext 开关控制位。 0: 关闭; 9: 打开。																													
[18]	RW	tt09_enf1		奇场第 9 行 Teletext 开关控制位。 0: 关闭; 10: 打开。																													
[17]	RW	tt08_enf1		奇场第 8 行 Teletext 开关控制位。 0: 关闭; 11: 打开。																													



		Offset Address 0xC21C								Register Name DATE_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																														
[16]	RW	tt07_enf1	奇场第 7 行 Teletext 开关控制位。 0: 关闭; 12: 打开。																														
[15]	RW	tt22_enf2	偶场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[14]	RW	tt21_enf2	偶场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[13]	RW	tt20_enf2	偶场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[12]	RW	tt19_enf2	偶场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[11]	RW	tt18_enf2	偶场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[10]	RW	tt17_enf2	偶场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[9]	RW	tt16_enf2	偶场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														



		Offset Address 0xC21C								Register Name DATE_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																														
[8]	RW	tt15_enf2	偶场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[7]	RW	tt14_enf2	偶场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[6]	RW	tt13_enf2	偶场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[5]	RW	tt12_enf2	偶场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[4]	RW	tt11_enf2	偶场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[3]	RW	tt10_enf2	偶场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[2]	RW	tt09_enf2	偶场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[1]	RW	tt08_enf2	偶场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														



Offset Address		Register Name		Total Reset Value																												
0xC21C		DATE_COEFF7		0x0000_0000																												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																								
Name	tt22_enfl	tt21_enfl	tt20_enfl	tt19_enfl	tt18_enfl	tt17_enfl	tt16_enfl	tt15_enfl	tt14_enfl	tt13_enfl	tt12_enfl	tt11_enfl	tt10_enfl	tt09_enfl	tt08_enfl	tt07_enfl	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access		Name		Description																											
[0]	RW		tt07_enf2		偶场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											

DATE_COEFF8

DATE_COEFF8 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value												
0xC220		DATE_COEFF8		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	tt_staddr															
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0								
Bits	Access		Name		Description											
[31:0]	RW		tt_staddr		Teletext 数据起始地址。											

DATE_COEFF9

DATE_COEFF9 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value												
0xC224		DATE_COEFF9		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	tt_edaddr															
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0								
Bits	Access		Name		Description											
[31:0]	RW		tt_edaddr		Teletext 数据结束地址。											



DATE_COEFF10

DATE_COEFF10 为 Teletext 配置寄存器。



注意

目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。

	Offset Address 0xC228								Register Name DATE_COEFF10								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	tt_ready	reserved																nabts_100ire	full_page	tt_highest	tt_mode	tt_pkttoff														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31]	RW		tt_ready		当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teletext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。																															
[30:13]	RW		reserved		保留。 写无效，读为 0。																															
[12]	RW		nabts_100ire		NABTS-NTSC 数据高度配置寄存器。 0: 70IRE; 1: 100IRE。																															
[11]	RW		full_page		tt 发送 full page 模式控制寄存器。 0: 正常模式(消隐行传 tt 数据); 1: full page 模式(有效视频区也可传 tt 数据)。																															
[10]	RW		tt_highest		Tt 优先级控制寄存器。 0: tt 优先级最高; 1: tt 优先级最低。																															



Offset Address		Register Name		Total Reset Value						
0xC228		DATE_COEFF10		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	tt_ready	reserved				nabts_100ire	full_page	tt_highest	tt_mode	tt_pkttoff
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[9:8]	RW	tt_mode	TT 模式。 625 行下配置为 01，代表 wst-pal； 525 行下配置为 10，代表 nabts-ntsc。							
[7:0]	RW	tt_pkttoff	TT 包偏移地址。							

DATE_COEFF11

DATE_COEFF11 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC22C		DATE_COEFF11		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:22]	RW	reserved	保留。					
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0: 关闭； 1: 打开。					
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0: 关闭； 1: 打开。					
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。					



	Offset Address				Register Name								Total Reset Value																			
	0xC22C				DATE_COEFF11								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cc_enf1	cc_enf2	date_clf1								date_clf2													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[9:0]	RW	date_clf2		Closed Caption 偶场配置行。																											

DATE_COEFF12

DATE_COEFF12 为 Closed Caption 配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC230				DATE_COEFF12								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cc_f1data								cc_f2data																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	cc_f1data		Closed Caption 奇场数据。																											
	[15:0]	RW	cc_f2data		Closed Caption 偶场数据。																											

DATE_COEFF13

DATE_COEFF13 为 CGMS 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC234		DATE_COEFF13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cg_enf1	cg_enf2	cg_fldata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。 写无效，读为 0。						
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:0]	RW	cg_fldata	CGMS 奇场数据。						

DATE_COEFF14

DATE_COEFF14 为 CGMS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC238		DATE_COEFF14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cg_f2data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RW	reserved	保留。 写无效，读为 0。					
[19:0]	RW	cg_f2data	CGMS 偶场数据。					

DATE_COEFF15

DATE_COEFF15 为 WSS 配置寄存器。



注意

WSS 仅在 625 行制式下使用，固定在 23 行。

Offset Address		Register Name		Total Reset Value					
0xC23C		DATE_COEFF15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				wss_en	wss_data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RW	reserved	保留。 写无效，读为 0。						
[14]	RW	wss_en	WSS 开关控制位。 0: 关闭; 1: 打开。						
[13:0]	RW	wss_data	WSS 数据。						

DATE_COEFF16

DATE_COEFF16 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC240		DATE_COEFF16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RW	reserved	保留。 写无效，读为 0。					



Offset Address		Register Name		Total Reset Value					
0xC240		DATE_COEFF16		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vps_en	vps_data					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[24]	RW	vps_en	VPS 开关控制位。 0: 关闭; 1: 打开。						
[23:0]	RW	vps_data	VPS 数据, 第 23 位到第 0 位, 最低位为第 0 位。						

DATE_COEFF17

DATE_COEFF17 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC244		DATE_COEFF17		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					

DATE_COEFF18

DATE_COEFF18 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC248		DATE_COEFF18		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					



DATE_COEFF19

DATE_COEFF19 为 VPS 配置寄存器。



注意

VPS 只在 625 行模式下支持，固定在 16 行。

	Offset Address				Register Name								Total Reset Value																			
	0xC24C				DATE_COEFF19								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vps_data															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	reserved		保留。 写无效，读为 0。																											
	[15:0]	RW	vps_data		VPS 数据，第 103 位到第 88 位，最低位为第 0 位。																											

DATE_COEFF20

DATE_COEFF20 为 Teletext 配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC250				DATE_COEFF20								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																tt06_enf1	tt06_enf2	tt05_enf2													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	RW	reserved		保留。 写无效，读为 0。																											



Offset Address		Register Name		Total Reset Value						
0xC250		DATE_COEFF20		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							

DATE_COEFF21

DATE_COEFF21 为输出矩阵控制寄存器。

Offset Address		Register Name		Total Reset Value										
0xC254		DATE_COEFF21		0x0065_1432										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 0 0 1	0 1 0 0	0 0 1 1	0 0 1 0						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											



	Offset Address 0xC254								Register Name DATE_COEFF21								Total Reset Value 0x0065_1432															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								dac5_in_sel		reserved		dac4_in_sel		reserved		dac3_in_sel		reserved		dac2_in_sel		reserved		dac1_in_sel		reserved		dac0_in_sel			
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	0	1	0	1	0	0	0	0	1	1	0	0	1	0

Bits	Access	Name	Description
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[19]	RO	reserved	保留。 写无效，读为 0。
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[15]	RO	reserved	保留。 写无效，读为 0。



Offset Address		Register Name		Total Reset Value											
0xC254		DATE_COEFF21		0x0065_1432											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 0 0 1	0 1 0 0	0 0 1 1	0 0 1 0							
Bits	Access	Name	Description												
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[11]	RO	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[7]	RO	reserved	保留。 写无效，读为 0。												



Offset Address		Register Name		Total Reset Value											
0xC254		DATE_COEFF21		0x0065_1432											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 0 0 1	0 1 0 0	0 0 1 1	0 0 1 0							
Bits	Access	Name	Description												
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[3]	RO	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												

DATE_COEFF22

DATE_COEFF22 为 DTO 初始相位配置寄存器。



Offset Address		Register Name		Total Reset Value						
0xC258		DATE_COEFF22		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						video_phase_delta			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RW	reserved	保留。 写无效，读为 0。							
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。							

DATE_COEFF23

DATE_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address		Register Name		Total Reset Value										
0xC25C		DATE_COEFF23		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[19]	RO	reserved	保留。 写无效，读为 0。											
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[15]	RO	reserved	保留。 写无效，读为 0。											



	Offset Address 0xC25C								Register Name DATE_COEFF23								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								dac5_out_dly		reserved	dac4_out_dly		reserved	dac3_out_dly		reserved	dac2_out_dly		reserved	dac1_out_dly		reserved	dac0_out_dly								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。																													
[11]	RO	reserved	保留。 写无效，读为 0。																													
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。																													
[7]	RO	reserved	保留。 写无效，读为 0。																													
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。																													
[3]	RO	reserved	保留。 写无效，读为 0。																													
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。																													

DATE_ISRMASK

DATE_ISRMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0xC280		DATE_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

DATE_ISRSTATE

DATE_ISRSTATE 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0xC284		DATE_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

DATE_ISR

DATE_ISR 为中断寄存器。



Offset Address		Register Name		Total Reset Value					
0xC288		DATE_ISR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_int	Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0: 没有中断; 1: 有中断。						

DATE_VERSION

DATE_VERSION 为版本寄存器。

Offset Address		Register Name		Total Reset Value				
0xC290		DATE_VERSION		0x0000_0024				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。 写无效，读为 0。					

DATE1_COEFF0

DATE1_COEFF0 为制式参数配置寄存器。



Offset Address		Register Name		Total Reset Value				
0xC400		DATE1_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en	chlp_en syllp_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[31:30]	RW	clpf_sel	色度低通滤波器带宽选择。 00: 1.1MHz 带宽(NTSC); 01: 1.3MHz 带宽(PAL); 10: 1.6MHz 带宽(测试); 11: 保留。					
[29]	RW	dis_ire	对于(M)NTSC 和(M, N)PAL 制式, 黑电平高于消隐电平 7.5IRE; 对于其它制式, 黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0: 黑电平高于消隐电平 7.5IRE; 1: 黑电平等于消隐电平。					
[28:26]	RW	reserved	保留。 写无效, 读为 0。					
[25]	RW	scanline	根据在不同制式下每帧包含的扫描行数进行设置。对于 (M)NTSC、NTSC-J、(M)PAL, 每帧包含 525 行; 对于(B、D、J、H、I)PAL, (N)PAL, (Nc)PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。					
[24]	RW	rgb_en	在 intf_sel 配置为 100 时, 该位决定分量信号是选用 RGB 还是选用 YPbPr。 0: 分量信号选用 YPbPr; 1: 分量信号选用 RGB。					
[23]	RW	vbi_lpf_en	Vbi 数据低通滤波使能控制。 0: 不滤波处理; 1: 滤波处理。					



Offset Address		Register Name		Total Reset Value				
0xC400		DATE1_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en	chlp_en syllp_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[22]	RW	fm_sel	FMsecam 调频选择。 0: secam 调频采用 sin; 1: secam 调频采用 cos。					
[21:18]	RW	style_sel	与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1: (M)NTSC 制式； 0x2: NTSC-J 制式； 0x4: (M)PAL 制式； 其他：保留。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1: (B、D、G、H、I)PAL 制式； 0x2: (N)PAL 制式； 0x4: (Nc)PAL 制式； 0x8: SECAM 制式； 其他：保留。					



		Offset Address 0xC400								Register Name DATE1_COEFF0								Total Reset Value 0x5284_14FC																															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name		c1pf_sel		dis_ire		reserved		scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel				sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl				reserved		oversam_en		lunt_en		oversam2_en		chlp_en		sy1p_en		chgain_en		tt_seq			
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																													
[17:16]	RW	sync_mode_sel		bit[17]指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。 该位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0：分量输出时，只在一个通道上包含同步信号； 1：分量输出时，在三个通道上都包含同步信号。 在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。 bit[16]：指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100，rgb_en 设为 1 时有效，含义为： 0：RGB 输出时无消隐基数； 1：RGB 输出时有消隐基数。																																													
[15]	RW	sync_mode_scart		指明下分量 3 个通道均不叠加同步。 0：分量同步输出根据 sync_mode_sel[1]配置； 1：分量 3 个通道均不叠加同步，此时 sync_mode_sel[1]需配置为 0。																																													
[14]	RW	length_sel		说明每个视频行包含的以像素数为单位的行有效宽度。 0：按照 BT.601 模式的行有效像素宽度输出； 1：按照 BT.470 模式的行有效像素宽度输出。 当该位为 0 时，行有效宽度为 720 个像素。当该位配置为 1 时，对于 625 行制式，行有效宽度为 704 个像素；对于 525 行制式，行有效宽度为 712 个像素。目前版本不支持 BT601 模式和 BT470 模式动态配置，复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式，即采用上电复位值。																																													
[13]	RW	agc_amp_sel		0：参照片内默认值产生 AGC 脉冲(推荐)； 1：参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。																																													



		Offset Address 0xC400								Register Name DATE1_COEFF0								Total Reset Value 0x5284_14FC																															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name		c1pf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel				sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl				reserved		oversam_en		lunt_en		oversam2_en		chlp_en		syllp_en		chgain_en		tt_seq	
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																																											
	[12:9]	RW		luma_dl		以半个像素宽度为单位，相对于亮度信号，色度信号超前或滞后的位移量。 bit[12]: 色度信号相对亮度信号位移量的方向。 0: 色度信号滞后于亮度信号; 1: 色度信号超前于色度信号。 bit[11:9]: 色度信号相对亮度信号位移量的绝对值，二进制表示，取值范围为从0~7。 000: 色度与亮度对齐，不作调整; 001~111: 色度信号相对亮度信号超前或滞后1~7个单位。																																											
	[8]	RW		reserved		保留。 写无效，读为0。																																											
	[7:6]	RW		oversam_en		第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]: 亮度过采样开关控制位。 0: 亮度过采样关闭; 1: 亮度过采样打开。 bit[6]: 为色度过采样开关控制位。0: 色度过采样关闭; 1: 色度过采样打开。																																											
	[5]	RW		lunt_en		亮度陷波功能开关控制位。 0: 亮度陷波功能关闭; 1: 亮度陷波功能打开。																																											
	[4]	RW		oversam2_en		第二级过采样开关控制位，同时控制亮度通路和色度通路。 0: 亮度过采样关闭; 1: 亮度过采样打开。																																											



Offset Address		Register Name		Total Reset Value				
0xC400		DATE1_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en	chlp_en sylop_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[3]	RW	chlp_en	色度低通滤波功能开关控制位。 0: 色度低通滤波功能关闭; 1: 色度低通滤波功能打开。					
[2]	RW	sylop_en	同步低通滤波功能开关控制位。 0: 同步低通滤波功能关闭; 1: 同步低通滤波功能打开。					
[1]	RW	chgain_en	色度增益开关控制位。 0: 色度增益关闭; 1: 色度增益打开。					
[0]	RW	tt_seq	配置 Teletext 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。					

DATE1_COEFF1

DATE1_COEFF1 为幅度配置寄存器。



		Offset Address 0xC404								Register Name DATE1_COEFF1								Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																															
	[31:29]	RW		c_gain		色同步增益幅度调节。																															
	[28]	RW		cvbs_limit_en		CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。																															
	[27]	RW		wss_seq		配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																															
	[26]	RW		vps_seq		配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																															
	[25]	RW		cgms_seq		配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																															
	[24]	RW		cc_seq		配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																															
	[23]	RW		c_limit_en		色度限幅开关控制位。 0: 不限幅; 1: 限幅。																															
	[22:13]	RW		amp_outside		外部 AGC 脉冲幅度输入。																															
	[12]	RW		date_test_en		测试有效信号。 0: 无效; 1: 有效。																															



		Offset Address 0xC404								Register Name DATE1_COEFF1								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test											
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[11:10]	RW		date_test_mode		测试模式信号。																											
	[9:0]	RW		dac_test		DAC 测试值输入。																											

DATE1_COEFF7

DATE1_COEFF7 为 Teletext 配置寄存器。

		Offset Address 0xC41C								Register Name DATE1_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31]	RW		tt22_enf1		奇场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[30]	RW		tt21_enf1		奇场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[29]	RW		tt20_enf1		奇场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											



		Offset Address 0xC41C								Register Name DATE1_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[28]	RW	tt19_enf1		奇场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[27]	RW	tt18_enf1		奇场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[26]	RW	tt17_enf1		奇场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[25]	RW	tt16_enf1		奇场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[24]	RW	tt15_enf1		奇场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[23]	RW	tt14_enf1		奇场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[22]	RW	tt13_enf1		奇场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[21]	RW	tt12_enf1		奇场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



		Offset Address 0xC41C								Register Name DATE1_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[20]	RW	tt11_enf1		奇场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[19]	RW	tt10_enf1		奇场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[18]	RW	tt09_enf1		奇场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[17]	RW	tt08_enf1		奇场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[16]	RW	tt07_enf1		奇场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[15]	RW	tt22_enf2		偶场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[14]	RW	tt21_enf2		偶场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[13]	RW	tt20_enf2		偶场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



		Offset Address 0xC41C								Register Name DATE1_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[12]	RW	tt19_enf2		偶场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[11]	RW	tt18_enf2		偶场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[10]	RW	tt17_enf2		偶场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[9]	RW	tt16_enf2		偶场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[8]	RW	tt15_enf2		偶场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[7]	RW	tt14_enf2		偶场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[6]	RW	tt13_enf2		偶场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[5]	RW	tt12_enf2		偶场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



Offset Address		Register Name		Total Reset Value																												
0xC41C		DATE1_COEFF7		0x0000_0000																												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																								
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																													
[4]	RW	tt11_enf2	偶场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[3]	RW	tt10_enf2	偶场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[2]	RW	tt09_enf2	偶场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[1]	RW	tt08_enf2	偶场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[0]	RW	tt07_enf2	偶场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													

DATE1_COEFF8

DATE1_COEFF8 为 Teletext 配置寄存器。



Offset Address		Register Name		Total Reset Value				
0xC420		DATE1_COEFF8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_staddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_staddr	Teletext 数据起始地址。					

DATE1_COEFF9

DATE1_COEFF9 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC424		DATE1_COEFF9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_edaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_edaddr	Teletext 数据结束地址。					

DATE1_COEFF10

DATE1_COEFF10 为 Teletext 配置寄存器。



注意

目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。



Offset Address		Register Name		Total Reset Value																												
0xC428		DATE1_COEFF10		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																nabts_100ire	full_page	tt_highest	tt_mode	tt_pkttoff											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	tt_ready	当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teletext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。																													
[30:13]	RW	reserved	保留。 写无效，读为 0。																													
[12]	RW	nabts_100ire	NABTS-NTSC 数据高度配置寄存器。 0: 70IRE; 1: 100IRE。																													
[11]	RW	full_page	tt 发送 full page 模式控制寄存器。 0: 正常模式(消隐行传 tt 数据); 1: full page 模式(有效视频区也可传 tt 数据)。																													
[10]	RW	tt_highest	Tt 优先级控制寄存器。 0: tt 优先级最高; 1: tt 优先级最低。																													
[9:8]	RW	tt_mode	TT 模式。 625 行下配置为 01，代表 wst-pal; 525 行下配置为 10，代表 nabts-ntsc。																													
[7:0]	RW	tt_pkttoff	TT 包偏移地址。																													

DATE1_COEFF11

DATE1_COEFF11 为 Closed Caption 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC42C		DATE1_COEFF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。						
[9:0]	RW	date_clf2	Closed Caption 偶场配置行。						

DATE1_COEFF12

DATE1_COEFF12 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC430		DATE1_COEFF12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cc_f1data				cc_f2data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cc_f1data	Closed Caption 奇场数据。					
[15:0]	RW	cc_f2data	Closed Caption 偶场数据。					

DATE1_COEFF13

DATE1_COEFF13 为 CGMS 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC434		DATE1_COEFF13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cg_enf1	cg_enf2	cg_fldata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。 写无效，读为 0。						
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:0]	RW	cg_fldata	CGMS 奇场数据。						

DATE1_COEFF14

DATE1_COEFF14 为 CGMS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC438		DATE1_COEFF14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cg_f2data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RW	reserved	保留。 写无效，读为 0。					
[19:0]	RW	cg_f2data	CGMS 偶场数据。					

DATE1_COEFF15

DATE1_COEFF15 为 WSS 配置寄存器。



注意

WSS 仅在 625 行制式下使用，固定在 23 行。

Offset Address		Register Name		Total Reset Value					
0xC43C		DATE1_COEFF15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				wss_en	wss_data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RW	reserved	保留。 写无效，读为 0。						
[14]	RW	wss_en	WSS 开关控制位。 0: 关闭; 1: 打开。						
[13:0]	RW	wss_data	WSS 数据。						

DATE1_COEFF16

DATE1_COEFF16 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC440		DATE1_COEFF16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RW	reserved	保留。 写无效，读为 0。					



Offset Address		Register Name		Total Reset Value					
0xC440		DATE1_COEFF16		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vps_en	vps_data					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[24]	RW	vps_en	VPS 开关控制位。 0: 关闭; 1: 打开。						
[23:0]	RW	vps_data	VPS 数据, 第 23 位到第 0 位, 最低位为第 0 位。						

DATE1_COEFF17

DATE1_COEFF17 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC444		DATE1_COEFF17		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					

DATE1_COEFF18

DATE1_COEFF18 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC448		DATE1_COEFF18		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					



DATE1_COEFF19

DATE1_COEFF19 为 VPS 配置寄存器。



注意

VPS 只在 625 行模式下支持，固定在 16 行。

	Offset Address	Register Name	Total Reset Value													
	0xC44C	DATE1_COEFF19	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								vps_data							
Reset	0 0															
	Bits	Access	Name	Description												
	[31:16]	RW	reserved	保留。 写无效，读为 0。												
	[15:0]	RW	vps_data	VPS 数据，第 103 位到第 88 位，最低位为第 0 位。												

DATE1_COEFF20

DATE1_COEFF20 为 Teletext 配置寄存器。

	Offset Address	Register Name	Total Reset Value												
	0xC450	DATE1_COEFF20	0x0000_0000												
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0														
Name	reserved												tit06_enf1	tit06_enf2	tit05_enf2
Reset	0 0														
	Bits	Access	Name	Description											
	[31:3]	RW	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value						
0xC450		DATE1_COEFF20		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							

DATE1_COEFF21

DATE1_COEFF21 为输出矩阵控制寄存器。

Offset Address		Register Name		Total Reset Value										
0xC454		DATE1_COEFF21		0x0065_1432										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 0 0 1	0 1 0 0	0 0 1 1	0 0 1 0						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value											
0xC454		DATE1_COEFF21		0x0065_1432											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 0 0 1	0 1 0 0	0 0 1 1	0 0 1 0							
Bits	Access	Name	Description												
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[19]	RO	reserved	保留。 写无效, 读为 0。												
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[15]	RO	reserved	保留。 写无效, 读为 0。												



Offset Address		Register Name		Total Reset Value											
0xC454		DATE1_COEFF21		0x0065_1432											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 0 0 1	0 1 0 0	0 0 1 1	0 0 1 0							
Bits	Access	Name	Description												
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[11]	RO	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[7]	RO	reserved	保留。 写无效，读为 0。												



Offset Address		Register Name		Total Reset Value											
0xC454		DATE1_COEFF21		0x0065_1432											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 0 0 1	0 1 0 0	0 0 1 1	0 0 1 0							
Bits	Access	Name	Description												
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[3]	RO	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												

DATE1_COEFF22

DATE1_COEFF22 为 DTO 初始相位配置寄存器。



Offset Address		Register Name		Total Reset Value						
0xC458		DATE1_COEFF22		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						video_phase_delta			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RW	reserved	保留。 写无效，读为 0。							
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。							

DATE1_COEFF23

DATE1_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address		Register Name		Total Reset Value										
0xC45C		DATE1_COEFF23		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[19]	RO	reserved	保留。 写无效，读为 0。											
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[15]	RO	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value									
0xC45C		DATE1_COEFF23		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved		dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。										
[11]	RO	reserved	保留。 写无效，读为 0。										
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。										
[7]	RO	reserved	保留。 写无效，读为 0。										
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。										
[3]	RO	reserved	保留。 写无效，读为 0。										
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。										

DATE1_ISRMASK

DATE1_ISRMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0xC480		DATE1_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

DATE1_ISRSTATE

DATE1_ISRSTATE 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0xC484		DATE1_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

DATE1_ISR

DATE1_ISR 为中断寄存器。



Offset Address		Register Name		Total Reset Value					
0xC488		DATE1_ISR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_int	Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0: 没有中断; 1: 有中断。						

DATE1_VERSION

DATE1_VERSION 为版本寄存器。

Offset Address		Register Name		Total Reset Value				
0xC490		DATE1_VERSION		0x0000_0024				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。 写无效，读为 0。					

VOCTRL

VOCTRL 为 VO 控制寄存器。surface 总线申请仲裁模式。



	Offset Address 0xCE00								Register Name VOCTRL								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	vo_ck_gt_en	vo_id_sel	reserved		awid_cfg				reserved		bus_dbg_en		outstd_wid				arid_cfg1				arid_cfg0				outstd_rid				arb_mode							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																												
	[31]	RW		vo_ck_gt_en				VOU 时钟门控使能。 0: 时钟门控关闭; 1: VOU 的内部时钟门控打开。																												
	[30]	RW		vo_id_sel				VOU 读 ID 号选择 0: VOU 选择 0 号读 ID; 1: VOU 选择 1 号读 ID																												
	[29:28]	RO		reserved				保留。																												
	[27:24]	RW		awid_cfg				AXI 总线写的 ID 值。																												
	[23:22]	RO		reserved				保留。																												
	[21:20]	RW		bus_dbg_en				总线测试使能 00: 总线正常工作模式; 01: 总线测试读写环回工作模式; 10: 总线测试写环回工 作; 其他: 保留。																												
	[19:16]	RW		outstd_wid				AXI 总线写 ID 的 outstanding																												
	[15:12]	RW		arid_cfg1				AXI 总线读的 1 号 ID 值。																												
	[11:8]	RW		arid_cfg0				AXI 总线读的 0 号 ID 值。																												
	[7:4]	RW		outstd_rid				AXI 总线读 ID 的 outstanding。																												
	[3:0]	RW		arb_mode				VO 内部各 surface 总线数据申请的仲裁模式。 0000: 轮询; 0001: 图形层优先; 其他: 保留																												

VOINTSTA

VOINTSTA 为 VO 中断状态寄存器。只读寄存器。



		Offset Address 0xCE04								Register Name VOINTSTA								Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		be_int	ut_end_int	reserved	vhd_regup_err_int	reserved				g0rr_int	vhdr_int	reserved	vsdrr_int	reserved				dsd1uf_int	reserved	wbc_te_int	reserved	dhduf_int	reserved	dhdvttthd0_int	dsduf_int	reserved	dsdvttthd1_int	reserved	dsdvttthd0_int								
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																	
[31]	RO	be_int		总线错误中断。(AXI_Master) 0: 没有中断; 1: 有中断。																																	
[30]	RO	ut_end_int		UT 帧完成中断。																																	
[29]	RO	reserved		保留。																																	
[28]	RO	vhd_regup_err_int		VHD 寄存器更新错误中断。																																	
[27:24]	RO	reserved		保留。																																	
[23]	RO	g0rr_int		G0 寄存器更新中断。																																	
[22]	RO	vhdr_int		VHD 寄存器更新中断。																																	
[21]	RO	reserved		保留。																																	
[20]	RO	vsdrr_int		VSD 寄存器更新中断。																																	
[19:15]	RO	reserved		保留。																																	
[14]	RO	dsd1uf_int		SD1 通道低带宽告警中断。																																	
[13:12]	RO	reserved		保留。																																	
[11]	RO	wbc_te_int		WBC 任务完成中断																																	
[10:8]	RO	reserved		保留。																																	
[7]	RO	dhduf_int		HD 通道低带宽告警中断。																																	
[6:5]	RO	reserved		保留。																																	
[4]	RO	dhdvttthd0_int		HD0 通道垂直时序中断 1。																																	
[3]	RO	dsduf_int		SD 通道低带宽告警中断。																																	
[2]	RO	reserved		保留。																																	



		Offset Address 0xCE04								Register Name VOINTSTA								Total Reset Value 0x0000_0000																		
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name		be_int	ut_end_int	reserved	vhd_regup_err_int	reserved				g0rr_int	vhdr_int	reserved	vsdrr_int	reserved				dsluf_int	reserved	wbc_te_int	reserved	dhduf_int	reserved	dhdvthd0_int	dsduf_int	reserved	dsdvthd1_int	dsdvthd0_int								
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																												
	[1]	RO		dsdvthd1_int				SD1 通道垂直时序中断。																												
	[0]	RO		dsdvthd0_int				SD0 通道垂直时序中断 1。																												

VOMSKINTSTA

VOMSKINTSTA 为 VO 经过 Mask 的中断状态寄存器。写 1 清零。

		Offset Address 0xCE08								Register Name VOMSKINTSTA								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		be_int	ut_end_int	reserved	vhd_regup_err_int	reserved				g0rr_int	vhdr_int	reserved	vsdrr_int	reserved				dsluf_int	reserved	wbc_te_int	reserved	dhduf_int	reserved	dhdvthd1_int	dsduf_int	reserved	dsdvthd1_int	dsdvthd0_int					
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																									
	[31]	RWC		be_int				总线错误中断。(AXI_Master) 0: 没有中断; 1: 有中断。																									
	[30]	R/WC		ut_end_int				UT 帧完成中断。																									
	[29]	RO		reserved				保留。																									
	[28]	RWC		vhd_regup_err_int				VHD 寄存器更新错误中断。																									



	Offset Address 0xCE08								Register Name VOMSKINTSTA								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	be_int	ut_end_int	reserved	vhd_regup_err_int	reserved				g0rr_int	vhdr_int	reserved	vsdrr_int	reserved				dsd1uf_int	reserved	wbc_te_int	reserved	dhduf_int	reserved	dhdvttthd1_int	dsduf_int	reserved	dsdvtthd1_int	reserved	dsdvtthd0_int	dsdvtthd0_int			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[27:24]	RO	reserved	保留。
[23]	RWC	g0rr_int	G0 寄存器更新中断。
[22]	RWC	vhdr_int	VHD 寄存器更新中断。
[21]	RO	reserved	保留。
[20]	R/WC	vsdrr_int	VSD 寄存器更新中断。
[19:15]	RO	reserved	保留。
[14]	RW	dsd1uf_int	SD1 通道低带宽告警中断。
[13:12]	RO	reserved	保留。
[11]	RO	wbc_te_int	WBC 任务完成中断
[10:8]	RO	reserved	保留。
[7]	RO	dhduf_int	HD 通道低带宽告警中断。
[6:5]	RO	reserved	保留。
[4]	RO	dhdvttthd1_int	HD0 通道垂直时序中断 1。
[3]	RO	dsduf_int	SD 通道低带宽告警中断。
[2]	RO	reserved	保留。
[1]	RO	dsdvtthd1_int	SD1 通道垂直时序中断。
[0]	RO	dsdvtthd0_int	SD0 通道垂直时序中断 1。



VOINTMSK

VOINTMSK 为 VOU 中断屏蔽寄存器。与 VOINTSTA 对应。相应 bit 为 1 表示中断打开；为 0 表示中断屏蔽。

		Offset Address 0xCE0C				Register Name VOINTMSK								Total Reset Value 0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		be_intmsk	ut_end_intmsk	reserved	vhd_regup_err_intmsk	reserved				g0rr_intmsk	vhdrr_intmsk	reserved	vsdrr_intmsk	reserved				dsd1uf_intmsk	reserved				wbc_te_intmsk	reserved				dhduf_intmsk	reserved				dhdvthd1_intmsk	dsduf_intmsk	reserved	dsdvthd1_intmsk	dsdvthd0_intmsk
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																															
	[31]	RW		be_intmsk		总线错误中断。(AXI_Master) 0: 没有中断; 1: 有中断。																															
	[30]	RW		ut_end_intmsk		UT 帧完成中断。																															
	[29]	RO		reserved		保留。																															
	[28]	RWC		vhd_regup_err_intmsk		VHD 寄存器更新错误中断。																															
	[27:24]	RO		reserved		保留。																															
	[23]	RW		g0rr_intmsk		G0 寄存器更新中断。																															
	[22]	RW		vhdrr_intmsk		VHD 寄存器更新中断。																															
	[21]	RO		reserved		保留。																															
	[20]	RW		vsdrr_intmsk		VSD 寄存器更新中断。																															
	[19:15]	RO		reserved		保留。																															
	[14]	RW		dsd1uf_intmsk		SD1 通道低带宽告警中断。																															
	[13:12]	RO		reserved		保留。																															
	[11]	RO		wbc_te_intmsk		WBC 任务完成中断																															
	[10:8]	RO		reserved		保留。																															
	[7]	RW		dhduf_intmsk		HD 通道低带宽告警中断。																															



		Offset Address 0xCE0C								Register Name VOINTMSK								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		be_intmsk	ut_end_intmsk	reserved	vhd_regup_err_intmsk	reserved				g0rr_intmsk	vhdr_intmsk	reserved	vsdr_intmsk	reserved				dsdluf_intmsk	reserved	wbc_te_intmsk	reserved	dhduf_intmsk	reserved	dhdvttthd1_intmsk	dsduf_intmsk	reserved	dsdvttthd1_intmsk	dsdvttthd0_intmsk	dsdvttthd0_intmsk				
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[6:5]	RO		reserved		保留。																											
	[4]	RW		dhdvttthd1_intmsk		HD 通道垂直时序中断 1。																											
	[3]	RW		dsduf_intmsk		SD 通道低带宽告警中断。																											
	[2]	RO		reserved		保留。																											
	[1]	RW		dsdvttthd1_intmsk		SD1 通道垂直时序中断 2。																											
	[0]	RW		dsdvttthd0_intmsk		SD0 通道垂直时序中断 1。																											

VOUVERSION1

VOUVERSION1 为 VOU 版本 1 寄存器。

		Offset Address 0xCE10								Register Name VOUVERSION1								Total Reset Value 0x7675_6F76															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		vouversion0																															
	Reset	0	1	1	1	0	1	1	0	0	1	1	1	0	1	0	1	0	1	1	0	1	1	1	1	0	1	1	1	0	1	1	0
	Bits	Access		Name		Description																											
	[31:0]	RO		vouversion0		VOU 版本寄存器。																											

VOUVERSION2

VOUVERSION2 为 VOU 版本 2 寄存器。



Offset Address		Register Name		Total Reset Value				
0xCE14		VOUVERSION2		0x3030_3134				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vouversion1							
Reset	0 0 1 1	0 0 0 0	0 0 1 1	0 0 0 0	0 0 1 1	0 0 0 1	0 0 1 1	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RO	vouversion1	VOU 版本寄存器。					

VOMUXDATA

VOMUXDATA 为 VO 输出接口复选数据 (VOPINTEST) 寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE18		VOMUXDATA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pin_test_en	pin_test_mode	vsync_value	hsync_value	dv_value	pin_test_data		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	pin_test_en	管脚测试模式使能。 0: 禁止; 1: 使能。					
[30:27]	RW	pin_test_mode	保留。					
[26]	RW	vsync_value	测试模式下, 垂直时序配置值。					
[25]	RW	hsync_value	测试模式下, 水平时序配置值。					
[24]	RW	dv_value	测试模式下, 数据有效时序配置值。					
[23:0]	RW	pin_test_data	测试模式, 配置测试的数据。 所有的 DAC 使用[9:0]。当分量宽度大于 8bit, 最高位是填充值。 举例: 36bit output[35:24] = {[23:16], [23:20]}					



VOMUX

VOMUX 为 VO 输出接口复选寄存器。

	Offset Address	Register Name	Total Reset Value									
	0xCE1C	VOMUX	0x0004_001B									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				hdmi_vid				reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 1 0				
Bits	Access	Name	Description									
[31:23]	RW	reserved	保留。									
[22:16]	RW	hdmi_vid	<p>反向使能寄存器需要和 INTF 的接口寄存器中的时序反向寄存器异或，才能够得到真正的 HDMI 输入接口时序反向要求。</p> <p>bit[22] 0: vsync 反相不使能; 1: vsync 反向使能</p> <p>bit[21] 0: hsync 反向不使能; 1: hsync 反向使能</p> <p>bit[20] 0: dv 反向不使能; 1: dv 反向使能;</p> <p>bit[19]: reserved;</p> <p>bit[18:17]: (默认: 100)HDMI 视频输出格式选择。RGB 和 YCbCr 的选择，通过配置 DHD 通道得到 00: YCbCr444, 30bits 同步分离模式; 01: RGB444, 30bits 同步分离模式; 10: YCbCr422, 20bits 同步分离模式 11: YCbCr422, 10bits 同步分离模式;</p> <p>bit[16] 0: DHD1 输出; 1: DHD0 输出;</p>									
[15:0]	RO	reserved	保留。									



VGACSCIDC

VGACSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xCE24		VGACSCIDC		0x07C3_0180					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	csc_mode csc_en	cscidc2	cscidc1		cscidc0			
Reset	0 0 0 0	0 1 1 1	1 1 0 0	0 0 1 1	0 0 0 0	0 0 0 1	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28]	RW	csc_mode	CSC 转换模式。 0: YUV2RGB 601(标清); 1: YUV2RGB 709(g 高清)。						
[27]	RW	csc_en	CSC 使能。 0: 禁止; 1: 使能。						
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。						
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。						
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。						

VGACSCODC

VGACSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE28		VGACSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					



	Offset Address				Register Name								Total Reset Value																			
	0xCE28				VGACSCODC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscodc2				cscodc1				cscodc0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。																													
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。																													

VGACSCP0

VGACSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xCE2C				VGACSCP0								0x0000_0100																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp01								reserved				cscp00															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:29]	RO	reserved	保留。																													
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																													
[15:13]	RO	reserved	保留。																													
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																													

VGACSCP1

VGACSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xCE30		VGACSCP1		0x0100_015E					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 0 1	1 1 1 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VGACSCP2

VGACSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xCE34		VGACSCP2		0x1FAA_1F4E					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 1	1 1 1 1	1 0 1 0	1 0 1 0	0 0 0 1	1 1 1 1	0 1 0 0	1 1 1 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



VGACSCP3

VGACSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xCE38		VGACSCP3		0x01BB_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 1	1 0 1 1	1 0 1 1	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VGACSCP4

VGACSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xCE3C		VGACSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	RO	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VOPARAUP

VOPARAUP 为缩放/GAMMA/ACC 系数更新使能寄存器。软件需要配置系数地址以及系数更新使能，VOU 会通过 AXI Master 从 DDR 读取系数存放再 VOU 内部。



	Offset Address 0xCE40								Register Name VOPARAUP								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								wbc_vcoef_upd	wbc_hcoef_upd	dhd_gamma_upd	video_acc_upd	reserved	vhd_vcoef_upd	vhd_hcoef_upd	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:8]	RO	reserved	保留。																												
	[7]	RW	wbc_vcoef_upd	WBC2 垂直亮度、垂直色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																												
	[6]	RW	wbc_hcoef_upd	WBC2 水平亮度、水平色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																												
	[5]	RW	dhd_gamma_upd	DHD Gamma 校正运算查找表是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																												
	[4]	RW	video_acc_upd	Video 层 ACC 运算查找表是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																												
	[3:2]	RO	reserved	保留。																												
	[1]	RW	vhd_vcoef_upd	VHD 垂直亮度、垂直色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																												
	[0]	RW	vhd_hcoef_upd	VHD 水平亮度、水平色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																												



VHDHCOEFAD

VHDHCOEFAD 为 VHD 水平亮度、水平色度滤波系数地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xCE44				VHDHCOEFAD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	coef_addr		系数放在 Local Memory 的起始地址。																											

VHDVCOEFAD

VHDVCOEFAD 为 VHD 垂直亮度、水平色度滤波系数地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xCE48				VHDVCOEFAD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	coef_addr		系数放在 Local Memory 的起始地址。																											

WBC2HCOEFAD

WBC2HCOEFAD 为 WBC2 水平亮度、水平色度滤波系数地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xCE58				WBC2HCOEFAD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	coef_addr		系数放在 Local Memory 的起始地址。																											



WBC2VCOEFAD

WBC2VCOEFAD 为 WBC2 垂直亮度、水平色度滤波系数地址寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0xCE5C				WBC2VCOEFAD								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	coef_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RW	coef_addr		系数放在 Local Memory 的起始地址。																															

VHDHLCOEFE

VHDHLCOEFE 为 VHD 水平亮度缩放滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

VHD 水平亮度缩放滤波为 8 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 8 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 8 阶系数需要 4 个 32bit 寄存器地址。

	Offset Address				Register Name								Total Reset Value																							
	0xD000~0xD10C				VHDHLCOEFE								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				hlcoefn2								reserved				hlcoefn1																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:26]	RO	reserved		保留。																															
	[25:16]	RW	hlcoefn2		水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 8 阶系数。																															
	[15:10]	RO	reserved		保留。																															



Offset Address		Register Name		Total Reset Value					
0xD000~0xD10C		VHDHLCOEf		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hlcoefn2		reserved		hlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[9:0]	RW	hlcoefn1	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 7 阶系数。						

VHDHCCOEf

VHDHCCOEf 为 VHD 水平色度缩放滤波系数寄存器。存储格式参考 VHDHLCOEf。
VHD 水平色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xD200~0xD284		VHDHCCOEf		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hccoefn2		reserved		hccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	hccoefn2	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	hccoefn1	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。						



VHDVLCOEEF

VHDVLCOEEF 为 VHD 垂直亮度缩放滤波系数寄存器。存储格式参考 VHDHLCOEEF。
VHD 垂直亮度缩放滤波为 6 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，一个相位的 6 阶系数需要 4 个 32bit 寄存器地址。

	Offset Address 0xD400~0xD50C				Register Name VHDVLCOEEF				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vlcoefn2				reserved				vlcoefn1																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:16]	RW		vlcoefn2		垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。																											
[15:10]	RO		reserved		保留。																											
[9:0]	RW		vlcoefn1		垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。																											

VHDVCCOEEF

VHDVCCOEEF 为 VHD 垂直色度缩放滤波系数寄存器。存储格式参考 VHDHLCOEEF。
VHD 垂直色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。



Offset Address		Register Name		Total Reset Value					
0xD600~0xD684		VHDVCCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vccoefn2		reserved		vccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	vccoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	vccoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。						

WBCHLCOEF

WBCHLCOEF 为 WBC 水平亮度缩放滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

WBC 水平亮度缩放滤波为 8 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 8 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 8 阶系数需要 4 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xE000~0xE10C		WBCHLCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hlcoefn2		reserved		hlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0xE000~0xE10C		WBCHLCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hlcoefn2		reserved		hlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[25:16]	RW	hlcoefn2	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 8 阶系数。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	hlcoefn1	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 7 阶系数。						

WBCHCCOEF

WBCHCCOEF 为 WBC 水平色度缩放滤波系数寄存器。存储格式参考 WBCHLCOEF。VHD 水平色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xE200~0xE284		WBCHCCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hccoefn2		reserved		hccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	hccoefn2	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。						



Offset Address		Register Name		Total Reset Value					
0xE200~0xE284		WBCHCCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hccoefn2		reserved		hccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[15:10]	RO	reserved	保留。						
[9:0]	RW	hccoefn1	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。						

WBCVLCOEF

WBCVLCOEF 为 WBC 垂直亮度缩放滤波系数寄存器。存储格式参考 WBCHLCOEF。VHD 垂直亮度缩放滤波为 6 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，一个相位的 6 阶系数需要 4 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xE400~0xE50C		WBCVLCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vlcoefn2		reserved		vlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	vlcoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。						
[15:10]	RO	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0xE400~0xE50C		WBCVLCOEf		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vlcoefn2		reserved		vlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[9:0]	RW	vlcoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。						

WBCVCCOEf

WBCVCCOEf 为 WBC 垂直色度缩放滤波系数寄存器。存储格式参考 WBCVLCOEf。VHD 垂直色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xE600~0xE684		WBCVCCOEf		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vccoefn2		reserved		vccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	vccoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	vccoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。						



目 录

12 音频编码	12-1
12.1 概述.....	12-1
12.2 特性.....	12-1
12.3 功能描述.....	12-1
12.4 工作方式.....	12-2
12.5 寄存器概览.....	12-3
12.6 寄存器描述.....	12-4
12.7 链表结构说明（附）.....	12-21



插图目录

图 12-1 VOIE 功能框图	12-2
图 12-2 对应的链表结构.....	12-22
图 12-3 StCtrl 的存储结构	12-22
图 12-4 G726 通道变量结构.....	12-23
图 12-5 ADPCM 通道变量结构.....	12-23



表格目录

表 12-1 VOIE 寄存器概览（基址是 0x2064_0000）	12-3
--	------



12 音频编码

12.1 概述

语音硬件加速（VOIE, VoiceEngine）模块实现将 16bit 线性 PCM（pulse code modulation, 脉冲编码调制）音频数据编码压缩输出，支持 8/16/32/48KHz 采样频率输入，G726、G711A/U, ADPCM（adaptive difference pulse code modulation, 自适应差分脉冲编码调制）三种语音编码协议编码输出。

12.2 特性

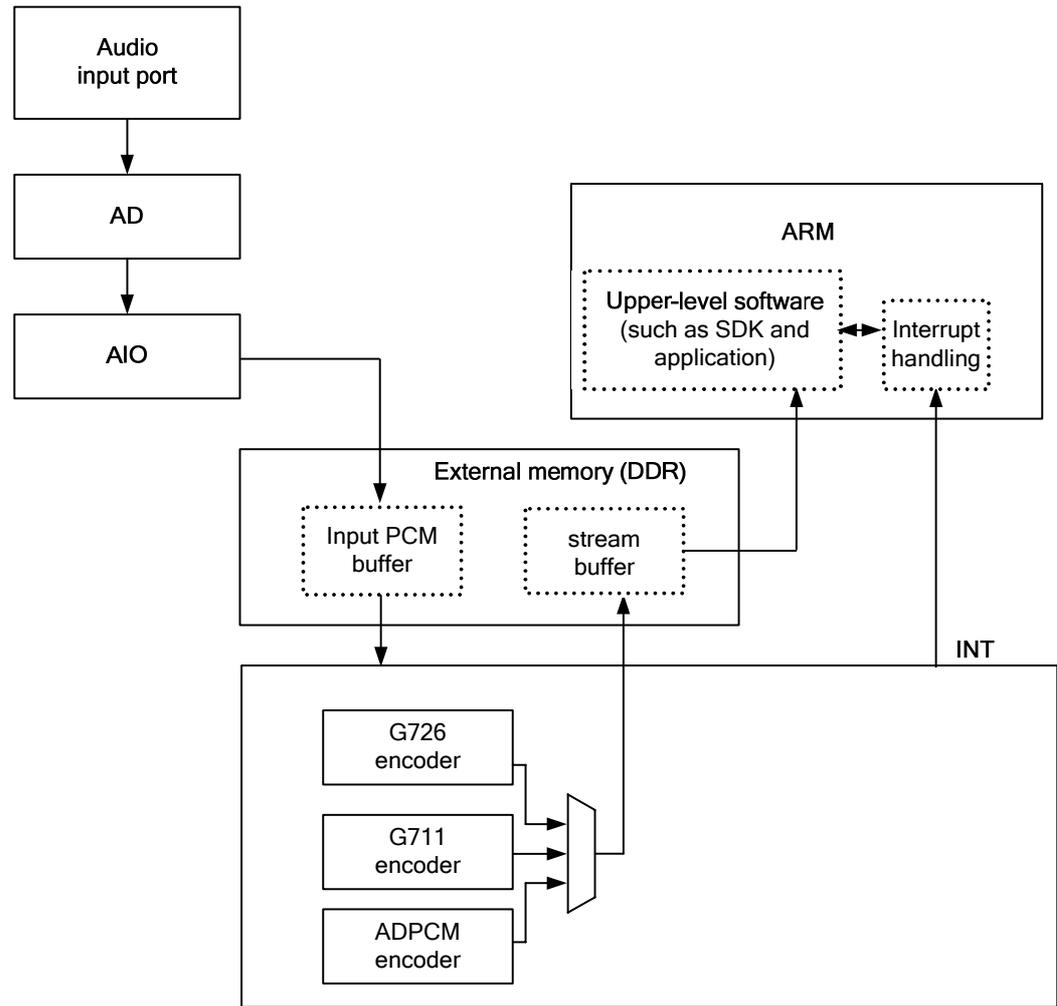
VOIE 模块具有以下特性：

- 输入音频样点格式支持 16bits 线性 PCM，小端模式输入。
- 采样频率支持 8/16/32/48KHz。
- 音频帧长度支持 10/20/30/40/50/60ms。
- 每帧输入音频路数可配置，最大支持每帧 17 路音频输入（包含 16 路编码输出，1 路对讲）。
- 支持每帧输入样点数目 80~2880（80 整数倍）。
- 支持 ITU-G.726 协议 40、32、24、16 kbit/s 四种编码压缩率。
- 支持 ITU-G.711A/U 协议编码输出。
- 支持 ADPCM_DVI4、ADPCM_ORG_DVI4 两种封装格式 ADPCM 编码输出。
- 编码输出支持海思帧头。
- 支持对输入帧进行校验，将校验错帧丢弃并上报中断。
- 支持对输入帧长度及编码模式校验，对不符合配置规范帧丢弃并上报中断。
- 支持多帧连续编码。

12.3 功能描述

VOIE 功能框图如图 12-1 所示。

图12-1 VOIE 功能框图



VOIE 由 G726 Encoder、G711 Encoder 及 ADPCM Encoder 三个编码器模块构成。根据配置编码模式的不同，选择相应的编码器工作。

一帧编码启动前，语音数据通过 AD 输入，由音频接口(AIO)输入到语音数据缓存 buffer 中（详见 AIO 工作说明），再通过 DMA 方式将数据存放到 DDR 中供 VOIE 启动硬件编码。由软件配置一帧编码的开始，编码完成后 VOIE 将码流存放到 DDR 相应的缓存区；并上报中断，完成一帧语音数据的编码。

各种编码模式相应的配置值请参见“12.6 寄存器描述”。

12.4 工作方式

VOIE 首先从 DDR 中读取一帧的链表及语音帧数据，经过编码器后将码流写入到 DDR 中。

在启动 VOIE 进行语音编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下三种类型的缓冲区：



- 输入语音数据缓冲区：
VOIE 在编码过程中会从该缓冲区读取待编码的语音数据。该缓冲区由 DMA 写入。
 - 编码配置链表缓冲区：
VOIE 在被启动后、开始编码前，从该缓冲区读取当前通道的配置信息，包括数据来源地址、目的地址、通道变量地址、下一通道链表地址及编码控制配置信息。
 - 通道变量缓冲区：
VOIE 在编码过程中会从该缓冲区读取当前通道的通道变量及校验信息（G711 协议编码时无需该类信息），并在编码完成后对其进行刷新。
链表及通道变量的配置结构请参见“12.7 链表结构说明（附）”。表中 G726_check 为 G.726 编码模式下所有（共 11 个）32bit 通道变量寄存器做无进位累加和；ADPCM_check 与 ADPCM 编码模式下配置的 32bit 通道变量寄存器值一致。
- 注意：**由于 ADPCM_ORG_DVI4 没有传输预测值，这样在网络丢包时，可能会引起异常。因此在音频码流网络传输应用中，不推荐使用该协议编码。

12.5 寄存器概览

VOIE 寄存器概览如表 12-1 所示。

表12-1 VOIE 寄存器概览（基址是 0x2064_0000）

偏移地址	名称	描述	页码
0x0000	VOIE_INTSTAT	中断状态寄存器	12-4
0x0004	VOIE_INTMASK	中断屏蔽寄存器	12-5
0x0008	VOIE_RAWINT	屏蔽前状态寄存器	12-6
0x000C	VOIE_INTCLR	中断清除寄存器	12-7
0x0010	VIOE_START	编码开始信号寄存器	12-8
0x0014	VOIE_OUTSTDING	outstanding 配置寄存器	12-9
0x0020	VOIE_MODE	VOIE 工作模式寄存器	12-9
0x0028	VOIE_CFG	首个链表地址寄存器	12-10
0x0030	VOIE_LLICFG0	链表成员寄存器（SrcPhyAddr）	12-11
0x0034	VOIE_LLICFG1	链表成员寄存器（DstPhyAddr）	12-11
0x0038	VOIE_LLICFG2	链表成员寄存器（StatePhyAddr）	12-11
0x003C	VOIE_LLICFG3	链表成员寄存器（NextLLiAddr）	12-12
0x0040	VOIE_LLICFG4	链表成员寄存器（StCtrl，编码控制）	12-12
0x0050	VOIE_LLISTATE0	G726 编码通道变量寄存器 0	12-14



偏移地址	名称	描述	页码
0x0054	VOIE_LLISTATE1	G726 编码通道变量寄存器 1	12-14
0x0058	VOIE_LLISTATE2	G726 编码通道变量寄存器 2	12-15
0x005C	VOIE_LLISTATE3	G726 编码通道变量寄存器 3	12-15
0x0060	VOIE_LLISTATE4	G726 编码通道变量寄存器 4	12-16
0x0064	VOIE_LLISTATE5	G726 编码通道变量寄存器 5	12-16
0x0068	VOIE_LLISTATE6	G726 编码通道变量寄存器 6	12-17
0x006C	VOIE_LLISTATE7	G726 编码通道变量寄存器 7	12-17
0x0070	VOIE_LLISTATE8	G726 编码通道变量寄存器 8	12-18
0x0074	VOIE_LLISTATE9	G726 编码通道变量寄存器 9	12-19
0x0078	VOIE_LLISTATE10	G726 编码通道变量寄存器 10	12-19
0x007C	VOIE_STATE_CHK0	G726 通道变量校验寄存器	12-20
0x0080	VOIE_LLISTATE11	ADPCM 编码通道变量寄存器 11	12-20
0x0084	VOIE_STATE_CHK1	ADPCM 通道变量校验寄存器	12-20

12.6 寄存器描述

VOIE_INTSTAT

VOIE_INTSTAT 为中断状态寄存器。



	Offset Address 0x0000				Register Name VOIE_INTSTAT								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cfgErr	reserved				chkErr	reserved				VoieEndofSingle	reserved				VoieEndOfFrame												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:25]	RO		reserved		保留。																											
[24]	RO		cfgErr		配置出错标志。 0: 配置正确; 1: 配置出错。																											
[23:17]	RO		reserved		保留。																											
[16]	RO		chkErr		检查出错标志。 0: 通道变量校验正确; 1: 通道变量校验出错。																											
[15:9]	RO		reserved		保留。																											
[8]	RO		VoieEndofSingle		单通道编码结束标志。 0: 单通道编码未结束; 1: 单通道编码结束。																											
[7:1]	RO		reserved		保留。																											
[0]	RO		VoieEndOfFrame		帧编码结束标志。 0: 当前帧编码未结束; 1: 当前帧编码结束。																											

VOIE_INTMASK

VOIE_INTMASK 为中断屏蔽寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0004				VOIE_INTMASK								0x0101_0101																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cfgErrMask	reserved				chkErrMask	reserved				VoieEndofSingleMask	reserved				VoieEndOfPicMask												
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31:25]	RO		reserved		保留。																											
[24]	RW		cfgErrMask		配置出错标志屏蔽使能。 0: 中断屏蔽使能; 1: 中断屏蔽关闭。																											
[23:17]	RO		reserved		保留。																											
[16]	RW		chkErrMask		检查出错标志屏蔽使能。 0: 中断屏蔽使能; 1: 中断屏蔽关闭。																											
[15:9]	RO		reserved		保留。																											
[8]	RW		VoieEndofSingleMask		单通道编码结束屏蔽使能。 0: 中断屏蔽使能; 1: 中断屏蔽关闭。																											
[7:1]	RO		reserved		保留。																											
[0]	RW		VoieEndOfPicMask		帧编码结束屏蔽使能。 0: 中断屏蔽使能; 1: 中断屏蔽关闭。																											

VOIE_RAWINT

VOIE_RAWINT 为屏蔽前状态寄存器。



Offset Address		Register Name		Total Reset Value								
0x0008		VOIE_RAWINT		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved		cfgErr	reserved		chkErr	reserved		VoieEndofSingle	reserved		VoieEndOfFrame
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:25]	RO	reserved	保留。									
[24]	RO	cfgErr	配置出错标志。 0: 配置正确; 1: 配置错误。									
[23:17]	RO	reserved	保留。									
[16]	RO	chkErr	检查出错标志。 0: 通道变量校验正确; 1: 通道变量校验出错。									
[15:9]	RO	reserved	保留。									
[8]	RO	VoieEndofSingle	单通道编码结束标志。 0: 单通道编码为结束; 1: 当前通道编码结束。									
[7:1]	RO	reserved	保留。									
[0]	RO	VoieEndOfFrame	帧编码结束标志。 0: 当前帧编码未结束; 1: 当前帧编码结束。									

VOIE_INTCLR

VOIE_INTCLR 为中断清除寄存器。



Offset Address		Register Name		Total Reset Value																												
0x000C		VOIE_INTCLR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cfgErrClr	reserved				chkErrClr	reserved				VoieEndofSingleClr	reserved				VoieEndOfFrameClr												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:25]	RO	reserved	保留。																													
[24]	WC	cfgErrClr	配置出错源中断清除。 写 1 清																													
[23:17]	RO	reserved	保留。																													
[16]	WC	chkErrClr	通道变量检查出错标志源中断清除。 写 1 清																													
[15:9]	RO	reserved	保留。																													
[8]	WC	VoieEndofSingleClr	单通道编码结束源中断清除。 写 1 清																													
[7:1]	RO	reserved	保留。																													
[0]	WC	VoieEndOfFrameClr	帧编码结束源中断清除。 写 1 清																													

VIOE_START

VIOE_START 为编码开始信号寄存器。



Offset Address		Register Name		Total Reset Value					
0x0010		VIOE_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								Start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	WO	Start	编码启动信号。 0: 编码未启动 1: 编码启动						

VOIE_OUTSTDING

VOIE_OUTSTDING 为 outstanding 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0014		VOIE_OUTSTDING		0x0000_0007				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							voieoutstd
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	voieoutstd	配置 AXI 接口 outstanding 深度(支持 0~7 配置)。					

VOIE_MODE

VOIE_MODE 为 VOIE 工作模式寄存器。



Offset Address		Register Name		Total Reset Value						
0x0020		VOIE_MODE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			memClkGateEn	clkGateEn	reserved		accesslockEn	reserved	timeEn
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:19]	RO	reserved	保留。							
[18]	RW	memClkGateEn	存储器时钟门控使能。 注意：该功能不开放，不需配置，无效。							
[17:16]	RW	clkGateEn	时钟门控使能。 注意：不需配置，无效。							
[15:9]	RO	reserved	保留。							
[8]	RW	accesslockEn	内部配置锁使能。 注意：不需配置，无效。							
[7:2]	RO	reserved	保留。							
[1:0]	RW	timeEn	超时检测使能。 注意：不需配置，无效。							

VOIE_CFG

VOIE_CFG 为首个链表地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x0028		VOIE_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	AddrOfFirstLLI								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	AddrOfFirstLLI	存储当前语音帧首个链表的地址。 注意：编码开始前配置，要求 128bit 对齐。						



VOIE_LLICFG0

VOIE_LLICFG0 为链表成员寄存器 (SrcPhyAddr)。

Offset Address		Register Name		Total Reset Value				
0x0030		VOIE_LLICFG0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	SrcPhyAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	SrcPhyAddr	待编码语音帧存放在 DDR 中的起始物理地址，要求 128bit 地址对齐。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 注意：这里仅供调试时回读。					

VOIE_LLICFG1

VOIE_LLICFG1 为链表成员寄存器 (DstPhyAddr)。

Offset Address		Register Name		Total Reset Value				
0x0034		VOIE_LLICFG1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DstPhyAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	DstPhyAddr	编码后码流输出到 DDR 的物理地址，128bit 地址对齐。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 注意：这里仅供调试时回读。					

VOIE_LLICFG2

VOIE_LLICFG2 为链表成员寄存器 (StatePhyAddr)。



Offset Address		Register Name		Total Reset Value				
0x0038		VOIE_LLICFG2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	StatePhyAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	StatePhyAddr	<p>编码时通道变量在 DDR 中存放的物理地址，要求 128bit 地址对齐。</p> <p>在 G726 和 ADPCM 编码时必须配置；G711 编码时不使用通道变量，可以不配置。</p> <p>在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。</p> <p>注意：这里仅供调试时回读。</p>					

VOIE_LLICFG3

VOIE_LLICFG3 为链表成员寄存器 (NextLLiAddr)。

Offset Address		Register Name		Total Reset Value				
0x003C		VOIE_LLICFG3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	NextLLiAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	NextLLiAddr	<p>下一个通道链表存储地址，128bit 地址对齐。</p> <p>若当前通道为本帧最后一个通道，则将下一链表地址配置为 0x00000000；否则不允许配置为 0。</p> <p>在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。</p> <p>注意：这里仅供调试时回读。</p>					

VOIE_LLICFG4

VOIE_LLICFG4 为链表成员寄存器 (StCtrl，编码控制)。



	Offset Address 0x0040								Register Name VOIE_LLICFG4								Total Reset Value 0x0000_0081															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SamplesPerFrame								Codec								hisi_head	reserved														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1
	Bits	Access	Name	Description																												
	[31:16]	RO	SamplesPerFrame	<p>当前语音帧所包含的音频样点数目：80~2880(且为 80 的整数倍)。</p> <p>在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。</p> <p>注意：这里仅供调试时回读。</p>																												
	[15:8]	RO	Codec	<p>编码类型配置。</p> <p>0x01: G711 Alaw;</p> <p>0x02: G711 Ulaw;</p> <p>0x03: ADPCM_DIV4;</p> <p>0x04: G726_16kbps;</p> <p>0x05: G726_24kbps;</p> <p>0x06: G726_32kbps;</p> <p>0x07: G726_40kbps;</p> <p>0x24: MEDIA_G726_16kbps;</p> <p>0x25: MEDIA_G726_24kbps;</p> <p>0x26: MEDIA_G726_32kbps;</p> <p>0x27: MEDIA_G726_40kbps;</p> <p>0x43: ADPCM_ORG_DIV4;</p> <p>其他：非法配置，VOIE 若收到其他配置会上报配置错误中断。</p> <p>在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。</p> <p>注意：这里仅供调试时回读。</p>																												



Offset Address		Register Name		Total Reset Value																												
0x0040		VOIE_LLICFG4		0x0000_0081																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SamplesPerFrame								Codec								hisi_head	reserved														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[7]	RW	hisi_head	输出码流海思帧头使能。 0: 不含海思帧头; 1: 码流包含海思帧头。 默认配置为 0x1。 在编码开始前由软件写入到相应链表 DDR 地址中, 编码开始后由 AXI 总线载入。 注意: 这里仅供调试时回读。																													
[6:0]	RO	reserved	保留扩展。																													

VOIE_LLSTATE0

VOIE_LLSTATE0 为 G726 编码通道变量寄存器 0。

Offset Address		Register Name		Total Reset Value																												
0x0050		VOIE_LLSTATE0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	A1								A2																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	A1	G726 编码通道变量, 二阶极点预测器系数 1。																													
[15:0]	RO	A2	G726 编码通道变量, 二阶极点预测器系数 2。																													

VOIE_LLSTATE1

VOIE_LLSTATE1 为 G726 编码通道变量寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x0054		VOIE_LLISTATE1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	AP								reserved				PK1	PK2	reserved											TD						
Reset	0 0 0 0								0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name		Description																												
[31:22]	RO	AP		G726 编码通道变量，延时速度控制参数。																												
[21:16]	RO	reserved		保留。																												
[15]	RO	PK1		G726 编码通道变量，延时为 1 的 DQ+SEZ 符号位。																												
[14]	RO	PK2		G726 编码通道变量，延时为 2 的 DQ+SEZ 符号位。																												
[13:1]	RO	reserved		保留。																												
[0]	RO	TD		G726 编码通道变量，单音检测信号。																												

VOIE_LLISTATE2

VOIE_LLISTATE2 为 G726 编码通道变量寄存器 2。

Offset Address		Register Name		Total Reset Value																												
0x0058		VOIE_LLISTATE2		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	B1																B2															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name		Description																												
[31:16]	RO	B1		G726 编码通道变量，六阶零点预测器系数 1。																												
[15:0]	RO	B2		G726 编码通道变量，六阶零点预测器系数 2。																												

VOIE_LLISTATE3

VOIE_LLISTATE3 为 G726 编码通道变量寄存器 3。



Offset Address		Register Name		Total Reset Value				
0x005C		VOIE_LLISTATE3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	B3				B4			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	B3	G726 编码通道变量，六阶零点预测器系数 3。					
[15:0]	RO	B4	G726 编码通道变量，六阶零点预测器系数 4。					

VOIE_LLISTATE4

VOIE_LLISTATE4 为 G726 编码通道变量寄存器 4。

Offset Address		Register Name		Total Reset Value				
0x0060		VOIE_LLISTATE4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	B5				B6			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	B5	G726 编码通道变量，六阶零点预测器系数 5。					
[15:0]	RO	B6	G726 编码通道变量，六阶零点预测器系数 6。					

VOIE_LLISTATE5

VOIE_LLISTATE5 为 G726 编码通道变量寄存器 5。

Offset Address		Register Name		Total Reset Value					
0x0064		VOIE_LLISTATE5		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	DML			reserved	DMS			reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:18]	RO	DML	G726 编码通道变量，延时的 F(I)长期平均值。						



Offset Address		Register Name		Total Reset Value				
0x0064		VOIE_LLISTATE5		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DML			reserved	DMS			reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[17:16]	RO	reserved	保留。					
[15:4]	RO	DMS	G726 编码通道变量，延时的 F(I)短期平均值。					
[3:0]	RO	reserved	保留。					

VOIE_LLISTATE6

VOIE_LLISTATE6 为 G726 编码通道变量寄存器 6。

Offset Address		Register Name		Total Reset Value				
0x0068		VOIE_LLISTATE6		0x0400_0400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DQ1			reserved	DQ2			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:21]	RO	DQ1	G726 编码通道变量，延时为 1 的量化差值信号。 默认值：0x20。					
[20:16]	RO	reserved	保留。 默认值：0。					
[15:5]	RO	DQ2	G726 编码通道变量，延时为 2 的量化差值信号。 默认值：0x20。					
[4:0]	RO	reserved	保留。 默认值：0。					

VOIE_LLISTATE7

VOIE_LLISTATE7 为 G726 编码通道变量寄存器 7。



Offset Address		Register Name		Total Reset Value				
0x006C		VOIE_LLISTATE7		0x0400_0400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DQ3			reserved	DQ4			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:21]	RO	DQ3	G726 编码通道变量，延时为 3 的量化差值信号。 默认值：0x20。					
[20:16]	RO	reserved	保留。 默认值：0。					
[15:5]	RO	DQ4	G726 编码通道变量，延时为 4 的量化差值信号。 默认值：0x20。					
[4:0]	RO	reserved	保留。 默认值：0。					

VOIE_LLISTATE8

VOIE_LLISTATE8 为 G726 编码通道变量寄存器 8。

Offset Address		Register Name		Total Reset Value				
0x0070		VOIE_LLISTATE8		0x0400_0400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DQ5			reserved	DQ6			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:21]	RO	DQ5	G726 编码通道变量，延时为 5 的量化差值信号。 默认值：0x20。					
[20:16]	RO	reserved	保留。 默认值：0。					
[15:5]	RO	DQ6	G726 编码通道变量，延时为 6 的量化差值信号。 默认值：0x20。					
[4:0]	RO	reserved	保留。 默认值：0。					



VOIE_LLISTATE9

VOIE_LLISTATE9 为 G726 编码通道变量寄存器 9。

Offset Address		Register Name		Total Reset Value				
0x0074		VOIE_LLISTATE9		0x0400_0400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	SR1			reserved	SR2			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:21]	RO	SR1	G726 编码通道变量，延时为 1 的重构信号。 默认值：0x20。					
[20:16]	RO	reserved	保留。 默认值：0。					
[15:5]	RO	SR2	G726 编码通道变量，延时为 2 的重构信号。 默认值：0x20。					
[4:0]	RO	reserved	保留。 默认值：0。					

VOIE_LLISTATE10

VOIE_LLISTATE10 为 G726 编码通道变量寄存器 10。

Offset Address		Register Name		Total Reset Value				
0x0078		VOIE_LLISTATE10		0x1100_0220				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	YL					YU		
Reset	0 0 0 1	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:13]	RO	YL	G726 编码通道变量，慢速量化尺度因子。 默认值：0x8800。					
[12:0]	RO	YU	G726 编码通道变量，快速量化尺度因子。 默认值：0x220。					



VOIE_STATE_CHK0

VOIE_STATE_CHK0 为 G726 通道变量校验寄存器。

Offset Address		Register Name		Total Reset Value				
0x007C		VOIE_STATE_CHK0		0x2100_1220				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	g726_check							
Reset	0 0 1 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	g726_check	G726 通道变量校验结果。					

VOIE_LLISTATE11

VOIE_LLISTATE11 为 ADPCM 编码通道变量寄存器 11。

Offset Address		Register Name		Total Reset Value					
0x0080		VOIE_LLISTATE11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	valprev			reserved			index		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	valprev	ADPCM 编码通道变量，上一音频点重构值。						
[15:8]	RO	reserved	保留。						
[7:0]	RO	index	ADPCM 编码通道变量，量化表的索引值。						

VOIE_STATE_CHK1

VOIE_STATE_CHK1 为 ADPCM 通道变量校验寄存器。



	Offset Address				Register Name								Total Reset Value																							
	0x0084				VOIE_STATE_CHK1								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	adpcm_check																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RO	adpcm_check		ADPCM 通道变量校验结果。																															

12.7 链表结构说明（附）

图 12-2 为链表结构体及其在 DDR 中的排列方式。需要将链表写入 DDR 中，并将首链表地址通过寄存器配置到 VOIE_CFG 寄存器（地址：0x2064_0028）。

链表结构体：

```
typedef struct hiVOICE_ENGINE_LLI_STATE
{
    HI_U32          u32SrcPhyAddr;
    HI_U32          u32DstPhyAddr;
    HI_U32          u32StatePhyAddr;
    HI_U32          u32NextLLiAddr;
    VOICE_ENGINE_Ctrl stCtrl;
    HI_U32          u32Reserved0;
    HI_U32          u32Reserved1;
    HI_U32          u32Reserved2;
} VOICE_ENGINE_LLI_STATE;
```



图12-2 对应的链表结构

Bit数	存储内容	说明
32	SrcPhyAddr	编码输入内存物理地址, 128bit 地址对齐
32	DstPhyAddr	编码输出内存物理地址, 128bit 地址对齐
32	StatePhyAddr	编码器通道变量内存物理地址, 128bit 地址对齐
32	NextLLiAddr	下一个编码链地址, 128bit 地址对齐
32	StCtrl	编码控制结构体
32	Reserved0	保留扩展
32	Reserved1	保留扩展
32	Reserved2	保留扩展

地址递增

图12-3 StCtrl 的存储结构

内容	Reserved	hisi_head	Codec	SamplesPerFrame
Bit分配	6:0	7	15:8	31:16



图12-4 G726 通道变量结构

保留位均为0

Bit数	存储内容	说明
32	A1[15:0] A2[15:0]	[31:16] [15:0]
32	AP[9:0] PK1 PK2 TD	[31:22] [15] [14] [0]
32	B1[15:0] B2[15:0]	[31:16] [15:0]
32	B3[15:0] B4[15:0]	[31:16] [15:0]
32	B5[15:0] B6[15:0]	[31:16] [15:0]
32	DML[13:0] DMS[11:0]	[31:18] [15:4]
32	DQ1[10:0] DQ2[10:0]	[31:21] [15:5]
32	DQ3[10:0] DQ4[10:0]	[31:21] [15:5]
32	DQ5[10:0] DQ6[10:0]	[31:21] [15:5]
32	SR1[10:0] SR2[10:0]	[31:21] [15:5]
32	YL[18:0] YU[12:0]	[31:13] [12:0]
32	G726_check	[31:0]

地址递增

图12-5 ADPCM 通道变量结构

保留位均为0

Bit数	存储内容	说明
32	valprev[15:0] index[7:0]	[31:16] [7:0]
32	adpcm_check	[31:0]

地址递增



目 录

13 音频接口.....	13-1
13.1 概述.....	13-1
13.2 特点.....	13-1
13.3 功能描述.....	13-2
13.4 工作方式.....	13-7
13.5 寄存器概览.....	13-10
13.6 寄存器描述.....	13-12



插图目录

图 13-1 AOP1 与 HDMI 对接示意图	13-2
图 13-2 I ² S/PCM 接口主模式连接示意图一	13-3
图 13-3 I ² S/PCM 接口主模式连接示意图二	13-3
图 13-4 I ² S/PCM 接口从模式连接示意图一	13-4
图 13-5 I ² S/PCM 接口从模式连接示意图二	13-4
图 13-6 I ² S 接口时序.....	13-5
图 13-7 PCM 接口标准模式时序	13-5
图 13-8 PCM 接口自定义模式时序	13-6
图 13-9 I ² S 2/4/8/16 路接收	13-6
图 13-10 PCM 2/4/8/16 路接收.....	13-7



表格目录

表 13-1 AIO 寄存器概览（基址是 0x2065_0000） 13-10



13 音频接口

13.1 概述

音频输入输出接口 AIO (Audio Input/Output)，用于和片外 Audio CODEC 芯片连接，完成音频数据的输入和输出，以实现录音、对讲、回放等功能。Hi3520D 内部集成 1 个 AIO，包含 1 个 AIP (Audio Input Port) 和 2 个 AOP (Audio Output Port)，其中 AIP 支持 2/4/8/16 路音频输入，AOP0 支持 2/4/8/16 路音频输出，AOP1 通过 I²S 接口实现与 HDMI 在芯片内部对接。

13.2 特点

AIO 接口支持 I²S 和 PCM (Pulse Code Modulation) 和两种模式，采用 DMA 方式存取数据。

PCM 接口

PCM 接口有如下特点：

- 支持主模式和从模式。
- 支持单声道 8bit 或 16bit 线性 PCM 编码的发送和接收。
- 支持 2/4/8/16 路 8/16 bit 数据的多路接收。
- 支持由芯片内部产生位时钟以及帧同步信号，也支持外接位时钟及帧同步信号。
- PCM 接口帧同步信号仅支持短脉冲同步信号（同步信号的持续时间为 1 个时钟周期），支持标准和自定义 2 种模式。
- 接收 (AIP) 和发送 (AOP0/AOP1) 相互独立，可以单独使能或关闭。
- 接收 (AIP) 和发送 (AOP0/AOP1) 均采用 DMA 操作，通过软件开辟的循环缓冲区存取数据，循环缓冲区大小和水线可调。

I²S 接口

I²S 接口有如下特点：

- 支持主模式和从模式。



- 支持左右声道 8/16/24/32bit 数据的发送和接收。
- 支持 2/4/8/16 路 8/16bit 数据的多路接收。
- 支持 8kHz~192kHz 采样率。
- 接收（AIP）和发送（AOP0/AOP1）相互独立，可以单独使能或关闭。
- 接收（AIP）和发送（AOP0/AOP1）均采用 DMA 操作，通过软件开辟的循环缓冲区存取数据，循环缓冲区大小和水线可调。

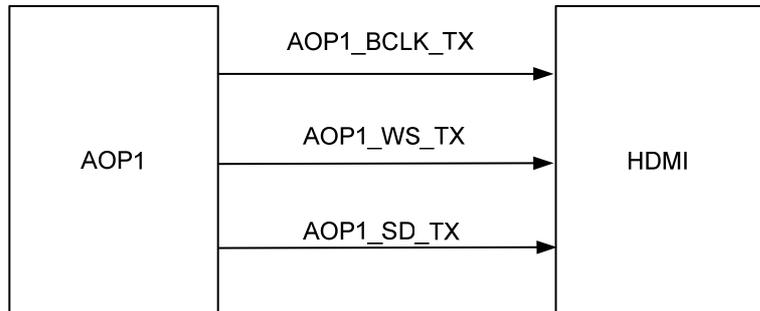
13.3 功能描述

典型应用

Hi3520D 内部集成 1 个 AIP 和 2 个 AOP，其中：

- AIP 支持多路接收功能，即支持接收输入 2/4/8/16 路，数据位宽为 8/16bit。
- AOP0 用于典型 2 路 16bits 音频数据的播放。
- AOP1 在芯片内部实现和 HDMI 对接，对接方式只支持 I²S 主模式。AOP1 与 HDMI 对接示意图如图 13-1 所示。

图13-1 AOP1 与 HDMI 对接示意图



AIP 和 AOP0 均支持主从模式，下面将对主从模式下 I²S/PCM 接口的典型连接进行说明。

主模式下，I²S/PCM 接口的典型连接如图 13-2 和图 13-3 所示。



说明

- 图 13-2 中，AIP 和 AOP0 对接的 AudioCodec 芯片的 I2S 接口为 6 线模式（TX 和 RX 有各自的 BCLK 和 WS）
- 图 13-3 中，AIP 和 AOP0 对接的 AudioCodec 芯片的 I2S 接口为 4 线模式（TX 和 RX 共用 BCLK 和 WS）
- 在主模式下，位流时钟和左右声道选择信号（PCM 模式下为同步信号）由 AIO 送给 AUDIO CODEC。

图13-2 I²S/PCM 接口主模式连接示意图一

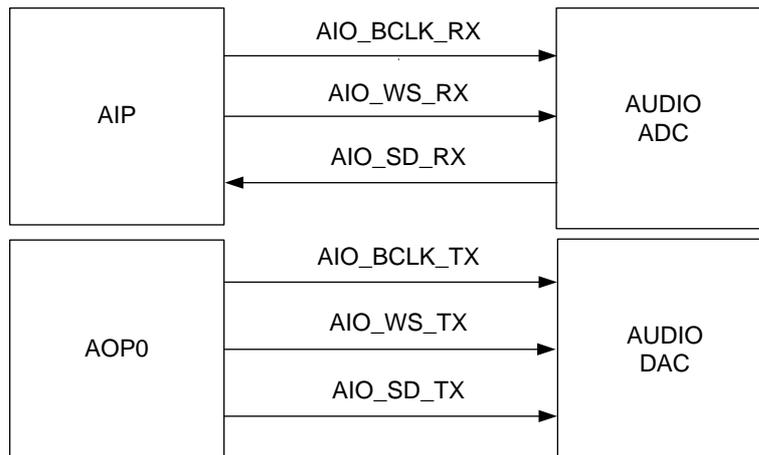
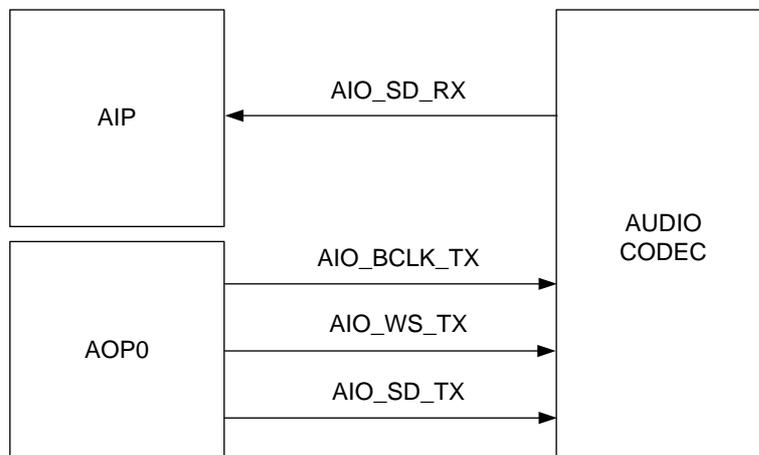


图13-3 I²S/PCM 接口主模式连接示意图二



从模式下，I²S/PCM 接口的典型连接如图 13-4 和图 13-5 所示。



说明

- 图 13-4 中，AIP 和 AOP0 对接的 AudioCodec 芯片的 I2S 接口为 6 线模式（TX 和 RX 有各自的 BCLK 和 WS）
- 图 13-5 中，AIP 和 AOP0 对接的 AudioCodec 芯片的 I2S 接口为 4 线模式（TX 和 RX 共用 BCLK 和 WS）
- 在从模式下，位流时钟和左右声道选择信号（PCM 模式下为同步信号）由 AUDIO CODEC 送给 AIO；AUDIO CODEC 的主工作时钟由 Hi3520D 输出的时钟 AIO_MCLK 或外接的晶振提供。

图13-4 I²S/PCM 接口从模式连接示意图一

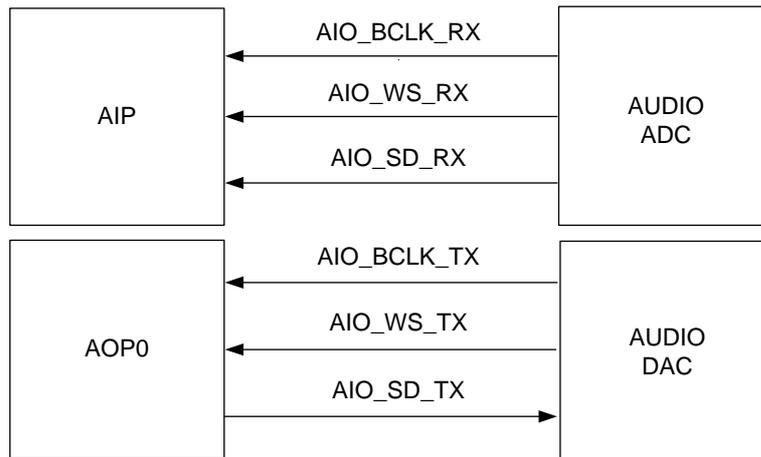
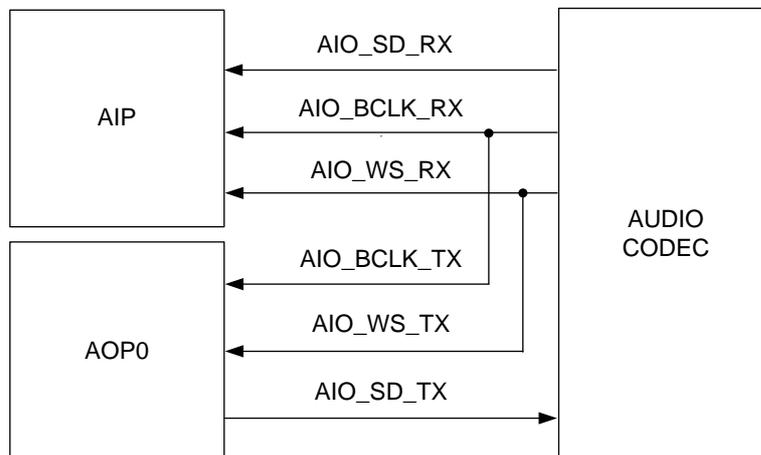


图13-5 I²S/PCM 接口从模式连接示意图二



功能原理

AIP 通过 I²S 或 PCM 接口接收对接 AUDIO CODEC 进行 AD（Analog-to-Digital）转换后的音频数据，存入为 AIP 开辟的循环缓冲区，然后由 CPU 取走并存储，从而完成录音功能。

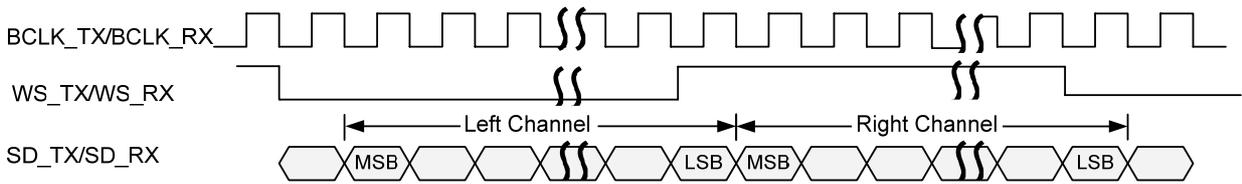


AOP0 从循环缓冲区中读取音频数据，然后按照设定的采样率，把音频数据通过 I²S 或 PCM 接口传送给对接的 AUDIO CODEC，AUDIO CODEC 进行 DA (Digital-to-Analog) 转换后进行声音播放。

I²S 接口传输数据分为左右两个声道，根据 WS_TX (WS_RX) 信号的高低电平区分，如图 13-6 所示。按照协议，用 BCLK_TX/BCLK_RX 时钟的上升沿进行数据采样，MSB 在 WS_TX/WS_RX 变化的下一个时钟周期有效。总是先传送 MSB，后传送 LSB。

I²S 接口的时序如图 13-6 所示。

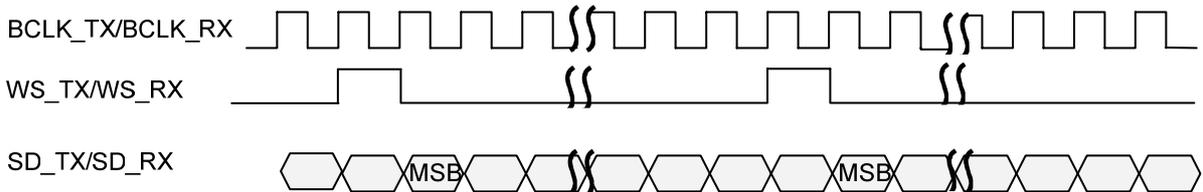
图13-6 I²S 接口时序



PCM 接口传输的数据是单声道数据，WS_TX/WS_RX 标识数据的起始位置，先发送 (接收) 最高有效位 MSB，使用时钟的下降沿采样数据。标准模式时序中，MSB 数据在 WS_TX/WS_RX 高电平脉冲之后一个周期有效；自定义模式时序中，MSB 的位置是与 WS_TX/WS_RX 的高电平脉冲对齐的。

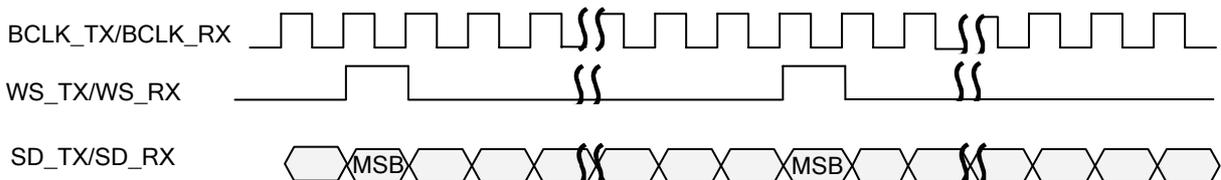
PCM 接口标准模式下的时序如图 13-7 所示。

图13-7 PCM 接口标准模式时序



PCM 接口自定义模式下的时序如图 13-8 所示。

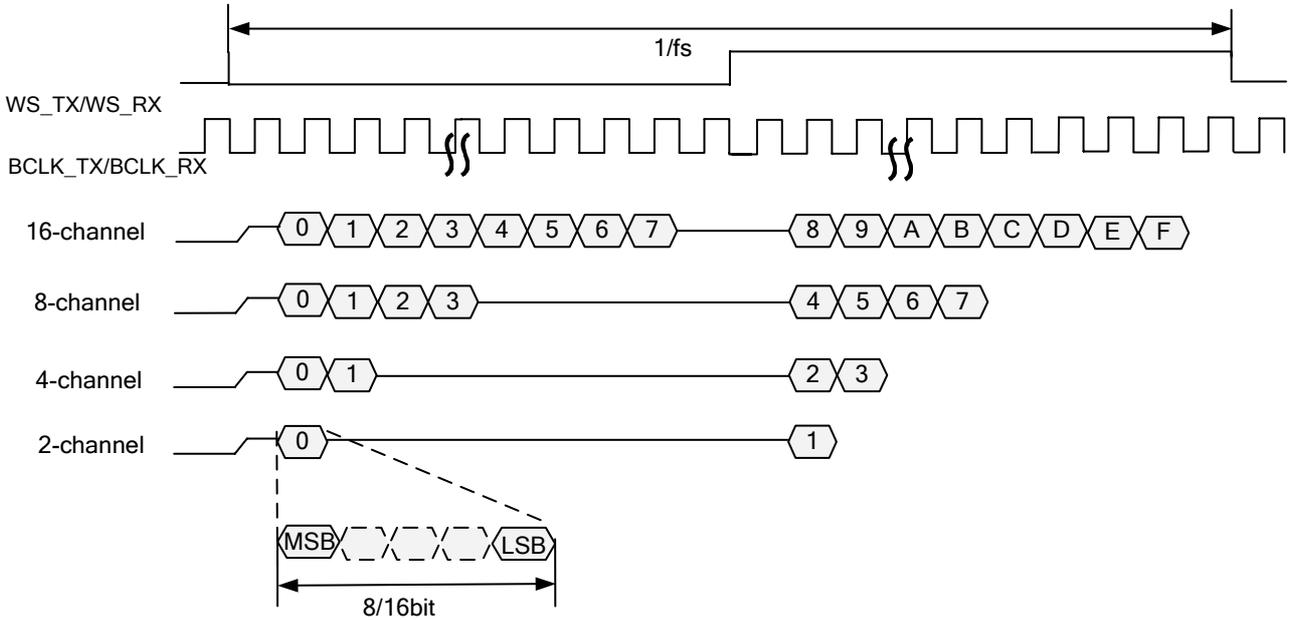
图13-8 PCM 接口自定义模式时序



I²S 进行多路 (2/4/8/16 路 8/16bit) 接收时，数据分别放于 I²S 时序的左右声道，如图 13-9 所示。

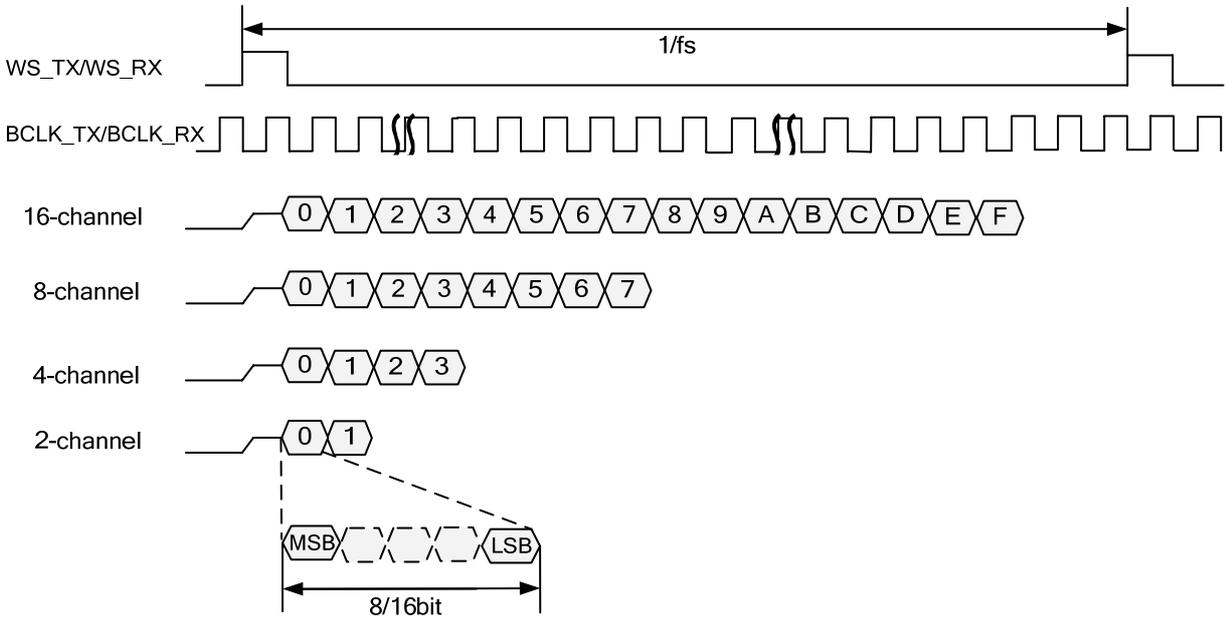


图13-9 I²S 2/4/8/16 路接收



PCM 模式下的多路接收，如图 13-10 所示。支持 PCM 标准和自定义两种模式，AIO 可以选择数据采样时刻（上升沿或下降沿）接收。图 13-10 中以上升沿为例。

图13-10 PCM 2/4/8/16 路接收





13.4 工作方式

时钟门控及时钟配置

在使能 AIO 进行录音或播放时，必须先打开 AIO 中对应通道（AIP/AOP0/AOP1）的时钟门控。具体步骤如下：

说明

AOP1 与 HDMI 音频对接，这就需要 AOP1 工作在主模式，即必须配置 PERI_CRG34 和 PERI_CRG38，与 Audio Codec 的使用情况无关。

1. 确认与 AIO 对接的是单独的 Audio Codec 还是和视频 AD 芯片集成的 Audio Codec。
 - 如果视频 AD 芯片集成了 Audio Codec，且所需的工作时钟需要由 Hi3520D 主芯片提供（通过管脚 VI_ADC_CLK），此时需要先配置 CRG 生成视频 AD 芯片所需的工作时钟。即配置寄存器 PERI_CRG11[vi_adc_cksel]以确保主芯片输出正确的视频 AD 工作时钟。
 - 如果对接的是单独的 Audio Codec，且工作时钟需要由 Hi3520D 主芯片提供（通过管脚 AIO_MCLK）时，需要先配置 CRG 生成 Audio Codec 所需的工作时钟。即配置寄存器 PERI_CRG32/PERI_CRG33/PERI_CRG34，产生 AIP/AOP0/AOP1 的分频源时钟 MCLK。
2. 配置寄存器 PERI_CRG36/PERI_CRG37/ PERI_CRG38 的 aip_bclk_sel/aop0_bclk_sel/aop1_bclk_sel，选择 AIO 接口的主从模式。如果 AIO 工作在主模式下，转至步骤 3；如果 AIO 工作在从模式则转至步骤 4。
3. 如果 AIP 和 AOP0 对接的 AudioCodec 芯片的 I²S 接口为 4 线模式（TX 和 RX 共用 BCLK 和 WS），将 PERI_CRG32[aip_clk_sel]配置为 0x0，否则配置为 0x1。
4. 配置寄存器 PERI_CRG35[aio_hcken]为 0x1，使能 AIO 时钟总开关。
5. 配置寄存器 PERI_CRG36/PERI_CRG37/PERI_CRG38，产生 AIP/AOP0/AOP1 所需的位流时钟（BCLK）和左右声道选择信号（WS）。分别配置寄存器 PERI_CRG36[aip_cken]、PERI_CRG37[aop0_cken]和 PERI_CRG38[aop1_cken]，单独使能指定通道（AIP/AOP0/AOP1）的时钟，aip_cken 还用于使能外部 Audio Codec 的工作时钟（AIO_MCLK）。

----结束

软复位

AIO 内部的三个通道（AIP、AOP0 和 AOP1）拥有独立的软复位，可以通过配置相应寄存器实现分别软复位。

以 AIP 为例，通过配置寄存器 PERI_CRG36，可实现对 AIP 的单独软复位。复位后 AIP 各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。



注意

对 AIP 进行软复位之前，必须保证 AIP 处于停止状态，即 **AIP_STOP** [aip_enable]为 0x0 且 **AIP_STOP** [aip_stop_done]为 0x1；对 AOP0 和 AOP1 有相同要求。

在正常的系统复位完成之后，没有必要再单独对 AIO 进行软复位。

录音工作流程

初始化步骤如下：

1. 配置 AIP 相关的时钟；
2. 设置 **AIP_INF_ATTRI** [aip_mode]，选择 I²S 或 PCM 模式；
3. 设置 **AIP_INF_ATTRI** [aip_samp_precision]，选择采样精度；
4. 设置 **AIP_INF_ATTRI** [aip_clk_edge_sel]，设置时钟采样时刻；
5. 设置 **AIP_INF_ATTRI** [aip_timedivision_sel]，选择是否采用多路接收；
6. 如果采用多路接收，设置 **AIP_INF_ATTRI**[aip_routes_sel]；
7. 如果采样精度为 8bit，设置 **AIP_CTRL** [aip_shift8_en]；
8. 设置 **AIP_BUF_SADDR** [aip_buf_saddr]、**AIP_BUF_SIZE** [aip_buf_size]和 **AIP_TRANS_SIZE** [aip_trans_size]；
9. 向 **AIP_BUF_WPTR** [aip_buf_wptra]和 **AIP_BUF_RPTR** [aip_buf_rptr]写入 0；
10. 根据中断屏蔽的需要，设置 **AIO_INT_ENA** 和 **AIP_INT_ENA**。

----结束

录音步骤如下：

1. 设置 **AIP_STOP** [aip_enable]为 1，启动 AIP；
2. 通过读取 **AIP_BUF_WPTR** [aip_buf_wptra]和 **AIP_BUF_RPTR** [aip_buf_rptr]的值判断循环缓冲区的空/满状态以及有效数据量；要保证在循环缓冲区满之前将数据取走，并将更新后的循环缓冲区读地址写入 **AIP_BUF_RPTR** [aip_buf_rptr]，否则可能会造成循环缓冲区溢出，声音不连续。
3. 录音完成后，向 **AIP_STOP** [aip_enable]写入 0，停止 AIP；
4. 轮询 **AIP_STOP**，直到 **AIP_STOP** [aip_stop_done]变为 1 为止。

----结束



注意

启动 AIP 之前，必须完成 AIP 时钟的配置，以保证 AIO_BCLK_RX 和 AIO_WS_RX 正常。

播放工作流程

AOP0 和 AOP1 的工作流程相同，下面以 AOP0 为例进行说明。

初始化步骤如下：

1. 配置 AOP0 相关的时钟；
2. 设置 AOP0_INF_ATTRI [aop0_mode]，选择 I²S 或 PCM 模式；
3. 设置 AOP0_INF_ATTRI [aop0_samp_precision]，选择发送数据的精度；
4. 设置 AOP0_INF_ATTRI [aop0_clk_edge_sel]，选择发送数据的时钟极性；
5. 设置 AOP0_INF_ATTRI [aop0_timedivision_sel]，选择是否采用多路发送；
6. 如果采用多路发送，设置 AOP0_INF_ATTRI [aop0_routes_sel]；
7. 设置 AOP0_BUF_SADDR [aop0_buf_saddr]、AOP0_BUF_SIZE [aop0_buf_size]和 AOP0_TRANS_SIZE [aop0_trans_size]；
8. 向 AOP0 的循环缓冲区写入至少 128byte 的数据；
9. 向 AOP0_BUF_RPTR [aop0_buf_rptr]写入 0，根据循环缓冲区中的有效数据量，更新 AOP0_BUF_WPTR [aop0_buf_wptr]；
10. 根据中断屏蔽的需要，设置 AIO_INT_ENA 和 AOP0_INT_ENA。

----结束

播放步骤如下：

1. 设置 AOP0_STOP[aop0_enable]为 1，启动 AOP0；
2. 通过读取 AOP0_BUF_WPTR [aop0_buf_wptr]和 AOP0_BUF_RPTR [aop0_buf_rptr]的值判断循环缓冲区的空/满状态以及可用数据量；要保证在循环缓冲区空之前补充新的数据，并将更新后的循环缓冲区写地址写入 AOP0_BUF_WPTR [aop0_buf_wptr]，否则可能会造成声音不连续。
3. 播放完成后，向 AOP0_STOP [aop0_enable]写入 0，停止 AOP0；
4. 轮询 AOP0_STOP，直到 AOP0_STOP [aop0_stop_done]变为 1 为止。

----结束



注意

启动 AOP0 之前，必须完成 AOP0 时钟的配置，以保证 AIO_BCLK_TX 和 AIO_WS_TX 正常，对 AOP1 有相同要求。

向 AOP0 的循环缓冲区写入数据以及更新 AOP0_BUF_WPTR [aop0_buf_wptr]时，必须保证 AOP0 的循环缓冲区空闲空间不小于 32 字节，对 AOP1 有相同要求。

13.5 寄存器概览

AIO 寄存器概览如表 13-1 所示。

表13-1 AIO 寄存器概览（基址是 0x2065_0000）

偏移地址	名称	描述	页码
0x0000	AIO_INT_ENA	AIO 全局中断使能寄存器	13-12
0x0004	AIO_INT_STATUS	AIO 全局中断状态寄存器	13-13
0x0008	AIO_INT_RAW	AIO 全局原始中断寄存器	13-14
0x1000	AIP_INF_ATTRI	AIP 接口属性设置寄存器	13-15
0x1004	AIP_CTRL	AIP 控制寄存器	13-17
0x1008	AIP_BUF_SADDR	AIP 的循环缓冲区起始地址寄存器	13-17
0x100C	AIP_BUF_SIZE	AIP 的循环缓冲区大小寄存器	13-18
0x1010	AIP_BUF_WPTR	AIP 的循环缓冲区写地址寄存器	13-18
0x1014	AIP_BUF_RPTR	AIP 的循环缓冲区读地址寄存器	13-19
0x1018	AIP_BUF_AFULL_TH	AIP 的循环缓冲区几乎满阈值寄存器	13-19
0x101C	AIP_TRANS_SIZE	AIP 数据传输长度寄存器	13-20
0x1020	AIP_INT_ENA	AIP 中断使能寄存器	13-20
0x1024	AIP_INT_RAW	AIP 原始中断寄存器	13-21
0x1028	AIP_INT_STATUS	AIP 中断状态寄存器	13-22
0x102C	AIP_INT_CLR	AIP 中断清除寄存器	13-23
0x1030	AIP_BUF_WPTR_TMP	AIP 的循环缓冲区写地址锁存寄存器	13-24
0x1034	AIP_BUF_RPTR_TMP	AIP 的循环缓冲区读地址锁存寄存器	13-25
0x1038	AIP_STOP	AIP 启动/停止寄存器	13-25



偏移地址	名称	描述	页码
0x2000	AOP0_INF_ATTRI	AOP0 接口属性设置寄存器	13-26
0x2004	AOP0_CTRL	AOP0 控制寄存器	13-27
0x2008	AOP0_BUF_SADDR	AOP0 的循环缓冲区起始地址寄存器	13-28
0x200C	AOP0_BUF_SIZE	AOP0 的循环缓冲区大小寄存器	13-28
0x2010	AOP0_BUF_WPTR	AOP0 的循环缓冲区写地址寄存器	13-29
0x2014	AOP0_BUF_RPTR	AOP0 的循环缓冲区读地址寄存器	13-29
0x2018	AOP0_BUF_AEMPTY_TH	AOP0 的循环缓冲区几乎空阈值寄存器	13-30
0x201C	AOP0_TRANS_SIZE	AOP0 数据传输长度寄存器	13-30
0x2020	AOP0_INT_ENA	AOP0 中断使能寄存器	13-31
0x2024	AOP0_INT_RAW	AOP0 原始中断寄存器	13-32
0x2028	AOP0_INT_STATUS	AOP0 中断状态寄存器	13-33
0x202C	AOP0_INT_CLR	AOP0 中断清除寄存器	13-34
0x2030	AOP0_BUF_WPTR_TMP	AOP0 的循环缓冲区写地址锁存寄存器	13-35
0x2034	AOP0_BUF_RPTR_TMP	AOP0 的循环缓冲区读地址锁存寄存器	13-35
0x2038	AOP0_STOP	AOP0 启动/停止寄存器	13-36
0x2100	AOP1_INF_ATTRI	AOP1 接口属性设置寄存器	13-37
0x2104	AOP1_CTRL	AOP1 控制寄存器	13-38
0x2108	AOP1_BUF_SADDR	AOP1 的循环缓冲区起始地址寄存器	13-38
0x210C	AOP1_BUF_SIZE	AOP1 的循环缓冲区大小寄存器	13-39
0x2110	AOP1_BUF_WPTR	AOP1 的循环缓冲区写地址寄存器	13-39
0x2114	AOP1_BUF_RPTR	AOP1 的循环缓冲区读地址寄存器	13-40
0x2118	AOP1_BUF_AEMPTY_TH	AOP1 的循环缓冲区几乎空阈值寄存器	13-40
0x211C	AOP1_TRANS_SIZE	AOP1 数据传输长度寄存器	13-41
0x2120	AOP1_INT_ENA	AOP1 中断使能寄存器	13-41
0x2124	AOP1_INT_RAW	AOP1 原始中断寄存器	13-42
0x2128	AOP1_INT_STATUS	AOP1 中断状态寄存器	13-43
0x212C	AOP1_INT_CLR	AOP1 中断清除寄存器	13-44



偏移地址	名称	描述	页码
0x2130	AOP1_BUF_WPTR_TMP	AOP1 的循环缓冲区写地址锁存寄存器	13-45
0x2134	AOP1_BUF_RPTR_TMP	AOP1 的循环缓冲区读地址锁存寄存器	13-46
0x2138	AOP1_STOP	AOP1 启动/停止寄存器	13-46

13.6 寄存器描述

AIO_INT_ENA

AIO_INT_ENA 为 AIO 全局中断使能寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0000	AIO_INT_ENA	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 20%; text-align: center;">reserved</div> <div style="width: 2%; text-align: center;">aop1_int_ena</div> <div style="width: 2%; text-align: center;">aop0_int_ena</div> <div style="width: 50%; text-align: center;">reserved</div> <div style="width: 2%; text-align: center;">aip_int_ena</div> </div>			
Reset	0 0			
Bits	Access	Name	Description	
[31:18]	RO	reserved	保留。	
[17]	RW	aop1_int_ena	AOP1 中断使能。 0: 不使能; 1: 使能。	
[16]	RW	aop0_int_ena	AOP0 中断使能。 0: 不使能; 1: 使能。	
[15:1]	RO	reserved	保留。	
[0]	RW	aip_int_ena	AIP 中断使能。 0: 不使能; 1: 使能。	



AIO_INT_STATUS

AIO_INT_STATUS 为 AIO 全局中断状态寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0004	AIO_INT_STATUS	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 18%;">reserved</div> <div style="width: 2%; text-align: center;">aop1_int_status</div> <div style="width: 2%; text-align: center;">aop0_int_status</div> <div style="width: 58%;">reserved</div> <div style="width: 2%; text-align: center;">aip_int_status</div> </div>			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
Bits	Access	Name	Description	
[31:18]	RO	reserved	保留。	
[17]	RO	aop1_int_status	AOP1 中断状态。 0: 无中断状态; 1: 有中断状态。	
[16]	RO	aop0_int_status	AOP0 中断状态。 0: 无中断状态; 1: 有中断状态。	
[15:1]	RO	reserved	保留。	
[0]	RO	aip_int_status	AIP 中断状态。 0: 无中断状态; 1: 有中断状态。	

AIO_INT_RAW

AIO_INT_RAW 为 AIO 全局原始中断寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0008		AIO_INT_RAW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												aop1_int_raw	aop0_int_raw	reserved												aip_int_raw					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	RO	reserved	保留。																													
[17]	RO	aop1_int_raw	AOP1 中断状态。 0: 无原始中断; 1: 有原始中断。																													
[16]	RO	aop0_int_raw	AOP0 中断状态。 0: 无原始中断; 1: 有原始中断。																													
[15:1]	RO	reserved	保留。																													
[0]	RO	aip_int_raw	AIP 中断状态。 0: 无原始中断; 1: 有原始中断。																													

AIP_INF_ATTRI

AIP_INF_ATTRI 为 AIP 接口属性设置寄存器。



Offset Address		Register Name		Total Reset Value								
0x1000		AIP_INF_ATTRI		0x0000_1000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved					aip_samp_precision	reserved	aip_clk_edge_sel	aip_timedivision_sel	aip_routes_sel	reserved	aip_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:12]	RW	reserved	保留，必须配置为 0x1。									
[11:10]	RW	aip_samp_precision	AIP 接收数据的采样精度配置。 00: 8bit; 01: 16bit; 10: 24bit; 11: 32bit。 如果使能多路接收，只支持 8/16bit; 如果不使能多路接收，I2S 模式下支持 8/16/24/32bit，PCM 标准模式和 PCM 自定义模式下支持 8/16bit。									
[9:8]	RO	reserved	保留。									
[7]	RW	aip_clk_edge_sel	AIP 数据采样时刻选择。 0: 在时钟的上升沿采样数据; 1: 在时钟的下降沿采样数据。									
[6]	RW	aip_timedivision_sel	AIP 多路接收使能。 0: 不使能多路接收; 1: 使能多路接收。									
[5:4]	RW	aip_routes_sel	AIP 多路接收模式下的路数选择。 00: 2 路; 01: 4 路; 10: 8 路; 11: 16 路。									
[3:2]	RO	reserved	保留。									



[1:0]	RW	aip_mode	AIP 模式选择。 00: I2S 模式; 01: PCM 标准模式; 10: PCM 自定义模式; 11: 保留。
-------	----	----------	--

AIP_CTRL

AIP_CTRL 为 AIP 控制寄存器。

	Offset Address 0x1004								Register Name AIP_CTRL								Total Reset Value 0x0000_3210																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																aip_shift8_en	reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0	
Bits	Access		Name		Description																												
[31:15]	RW		reserved		保留，必须配置为 0x0。																												
[14]	RW		aip_shift8_en		AIP 数据移位存储使能(仅当接收数据的采样精度为 8bit 时有效)。 0: 不移位，直接按照 8bit 存储; 1: 移位，将收到的每个采样数据左移 8bit，低 8bit 补 0，以 16bit 方式存储。																												
[13:0]	RW		reserved		保留，必须配置为 0x3210。																												

AIP_BUF_SADDR

AIP_BUF_SADDR 为 AIP 的循环缓冲区起始地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x1008		AIP_BUF_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	aip_buf_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	aip_buf_saddr	AIP 的循环缓冲区起始地址。 注意：必须配置为 128 的整数倍。					

AIP_BUF_SIZE

AIP_BUF_SIZE 为 AIP 的循环缓冲区大小寄存器。

Offset Address		Register Name		Total Reset Value				
0x100C		AIP_BUF_SIZE		0x0000_0200				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		aip_buf_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:0]	RW	aip_buf_size	AIP 的循环缓冲区大小，以字节为单位。 注意：必须配置为 128 的整数倍。					

AIP_BUF_WPTR

AIP_BUF_WPTR 为 AIP 的循环缓冲区写地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x1010		AIP_BUF_WPTR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		aip_buf_wptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					



[23:0]	RW	aip_buf_wptr	AIP 的循环缓冲区写地址，以字节为单位。 注意 1：写地址是相对于 AIP 的循环缓冲区起始地址的偏移地址。 注意 2：必须配置为 128 的整数倍。
--------	----	--------------	--

AIP_BUF_RPTR

AIP_BUF_RPTR 为 AIP 的循环缓冲区读地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x1014		AIP_BUF_RPTR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aip_buf_rptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	aip_buf_rptr	AIP 的循环缓冲区读地址，以字节为单位。 注意 1：读地址是相对于 AIP 的循环缓冲区起始地址的偏移地址。 注意 2：必须配置为 16 的整数倍。						

AIP_BUF_AFULL_TH

AIP_BUF_AFULL_TH 为 AIP 的循环缓冲区几乎满阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x1018		AIP_BUF_AFULL_TH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aip_buf_afull_th					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						



[23:0]	RW	aip_buf_afull_th	AIP 的循环缓冲区几乎满阈值，以字节为单位。 当 AIP 的循环缓冲区空闲空间小于该阈值，产生 AIP 循环缓冲区几乎满中断。 注意：如果使用 aip_buf_afull_int 中断，该阈值必须配置为 16 的整数倍，且大于或等于 0xA0。
--------	----	------------------	--

AIP_TRANS_SIZE

AIP_TRANS_SIZE 为 AIP 数据传输长度寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x101C				AIP_TRANS_SIZE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				aip_trans_size																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:0]	RW		aip_trans_size		AIP 数据传输长度。 当 AIP 完成接收 aip_trans_size 长度(以字节为单位)的音频数据时，产生 aip_trans_int 中断。 注意：如果使用 aip_trans_int，必须配置为大于或等于 128 的值。																											

AIP_INT_ENA

AIP_INT_ENA 为 AIP 中断使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x1020		AIP_INT_ENA		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															aip_stop_int_en	aip_fifo_full_int_en	aip_buf_afull_int_en	aip_buf_full_int_en	aip_trans_int_en												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	aip_stop_int_en	AIP 的停止完成中断使能。 0: 不使能; 1: 使能。																													
[3]	RW	aip_fifo_full_int_en	AIP 的 FIFO 满中断使能。 0: 不使能; 1: 使能。																													
[2]	RW	aip_buf_afull_int_en	AIP 的循环缓冲区几乎满中断使能。 0: 不使能; 1: 使能。																													
[1]	RW	aip_buf_full_int_en	AIP 的循环缓冲区满中断使能。 0: 不使能; 1: 使能。																													
[0]	RW	aip_trans_int_en	AIP 的传输完成中断使能。 0: 不使能; 1: 使能。																													

AIP_INT_RAW

AIP_INT_RAW 为 AIP 原始中断寄存器。



Offset Address		Register Name		Total Reset Value																												
0x1024		AIP_INT_RAW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																aip_stop_int_raw	aip_fifo_full_int_raw	aip_buf_afull_int_raw	aip_buf_full_int_raw	aip_trans_int_raw											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RO	aip_stop_int_raw	AIP 的停止完成原始中断。 0: 无原始中断; 1: 有原始中断。																													
[3]	RO	aip_fifo_full_int_raw	AIP 的 FIFO 满原始中断。 0: 无原始中断; 1: 有原始中断。																													
[2]	RO	aip_buf_afull_int_raw	AIP 的循环缓冲区几乎满原始中断。 0: 无原始中断; 1: 有原始中断。																													
[1]	RO	aip_buf_full_int_raw	AIP 的循环缓冲区满原始中断。 0: 无原始中断; 1: 有原始中断。																													
[0]	RO	aip_trans_int_raw	AIP 的传输完成原始中断。 0: 无原始中断; 1: 有原始中断。																													

AIP_INT_STATUS

AIP_INT_STATUS 为 AIP 中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x1028		AIP_INT_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								aip_stop_int_status	aip_fifo_full_int_status	aip_buf_afull_int_status	aip_buf_full_int_status	aip_trans_int_status			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RO	aip_stop_int_status	AIP 的停止完成中断状态。 0: 无中断状态; 1: 有中断状态。																													
[3]	RO	aip_fifo_full_int_status	AIP 的 FIFO 满中断状态。 0: 无中断状态; 1: 有中断状态。																													
[2]	RO	aip_buf_afull_int_status	AIP 的循环缓冲区几乎满中断状态。 0: 无中断状态; 1: 有中断状态。																													
[1]	RO	aip_buf_full_int_status	AIP 的循环缓冲区满中断状态。 0: 无中断状态; 1: 有中断状态。																													
[0]	RO	aip_trans_int_status	AIP 的传输完成中断状态。 0: 无中断状态; 1: 有中断状态。																													

AIP_INT_CLR

AIP_INT_CLR 为 AIP 中断清除寄存器。读该寄存器恒为 0，无意义。



Offset Address		Register Name		Total Reset Value																												
0x102C		AIP_INT_CLR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															aip_stop_int_clr	aip_fifo_full_int_clr	aip_buf_afull_int_clr	aip_buf_full_int_clr	aip_trans_int_clr												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	aip_stop_int_clr	AIP 的停止完成中断清除。 写 0: 不清除; 写 1: 清除。																													
[3]	RW	aip_fifo_full_int_clr	AIP 的 FIFO 满中断清除。 写 0: 不清除; 写 1: 清除。																													
[2]	RW	aip_buf_afull_int_clr	AIP 的循环缓冲区几乎满中断清除。 写 0: 不清除; 写 1: 清除。																													
[1]	RW	aip_buf_full_int_clr	AIP 的循环缓冲区满中断清除。 写 0: 不清除; 写 1: 清除。																													
[0]	RW	aip_trans_int_clr	AIP 的传输完成中断清除。 写 0: 不清除; 写 1: 清除。																													

AIP_BUF_WPTR_TMP

AIP_BUF_WPTR_TMP 为 AIP 的循环缓冲区写地址锁存寄存器。



Offset Address		Register Name		Total Reset Value					
0x1030		AIP_BUF_WPTR_TMP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aip_buf_wptr_tmp					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RO	aip_buf_wptr_tmp	发生 AIP 传输完成中断时，aip_buf_wptr 的值被保存到 aip_buf_wptr_tmp，直到再次发生 AIP 传输完成中断为止。						

AIP_BUF_RPTR_TMP

AIP_BUF_RPTR_TMP 为 AIP 的循环缓冲区读地址锁存寄存器。

Offset Address		Register Name		Total Reset Value					
0x1034		AIP_BUF_RPTR_TMP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aip_buf_rptr_tmp					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RO	aip_buf_rptr_tmp	发生 AIP 传输完成中断时，aip_buf_rptr 的值被保存到 aip_buf_rptr_tmp，直到再次发生 AIP 传输完成中断为止。						

AIP_STOP

AIP_STOP 为 AIP 启动/停止寄存器。



Offset Address		Register Name		Total Reset Value					
0x1038		AIP_STOP		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							aip_stop_done	aip_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RO	aip_stop_done	AIP 数据接收停止完成状态。 0: 未完成; 1: 完成。						
[0]	RW	aip_enable	AIP 数据接收启动/停止控制。 0: 停止; 1: 启动。						

AOP0_INF_ATTRI

AOP0_INF_ATTRI 为 AOP0 接口属性设置寄存器。

Offset Address		Register Name		Total Reset Value								
0x2000		AOP0_INF_ATTRI		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved					aop0_samp_precision	reserved	aop0_clk_edge_sel	aop0_timedivision_sel	aop0_routes_sel	reserved	aop0_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:12]	RO	reserved	保留。									



[11:10]	RW	aop0_samp_precision	AOP0 发送数据的精度配置。 00: 8bit; 01: 16bit; 10: 24bit; 11: 32bit。 如果使能多路发送, 只支持 8/16bit; 如果不使能多路发送, I2S 模式下支持 8/16/24/32bit, PCM 标准模式和 PCM 自定义模式下支持 8/16bit。
[9:8]	RW	reserved	保留, 必须配置为 0x0。
[7]	RW	aop0_clk_edge_sel	AOP0 发送数据的时钟极性选择。 0: 发出的数据在时钟的上升沿有效; 1: 发出的数据在时钟的下降沿有效。
[6]	RW	aop0_timedivision_sel	AOP0 多路发送使能。 0: 不使能多路发送; 1: 使能多路发送。
[5:4]	RW	aop0_routes_sel	AOP0 多路发送模式下的路数选择。 00: 2 路; 01: 4 路; 10: 8 路; 11: 16 路。
[3:2]	RO	reserved	保留。
[1:0]	RW	aop0_mode	AOP0 模式选择。 00: I2S 模式; 01: PCM 标准模式; 10: PCM 自定义模式; 11: 保留。

AOP0_CTRL

AOP0_CTRL 为 AOP0 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x2004		AOP0_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				aop0_mute	reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	reserved	保留，必须配置为 0x0。						
[15]	RW	aop0_mute	AOP0 发送静音使能。 0: 不静音; 1: 静音。						
[14:0]	RO	reserved	保留。						

AOP0_BUF_SADDR

AOP0_BUF_SADDR 为 AOP0 的循环缓冲区起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x2008		AOP0_BUF_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	aop0_buf_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	aop0_buf_saddr	AOP0 的循环缓冲区起始地址。 注意：必须配置为 128 的整数倍。					

AOP0_BUF_SIZE

AOP0_BUF_SIZE 为 AOP0 的循环缓冲区大小寄存器。



Offset Address		Register Name		Total Reset Value					
0x200C		AOP0_BUF_SIZE		0x0000_0200					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aop0_buf_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	aop0_buf_size	AOP0 的循环缓冲区大小，以字节为单位。 注意：必须配置为 128 的整数倍。						

AOP0_BUF_WPTR

AOP0_BUF_WPTR 为 AOP0 的循环缓冲区写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x2010		AOP0_BUF_WPTR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aop0_buf_wptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	aop0_buf_wptr	AOP0 的循环缓冲区写地址，以字节为单位。 注意 1：写地址是相对于 AOP0 的循环缓冲区起始地址的偏移地址。 注意 2：必须配置为 16 的整数倍。 注意 3：软件必须保证 AOP0 的循环缓冲区空闲空间不小于 32 字节。						

AOP0_BUF_RPTR

AOP0_BUF_RPTR 为 AOP0 的循环缓冲区读地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x2014		AOP0_BUF_RPTR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aop0_buf_rptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	aop0_buf_rptr	AOP0 的循环缓冲区读地址，以字节为单位。 注意 1：读地址是相对于 AOP0 的循环缓冲区起始地址的偏移地址。 注意 2：必须配置为 128 的整数倍。						

AOP0_BUF_AEMPTY_TH

AOP0_BUF_AEMPTY_TH 为 AOP0 的循环缓冲区几乎空阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x2018		AOP0_BUF_AEMPTY_TH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aop0_buf_aempty_th					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	aop0_buf_aempty_th	AOP0 的循环缓冲区几乎空阈值，以字节为单位。 当 AOP0 的循环缓冲区中有效数据量小于该阈值，产生 AOP0 循环缓冲区几乎空中断。 注意：如果使用 aop0_buf_aempty_int 中断，该阈值必须配置为 16 的整数倍，且大于或等于 0x80。						

AOP0_TRANS_SIZE

AOP0_TRANS_SIZE 为 AOP0 数据传输长度寄存器。



Offset Address		Register Name		Total Reset Value					
0x201C		AOP0_TRANS_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				aop0_trans_size				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	aop0_trans_size	AOP0 数据传输长度。 当 AOP0 完成发送 aop0_trans_size 长度(以字节为单位)的音频数据时，产生 aop0_trans_int 中断。 注意：如果使用 aop0_trans_int，必须配置为大于或等于 128 的值。						

AOP0_INT_ENA

AOP0_INT_ENA 为 AOP0 中断使能寄存器。

Offset Address		Register Name		Total Reset Value							
0x2020		AOP0_INT_ENA		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						aop0_stop_int_en	aop0_fifo_empty_int_en	aop0_buf_aempty_int_en	aop0_buf_empty_int_en	aop0_trans_int_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:5]	RO	reserved	保留。								
[4]	RW	aop0_stop_int_en	AOP0 的停止完成中断使能。 0: 不使能； 1: 使能。								



[3]	RW	aop0_fifo_empty_int_en	AOP0 的 FIFO 空中断使能。 0: 不使能; 1: 使能。
[2]	RW	aop0_buf_aempty_int_en	AOP0 的循环缓冲区几乎空中断使能。 0: 不使能; 1: 使能。
[1]	RW	aop0_buf_empty_int_en	AOP0 的循环缓冲区空中断使能。 0: 不使能; 1: 使能。
[0]	RW	aop0_trans_int_en	AOP0 的传输完成中断使能。 0: 不使能; 1: 使能。

AOP0_INT_RAW

AOP0_INT_RAW 为 AOP0 原始中断寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x2024				AOP0_INT_RAW				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				aop0_stop_int_raw	aop0_fifo_empty_int_raw	aop0_buf_aempty_int_raw	aop0_buf_empty_int_raw	aop0_trans_int_raw							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:5]	RO		reserved		保留。																											
[4]	RO		aop0_stop_int_raw		AOP0 的停止完成原始中断。 0: 无原始中断; 1: 有原始中断。																											



[3]	RO	aop0_fifo_empty_int_raw	AOP0 的 FIFO 空原始中断。 0: 无原始中断; 1: 有原始中断。
[2]	RO	aop0_buf_aempty_int_raw	AOP0 的循环缓冲区几乎空原始中断。 0: 无原始中断; 1: 有原始中断。
[1]	RO	aop0_buf_empty_int_raw	AOP0 的循环缓冲区空原始中断。 0: 无原始中断; 1: 有原始中断。
[0]	RO	aop0_trans_int_raw	AOP0 的传输完成原始中断。 0: 无原始中断; 1: 有原始中断。

AOP0_INT_STATUS

AOP0_INT_STATUS 为 AOP0 中断状态寄存器。

	Offset Address	Register Name	Total Reset Value
	0x2028	AOP0_INT_STATUS	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			aop0_stop_int_status
			aop0_fifo_empty_int_status
			aop0_buf_aempty_int_status
			aop0_buf_empty_int_status
			aop0_trans_int_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
Bits	Access	Name	Description
[31:5]	RO	reserved	保留。
[4]	RO	aop0_stop_int_status	AOP0 的停止完成中断状态。 0: 无中断状态; 1: 有中断状态。



[3]	RO	aop0_fifo_empty_int_status	AOP0 的 FIFO 空中断状态。 0: 无中断状态; 1: 有中断状态。
[2]	RO	aop0_buf_aempty_int_status	AOP0 的循环缓冲区几乎空中断状态。 0: 无中断状态; 1: 有中断状态。
[1]	RO	aop0_buf_empty_int_status	AOP0 的循环缓冲区空中断状态。 0: 无中断状态; 1: 有中断状态。
[0]	RO	aop0_trans_int_status	AOP0 的传输完成中断状态。 0: 无中断状态; 1: 有中断状态。

AOP0_INT_CLR

AOP0_INT_CLR 为 AOP0 中断清除寄存器。读该寄存器恒为 0，无意义。

Offset Address		Register Name		Total Reset Value																																																				
0x202C		AOP0_INT_CLR		0x0000_0000																																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																								
Name	reserved																											aop0_stop_int_clr	aop0_fifo_empty_int_clr	aop0_buf_aempty_int_clr	aop0_buf_empty_int_clr	aop0_trans_int_clr																								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																									
Bits	Access		Name		Description																																																			
[31:5]	RO		reserved		保留。																																																			
[4]	RW		aop0_stop_int_clr		AOP0 的停止完成中断清除。 写 0: 不清除; 写 1: 清除。																																																			



[3]	RW	aop0_fifo_empty_int_clr	AOP0 的 FIFO 空中断清除。 写 0: 不清除; 写 1: 清除。
[2]	RW	aop0_buf_aempty_int_clr	AOP0 的循环缓冲区几乎空中断清除。 写 0: 不清除; 写 1: 清除。
[1]	RW	aop0_buf_empty_int_clr	AOP0 的循环缓冲区空中断清除。 写 0: 不清除; 写 1: 清除。
[0]	RW	aop0_trans_int_clr	AOP0 的传输完成中断清除。 写 0: 不清除; 写 1: 清除。

AOP0_BUF_WPTR_TMP

AOP0_BUF_WPTR_TMP 为 AOP0 的循环缓冲区写地址锁存寄存器。

	Offset Address	Register Name	Total Reset Value
	0x2030	AOP0_BUF_WPTR_TMP	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		aop0_buf_wptr_tmp
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:0]	RO	aop0_buf_wptr_tmp	发生 AOP0 传输完成中断时，aop0_buf_wptr 的值被保存到 aop0_buf_wptr_tmp，直到再次发生 AOP0 传输完成中断为止。

AOP0_BUF_RPTR_TMP

AOP0_BUF_RPTR_TMP 为 AOP0 的循环缓冲区读地址锁存寄存器。



Offset Address		Register Name		Total Reset Value					
0x2034		AOP0_BUF_RPTR_TMP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				aop0_buf_rptr_tmp				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RO	aop0_buf_rptr_tmp	发生 AOP0 传输完成中断时，aop_buf_rptr 的值被保存到 aop0_buf_rptr_tmp，直到再次发生 AOP0 传输完成中断为止。						

AOP0_STOP

AOP0_STOP 为 AOP0 启动/停止寄存器。

Offset Address		Register Name		Total Reset Value					
0x2038		AOP0_STOP		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							aop0_stop_done	aop0_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RO	aop0_stop_done	AOP0 数据发送停止完成状态。 0: 未完成; 1: 完成。						
[0]	RW	aop0_enable	AOP0 数据发送启动/停止控制。 0: 停止; 1: 启动。						



AOP1_INF_ATTRI

AOP1_INF_ATTRI 为 AOP1 接口属性设置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x2100				AOP1_INF_ATTRI				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												aop1_samp_precision	reserved	aop1_clk_edge_sel	aop1_timedivision_sel	aop1_routes_sel	reserved	aop1_mode													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:10]	RW		aop1_samp_precision		AOP1 发送数据的精度配置。 00: 8bit; 01: 16bit; 10: 24bit; 11: 32bit。 如果使能多路发送，只支持 8/16bit; 如果不使能多路发送，I2S 模式下支持 8/16/24/32bit，PCM 标准模式和 PCM 自定义模式下支持 8/16bit。																											
[9:8]	RW		reserved		保留，必须配置为 0x0。																											
[7]	RW		aop1_clk_edge_sel		AOP1 发送数据的时钟极性选择。 0: 发出的数据在时钟的上升沿有效; 1: 发出的数据在时钟的下降沿有效。																											
[6]	RW		aop1_timedivision_sel		AOP1 多路发送使能。 0: 不使能多路发送; 1: 使能多路发送。																											



[5:4]	RW	aop1_routes_sel	AOP1 多路发送模式下的路数选择。 00: 2 路; 01: 4 路; 10: 8 路; 11: 16 路。
[3:2]	RO	reserved	保留。
[1:0]	RW	aop1_mode	AOP1 模式选择。 00: I2S 模式; 01: PCM 标准模式; 10: PCM 自定义模式; 11: 保留。

AOP1_CTRL

AOP1_CTRL 为 AOP1 控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x2104				AOP1_CTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																aop1_mute	reserved														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RW		reserved		保留，必须配置为 0x0。																											
[15]	RW		aop1_mute		AOP1 发送静音使能。 0: 不静音; 1: 静音。																											
[14:0]	RO		reserved		保留。																											

AOP1_BUF_SADDR

AOP1_BUF_SADDR 为 AOP1 的循环缓冲区起始地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x2108		AOP1_BUF_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	aop1_buf_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	aop1_buf_saddr	AOP1 的循环缓冲区起始地址。 注意：必须配置为 128 的整数倍。					

AOP1_BUF_SIZE

AOP1_BUF_SIZE 为 AOP1 的循环缓冲区大小寄存器。

Offset Address		Register Name		Total Reset Value				
0x210C		AOP1_BUF_SIZE		0x0000_0200				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		aop1_buf_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:0]	RW	aop1_buf_size	AOP1 的循环缓冲区大小，以字节为单位。 注意：必须配置为 128 的整数倍。					

AOP1_BUF_WPTR

AOP1_BUF_WPTR 为 AOP1 的循环缓冲区写地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x2110		AOP1_BUF_WPTR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		aop1_buf_wptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					



[23:0]	RW	aop1_buf_wptr	<p>AOP1 的循环缓冲区写地址，以字节为单位。</p> <p>注意 1：写地址是相对于 AOP1 的循环缓冲区起始地址的偏移地址。</p> <p>注意 2：必须配置为 16 的整数倍。</p> <p>注意 3：软件必须保证 AOP1 的循环缓冲区空闲空间不小于 32 字节。</p>
--------	----	---------------	--

AOP1_BUF_RPTR

AOP1_BUF_RPTR 为 AOP1 的循环缓冲区读地址寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x2114				AOP1_BUF_RPTR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				aop1_buf_rptr																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:0]	RW		aop1_buf_rptr		<p>AOP1 的循环缓冲区读地址，以字节为单位。</p> <p>注意 1：读地址是相对于 AOP1 的循环缓冲区起始地址的偏移地址。</p> <p>注意 2：必须配置为 128 的整数倍。</p>																											

AOP1_BUF_AEMPTY_TH

AOP1_BUF_AEMPTY_TH 为 AOP1 的循环缓冲区几乎空阈值寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x2118				AOP1_BUF_AEMPTY_TH								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				aop1_buf_aempty_th																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											



[23:0]	RW	aop1_buf_aempty_th	<p>AOP1 的循环缓冲区几乎空阈值，以字节为单位。</p> <p>当 AOP1 的循环缓冲区中有效数据量小于该阈值，产生 AOP1 循环缓冲区几乎空中断。</p> <p>注意：如果使用 aop1_buf_aempty_int 中断，该阈值必须配置为 16 的整数倍，且大于或等于 0x80。</p>
--------	----	--------------------	--

AOP1_TRANS_SIZE

AOP1_TRANS_SIZE 为 AOP1 数据传输长度寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x211C				AOP1_TRANS_SIZE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				aop1_trans_size																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:0]	RW		aop1_trans_size		<p>AOP1 数据传输长度。</p> <p>当 AOP1 完成发送 aop1_trans_size 长度(以字节为单位)的音频数据时，产生 aop1_trans_int 中断。</p> <p>注意：如果使用 aop1_trans_int，必须配置为大于或等于 128 的值。</p>																											

AOP1_INT_ENA

AOP1_INT_ENA 为 AOP1 中断使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x2120		AOP1_INT_ENA		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								aop1_stop_int_en	aop1_fifo_empty_int_en	aop1_buf_aempty_int_en	aop1_buf_empty_int_en	aop1_trans_int_en			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	aop1_stop_int_en	AOP1 的停止完成中断使能。 0: 不使能; 1: 使能。																													
[3]	RW	aop1_fifo_empty_int_en	AOP1 的 FIFO 空中断使能。 0: 不使能; 1: 使能。																													
[2]	RW	aop1_buf_aempty_int_en	AOP1 的循环缓冲区几乎空中断使能。 0: 不使能; 1: 使能。																													
[1]	RW	aop1_buf_empty_int_en	AOP1 的循环缓冲区空中断使能。 0: 不使能; 1: 使能。																													
[0]	RW	aop1_trans_int_en	AOP1 的传输完成中断使能。 0: 不使能; 1: 使能。																													

AOP1_INT_RAW

AOP1_INT_RAW 为 AOP1 原始中断寄存器。



Offset Address		Register Name		Total Reset Value																												
0x2124		AOP1_INT_RAW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															aop1_stop_int_raw	aop1_fifo_empty_int_raw	aop1_buf_aempty_int_raw	aop1_buf_empty_int_raw	aop1_trans_int_raw												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RO	aop1_stop_int_raw	AOP1 的停止完成原始中断。 0: 无原始中断; 1: 有原始中断。																													
[3]	RO	aop1_fifo_empty_int_raw	AOP1 的 FIFO 空原始中断。 0: 无原始中断; 1: 有原始中断。																													
[2]	RO	aop1_buf_aempty_int_raw	AOP1 的循环缓冲区几乎空原始中断。 0: 无原始中断; 1: 有原始中断。																													
[1]	RO	aop1_buf_empty_int_raw	AOP1 的循环缓冲区空原始中断。 0: 无原始中断; 1: 有原始中断。																													
[0]	RO	aop1_trans_int_raw	AOP1 的传输完成原始中断。 0: 无原始中断; 1: 有原始中断。																													

AOP1_INT_STATUS

AOP1_INT_STATUS 为 AOP1 中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x2128		AOP1_INT_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								aop1_stop_int_status	aop1_fifo_empty_int_status	aop1_buf_aempty_int_status	aop1_buf_empty_int_status	aop1_trans_int_status			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RO	aop1_stop_int_status	AOP1 的停止完成中断状态。 0: 无中断状态; 1: 有中断状态。																													
[3]	RO	aop1_fifo_empty_int_status	AOP1 的 FIFO 空中断状态。 0: 无中断状态; 1: 有中断状态。																													
[2]	RO	aop1_buf_aempty_int_status	AOP1 的循环缓冲区几乎空中断状态。 0: 无中断状态; 1: 有中断状态。																													
[1]	RO	aop1_buf_empty_int_status	AOP1 的循环缓冲区空中断状态。 0: 无中断状态; 1: 有中断状态。																													
[0]	RO	aop1_trans_int_status	AOP1 的传输完成中断状态。 0: 无中断状态; 1: 有中断状态。																													

AOP1_INT_CLR

AOP1_INT_CLR 为 AOP1 中断清除寄存器。



Offset Address		Register Name		Total Reset Value								
0x212C		AOP1_INT_CLR		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved							aop1_stop_int_clr	aop1_fifo_empty_int_clr	aop1_buf_aempty_int_clr	aop1_buf_empty_int_clr	aop1_trans_int_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:5]	RO	reserved	保留。									
[4]	RW	aop1_stop_int_clr	AOP1 的停止完成中断清除。 写 0: 不清除; 写 1: 清除。									
[3]	RW	aop1_fifo_empty_int_clr	AOP1 的 FIFO 空中断清除。 写 0: 不清除; 写 1: 清除。									
[2]	RW	aop1_buf_aempty_int_clr	AOP1 的循环缓冲区几乎空中断清除。 写 0: 不清除; 写 1: 清除。									
[1]	RW	aop1_buf_empty_int_clr	AOP1 的循环缓冲区空中断清除。 写 0: 不清除; 写 1: 清除。									
[0]	RW	aop1_trans_int_clr	AOP1 的传输完成中断清除。 写 0: 不清除; 写 1: 清除。									

AOP1_BUF_WPTR_TMP

AOP1_BUF_WPTR_TMP 为 AOP1 的循环缓冲区写地址锁存寄存器。



Offset Address		Register Name		Total Reset Value					
0x2130		AOP1_BUF_WPTR_TMP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aop1_buf_wptr_tmp					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RO	aop1_buf_wptr_tmp	发生 AOP1 传输完成中断时，aop1_buf_wptr 的值被保存到 aop1_buf_wptr_tmp，直到再次发生 AOP1 传输完成中断为止。						

AOP1_BUF_RPTR_TMP

AOP1_BUF_RPTR_TMP 为 AOP1 的循环缓冲区读地址锁存寄存器。

Offset Address		Register Name		Total Reset Value					
0x2134		AOP1_BUF_RPTR_TMP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			aop1_buf_rptr_tmp					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RO	aop1_buf_rptr_tmp	发生 AOP1 传输完成中断时，aop_buf_rptr 的值被保存到 aop1_buf_rptr_tmp，直到再次发生 AOP1 传输完成中断为止。						

AOP1_STOP

AOP1_STOP 为 AOP1 启动/停止寄存器。



Offset Address		Register Name		Total Reset Value																												
0x2138		AOP1_STOP		0x0000_0002																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															aop1_stop_done	aop1_enable															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留。																													
[1]	RO	aop1_stop_done	AOP1 数据发送停止完成状态。 0: 未完成; 1: 完成。																													
[0]	RW	aop1_enable	AOP1 数据发送启动/停止控制。 0: 停止; 1: 启动。																													



目 录

14 外围设备	14-1
14.1 I ² C	14-1
14.1.1 概述	14-1
14.1.2 功能描述	14-1
14.1.3 工作方式	14-1
14.1.4 寄存器概览.....	14-3
14.1.5 寄存器描述.....	14-4
14.2 SPI.....	14-11
14.2.1 概述	14-11
14.2.2 特点	14-12
14.2.3 功能描述	14-12
14.2.4 三种外设总线时序.....	14-13
14.2.5 工作方式	14-19
14.2.6 寄存器概览.....	14-22
14.2.7 寄存器描述.....	14-23
14.3 通用异步收发器.....	14-32
14.3.1 概述	14-32
14.3.2 特点	14-33
14.3.3 功能描述	14-33
14.3.4 工作方式	14-34
14.3.5 寄存器概览.....	14-37
14.3.6 寄存器描述.....	14-38
14.4 红外接口.....	14-51
14.4.1 概述	14-51
14.4.2 特点	14-51
14.4.3 功能描述	14-51
14.4.4 工作方式	14-59
14.4.5 寄存器概览.....	14-61
14.4.6 寄存器描述.....	14-62
14.5 GPIO	14-77



14.5.1 概述	14-77
14.5.2 特点	14-78
14.5.3 功能描述	14-78
14.5.4 工作方式	14-78
14.5.5 寄存器概览.....	14-79
14.5.6 寄存器描述.....	14-80
14.6 USB 2.0 Host	14-85
14.6.1 概述	14-85
14.6.2 功能描述	14-85
14.6.3 工作方式	14-88
14.6.4 寄存器概览.....	14-90
14.6.5 寄存器描述.....	14-90
14.7 SATA	14-94
14.7.1 概述	14-94
14.7.2 特点	14-94
14.7.3 信号描述	14-94
14.7.4 功能描述	14-95
14.7.5 工作方式	14-98
14.7.6 寄存器概览.....	14-100
14.7.7 寄存器描述.....	14-103
14.7.8 附录 A SATA 命令链表格式	14-138
14.8 PWM	14-140
14.8.1 概述	14-140
14.8.2 特点	14-140
14.8.3 工作方式	14-140
14.8.4 寄存器概览.....	14-141
14.8.5 寄存器描述.....	14-141



插图目录

图 14-1 主机发送数据流程图.....	14-2
图 14-2 主机接收数据流程图.....	14-3
图 14-3 SPI 接 Slave 时的应用.....	14-12
图 14-4 SPI 单帧帧格式 (SPO=0、SPH=0)	14-13
图 14-5 SPI 连续帧帧格式 (SPO=0、SPH=0)	14-13
图 14-6 SPI 单帧帧格式 (SPO=0、SPH=1)	14-14
图 14-7 SPI 连续帧帧格式 (SPO=0、SPH=1)	14-14
图 14-8 SPI 单帧帧格式 (SPO=1、SPH=0)	14-15
图 14-9 SPI 连续帧帧格式 (SPO=1、SPH=0)	14-15
图 14-10 SPI 单帧帧格式 (SPO=1、SPH=1)	14-16
图 14-11 SPI 连续帧帧格式 (SPO=1、SPH=1)	14-16
图 14-12 SPI 接口时序图.....	14-17
图 14-13 TI 同步串行单帧帧格式.....	14-17
图 14-14 TI 同步串行连续帧帧格式.....	14-18
图 14-15 National Semiconductor Microwire 单帧帧格式.....	14-18
图 14-16 National Semiconductor Microwire 连续帧帧格式.....	14-19
图 14-17 UART 的典型应用框图.....	14-33
图 14-18 UART 帧格式.....	14-34
图 14-19 发送单个 NEC with simple repeat code 码的帧格式.....	14-54
图 14-20 持续按键连续发送 NEC with simple repeat code 码的帧格式.....	14-54
图 14-21 NEC with simple repeat code 码 bit0 和 bit1 定义.....	14-54
图 14-22 NEC with simple repeat code 码单发代码格式.....	14-54
图 14-23 NEC with simple repeat code 码连发代码格式.....	14-55
图 14-24 发送单个 NEC with full repeat code 码的帧格式.....	14-55
图 14-25 持续按键连续发送 NEC with full repeat code 码的帧格式.....	14-55



图 14-26 NEC with full repeat code 码 bit0 和 bit1 定义	14-56
图 14-27 NEC with full repeat code 码单发代码格式	14-56
图 14-28 发送单个 TC9012 码的帧格式	14-56
图 14-29 持续按键连续发送 TC9012 码的帧格式	14-57
图 14-30 TC9012 码 bit0 和 bit1 定义	14-57
图 14-31 TC9012 码单发代码格式	14-57
图 14-32 TC9012 码连发代码格式 (C0=1)	14-57
图 14-33 TC9012 码连发代码格式 (C0=0)	14-58
图 14-34 发送单个 SONY 帧格式	14-58
图 14-35 持续按键连续发送 SONY 码帧格式	14-58
图 14-36 bit0 和 bit1 定义	14-58
图 14-37 IR 模块初始化操作流程	14-59
图 14-39 USB 2.0 Host 逻辑框图	14-86
图 14-40 USB 2.0 Host 参考设计	14-87
图 14-41 典型应用模式 1	14-95
图 14-42 典型应用模式 2	14-96
图 14-43 典型应用模式 3	14-96
图 14-44 Hi3520D SATA 模块架构	14-97
图 14-45 链表结构	14-138
图 14-46 命令、数据链表结构	14-139



表格目录

表 14-1 I ² C 寄存器概览（基址是 0x200D_0000）	14-4
表 14-2 SPI 接口时序参数	14-17
表 14-3 SPI 寄存器概览（基址是 0x200C_0000）	14-22
表 14-4 UART 寄存器概览	14-37
表 14-5 红外接收数据码型的统计表（NEC with simple repeat code）	14-52
表 14-6 红外接收数据码型的统计表（NEC with full repeat code）	14-52
表 14-7 红外接收数据码型的统计表（TC9012 和 SONY 码）	14-53
表 14-8 IR 寄存器概览（基址是 0x2007_0000）	14-61
表 14-9 9 组 GPIO 寄存器对应的基地址	14-79
表 14-10 GPIO 寄存器概览	14-80
表 14-11 USB 寄存器概览（基址是：0x100B_0000）	14-90
表 14-12 SATA 接口信号描述	14-94
表 14-13 寄存器偏移地址变量表	14-100
表 14-14 SATA 寄存器概览（基址是 0x1008_0000）	14-101
表 14-15 SATA_PORT_CFG 寄存器概览（基址是 0x1008_0100）	14-101
表 14-16 PWM 寄存器概览（基址是 0x2012_0000）	14-141



14 外围设备

14.1 I²C

14.1.1 概述

I²C 模块是 APB 总线上的从设备，是 I²C 总线上的主设备。I²C 模块的作用是完成 CPU 对 I²C 总线上从设备的数据读写。当 CPU 对从设备做写操作时，CPU 通过 APB 总线配置 I²C 的配置寄存器，然后发送控制信息和操作数到 I²C 模块的数据通信寄存器；I²C 模块解析命令后将数据通道寄存器的数据通过 I²C 总线发给从设备，发送完毕后将最终的状态通过中断反馈给 CPU。CPU 读取从设备数据的过程与写操作类似。

14.1.2 功能描述

I²C 具有以下功能特点：

- Hi3520D 芯片的 I²C 是 Master 接口，I²C 的工作参考时钟为 1/4 总线时钟。
- 支持多主设备时的总线仲裁。
- 支持 Clock synchronization 和 Bit and Byte waiting。
- 支持标准地址（7bit）和扩展地址（10bit）。
- 可以工作在两种速度模式下：标准模式（100kbit/s）、快速模式（400kbit/s）。
- 支持 General Call 和 Start Byte 功能。
- 不支持 CBUS 器件。
- 对接收到的 SDA 和 SCL 信号进行滤波。

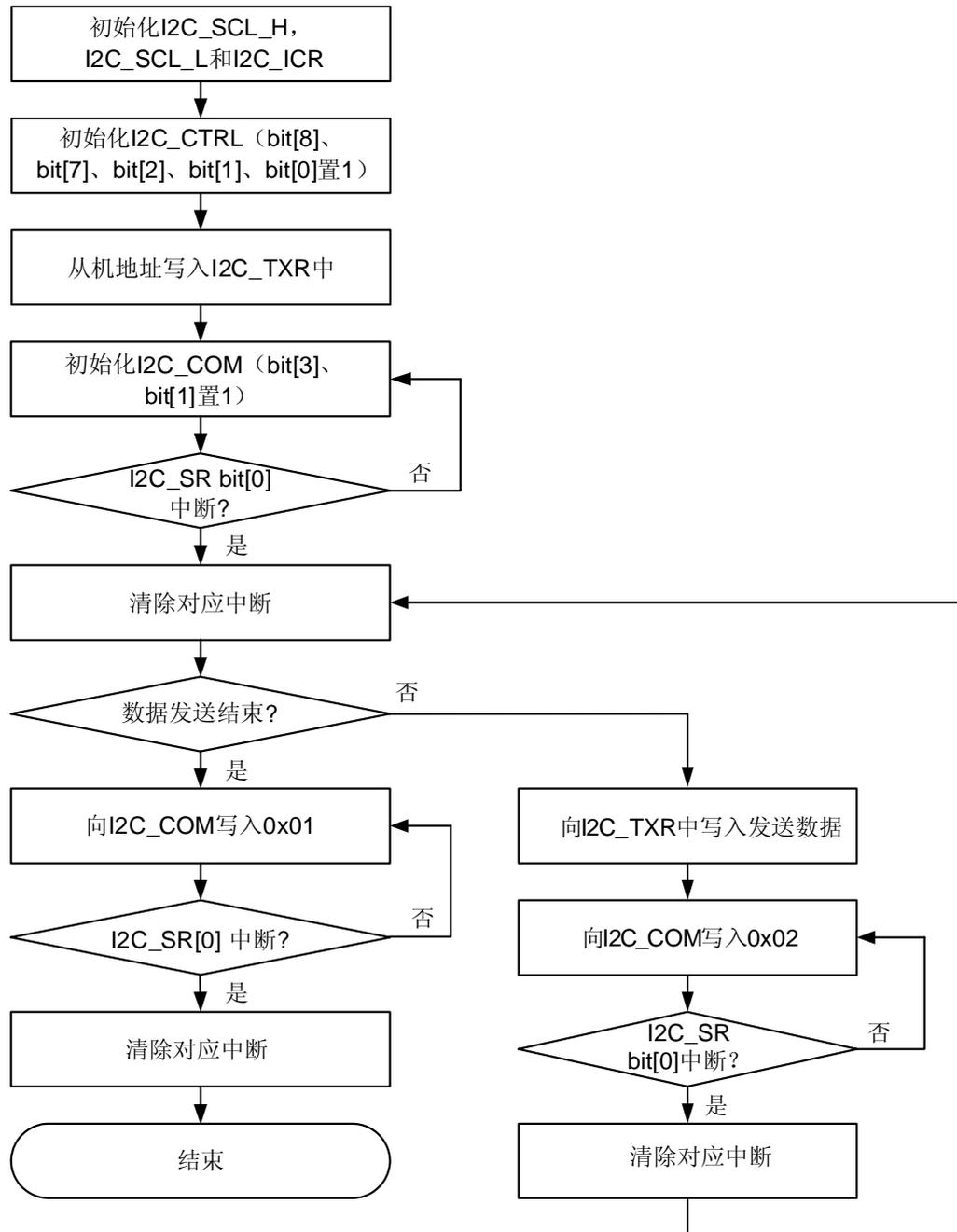
14.1.3 工作方式

14.1.3.1 I²C 初始化配置流程

I²C 主机可以向从机写入数据，也可以接收从机发来的数据。I²C 主机发送数据流程如图 14-1 所示。



图14-1 主机发送数据流程图

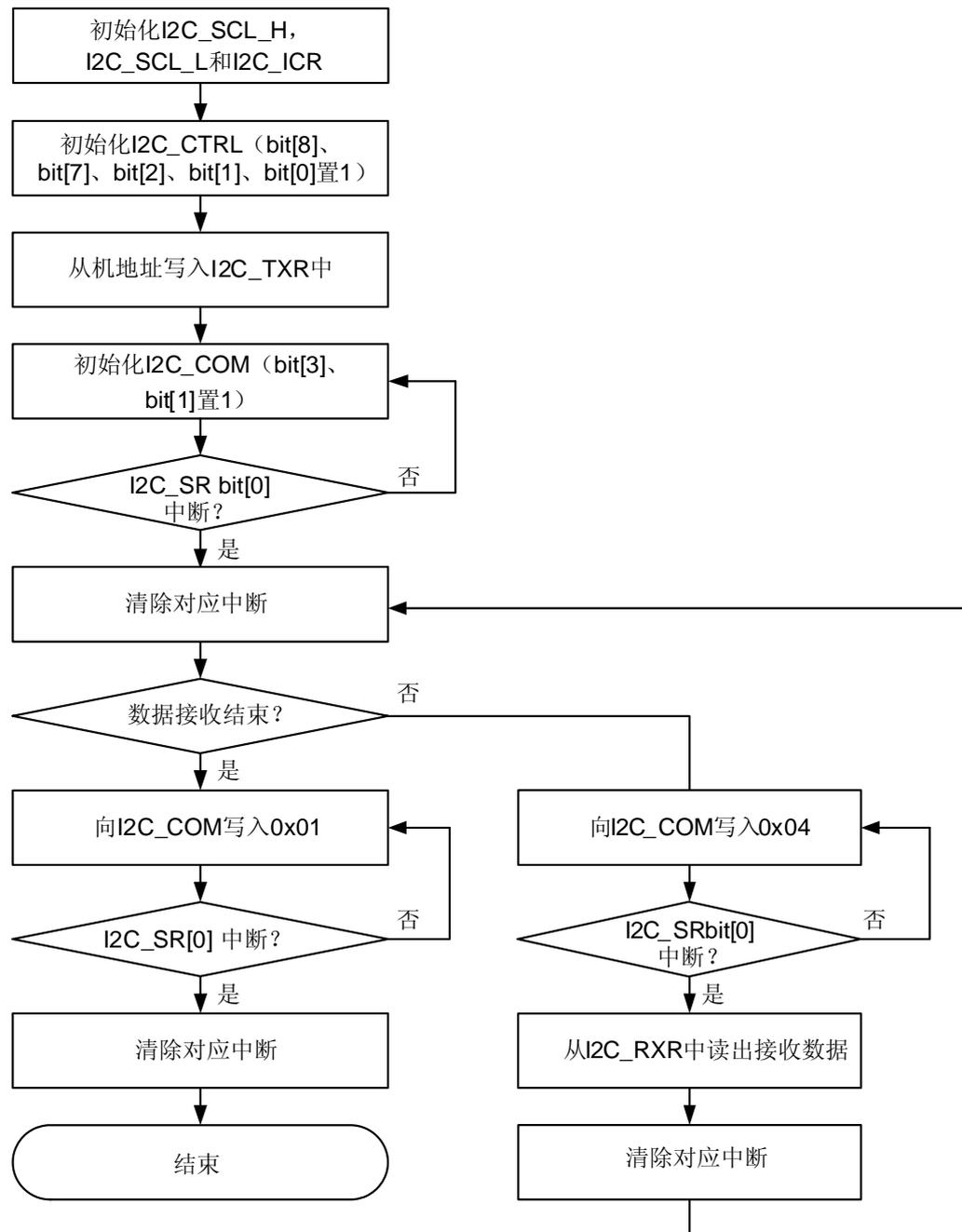


14.1.3.2 主机接收数据流程

主机接收数据流程如图 14-2 所示。



图14-2 主机接收数据流程图



14.1.4 寄存器概览

Hi3520D 包含一个 I²C 模块，寄存器概览如表 14-1 所示。



表14-1 I²C 寄存器概览（基址是 0x200D_0000）

地址	名称	类型	描述	页码
0x00	I2C_CTRL	RW	I ² C 控制寄存器	14-4
0x04	I2C_COM	RW	I ² C 命令寄存器	14-5
0x08	I2C_ICR	RW	I ² C 中断清除寄存器	14-6
0x0C	I2C_SR	RO	I ² C 状态寄存器	14-7
0x10	I2C_SCL_H	RW	I ² C SCL 高电平周期数	14-9
0x14	I2C_SCL_L	RW	I ² C SCL 低电平周期数	14-10
0x18	I2C_TXR	RW	I ² C 发送数据寄存器	14-10
0x1C	I2C_RXR	RO	I ² C 接收数据寄存器	14-11

14.1.5 寄存器描述

I2C_CTRL

I2C_CTRL 为 I²C 控制寄存器。用于配置 I²C 使能和中断屏蔽。

Offset Address	Register Name	Total Reset Value	
0x00	I2C_CTRL	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	i2c_en int_mask int_start_mask int_stop_mask int_tx_mask int_rx_mask int_ack_err_mask int_arb_loss_mask int_done_mask	
Reset	0 0		
Bits	Access	Name	Description
[31:9]	-	reserved	保留。
[8]	RW	i2c_en	I ² C 使能。 0: 不使能; 1: 使能。
[7]	RW	int_mask	I ² C 中断总屏蔽。 0: 屏蔽; 1: 不屏蔽。



[6]	RW	int_start_mask	主机开始条件发送结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RW	int_stop_mask	主机停止条件发送结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	int_tx_mask	主机发送中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	int_rx_mask	主机接收中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	int_ack_err_mask	从机 ACK 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	int_arb_loss_mask	总线仲裁失败中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	int_done_mask	总线传输完成中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

I2C_COM

I2C_COM 为 I²C 模块的命令寄存器。用于配置 I²C 模块工作时命令。



注意

在系统初始化时配置或配置前，需要清除对应中断标志。I2C_COM bit[3:0]在操作结束后将自动清 0。



	Offset Address 0x04				Register Name I2C_COM				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								op_ack	op_start	op_rd	op_we	op_stop			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:5]	-	reserved	保留。																												
	[4]	RW	op_ack	主机作为接收器是否发送 ACK。 0: 发送; 1: 不发送。																												
	[3]	RW	op_start	产生开始条件操作。 0: 操作结束; 1: 操作有效。																												
	[2]	RW	op_rd	产生读操作。 0: 操作结束; 1: 操作有效。																												
	[1]	RW	op_we	产生写操作。 0: 操作结束; 1: 操作有效。																												
	[0]	RW	op_stop	产生停止条件操作。 0: 操作结束; 1: 操作有效。																												

I2C_ICR

I2C_ICR 为 I²C 模块的中断清除寄存器。



注意

新中断到来时，I2C 模块会自动将 I2C_ICR 相应位清 0。



	Offset Address 0x08								Register Name I2C_ICR								Total Reset Value 0x0000_0000																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved																								clr_int_start	clr_int_stop	clr_int_tx	clr_int_rx	clr_int_ack_err	clr_int_arb_loss	clr_int_done																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
Bits	Access		Name				Description																																									
[31:7]	-		reserved				保留。																																									
[6]	WC		clr_int_start				主机开始条件发送结束中断标志清除。 0: 不清除; 1: 清除。																																									
[5]	WC		clr_int_stop				主机停止条件发送结束中断标志清除。 0: 不清除; 1: 清除。																																									
[4]	WC		clr_int_tx				主机发送中断标志清除。 0: 不清除; 1: 清除。																																									
[3]	WC		clr_int_rx				主机接收中断标志清除。 0: 不清除; 1: 清除。																																									
[2]	WC		clr_int_ack_err				从机 ACK 错误中断标志清除。 0: 不清除; 1: 清除。																																									
[1]	WC		clr_int_arb_loss				总线仲裁失败中断标志清除。 0: 不清除; 1: 清除。																																									
[0]	WC		clr_int_done				总线传输完成中断标志清除。 0: 不清除; 1: 清除。																																									

I2C_SR

I2C_SR 为 I²C 模块状态寄存器。用于读取 I²C 模块工作状态。



注意

I2C_SR bit[1]表示 I2C 总线仲裁失败。当 I2C_SR bit[1]有效时，当前操作失败。在清除 I2C_SR bit[1]之前，需要清除其他中断标志，然后清除 I2C_COM 或向 I2C_COM 写入新的操作命令，最后清除 I2C_SR bit[1]。

	Offset Address				Register Name								Total Reset Value																							
	0x0C				I2C_SR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																bus_busy	int_start	int_stop	int_tx	int_rx	int_ack_err	int_arb_loss	int_done												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:8]	-	reserved	保留。																																
	[7]	RO	bus_busy	总线忙。 0: 空闲; 1: 忙。																																
	[6]	RO	int_start	主机开始条件发送结束中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																
	[5]	RO	int_stop	主机停止条件发送结束中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																
	[4]	RO	int_tx	主机发送中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																
	[3]	RO	int_rx	主机接收中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																
	[2]	RO	int_ack_err	从机 ACK 错误中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																



[1]	RO	int_arb_loss	总线仲裁失败中断标志。 0: 无中断标志产生; 1: 中断标志产生。
[0]	RO	int_done	总线传输完成中断标志。 0: 无中断标志产生; 1: 中断标志产生。

I2C_SCL_H

I2C_SCL_H 为 I²C 总线 SCL 信号高电平周期数寄存器。用于配置 I²C 模块工作时 SCL 高电平周期数。



注意

在系统初始化时配置或配置前使 I2C_CTRL bit[7]=0。

	Offset Address				Register Name								Total Reset Value																							
	0x10				I2C_SCL_H								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																scl_h																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	-		reserved		保留。																															
[15:0]	RW		scl_h		SCL 高电平周期数。 实际配置值为 SCL 高电平周期数 x 2-1。																															

设 I²C 的工作参考时钟为 108MHz，I2C_SCL_H 值为 m，SCL 高电平时间为 DelTim，则：

$$\text{DelTim} = (1/108) \times (m+1) \times 2; \text{ (单位: } \mu\text{s)}$$

假设希望 SCL 高电平时间为 5 μ s，则 I2C_SCL_H 配置值 m 为：

$$m = (5 \times 108) / 2 - 1 = 269;$$

I²C 的工作参考时钟为 108MHz，SCL 高电平最长时间是 606 μ s。

I2C_SCL_L

I2C_SCL_L 为 I²C 总线 SCL 信号低电平周期数寄存器。用于配置 I²C 模块工作时 SCL 低电平周期数。



注意

在系统初始化时配置或配置前使 I2C_CTRL bit[7]=0。

	Offset Address				Register Name				Total Reset Value																							
	0x14				I2C_SCL_L				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																scl_l															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:0]	RW	scl_l		SCL 低电平周期数×2。																											

设 I²C 的工作参考时钟为 108MHz，I2C_SCL_L 值为 m，SCL 低电平时间为 DelTim，则：

$$\text{DelTim} = (1/108) \times (m+1) \times 2 \quad (\text{单位: } \mu\text{s})$$

假设希望 SCL 低电平时间为 5μs，I2C_SCL_H 配置值 m 为：

$$m = (5 \times 108) / 2 - 1 = 269$$

I²C 的工作参考时钟为 108MHz，SCL 低电平最长时间是 606μs。

I2C_TXR

I2C_TXR 为 I²C 发送数据寄存器。用于配置 I²C 模块工作时发送数据。



注意

发送结束后，I²C 模块不会修改 I2C_TXR 内容。



	Offset Address				Register Name				Total Reset Value																							
	0x18				I2C_TXR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																i2c_txr															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	-	reserved		保留。																											
	[7:0]	RW	i2c_txr		主机发送数据。																											

I2C_RXR

I2C_RXR 为 I²C 接收数据寄存器。用于主机接收从机数据。



注意

I2C_RXR 数据在 I2C_SR bit[3]=1 时，数据有效。同时数据将保持到下一个读操作之前。

	Offset Address				Register Name				Total Reset Value																							
	0x1C				I2C_RXR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																i2c_rxr															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	-	reserved		保留。																											
	[7:0]	RO	i2c_rxr		主机接收数据。																											

14.2 SPI

14.2.1 概述

SPI 控制器实现数据的串并、并串转换，可以作为 Master 与外部设备进行同步串行通信。支持 MOTOROLA 的 SPI、TI 串行同步、MicroWire 三种外设接口协议。



14.2.2 特点



注意

Hi3520D 有 1 组 SPI 接口，支持片选 0 和片选 1。

Hi3520D 芯片的 SPI 的片选 1 只支持 Master 接口，片选 0 支持 Master 和 Slave 接口。
工作参考时钟为 APB 总线时钟，SPI 输出的 SPI_CLK 最大支持 38.75MHz。

SPI 的功能特点有：

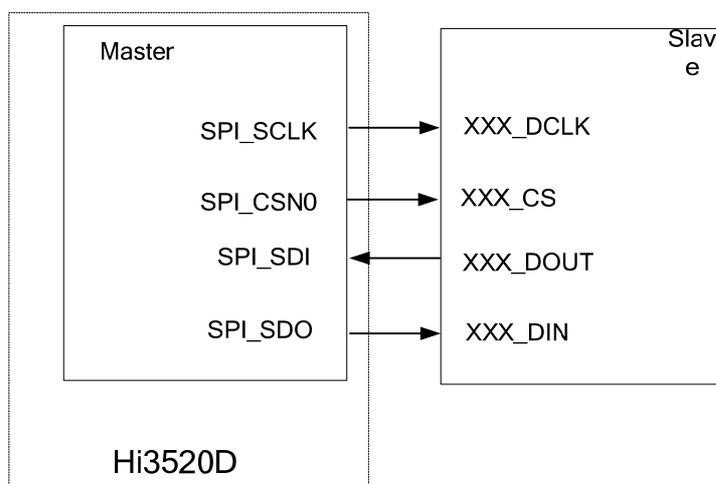
- 接口时钟频率可编程。
- 收/发分开的宽度 16bit、深度为 256 的 FIFO。
- 串行数据帧长度可编程：4bit~16bit。
- 内部提供环回测试模式。
- 支持 DMA 操作。
- 支持 SPI、MicroWire、TI 同步串行三种接口，支持单帧和连续帧格式。
- 支持 SPI 全双工工作模式，时钟极性、相位可配置。
- 支持 MicroWire 半双工工作模式。
- 支持 TI 同步串行接口全双工工作模式。

14.2.3 功能描述

典型应用

SPI 接 Slave 时的应用框图如图 14-3 所示。

图14-3 SPI 接 Slave 时的应用





14.2.4 三种外设总线时序

图 14-4~图 14-11 中的缩略语含义为：

- MSB: Most Significant Bit
- LSB: Least Significant Bit
- Q: Q is an undefined signal

SPI 接口



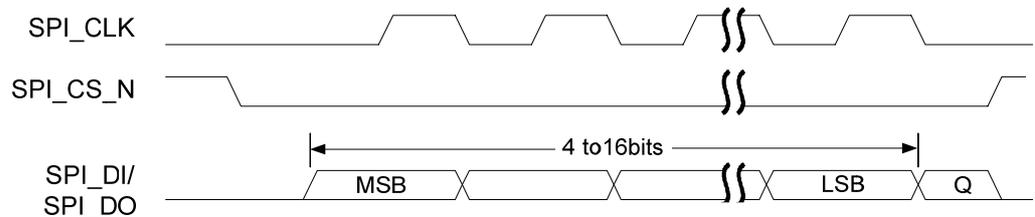
说明

SPO 表示 SPICLKOUT 极性，SPH 表示 SPICLKOUT 相位。它们是寄存器 SPICR0 bit[7:6]。

(1) SPO=0、SPH=0

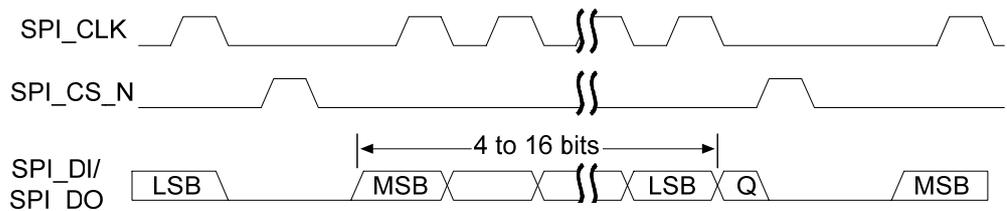
SPI 单帧格式如图 14-4 所示。

图14-4 SPI 单帧格式 (SPO=0、SPH=0)



SPI 连续帧格式如图 14-5 所示。

图14-5 SPI 连续帧格式 (SPO=0、SPH=0)



在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为低
- SPI_CS_N 信号设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 处于使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N 信号为低，表示开始传输数据。来自 Slave 的数据立刻发送到 Master 的接收数据线 SPI_DI。半个 SPI_CLK 时钟周期之后，有效的 Master 数据传输到 SPI_DO。此时 Master 和 Slave 数



据都已经有效，SPI_CLK 管脚在接下来的半个 SPI_CLK 时钟周期之后变为高电平。数据在 SPI_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。

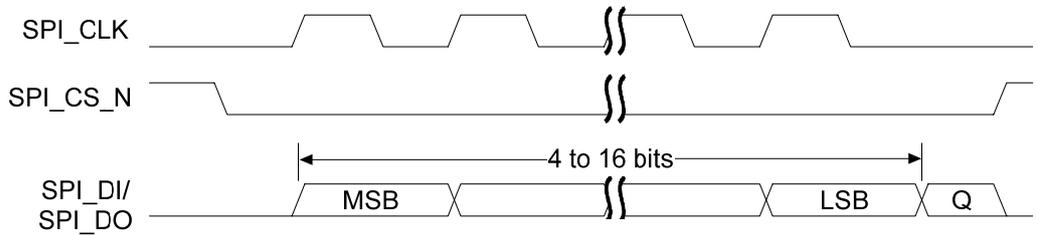
如果传输单个 word，当捕捉到最后 1bit 数据时，SPI_CS_N 在接下来的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

如果是连续的传输，SPI_CS_N 信号在每个 word 传输之间必须将 SPI_CLK 时钟拉高一个时钟周期。这是因为 SPH 为 0 时，Salve 选择管脚会固定其内部串行设备寄存器的数据，使它不会变化。因此在连续传输时，主设备必须在每个 word 传输之间将 SPI_CS_N 信号拉高。连续传输结束时，SPI_CS_N 在捕捉到最后 1bit 之后的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

(2) SPO=0、SPH=1

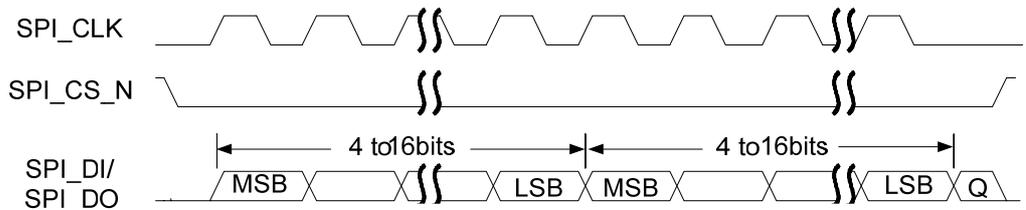
SPI 单帧格式如图 14-6 所示。

图14-6 SPI 单帧格式 (SPO=0、SPH=1)



SPI 连续帧格式如图 14-7 所示。

图14-7 SPI 连续帧格式 (SPO=0、SPH=1)



在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为低
- SPI_CS_N 设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N 信号为低表示开始传输数据。半个 SPI_CLK 时钟周期之后，Master 和 Slave 的有效数据分别在各自的传输线上有效。同时，SPI_CLK 从第一个上升沿开始有效。数据在 SPI_CLK 时钟的下降沿被捕获，在时钟的上升沿被传送。



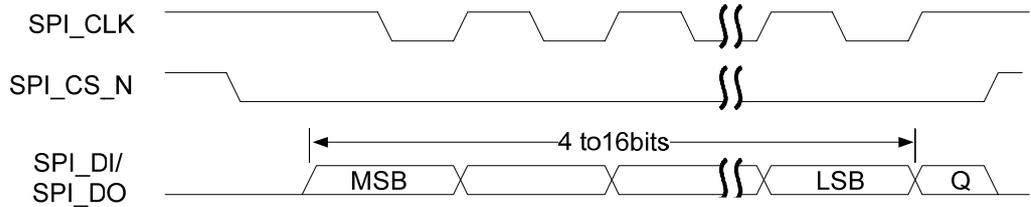
如果传输单个 word，当捕捉到最后 1bit 数据时，SPI_CS_N 在接下来的 1 个 SPI_CLK 时钟之后恢复为高电平。

当连续传输时，在传输数据 word 之间 SPI_CS_N 保持为低。连续传输结束时，SP_CS_N 在最后 1bit 捕获之后的 1 个 SPI_CLK 时钟之后恢复为高电平。

(3) SPO=1、SPH=0

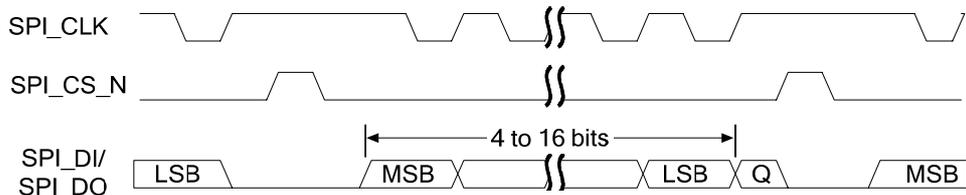
SPI 单帧格式如图 14-8 所示。

图14-8 SPI 单帧格式 (SPO=1、SPH=0)



SPI 连续帧格式如图 14-9 所示。

图14-9 SPI 连续帧格式 (SPO=1、SPH=0)



在该配置下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为高
- SPI_CS_N 信号设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N 信号为低表示开始传输数据。此时 Slave 的数据立刻发送到 Master 的接收数据线 SPI_DI。半个 SPI_CLK 周期之后，Master 的有效数据传送到 SPI_DO。再过半个 SPI_CLK 时钟周期之后，SPI_CLK Master 管脚设置为低。这表示数据在 SPI_CLK 时钟的下降沿被捕获，在 SPI_CLK 时钟的上升沿被传送。

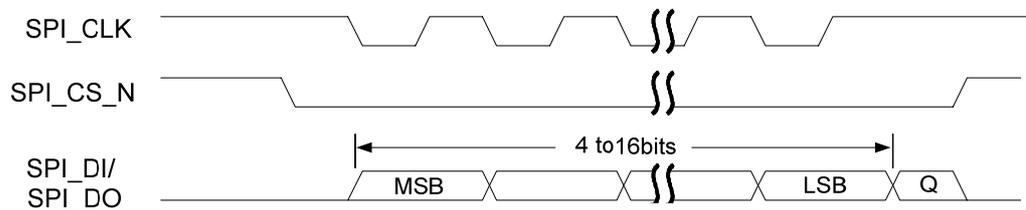
如果传输单个 word，当捕捉到最后 1bit 数据时，SPI_CS_N 在接下来的 1 个 SPI_CLK 时钟之后恢复为高电平。

如果是连续的传输，SPI_CS_N 信号在每个 word 传输之间必须拉高。这是因为当 SPH 为 0 时，Salve 选择管脚固定其内部串行设备寄存器的数据，使它不会变化。SPI_CS_N 在捕捉到最后 1bit 数据之后的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

(4) SPO=1、SPH=1

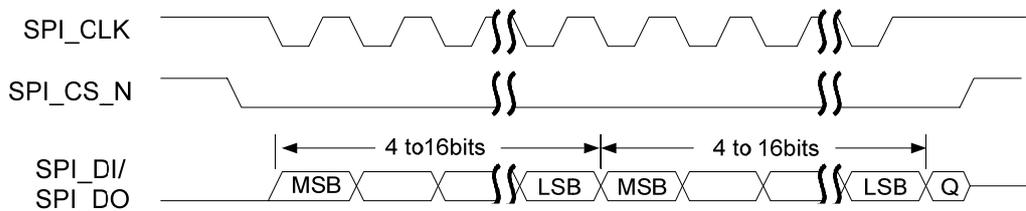
SPI 单帧格式如图 14-10 所示。

图14-10 SPI 单帧格式 (SPO=1、SPH=1)



SPI 连续帧格式如图 14-11 所示。

图14-11 SPI 连续帧格式 (SPO=1、SPH=1)



在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为高
- SPI_CS_N 信号设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N Master 信号为低表示开始传输数据。半个 SPI_CLK 时钟周期后，Master 和 Slave 数据在各自的传输线上有效。同时，时钟 SPI_CLK 从 1 个下降沿开始有效。数据在 SPI_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。

当传输单个 word 时，SPI_CS_N 在传输的最后 1bit 捕获之后的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

如果是连续传输，SPI_CS_N 信号始终保持为低。SPI_CS_N 在捕获到最后 1bit 之后的 1 个 SPI_CLK 时钟周期之后恢复到高状态。对于连续传输来说，SPI_CS_N 在传输过程中一直保持为低，结束方式与单个传输方式相同。

(5) 接口时序



图14-12 SPI 接口时序图

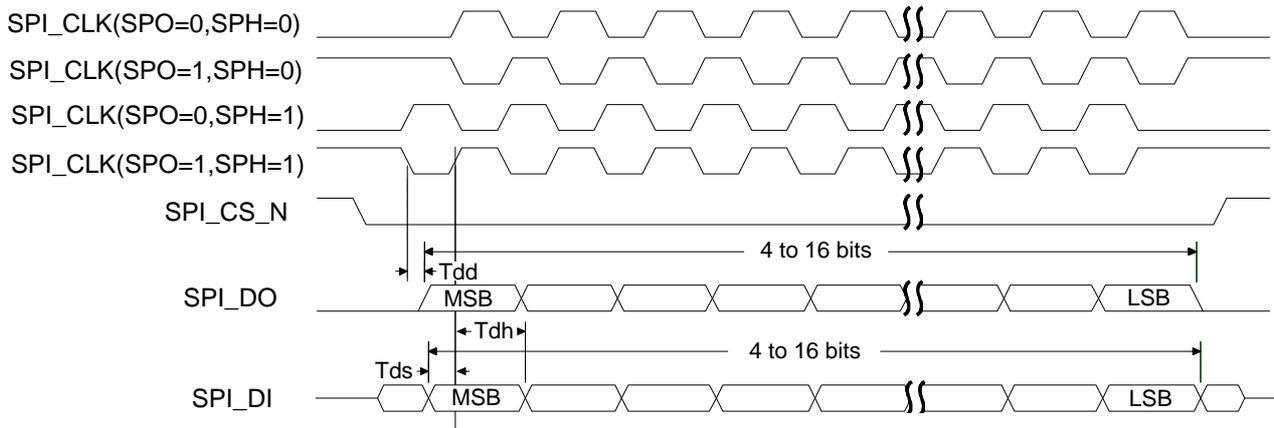


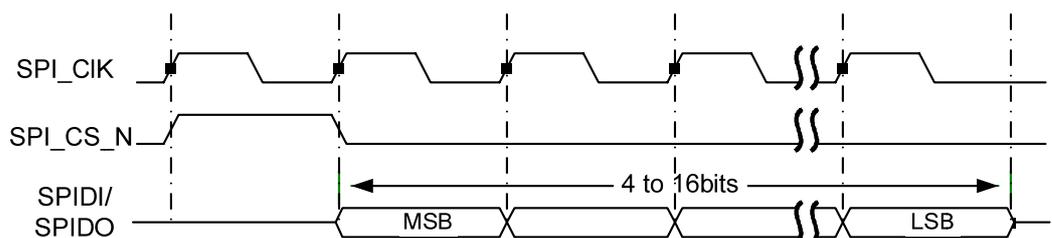
表14-2 SPI 接口时序参数

参数	描述	最小值	最大值	单位
Tdd	输出数据延迟	-3.5	5	ns
Tds	输入控制信号建立时间	23	-	ns
Tdh	输入控制信号保持时间	0	-	ns

TI 同步串行接口

TI 同步串行单帧格式如图 14-13 所示。

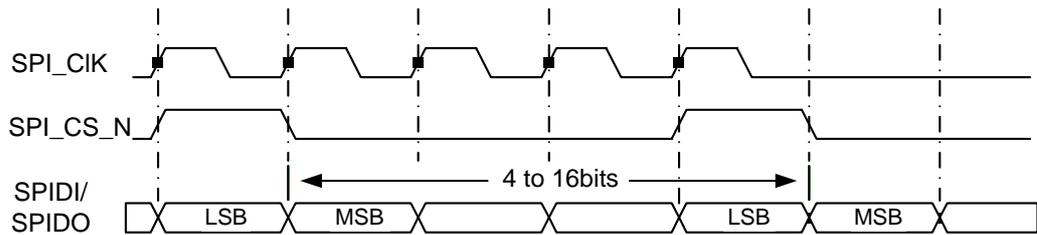
图14-13 TI 同步串行单帧格式



TI 同步串行连续帧格式如图 14-14 所示。



图14-14 TI 同步串行连续帧格式



在该模式下，当 SPI 处于空闲状态时：

- SPICK 为低电平。
- SPICSN 为低电平。
- 传输数据线 SPIDO 保持为高阻。

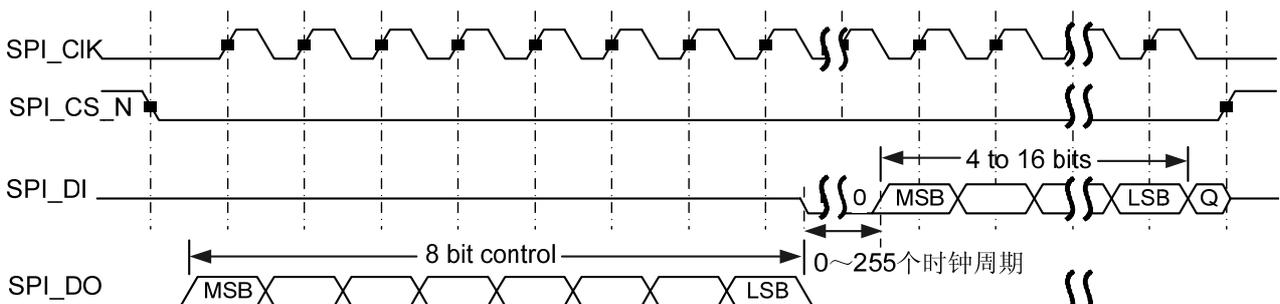
一旦发送 FIFO 有数据，SPICSN 就会产生一个 SPICK 时钟周期的高电平脉冲，将被发送的数据就会从发送 FIFO 传送到发送逻辑串行移位寄存器。在 SPICK 时钟的下一个上升沿，4bit~16bit 数据帧的 MSB 就会从 SPIDO 移位输出。同样，从外部串行 slave 设备接收数据的 MSB 会从 SPIDI 管脚移位输入。

SPI 和片外串行设备在 SPICK 时钟的下降沿将数据存入串行移位寄存器。接收串行寄存器在接收到 LSB 之后的第一个 SPICK 时钟上升沿将数据送给接收 FIFO。

National Semiconductor Microwire 接口

National Semiconductor Microwire 单帧帧格式如图 14-15 所示。

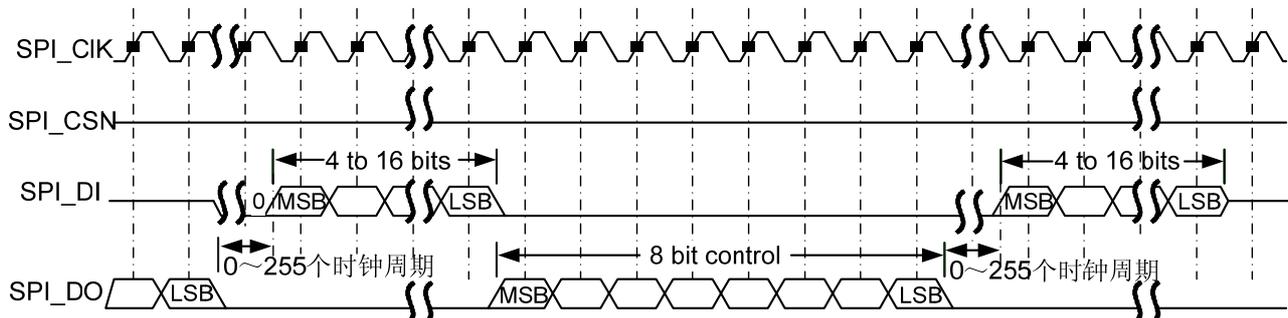
图14-15 National Semiconductor Microwire 单帧帧格式



在 SPIDO LSB 结束和 SPIDI MSB 开始之间可以延迟 0~255 个时钟周期。

National Semiconductor Microwire 连续帧帧格式如图 14-16 所示。

图14-16 National Semiconductor Microwire 连续帧格式



在 SPI_DO LSB 结束和 SPI_DI MSB 开始之间可以延迟 0~255 个时钟周期。

Microwire 的格式与 SPI 的格式非常相近，使用 master-slave 信息的传输技术，只不过 SPI 是全双工通信，而 Microwire 半双工通信。在 SPI 向外部芯片发送串行数据的时候，都要先加 8bit 控制字。在这个过程中，SPI 没有接收到任何数据。传输完毕之后，片外芯片对接收到的数据进行解码，在与 8bit 控制信息间隔一个时钟周期之后，slave 开始响应所需求的数据。返回的数据长度为 4bit~16bit，使得整个帧的长度为 13bit~25bit。

在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为低电平。
- SPI_CS_N 设置为高电平。
- 发送数据线 SPI_DO 强制为低电平。

向发送 FIFO 内部写进一个控制字节开始一次传送。SPI_CS_N 的下降沿引发数据的传输，发送 FIFO 的数据被发送到串行移位寄存器，8bit 控制帧的 MSB 被发送到发送管脚 SPIDO。在帧的传送过程中，SPI_CS_N 保持为低。SPI_DI 在这个传送过程中保持为高阻。

片外的串行从设备在 SPI_CLK 时钟的每一个上升沿将数据锁存到串行移位寄存器中。当从设备锁存完最后 1 个 bit 的数据之后，在接下来的 1 个时钟周期的等待时间里，对接收到的数据开始解码，然后从设备反馈给 SPI 所要求的数据。每 1 个 bit 都是在 SPICK 时钟的下降沿写到 SPI_DI 的。对单个数据传送来说，在帧的结尾，SPI_CS_N 在最后 1 个 bit 写到接收串行寄存器之后的 1 个时钟周期后拉高，这样就使接收到的数据传送到接收 FIFO。

对于连续的传送来说，数据传送的开始和结束都和单个数据的传送方式相同。在这个传送过程中，信号 SPI_CS_N 时一直保持为低的，传送的数据也是连续的。下一帧的控制字直接和上一帧的 LSB 相邻。当帧的 LSB 锁存到 SPI 之后，接收到的每一个数值都是在 SPI_CLK 时钟的下降沿取自接收移位寄存器。

14.2.5 工作方式

工作模式

SPI 的工作模式分为中断或查询方式下的数据传输和 DMA 方式下的数据传输。



时钟与复位

输出 SPI 时钟频率计算方式如下：

$$F_{\text{ssplkout}} = F_{\text{ssplk}} / (\text{CPSDVRx} \times (1 + \text{SCR}))$$

F_{ssplk} ：SPI 的工作参考时钟，1/4 总线时钟。

CPSDVR、SCR 请查询相应寄存器。

Hi3520D 中 SPI 支持独立软复位，由寄存器 PERI_CRG57 bit[6:5]控制。相应位写“0”，SPI 退出软复位；相应位写“1”，SPI 进入软复位。上电缺省值为 0。

中断处理

SPI 有 5 个中断，其中前 4 个是独立中断源、可屏蔽、高电平有效。

- SPIRXINTR
接收 FIFO 中断请求。当接收 FIFO 中有 4 个或更多的有效数据时，该中断置位。
- SPITXINTR
发送 FIFO 中断请求。当发送 FIFO 中有 4 个或更少的有效数据时，该中断置位。
- SPIRORINTR
接收 overrun 中断请求。当 FIFO 已满，且又有新的数据需要写入 FIFO 时，会引起 FIFO overrun，该中断置位。此时数据被写入接收移位寄存器，而不是 FIFO。
- SPIRTINTR
接收 time out 中断请求。当接收 FIFO 非空，且 SPI 处于 idle 态超过一个固定的 32bit 周期，该中断置位。
此时表明接收 FIFO 中仍有数据需要传输。如果接收 FIFO 被读空或者当有新的数据被接收到 SPIRXD 中，该中断解除置位。也可以通过写寄存器 SPIICR[RTIC]清除该中断。
- SPIINTR
组合中断，为以上 4 个中断经过“或”运算后的结果。如果上述 4 个独立中断中任意一个置位且使能，该中断置位。

SPI 的中断 SPIINTR 请参见中断处理章节。

初始化

初始化步骤如下：

1. 向寄存器 SPICR1[sse]写“0”，禁止 SPI。
2. 写寄存器 SPICR0，配置帧格式及传输数据位宽等参数。
3. 配置寄存器 SPICPSR，设定时钟分频因子。
4. 中断方式下，设置寄存器 SPIIMSC，使能相应中断信号；查询、DMA 方式下，应禁止产生相应中断信号。
5. 中断或 DMA 方式，设置 SPITXFIFO CR 和 SPIRXFIFO CR。
6. DMA 方式下，配置寄存器 SPIDMACR，使能 SPI 的 DMA 功能。



----结束

查询方式下的数据传输

因为发送/接收 FIFO 深度 512，一般不需考虑 FIFO 满。

具体步骤如下：

1. 向寄存器 `SPICR1[sse]`写“1”，使能 SPI。
2. 将需发送的数据连续写到寄存器 `SPIDR`。
3. 轮询寄存器 `SPISR`，直到`[BSY]=0`（表示总线不忙）、`[TFE]=1`（表示发送 FIFO 已空）、`[RNE]=1`（表示接收 FIFO 非空），进入步骤 5。
4. 读出数据，需保证读空接收 FIFO（可通过查询 `SPISR[RNE]`得到）。



注意

SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。

5. 向寄存器 `SPICR1[sse]`写“0”，禁止 SPI。

----结束

中断方式下的数据传输

具体步骤如下：

1. 向寄存器 `SPICR1[sse]`写“1”，使能 SPI。
2. 将需发送的数据连续写到寄存器 `SPIDR`。
3. 等待中断 `SPIRXINTR`，读出数据。循环直到读出所有数据。



注意

SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。

4. 向寄存器 `SPICR1[sse]`写“0”，禁止 SPI。

----结束

DMA 方式下的数据传输

具体步骤如下：



1. 获取一个 DMAC 通道。
2. 向寄存器 `SPICR1[sse]`写“1”，使能 SPI。
3. 发送数据
 - a. 配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。
 - b. 启动 DMAC，响应 SPI 发送 FIFO 的 DMA 请求进行数据传输。
 - c. 通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 SPI 的 DMA 功能。
4. 接收数据
 - a. 配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。
 - b. 启动 DMAC，响应 SPI 接收 FIFO 的 DMA 请求进行数据传输。
 - c. 通过 DMA 中断上报，判断数据是否接收完成，如果完成则关闭 SPI 的 DMA 功能。
5. 向寄存器 `SPICR1[sse]`写“0”，禁止 SPI。

----结束

14.2.6 寄存器概览

SPI 寄存器概览如表 14-3 所示。

表14-3 SPI 寄存器概览（基址是 0x200C_0000）

偏移地址	名称	描述	页码
0x000	SPICR0	控制寄存器 0	14-23
0x004	SPICR1	控制寄存器 1	14-24
0x008	SPIDR	数据寄存器	14-25
0x00C	SPISR	状态寄存器	14-25
0x010	SPICPSR	时钟分频寄存器	14-26
0x014	SPIIMSC	中断屏蔽寄存器	14-27
0x018	SPIRIS	原始中断状态寄存器	14-28
0x01C	SPIMIS	屏蔽后中断状态寄存器	14-28
0x020	SPIICR	中断清除寄存器	14-29
0x024	SPIDMACR	DMA 控制寄存器	14-29
0x028	SPITXFIFOCR	发送 FIFO 控制寄存器	14-30
0x02C	SPIRXFIFOCR	接收 FIFO 控制寄存器	14-31



14.2.7 寄存器描述

SPICR0

SPICR0 为控制寄存器 0。

	Offset Address 0x000						Register Name SPICR0				Total Reset Value 0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SCR						SPH	SPO	FRF		DSS					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:8]	RW		SCR		串行时钟率，取值范围 0~255。SCR 的值用来产生 SPI 发送和接收的比特率，公式为 $FSPICLK / (CPSDVSr(1+SCR))$ 。 CPSDVSr 是一个 2~254 之间的偶数，由寄存器 SPICPSR 配置。											
[7]	RW		SPH		SPICLKOUT 相位，具体含义请参见“14.2.4 三种外设总线时序”的 SPI 帧格式。											
[6]	RW		SPO		SPICLKOUT 极性，具体含义请参见“14.2.4 三种外设总线时序”的 SPI 帧格式。											
[5:4]	RW		FRF		帧格式选择。 00: Motorola SPI 帧格式； 01: TI 同步串行帧格式； 10: National Microwire 帧格式； 11: 保留。											



[3:0]	RW	DSS	设置数据位宽。 0011: 4bit; 1000: 9bit; 1101: 14bit; 0100: 5bit; 1001: 10bit; 1110: 15bit; 0101: 6bit; 1010: 11bit; 1111: 16bit; 0110: 7bit; 1011: 12bit; 0111: 8bit; 1100: 13bit; 其他: 保留。
-------	----	-----	--

SPICR1

SPICR1 为控制寄存器 1。

	Offset Address				Register Name				Total Reset Value								
	0x004				SPICR1				0x7F00								
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	WaitEn	WaitVal				reserved			BigEnd	reserved	MS	SSE	LBM				
Reset	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description														
[15]	RW	WaitEn	等待使能，当 SPICR0 寄存器的 FRF 配置为 National Microwire 帧格式时有效。 0: 不使能; 1: 使能。														
[14:8]	RW	WaitVal	National Microwire 帧格式时，写和读之间的等待拍数。当 WaitEn 为 1 并且帧格式为 National Microwire 时有效。														
[7:5]	RW	reserved	保留。														



[4]	RW	BigEnd	设置数据大小端模式。 0: 小端结束; 1: 大端结束。
[3]	RW	reserved	保留。
[2]	RW	MS	设置 Master 或者 Slave 模式, 此位只能在 SPI 被禁止时改变。 0: Master 模式 (默认); 1: 保留。
[1]	RW	SSE	设置 SPI 使能。 0: 不使能; 1: 使能。
[0]	RW	LBM	设置环回模式。 0: 正常的串行接口操作使能; 1: 发送串行移位寄存器的输出在内部连接到接收串行移位寄存器的输入上。

SPIDR

SPIDR 为数据寄存器。

	Offset Address						Register Name				Total Reset Value					
	0x008						SPIDR				0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DATA															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:0]	RW	DATA	发送/接收 FIFO。 读: 接收 FIFO; 写: 发送 FIFO。 如果数据比特数少于 16 则必须右对齐。发送逻辑将忽略高位未使用的比特位, 接收逻辑则自动将数据右对齐。													

SPISR

SPISR 为状态寄存器。



	Offset Address 0x00C						Register Name SPISR						Total Reset Value 0x0003			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											BSY	RFF	RNE	TNF	TFE
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
	Bits	Access	Name	Description												
	[15:5]	RW	reserved	保留。												
	[4]	RW	BSY	SPI 忙标记。 0: 空闲; 1: 忙。												
	[3]	RW	RFF	接收 FIFO 是否已满。 0: 未滿; 1: 已滿。												
	[2]	RW	RNE	接收 FIFO 是否未空。 0: 已空; 1: 未空。												
	[1]	RW	TNF	发送 FIFO 是否未滿。 0: 已滿; 1: 未滿。												
	[0]	RW	TFE	发送 FIFO 是否已空。 0: 未空; 1: 已空。												

SPICPSR

SPICPSR 为时钟分频寄存器。



	Offset Address 0x010						Register Name SPICPSR						Total Reset Value 0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved						CPSDVSR									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name			Description										
	[15:8]	RW	reserved			保留。										
	[7:0]	RW	CPSDVSR			时钟分频因子。此值必须是 2~254 之间的偶数，取决于输入时钟 SPICLK 的频率。最低位读作“0”。										

SPIIMSC

SPIIMSC 为中断屏蔽寄存器。

	Offset Address 0x014						Register Name SPIIMSC						Total Reset Value 0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												TXIM	RXIM	RTIM	RORIM
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name			Description										
	[15:4]	RW	reserved			保留。										
	[3]	RW	TXIM			发送 FIFO 中断屏蔽。 0: 半空或更少情况下中断被屏蔽; 1: 半空或更少情况下中断未被屏蔽。										
	[2]	RW	RXIM			接收 FIFO 中断屏蔽。 0: 半空或更少情况下中断被屏蔽; 1: 半空或更少情况下中断未被屏蔽。										
	[1]	RW	RTIM			接收超时中断。 0: 接收超时中断屏蔽; 1: 接收超时中断不屏蔽。										



[0]	RW	RORIM	接收溢出中断屏蔽。 0: 接收 FIFO 溢出中断屏蔽; 1: 接收 FIFO 溢出中断不屏蔽。 值为“1”时使能硬件流控功能, 即接收 FIFO 满后 SPI 停止发送数据。
-----	----	-------	---

SPIRIS

SPIRIS 为原始中断状态寄存器。值“0”表示无中断, 值“1”表示有中断。

	Offset Address				Register Name				Total Reset Value							
	0x018				SPIRIS				0x0008							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												TXRIS	RXRIS	RTRIS	RORRIS
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
Bits	Access	Name		Description												
[15:4]	RO	reserved		保留。												
[3]	RO	TXRIS		发送 FIFO 中断的原始中断状态。												
[2]	RO	RXRIS		接收 FIFO 中断的原始中断状态。												
[1]	RO	RTRIS		接收超时中断的原始中断状态。												
[0]	RO	RORRIS		接收溢出中断的原始中断状态。												

SPIMIS

SPIMIS 为屏蔽后中断状态寄存器。值“0”表示无中断, 值“1”表示有中断。



	Offset Address				Register Name				Total Reset Value							
	0x01C				SPIMIS				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										TXMIS	RXMIS	RTMIS	RORMIS		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description												
	[15:4]	RO	reserved	保留。												
	[3]	RO	TXMIS	发送 FIFO 中断屏蔽后的状态。												
	[2]	RO	RXMIS	接收 FIFO 中断屏蔽后的状态。												
	[1]	RO	RTMIS	接收超时中断屏蔽后的状态。												
	[0]	RO	RORMIS	接收溢出中断屏蔽后的状态。												

SPIICR

SPIICR 为中断清除寄存器。写“1”清除中断，写“0”无影响。

	Offset Address				Register Name				Total Reset Value							
	0x020				SPIICR				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										RTIC	RORIC				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description												
	[15:2]	RO	reserved	保留。												
	[1]	RO	RTIC	清除接收超时中断。												
	[0]	RO	RORIC	清除接收溢出中断。												

SPIDMACR

SPIDMACR 为 DMA 控制寄存器。



		Offset Address				Register Name				Total Reset Value							
		0x024				SPIDMACR				0x0000							
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved												TXDMAE	RXDMAE		
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description											
	[15:2]	WO		reserved		保留位。											
	[1]	WO		TXDMAE		DMA 发送 FIFO 使能寄存器。 0: 禁止; 1: 使能。											
	[0]	WO		RXDMAE		DMA 接收 FIFO 使能寄存器。 0: 禁止; 1: 使能。											

SPITXFIFOCR

SPITXFIFOCR 为发送 FIFO 控制寄存器。

		Offset Address				Register Name				Total Reset Value							
		0x028				SPITXFIFOCR				0x0009							
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved										TXINTSize		DMATXBRSIZE			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
	Bits	Access		Name		Description											
	[15:6]	RW		reserved		保留位。											



[5:3]	RW	TXINTSize	配置发送 FIFO 请求中断的水线。即，发送 FIFO 中数据数目小于或等于 TXINTSize 所配置的字数时，TXRIS 有效。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 64; 111: 64。
[2:0]	RW	DMATXBRSIZE	配置发送 FIFO 请求 DMA 进行 burst 传输的水线。即，发送 FIFO 中数据数目小于或等于 (256-DMATXBRSIZE) 所配置的字数时，DMATXBREQ 有效，此处字长是 16 位。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 128。

SPIRXFIFO CR

SPIRXFIFO CR 为接收 FIFO 控制寄存器。

	Offset Address						Register Name				Total Reset Value					
	0x02C						SPIRXFIFO CR				0x0009					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										RXINTSize		DMARXBRSIZE			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
Bits	[15:6]		Access		Name		Description									
	[15:6]		RW		reserved		保留。									



[5:3]	RW	RXINTSize	配置接收 FIFO 请求中断的水线。即，接收 FIFO 中数据数目大于或等于 (256-RXINTSize) 所配置的字数时，RXRIS 有效，此处字长是 16 位。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 64; 111: 64。
[2:0]	RW	DMARXBRSIZE	配置接收 FIFO 请求 DMA 进行 burst 传输的水线。即，接收 FIFO 中数据数目大于或等于 DMARXBRSIZE 所配置的字数时，DMARXBREQ 有效。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 224。

14.3 通用异步收发器

14.3.1 概述

通用异步收发器 UART (Universal Asynchronous Receiver Transmitter) 是一个异步串行的通信接口，主要功能是将来自外围设备的数据进行串并转换之后传入内部总线，以及将数据进行并串转换之后输出到外部设备。UART 的主要功能是和外部芯片的 UART 进行对接，从而实现两芯片间的通信。

Hi3520D 提供 4 个 UART 单元：

- UART0: 2 线 UART，主要用于调试。
- UART1: 4 线 UART，主要用于云台控制。
- UART2: 2 线 UART，主要用于报警功能，也可用于与通用的 UART 设备对接。
- UART3: 2 线 UART，主要用于报警功能，也可用于与通用的 UART 设备对接。



14.3.2 特点

UART 模块有以下特点：

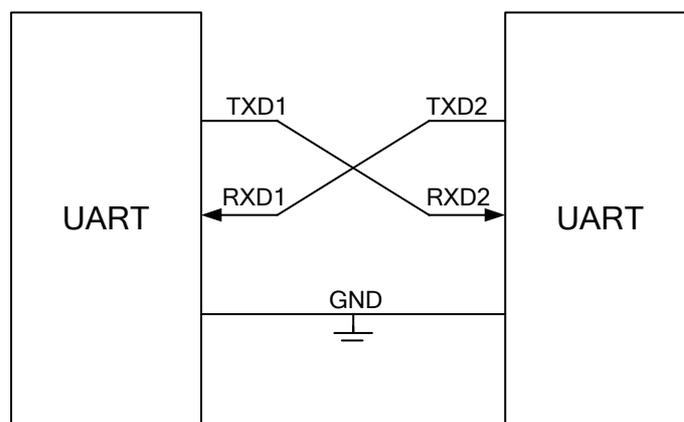
- 支持 16 x 8bit 的发送 FIFO 和 16 x 12bit 的接收 FIFO。
- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8 比特；停止位可通过编程设定为 1bit 或 2bit。
- 支持奇、偶校验方式或者无校验。
- 支持传输速率可编程。
- 支持接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持通过编程禁止 UART 模块或者 UART 发送/接收功能以降低功耗。
- 支持关断 UART 时钟以节省功耗。
- 支持 DMA 操作。

14.3.3 功能描述

应用框图

UART 的典型应用框图如图 14-17 所示。

图14-17 UART 的典型应用框图



UART 是一种异步双向串行总线，它提供了一种简单有效的数据传输方式，只需要两根数据线互相对接。

功能原理

UART 的一次帧传输主要包括起始信号、数据、校验位和结束信号，如图 14-18 所示。数据帧从某一 UART 的 TXD 端输出，从另一个 UART 的 RXD 端输入。



图14-18 UART 帧格式



起始信号、数据、校验位和结束信号的含义如下：

- 起始信号（start bit）
一个数据帧开始的标志，UART 协议规定 TXD 信号出现一个低电平就表示一个数据帧的开始。在 UART 不传输数据时，应该保持高电平。
- 数据信号（data bit）
数据位宽可以根据不同的应用要求进行调整，可以配置成 5bit/6bit/7bit/8bit 数据位宽。
- 校验位（parity bit）
校验位是 1 比特纠错信号，UART 的校验位有奇校验、偶校验和固定校验位，同时支持校验位的使能和禁止，详细描述请见 [UART_LCR_H](#) 寄存器。
- 结束信号（stop bit）
结束信号即数据帧的停止位，支持 1 比特和 2 比特停止位两种配置。数据帧的结束信号就是把 TXD 拉成高电平。

14.3.4 工作方式

14.3.4.1 波特率配置

通过配置寄存器 [UART_IBRD](#) 和 [UART_FBRD](#) 可以设置 UART 工作的波特率，波特率计算公式为：

当前波特率=UART 参考时钟频率（1/4 总线时钟频率或 2MHz）/（16 x 分频系数）

分频系数有整数和小数两部分组成，分别对应寄存器 [UART_IBRD](#) 和 [UART_FBRD](#)。

例如：UART 参考时钟频率为 60MHz，如果配置 [UART_IBRD](#) 为 0x1E，[UART_FBRD](#) 为 0x00，按照波特率计算公式，则当前的波特率为 $60 / (16 \times 30) = 0.125\text{Mbit/s}$ 。

UART 波特率配置的典型值为：9,600bit/s、14,400bit/s、19,200bit/s、38,400bit/s、57,600bit/s、76,800bit/s、115,200bit/s、230,400bit/s、460,800bit/s。

分频系数值的计算以及分频系数寄存器的配置举例如下：

如果要求波特率为 230400bit/s，并且 UART 参考时钟频率为 100MHz，那么分频系数为 $(100 \times 10^6) / (16 \times 230400) = 27.1267$ ，因此 IBRD（整数部分）为 27，FBRD（小数部分）为 0.1267。



计算 6bit `UART_FBRD` 寄存器中的数值：根据 $m = \text{integer}(FBRD \times 2^n + 0.5)$ ($n = \text{UART_FBRD}$ 寄存器的宽度)，计算出 $m = \text{integer}(0.1267 \times 2^6 + 0.5) = 8$ ，在 `UART_IBRD` 寄存器中配置 0x001B，`UART_FBRD` 寄存器中配置 0x08。

当分频系数小数部分配置成 8 时，波特率除数的实际数值为 $27 + 8/64 = 27.125$ ，产生的波特率为 $(100 \times 10^6) / (16 \times 27.125) = 230414.75$ ，误差率为 $(230414.75 - 230400) / 230400 \times 100 = 0.006\%$ 。

使用 6bit `UART_FBRD` 寄存器最大的误差率为 $1/64 \times 100 = 1.56\%$ ，当 $m=1$ 时会出现，误差率累计超过 64 个时钟周期。

14.3.4.2 软复位

通过配置 CRG 寄存器可实现对 UART 控制器的单独软复位。

- 通过配置 CRG 寄存器 `PERI_CRG57[7]` 为 1，可实现对 UART0 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[8]` 为 1，可实现对 UART1 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[9]` 为 1，可实现对 UART2 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[10]` 为 1，可实现对 UART3 控制器的单独软复位。

复位后各配置寄存器的值均为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

14.3.4.3 中断或查询方式下的数据传输

初始化

初始化步骤如下：

1. 向 `UART_CR bit[0]` 写 0，使 UART 处于禁止状态。
2. 写相应的配置值到 `UART_IBRD`、`UART_FBRD` 寄存器，配置传输速率。
3. 配置 `UART_CR`、`UART_LCR_H`，设定相应的 UART 工作模式。
4. 配置 `UART_IFLS` 设定相应的发送及接收 FIFO 阈值。
5. 如果驱动程序采用中断方式则需设定 `UART_IMSC`，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。
6. 向 `UART_CR bit[0]` 写 1，使能 UART，完成初始化配置。

----结束

数据发送

数据发送步骤如下：

1. 将发送数据写入 `UART_DR`，启动数据发送。



2. 查询方式下，进行连续数据发送时通过读取 `UART_FR` bit[5]检测 `TX_FIFO` 状态，根据 `TX_FIFO` 的状态决定是否向 `TX_FIFO` 中发送数据；中断方式下，则根据相应中断状态位检测；决定是否向 `TX_FIFO` 中发送数据。
3. 通过检测 `UART_FR` bit[7]是否为 1，判断 UART 是否完成全部数据发送。

----结束

数据接收

数据接收的处理方式如下：

- 查询方式下，进行数据接收时通过读取 `UART_FR`[rxfe]检测 `RX_FIFO` 状态，根据 `RX_FIFO` 的状态决定是否读取 `RX_FIFO` 中的数据。
- 中断方式下，则根据相应中断状态位检测决定是否读取 `RX_FIFO` 中的数据。

14.3.4.4 DMA 方式下的数据传输

初始化

初始化步骤如下：

1. 向 `UART_CR`[uarten]写 0，使 UART 处于禁止状态。
2. 写相应的配置值到 `UART_IBRD`、`UART_FBRD` 寄存器，配置传输速率。
3. 配置 `UART_CR`、`UART_LCR_H`，设定相应的 UART 工作模式。
4. 配置 `UART_IFLS` 设定相应的发送及接收 FIFO 阈值。
5. 如果驱动程序采用中断方式则需设定 `UART_IMSC`，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。
6. 向 `UART_CR`[uarten]写 1，使能 UART，完成初始化配置。

----结束

数据发送

数据发送（以 DMA 模式为例）步骤如下：

1. 配置 DMA 数据通道，包括数据传输源和目的地址、数据传输个数、传输类型等参数。具体配置时请参见“直接存储器存取控制器”的相关描述。
2. 配置 `UART_DMACR` 为 0x2，使能 UART 的 DMA 发送功能。
3. 通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 UART 的 DMA 发送功能。

----结束

数据接收

数据接收（以 DMA 模式为例）步骤如下：



1. 配置 DMA 数据通道，包括数据传输源和目的地址、数据接收区地址、数据传输个数、传输类型等参数。
2. 配置 `UART_DMOCR` 为 0x1，使能 UART 的 DMA 接收功能。
3. 通过 DMA 状态查询，判断数据是否接收完成，如果完成则关闭 UART 的 DMA 接收功能。

----结束

14.3.5 寄存器概览

Hi3520D 提供 4 个 UART 单元基地址分别如下：

- UART0 寄存器基地址为 0x2008_0000。
- UART1 寄存器基地址为 0x2009_0000。
- UART2 寄存器基地址为 0x200A_0000。
- UART3 寄存器基地址为 0x200B_0000。

UART 寄存器概览如表 14-4 所示。

表14-4 UART 寄存器概览

偏移地址	名称	描述	页码
0x000	UART_DR	数据寄存器	14-38
0x004	UART_RSR	接收状态寄存器/错误清除寄存器	14-38
0x008~0x014	RESERVED	保留	-
0x018	UART_FR	标志寄存器	14-39
0x01C~0x020	RESERVED	保留	-
0x024	UART_IBRD	整数波特率寄存器	14-41
0x028	UART_FBRD	小数波特率寄存器	14-41
0x02C	UART_LCR_H	线控寄存器	14-42
0x030	UART_CR	控制寄存器	14-43
0x034	UART_IFLS	中断 FIFO 阈值选择寄存器	14-45
0x038	UART_IMSC	中断屏蔽寄存器	14-46
0x03C	UART_RIS	原始中断状态寄存器	14-47
0x040	UART_MIS	屏蔽后中断状态寄存器	14-48
0x044	UART_ICR	中断清除寄存器	14-49
0x048	UART_DMOCR	DMA 控制寄存器	14-50



14.3.6 寄存器描述

UART_DR

UART_DR 为 UART 数据寄存器，存放接收数据和发送数据，同时可以从该寄存器中读出接收状态。

	Offset Address					Register Name					Total Reset Value					
	0x000					UART_DR					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oe	be	pe	fe	data						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name			Description										
[15:12]	-		reserved			保留。										
[11]	RO		oe			溢出错误。 0: 无溢出错误; 1: 有溢出错误, 接收 FIFO 满且接收了一个数据。										
[10]	RO		be			Break 错误。 0: 无 break 错误; 1: 有 break 错误, 即接收数据的输入保持低的时间比一个全字传输 (包括 start、data、parity、stop bit) 还要长。										
[9]	RO		pe			校验错误。 0: 无校验错误; 1: 有校验错误。										
[8]	RO		fe			帧错误。 0: 无帧错误; 1: 有帧错误 (错误的停止位)。										
[7:0]	RW		data			接收数据和发送数据。										

UART_RSR

UART_RSR 为接收状态寄存器/错误清除寄存器。

- 寄存器读时作为接收状态寄存器。
- 寄存器写时作为错误清除寄存器。



接收状态也可以从 **UART_DR** 中读出。从 **UART_DR** 中读出的 **break**、**frame**、**parity** 的状态信息要比从 **UART_RSR** 读出的信息优先级高（即 **UART_DR** 中的状态变化比 **UART_RSR** 更快）。

对 **UART_RSR** 寄存器的任何写操作都会对 **UART_RSR** 寄存器进行复位。

	Offset Address 0x004				Register Name UART_RSR		Total Reset Value 0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved				oe	be	pe	fe
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:4]	-	reserved	保留。				
	[3]	RW	oe	溢出错误。 0: 无溢出错误; 1: 溢出错误。 当 FIFO 满时, FIFO 中的内容保持有效, 因为不会有下一个数据写到 FIFO 中, 只是移位寄存器会溢出。CPU 必须立刻读数据以腾空 FIFO。				
	[2]	RW	be	Break 错误。 0: 无 break 错误; 1: break 错误。 Break 的条件: 接收数据的输入保持低的时间比一个全字传输 (定义了 start、data、parity、stop bit) 还要长。				
	[1]	RW	pe	校验错误。 0: 无校验错误; 1: 接收数据的校验错误。 FIFO 模式下, 该错误与 FIFO 顶部的数据相关联。				
	[0]	RW	fe	帧错误。 0: 无帧错误; 1: 接收到的数据的停止位错误 (有效的停止位为 1)。				

UART_FR

UART_FR 为 UART 标志寄存器。



		Offset Address					Register Name					Total Reset Value				
		0x018					UART_FR					0x0012				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved						txfe	rxff	txff	rxfe	busy	reserved				
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access	Name	Description													
[15:8]	-	reserved	保留。													
[7]	RO	txfe	该位的含义由 UART_LCR_H[fen] 的状态决定。 如果 UART_LCR_H[fen] 为 0，则当发送 holding register 空时该位置 1； 如果 UART_LCR_H[fen] 为 1，则当发送 FIFO 为空时该位置 1。													
[6]	RO	rxff	该位的含义由 UART_LCR_H[FEN] 的状态决定。 如果 UART_LCR_H[fen] 为 0，则当接收 holding register 满时该位置 1； 如果 UART_LCR_H[fen] 为 1，则当接收 FIFO 为满时该位置 1。													
[5]	RO	txff	该位的含义由 UART_LCR_H[FEN] 的状态决定。 如果 UART_LCR_H[fen] 为 0，则当发送 holding register 满时该位置 1； 如果 UART_LCR_H[fen] 为 1，当发送 FIFO 为满时该位置 1。													
[4]	RO	rxfe	该位的含义由 UART_LCR_H[FEN] 的状态决定。 如果 UART_LCR_H[fen] 为 0，则当接收 holding register 空时该 bit 置 1； 如果 UART_LCR_H[fen] 为 1，则当接收 FIFO 为空时该位就置 1。													
[3]	RO	busy	UART 忙闲状态位。 0: UART 空闲或者完成发送数据； 1: UART 正忙于发送数据。 该位一旦置位，该状态一直保持到整个字节（包括所有的停止位）完全从移位寄存器中发送出去。 一旦发送 FIFO 非空该位就置位，不管 UART 使用与否。													
[2:0]	-	reserved	保留。													



UART_IBRD

UART_IBRD 为整数波特率寄存器。

Offset Address		Register Name		Total Reset Value												
0x024		UART_IBRD		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	baud divint															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:0]	RW	baud divint	整数波特率分频值。复位时全部清 0。													

UART_FBRD

UART_FBRD 为小数波特率寄存器。



注意

- 整数波特率寄存器和小数波特率寄存器的值必须等到当前数据发送和接收完毕才能更新。
- 最小的分频值为 1，最大的分频值为 65535 ($2^{16}-1$)。即 `UART_IBRD=0` 是无效的，而此时 `UART_FBRD` 将被忽略。同样，如果 `UART_IBRD=65535 (0xFFFF)`，`UART_FBRD` 就只能是 0，如果比 0 大，则会导致发送和接收的失败。
- 假设 `UART_FBRD=0x1E`、`UART_IBRD=0x01`，这就表示分频系数的整数部分为 30，小数部分为 0.015625，整个分频系数为 30.015625。
- $\text{UART 的波特率} = \text{内部总线频率} / (16 \times \text{分频系数}) = \text{内部总线频率} / (16 \times 30.015625)$ 。

Offset Address		Register Name		Total Reset Value				
0x028		UART_FBRD		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved			baud divfrac				
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RW	band divfrac	小数波特率分频值。复位时全部清 0。					



UART_LCR_H

UART_LCR_H 为传输模式控制寄存器，UART_LCR_H、UART_IBRD、UART_FBRD 组成一个 30bit 宽的寄存器。如果更新 UART_IBRD 和 UART_FBRD 的内容，必须同时更新 UART_LCR_H。

	Offset Address						Register Name						Total Reset Value					
	0x02C						UART_LCR_H						0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved						sps	wlen	fen	stp2	eps	pen	brk					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access	Name	Description															
[15:8]	-	reserved	保留。															
[7]	RW	sps	校验选择。 当本寄存器的 bit[1]、bit[2]、bit[7]被置位时，校验位就会作为 0 发送和检测； 当本寄存器的 bit[1]、bit[7]被置位，bit[2]为 0 时，校验位就会作为 1 发送和检测。 当 bit[1]、bit[2]、bit[7]都清 0，则 stick parity 禁止。															
[6:5]	RW	wlen	指示发送和接收一个帧里数据比特的数目。 00: 5bit; 01: 6bit; 10: 7bit; 11: 8bit。															
[4]	RW	fen	发送和接收 FIFO 使能控制。 0: 发送和接收 FIFO 禁止； 1: 发送和接收 FIFO 使能。															
[3]	RW	stp2	发送帧尾 2bit 停止位判断。 0: 发送的帧尾没有 2bit 停止位； 1: 发送的帧尾有 2bit 停止位。 接收逻辑在接收时不检查 2bit 的停止位。															
[2]	RW	eps	发送和接收过程中的奇偶校验选择。 0: 在发送和接收过程中生成奇校验或检查奇校验； 1: 在发送和接收过程中生成偶校验或检查偶校验。 当 UART_LCR_H[fen]为 0 时，该位不起作用。															



[1]	RW	pen	校验选择位。 0: 不作校验; 1: 发送方向产生校验, 接收方向作校验检查。
[0]	RW	brk	发送 break。 0: 无效; 1: 在完成当前数据的发送后, UTXD 连续输出低电平。 注意: 要正确的执行 break 命令, 软件将该位置 1 的时间必须超过 2 个完整帧; 在正常使用中, 该位必须清 0。

UART_CR

UART_CR 为 UART 控制寄存器。

配置 UART_CR 遵循以下步骤:

1. 向 UART_CR[uarten]写 0, 禁止 UART。
2. 等待当前数据发送或接收结束。
3. 将 UART_LCR_H[fen]清 0。
4. 配置 UART_CR。
5. 向 UART_CR[uarten]写 1, 使能 UART。

----结束

	Offset Address 0x030				Register Name UART_CR				Total Reset Value 0x0300							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ctsen	rtsen	reserved		rts	dtr	rx	txe	lbe				reserved			uarten
Reset	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description											
	[15]	RW	ctsen		CTS 硬件流控使能。 0: 不使能 CTS 硬件流控; 1: 使能 CTS 硬件流控, 只有当 nUARTCTS 信号有效时才发送数据。											



[14]	RW	rtsen	RTS 硬件流控使能。 0: 不使能 RTS 硬件流控; 1: 使能 RTS 硬件流控, 只有当接收 FIFO 有空间时才请求接收数据。
[13:12]	-	reserved	保留。
[11]	RW	rts	请求发送。 该 bit 为 UART modem 状态输出信号 nUARTRTS 的取反。 0: 输出信号不变; 1: 即该 bit 配置为 1, 则输出信号为 0。
[10]	RW	dtr	数据发送准备。 该 bit 为 UART modem 状态输出信号 nUARTDTR 的取反。 0: 输出信号不变; 1: 即该 bit 配置为 1, 则输出信号为 0。
[9]	RW	rxen	UART 接收使能。 0: 禁止; 1: 使能。 在接收的过程中如果 UART 被禁止, 则当前数据的接收就会在正常停止之前结束。
[8]	RW	txen	UART 发送使能。 0: 禁止; 1: 使能。 在发送的过程中如果 UART 被禁止, 则当前数据的发送就会在正常停止之前结束。
[7]	RW	lbe	环回使能。 0: 禁止; 1: UARTTXD 输出环回到 UARTRXD。
[6:1]	-	reserved	保留。
[0]	RW	uarten	UART 使能。 0: 禁止; 1: 使能。 如果在发送和接收过程中将 UART 禁止, 则会在正常停止之前结束当前数据的传送。



UART_IFLS

UART_IFLS 为中断 FIFO 阈值选择寄存器，用于设置 FIFO 的中断（UART_TXINTR 或 UART_RXINTR）触发线。

	Offset Address						Register Name						Total Reset Value			
	0x034						UART_IFLS						0x0012			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved									rxifsel			txifsel			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access		Name		Description											
[15:6]	-		reserved		保留。											
[5:3]	RW		rxifsel		接收中断 FIFO 的阈值选择，接收中断的触发点如下。 000: 接收 FIFO $\geq 1/8full$; 001: 接收 FIFO $\geq 1/4full$; 010: 接收 FIFO $\geq 1/2full$; 011: 接收 FIFO $\geq 3/4full$; 100: 接收 FIFO $\geq 7/8full$; 101~111: 保留。											
[2:0]	RW		txifsel		发送中断 FIFO 的阈值选择，发送中断的触发点如下。 000: 发送 FIFO $\leq 1/8full$; 001: 发送 FIFO $\leq 1/4full$; 011: 发送 FIFO $\leq 3/4full$; 010: 发送 FIFO $\leq 1/2full$; 100: 发送 FIFO $\leq 7/8full$; 101~111: 保留。											

UART_IMSC

UART_IMSC 为中断屏蔽寄存器，用于屏蔽中断。



		Offset Address					Register Name					Total Reset Value				
		0x038					UART_IMSC					0x0000				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeim	beim	peim	feim	rtim	txim	rxim	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:11]	-	reserved	保留。													
[10]	RW	oeim	溢出错误中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。													
[9]	RW	beim	break 错误中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。													
[8]	RW	peim	校验中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。													
[7]	RW	feim	帧错误中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。													
[6]	RW	rtim	接收超时中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。													
[5]	RW	txim	发送中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。													
[4]	RW	rxim	接收中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。													
[3:0]	-	reserved	保留。													

UART_RIS

UART_RIS 为原始中断状态寄存器，其内容不受中断屏蔽寄存器的影响。



Offset Address		Register Name								Total Reset Value						
0x03C		UART_RIS								0x0002						
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeris	beris	peris	feris	rtris	txris	rxris	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description													
[15:11]	-	reserved	保留。													
[10]	RO	oeris	原始的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[9]	RO	beris	原始的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[8]	RO	peris	原始的校验中断状态。 0: 未产生中断; 1: 已产生中断。													
[7]	RO	feris	原始的错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[6]	RO	rtris	原始的接收超时中断状态。 0: 未产生中断; 1: 已产生中断。													
[5]	RO	txris	原始的发送中断状态。 0: 未产生中断; 1: 已产生中断。													
[4]	RO	rxris	原始的接收中断状态。 0: 未产生中断; 1: 已产生中断。													
[3:0]	-	reserved	保留。													

UART_MIS

UART_MIS 为屏蔽后中断状态寄存器，其内容为原始中断状态和中断屏蔽进行“与”操作后的结果。



Offset Address		Register Name		Total Reset Value												
0x040		UART_MIS		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oemis	bemis	pemis	femis	rtmis	txmis	rxmis	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:11]	-	reserved	保留。													
[10]	RO	oemis	屏蔽后的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[9]	RO	bemis	屏蔽后的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[8]	RO	pemis	屏蔽后的校验中断状态。 0: 未产生中断; 1: 已产生中断。													
[7]	RO	femis	屏蔽后的错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[6]	RO	rtmis	屏蔽后的接收超时中断状态。 0: 未产生中断; 1: 已产生中断。													
[5]	RO	txmis	屏蔽后的发送中断状态。 0: 未产生中断; 1: 已产生中断。													
[4]	RO	rxmis	屏蔽后的接收中断状态。 0: 未产生中断; 1: 已产生中断。													
[3:0]	-	reserved	保留。													

UART_ICR

UART_ICR 为中断清除寄存器，写 1 时相应的中断被清除，写 0 则不起作用。



		Offset Address					Register Name					Total Reset Value					
		0x044					UART_ICR					0x0000					
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved					oeic	beic	peic	feic	rtic	txic	rxic	reserved			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name					Description										
[15:11]	-	reserved					保留。										
[10]	WO	oeic					清除溢出错误中断。 0: 无效; 1: 清除中断。										
[9]	WO	beic					清除 break 错误中断。 0: 无效; 1: 清除中断。										
[8]	WO	peic					清除校验中断。 0: 无效; 1: 清除中断。										
[7]	WO	feic					清除错误中断。 0: 无效; 1: 清除中断。										
[6]	WO	rtic					清除接收超时中断。 0: 无效; 1: 清除中断。										
[5]	WO	txic					清除发送中断。 0: 无效; 1: 清除中断。										
[4]	WO	rxic					清除接收中断。 0: 无效; 1: 清除中断。										
[3:0]	-	reserved					保留。										

UART_DMCCR

UART_DMCCR 为 DMA 控制寄存器，用于配置发送 FIFO 和接收 FIFO 的 DMA 使能。



	Offset Address										Register Name			Total Reset Value		
	0x048										UART_DMAR			0x0000		
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dmaonerr	txdmae	rxdmae	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:3]	-		reserved		保留。											
[2]	RW		dmaonerr		UART 错误中断 (UARTEINTR) 出现时的接收通道 DMA 使能控制。 0: 当 UART 错误中断 (UARTEINTR) 有效时, 接收通道 DMA 的请求输出 (UARTRXDMSREQ 或 UARRTXDMABREQ) 有效; 1: 当 UART 错误中断 (UARTEINTR) 有效时, 接收通道 DMA 的请求输出 (UARTRXDMSREQ 或 UARRTXDMABREQ) 无效。											
[1]	RW		txdmae		发送 FIFO 的 DMA 使能控制。 0: 禁止; 1: 使能。											
[0]	RW		rxdmae		接收 FIFO 的 DMA 使能控制。 0: 禁止; 1: 使能。											

14.4 红外接口

14.4.1 概述

红外遥控接收单元 IR (Infrared Remoter) 通过红外接口接收红外数据。

14.4.2 特点

IR 模块具有以下特点:

- 软件可配置关闭红外遥控接收模块。
- 支持 2 种工作模式:
 - 模式 0: 支持 NEC with simple repeat code、NEC with full repeat code、SONY 和 TC9012 四种数据格式解码, 及接收数据错误检测和红外遥控唤醒等功能。



- 模式 1: 支持任意数据格式的 symbol 电平宽度检测。
- 模式 0 时, 支持接收数据帧溢出中断、接收数据帧格式错误中断、接收数据帧中断、按键释放的中断、各种中断构成的组合中断。
- 模式 1 时, 支持接收 symbol 溢出中断、接收到 symbol 中断、symbol 超时中断、各种中断构成的组合中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持中断清除和屏蔽 (写清)。
- 支持红外遥控唤醒。
- 支持参考时钟频率 1MHz~128MHz 可选, 软件可编程控制分频因子使工作时钟预分频到 1MHz。

14.4.3 功能描述

当 IR 模块接收到红外遥控器发射的红外信号时, 便对其进行解码, 然后传送给 ARM 系统。ARM 系统再根据接收到的码的不同进行相应的操作, 实现期望的功能。IR 模块连接在 ARM 子系统内的 APB 总线上, 当芯片处于低功耗状态时 (CPU 处于低频模式), IR 模块会在接收一个完整的帧数据后, 产生中断信号送给 CPU, 实现红外遥控唤醒功能。

通过对多种红外遥控器发出的信号进行分析, 发现在不同的遥控器发出的红外指令中, 引导码各不相同, 而且后面的控制指令也有较大差别, 甚至指令码的位数也不相同, 这是因为这些红外遥控器的设计没有遵循统一的红外遥控标准。尽管遵循的标准不同, 但是基本的编码思想是相同的, 都是采用不同的周期和不同占空比的脉冲分别表示 0 和 1。不同遥控器占空比可能不同, 且脉冲周期也不相同。根据这些不同, 对一些码型类似的红外数据进行分类: NEC with simple repeat code 的数据格式、NEC with full repeat code 的数据格式、TC9012 的数据格式和 SONY 的数据格式。

红外接收数据码型统计情况如表 14-5~表 14-7 所示。

表14-5 红外接收数据码型的统计表 (NEC with simple repeat code)

数据格式		NEC with simple repeat code			
		uPD6121G	D6121/BU5777/D1913	LC7461M-C13	AEHA
引导码 (10μs)	LEAD_S	900	900	900	337.6
	LEAD_E	450	450	450	168.8
bit0 (10μs)	B0_L	56	56	56	42.2
	B0_H	56	56	56	42.2
bit1 (10μs)	B1_L	56	56	56	42.2
	B1_H	169	169	169	126.6
simple repeat code (10μs)	SLEAD_S	900	900	900	337.6
	SLEAD_E	225	225	225	337.6
burst (10μs)		55	55	55	42.2



数据格式	NEC with simple repeat code			
	uPD6121G	D6121/BU5777/D1913	LC7461M-C13	AEHA
帧长 (10μs)	10800	10800	10800	8777.6~12828.8
有效数据位	32	32	42	48

表14-6 红外接收数据码型的统计表 (NEC with full repeat code)

数据格式		NEC with full repeat code						
		uPD6121G	LC7461 M-C13	MN602 4-C5D6	MN6014 -C6D6	MATNEW	MN6030	PANA SONIC
引导码 (10μs)	LEAD_S	900	900	337.6	349.2	348.8	349	352
	LEAD_E	450	450	337.6	349.2	374.4	349	352
bit0 (10μs)	B0_L	56	56	84.4	87.3	43.6	87.3	88
	B0_H	56	56	84.4	87.3	43.6	87.3	88
bit1 (10μs)	B1_L	56	56	84.4	87.3	43.6	87.3	88
	B1_H	169	169	253.2	174.6	130.8	261.9	264
simple repeat code (10μs)	SLEAD_S	无	无	无	无	无	无	无
	SLEAD_E							
burst (10μs)		55	55	84.4	87.3	43.6	87.3	88
帧长 (10μs)		10800	10800	10130	10470	12413.6~16594.4	10500	10400
有效数据位		32	42	22	24	48	22	22

表14-7 红外接收数据码型的统计表 (TC9012 和 SONY 码)

数据格式		TC9012	SONY			
		TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
引导码 (10μs)	LEAD_S	450	240	240	240	240
	LEAD_E	450	60	60	60	60
bit0 (10μs)	B0_L	56	60	60	60	60
	B0_H	56	60	60	60	60



数据格式		TC9012	SONY			
		TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
bit1 (10μs)	B1_L	56	120	120	120	120
	B1_H	169	60	60	60	60
simple repeat code (10μs)	SLEAD_S	无	无	无	无	无
	SLEAD_E					
burst (10μs)		56	无	无	无	无
帧长 (10μs)		10800	4500	4500	4500	4500
有效数据位		32	12	13	15	20

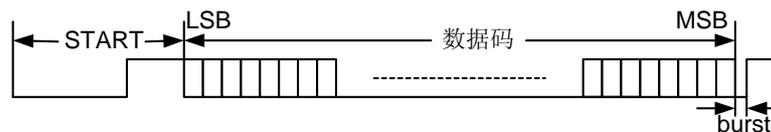
14.4.3.1 NEC with simple repeat code 数据格式

帧格式

NEC with simple repeat code 数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。

发送单个 NEC with simple repeat code 的帧格式如图 14-19 所示。

图14-19 发送单个 NEC with simple repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧仅由简化的引导码和 burst 信号组成。引导码也是由起始码（低电平）和结束码（高电平）组成，持续按键连续发送 NEC with simple repeat code 码的帧格式如图 14-20 所示。

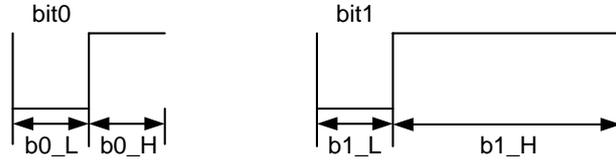
图14-20 持续按键连续发送 NEC with simple repeat code 码的帧格式



码格式

NEC with simple repeat code 的 bit0 或 bit1 定义如图 14-21 所示。

图14-21 NEC with simple repeat code 码 bit0 和 bit1 定义



NEC simple repeat code 单发代码格式和连发代码格式分别如图 14-22 和图 14-23 所示。

图14-22 NEC with simple repeat code 码单发代码格式

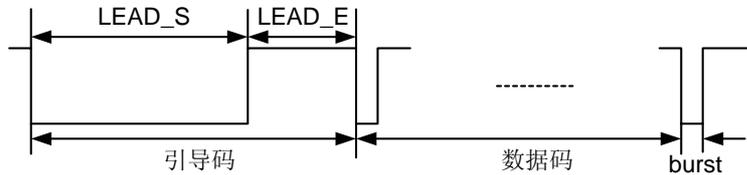


图14-23 NEC with simple repeat code 码连发代码格式



注 1：图中高低电平脉宽的宽度以及帧长均有各个具体码型决定，请参见表 14-5~表 14-7。

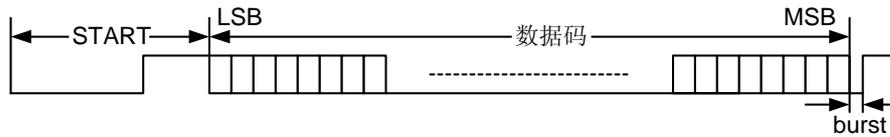
注 2：帧长不能大于 160ms，否则无法识别简化引导码。

14.4.3.2 NEC with full repeat code 数据格式

帧格式

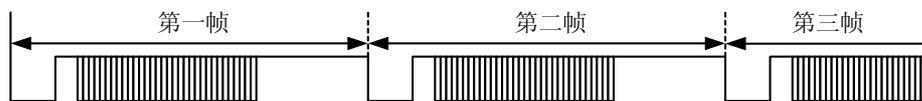
NEC with full repeat code 的数据格式是由 START（引导码）、数据码和 burst 三部分组成。START 是由一个起始码（低电平）和一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 NEC with full repeat code 帧格式如图 14-24 所示。

图14-24 发送单个 NEC with full repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧（第一帧）后，接下来收到的数据帧还是一个完整的数据帧格式（即按照帧间隔重复发送第一帧数据），持续按键连续发送 NEC with full repeat code 码的帧格式如图 14-25 所示。

图14-25 持续按键连续发送 NEC with full repeat code 码的帧格式

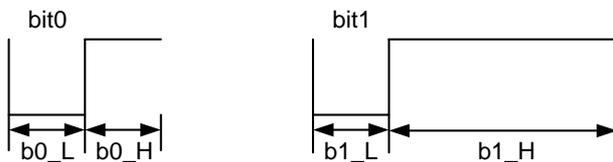


通过图 14-24 和图 14-25 可以看出：NEC with simple repeat code 与 NEC with full repeat code 唯一不同之处就是重复帧的格式，NEC with simple repeat code 发送的是简化的引导码，而 NEC with full repeat code 发送的是完整帧格式，第一帧和重复帧完全相同。

码格式

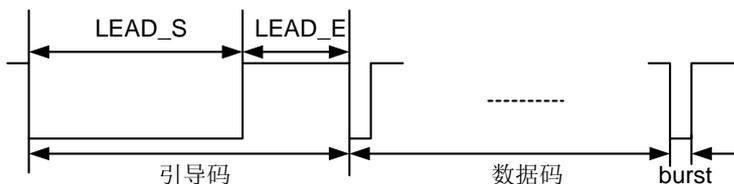
NEC with full repeat code 码 bit0 或 bit1 定义如图 14-26 所示。

图14-26 NEC with full repeat code 码 bit0 和 bit1 定义



NEC with full repeat code 码单发代码格式如图 14-27 所示。

图14-27 NEC with full repeat code 码单发代码格式



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定，请参见表 14-5~表 14-7。



14.4.3.3 TC9012 数据格式

帧格式

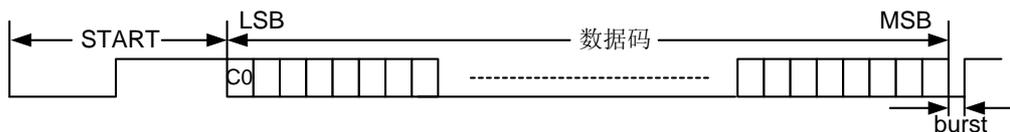


注意

根据 TC9012 码的数据格式特点，所有按键编码的第一位都必须全是 1 或者全是 0，否则会产生不需要的持续按键帧。

TC9012 的数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 TC9012 码的帧格式如图 14-28 所示。

图14-28 发送单个 TC9012 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧后，接下来收到的数据帧由引导码、一个数据位和 burst 信号三部分组成。引导码也是由起始码（低电平）和结束码（高电平）组成；该数据位是上一帧接收的第一个数据位（C0）的反码。发送连续 TC9012 码的帧格式如图 14-29 所示。

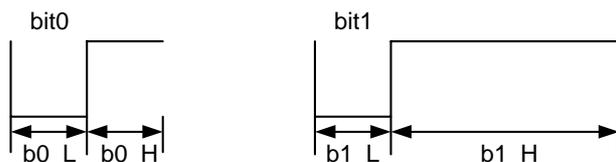
图14-29 持续按键连续发送 TC9012 码的帧格式



码格式

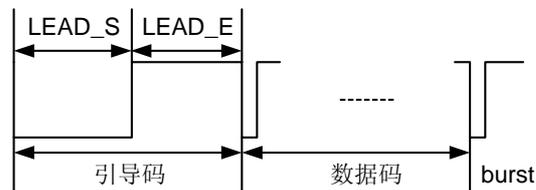
TC9012 码 bit0 或 bit1 定义如图 14-30 所示。

图14-30 TC9012 码 bit0 和 bit1 定义



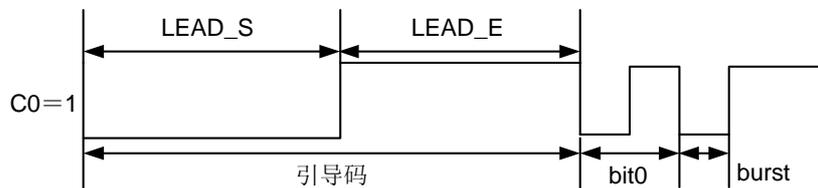
TC9012 码单发代码格式如图 14-31 所示。

图14-31 TC9012 码单发代码格式



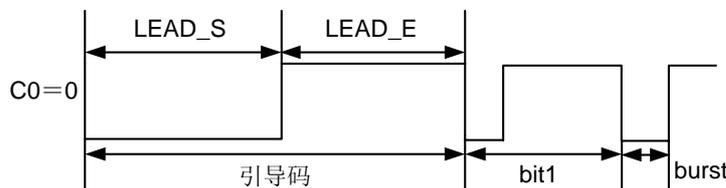
C0=1 时，TC9012 码连发代码格式如图 14-32 所示。

图14-32 TC9012 码连发代码格式 (C0=1)



C0=0 时，TC9012 码连发代码格式如图 14-33 所示。

图14-33 TC9012 码连发代码格式 (C0=0)



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 14-5~表 14-7。另外值得注意的是帧长不能大于 160ms，否则无法识别重复帧。

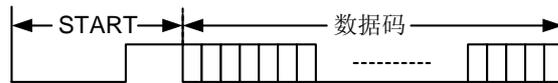
14.4.3.4 SONY 的数据格式

帧格式

SONY 码数据格式是由 START（引导码）和数据码两部分组成。其中 START 由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的。发送单个 SONY 码帧格式如图 14-34 所示。

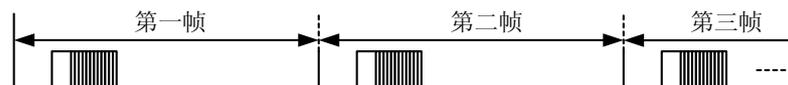


图14-34 发送单个 SONY 帧格式



如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧还是一个完整的数据帧格式。持续按键连续发送 SONY 码帧格式如图 14-35 所示。

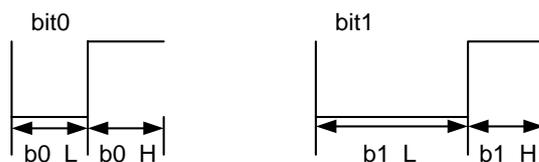
图14-35 持续按键连续发送 SONY 码帧格式



码格式

SONY 码 bit0 或 bit1 定义如图 14-36 所示。

图14-36 bit0 和 bit1 定义



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 14-5～表 14-7。

14.4.4 工作方式

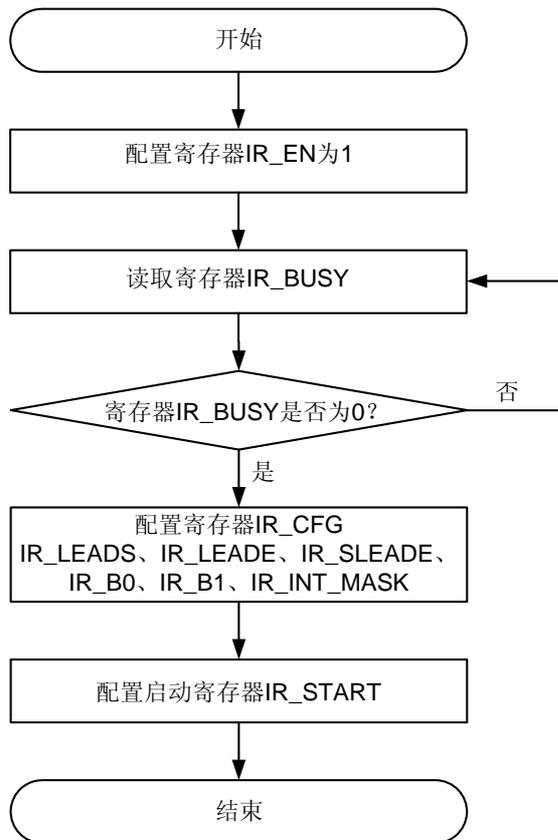
软复位

配置 CRG 寄存器 CRG_PERCTRL57[ir_srst_req]为 1，对 IR 模块单独软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

寄存器配置实例

IR 模块初始化操作流程如图 14-37 所示。

图14-37 IR 模块初始化操作流程

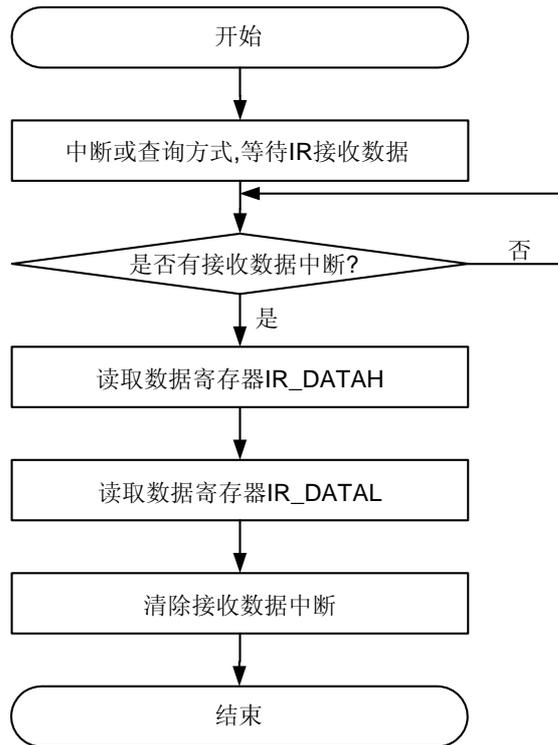


IR 模块初始化操作流程如下：

1. 选中 IR 模块地址空间，开始 IR 初始化配置操作。
2. 配置 `IR_EN` bit[0]为 1，打开 IR 接收模块。
3. 读 `IR_BUSY`，判断 IR 模块配置的当前状态。
 - 若读取的值为 1，表明 IR 模块处于配置忙状态，则继续查询 `IR_BUSY`（注意：此时软件不要对 IR 模块的其他控制寄存器进行配置，否则配置无效）。
 - 若读取的值为 0，表明 IR 模块处于配置空闲状态，则执行 4。
4. 配置 `IR_CFG`、`IR_LEADS`、`IR_LEADE`、`IR_SLEADE`、`IR_B0`、`IR_B1`、`IR_INT_MASK`。注意：用户可以根据需要更新相应寄存器，如果不更新，则寄存器保持原值。
5. 配置 `IR_START`。必须要等所有的 IR 控制寄存器都配置完成后，才能配置 `IR_START`，因为它被用来产生启动信号，只要对其进行配置，IR 模块就会根据控制寄存器的值进行红外数据接收。

----结束

图14-38 读取解码数据的操作流程



读取解码数据的操作流程如下：

1. 选中 IR 模块地址空间。
2. 中断或查询方式等待接收数据帧。
 - 中断方式下，当 CPU 接收到 IR 模块的中断请求信号时，查询 [IR_INT_STATUS\[intms_rcv\]](#) 的值。若读取的值为 1 表明 IR 模块接收到一个数据帧，执行 3；若读取的值为 0，重新执行 2，继续等待中断。
 - 查询方式下，软件不停（或每间隔一定时间）读取 [IR_INT_STATUS\[intrs_rcv\]](#) 的值，若读取的值为 1 表明 IR 模块接收到一个数据帧，执行 3；若读取的值为 0 时，表明 IR 模块尚未接收到数据帧，重新执行 2，继续查询。
3. 读取数据寄存器 [IR_DATAH](#)。（如果一帧内的数据位数不大于 32 位，可以省略此步骤）
4. 读取数据寄存器 [IR_DATAL](#)。
5. 清除接收数据中断。

----结束

14.4.5 寄存器概览

IR 寄存器概览如表 14-8 所示。



表14-8 IR 寄存器概览（基址是 0x2007_0000）

偏移地址	名称	描述	页码
0x000	IR_EN	IR 接收使能控制寄存器	14-62
0x004	IR_CFG	IR 配置寄存器	14-62
0x008	IR_LEADS	引导码起始位裕量配置寄存器	14-64
0x00C	IR_LEADE	引导码结束位裕量配置寄存器	14-65
0x010	IR_SLEADE	简化引导码结束位裕量配置寄存器	14-66
0x014	IR_B0	数据 0 的判断电平裕量配置寄存器	14-67
0x018	IR_B1	数据 1 的判断电平裕量配置寄存器	14-68
0x01C	IR_BUSY	配置忙标志寄存器	14-69
0x020	IR_DATAH	IR 接收解码数据的高 16 位寄存器（当 IR_CFG[ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG[ir_mode]=1 时）	14-70
0x024	IR_DATAH	IR 接收解码数据的低 32 位寄存器（当 IR_CFG[ir_mode]=0 时）或 IR 模块接收到的 symbol 宽度寄存器（当 IR_CFG[ir_mode]=1 时）	14-70
0x028	IR_INT_MASK	IR 中断屏蔽寄存器	14-71
0x02C	IR_INT_STATUS	IR 中断状态寄存器	14-73
0x030	IR_INT_CLR	IR 中断清除寄存器	14-75
0x034	IR_START	IR 启动配置寄存器	14-77

14.4.6 寄存器描述

IR_EN

IR_EN 为 IR 接收使能控制寄存器。



注意

软件必须先配置寄存器 IR_EN[ir_en]=1，才能配置其他寄存器，否则配置无效。当寄存器 IR_EN[ir_en]=0 时，其他寄存器只可读不可写，且读出值为寄存器的复位值。



	Offset Address				Register Name				Total Reset Value																							
	0x000				IR_EN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ir_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	-	reserved		保留。																											
	[0]	RW	ir_en		IR 接收模块的使能。 0: 关闭 IR 接收模块; 1: 打开 IR 接收模块。																											

IR_CFG

IR_CFG 为 IR 配置寄存器。



注意

必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值。

IR 支持的参考时钟频率为 1MHz~128MHz，其与分频因子 `ir_freq` 的对应关系是：

- 当参考时钟频率为 1MHz 时，分频因子 `ir_freq` 需配置为 0x00。
- 当参考时钟频率为 128MHz 时，分频因子 `ir_freq` 需配置为 0x7F。

当 IR 的参考时钟为 1MHz~128MHz 内的非整数倍频率时，选用四舍五入的方法选择相应的分频因子。举例：参考时钟为 12.1MHz，选用分频因子为 0x0B；参考时钟为 12.8MHz，选用分频因子为 0x0C。

对于频偏和计数偏差的关系：基频 f ，频率变化 Df ，则频偏率 $ratio=Df/f$ ；计数器计数偏差 $Dcnt$ ；判断电平宽度 s (μs 为单位)，则计数偏差： $Dcnt = \lceil 0.1 \times s \times ratio \rceil$ 。所以在时钟有频偏的情况下，参数值的有效范围要移位，如果频率上升，相应的裕量值应改为： $[min+Dcnt, max+Dcnt]$ ，其中 min 和 max 为无偏移时的裕量值；如果频率下降，相应的裕量值应改为： $[min-Dcnt, max-Dcnt]$ 。以引导码的起始位裕量举例来说：假如基频为 100MHz，频率上漂 0.1MHz，那么 $ratio=0.1/100=0.001$ ，设 $s=9000 \mu s$ ，则 $Dcnt = \lceil 0.1 \times 9000 \times 0.001 \rceil = 1$ ，则 `ir_leads` 的裕量值应改为 $[0x033D, 0x3CD]$ 。



	Offset Address 0x004								Register Name IR_CFG								Total Reset Value 0x3E80_1F0B															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ir_max_level_width								ir_format				ir_bits				ir_mode				ir_freq											
Reset	0	0	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	1	0	1	1
	Bits	Access	Name	Description																												
	[31:16]	RW	ir_max_level_width	当 IR_CFG[ir_mode]=0 时，无效； 当 IR_CFG[ir_mode]=1 时，表示 symbol 的最大电平宽度（单位 10 μs），用以确定一个 symbol stream 结束。																												
	[15:14]	RW	ir_format	当 IR_CFG[ir_mode]=0 时，表示数据码型。 00: NEC with simple repeat code 的数据格式； 01: TC9012 的数据格式； 10: NEC with full repeat code 的数据格式； 11: SONY 的数据格式。 关于具体码型属于哪类码族，请参见表 14-5~表 14-7。 当 IR_CFG[ir_mode]=1 时，表示 symbol 格式。 bit[15]: 保留； bit[14]的含义如下： 0: symbol 的格式为先低后高，symbol stream 结束在高电平； 1: symbol 的格式为先高后低，symbol stream 结束在低电平。																												
	[13:8]	RW	ir_bits	当 IR_CFG[ir_mode]=0 时，表示一帧内的数据位数。 0x00~0x2F: 分别对应一帧内包含 1~48 个数据位； 0x30~0x3F: 保留。 如果软件对该域配置 0x30~0x3F 范围内的值，则配置无效，ir_bits 保持原值不变。 当 IR_CFG[ir_mode]=1 时，表示接收到 symbol 的中断水线。 bit[13]: 保留； bit[12:8]: 0x0~0x1F: 分别对应 FIFO 中至少有 1~32 个 symbol 时报中断。																												
	[7]	RW	ir_mode	IR 工作模式。 0: 输出解码后的完整数据帧； 1: 只输出 symbol 宽度。																												
	[6:0]	RW	ir_freq	工作时钟分频因子。 0x00~0x7F 分别对应工作时钟分频因子 1~128。																												



IR_LEADS

IR_LEADS 为引导码起始位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。



注意

必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。

为了准确判断引导码的起始位，需要在具体码型的典型值左右考虑一定的裕量，具体码型的典型值请参见表 14-5~表 14-7 中 LEAD_S 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD_S 的典型值为 900，那么相应的 cnt_leads_min=900 x 92%=828=0x33C，cnt_leads_max=900 x 108%=972=0x3CC。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD_S 的典型值为 240，那么相应的 cnt_leads_min=240 x 80%=192=0xC0，cnt_leads_max=240 x 120%=288=0x120。

基本的配置原则：cnt_leads_max 不小于 cnt_leads_min，并且 cnt_leads_min 大于 cnt0_b_max 和 cnt1_b_max

Offset Address		Register Name		Total Reset Value					
0x008		IR_LEADS		0x033C_03CC					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cnt_leads_min		reserved		cnt_leads_max		
Reset	0 0 0 0	0 0 1 1	0 0 1 1	1 1 0 0	0 0 0 0	0 0 1 1	1 1 0 0	1 1 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	cnt_leads_min	引导码起始位的最小脉宽。 0x000~0x007：保留。						
[15:10]	-	reserved	保留。						
[9:0]	RW	cnt_leads_max	引导码起始位的最大脉宽。 0x000~0x007：保留。						

IR_LEADE

IR_LEADE 为引导码结束位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。



注意

- 必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，其 `cnt_sleade` 的裕量范围和 `cnt_leade` 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。

为了准确判断引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 8%。具体码型的典型值请参见表 14-5~表 14-7 中 LEAD_E 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD_E 的典型值为 450，那么相应的 `cnt_leade_min=450 x 92%=414=0x19E`，`cnt_leade_max=450 x 108%=486=0x1E6`。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD_E 的典型值为 60，那么相应的 `cnt_leade_min=60 x 80%=48=0x030`，`cnt_leade_max=60 x 120%=72=0x048`。

基本的配置原则是：`cnt_leade_max` 不小于 `cnt_leade_min` 的值。

	Offset Address 0x00C								Register Name IR_LEADE								Total Reset Value 0x019E_01E6															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt_leade_min								reserved				cnt_leade_max															
Reset	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0
	Bits	Access	Name		Description																											
	[31:25]	-	reserved		保留。																											
	[24:16]	RW	cnt_leade_min		引导码结束位的最小脉宽。 0x000~0x007：保留。																											
	[15:9]	-	reserved		保留。																											
	[8:0]	RW	cnt_leade_max		引导码结束位的最大脉宽。 0x000~0x007：保留。																											

IR_SLEADE

IR_SLEADE 为简化引导码结束位裕量配置寄存器（只在 `IR_CFG[ir_mode]=0` 时使用）。



注意

- 必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，`cnt_sleade` 的裕量范围和 `cnt_leade` 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。
- 对于 NEC with simple repeat code 的数据格式，才需配置此寄存器；对于其他格式，无需配置此寄存器。

为了准确判断简化引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量。具体码型的典型值请参见表 14-5~表 14-7 中 `SLEAD_E` 的值。

- 对于典型值不小于 225（其精度为 10 μ s）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 `SLEAD_E` 的典型值为 225，那么相应的 `cnt_sleade_min=225 x 92%=207=0xCF`，`cnt_sleade_max=225 x 108%=243=0xF3`。
- 对于典型值小于 225（其精度为 10 μ s）的脉宽，建议裕量范围设为典型值的 20%。举例说明：比如某种码型其 `SLEAD_E` 的典型值为 60，那么相应的 `cnt_sleade_min=60 x 80%=48=0x30`，`cnt_sleade_max=60 x 120%=72=0x48`。

基本的配置原则是：`cnt_sleade_max` 不小于 `cnt_sleade_min` 的值。

	Offset Address 0x010								Register Name IR_SLEADE								Total Reset Value 0x00CF_00F3															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt_sleade_min								reserved				cnt_sleade_max															
Reset	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1
	Bits	Access	Name		Description																											
	[31:25]	-	reserved		保留。																											
	[24:16]	RW	cnt_sleade_min		简化引导码结束位的最小脉宽。 0x000~0x007：保留。																											
	[15:9]	-	reserved		保留。																											
	[8:0]	RW	cnt_sleade_max		简化引导码起始位的最大脉宽。 0x000~0x007：保留。																											

IR_B0

`IR_B0` 为数据 0 的判断电平裕量配置寄存器（只在 `IR_CFG[ir_mode]=0` 时使用）。



注意

- 必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit0，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码型，其包含的具体码型的典型值请参见表 14-5~表 14-7 中 `B0_H` 的值。举例说明：D6121 码型，其 `B0_H` 的典型值为 56（其精度为 10μs），那么相应的 `cnt0_b_min=56 x 80%=45=0x2D`，`cnt0_b_max=56 x 120%=67=0x43`。
- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 14-5~表 14-7 中 `B0_L` 的值。举例说明：SONY-D7C5 码型，其 `B0_L` 的典型值为 60（其精度为 10μs），那么相应的 `cnt0_b_min=60 x 80%=48=0x30`，`cnt0_b_max=60 x 120%=72=0x48`。

基本的配置原则是：`cnt0_b_max` 不小于 `cnt0_b_min` 的值。

	Offset Address 0x014								Register Name IR_B0								Total Reset Value 0x002D_0043															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt0_b_min								reserved				cnt0_b_max															
Reset	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1
Bits	Access		Name		Description																											
[31:25]	-		reserved		保留。																											
[24:16]	RW		cnt0_b_min		bit0 判断电平的最小脉宽。 0x000~0x007：保留。																											
[15:9]	-		reserved		保留。																											
[8:0]	RW		cnt0_b_max		bit0 判断电平的最大脉宽。 0x000~0x007：保留。																											

IR_B1

IR_B1 为数据 1 的判断电平裕量配置寄存器（只在 `IR_CFG[ir_mode]=0` 时使用）。



注意

- 必须在确保 `IR_BUSY[0]=0` 并且 `IR_EN[0]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit1，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码族，其包含的具体码型的典型值请参见表 14-5~表 14-7 中 B1_H 的值。举例说明：D6121 码型，其 B1_H 的典型值为 169（其精度为 10μs），那么相应的 `cnt1_b_min=169 x 80%=135=0x87`，`cnt1_b_max=169 x 120%=203=0xCB`。
- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 14-5~表 14-7 中 B1_L 的值。举例说明：SONY-D7C5 码型，其 B1_L 的典型值为 120（其精度为 10μs），那么相应的 `cnt1_b_min=120 x 80%=96=0x60`，`cnt1_b_max=120 x 120%=144=0x90`。

基本的配置原则是：`cnt1_b_max` 不小于 `cnt1_b_min` 的值。

	Offset Address				Register Name								Total Reset Value																			
	0x018				IR_B1								0x0087_00CB																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt1_b_min								reserved				cnt1_b_max															
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	1
Bits	Access		Name		Description																											
[31:25]	-		reserved		保留。																											
[24:16]	RW		cnt1_b_min		bit1 判断电平的最小脉宽。 0x000~0x007：保留。																											
[15:9]	-		reserved		保留。																											
[8:0]	RW		cnt1_b_max		bit1 判断电平的最大脉宽。 0x000~0x007：保留。																											

IR_BUSY

IR_BUSY 为配置忙标志寄存器。



Offset Address		Register Name		Total Reset Value					
0x01C		IR_BUSY		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								ir_busy
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	ir_busy	忙状态标志。 0: 空闲状态, 软件可以配置数据; 1: 忙状态, 软件不可以配置数据。						

IR_DATAH

IR_DATAH 为 IR 接收解码数据的高 16 位寄存器（当 IR_CFG[ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG[ir_mode]=1 时）。

IR_DATAH 是接收到的解码数据的高 16 位，IR_DATAH 是接收到的解码数据的低 32 位。具体哪些数据位有效取决于具体码型一帧内包含的有效数据位数，请参见表 14-5~表 14-7 的有效数据位。

数据存储原则：按照由高到低的顺序存储在 IR_DATAH 和 IR_DATAH 中（MSB……LSB），先存满 IR_DATAH，然后再存放 IR_DATAH，未用到的高位作为保留位。软件读取数据的顺序必须是：先读 IR_DATAH，然后再读 IR_DATAH。

对于具体每个数据位表示的含义，硬件不做判断，仅负责接收所有数据位，最终由软件统一处理。

Offset Address		Register Name		Total Reset Value					
0x020		IR_DATAH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved				ir_datah				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



	Offset Address				Register Name				Total Reset Value																											
	0x020				IR_DATAH				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ir_datah																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[15:0]	RO	ir_datah		当 IR_CFG [ir_mode]=0 时，表示接收到的解码数据的高 16 位数据。 当 IR_CFG [ir_mode]=1 时，表示 symbol FIFO 中的 symbol 个数。 bit[15:6]: 保留； bit[5:0]: symbol FIFO 中的 symbol 个数。																															

IR_DATAH

IR_DATAH 为 IR 接收解码数据的低 32 位寄存器（当 **IR_CFG**[ir_mode]=0 时）或，IR 模块接收到的 symbol 宽度寄存器（当 **IR_CFG**[ir_mode]=1 时）。



Offset Address		Register Name		Total Reset Value				
0x024		IR_DATAL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ir_datal							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	ir_datal	<p>当 IR_CFG[ir_mode]=0 时，表示接收到的解码数据的低 32 位数据。</p> <p>当 IR_CFG[ir_mode]=1 时，表示 IR 模块接收到的 symbol 宽度。</p> <p>bit[31:16]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）。</p> <p>bit[15:0]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）。</p>					

IR_INT_MASK

IR_INT_MASK 为 IR 中断屏蔽寄存器。



注意

- 必须在确保 **IR_EN**[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值。
- 如果中断全部屏蔽后，无法支持红外遥控唤醒功能。
- **IR_CFG**[ir_mode]=0 时，**IR_INT_MASK** bit[3:0]有效；**IR_CFG**[ir_mode]=1 时，**IR_INT_MASK** bit[18:16]有效。

涉及到的中断定义如下：

- 接收数据溢出中断
如果 CPU 没有及时响应取走当前帧的数据，而下一帧数据也已经收到的情况，下一帧数据将会覆盖当前帧数据，同时上报屏蔽前接收数据溢出错中断请求。
- 接收数据帧格式错误中断



如果接收到的数据帧不完整以及数据脉宽不满足裕量范围，则会上报屏蔽前的接收帧格式错误中断请求。

- 接收到数据帧中断

当接收到一个完整的数据帧后，则会上报屏蔽前接收到数据帧中断请求。

- 支持按键释放的检测中断

对于 NEC with simple repeat code 和 TC9012 码族的数据格式，在检测到一个有效起始同步码之后的 160ms 内，如果没有再次检测到起始同步码，或者检测到非简化引导码而是有效数据帧时，则会上报屏蔽前遥控器按键释放中断。对于 NEC with full repeat code 和 SONY 两种码制不支持按键释放中断。

- 接收 symbol 溢出中断

如果 CPU 没有及时响应取走数据，导致 symbol FIFO 满，而下一个 symbol 已经收到，则会上报屏蔽前接收 symbol 溢出错中断请求。

- 接收到 symbol 中断

当接收到一个完整的 symbol 后，且 symbol FIFO 中的 symbol 个数超过 `IR_CFG[ir_bits]` 设置的水线，则会上报屏蔽前接收到 symbol 中断请求。

- symbol 超时中断

在接收到一个有效的 symbol 后，`IR_CFG[ir_max_level_width]` 设置的时间内没有再接收到新的 symbol 的中断请求，则会上报屏蔽前 symbol 超时中断请求。

硬件没有中断优先级仲裁，任何一个或多个屏蔽后的中断源有效，都会产生中断。

	Offset Address	Register Name	Total Reset Value
	0x028	IR_INT_MASK	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 25%; text-align: center;">reserved</div> <div style="width: 15%; text-align: center;"> intm_overrun intm_time_out intm_symb_rcv </div> <div style="width: 40%; text-align: center;">reserved</div> <div style="width: 15%; text-align: center;"> intm_release intm_overflow intm_framerr intm_rcv </div> </div>		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
	Bits	Access	Name
	[31:19]	-	reserved
	[18]	RW	intm_overrun
	[17]	RW	intm_time_out
			Description
			保留。
			当 <code>IR_CFG[ir_mode]=1</code> 时，symbol 溢出中断屏蔽。 0: 不屏蔽； 1: 屏蔽。
			当 <code>IR_CFG[ir_mode]=1</code> 时，symbol 超时中断屏蔽。 0: 不屏蔽； 1: 屏蔽。



[16]	RW	intm_symb_rcv	当 IR_CFG [ir_mode]=1 时，接收到 N 个 symbol 中断屏蔽。 0：不屏蔽； 1：屏蔽。
[15:4]	-	reserved	保留。
[3]	RW	intm_release	当 IR_CFG [ir_mode]=0 时，按键释放中断屏蔽。 0：不屏蔽； 1：屏蔽。
[2]	RW	intm_overflow	当 IR_CFG [ir_mode]=0 时，接收数据溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。
[1]	RW	intm_framerr	当 IR_CFG [ir_mode]=0 时，接收数据帧格式错误中断屏蔽。 0：不屏蔽； 1：屏蔽。
[0]	RW	intm_rcv	当 IR_CFG [ir_mode]=0 时，接收到数据帧中断屏蔽。 0：不屏蔽； 1：屏蔽。

IR_INT_STATUS

IR_INT_STATUS 为 IR 中断状态寄存器。



注意

- **IR_CFG**[ir_mode]=0 时，IR_INT_STATUS bit[3:0]和 IR_INT_STATUS bit[19:16]有效；
- **IR_CFG**[ir_mode]=1 时，IR_INT_STATUS bit[10:8]和 IR_INT_STATUS bit[26:24]有效。



Offset Address		Register Name		Total Reset Value				
0x02C		IR_INT_STATUS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	intms_overrun intms_time_out intms_symb_rcv	reserved	intms_release intms_overflow intms_framerr intms_rcv	reserved	intrs_overrun intrs_time_out intrs_symb_rcv	reserved	intrs_release intrs_overflow intrs_framerr intrs_rcv
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26]	RO	intms_overrun	当 IR_CFG [ir_mode]=1 时，屏蔽后的 symbol 溢出中断状态。 0: 无中断； 1: 有中断。					
[25]	RO	intms_time_out	当 IR_CFG [ir_mode]=1 时，屏蔽后的 symbol 超时中断状态。 0: 无中断； 1: 有中断。					
[24]	RO	intms_symb_rcv	当 IR_CFG [ir_mode]=1 时，屏蔽后的接收到 symbol 的中断状态。 0: 无中断； 1: 有中断。					
[23:20]	-	reserved	保留。					
[19]	RO	intms_release	当 IR_CFG [ir_mode]=0 时，屏蔽后的按键释放的中断状态。 0: 无中断； 1: 有中断。					
[18]	RO	intms_overflow	当 IR_CFG [ir_mode]=0 时，屏蔽后的接收数据溢出错中断状态。 0: 无中断； 1: 有中断。					
[17]	RO	intms_framerr	当 IR_CFG [ir_mode]=0 时，屏蔽后的接收数据帧格式错误中断状态。 0: 无中断； 1: 有中断。					



[16]	RO	intms_rcv	当 IR_CFG [ir_mode]=0 时，屏蔽后的接收到数据帧中断状态。 0: 无中断; 1: 有中断。
[15:11]	-	reserved	保留。
[10]	RO	intrs_overrun	当 IR_CFG [ir_mode]=1 时，屏蔽前的 symbol 溢出中断状态。 0: 无中断; 1: 有中断。
[9]	RO	intrs_time_out	当 IR_CFG [ir_mode]=1 时，屏蔽前的 symbol 超时中断状态。 0: 无中断; 1: 有中断。
[8]	RO	intrs_symb_rcv	当 IR_CFG [ir_mode]=1 时，屏蔽前的接收到 symbol 的中断状态。 0: 无中断; 1: 有中断。
[7:4]	-	reserved	保留。
[3]	RO	intrs_release	当 IR_CFG [ir_mode]=0 时，屏蔽前的按键释放的中断状态。 0: 无中断; 1: 有中断。
[2]	RO	intrs_overflow	当 IR_CFG [ir_mode]=0 时，屏蔽前的接收数据溢出错中断状态。 0: 无中断; 1: 有中断。
[1]	RO	intrs_framerr	当 IR_CFG [ir_mode]=0 时，屏蔽前的接收数据帧格式错误中断状态。 0: 无中断; 1: 有中断。
[0]	RO	intrs_rcv	当 IR_CFG [ir_mode]=0 时，屏蔽前的接收到数据帧中断状态。 0: 无中断; 1: 有中断。

IR_INT_CLR

IR_INT_CLR 为 IR 中断清除寄存器。



注意

- IR_CFG[ir_mode]=0 时，IR_INT_CLR bit[3:0]有效；
- IR_CFG[ir_mode]=1 时，IR_INT_CLR bit[18:16]有效。

Offset Address		Register Name		Total Reset Value																												
0x030		IR_INT_CLR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												intc_overrun	intc_time_out	intc_symb_rcv	reserved												intc_release	intc_overflow	intc_framerr	intc_rcv	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:19]	-	reserved	保留。																													
[18]	WC	intc_overrun	IR_CFG[ir_mode]=1 时，清除 symbol 溢出中断请求。 0: 无影响； 1: 清除。																													
[17]	WC	intc_time_out	IR_CFG[ir_mode]=1 时，清除 symbol 超时中断请求。 0: 无影响； 1: 清除。																													
[16]	WC	intc_symb_rcv	IR_CFG[ir_mode]=1 时，清除接收到 symbol 中断请求。 0: 无影响； 1: 清除。																													
[15:4]	-	reserved	保留。																													
[3]	WC	intc_release	IR_CFG[ir_mode]=0 时，清除遥控器按键释放中断请求。 0: 无影响； 1: 清除。																													
[2]	WC	intc_overflow	IR_CFG[ir_mode]=0 时，清除接收数据溢出错中断请求。 0: 无影响； 1: 清除。																													
[1]	WC	intc_framerr	IR_CFG[ir_mode]=0 时，清除接收数据帧格式错误中断请求。 0: 无影响； 1: 清除。																													



[0]	WC	intc_rcv	<p>IR_CFG[ir_mode]=0 时，清除接收到数据帧中断请求。</p> <p>0：无影响； 1：清除。</p> <p>如果接收数据帧中断请求产生后，软件未读走 IR_DATA1 中的数据就直接对本位进行写 1 操作，无法清除该中断请求。</p>
-----	----	----------	---

IR_START

IR_START 为 IR 启动配置寄存器。

在其他寄存器的值配置完成后，启动 IR 模块时，只要往该地址进行一次写操作（写操作数可以为任意值），就可以启动配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x034				IR_START				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ir_start					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	-	reserved	保留。																												
	[0]	WO	ir_start	IR 启动配置寄存器。																												

14.5 GPIO

14.5.1 概述



注意

GPIO 具体管脚个数、管脚与其他管脚复用的说明请参见 “02 硬件”，相关的控制请参见 “2.3 管脚复用控制寄存器”。

对于默认是输出信号的管脚上复用的 GPIO，请注意对接芯片和器件的管脚必须是输入。



Hi3520D 支持 9 组 GPIO (General Purpose Input/Output), 每组 GPIO 提供 8 个可编程的输入输出管脚。每个管脚可以配置为输入或者输出。这些管脚用于生成特定应用的输出信号或采集特定应用的输入信号。作为输入管脚时, GPIO 可作为中断源; 作为输出管脚时, 每个 GPIO 都可以独立地清 0 或置 1。

14.5.2 特点

GPIO 模块具有以下特点:

- 每个 GPIO 管脚均可配置为输入、输出。
 - 作为输入管脚时, 可作为中断源, 每个 GPIO 管脚都具有独立的中断控制。
 - 作为输出管脚时, 每个 GPIO 管脚都可以独立地清 0 或置 1。
- GPIO 的中断通过 [GPIO_IS](#) 等 7 个寄存器进行控制。通过这些寄存器可以选择中断源、极性以及边沿特性。GPIO 对应的中断寄存器请参见“3.3 中断系统”。
 - 当有多个中断同时发生时, 将会统一汇集成一个中断进行上报, GPIO 的中断映射关系请参见“3.3 中断系统”。
 - [GPIO_IS](#)、[GPIO_IBE](#)、[GPIO_IEV](#) 三个寄存器共同决定了中断源的特性和中断触发类别。

通过 [GPIO_RIS](#) 和 [GPIO_MIS](#) 分别读取中断的原始状态和屏蔽后的状态。通过 [GPIO_IE](#) 可以控制中断的最终上报情况。此外还提供了单独的 [GPIO_IC](#) 用于对中断状态进行清除控制。

14.5.3 功能描述

每组 GPIO 提供 8 个可编程的输入输出管脚。每个管脚可以配置为输入或者输出。这些管脚用于生成或采集特定应用的输出或输入信号。

GPIO 可以根据电平或跳变值产生可屏蔽的中断。GPIOINTR (General Purpose Input Output Interrupt) 信号给中断控制器一个指示, 表示有中断发生。

14.5.4 工作方式

接口复位

上电复位时, 所有的寄存器都被清 0, 因此管脚默认为输入。

复位信号有效时, GPIO 有如下状态:

- 通过清除 [GPIO_IE](#) 中相应的比特位使中断无效。
- 所有的寄存器被清 0。
- 所有的管脚都被配置为输入。
- 原始中断寄存器都被清 0。
- 中断被设为边沿触发的中断。

通用输入输出

每个管脚可以配置为输入或者输出, 具体步骤如下:



1. 参考“管脚复用控制寄存器”配置管脚的相应位，使能需要使用的 GPIO 管脚功能。
2. 配置寄存器 `GPIO_DIR`，选择 GPIO 是作为输入还是输出。
 - GPIO 用于输入：外部信号通过 GPIO 管脚送进来，此时可通过 `GPIO_DATA` 寄存器查看输入信号值。
注意：输入的信号会同时送到和 GPIO 复用的管脚上。
 - GPIO 用于输出：先向 `GPIO_DATA` 寄存器写入相应值后，再通过 GPIO 输出写入值。
注意：此时若已使能 GPIO 中断功能，则当输出信号满足触发条件时，也会产生中断。

----结束

中断操作

如果要产生中断，且避免假中断，则必须按照下面的初始化顺序：

1. 配置 `GPIO_IS`，选择边沿触发或电平触发。
2. 配置 `GPIO_IEV`，选择下降沿/上升沿触发和高电平/低电平触发。
3. 如果选择边沿触发，需配置 `GPIO_IBE`，选择单沿或双沿触发方式。
4. 保证 GPIO 数据线在以上操作过程中保持稳定。
5. 向寄存器 `GPIO_IC` 写 `0xFF`，清中断。
6. 配置 `GPIO_IE` 为 1，使能中断。

----结束

GPIO 的中断设置由 7 个寄存器控制。当有一个或多个 GPIO 管脚产生中断，一个组合中断输出会送到中断控制器。边沿触发和电平触发有以下不同：

- 边沿触发的中断：软件必需清除该中断以使能更深的中断。
- 电平触发的中断：外部中断源应该保持该电平直到处理器识别到该中断。

14.5.5 寄存器概览

9 组 GPIO 寄存器的基地址如表 14-9 所示。

表14-9 9 组 GPIO 寄存器对应的基地址

寄存器	基地址
GPIO8	0x201D_0000
GPIO7	0x201C_0000
GPIO6	0x201B_0000
GPIO5	0x201A_0000



寄存器	基地址
GPIO4	0x2019_0000
GPIO3	0x2018_0000
GPIO2	0x2017_0000
GPIO1	0x2016_0000
GPIO0	0x2015_0000

表 14-10 是单组 GPIO 内部寄存器的偏移地址以及定义，GPIO0~GPIO8 具有相同的寄存器组。



说明

- GPIO_n 对应的寄存器地址为：GPIO_n 基地址+该寄存器偏移地址。
- n 的取值范围：[0, 8]

表14-10 GPIO 寄存器概览

偏移地址	名称	描述	页码
0x000~0x3FC	GPIO_DATA	GPIO 数据寄存器	14-80
0x400	GPIO_DIR	GPIO 方向控制寄存器	14-81
0x404	GPIO_IS	GPIO 中断触发寄存器	14-82
0x408	GPIO_IBE	GPIO 双沿触发中断寄存器	14-82
0x40C	GPIO_IEV	GPIO 触发中断条件寄存器	14-82
0x410	GPIO_IE	GPIO 中断屏蔽寄存器	14-83
0x414	GPIO_RIS	GPIO 原始中断状态寄存器	14-83
0x418	GPIO_MIS	GPIO 屏蔽状态中断寄存器	14-84
0x41C	GPIO_IC	GPIO 中断清除寄存器	14-84

14.5.6 寄存器描述

GPIO_DATA

GPIO_DATA 为 GPIO 数据寄存器。用来对输入或输出数据进行缓存。

当配置 GPIO_DIR 中对应位为输出时，写入 GPIO_DATA 寄存器的值将会输出到相应的管脚（注意需要配置正确的管脚复用）；如果配置为输入时，将会读取相应输入管脚的值。



注意

当 **GPIO_DIR** 相应的比特配置为输入时，有效读取的结果将返回管脚的值；当配置为输出的时候，有效读取的结果将返回写入的值。

GPIO_DATA 寄存器利用 **PADDR[9:2]** 实现了读写寄存器比特的屏蔽操作。该寄存器对应 256 个地址空间。**PADDR[9:2]** 分别对应 **GPIO_DATA[7:0]**，当相应的 bit 为高时，则可以对相应的位进行读写操作；反之，若对应 bit 为低则不能进行操作。例如：

- 若地址为 0x3FC (0b11_1111_1100)，则对 **GPIO_DATA[7:0]** 这 8bit 操作全部有效。
- 若地址为 0x200 (0b10_0000_0000)，则仅对 **GPIO_DATA[7]** 的操作有效。

	Offset Address			Register Name			Total Reset Value	
	0x000~0x3FC			GPIO_DATA			0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_data							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_data	当 GPIO 配置为输入模式时，为 GPIO 输入数据；当 GPIO 配置为输出模式时，为输出数据。各比特均可独立控制。与 GPIO_DIR 配合使用。					

GPIO_DIR

GPIO_DIR 为 GPIO 方向控制寄存器。用来配置 GPIO 管脚方向。

	Offset Address			Register Name			Total Reset Value	
	0x400			GPIO_DIR			0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_dir							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_dir	GPIO 方向控制寄存器。bit[7:0] 分别对应 GPIO_DATA[7:0] ，各比特可独立控制。 0：输入； 1：输出。					



GPIO_IS

GPIO_IS 为 GPIO 中断触发寄存器。用来配置 GPIO 管脚触发电平方式。

	Offset Address			Register Name			Total Reset Value	
	0x404			GPIO_IS			0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_is							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_is	GPIO 中断触发控制寄存器，bit[7:0]分别对应 GPIO_DATA [7:0]，各比特独立控制。 0: 边沿触发中断； 1: 电平触发中断。					

GPIO_IBE

GPIO_IBE 为 GPIO 双沿触发中断寄存器。用来配置 GPIO 管脚沿触发方式。

	Offset Address			Register Name			Total Reset Value	
	0x408			GPIO_IBE			0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_ibe							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ibe	GPIO 中断沿触发控制寄存器，bit[7:0]分别对应 GPIO_DATA [7:0]，各比特独立控制。 0: 单边沿触发中断，具体是上升沿还是下降沿触发由 GPIO_IEV 控制； 1: 双边触发中断。					

GPIO_IEV

GPIO_IEV 为 GPIO 触发中断条件寄存器。用来配置 GPIO 管脚触发中断条件。



Offset Address		Register Name				Total Reset Value		
0x40C		GPIO_IEV				0x00		
Bit	7	6	5	4	3	2	1	0
Name	gpio_iev							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_iev	GPIO 触发中断条件寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0：下降沿或低电平触发中断； 1：上升沿或高电平触发中断。					

GPIO_IE

GPIO_IE 为 GPIO 中断屏蔽寄存器。用来屏蔽 GPIO 管脚中断。

Offset Address		Register Name				Total Reset Value		
0x410		GPIO_IE				0x00		
Bit	7	6	5	4	3	2	1	0
Name	gpio_ie							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ie	GPIO 中断屏蔽寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0：屏蔽中断； 1：不屏蔽中断。					

GPIO_RIS

GPIO_RIS 为 GPIO 原始中断状态寄存器。用来查询 GPIO 管脚原始中断状态。



Offset Address		Register Name					Total Reset Value	
0x414		GPIO_RIS					0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_ris							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_ris	GPIO 原始中断寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，指示未屏蔽的中断状态。该 状态不受 GPIO_IE 寄存器屏蔽控制。 0：已发生中断； 1：未发生中断。					

GPIO_MIS

GPIO_MIS 为 GPIO 屏蔽状态中断寄存器。用来查询 GPIO 管脚屏蔽后的中断状态。

Offset Address		Register Name					Total Reset Value	
0x418		GPIO_MIS					0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_mis							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_mis	GPIO 屏蔽后中断寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，指示经屏蔽后的中断状态。 该状态受 GPIO_IE 寄存器屏蔽控制。 0：中断无效； 1：中断有效。					

GPIO_IC

GPIO_IC 为 GPIO 中断清除寄存器。用来清除 GPIO 管脚产生的中断，同时清除 [GPIO_RIS](#) 寄存器和 [GPIO_MIS](#) 寄存器。



	Offset Address 0x41C			Register Name GPIO_IC			Total Reset Value 0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_ic							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	WC	gpio_ic	GPIO 中断清除寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特可独立控制。 0：无影响； 1：清除中断。					

14.6 USB 2.0 Host

14.6.1 概述

USB 2.0 Host 控制器支持 High-speed (480Mbit/s)、Full-speed (12Mbit/s) 和 Low-speed (1.5Mbit/s) 三种数据传输。USB 2.0 Host 控制器支持 USB 2.0、OHCI Rev 1.0a 和 EHCI Rev 1.0 协议。USB 2.0 Host 控制器中包含一个 Root Hub (USB 系统中的一部分，通过 Hub 可以扩展 USB 接口)。USB 2.0 Host 控制器的特性如下：

- 完成对传输的控制和处理
- 对数据包的解析和打包
- 对 USB 传输信号的编码和解码
- 为驱动程序提供了中断向量等接口

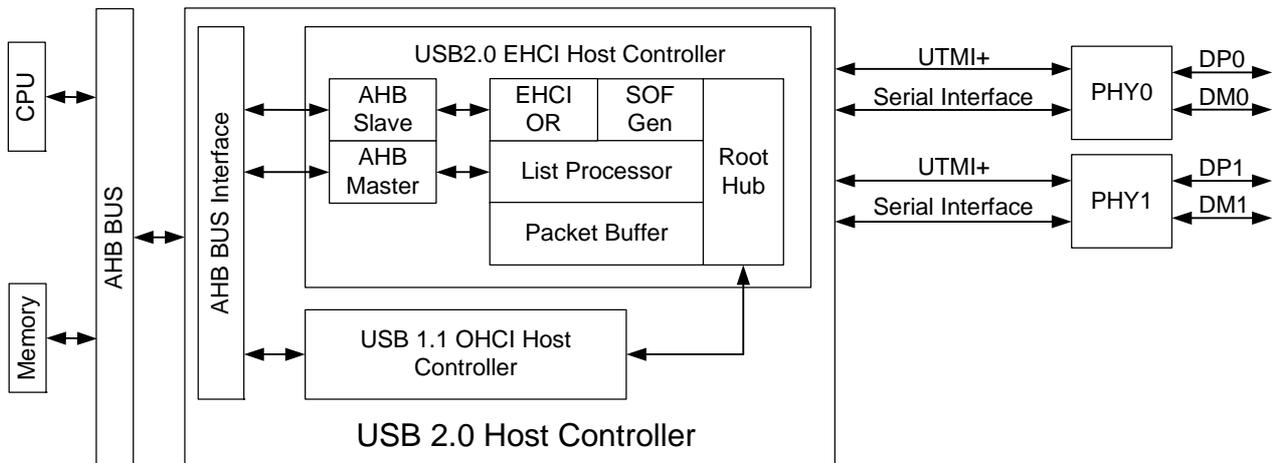
14.6.2 功能描述

逻辑框图

USB 2.0 Host 逻辑框图如图 14-39 所示。



图14-39 USB 2.0 Host 逻辑框图



UTMI: USB2.0 Transceiver Macrocell Interface
EHCI: Enhanced Host Controller Interface
OHCI: Open Host Controller Interface

典型应用

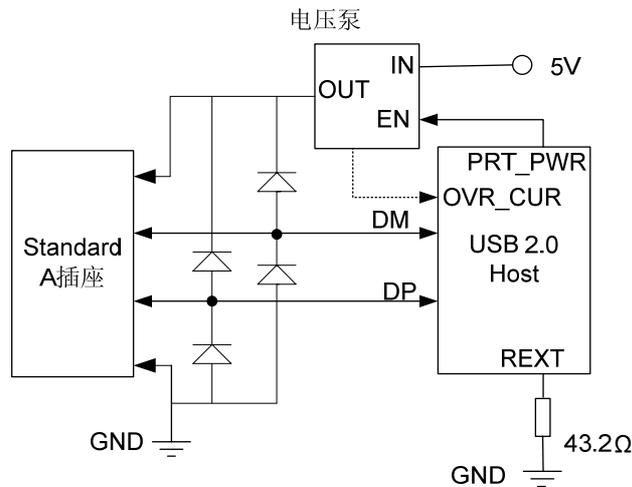
USB 2.0 Host 的参考设计如图 14-40 所示。



注意

- DP 和 DM 的单端阻抗为 $45\Omega \pm 1\%$ ，所以 DP 和 DM 无需外接任何的匹配电阻。
- REXT 电阻的精度是 $\pm 1\%$ 。
- 需要使用高速 ESD 器件，电容值推荐为 1pF 左右。

图14-40 USB 2.0 Host 参考设计



功能特点

USB 2.0 Host 具有以下功能特点：

- 完全兼容 USB 2.0。
- 完全符合 OHCI Rev 1.0a、EHCI Rev 1.0。
- 可以支持 High-speed、Full-speed、Low-speed 三种设备。
- 支持低功耗的解决方案。
- 支持 Control Transfer、Bulk Transfer、Isochronous Transfer、Interrupt Transfer 四种基本数据传输类型。
- 可以通过连接 USB Hub，连接最多 127 个设备。

工作原理

USB 2.0 Host 支持以下 4 种标准的传输方式：

- **Control Transfer（控制传输）**
主要用于 USB Host 与 USB Device 端点 0 之间的传输，某些特定型号的 USB 设备的控制传输可能用到其他的端点。控制传输是双向传输，数据量通常较小，可以传输 8byte、16byte、32byte 或 64byte 的数据，依赖于设备和传输速度。
- **Bulk Transfer（批量传输）**
主要用于没有带宽和间隔时间要求的情况下发送和接收大量的数据，这种类型的设备适合于传输非常慢和大量被延迟的传输，可以等到所有其他类型的数据的传送完成之后再发送和接收数据。它的特点是以错误检测和重传的方式保证 USB Host 与 USB Device 的数据被无差错地发送。
- **Isochronous Transfer（同步传输）**
主要用于时间严格并具有较强容错性的流数据传输，或者用于数据传输速率恒定的即时应用中。同步传输提供了确定的带宽和间隔时间。



- Interrupt Transfer（中断传输）
主要用于少量、分散、不可预测的数据的传输。中断传输方式下，定时查询设备是否有中断数据要发送。设备的端点模式器的结构决定了它的查询频率为 1ms~255ms。典型的中断方式传输是单向的，并且对于 USB Host 来说只有输入的方式。

14.6.3 工作方式

管脚极性控制

通过设置系统控制寄存器 PERIPHCTRL20 [usbpwr_p_ctrl]可以设置 USB0_PWREN、USB1_PWREN 的有效极性；通过设置系统控制寄存器 PERIPHCTRL20 [usbovr_p_ctrl]设置 USB0_OVRCUR、USB1_OVRCUR 的有效极性。

时钟门控

在不使用 USB 2.0 Host 时，可关断 USB 2.0 Host 的时钟，以降低功耗。

关断时钟的步骤如下：

1. 分别向 PERI_CRG46 [usbphy_port0_treq]、PERI_CRG46[usbphy_port1_treq]、PERI_CRG46[usbphy_req]、PERI_CRG46[usb_ctrl_utmi0_req]、PERI_CRG46[usb_ctrl_utmi1_req]、PERI_CRG46[usb_ctrl_hub_req]、PERI_CRG46[usb_ahb_srst_req]写 1，对 USB 控制器和 PHY 进行复位。
2. 将系统寄存器 PERI_CRG46 [usb_cken]置 0，关断 USB 2.0 Host 相关时钟。

----结束

打开时钟的步骤如下：

1. 将系统控制器的 PERI_CRG46 [usb_cken]置 1，打开 USB 2.0 Host 相关时钟。
2. 撤消 USB 控制器和 PHY 的复位，详细信息请参见“[撤消复位](#)”。

----结束

撤消复位

USB 控制器和 PHY 在上电后默认处于复位状态，撤消复位的步骤如下：

1. 至少延时 10us。
2. 向 PERI_CRG46[usbphy_port0_treq]写 0，撤消 USB PHY port0 的端口软复位；PERI_CRG46[usbphy_port1_treq]写 0，撤消 USB PHY port1 的端口软复位。
3. 向 PERI_CRG46[usbphy_req]写 0，撤消 USB PHY 的总复位；
4. 延时 250us 后，向 PERI_CRG46[usb_ctrl_utmi0_req]写 0，撤消 USB 控制器的 port0 接口软复位；向 PERI_CRG46[usb_ctrl_utmi1_req]写 0，撤消 USB 控制器的 port1 接口软复位；向 PERI_CRG46[usb_ctrl_hub_req]写 0，撤消 USB 控制器的 hub 软复位。
5. 向 PERI_CRG46[usb_ahb_srst_req]写 0，撤消 USB 总线侧软复位。



----结束

工作过程中单独复位 port0 或 port1

工作过程中单独复位 port0 的步骤如下：

1. 向 PERI_CRG46[usb_ctrl_utmi0_req]写 1，对 USB 控制器的 port0 进行软复位。
2. 向 PERI_CRG46[usbphy_port0_treq]写 1，对 USB PHY 的 port0 的端口进行软复位。
3. 延时 200us 后，向 PERI_CRG46[usbphy_port0_treq]写 0，撤消 USB PHY 的 port0 的端口复位。
4. 向 PERI_CRG46[usb_ctrl_utmi0_req]写 0，撤消 USB 控制器的 port0 复位。

----结束

工作过程中单独复位 port1 的步骤如下：

1. 向 PERI_CRG46[usb_ctrl_utmi1_req]写 1，对 USB 控制器的 port1 接口进行软复位。
2. 向 PERI_CRG46[usbphy_port1_treq]写 1，对 USB PHY 的 port1 的端口进行软复位。
3. 延时 200us 后，向 PERI_CRG46[usbphy_port1_treq]写 0，撤消 USB PHY 的 port1 的端口复位。
4. 向 PERI_CRG46[usb_ctrl_utmi1_req]写 0，撤消 USB 控制器的 port1 复位。

----结束

挂起和重启

挂起 port0（即 SUSPEND）：软件通过 EHCI/OHCI 寄存器设置挂起模式后，port0 就进入了挂起模式。

重启 port0（即 RESUME）：软件通过 EHCI/OHCI 寄存器设置退出 SUSPEND 模式后，如果 PERIPHCTRL21 [commononn]为 1，需要至少延时 225us 后，软件才能发起 USB 操作；如果 PERIPHCTRL21 [commononn]为 0，需要至少延时 5us 后，软件才能发起 USB 操作。



说明

挂起 port1 的操作与挂起 port0 的操作类似，重启 port1 的操作与重启 port0 的操作类似。

USB TX 信号质量调节

如果测试发现单板上的 USB 眼图无法通过模板时，可以通过如下步骤调节 USB TX 的信号质量。

以 USB port0 为例。

1. 向 PERIPHCTRL21[phy0_txpreemphasistune]写 1，使能 USB port0 的预加重功能。
2. 向 PERIPHCTRL21[phy0_txrisetune]写 1，减小高速信号的上升/下降时间。
3. 向 PERIPHCTRL21[phy0_txverftune]写 0xF，加大 DC 电平。



---结束



说明

如果发现 USB 眼图无法通过模板，请确认已经配置了如上寄存器。

14.6.4 寄存器概览



说明

由于该 USB 模块是一个标准的 USB 2.0 Host，内部寄存器也是标准的 EHCI 及 OHCI 寄存器，在 EHCI 协议及 OHCI 协议中有详细的描述，请参照协议。下面仅对特别定义的寄存器进行描述。

USB 寄存器概览如表 14-11 所示。

表14-11 USB 寄存器概览（基地址：0x100B_0000）

偏移地址	名称	描述	页码
0x90	INTNREG00	配置微帧长度寄存器	14-90
0x94	RESERVED	保留	-
0x98	RESERVED	保留	-
0x9C	RESERVED	保留	-
0xA0	INTNREG04	DEBUG 寄存器	14-91
0xA4	INTNREG05	控制及状态寄存器	14-92
0xA8	INTNREG06	AHB 错误状态寄存器	14-93
0xAC	INTNREG07	AHB 错误地址寄存器	14-93

注：EHCI 寄存器基地址是 0x100B_0000，OHCI 寄存器基地址是 0x100A_0000，表 14-11 中寄存器基地址是 EHCI 寄存器基地址。

14.6.5 寄存器描述

INTNREG00

INTNREG00 为配置微帧长度寄存器。



Offset Address		Register Name		Total Reset Value					
0x90		INTNREG00		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						val		en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						
[13:1]	RW	val	微帧计数器值。该寄存器仅用于仿真。正常工作时，微帧长度是协议规定的 125μs；仿真时，为了缩短仿真时间，根据需要可以配置该寄存器改变微帧长度。						
[0]	RW	en	使能该寄存器。 0：禁止； 1：使能。						

INTNREG04

INTNREG04 为 DEBUG 寄存器。

Offset Address		Register Name		Total Reset Value								
0xA0		INTNREG04		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						auto_en	nak_reldfix_en	reserved	scaledwn_enum_time	hccparam_en	hesparam_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:6]	-	reserved	保留。									
[5]	RW	auto_en	自动规格使能。 0：使能（当软件复位 run/stop，但 hchalted 位还未设置时挂起信号有效）； 1：禁止（即软件清除 run/stop 位时端口不挂起）。 默认为 0。									



[4]	RW	nak_reldfix_en	NAK 重载使能。 0: 使能; 1: 禁止。
[3]	-	reserved	保留。
[2]	RW	scaledwn_enum_time	减少端口枚举时间。 0: 禁止; 1: 使能。
[1]	RW	hccparam_en	HCCPARAMS 寄存器可写使能。 0: 禁止; 1: 使能。
[0]	RW	hcsparam_en	HCSPARAMS 寄存器可写使能。 0: 禁止; 1: 使能。

INTNREG05

INTNREG05 为控制及状态寄存器。用于读写 PHY 寄存器。

	Offset Address 0xA4				Register Name INTNREG05								Total Reset Value 0x0000_1000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	reserved								vbusy		vport		vcontrol_loadm				vcontrol				vstatus														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits																																			
Access																																			
Name	reserved				vbusy				vport				vcontrol_loadm				vcontrol																		
Description	保留。				“1” 表明硬件现在正在执行数据写操作，只有当进程结束时，该位清零。				端口号，不能超过支持的端口数。				装载使能。 0: 使能; 1: 禁止。				端口控制信号。																		
Bits	[31:18]				[17]				[16:13]				[12]				[11:8]																		
Access	-				RO				RW				RW				RW																		
Name	reserved				vbusy				vport				vcontrol_loadm				vcontrol																		
Description	保留。				“1” 表明硬件现在正在执行数据写操作，只有当进程结束时，该位清零。				端口号，不能超过支持的端口数。				装载使能。 0: 使能; 1: 禁止。				端口控制信号。																		



[7:0]	RO	vstatus	端口状态信号。
-------	----	---------	---------

INTNREG06

INTNREG06 为 AHB 错误状态寄存器。

	Offset Address	Register Name	Total Reset Value
	0xA8	INTNREG06	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	err_capture	reserved	hbusrt_err num_beat_err num_beat_ok
Reset	0 0		
Bits	Access	Name	Description
[31]	RW	err_capture	发生了 AHB 错误。
[30:12]	-	reserved	保留。
[11:9]	RO	hbusrt_err	发生 AHB 错误时控制传输阶段 hburst 值。
[8:4]	RO	num_beat_err	发生 AHB 错误时该次 burst 传输的拍数。最大拍数为 16。 0x00~0x10: 有效; 0x11~0x1F: 保留。
[3:0]	RO	num_beat_ok	发生 AHB 错误时该次 burst 传输中已经成功完成的拍数。

INTNREG07

INTNREG07 为 AHB 错误地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0xAC	INTNREG07	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	err_addr		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RO	err_addr	发生 AHB 错误时控制传输阶段的地址。



14.7 SATA

14.7.1 概述

SATA 基于 AMBA 2.0 AHB 总线接口，便于在 SOC 片上系统中快速实现集成应用；提供基于 Linux 操作系统开发的驱动程序，帮助软件人员快速完成 SOC 子系统驱动程序定制开发；Hi3520D/Hi3515A 最多支持 2 个 SATA 端口，Hi3515C 支持 1 个 SATA 端口；另外对 NCQ、热拔插、Port Multiplier、eSATA 等最新特性也提供了在控制器层面的支持。

14.7.2 特点

Hi3520D 的 SATA 接口有以下特点：

- 提供 ARM AHB 系统总线 Slave 接口，相关标准为 AMBA Spec 2.0。只支持 32bit 访问模式。
- 提供 ARM AHB 系统总线 Master 接口，相关标准为 AMBA Spec 2.0。只支持 32bit 访问模式。
- 提供和 PHY 连接的标准接口信号。
- 支持 SATA2.5 和 AHCI1.2 协议。
- 支持 PIO、Legacy DMA、NCQ、ATAPI 操作。
- 支持电源管理特性。
- 支持 Port Multiplier 特性。
- 支持最多支持 2 个 SATA 端口。（Hi3515C 支持 1 个 SATA 端口）
- 支持 1.5Gbps 和 3.0Gbps 速率的自动协商。
- 支持中断上报机制。

14.7.3 信号描述

SATA 接口信号如表 14-12 所示。

表14-12 SATA 接口信号描述

信号名称	方向	描述	对应管脚
SREFCKM	I	SATA 的负相差分时钟输入。	SREFCKM
SREFCKP	I	SATA 的正相差分时钟输入。	SREFCKP
SRESREF	I/O	SATA 的扩展电阻管脚，外接扩展电阻。	SRESREF
SRXM0	I	SATA 端口 0 的负相差分数据输入。	SRXM0
SRXM1	I	SATA 端口 1 的负相差分数据输入。	SRXM1



信号名称	方向	描述	对应管脚
SRXP0	I	SATA 端口 0 的正相差分数据输入。	SRXP0
SRXP1	I	SATA 端口 1 的正相差分数据输入。	SRXP1
STXM0	O	SATA 端口 0 的负相差分数据输出。	STXM0
STXM1	O	SATA 端口 1 的负相差分数据输出。	STXM1
STXP0	O	SATA 端口 0 的正相差分数据输出。	STXP0
STXP1	O	SATA 端口 1 的正相差分数据输出。	STXP1

Hi3515C 中 SRXM1、SRXP1、STXM1 和 STXP1 管脚为 NA。

14.7.4 功能描述

典型应用

SATA 典型应用模式如图 14-41、图 14-42、图 14-43 所示。

图14-41 典型应用模式 1

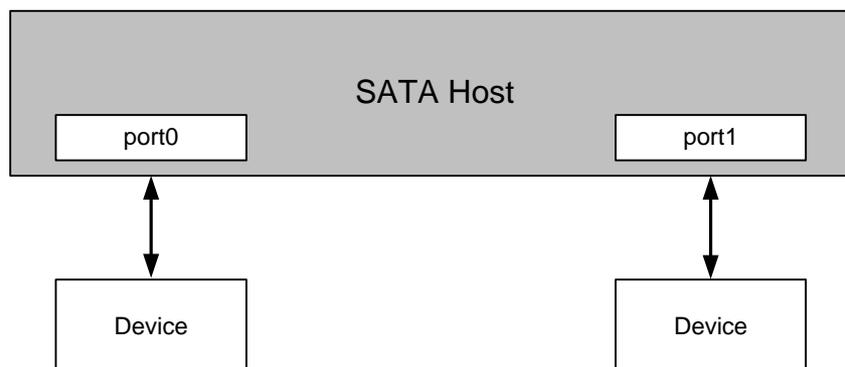




图14-42 典型应用模式 2

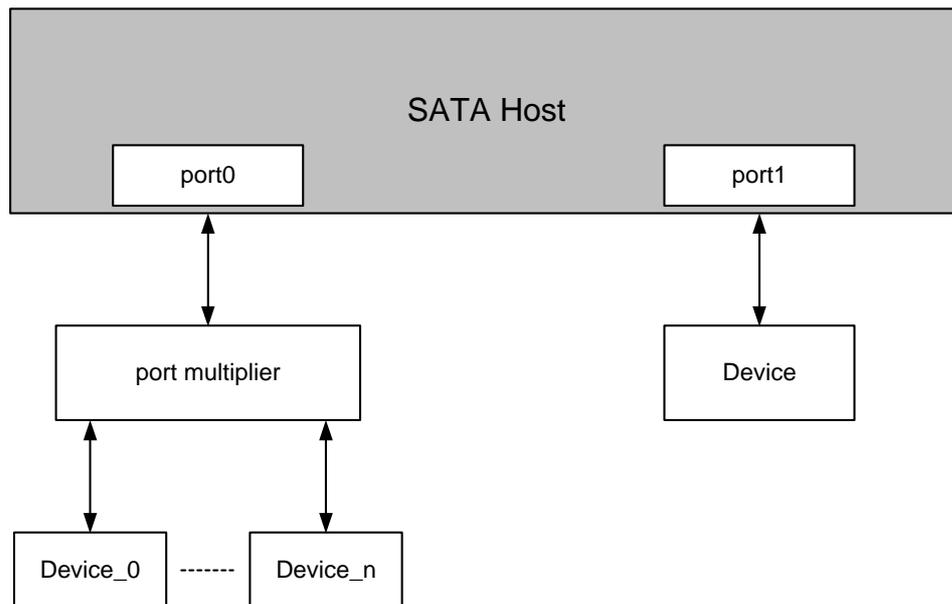
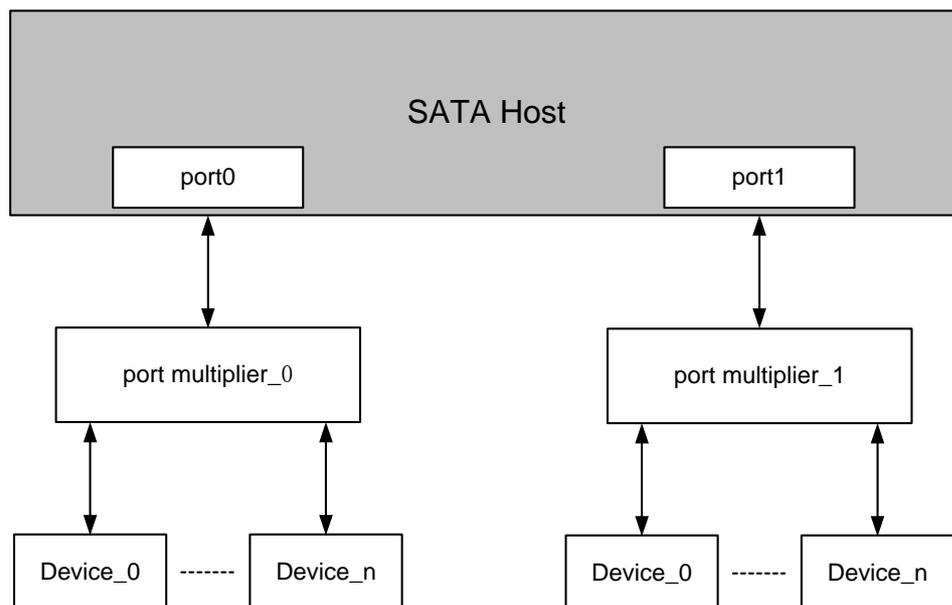


图14-43 典型应用模式 3



注意

Hi3515C 只有 PORT0 可用。

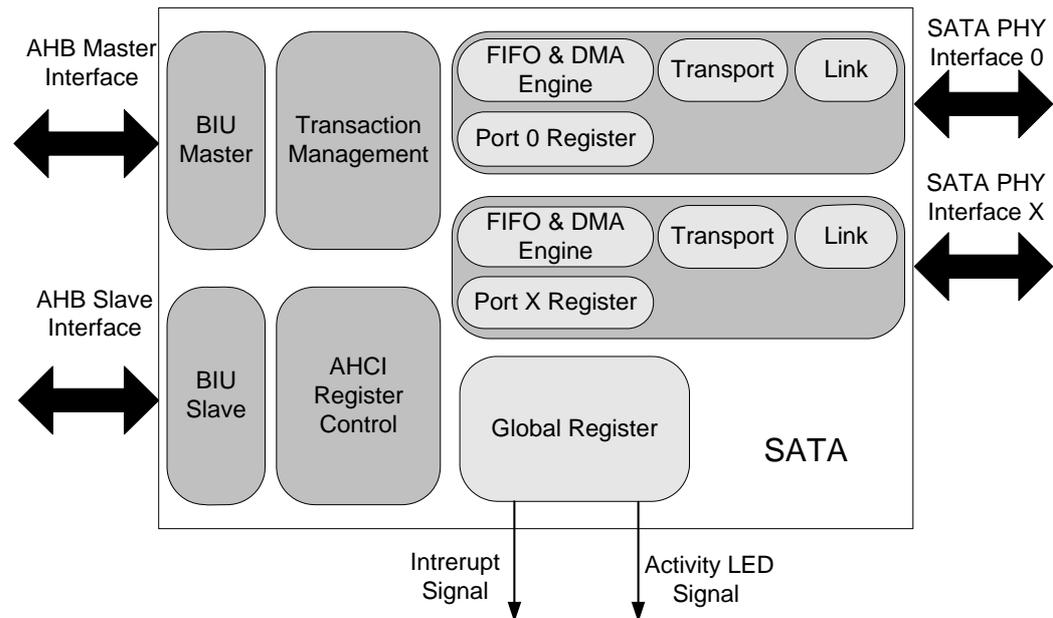


SATA Host 提供支持直接和硬盘、光驱等 Device 对接，可以同时支持两个 Device。同时也支持任何一个端口外扩 Port Multiplier，由 Port Multiplier 根据自身的外扩能力挂接多个 Device。

功能原理

Hi3520D SATA 模块架构如图 14-44 所示。

图14-44 Hi3520D SATA 模块架构



AHB Master、AHB Slave 接口挂接在基于 ARM AMBA2.0 系统总线 AHB 上，系统总线上还应有 ARM CPU、System Memory Controller，软件通过 AHB Slave 接口对 SATA 进行配置，AHB Master 接口可以主动访问 System Memory Controller 控制的 DRAM，完成命令读操作和数据读写操作。

SATA Host 支持 PIO、Legacy DMA、Native Command Queue、ATAPI 操作。

中断信号接系统中断控制器。

在芯片内部，SATA PHY 接口与 SATA PHY 相连接；在芯片外部，SATA PHY 可以连接支持 SATA 的硬盘或者光驱；SATA PHY 还可连接 SATA Port Multiplier 扩展到多个端口。

另外，Activity LED 显示信号可直接接出芯片，这一功能可根据实际应用选择。



14.7.5 工作方式

14.7.5.1 时钟门控

配置系统控制器 PERI_CRG45[sata0_cken]和 PERI_CRG45[sata1_cken]为 1，使能 SATA 模块的时钟；配置系统控制器 PERI_CRG45[sata0_cken]和 PERI_CRG45[sata1_cken]为 0，关闭 SATA 模块的时钟。

14.7.5.2 时钟配置

通过配置 SATA Host 内部的控制寄存器 [SATA_PHY0_CTLH bit\[13\]](#)来选择给 SATA PHY 的参考时钟源，可控制 SATA PHY 的时钟是由片内产生还是由外部时钟源输入：

- 当 [SATA_PHY0_CTLH bit\[13\]](#)为 1 时，SREFCKM 和 SREFCKP 由片内产生。
- 当 [SATA_PHY0_CTLH bit\[13\]](#)为 0 时，SREFCKM 和 SREFCKP 由外部时钟源输入。

SATA PHY 支持的参考时钟范围为 25MHz~156.25MHz。由于 PHY 内部的 MPLL 的支持的输入时钟范围为 50MHz~78.125MHz，所以提供的参考时钟改变时，需要对 SATA Host 内部的控制寄存器 [SATA_PHY0_CTLL bit\[31:30\]](#)进行配置，来满足 PHY 内部 MPLL 的时钟要求。具体请参见 [SATA_PHY0_CTLL bit\[31:30\]](#)的描述。

14.7.5.3 软复位

SATA Host 有多个软复位控制，分别描述如下：

- 通过配置系统控制器 PERI_CRG45 bit[7]为 1，可实现对 sata_alive 时钟域的单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[6]为 1，可实现对 port1 的 sata_rx 时钟域的单独软复位。（Hi3515C 不需要进行此配置）
- 通过配置系统控制器 PERI_CRG45 bit[5]为 1，可实现对 port0 的 sata_rx 时钟域的单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[4]为 1，可实现对 port1 的 sata_tx 时钟域的单独软复位。（Hi3515C 不需要进行此配置）
- 通过配置系统控制器 PERI_CRG45 bit[3]为 1，可实现对 port0 的 sata_tx 时钟域的单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[0]为 1，可实现对 PHY 单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[1]为 1，可实现对 HCLK 时钟域单独软复位。
- 通过配置系统控制器 PERI_CRG45 bit[2]为 1，可实现对 SATA Host 软复位。

另外，在 SATA Host 控制器中还提供两种同步复位策略：

- 配置 SATA Host 控制器内部 [SATA_GHC_GHC bit\[0\]](#)为 1 时，SATA Host 进入复位状态，内部的所有模块的逻辑恢复到初始值。[SATA_GHC_GHC bit\[0\]](#)在复位完成后自动清零。
- 配置 Port0 或 Port1 中的 [SATA_PORT_CMD bit\[0\]](#)从 1 到 0 时，SATA Host 对应的 Port0 或 Port1 进入复位状态。



14.7.5.4 工作模式配置

SATA Host 在工作之前，必须先完成对 PHY 的初始化配置，使得 PHY 能够正常工作；同时完成和 Device 的初始化协商。

初始化 PHY

以 PHY 的参考时钟 150MHz 且来自片内为例，初始化配置 1.5Gbps 速度的 port0 的步骤如下：

1. 配置 PERI_CRG45 bit [11]为 0，选中 CRG 输出 150MHz 参考时钟。
2. 配置 PERI_CRG45 bit [1]为 0，撤销 SATA controller 总线软复位。
3. 配置 PERI_CRG45 bit [0]为 0，撤销 SATA PHY 软复位。
4. 配置 SATA_PHY0_CTLH bit[12]为 1，关断提供给 PHY 的参考时钟。
5. 配置 SATA_PHY0_CTLL 寄存器为 0x880E_C788(若 SATA 工作在 3G 模式，配置该寄存器为 0x880E_C888)。
6. 配置 SATA_PHY0_CTLH 寄存器为 0x2121。
7. 配置 SATA_OOB_CTL 寄存器为 0x8406_0C15。
8. 配置 SATA_PORT_PHYCTL 寄存器为 0x0E26_2709(若 SATA 工作在 3G 模式，配置该寄存器为 0x0E66_2709)。
9. 配置 PERI_CRG45 bit[0]为 1，软复位 SATA PHY。
10. 配置 PERI_CRG45 bit [0]为 0，撤销 SATA PHY 软复位。
11. 配置 PERI_CRG45 bit [2]为 0，撤销 SATA controller 接口软复位。
12. 配置 PERI_CRG45 bit [3]为 0，撤销 SATA controller tx0 时钟域软复位。
13. 配置 PERI_CRG45 bit [5]为 0，撤销 SATA controller rx0 时钟域软复位。
14. 配置 PERI_CRG45 bit [7]为 0，撤销 SATA controller alive 时钟域软复位。

----结束

初始化协商

等待 PHY 的 PLL 正常工作，Host 开始和 Device 完成初始化协商。

1. 配置 SATA_PORT_CMD[cmd_sud]为 1。
2. 等待 PHY 给出的指示信号 phyrdy 有效，可以通过查看 SATA_PORT_SSTS[pxssts_det] 是否等于 3 来确定这个 port 是否已经正常。如果 SATA_PORT_SSTS[pxssts_det]等于 3 则表示初始化成功。

----结束



操作业务

初始化协商完成后，通过以下步骤开始业务操作：

1. 清中断（第一次启动工作，或复位后不必进行此操作），依次配置 `SATA_PORT_SERR`、`SATA_PORT_IS` 和 `SATA_GHC_IS` 寄存器，配置值均为 `0xFFFFFFFF`。
2. 配置中断屏蔽寄存器 `SATA_PORT_IE`，屏蔽掉不需要上报的中断。
3. 使能全局中断，配置 `SATA_GHC_GHC` 寄存器为 `0x80000002`。
4. 按照附录 A SATA 命令链表格式建立链表。
5. 设置端口命令列表在内存中的基地址，配置寄存器位 `SATA_PORT_CLB[port_clb]`（配置值为命令列表分配的内存基地址），通知发送 DMAC 读取命令、数据的位置。
6. 设置端口接收帧存放在的内存中的基地址，配置寄存器位 `SATA_PORT_FB[port_fb]`（配置值为接收帧分配的内存基地址）通知接收 DMAC 接收 FIS 保存的位置。
7. 配置 `SATA_PORT_CMD[cmd_fre]` 为 1，使能发送 DMAC，接收 FIS 并写入系统内存；配置 `SATA_PORT_CMD[st]` 为 1，使能发送 DMAC，进行命令、数据发送。
8. 配置端口命令发送控制寄存器 `SATA_PORT_CI`，表明当前哪个命令准备发送。
9. 进行命令发送和数据传输。
10. 软件通过中断位及命令执行情况来判断当前命令是否完成。在接收到中断时，若是 PIO/DMA 操作，查询 CI 位是否都清 0；若是 NCQ 操作，查询 CI 和 SACT 对应位是否都清 0。
11. 若需要启动下一次传输，重复 1~10。

----结束

说明

Legacy DMA 操作、PIO 操作、ATAPI 操作均按照上面步骤进行操作，不同之处在于建立的链表（命令代码，标志位等不同）。

除了建立链表不同外，NCQ 操作还需要配置寄存器 `SATA_PORT_SACT`，表明 NCQ 操作执行的命令个数，在上面的第 7 步骤后再添加“配置寄存器 `SATA_PORT_SACT`”的步骤，需要保证 `SATA_PORT_SACT` 配置的命令位置和 `SATA_PORT_CI` 中的命令位置对应。

14.7.6 寄存器概览

寄存器偏移地址中变量的取值范围和含义如表 14-13 所示。

表14-13 寄存器偏移地址变量表

变量名称	取值范围	描述
n	0~1	控制器的 2 个端口（Hi3515C 有 1 个端口）



SATA 寄存器概览

SATA 寄存器概览如表 14-14 所示。

表14-14 SATA 寄存器概览（基址是 0x1008_0000）

偏移地址	名称	描述	页码
0x0000	SATA_GHC_CAP1	特性支持寄存器 1	14-103
0x0004	SATA_GHC_GHC	全局控制寄存器	14-104
0x0008	SATA_GHC_IS	中断状态寄存器	14-105
0x000C	SATA_GHC_PI	端口实现寄存器	14-105
0x0010	SATA_GHC_VS	AHCI 版本标识寄存器	14-106
0x0014	SATA_GHC_CCC_CTL	CCC 控制寄存器	14-106
0x0018	SATA_GHC_CCC_PORTS	CCC 端口使能寄存器	14-107
0x0024	SATA_GHC_CAP2	特性支持寄存器 2	14-108
0x0028	SATA_GHC_BOHC	BIOS/OS 交接控制寄存器	14-108
0x0050	SATA_GHC_TM	TM 测试状态寄存器	14-109
0x0054	SATA_PHY0_CTL_L	PHY0 全局控制低位寄存器	14-110
0x0058	SATA_PHY0_CTL_H	PHY0 全局控制高位寄存器	14-111
0x005C	SATA_PHY0_STS	PHY0 全局状态寄存器	14-112
0x006C	SATA_OOB_CTL	PHY OOB 控制寄存器	14-113

SATA_PORT_CFG 寄存器概览

SATA_PORT_CFG 寄存器概览如表 14-15 所示。

表14-15 SATA_PORT_CFG 寄存器概览（基址是 0x1008_0100）

偏移地址	名称	描述	页码
0x000+nx 0x80	SATA_PORT_CLB	命令列表基址寄存器	14-113
0x008+nx 0x80	SATA_PORT_FB	接收 FIS 基址寄存器	14-114
0x010+nx 0x80	SATA_PORT_IS	端口中断状态寄存器	14-114



偏移地址	名称	描述	页码
0x014+nx 0x80	SATA_PORT_IE	端口中断屏蔽寄存器	14-116
0x018+nx 0x80	SATA_PORT_CMD	端口命令与状态寄存器	14-118
0x20+nx0 x80	SATA_PORT_TFD	端口 task file 寄存器	14-121
0x24+nx0 x80	SATA_PORT_SIG	端口 signature 寄存器	14-121
0x028+nx 0x80	SATA_PORT_SSTS	接口状态寄存器	14-122
0x02C+nx 0x80	SATA_PORT_SCTL	接口控制寄存器	14-123
0x30+nx0 x80	SATA_PORT_SERR	错误诊断状态寄存器	14-124
0x034+nx 0x80	SATA_PORT_SACT	NCQ 命令标识控制寄存器	14-126
0x38+nx0 x80	SATA_PORT_CI	命令发送控制寄存器	14-126
0x3C+nx0 x80	SATA_PORT_SNTF	异步 notification 事件指示寄存器	14-127
0x044+nx 0x80	SATA_PORT_FIFOT H	接收 FIFO 水线寄存器	14-128
0x050+nx 0x80	SATA_PORT_HBA	HBA 测试状态寄存器	14-128
0x054+nx 0x80	SATA_PORT_LINK	Link 测试状态寄存器	14-129
0x058+nx 0x80	SATA_PORT_DMA 1	DMAC 测试状态寄存器 1	14-130
0x05C+nx 0x80	SATA_PORT_DMA 2	DMAC 测试状态寄存器 2	14-131
0x060+nx 0x80	SATA_PORT_DMA 3	DMAC 测试状态寄存器 3	14-132
0x064+nx 0x80	SATA_PORT_DMA 4	DMAC 测试状态寄存器 4	14-132
0x068+nx 0x80	SATA_PORT_DMA 5	DMAC 测试状态寄存器 5	14-132
0x06C+nx0 x80	SATA_PORT_DMA 6	DMAC 测试状态寄存器 6	14-133



偏移地址	名称	描述	页码
0x070+nx 0x80	SATA_PORT_DMA 7	DMAC 测试状态寄存器 7	14-133
0x074+nx 0x80	SATA_PORT_PHYC TL	PHY 控制寄存器	14-135
0x078+nx 0x80	SATA_PORT_PHYS TS	PHY 测试状态寄存器	14-137

14.7.7 寄存器描述

SATA_GHC_CAP1

SATA_GHC_CAP1 为特性支持寄存器 1。

	Offset Address 0x0000								Register Name SATA_GHC_CAP1								Total Reset Value 0x6F26_FFA1															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	s64a	sncq	ssntf	smmps	sss	salp	sal	sclo	iss	reserved	sam	spm	fbss	pmd	ssc	psc	ncs	cccs	ems	sxs	np											
Reset	0	1	1	0	1	1	1	1	0	0	1	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	0	1	0	0	0	1
Bits	Access		Name		Description																											
[31]	RO		s64a		固定为 0，表示不支持 64 比特数据结构访问。																											
[30]	RO		sncq		固定为 1，表示支持 NCQ。																											
[29]	RO		ssntf		固定为 1，表示支持端口 SNTF 寄存器。																											
[28]	RO		smmps		固定为 0，表示不支持机械热拔插。																											
[27]	RO		sss		固定为 1，表示支持交错启动(staggered spin-up)。																											
[26]	RO		salp		固定为 1，表示支持电源管理。																											
[25]	RO		sal		固定为 1，表示支持点灯管脚。																											
[24]	RO		sclo		固定为 1，表示支持命令链表覆盖。																											
[23:20]	RO		iss		固定为 0x2，表示最大可支持 3Gbps 速率。																											
[19]	RO		reserved		保留。																											
[18]	RO		sam		固定为 1，表示只支持 AHCI 模式。																											
[17]	RO		spm		固定为 1，表示支持 Port Multiplier。																											
[16]	RO		fbss		固定为 0，表示不支持 FIS-based Switching。																											



[15]	RO	pmd	固定为 1，但 PIO 模式不支持传输多个 DRQ 块。
[14]	RO	ssc	固定为 1，表示支持进入 Slumber 状态。
[13]	RO	psc	固定为 1，表示支持进入 Partial 状态。
[12:8]	RO	ncs	固定为 0x1F，表示支持 32 个命令 slot。
[7]	RO	cccs	固定为 1，表示支持 CCC (Command Completion Coalescing) 功能。
[6]	RO	ems	固定为 0，表示不支持 Enclose Management。
[5]	RO	sxs	固定为 1，表示支持 External SATA。
[4:0]	RO	np	固定为 0x01，表示支持 2 个端口。

SATA_GHC_GHC

SATA_GHC_GHC 为全局控制寄存器。

	Offset Address	Register Name	Total Reset Value																									
	0x0004	SATA_GHC_GHC	0x8000_0000																									
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																											
Name	ahci_en																reserved										int_enable	hba_rst
Reset	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description																									
[31]	RO	ahci_en	固定为 1，表示软件只能通过 AHCI 机制与控制器进行交互。																									
[30:2]	RO	reserved	保留。																									
[1]	RW	int_enable	控制器中断使能。 0: 禁止; 1: 使能。																									
[0]	RW	hba_rst	控制器软复位控制。 0: 不复位; 1: 复位。 写 1 复位控制器，复位完成后自动清 0；写 0 对控制器无影响。复位不影响 SATA_GHC_BOHC、SATA_PORT_FB、SATA_PORT_CLB 寄存器。																									



SATA_GHC_IS

SATA_GHC_IS 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0008		SATA_GHC_IS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															ips_port1		ips_port0														
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	WC	ips_ccc	CCC 中断状态。 0: 未产生 CCC 中断; 1: 已产生 CCC 中断。																													
[30:2]	RO	reserved	保留。																													
[1]	WC	ips_port1	端口 1 中断状态。 0: 无中断上报; 1: 有中断上报。																													
[0]	WC	ips_port0	端口 0 中断状态。 0: 无中断上报; 1: 有中断上报。																													

SATA_GHC_PI

SATA_GHC_PI 为端口实现寄存器。

Offset Address		Register Name		Total Reset Value																												
0x000C		SATA_GHC_PI		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															port_imp																
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 1 1											
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留。																													



Offset Address		Register Name		Total Reset Value					
0x000C		SATA_GHC_PI		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								port_imp
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[1:0]	RO	port_imp	端口有效指示，其值为 0x3 时，表示 0~1 共 2 个端口有效，bit[1]~bit[0]分别对应端口 1~端口 0。 0: 端口无效； 1: 端口有效。						

SATA_GHC_VS

SATA_GHC_VS 为 AHCI 版本标识寄存器。

Offset Address		Register Name		Total Reset Value				
0x0010		SATA_GHC_VS		0x0001_0200				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	achi_vs							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	achi_vs	表示支持的 AHCI 版本为 V1.2。					

SATA_GHC_CCC_CTL

SATA_GHC_CCC_CTL 为 CCC 控制寄存器。



	Offset Address 0x0014								Register Name SATA_GHC_CCC_CTL								Total Reset Value 0x0001_01F8															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ccc_tv								ccc_cc								ccc_int				reserved		ccc_en									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0
	Bits	Access	Name	Description																												
	[31:16]	RW	ccc_tv	CCC 超时参数，单位为 ms。 CCC 功能被使能时，超时计数器加载该参数值，当参与 CCC 功能的端口有命令在执行时，计数器每隔 1ms 递减 1，直至递减为 0 产生 CCC 中断，CCC 中断产生后，计数器重新加载该参数进行下一轮的计数。 该位不可写 0。																												
	[15:8]	RW	ccc_cc	CCC 命令完成上限值。 CCC 功能被使能时，命令完成计数器清 0，开始累加参与 CCC 功能的各个端口的命令完成数，如果计数器累加到大于或等于该参数，产生 CCC 中断，CCC 中断产生后，计数器清 0 重新开始新一轮累计计数。 若对该位写 0，将禁止命令完成中断，此时 CCC 中断只能因为超时而产生。																												
	[7:3]	RO	ccc_int	CCC 中断向量号，其值为 0x1F（31），即表明 SATA_GHC_IS bit[31]为 CCC 中断状态。																												
	[2:1]	RO	reserved	保留。																												
	[0]	RW	ccc_en	CCC 功能使能。 0：禁止； 1：使能。 注意：在使能 CCC 功能时，不可更改 ccc_tv 和 ccc_cc 参数值。																												

SATA_GHC_CCC_PORTS

SATA_GHC_CCC_PORTS 为 CCC 端口使能寄存器。



Offset Address		Register Name		Total Reset Value				
0x0018		SATA_GHC_CCC_PORTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							ccc_prt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:2]	RO	reserved	保留。					
[1:0]	RW	ccc_prt	指定参与 CCC 功能的端口。bit[1]~bit[0]分别代表端口 1~0。对应位为 1 表示该端口参与 CCC 计数，为 0 表示该端口不参与 CCC 计数。 该寄存器可以随时更改并生效。					

SATA_GHC_CAP2

SATA_GHC_CAP2 为特性支持寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0024		SATA_GHC_CAP2		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							cap_boh
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RO	cap_boh	固定为 1，表示支持 BIOS/OS 的交接管理控制。					

SATA_GHC_BOHC

SATA_GHC_BOHC 为 BIOS/OS 交接控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0028				SATA_GHC_BOHC				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bohc_bb	bohc_ooc	bohc_sooe	bohc_oos	bohc_bos			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	bohc_bb	BIOS 忙状态指示。 0: BIOS 不忙; 1: BIOS 正忙于完成相关操作并准备将控制权交接给 OS。																													
[3]	WC	bohc_ooc	当 bohc_oos 信号从 0 跳变到 1 时, 该位锁定到 1; 该比特位写 1 清零, 写 0 无影响。																													
[2]	RW	bohc_sooe	消息中断使能。 0: 不产生消息中断; 1: 当 bohc_ooc 比特置 1 时, 会产生消息中断。																													
[1]	RW	bohc_oos	操作系统控制器请求。 0: OS 未申请控制器控制权; 1: OS 申请获取控制器的控制权。如果 bohc_oos 为 1 且 bios_bos 为 0, 表示操作系统已经获取了 SATA 控制器的控制权。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该位。																													
[0]	RW	bohc_bos	BIOS 拥有控制器控制权标志。 0: BIOS 不拥有控制器的控制权; 1: BIOS 建立了对控制器的控制权。如果操作系统要求获取控制器的控制权, 则 BIOS 将要清除该比特。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该位。																													

SATA_GHC_TM

SATA_GHC_TM 为 TM 测试状态寄存器。



Offset Address		Register Name		Total Reset Value				
0x0050		SATA_GHC_TM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							req_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:3]	RO	reserved	保留。					
[2:0]	RO	req_sel	当前获取 AHB master 使用权的 DMAC。 0x0: 端口 0 发送 DMAC 获得通道; 0x1: 端口 0 接收 DMAC 获得通道; 0x2: 端口 1 发送 DMAC 获得通道; 0x3: 端口 1 接收 DMAC 获得通道; 其他: 保留。					

SATA_PHY0_CTLL

SATA_PHY0_CTLL 为 PHY0 全局控制低位寄存器。

Offset Address		Register Name		Total Reset Value						
0x0054		SATA_PHY0_CTLL		0x8D0E_C88A						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	mpll_prescale	mpll_ncy	mpll_ncy5	mpll_int_ctl	mpll_prop_ctl	tx_lvl	los_lvl	acjt_lvl	fast_tech	pddq_h
Reset	1 0 0 0	1 1 0 1	0 0 0 0	1 1 1 0	1 1 0 0	1 0 0 0	1 0 0 0	1 0 1 0		
Bits	Access	Name	Description							
[31:30]	RW	mpll_prescale	当参考时钟改变的时候，这个值需要随之改变。 00: 直接使用 ref_clk; 01: 将 ref_clk 两倍频; 10: 将 ref_clk 二分频; 11: 保留。							
[29:25]	RW	mpll_ncy	PHY 内部 MPLL 工作参数，需要和 mpll_ncy5 配合使用，表示使用的倍频值。							



[24:23]	RW	mpll_ncy5	PHY 内部 MPLL 工作参数，需要和 mpll_ncy 配合使用，表示使用的倍频值。
[22:20]	RW	mpll_int_ctl	MPLL 内部带宽控制选择信号，必须配置为 0b000。
[19:17]	RW	mpll_prop_ctl	MPLL 内部带宽比例控制信号，必须配置为 0b111，并且只有在复位或者 MPLL 无效时才能改变此值。
[16:12]	RW	tx_lvl	发送电平参数，和选择的 SATA 协议相关，必须设置为 0b01100。
[11:7]	RW	los_lvl	LOS 信号侦测电平控制，必须设置为 0b10001。
[6:2]	RW	acjt_lvl	ACJTAG 接收比较电平控制，必须设置为 0b00010。
[1]	RW	fast_tech	表明此 IP 在一个快速的工艺变量下处理，必须设置为 0。
[0]	RW	pddq_h	IDDQ 测试信号，要执行 IDDQ 测试，在有效 pddq_h 之前，必须给所有的 Lane 和 support 模块断电；在正常模式下，必须设置为 0。

SATA_PHY0_CTLH

SATA_PHY0_CTLH 为 PHY0 全局控制高位寄存器。

Offset Address	Register Name	Total Reset Value	
0x0058	SATA_PHY0_CTLH	0x0000_2121	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved use_refclk_alt mpll_ck_off mpll_pwron mpll_ss_en cko_word_con cko_alive_con rtune_do_tune reserved reserved reset_n wide_xface		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 1 0 0 0 1 0 0 0 0 1		
Bits	Access	Name	Description
[31:14]	RO	reserved	保留。
[13]	RW	use_refclk_alt	PHY 参考时钟选择信号。 0: 使用 refclk 这组差分信号； 1: 使用 refclk_alt 这组差分信号。



[12]	RW	mpll_ck_off	MPLL 上电控制信号。此信号的控制需要遵循以下原则： 1、在提供 refclk 给 MPLL 时，必须将 mpll_ck_off 设置为 0； 2、在将此信号设置为 0 之前，必须先将 mpll_ncy、mpll_ncy5 和 mpll_prescale 设置为合适的值； 3、如果 refclk 暂停或者切换，或者如果 mpll_ncy、mpll_ncy5 和 mpll_prescale 需要改变，则应先将 mpll_ck_off 设置为 1。
[11]	RW	mpll_pwron	对 MPLL 供电。 0: cko_word 时钟将无效； 1: 内部 MPLL 复位并且将基于 refclk 的频率，随后产生 cko_word 时钟信号。 在关闭 MPLL 之前，tx_en 必须处于 OFF 或者 CM 状态，并且 rx_en 和 rx_pll_pwron 必须设置为 0。
[10]	RW	mpll_ss_en	扩频功能使能信号。 0: 禁止； 1: 使能。 如果 refclk 已经经过扩频处理，此处必须设置为 0。
[9:7]	RW	cko_word_con	cko_word 输出选择信号。
[6:5]	RW	cko_alive_con	cko_alive 输出信号选选择。 00: 无效； 01: 保持 prescaler 的频率输出； 10: 输出低频，为 prescaler/16； 11: 保留。
[4]	RW	rtune_do_tune	电阻调节使能信号。 0: 不进行校准； 1: 重新对电阻进行校准。
[3]	RO	reserved	保留。
[2]	RO	reserved	保留。
[1]	RW	reset_n	复位信号，至少需要保持 5ns。
[0]	RW	wide_xface	接口位宽控制。 0: 接口为 10bit； 1: 接口为 20bit。

SATA_PHY0_STS

SATA_PHY0_STS 为 PHY0 全局状态寄存器。



Offset Address		Register Name		Total Reset Value				
0x005C		SATA_PHY0_STS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	phy0_sts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	phy0_sts	SATA PHY0 common 部分状态寄存器。					

SATA_OOB_CTL

SATA_OOB_CTL 为 PHY OOB 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x006C		SATA_OOB_CTL		0x8406_0C15				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	min_comiwake		max_comwake		min_cominit		max_cominit	
Reset	1 0 0 0	0 1 0 0	0 0 0 0	0 1 1 0	0 0 0 0	1 1 0 0	0 0 0 1	0 1 0 1
Bits	Access	Name	Description					
[31]	RW	oob_ctrl_valid	OOB 检测参数配置位，为高电平时选择该寄存器的参数配置。					
[30:24]	RW	min_comiwake	COMWAKE space 检测所需要的最小 space 计数值。					
[23:16]	RW	max_comwake	COMWAKE space 检测所需要的最大 space 计数值。					
[15:8]	RW	min_cominit	COMINIT space 检测所需要的最小 space 计数值。					
[7:0]	RW	max_cominit	COMINIT space 检测所需要的最大 space 计数值。					

SATA_PORT_CLB

SATA_PORT_CLB 为命令列表基址寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x000+n x 0x80				SATA_PORT_CLB								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	port_clb																reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:10]	RW	port_clb		设置端口命令列表在内存中的基地址。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该寄存器值。																											
	[9:0]	RO	reserved		保留。																											

SATA_PORT_FB

SATA_PORT_FB 为接收 FIS 基址寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x008+n x 0x80				SATA_PORT_FB								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	port_fb																reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RW	port_fb		设置端口接收帧存放在内存中的基地址。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该寄存器值。																											
	[7:0]	RO	reserved		保留。																											

SATA_PORT_IS

SATA_PORT_IS 为端口中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x010+n x 0x80		SATA_PORT_IS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	pxis_tfes	reserved	pxis_hbds	pxis_ifs	pxis_infs	reserved	pxis_ofs	pxis_ipms	pxis_pres	reserved											pxis_pcs	pxis_dps	pxis_ufs	pxis_sdbds	pxis_dss	pxis_pss	pxis_drths				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RO	reserved	保留。																													
[30]	WC	pxis_tfes	TFD 错误中断状态。 0: 未检测到 SATA_PORT_TFD bit[0]为 1; 1: 检测到 SATA_PORT_TFD bit[0]为 1。																													
[29]	RO	reserved	保留。																													
[28]	WC	pxis_hbds	内部总线错误中断。 0: DMAC 访问内存时正常; 1: DMAC 访问内存时出错。																													
[27]	WC	pxis_ifs	致命错误中断状态。 0: 在进行数据帧传输过程中未出现错误; 1: 在进行数据帧传输过程中出现错误。																													
[26]	WC	pxis_infs	非致命错误中断状态。 0: 在进行非数据帧传输过程中未出现错误; 1: 在进行非数据帧传输过程中出现错误。																													
[25]	RO	reserved	保留。																													
[24]	WC	pxis_ofs	数据传输 overflow 中断状态。 0: 未检测到 overflow 情形; 1: 数据帧传输过程中, 若检测到命令占有的数据内存空间小于实际传数据量时, 在数据传输末尾, 上报中断。																													
[23]	WC	pxis_ipms	PM 端口错误中断状态。 0: 未检测到接收帧 PM 端口号错误; 1: 在接收帧时检测到 PM 端口号错误。																													
[22]	RO	pxis_pres	PHY 状态变化中断状态。 0: 未检测到 phyrdy 信号发生变化; 1: 检测到 phyrdy 信号发生变化。 该位直接反映 SATA_PORT_SERR[diag_n] 位。																													



[21:7]	RO	reserved	保留。
[6]	RO	pxis_pcs	端口连接变化中断状态。 0: 未检测到设备发出的 COMINIT 信号; 1: 检测到设备发送的 COMINIT 信号。 该位直接反映 SATA_PORT_SERR[diag.x]位。
[5]	WC	pxis_dps	链表结束中断状态。 0: 无 PRD “I” 位为 1 链表数据传输完毕; 1: PRD “I” 位为 1 链表数据被正常传输完毕。
[4]	RO	pxis_ufs	Unknown FIS 中断状态。 0: 未收到 Unknown FIS; 1: 收到一个 Unknown FIS。
[3]	WC	pxis_sdbs	Set Device Bits FIS 中断状态。 0: 无影响; 1: 收到一个 Set Device Bits FIS, 且 I 位为 1。
[2]	WC	pxis_dss	DMA Setup FIS 中断状态。 0: 无意义; 1: 收到一个 DMA Setup FIS, 且 I 位为 1。
[1]	WC	pxis_pss	PIO Setup FIS 中断状态。 0: 无意义; 1: 收到一个 PIO Setup FIS, 且 I 位为 1。
[0]	WC	pxis_drhs	D2H Register FIS 中断状态。 0: 无意义; 1: 收到一个 D2H Register FIS, 且 I 位为 1。

SATA_PORT_IE

SATA_PORT_IE 为端口中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value																												
0x014+n x 0x80		SATA_PORT_IE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	pxie_tfee	reserved	pxie_hbde	pxie_ife	pxie_infe	reserved	pxie_ofe	pxie_ipme	pxie_prce	reserved											pxie_pce	pxie_dpe	pxie_ufe	pxie_sdbe	pxie_dse	pxie_pse	pxie_drhe				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RO		reserved		保留。																											
[30]	RW		pxie_tfee		TFD 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																											
[29]	RO		reserved		保留。																											
[28]	RW		pxie_hbde		内部总线错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																											
[27]	RW		pxie_ife		致命错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																											
[26]	RW		pxie_infe		非致命错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																											
[25]	RO		reserved		保留。																											
[24]	RW		pxie_ofe		数据传输 overflow 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																											
[23]	RW		pxie_ipme		PM 端口错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																											
[22]	RW		pxie_prce		PHY 状态变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																											
[21:7]	RO		reserved		保留。																											



[6]	RW	pxie_pce	端口连接变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RW	pxie_dpe	链表结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	pxie_ufe	Unknown FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	pxie_sdbe	Set Device Bits FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	pxie_dse	DMA Setup FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	pxie_pse	PIO Setup FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	pxie_drhe	D2H Register FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

SATA_PORT_CMD

SATA_PORT_CMD 为端口命令与状态寄存器。



Offset Address		Register Name		Total Reset Value																				
0x018+n x 0x80		SATA_PORT_CMD		0x0020_0004																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																
Name	cmd_icc				cmd_asp	cmd_alpe	cmd_dlae	cmd_atapi	reserved	cmd_esp	reserved	cmd_pma	reserved	cmd_cr	cmd_fr	reserved	cmd_ccs		reserved	cmd_fre	cmd_clo	reserved	cmd_sud	cmd_st
Reset	0 0 0 0				0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																					
[31:28]	RW	cmd_icc	接口通信控制信号。 0x0: 无操作，表明可进行下一次的接口状态请求； 0x1: 请求接口进入 active 状态； 0x2: 请求接口进入 partial 状态； 0x6: 请求接口进入 slumber 状态； 其它：保留。 当软件写入上述非保留值时，控制器执行相应操作后将 cmd_icc 清 0；当软件请求接口进入已经处于的状态，控制器直接将 cmd_icc 清 0；如果软件请求接口从一种低功耗模式进入另一种低功耗模式，如从 partial 到 slumber，软件应先请求接口从 partial 状态进入 active 状态，再请求接口从 active 状态进入 slumber 状态。																					
[27]	RW	cmd_asp	主动进入电源管理 Slumber/Partial 状态选择。 0: 主动进入 partial 状态； 1: 主动进入 slumber 状态。																					
[26]	RW	cmd_alpe	自动电源管理使能。 0: 禁止； 1: 使能。一旦 SATA_PORT_CI、SATA_PORT_SACT 被清 0，控制器自动进入电源管理状态，若 cmd_asp 为 1 进入 partial，若 cmd_asp 为 0 则进入 slumber 状态。																					
[25]	RW	cmd_dlae	ATAPI 模式下 LED 驱动使能。 0: 在 cmd_atapi 为 0，且有命令在执行时驱动 LED 管脚有效； 1: 只要有命令在执行，均驱动 LED 管脚有效。																					
[24]	RW	cmd_atapi	ATAPI 设备指示。 0: 当前设备为非 ATAPI 设备； 1: 当前设备为 ATAPI 设备。																					
[23:22]	RO	reserved	保留。																					
[21]	RO	cmd_esp	一直为 1，表示支持 External SATA 设备。																					



[20:18]	RO	reserved	保留。
[17]	RW	cmd_pma	Port Multipiler 设备识别指示。 0: 端口未连接 Port Multipiler 设备; 1: 端口连接的是 Port Multipiler 设备。
[16]	RO	reserved	保留。
[15]	RO	cmd_cr	命令列表处理指示信号。 0: 无命令正在执行; 1: 有命令正在执行。
[14]	RO	cmd_fr	FIS 接收处理指示信号, 0: 未进行 FIS 接收; 1: 正进行在 FIS 接收。
[13]	RO	reserved	保留。
[12:8]	RO	cmd_ccs	当前命令 Slot 号。 该位在 cmd_st 为 1 时有效, 在 cmd_st 为 0 时清 0。
[7:5]	RO	reserved	保留。
[4]	RW	cmd_fre	FIS 接收使能控制信号。 0: 禁止将接收的 FIS 写入系统内存; 1: 使能接收 FIS 并写入系统内存。 软件应先设置好接收 FIS 基址 SATA_PORT_FB 后再使能该位接收 FIS; 在 cmd_st 为 1 期间, 该位必须为 1。
[3]	RW	cmd_clo	Busy/Drq 清除控制, 软件可通过该位强制清除 BSY 和 DRQ, 并给 device 发送命令。 0: 无影响; 1: 将清除 SATA_PORT_TFD[tfd_sts]寄存器的 BSY 和 DRQ 位, 在 BSY、DRQ 为 0 后该位自动清 0。 该位只能紧跟在 cmd_st 由 0 置 1 之前写 1, 且软件应保证在该位清 0 后将 cmd_st 写 1。
[2]	RO	reserved	保留。
[1]	RW	cmd_sud	Spin-up 设备控制。 0: 当 SATA_PORT_SCTL[det]为 0 时, 控制器进入到 listen 模式; 1: 系统上电或 HBA 复位后, 启动控制器发送 COMRESET 序列初式化硬盘设备。



[0]	RW	cmd_st	命令列表处理使能。 0: 控制器进入闲置状态。 1: 控制器从 slot 0 开始, 处理 SATA_PORT_CI 寄存器标识为有效 slot 的命令。 在 cmd_fre 为 1 后才可设置 cmd_st 为 1。
-----	----	--------	---

SATA_PORT_TFD

SATA_PORT_TFD 为端口 task file 寄存器。

Offset Address	Register Name	Total Reset Value	
0x20+n x 0x80	SATA_PORT_TFD	0x0000_007F	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	tfd_err tfd_sts	
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1		
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:8]	RO	tfd_err	task file 错误寄存器值。 控制器在接收到 D2H register/PIO setup/SDB FIS 时更新该寄存器位。
[7:0]	RO	tfd_sts	task file 状态寄存器值。 bit[7]: BSY 位, 指示设备正忙; bit[6:4]: 不同命令代表不同的含义; bit[3]: DRQ 位, 指示设备有数据待传输; bit[2:1]: 不同的命令代表不同的含义; bit[0]: ERR 位, 指示设备在传输过程中出错。 控制器在接收到 D2H register/PIO setup/SDB FIS 时更新该寄存器位。

SATA_PORT_SIG

SATA_PORT_SIG 为端口 signature 寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x24+n x 0x80				SATA_PORT_SIG				0xFFFF_FFFF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	signature																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:0]	RO	signature		LBA 地址和扇区编址。具体分配关系如下： bit[31:24]: LBA 高位地址； bit[23:16]: LBA 中间地址； bit[15:8]: LBA 低位地址； bit[7:0]: 扇区数量。 在硬盘设备复位后的第一个 D2H register FIS 更新该寄存器。																											

SATA_PORT_SSTS

SATA_PORT_SSTS 为接口状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x028+n x 0x80				SATA_PORT_SSTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												pxssts_ipm		pxssts_spd		pxssts_det															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:8]	RO	pxssts_ipm		当前接口状态。 0x0: 无设备或通信未建立； 0x1: 处于 Active 状态； 0x2: 处于 Partial 状态； 0x6: 处于 Slumber 状态； 其它: 保留。																											



[7:4]	RO	pxssts_spd	接口协商速度状态。 0x0: 无设备或通信未建立; 0x1: 协商采用速率 1 进行通信; 0x2: 协商采用速率 2 进行通信; 0x3: 协商采用速率 3 进行通信; 其它: 保留。
[3:0]	RO	pxssts_det	设备检测与 PHY 状态。 0x0: 未检测到设备且 PHY 通信未建立; 0x1: 检测到设备但 PHY 通信未建立; 0x3: 检测到设备且 PHY 通信已建立; 0x4: PHY 处于离线状态或者处于 BIST 状态; 其它: 保留。

SATA_PORT_SCTL

SATA_PORT_SCTL 为接口控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x02C+n x 0x80				SATA_PORT_SCTL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												pxsctl_ipm		pxsctl_spd		pxsctl_det															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:8]	RW		pxsctl_ipm		接口电源管理状态控制。 0x0: 无特别要求; 0x1: 禁止进入 Partial 状态; 0x2: 禁止进入 Slumber 状态; 0x3: 禁止进入 Partial 状态或者 Slumber 状态; 其它: 保留。																											



[7:4]	RW	pxsctl_spd	接口通信速度控制。 0x0: 无特别要求; 0x1: 限速到速率 1 进行通信; 0x2: 限速到速率 2 进行通信; 0x3: 限速到速率 3 进行通信; 其它: 保留。
[3:0]	RW	pxsctl_det	设备检测与接口初始化控制。 0x0: 无设备检测或初始化请求; 0x1: 请求接口进行复位初始化序列 COMRESET; 0x4: 强制接口进入离线状态; 其它: 保留。 当 pxsctl_det 设置为 1 时, 控制器将发送 COMRESET 序列至设备, 软件应保持该位为 1 至少 1ms, 以保证设备收到 COMRESET 序列。

SATA_PORT_SERR

SATA_PORT_SERR 为错误诊断状态寄存器。

	Offset Address 0x30+n x 0x80	Register Name SATA_PORT_SERR	Total Reset Value 0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	diag_x diag_f reserved	diag_s diag_h diag_c reserved	diag_b diag_w diag_i diag_n	reserved	err_p reserved err_t	reserved	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26]	WC	diag_x	设备检测状态。 0: 未检测到设备发出的 COMINIT 信号; 1: 检测到设备发出的 COMINIT 信号。					
[25]	WC	diag_f	未知 FIS 检测状态。 0: 未收到 Unkonwn FIS; 1: 收到 Unkonwn FIS 且 CRC 校验正确时置 1。					
[24]	RO	reserved	保留。					



[23]	WC	diag_s	Link 链路层错误状态。 0: 链路层未出现状态跳变错误; 1: 链路层出现状态跳变错误。
[22]	WC	diag_h	握手错误状态。 0: 未收到设备发出 R_ERR 原语; 1: 收到设备发出的一个或多个 R_ERR 原语。
[21]	WC	diag_c	CRC 错误状态。 0: 接收 FIS 未出现 CRC 校验错误; 1: 接收 FIS CRC 校验错误。
[20]	RO	reserved	保留。
[19]	WC	diag_b	解码错误状态。 0: 未检测到 10B 到 8B 解码错误; 1: 检测到 10B 到 8B 解码错误。
[18]	WC	diag_w	COMWAKE 状态。 0: 未检测到设备发出的 COMWAKE 信号; 1: 检测到设备发出的 COMWAKE 信号。
[17]	WC	diag_i	PHY 内部错误状态。 0: 未检测到 PHY 内部错误; 1: 检测到 PHY 内部错误。
[16]	WC	diag_n	PhyRdy 信号变化状态。 0: PhyRdy 信号未发生变化; 1: PhyRdy 信号发生变化。 当 PhyRdy 信号从 1 到 0 或从 0 到 1 变化时置 1。
[15:11]	RO	reserved	保留。
[10]	WC	err_p	违背 SATA 协议错误状态。 0: 未检测到设备行为违反 SATA 协议; 1: 检测到设备行为违反 SATA 协议。
[9]	RO	reserved	保留。
[8]	WC	err_t	数据完整性错误状态。 0: 未检测到数据完整性错误; 1: 检测到数据完整性错误。
[7:0]	RO	reserved	保留。



SATA_PORT_SACT

SATA_PORT_SACT 为 NCQ 命令标识控制寄存器。

	Offset Address 0x034+n x 0x80	Register Name SATA_PORT_SACT	Total Reset Value 0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	port_sact		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	port_sact	<p>NCQ 命令标识控制寄存器。</p> <p>该寄存器每一位对应一 tag 号和内存中的一条 NCQ 命令，bit[31:0]分别对应 slot31~0 的命令和 tag31~0。以 bit[3]为例，每一位具体含义：</p> <p>0：slot3 命令为非 NCQ 命令；</p> <p>1：slot3 命令为 NCQ 命令。软件应在置位 SATA_PORT_CI[3]位之前置位该寄存器 bit[3]，在命令数据传输完成后，设备会发送一条 SDB FIS，控制器根据 FIS 中 SActive 来清除 bit[3]。</p> <p>软件只能在 cmd_st 为 1 时设置该寄存器，在 cmd_st 为 0 时全部清 0。</p>

SATA_PORT_CI

SATA_PORT_CI 为命令发送控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x38+n×0x80		SATA_PORT_CI		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	port_ci							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	port_ci	<p>命令待发送控制。</p> <p>该寄存器每一位代表内存中的一条命令，bit[31:0]分别对应slot31~0的命令。以bit[3]为例，每一位具体含义：</p> <p>0：slot3 无命令等待发送和执行；</p> <p>1：slot3 命令已在内存中建立完毕，控制器可以发送这条命令；当控制器执行完该命令，收到相应的 FIS 并清除 SATA_PORT_TFD 寄存器 BSY、DRQ、ERR 位时，同时也将清掉 bit[3]。</p> <p>该寄存器各位只能在 cmd_st 为 1 时置位，在 cmd_st 为 0 时全部清 0。</p>					

SATA_PORT_SNTF

SATA_PORT_SNTF 为异步 notification 事件指示寄存器。

Offset Address		Register Name		Total Reset Value				
0x3C+n x 0x80		SATA_PORT_SNTF		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				pxsntf_pmn			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	WC	pxsntf_pmn	<p>异步 notification 事件状态。</p> <p>如果控制器收到 PM 上设备的 SDB FIS，且该 FIS “N “位为 1，则将设备 PM 端口号对应该寄存器比特位置 1。</p> <p>以 bit[3]为例，每一位具体含义：</p> <p>0：PM 端口号为 3 的设备无异步 notification 事件发生；</p> <p>1：PM 端口号为 3 的设备有异步 notification 事件发生。</p>					



SATA_PORT_FIFOTH

SATA_PORT_FIFOTH 为接收 FIFO 水线寄存器。

	Offset Address 0x044+n x 0x80	Register Name SATA_PORT_FIFOTH	Total Reset Value 0x0000_0F24						
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0								
Name	reserved						dmac_rxfifo_th	rxfifo_th_sel	link_rxfifo_th
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 0 0 1 0 0 1 0 0								
Bits	Access	Name	Description						
[31:9]	RW	reserved	保留。						
[8:4]	RW	dmac_rxfifo_th	DMAC 接收 FIFO 流控水线。在接收数据时若 DMAC FIFO 数据量超过该值时控制器开始流控。						
[3]	RW	rxfifo_th_sel	流控 FIFO 选择。 0: link 接收 FIFO 流控有效; 1: DMAC 接收 FIFO 流控有效。						
[2:0]	RW	link_rxfifo_th	link 接收 FIFO 流控水线。在接收数据时若 DMAC FIFO 数据量超过该值时控制器开始流控。						

SATA_PORT_HBA

SATA_PORT_HBA 为 HBA 测试状态寄存器。

	Offset Address 0x050+n x 0x80	Register Name SATA_PORT_HBA	Total Reset Value 0x0100_0000								
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										
Name	reserved	p_curr_st	reserved	ndr_curr_st	cfis_curr_st	reserved	pio_curr_st	reserved	pm_curr_st	reserved	err_curr_st
Reset	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0										
Bits	Access	Name	Description								
[31:28]	RO	reserved	保留。								



[27:24]	RO	p_curr_st	HBA_PINIT_STATE 状态机当前状态。
[23:21]	RO	reserved	保留。
[20:16]	RO	ndr_curr_st	HBA_NDR_STATE 状态机当前状态。
[15:12]	RO	cfis_curr_st	HBA_CFIS_STATE 状态机当前状态。
[11]	RO	reserved	保留。
[10:8]	RO	pio_curr_st	HBA_PIO_STATE 状态机当前状态。
[7]	RO	reserved	保留。
[6:4]	RO	pm_curr_st	HBA_PM_STATE 状态机当前状态。
[3]	RO	reserved	保留。
[2:0]	RO	err_curr_st	HBA_ERR_STATE 状态机当前状态。

SATA_PORT_LINK

SATA_PORT_LINK 为 Link 测试状态寄存器。

	Offset Address 0x054+n x 0x80	Register Name SATA_PORT_LINK	Total Reset Value 0x0020_2020
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved link_curr_st reserved link_df_fifo_full link_df_fifo_empty link_df_fifo_count reserved link_rx_fifo_full link_rx_fifo_empty link_rx_fifo_count reserved link_tx_fifo_full link_tx_fifo_empty link_tx_fifo_count		
Reset	0 0 0 0 0 0 1 1 0 0 1 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 1 0 0 0 0 0		
Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:24]	RO	link_curr_st	LINK_CTL_STATE 状态机当前状态。
[23]	RO	reserved	保留。
[22]	RO	link_df_fifo_full	Link 消频差 FIFO 满标志。 0: FIFO 不满; 1: FIFO 满。



[21]	RO	link_df_fifo_empty	Link 消频差 FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[20:16]	RO	link_df_fifo_count	Link 消频差 FIFO 数据量。
[15]	RO	reserved	保留。
[14]	RO	link_rx_fifo_full	Link 接收 FIFO 满标志。 0: FIFO 不满; 1: FIFO 满。
[13]	RO	link_rx_fifo_empty	Link 接收 FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[12:8]	RO	link_rx_fifo_count	Link 接收 FIFO 数据量。
[7]	RO	reserved	保留。
[6]	RO	link_tx_fifo_full	Link 发送 FIFO 满标志。 0: FIFO 不满; 1: FIFO 满。
[5]	RO	link_tx_fifo_empty	Link 发送 FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[4:0]	RO	link_tx_fifo_count	Link 发送 FIFO 数据量。

SATA_PORT_DMA1

SATA_PORT_DMA1 为 DMAC 测试状态寄存器 1。



Offset Address		Register Name		Total Reset Value					
0x058+n x 0x80		SATA_PORT_DMA1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	txdma _{cur_state}	txdma _{prd_i}	tx_entry_dbc_cnt					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:24]	RO	txdma _{cur_state}	SATA_TX_DMAC 状态机当前状态。						
[23]	RO	txdma _{prd_i}	SATA_TX_DMAC 中 PRD 链表的 entry 中的 “I” 位。						
[22:0]	RO	tx_entry_dbc_cnt	SATA_TX_DMAC 中递减计数器，当前使用的 Entry 中的数据字节数目。						

SATA_PORT_DMA2

SATA_PORT_DMA2 为 DMAC 测试状态寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x05C+n x 0x80		SATA_PORT_DMA2		0x0020_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		tx_data_fis_cnt				tx_cmdh_prdtl		
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:8]	RO	tx_data_fis_cnt	SATA_TX_DMAC 中递减计数器，表示 PIO 和 Legacy DMA、及 First Party DMA 操作时的 Data FIS 字节数目。PIO 操作时，其初始值是 PIO Setup 中 transcount；Legacy DMA 或 First Party DMA 操作时，其初始值是 16'h2000 (2048DWORD)。						
[7:0]	RO	tx_cmdh_prdtl	SATA_TX_DMAC 中递减计数器，Command Header 中参数，表示 PRDT 中有多少个 Entries。						



SATA_PORT_DMA3

SATA_PORT_DMA3 为 DMAC 测试状态寄存器 3。

	Offset Address	Register Name	Total Reset Value						
	0x060+n x 0x80	SATA_PORT_DMA3	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	tx_fpdma_tran_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[31:0]	RO	tx_fpdma_tran_cnt	SATA_TX_DMAMC 中递减计数器，表示 First Party DMA 操作时的 Data FIS 字节数目。其初始值是 DMA Setup 中 transcount。					

SATA_PORT_DMA4

SATA_PORT_DMA4 为 DMAC 测试状态寄存器 4。

	Offset Address	Register Name	Total Reset Value					
	0x064+n x 0x80	SATA_PORT_DMA4	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	rxdmac_cur_state	rxdmac_prd_i	rx_entry_dbc_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name	Description				
	[31:28]	RO	reserved	保留。				
	[27:24]	RO	rxdmac_cur_state	SATA_RX_DMAMC 当前状态机信号。				
	[23]	RO	rxdmac_prd_i	SATA_RX_DMAMC 中 PRD 链表的 entry 中的 “I” 位。				
	[22:0]	RO	rx_entry_dbc_cnt	SATA_RX_DMAMC 中递减计数器，当前使用的 Entry 中的数据字节数目。				

SATA_PORT_DMA5

SATA_PORT_DMA5 为 DMAC 测试状态寄存器 5。



Offset Address		Register Name		Total Reset Value					
0x068+n x 0x80		SATA_PORT_DMA5		0x0020_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			rx_data_fis_cnt			rx_cmdh_prdtl		
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:8]	RO	rx_data_fis_cnt	SATA_RX_DMACH 中递减计数器，表示 PIO 和 Legacy DMA、及 First Party DMA 操作时的 Data FIS 字节数目。PIO 操作时，其初始值是 PIO Setup 中 transcount；Legacy DMA 或 First Party DMA 操作时，其初始值是 0x2000 (2048DWORD)。						
[7:0]	RO	rx_cmdh_prdtl	SATA_RX_DMACH 中递减计数器，Command Header 中参数，表示 PRDT 中有多少个 Entries。						

SATA_PORT_DMA6

SATA_PORT_DMA6 为 DMACH 测试状态寄存器 6。

Offset Address		Register Name		Total Reset Value				
0x6C+n x 0x80		SATA_PORT_DMA6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_fpdma_tran_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rx_fpdma_tran_cnt	SATA_RX_DMACH 中递减计数器，表示及 First Party DMA 操作时的 Data FIS 字节数目。其初始值是 DMA Setup 中 transcount 的值。					

SATA_PORT_DMA7

SATA_PORT_DMA7 为 DMACH 测试状态寄存器 7。



Offset Address		Register Name		Total Reset Value																																
0x070+n x 0x80		SATA_PORT_DMA7		0x0005_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								pio_op	fpdma_op	dmac_rx_fifo_full	dmac_rx_fifo_empty	dmac_tx_fifo_full	dmac_tx_fifo_empty	dmac_rx_fifo_cnt								dmac_tx_fifo_cnt													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:22]	RO	reserved	保留。																																	
[21]	RO	pio_op	PIO 操作指示。 0: 当前命令不是 PIO 操作; 1: 当前命令为 PIO 操作。																																	
[20]	RO	fpdma_op	First Party DMA 操作指示。 0: 当前命令不是 First Party DMA 操作; 1: 当前命令为 First Party DMA 操作。																																	
[19]	RO	dmac_rx_fifo_full	SATA_DMARX_FIFO 满状态。 0: FIFO 不满; 1: FIFO 满。																																	
[18]	RO	dmac_rx_fifo_empty	SATA_DMARX_FIFO 空状态。 0: FIFO 非空; 1: FIFO 空。																																	
[17]	RO	dmac_tx_fifo_full	SATA_DMARTX_FIFO 满状态。 0: FIFO 不满; 1: FIFO 满。																																	
[16]	RO	dmac_tx_fifo_empty	SATA_DMARTX_FIFO 空状态。 0: FIFO 非空; 1: FIFO 空。																																	
[15:8]	RO	dmac_rx_fifo_cnt	SATA_DMARX_FIFO 中的数据个数, 单位为 DWORD。																																	
[7:0]	RO	dmac_tx_fifo_cnt	SATA_DMARTX_FIFO 中的数据个数, 单位为 DWORD。																																	



SATA_PORT_PHYCTL

SATA_PORT_PHYCTL 为 PHY 控制寄存器。

		Offset Address 0x074+n x 0x80	Register Name SATA_PORT_PHYCTL	Total Reset Value 0x0E63_6159					
Bit		31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name		reserved	phy_disable phy_calibrated spd_change_ack dp_rdy bist_tx_fspd neg_mode_b gen2_en los_ctl	rx_dppll_mode	rx_eq_val	rx_term_en tx_calc	tx_edgerate tx_cko_en rx_align_en tx_clk_align	tx_atten	tx_boost
Reset		0 0 0 0	1 1 1 0	0 0 1 1	0 1 1 0	0 0 0 1	0 1 0 1	1 0 0 1	1 0 0 1
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28]	RW	phy_disable	是否使用 PHY。 0: 使用 PHY; 1: 不使用 PHY。						
[27]	RW	phy_calibrated	是否对 PHY 进行校准。 0: 不校准; 1: 校准。						
[26]	RW	spd_change_ack	是否允许速率切换。 0: 不允许速度切换; 1: 允许速度切换。						
[25]	RW	dp_rdy	PHY 是否准备好发送数据。 0: 未准备好; 1: 已经准备好。						
[24]	RW	bist_tx_fspd	BIST 模式强迫发送时钟频率。 0: 不强迫; 1: 强迫。						
[23]	RW	neg_mode_b	协商模式 B 选择。 0: 不支持; 1: 支持。						
[22]	RW	gen2_en	发送控制信号, 是否允许 3G 模式。 0: 不支持 3G 模式; 1: 支持 3G 模式。						



[21:20]	RW	los_ctl	LOS 检测控制。 00: LOS 检测关闭; 01: 保留; 10: OOB 信号检测; 11: 保留。
[19:17]	RW	rx_dpll_mode	接收 dpll 控制模式。 000: 表示 PHUG 为 1, FRUG 为 1; 001: 表示 PHUG 为 2, FRUG 为 2; 010: 表示 PHUG 为 1, FRUG 为 4; 011: 表示 PHUG 为 2, FRUG 为 4; 其他: 保留。
[16:14]	RW	rx_eq_val	接收均衡控制。表示内部的均衡值为 $\sim (rx_eq_val + 1) \times 0.5dB$ 。
[13]	RW	rx_term_en	接收 Terminate 使能。 0: 禁止; 1: 使能。
[12]	RW	tx_calc	此位不使用, 强制为 0。
[11:10]	RW	tx_edgerate	发送信号沿控制。缺省为 0x0。
[9]	RW	tx_cko_en	tx_cko_clk 时钟使能。 0: 禁止; 1: 使能。
[8]	RW	rx_align_en	接收数据对齐。 0: 不支持接收数据对齐; 1: 支持接收数据对齐。
[7]	RW	tx_clk_align	发送时钟对齐。 0: 不对齐; 1: 对齐。
[6:4]	RW	tx_atten	发送衰减控制。 000: 16/16; 001: 14/16; 010: 12/16; 011: 10/16; 100: 9/16; 101: 8/16; 11X: 保留。



[3:0]	RW	tx_boost	发送 boost 控制。值为 $-20\log(1 - (\text{tx_boost}[3:0] + 0.5) / 32)$ dB。
-------	----	----------	--

SATA_PORT_PHYSTS

SATA_PORT_PHYSTS 为 PHY 测试状态寄存器。

	Offset Address 0x078+n x 0x80	Register Name SATA_PORT_PHYSTS	Total Reset Value 0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
		tx_cko_word tx_rxpres tx_done spd_change link_rdy init_compl pwr_state rx_pll_pwron rx_en tx_en mpll_pwron phy_comwake phy_cominit half_rate phyrdy los op_done	
Bits	Access	Name	Description
[31:19]	RO	reserved	保留。
[18]	RW	tx_cko_word	每个 lane 的接收 word 时钟，暂不使用。
[17]	RW	tx_rxpres	接收检测，暂不使用。
[16]	RW	tx_done	发送部分请求的操作已完成，高有效，暂不使用。
[15]	RW	spd_change	要求变换速率，高有效。
[14]	RW	link_rdy	为高时表示发送了足够的 D10.2。
[13]	RW	init_compl	为高时表示接收到非 ALIGN 原语，初始化完成。
[12]	RW	pwr_state	为 1 表示处于低功耗模式(partial or slumber)，否则表示处于 Active 状态。
[11]	RW	rx_pll_pwron	接收 PLL 上电控制信号。
[10]	RW	rx_en	rx_en 信号控制状态。
[9:7]	RW	tx_en	tx_en 信号控制状态。
[6]	RW	mpll_pwron	MPLL 上电控制信号。
[5]	RW	phy_comwake	PHY 检测到 COMWAKE，高电平有效。
[4]	RW	phy_cominit	PHY 检测到 COMINIT，高电平有效。
[3]	RW	half_rate	为 1 时表示仅支持 1.5G 速率。
[2]	RW	phyrdy	PHY 已经初始化完成，可以与 LINK 层通信，高有效。
[1]	RW	los	Loss of Signal Output，高电平有效。

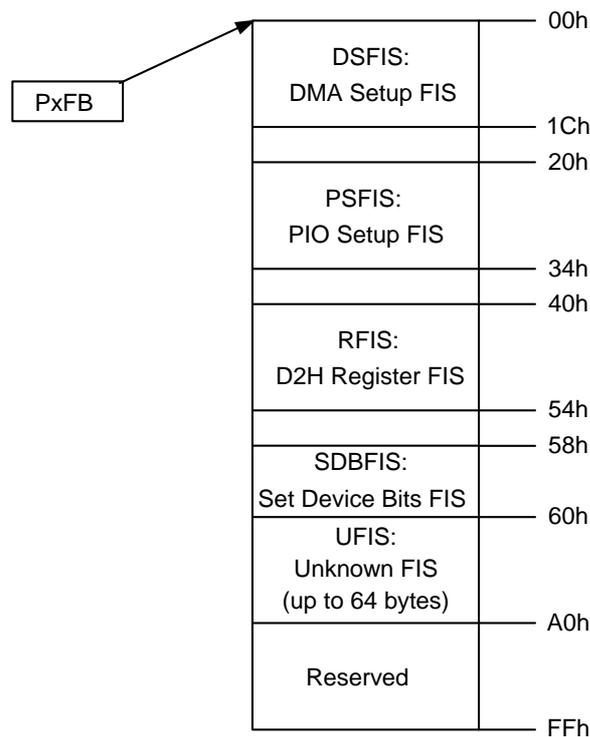


[0]	RW	op_done	MPLL 请求的操作已经完成，高电平有效。
-----	----	---------	-----------------------

14.7.8 附录 A SATA 命令链表格式

FIS 链表结构如图 14-45 所示，此链表是软件在系统 memory 开辟的一段空间，链表的基地址存在 AHCI 寄存器组中的 PxFB 和 PxFBU 寄存器中，DMAC 以此基地址为目的地址，将收到的不同帧，搬运到不同的 memory 空间中。

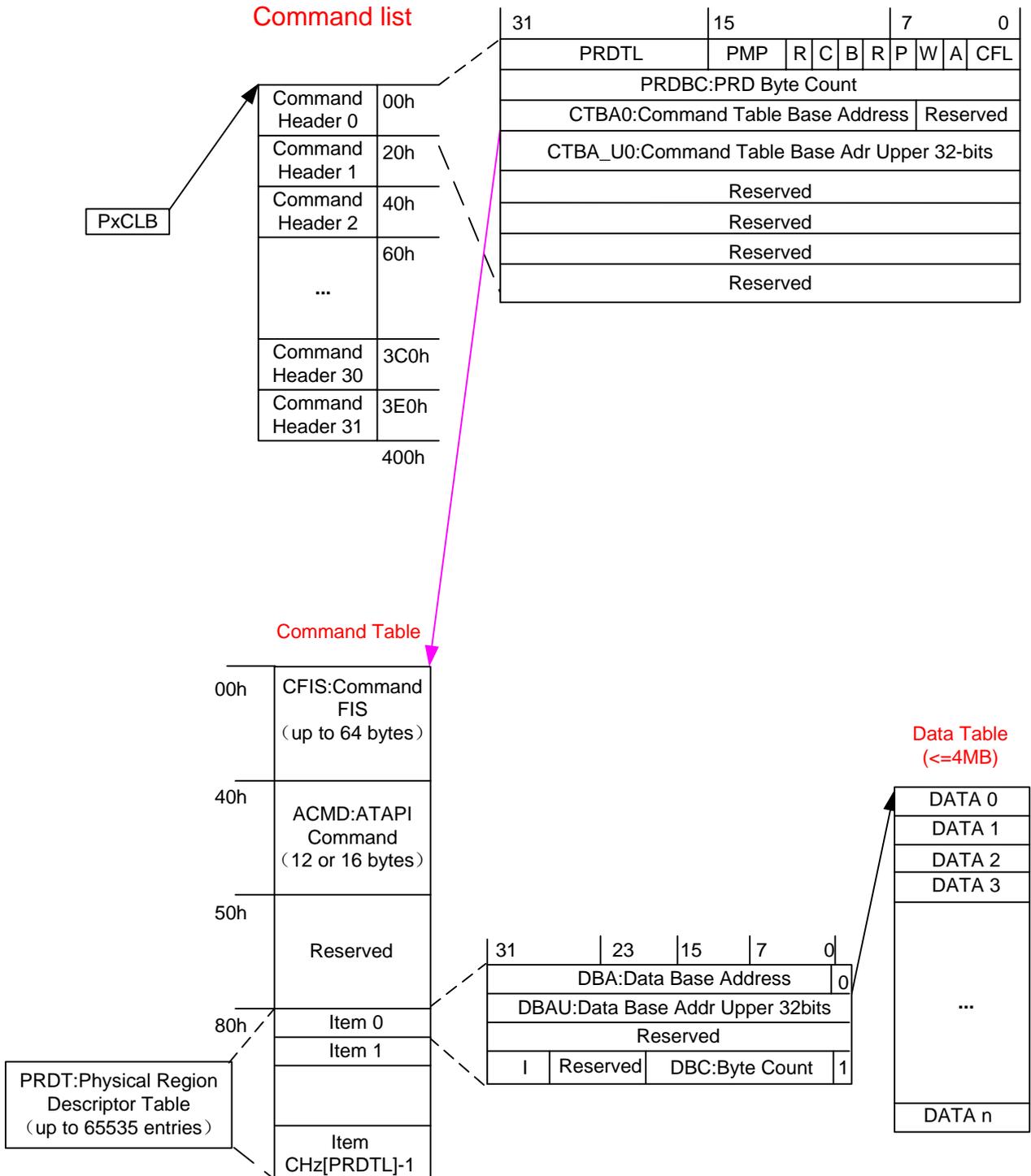
图14-45 链表结构



命令和数据链表结构如图 14-46 所示，此链表是软件在系统 memory 开辟的一段空间，Command list 中最多包括 32 个命令，Command list 的基地址由 AHCI 中的 PxCLB 和 PxCLBU 寄存器指定。每个命令都包括一个 Command Header，其中的 CTBA0 内容指定了 Command Table 的基地址，Command Table 中包括了要读取的命令和读写的数据空间链表。



图14-46 命令、数据链表结构



每次在命令执行之前都需要在内存中建立以上两个链表，链表的具体含义请参考 AHCI1.2 协议。其中的 CFIS 区域就是 H2D Register FIS，具体内容参考 SATA2.5 协议。ACMD 区域是 ATAPI 操作的命令内容，具体内容参考 SSF (Small Form Factor Committee) 专门针对 DVD Devices 和 CD-ROMs 的协议描述。



14.8 PWM

14.8.1 概述

Hi3520D 提供 1 路独立的脉宽调制信号输出。

14.8.2 特点

对于每路 PWM 输出：

- 3MHz 和 24MHz 时钟源可选。
- 内部 26bit 计数器，输出周期可配置。支持最高 12MHz (24MHz/2) 输出，最低约 0.045Hz (3MHz/ 67108863) 输出。
- 高电平个数 26bit 可配置。
- 内部 10bit 计数器，输出脉冲个数 (最大 1023 个) 可配置。可支持无限脉冲个数输出。

14.8.3 工作方式

PWM 内部工作于 3MHz 或者 24MHz，PWM 输出配置流程如下：

1. 选择合适的时钟源，通过计算得到需要的周期数和高电平个数。
2. 将对应数据写入 `PWM0_CFG0`、`PWM0_CFG1`、`PWM0_CFG2` 寄存器。
3. 对 `PWM0_CTRL` bit[0]写入 1，使能 PWM 输出。

----结束

例如：需要输出 1 个频率为 3KHz，高电平占 72.5% (即占空比)，脉冲个数为 10 的波形。

选择 3MHz 时钟为时钟源，周期数配置为 $3\text{MHz} / 1\text{KHz} = 1000$ ，四舍五入后为 1000，十六进制为 `0x00003E8`。高电平数配置为 $1000 \text{ (周期数)} \times 72.5\% \text{ (占空比)} = 725$ ，四舍五入后为 725，十六进制为 `0x00002D5`。

按如下步骤进行寄存器操作，即可输出所需要的波形：

1. 向写 `PERI_CRG14` 写 `0x2`，选择 PWM 的时钟源为 3MHz，打开 PWM 时钟。
2. 读取 `PWM0_STATE2` bit[10]，等 bit[10]为 0 (表示 PWM 空闲，可以输出方波)
3. 向 `PWM0_CFG0` 写入 `0x0000_03E8`。
4. 向 `PWM0_CFG1` 写入 `0x0000_02D5`。
5. 向 `PWM0_CFG2` 写入 `0x0000_000a`。
6. 向 `PWM0_CTRL` 写入 `0x1`。(以下步骤可以省略，只是为了验证正在输出的方波是否按配置输出)
7. 读取 `PWM0_STATE2` bit[10]，等 bit10 位为 1 (表示 PWM 正在输出方波)
8. 读取 `PWM0_STATE0` 和 `0x0000_03E8` 进行校验。



9. 读取 `PWM0_STATE1` 和 `0x0000_02D5` 进行校验。
10. 读取 `PWM0_STATE2` bit[9:0]和 `0x0A` 进行校验(当 bit[10]为 1 时表示 PWM 正在输出方波, 当该位为 0 时表示已经输出完设定的方波数目)。

----结束

14.8.4 寄存器概览

PWM 寄存器概览如表 14-16 所示。

表14-16 PWM 寄存器概览（基址是 `0x2012_0000`）

偏移地址	名称	描述	页码
<code>0x0000</code>	<code>PWM0_CFG0</code>	PWM0 的配置 0 寄存器	14-141
<code>0x0004</code>	<code>PWM0_CFG1</code>	PWM0 的配置 1 寄存器	14-142
<code>0x0008</code>	<code>PWM0_CFG2</code>	PWM0 的配置 2 寄存器	14-142
<code>0x000C</code>	<code>PWM0_CTRL</code>	PWM0 的控制寄存器	14-142
<code>0x0010</code>	<code>PWM0_STATE0</code>	PWM0 的状态 0 寄存器	14-143
<code>0x0014</code>	<code>PWM0_STATE1</code>	PWM0 的状态 1 寄存器	14-144
<code>0x0018</code>	<code>PWM0_STATE2</code>	PWM0 的状态 2 寄存器	14-144

14.8.5 寄存器描述

PWM0_CFG0

`PWM0_CFG0` 为 PWM0 的配置 0 寄存器。

	Offset Address	Register Name	Total Reset Value	
	<code>0x0000</code>	<code>PWM0_CFG0</code>	<code>0x0000_018F</code>	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved	pwm0_period		
Reset	0 1 1 0 0 0 0 1 1 1 1			
Bits	Access	Name	Description	
[31:26]	-	reserved	保留。	
[25:0]	RW	pwm0_period	PWM0 的周期数。不能配置为 0 和 1, 为 0 或者 1 时会输出高电平。	



PWM0_CFG1

PWM0_CFG1 为 PWM0 的配置 1 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				PWM0_CFG1				0x0000_00C7																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				pwm0_duty																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1
Bits	Access		Name		Description																											
[31:26]	-		reserved		保留。																											
[25:0]	RW		pwm0_duty		PWM0 的高电平拍数，如果大于等于周期数，则输出一直为高电平。																											

PWM0_CFG2

PWM0_CFG2 为 PWM0 的配置 2 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0008				PWM0_CFG2				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											pwm0_num																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:10]	-		reserved		保留。																											
[9:0]	RW		pwm0_num		PWM0 输出方波的数目。																											

PWM0_CTRL

PWM0_CTRL 为 PWM0 的控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x000C		PWM0_CTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							pwm0_keep	pwm0_inv	pwm0_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	-	reserved	保留。							
[2]	RW	pwm0_keep	PWM 输出模式。 0: PWM0 输出固定数目的方波; 1: PWM0 一直输出方波。							
[1]	RW	pwm0_inv	PWM 输出正反相控制。 0: PWM0 正常输出方波; 1: PWM0 反相输出方波。							
[0]	RW	pwm0_enable	PWM 使能控制。 0: PWM0 模块关闭; 1: PWM0 模块使能。							

PWM0_STATE0

PWM0_STATE0 为 PWM0 的状态 0 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0010		PWM0_STATE0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		pwm0_period_st						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:0]	RO	pwm0_period_st	PWM0 的内部模块采用的计数周期数。						



PWM0_STATE1

PWM0_STATE1 为 PWM0 的状态 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0014		PWM0_STATE1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			pwm0_duty_st					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:0]	RO	pwm0_duty_st	PWM0 的内部模块采用的高电平拍数。						

PWM0_STATE2

PWM0_STATE2 为 PWM0 的状态 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0018		PWM0_STATE2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			pwm0_cnt_st		pwm0_keep_st pwm0_busy	pwm0_period_st		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	-	reserved	保留。						
[21:12]	RO	pwm0_cnt_st	PWM0 模块还要的输出方波数目。只有当 pwm0_busy==1,pwm0_keep_st==0 时才有意义。						
[11]	RO	pwm0_keep_st	PWM0 的内部模块采用的输出方波的模式。 0: 输出固定数目的方波; 1: 一直输出方波。						
[10]	RO	pwm0_busy	PWM0 模块的工作状态。 0: 空闲, 输出完成; 1: 正在输出方波。						



[9:0]	RO	pwm0_period_st	PWM0 的内部模块采用的输出方波数目。
-------	----	----------------	----------------------



A 缩略语

A

ABR	Average Bit Rate	平均比特率
ACD	Auto Command Done	自动停止指令完成
AE	Auto Exposure	自动曝光
AES	Advanced Encryption Standard	先进的加密标准
AF	Auto Focus	自动对焦
AHB	Advanced High-performance Bus	-
AMBA	Advanced Microcontroller Bus Architecture	先进的微处理器总线结构
ARM	ARM	ARM 公司的 RISC Core
ATF	Adaptive Temporal Filter	自适应时域滤波
AWB	Auto White Balance	自动白平衡

B

BTF	Brute Force Temporal Filter	强制时域滤波
BVACT	Bottom Vertical Active Area	底场垂直活动有效区域
BVBB	Bottom Vertical Back Blank	底场垂直后消隐
BVFB	Bottom Vertical Front Blank	底场垂直前消隐

C

CBC	Cipher Block Chaining	密码分组链接
CBR	Constants Bit Rate	固定比特率
CCITT	International Telegraph and Telephone Consultative Committee	国际电报电话咨询委员会



CD	Command Done	指令完成
CFB	Cipher Feedback	密码反馈
CL	CAS Latency	读延迟
CPU	Central Processing Unit	中央处理单元
CRC	Cyclic Redundancy Check	循环冗余校验
CRG	Clock Reset Generation	时钟复位产生模块
CTR	Counter	计数器
CVBS	Composite Video Broadcast Signal	复合视频广播信号
D		
DCRC	Data CRC Error	数据 CRC 错误
DDR	Double Data-Rate	双数据速率
DEI	De-Interlace	反交错/去隔行
DES	Data Encryption Standard	数据加密标准
DFT	Design For Test	可测试性设计
DIS	Digital Image Stabilization	数字防抖
DLL	Delay Locked Loop	延迟锁相环
DMA	Direct Memory Access	直接存储器存取
DMAC	Direct Memory Access Controller	直接存储器存取控制器
DNR	Digital Noise Reduction	数字去噪
DQS	Data Strobe	数据选通信号
DRC	Dynamic Range Compression	动态范围压缩
DRTO	Data Read Timeout	数据读超时
DTO	Data Transfer Over	数据传输完成
DVR	Digital Video Recorder	数字视频录像机
E		
EBE	End-bit error	结束位错误
EBI	External Bus Interface	外部总线接口
ECB	Electronic Codebook	电子密码书
EOF	End Of Frame	帧结束



EOP	End Of Packet	包结束
ETH	Ethernet MAC	以太网接口
F		
FIFO	First In First Out	先入先出
FIQ	Fast Interrupt Request	快速中断请求
FRUN	FIFO Underrun/Overrun Error	FIFO 溢出错误
G		
GPIO	General Purpose Input/Output	通用目的输入/输出
H		
HACT	Horizontal Active Area	水平活动有效区域
HBB	Horizontal Back Blank	水平后消隐
HCCA	Host Controller Communication Area	主机控制器通信区域
HFB	Horizontal Front Blank	水平前消隐
HLE	Hardware Locked Error	硬件锁定错误
HPW	Horizontal Pulse Width	水平脉冲宽度
HTO	Data starvation-by-host timeout	控制器读写数据超时
I		
I2C	Inter-Integrated Circuit	一种串行总线协议标准
I2S	Inter-IC Sound	I2S 音频输入输出接口
IE	Image Enhancement	图像增强
IEC	International Electrotechnical Commission	国际电子技术委员会
IEEE	Institute of Electrical and Electronics Engineers	美国电气和电子工程师协会
IPVS	IP Video Surveillance	网络视频监控系统
IR	Infrared Remoter	红外遥控接口
IRQ	Interrupt Request	中断请求
ISO	International Standard Organization	国际标准化组织
ISP	Image Signal Processing	图像信号处理



ISR	Interrupt Service Routine	中断服务程序
ITCM	Instruction TCM	指令紧耦合存储器
ITU-T	International Telecommunication Union - Telecommunication Standardization Sector	国际电信联盟-电信标准部
IV	Initialization Vector	初始向量
J		
JTAG	Joint Test Action Group	联合测试行动小组
L		
LSB	Least Significant Bit	结尾 bit 位
LUT	Lookup Table	查找表
M		
MAC	Media Access Control	媒体访问控制
MCU	Micro Controller Unit	微型控制单元
MDIO	Management Data Input/Output	控制数据输入输出接口
MII	Media Independent Interface	介质无关接口
MMC	Multi-media Card	多媒体卡
MSB	Most Significant Bit	起始 bit 位
N		
NTSC	National Television Systems Committee	国家电视系统委员会（是一种原理为“正交平衡调幅制”的电视广播传输制式）
NVR	Net Video Recorder	网络视频录像机
O		
OFB	Output Feedback	输出反馈
OHCI	Open Host Controller Interface	公开主机控制器接口
OSD	On Screen Display	屏幕视控系统
OTG	On-The-Go	-



P

PAL	Phase Alternating Line	逐行倒相（是一种原理为“逐行倒相正交平衡调幅制”的电视广播传输制式）
PCB	Printed Circuit Board	印刷电路板
PCI	Peripheral Component Interconnect	一种通用的本地总线
PCM	Pulse Code Modulation	脉冲编码调制
PID	Packet ID	包标识
PIP	Picture In Picture	画中画
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器

Q

QXGA	Quantum Extended Graphics Array	昆腾扩展图形阵列（是一种计算机图形显示标准格式）
-------------	---------------------------------	--------------------------

R

RAM	Random-Access Memory	随机存取存储器
RCRC	Response CRC error	响应 CRC 错误
RE	Response error	响应错误
ROM	Read Only Memory	只读存储器
ROP	Raster Operation	光栅操作
RTO	Response Timeout	响应超时
RXDR	Receive FIFO data request	接收 FIFO 数据请求

S

SAD	Sum Of Absolute Difference	图象绝对误差和
SBE	Start-bit Error	起始位错误
SCL	Serial Clock	串行时钟
SCR	System Clock Reference	系统时钟参考
SD	Secure Digital	安全数字
SDA	Serial Data	串行数据
SDIO	secure digital Input/Output	安全数字输入输出接口
SDRAM	Synchronous Dynamic Random Access	同步动态随机存取存储器



	Memory	
SF	Spacial Filter	空域滤波
SFD	Start of Frame Delimiter	帧前导码
SI	Specific Information	特定信息
SIO	Sonic Input/Output	音频输入输出接口
SMI	Static Memory Interface	静态存储器接口
SOF	Start Of Frame	起始帧
SPI	Synchronous Peripheral Interface	同步外设接口
SRAM	Static Random Access Memory	静态随机存储器
SSP	Synchronous Serial Port	同步串口
T		
TCM	Tightly-Coupled Memory	紧耦合存储器
TDE	Two Dimension Engine	2D 引擎
TVACT	Top Vertical Active Area	顶场垂直活动有效区域
TVBB	Top Vertical Back Blank	顶场垂直后消隐
TVFB	Top Vertical Front Blank	顶场垂直前消隐
TXDR	Transmit FIFO Data Request	发送 FIFO 数据请求
U		
UART	Universal Asynchronous Receiver Transmitter	通用异步收发器
USB	Universal Serial Bus	通用串行总线
V		
VACT	Vertical Active Area	垂直活动有效区域
VBB	Vertical Back Blank	垂直后消隐
VBI	Vertical Blanking Interval	垂直消隐间隔
VBR	Variable Bit Rate	动态比特率
VEDU	Video Encode Unit	视频编码单元
VFB	Vertical Front Blank	垂直前消隐
VGA	Video Graphics Array	视频图形阵列



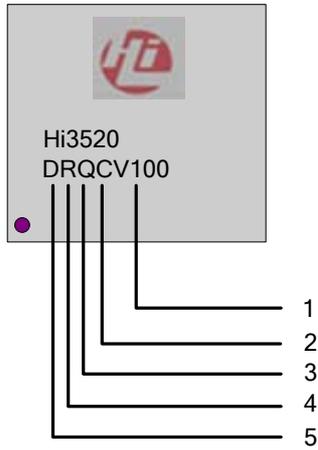
VIU	Video Input Unit	视频输入单元
VLC	Variable Length Coding	可变长度编码
VOU	Video Output Unit	视频输出单元
VPP	Video Pre-processing	视频前处理
VPW	Vertical Pulse Width	垂直脉冲宽度



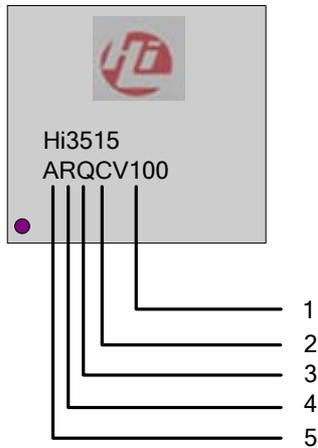
B 订购须知

Hi3520D 芯片标识如图 B-1 所示。Hi3515A 芯片标识如图 B-2 所示。

图B-1 Hi3520D 芯片标识



图B-2 Hi3515A 芯片标识





Hi3520D 和 Hi3515A 芯片标识定义如表 B-1 所示。

表B-1 Hi3520D 芯片标识定义

编号	标识	含义
1	版本号	芯片版本号
2	温度标识	C: Commercial(商业用品)
3	封装标识	Q: QFP
4	环保标识	R: RoHS
5	产品区分	芯片产品名称最后一位，即产品区分位。该位为可选，如果该位为空，则右方内容顺序左移。