



雅仪科技——【嵌入式智能互联设备】软硬件方案供应商。  
专注【远程网络视频监控系统】研发设计。更多资讯浏览：  
<http://www.travellinux.com> 获取。



Hi3519V100 专业型 HD IP Camera Soc

## 用户指南

文档版本 00B07

发布日期 2016-06-30

**版权所有 © 深圳市海思半导体有限公司 2016。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## 商标声明



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 深圳市海思半导体有限公司

地址：                    深圳市龙岗区坂田华为基地华为电气生产中心                    邮编：518129

网址：                    <http://www.hisilicon.com>

客户服务电话：          +86-755-28788858

客户服务传真：          +86-755-28357515

客户服务邮箱：          [support@hisilicon.com](mailto:support@hisilicon.com)



## 目 录

---

前 言.....1



# 前言

## 概述

本文档介绍了 Hi3519V100 芯片的特性、逻辑结构，详细描述各个模块的功能、工作方式、相关寄存器定义，用图表的方式给出了接口时序关系和相关参数，并详细描述了芯片的管脚定义和用途以及芯片的性能参数和封装尺寸。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3519	V100


## 读者对象

本文档主要适用于以下工程师：



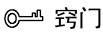
- 电子产品设计维护人员
- 电子产品元器件市场销售人员

## 约定符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	以本标志开始的文本表示有高度潜在危险，如果不能避免，会导致人员死亡或严重伤害。



符号	说明
 <b>警告</b>	以本标志开始的文本表示有中度或低度潜在危险，如果不能避免，可能导致人员轻微或中等伤害。
 <b>注意</b>	以本标志开始的文本表示有潜在风险，如果忽视这些文本，可能导致设备或器件损坏、数据丢失、设备性能降低或不可预知的结果。
 窍门	以本标志开始的文本能帮助您解决某个问题或节省您的时间。
 说明	以本标志开始的文本是正文的附加信息，是对正文的强调和补充。

## 通用格式约定

格式	说明
宋体	正文采用宋体表示。
黑体	一级、二级、三级标题采用黑体。
楷体	警告、提示等内容一律用 <b>楷体</b> ，并且在内容前后增加线条与正文隔离。
“Terminal Display”格式	“Terminal Display”格式表示屏幕输出信息。此外，屏幕输出信息中夹杂的用户从终端输入的信息采用加粗字体表示。

## 表格内容约定

内容	说明
-	表格中的无内容单元。
*	表格中的内容用户可根据需要进行配置。

## 寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	W0C	可读，写 0 清零，写 1 保持不变。
WO	只写。	W1S	可读，写 1 置 1，写 0 保持不变。



类型	说明	类型	说明
RW	可读可写。	W0S	可读，写 0 置 1，写 1 保持不变。
RC	读清零。	OSW	可读，写 1 后片内自清零，即产生一个脉冲。
W1C	可读，写 1 清零，写 0 保持不变。		

## 数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2016-06-30	00B07	第 7 次临时版本发布 <b>第 2 章 硬件</b> 2.3.2 小节，表 2-3 涉及修改 2.5.1.3 小节，表 2-25 和表 2-26 涉及修改。



修订日期	版本	修订说明
		<p><b>第 9 章 视频接口</b></p> <p>9.3.6 小节, PHY_MODE_LINK0、PHY_MODE_LINK1 和 PHY_MODE_LINK2 中 24bit 位涉及修改。</p> <p><b>第 14 章 Hi3519V100 与 Hi3519V101 的差异说明</b></p> <p>14 章节, 表 14-1 涉及修改。</p>
2016-05-10	00B06	<p>第 6 次临时版本发布</p> <p><b>第 2 章 硬件</b></p> <p>2.3.7、2.3.8、2.5.11 小节涉及刷新</p> <p><b>第 3 章 系统</b></p> <p>3.2.7 小节, PERI_CRG15、PERI_CRG19 涉及刷新</p> <p><b>第 7 章 视频及图形处理</b></p> <p>7.4.1 小节涉及修改</p> <p><b>第 12 章 外围设备</b></p> <p>12.8 章节涉及修改</p> <p>12.11.2、12.11.3 小节涉及修改</p>
2016-02-25	00B05	<p>第 5 次临时版本发布</p> <p><b>第 1 章 产品概述</b></p> <p>1.3.1 小节, 图 1-2 涉及修改</p> <p>1.3.15 小节, 涉及修改。</p> <p><b>第 2 章 硬件</b></p> <p>2.3.1、2.3.2、2.3.3、2.3.4 小节涉及修改</p> <p>2.3.6 小节, 修改表 2-13。</p> <p>2.3.8 小节, 新增表 2-24。</p> <p>2.5.6 小节, 修改表 2-36, 表 2-37</p> <p><b>第 3 章 系统</b></p> <p>3.2.7 小节, PERI_CRG 19、PERI_CRG51 内容涉及修改。</p> <p>3.5.5.2 小节, MISC_CTRL1 bit[15]涉及刷新</p> <p>3.11.2 小节中的芯片内部温度检测有修改。</p> <p><b>第 12 章 外围设备</b></p> <p>12.9.2 小节, 涉及修改。</p> <p><b>第 14 章 Hi3519V100 与 Hi3519V101 的差异说明</b></p> <p>14 章节, 表 14-1 涉及修改。</p>
2015-11-20	00B04	<p>第 4 次临时版本发布</p> <p><b>第 1 章 概述</b></p> <p>1.4 小节, 表 1-1 涉及修改</p> <p><b>第 2 章 硬件</b></p>



修订日期	版本	修订说明
		<p>2.2.3 小节, 表 2-4, 表 2-5 及表 2-6 涉及修改</p> <p>2.5.6 小节涉及修改。</p> <p>2.5.9 小节涉及修改。</p> <p><b>第 3 章 系统</b></p> <p>3.2.7 小节, 修改寄存器 PERI_CRG43 及 PERI_CRG44</p> <p>3.5.6 小节, 修改 MISC_CTRL1 寄存器 bit[30]。</p> <p>3.11.2 小节涉及修改。</p> <p>3.11.4 小节, 修改寄存器 PERI_PMC77 及 PERI_PMC79, 删除寄存器 PERI_PMC80 到 PERI_PMC88。</p> <p><b>第 9 章 视频接口</b></p> <p>9.16 删除寄存器 LINE_BUF_ADAPTER_CFG 和 CH_ADAPTER_CFG。</p> <p>9.3.3.2 删除 LVDS 宽动态模式 4 和删除图 9-33。</p> <p>9.3.6 删除寄存器 LVDS0_DOLSCD_HBLK, LVDS0_WDR 涉及修改。</p> <p><b>第 10 章 ISP</b></p> <p>10.2 小节, 涉及修改。</p> <p>10.4 小节, 涉及修改。</p> <p>10.5.2 小节, ISPFE_MAX_ADDR_iridix1 替换为 ISPFE_MAX_ADDR_NR1, ISPFE_MAX_ADDR_iridix2 替换为 ISPFE_MAX_ADDR_NR2</p> <p>10.5.2 小节, 增加寄存器 DRC_STRENGTH_INROI, DRC_STRENGTH_OUTROI, DRC_ROI_HOR_START_END, DRC_ROI_VER_END, DRC_FILTER_MUX, DRC_DARK_ENH, FRAME_STATS_STATS_RESET, FRAME_STATS_STATS_HOLD。</p>
2015-10-20	00B03	<p>第 3 次临时版本发布。</p> <p><b>第 1 章 产品概述</b></p> <p>1.3.11 小节, 涉及修改。</p> <p><b>第 8 章 智能加速引擎</b></p> <p>8.1.3.2 小节, 增加 SAD。</p> <p><b>02-A 订购须知</b></p> <p>增加 Hi3519V100 订购须知。</p>
2015-09-20	00B02	<p>第 2 次临时版本发布。</p> <p><b>第 2 章 硬件</b></p> <p>2.1.1 小节, 图 2-1 和图 2-2 涉及刷新。</p> <p>2.5.4.2 小节, 表 2-33、表 2-34 和表 2-35 涉及刷新。</p>





修订日期	版本	修订说明
		<b>第 3 章 系统</b> 3.2.3 小节，刷新图 3-3。 <b>第 11 章 音频接口</b> 11.1.5 小节 表 11-1 涉及刷新。 11.1 小节涉及更新
2015-08-20	00B01	第一次临时版本。



# 目 录

<b>1 产品概述.....</b>	<b>1-1</b>
1.1 概述.....	1-1
1.2 应用场景.....	1-1
1.2.1 Hi3519V100HD IP 摄像机解决方案.....	1-1
1.3 架构.....	1-2
1.3.1 概述 .....	1-2
1.3.2 处理器内核.....	1-3
1.3.3 视频编码 .....	1-3
1.3.4 视频编码处理性能.....	1-3
1.3.5 智能视频分析.....	1-4
1.3.6 视频与图形处理.....	1-4
1.3.7 ISP.....	1-4
1.3.8 音频编解码.....	1-4
1.3.9 安全引擎 .....	1-4
1.3.10 视频接口.....	1-5
1.3.11 音频接口.....	1-5
1.3.12 外围接口.....	1-5
1.3.13 外部存储器接口.....	1-5
1.3.14 SDK .....	1-6
1.3.15 芯片物理规格.....	1-6
1.4 启动模式.....	1-6
1.5 地址空间映射.....	1-9



---

## 插图目录

---

图 1-1 Hi3519V100 应用框图.....	1-2
图 1-2 Hi3519V100 芯片逻辑框图.....	1-3



---

## 表格目录

---

表 1-1 启动模式 .....	1-7
表 1-2 地址空间映射表.....	1-9



# 1 产品概述

## 1.1 概述

Hi3519V100 作为新一代行业专用 HD IP 摄像机 SoC，集成新一代 ISP，采用业界最新的 H.265 视频压缩编码器，同时采用先进低功耗工艺和低功耗架构设计，这一切将使得 Hi3519V100 在低码率、高图像质量和低功耗方面持续引领行业水平。创新性的硬件支持 90 度/270 度旋转功能和镜头几何校正功能，可以满足监控应用的各种场景需求。Hi3519V100 支持 3A 算法，用户可以基于此实现包含一体机机芯在内的各种机型设计。集成 POR、RTC、Audio Codec、并支持多种 sensor 电平及各种时钟输出等功能，将极大的降低基于 Hi3519V100 的 HD IP 摄像机 EBOM 成本。配合海思稳定和易用的 SDK 设计，能够支撑客户快速产品量产，并实现 DVR/NVR 和 IP 摄像机的系统布局。

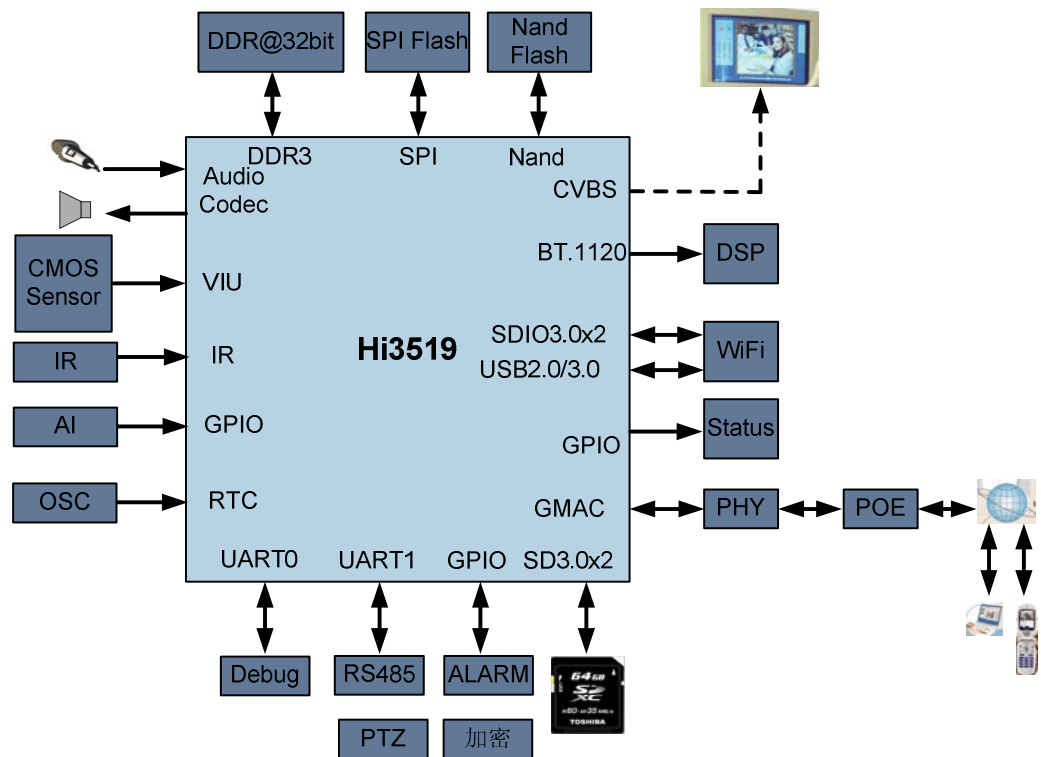
## 1.2 应用场景

### 1.2.1 Hi3519V100HD IP 摄像机解决方案

Hi3519V100 的典型应用场景如图 1-1 所示。



图1-1 Hi3519V100 应用框图



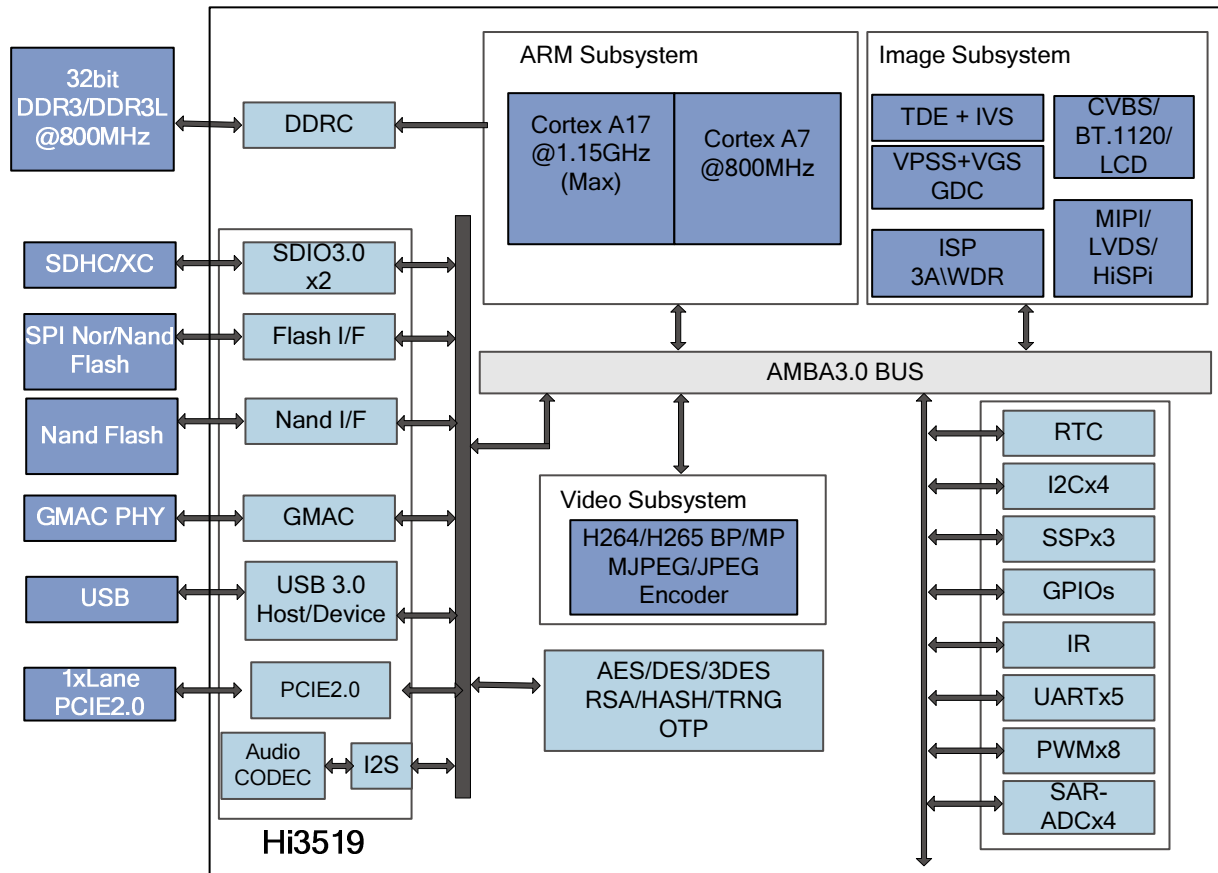
## 1.3 架构

### 1.3.1 概述

Hi3519V100 芯片逻辑框图如图 1-2 所示。



图1-2 Hi3519V100 芯片逻辑框图



### 1.3.2 处理器内核

- A7@ 800MHz, 32KB I-Cache, 32KB D-Cache /128KB L2 cache
- A17@ 1.15GHz (Max), 32KB I-Cache, 32KB D-Cache /256KB L2 cache
- 支持 Neon 加速, 集成 FPU 处理单元
- 支持 ARM® big.LITTLE 大小核架构

### 1.3.3 视频编码

- H.264 BP/MP/HP
- H.265 Main Profile
- H.264/H265 支持 I/P/帧
- 支持 MJPEG/JPEG Baseline 编码

### 1.3.4 视频编码处理性能

- H.264/H.265 编码可支持最大分辨率为 16M Pixel
- H.264/H.265 多码流实时编码能力:
  - 4K2K@30fps+720P@30fps



- 16M@2fps
- 支持 JPEG 抓拍 8M @30fps
- CBR/VBR 码率控制, 2kbps~100Mbps
- 编码帧率支持 1/16~240fps
- 支持 8 个感兴趣区域 (ROI) 编码

### 1.3.5 智能视频分析

集成智能分析加速引擎, 支持智能运动侦测、周界防范、视频诊断等多种智能分析应用

### 1.3.6 视频与图形处理

- 支持 3D 去噪、图像增强、动态对比度增强处理功能
- 支持视频、图形输出抗闪烁处理
- 支持视频 1/15~16x 缩放功能
- 支持图形 1/2~2x 缩放功能
- 8 个区域的编码前处理 OSD 叠加
- 2 层 (视频层、图形层) 视频图形叠加

### 1.3.7 ISP

- 支持 3A (AE/AWB/AF) 功能, 3A 的控制用户可调节
- 支持去固定模式噪声 (FPN) 功能
- 强光抑制、背光补偿、gamma、色彩增强
- 支持坏点校正、去噪、数字防抖
- 支持去雾
- 支持鱼眼矫正
- 支持图像 90 度/270 度旋转
- 支持图像 mirror、flip
- 支持数字 WDR, 4F/3F/2F - Frame base/Line base WDR 和 Tone mapping
- 提供 PC 端 ISP tuning tools

### 1.3.8 音频编解码

- 通过软件实现多协议语音编解码
- 协议支持 G.711、ADPCM、G.726
- 支持音频 3A (AEC/ANR/ALC) 处理

### 1.3.9 安全引擎

- 硬件实现 AES/DES/3DES 三种加解密算法
- 硬件实现 RSA1024/2048/4096 签名校验算法





- 硬件实现 HASH 防篡改算法，支持 HASH-SHA1/256、HMAC\_SHA1/256 算法
- 内部集成 512Bit OTP 存储空间和硬件随机数发生器

### 1.3.10 视频接口

- 输入
  - 支持 8/10/12/14 bit RGB Bayer DC 时序视频输入，时钟频率最高 150MHz
  - 支持 BT.601、BT.656、BT.1120 视频输入接口
  - 支持 8Lane MIPI D-PHY 接口，12lane LVDS/sub-LVDS/HiSPi 接口
  - 支持与 SONY、Aptina、OmniVision、Panasonic 等主流高清 CMOS sensor 对接
  - 兼容多种 sensor 并行/差分接口电气特性
  - 提供可编程 sensor 时钟输出
- 输出
  - 支持 1 路 PAL/NTSC 输出，支持负载自动检测
  - 提供 1 个 BT.1120/BT.656 视频输出接口，用于外扩 HDMI 或 SDI 接口，最大支持 1080P@60fps 输出，支持 LCD 输出

### 1.3.11 音频接口

- 集成 Audio codec，支持 16bit 语音输入和输出
- 支持 I2S 接口，支持对接外部 Audio codec
- 支持双声道 mic 差分输入，降低底噪

### 1.3.12 外围接口

- 支持 POR
- 集成高精度 RTC
- 集成 4 通道 SAR-ADC
- 5 个 UART 接口
- IR 接口、I2C 接口、SSP 主接口、GPIO 接口
- 8 个 PWM 接口（4 个独立，4 个复用其它管脚）
- 2 个 SD3.0/SDIO3.0 接口，支持 SDXC
- 1 个 USB3.0/2.0 HOST/Device 接口
- 1 个 PCIe2.0 主/从模式
- 支持 RGMII 和 RMII 模式；支持 10/100 Mbps 全双工或半双工模式，支持 1000 Mbps 全双工模式；支持 TSO 网络加速

### 1.3.13 外部存储器接口

- DDR3/DDR3L 接口
  - 1 个 32bit DDR3/3L 最高 800MHz（1.6Gbps）
  - 单颗 16bit DDR 颗粒最大容量支持 1024 MB



- 两颗 16bit DDR 颗粒最大容量支持 2048 MB
- SPI Nor Flash 接口
  - 支持 1、2、4 线模式
  - 支持 3Byte、4Byte 地址模式
  - 最大容量支持 32MB
- SPI Nand Flash 接口
  - 最大容量支持 512 MB
- 支持 eMMC5.0 接口
  - 最大容量支持 64 GB
- NAND Flash 接口
  - 8bit 数据位宽
  - 支持 SLC、MLC
  - 4、8、24、40、64bit ECC
  - 支持 8GB 以上容量器件
- 可选择从 SPI NOR Flash, SPI Nand Flash 或 NAND Flash 启动
- 支持从 eMMC 启动

### 1.3.14 SDK

- 提供基于 Linux-3.18 SDK 包
- 提供 H.264/H.265 的高性能 PC/iOS/Android 解码库

### 1.3.15 芯片物理规格

- 功耗
  - 4K\*2K, 1.6W 典型功耗
  - 支持多级省电模式
- 工作电压
  - 内核电压为 0.9V
  - IO 电压为 3.3V, 容限电压为 3.8V
  - DDR3/3L SDRAM 接口电压为 1.5/1.35 V
- 封装
  - RoHS, TFBGA
  - 15mm x 15mm 封装大小
  - 管脚间距: 0.65mm

## 1.4 启动模式

Hi3519V100 支持以下 5 种启动方式:



- 从 BOOT ROM 存储空间启动
- 从片外 SPI Flash 存储空间启动
- 从片外 NAND Flash 存储空间启动
- 从片外 eMMC 存储空间启动
- PCIe 从片启动

当芯片上电复位时，启动模式由 BOOTROM\_SEL/BOOT\_SEL0/ BOOT\_SEL1 信号的值决定，具体情况如表 1-1 所示。

表1-1 启动模式

BOOTROM_SEL	BOOT_SEL1	BOOT_SEL0	SFC_EMMC_BOOT_MODE	SFC_DEVICE_MODE	SPI_NAND_SEL	UPDATE_FROM_SDIO	启动模式
1	x	x	x	x	x	x	从 BOOTROM 启动
0	0	0	0	0	x	x	从片外 SPI NOR Flash (3byte 地址模式) 启动
0	0	0	1	0	x	x	从片外 SPI NOR Flash (4byte 地址模式) 启动
0	0	0	0	1	0	x	从片外 SPI NAND Flash (1 线模式, Plane 地址比特位不使能) 启动
0	0	0	1	1	0	x	从片外 SPI NAND Flash (4 线模式, Plane 地址比特位不使能) 启动
0	0	0	0	1	1	x	从片外 SPI NAND Flash (1 线模式, Plane 地址比特位使能) 启动



BOOTROM_SEL	BOOT_SEL1	BOOT_SEL0	SFC_EMMC_BOOT_MODE	SFC_DEVICE_MODE	SPI_NAND_SEL	UPDATE_FROM_SDIO	启动模式
0	0	0	1	1	1	x	从片外 SPI NAND Flash (4 线模式, Plane 地址比特位使能) 启动
0	0	1	x	x	x	x	从片外 NAND Flash 启动
0	1	0	0	x	x	x	从片外 eMMC (4 线) 启动
0	1	0	1	x	x	x	从片外 eMMC (8 线) 启动
0	1	1	x	x	x	x	PCIe 从片启动

说明

- BOOTROM\_SEL 信号与芯片外部管脚 VO\_DAT2 复用；
- BOOT\_SEL0 信号与芯片外部管脚 VO\_DAT0 复用。
- BOOT\_SEL1 信号与芯片外部管脚 VO\_DAT1 复用。
- SFC\_EMMC\_BOOT\_MODE 与芯片外部管脚 VO\_DAT3 复用。
- SFC\_DEVICE\_MODE 与芯片外部管脚 VO\_DAT4 复用。
- SPI\_NAND\_SEL 与芯片外部管脚 EPHY\_RSTN 复用。
- UPDATE\_FROM\_SDIO 与芯片外部管脚 VO\_DAT6 复用。

当启动模式为从 BOOTROM 启动时，将会启动串口通信机制，通过串口与 PC 端相应的软件建立通信，下载 boot 程序后完成启动（请参考《HiBurn 工具使用指南》）；如果在 BOOTROM 启动时与串口通信超时未响应，将会转向判断 BOOT\_SEL1 和 BOOT\_SEL0 的上下拉电平，当 BOOT\_SEL1=0，BOOT\_SEL0=0 时转向从片外 SPI Flash 启动；当 BOOT\_SEL1=0，BOOT\_SEL0=1 时转向从片外 NAND Flash 启动；当 BOOT\_SEL1=1，BOOT\_SEL0=0 时转向从片外 eMMC Flash 启动。

当启动模式配置成 PCIe 从片启动模式时，芯片上电复位撤销后 CPU 不会启动，由主片通过 PCIe 接口加载 boot 程序至从片 DDR 内，然后主片通过 PCIe 接口撤销从片 CPU 的复位，从片从 DDR 加载 boot 程序。



## 1.5 地址空间映射

地址空间映射如表 1-2 所示。

表1-2 地址空间映射表

起始地址	结束地址	功能	大小	说明
0x0000_0000	0x03FF_FFFF	地址重映射选定的存储器。重映射撤销后指向片内 RAM。	64MB	重映射时： {BOOTROM_SEL, BOOT_SEL1, BOOT_SEL0} 3'b000: SPI FLASH MEMORY 空间； 3'b001: Nand FLASH MEMORY 空间； 3'b011: BOOTROM； 其它： BOOTROM； 重映射撤销后：指向片内 RAM。
0x0400_0000	0x0400_FFFF	BOOTROM 地址空间	64KB	实际大小为 16KB。
0x0401_0000	0x0401_FFFF	BOOTRAM 地址空间	64KB	实际大小为 28KB。
0x0402_0000	0x0406_FFFF	保留	320KB	
0x0407_0000	0x0FFF_FFFF	保留	-	
0x1000_0000	0x1000_FFFF	FMC 寄存器	64KB	
0x1001_0000	0x1001_FFFF	保留	64KB	
0x1002_0000	0x1002_FFFF	保留	64KB	
0x1003_0000	0x1003_FFFF	DMAC 寄存器	64KB	
0x1004_0000	0x1004_FFFF	保留	64KB	
0x1005_0000	0x1005_FFFF	GSF 寄存器	64KB	
0x1006_0000	0x1006_FFFF	保留	64KB	
0x1007_0000	0x1007_FFFF	保留	64KB	
0x1008_0000	0x1008_FFFF	CIPHER 寄存器	64KB	
0x1009_0000	0x1009_FFFF	HASH 寄存器	64KB	
0x100A_0000	0x100A_FFFF	保留	64KB	



起始地址	结束地址	功能	大小	说明
0x100B_0000	0x100B_FFFF	保留	64KB	
0x100C_0000	0x100C_FFFF	SDIO0 寄存器	64KB	
0x100D_0000	0x100D_FFFF	SDIO1 寄存器	64KB	
0x100E_0000	0x100E_FFFF	EMMC 寄存器	64KB	
0x100F_0000	0x100F_FFFF	保留	64KB	
0x1010_0000	0x1010_FFFF	保留	64KB	
0x1011_0000	0x1011_FFFF	USB2.0 HOST OHCI 寄存器	64KB	
0x1012_0000	0x1012_FFFF	USB2.0 HOST EHCI 寄存器	64KB	
0x1013_0000	0x1013_FFFF	USB2.0 DEVICE 寄存器	64KB	
0x1014_0000	0x1014_FFFF	保留	64KB	
0x1015_0000	0x1015_FFFF	保留	64KB	
0x1016_0000	0x1016_FFFF	保留	64KB	
0x1017_0000	0x1017_FFFF	保留	64KB	
0x1018_0000	0x1018_FFFF	USB3.0 寄存器	64KB	
0x1019_0000	0x1019_FFFF	保留	-	
0x101A_0000	0x101A_FFFF	保留	64KB	
0x101B_0000	0x101B_FFFF	保留	64KB	
0x101C_0000	0x101D_FFFF	保留	128KB	
0x101E_0000	0x101F_FFFF	保留	128KB	
0x1020_0000	0x1020_FFFF	保留	64KB	
0x1021_0000	0x102F_FFFF	保留	-	
0x1030_0000	0x1030_FFFF	GIC 寄存器	64KB	
0x1031_0000	0x103F_FFFF	保留	64KB	
0x1040_0000	0x1051_FFFF	保留	1088KB	
0x1060_0000	0x106F_FFFF	保留	-	
0x1070_0000	0x1070_FFFF	保留	64KB	
0x1071_0000	0x10FF_FFFF	保留	-	
0x1100_0000	0x1100_FFFF	VDP 寄存器	64KB	
0x1101_0000	0x1101_FFFF	保留	64KB	



起始地址	结束地址	功能	大小	说明
0x1102_0000	0x1102_FFFF	保留	64KB	
0x1103_0000	0x1103_FFFF	保留	64KB	
0x1104_0000	0x1104_FFFF	IVE 寄存器	64KB	
0x1105_0000	0x1105_FFFF	保留	64KB	
0x1107_0000	0x1107_FFFF	保留	64KB	
0x1108_0000	0x1108_FFFF	AIAO 寄存器	64KB	
0x1109_0000	0x1109_FFFF	保留	64KB	
0x110A_0000	0x110A_FFFF	保留	64KB	
0x110B_0000	0x110B_FFFF	保留	64KB	
0x110C_0000	0x110C_FFFF	GZIP 寄存器	64KB	
0x110D_0000	0x110F_FFFF	保留	-	
0x1110_0000	0x1110_FFFF	TDE 寄存器	64KB	
0x1111_0000	0x1111_FFFF	GDC 寄存器	64KB	
0x1112_0000	0x1112_FFFF	VGS 寄存器	64KB	
0x1113_0000	0x1117_FFFF	保留	-	
0x1118_0000	0x1118_FFFF	VPSS 寄存器	64KB	
0x1119_0000	0x1119_FFFF	保留	64KB	
0x111A_0000	0x111A_FFFF	保留	64KB	
0x111B_0000	0x111B_FFFF	保留	64KB	
0x111C_0000	0x111F_FFFF	保留	-	
0x1120_0000	0x1120_FFFF	JPGE 寄存器	64KB	
0x1121_0000	0x1121_FFFF	保留	64KB	
0x1122_0000	0x1123_FFFF	保留	-	
0x1124_0000	0x1124_FFFF	保留	64KB	
0x1125_0000	0x1125_FFFF	保留	64KB	
0x1126_0000	0x1126_FFFF	保留	64KB	
0x1127_0000	0x1127_FFFF	保留	64KB	
0x1128_0000	0x1128_FFFF	VEDU 寄存器	64KB	
0x1129_0000	0x1129_FFFF	保留	64KB	



起始地址	结束地址	功能	大小	说明
0x112A_0000	0x112A_FFFF	保留	64KB	
0x112B_0000	0x112B_FFFF	保留	64KB	
0x112C_0000	0x112F_FFFF	保留	64KB	
0x1130_0000	0x1130_FFFF	MIPI 寄存器	64KB	
0x1131_0000	0x1137_FFFF	保留	-	
0x1138_0000	0x113E_FFFF	VICAP 寄存器	448KB	
0x113F_0000	0x1147_FFFF	保留	-	
0x1148_0000	0x114E_FFFF	保留	448KB	
0x114F_0000	0x11FF_FFFF	保留	-	
0x1200_0000	0x1200_0FFF	TIMER0/TIMER1 寄存器	4KB	
0x1200_1000	0x1200_1FFF	TIMER2/TIMER3 寄存器	4KB	
0x1200_2000	0x1200_2FFF	TIMER4/TIMER5 寄存器	4KB	
0x1200_3000	0x1200_3FFF	保留	4KB	
0x1200_4000	0x1200_FFFF	保留	48KB	
0x1201_0000	0x1201_FFFF	CRG 寄存器	64KB	
0x1202_0000	0x1202_FFFF	SYSCTRL 寄存器	64KB	
0x1203_0000	0x1203_FFFF	MISC 寄存器	64KB	
0x1204_0000	0x1204_07FF	IO MUX config 寄存器	2KB	复用关系
0x1204_0800	0x1204_FFFF	IO CTRL config 寄存器	62KB	驱动电流
0x1205_0000	0x1205_0FFF	DDRT 寄存器	4KB	
0x1205_1000	0x1205_1FFF	保留	60KB	
0x1206_0000	0x1206_FFFF	MDDRC/DDRPHY 寄存器	64KB	
0x1207_0000	0x1207_07FF	保留	2KB	
0x1207_0800	0x1207_FFFF	cipher_hash_key_ctrl 寄存器	62KB	
0x1208_0000	0x1208_FFFF	WDG 寄存器	64KB	
0x1209_0000	0x1209_FFFF	RTC 寄存器	64KB	
0x120A_0000	0x120A_FFFF	PMC 寄存器	64KB	
0x120B_0000	0x120B_FFFF	RSA 寄存器	64KB	
0x120C_0000	0x120C_FFFF	TRNG 寄存器	64KB	





起始地址	结束地址	功能	大小	说明
0x120D_0000	0x120D_FFFF	SYSCNT 寄存器	64KB	
0x120E_0000	0x120E_FFFF	SAR_ADC 寄存器	64KB	
0x120F_0000	0x120F_FFFF	IR 寄存器	64KB	
0x1210_0000	0x1210_0FFF	UART0 寄存器	4KB	
0x1210_1000	0x1210_1FFF	UART1 寄存器	4KB	
0x1210_2000	0x1210_2FFF	UART2 寄存器	4KB	
0x1210_3000	0x1210_3FFF	UART3 寄存器	4KB	
0x1210_4000	0x1210_4FFF	UART4 寄存器	4KB	
0x1210_5000	0x1210_FFFF	保留	44KB	
0x1211_0000	0x1211_0FFF	I2C0 寄存器	4KB	
0x1211_1000	0x1211_1FFF	I2C1 寄存器	4KB	
0x1211_2000	0x1211_2FFF	I2C2 寄存器	4KB	
0x1211_3000	0x1211_3FFF	I2C3 寄存器	4KB	
0x1211_4000	0x1211_4FFF	保留	4KB	
0x1211_5000	0x1211_FFFF	保留	44KB	
0x1212_0000	0x1212_0FFF	SSP0 寄存器	4KB	
0x1212_1000	0x1212_1FFF	SSP1 寄存器	4KB	
0x1212_2000	0x1212_2FFF	SSP2 寄存器	4KB	
0x1212_3000	0x1212_3FFF	保留	4KB	
0x1212_4000	0x1212_4FFF	spi_3wire 寄存器	4KB	
0x1212_5000	0x1212_5FFF	保留	4KB	
0x1212_6000	0x1212_FFFF	保留	40KB	
0x1213_0000	0x1213_FFFF	PWM 寄存器	64KB	
0x1214_0000	0x1214_0FFF	GPIO0 寄存器	4KB	
0x1214_1000	0x1214_1FFF	GPIO1 寄存器	4KB	
0x1214_2000	0x1214_2FFF	GPIO2 寄存器	4KB	
0x1214_3000	0x1214_3FFF	GPIO3 寄存器	4KB	
0x1214_4000	0x1214_4FFF	GPIO4 寄存器	4KB	
0x1214_5000	0x1214_5FFF	GPIO5 寄存器	4KB	



起始地址	结束地址	功能	大小	说明
0x1214_6000	0x1214_6FFF	GPIO6 寄存器	4KB	
0x1214_7000	0x1214_7FFF	GPIO7 寄存器	4KB	
0x1214_8000	0x1214_8FFF	GPIO8 寄存器	4KB	
0x1214_9000	0x1214_9FFF	GPIO9 寄存器	4KB	
0x1214_A000	0x1214_AFFF	GPIO10 寄存器	4KB	
0x1214_B000	0x1214_BFFF	GPIO11 寄存器	4KB	
0x1214_C000	0x1214_CFFF	GPIO12 寄存器	4KB	
0x1214_D000	0x1214_DFFF	GPIO13 寄存器	4KB	
0x1214_E000	0x1214_EFFF	保留	4KB	
0x1214_F000	0x1214_FFFF	保留	4KB	
0x1215_0000	0x1215_FFFF	保留	64KB	
0x1216_0000	0x1216_FFFF	PCIE 寄存器空间	64KB	
0x1217_0000	0x1217_FFFF	保留	64KB	
0x1218_0000	0x12FF_FFFF	保留	-	
0x1300_0000	0x13FF_FFFF	保留	-	
0x1400_0000	0x14FF_FFFF	FMC 存储地址空间	16MB	
0x1500_0000	0x1EFF_FFFF	保留	-	
0x1F00_0000	0x1FFF_FFFF	CCI 寄存器	1MB	
0x2000_0000	0x27FF_FFFF	PCIE 配置空间	128MB	
0x2800_0000	0x2FFF_FFFF	PCIE MEMORY 空间	128MB	
0x3000_0000	0x37FF_FFFF	保留	128MB	
0x3800_0000	0x3FFF_FFFF	保留	128MB	
0x8000_0000	0xFFFF_FFFF	DDR 地址空间	2GB	



# 目 录

<b>2 硬件特性</b> .....	<b>2-1</b>
2.1 封装与管脚分布.....	2-1
2.1.1 封装.....	2-1
2.1.2 管脚分布.....	2-4
2.2 管脚信息描述.....	2-4
2.3 电性能参数.....	2-4
2.3.1 功耗参数.....	2-4
2.3.2 温度和热阻参数.....	2-5
2.3.3 工作条件.....	2-7
2.3.4 上下电顺序.....	2-9
2.3.5 DC/AC 电气参数.....	2-9
2.3.6 MIPI/LVDS Rx 电气参数.....	2-13
2.3.7 SDIO 电气参数.....	2-15
2.3.8 AUDIO CODEC 电气参数.....	2-15
2.4 PCB 设计建议.....	2-16
2.5 接口时序.....	2-17
2.5.1 DDR 接口时序.....	2-17
2.5.2 NANDC 接口时序.....	2-19
2.5.3 SFC 接口时序.....	2-23
2.5.4 Ethernet MAC 接口时序.....	2-25
2.5.5 VI 接口时序.....	2-29
2.5.6 VO 接口时序.....	2-29
2.5.7 AIAO 接口时序.....	2-30
2.5.8 I <sup>2</sup> C 时序.....	2-32
2.5.9 SPI 接口时序.....	2-33
2.5.10 MIPI Rx 接口时序.....	2-36
2.5.11 SDIO/MMC 接口时序.....	2-36



## 插图目录

图 2-1 芯片封装顶视图.....	2-1
图 2-2 芯片封装底视图.....	2-2
图 2-3 芯片封装侧视图.....	2-2
图 2-4 Detail A 放大图 .....	2-3
图 2-5 封装参数说明 .....	2-3
图 2-6 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图.....	2-17
图 2-7 DDR3 中 dqs_out 相对于 ck 的写操作时序图 .....	2-17
图 2-8 命令和地址相对于 ck 的写操作时序图 .....	2-18
图 2-9 DDR3 SDRAM 输出时序图 .....	2-18
图 2-10 NANDC 命令周期时序图 .....	2-20
图 2-11 NANDC 地址周期时序图.....	2-21
图 2-12 NANDC 写数据时序图 .....	2-22
图 2-13 NANDC 读数据时序图 .....	2-23
图 2-14 SFC 输入方向时序图-SDR 模式 .....	2-23
图 2-15 SFC 输入方向时序图-DDR 模式.....	2-24
图 2-16 SFC 输出方向时序图-SDR 模式 .....	2-24
图 2-17 SFC 输出方向时序图-DDR 模式.....	2-24
图 2-18 RMII 接口 100Mbit/s 接收时序 .....	2-25
图 2-19 RMII 接口 100Mbit/s 发送时序 .....	2-25
图 2-20 RMII 接口 10Mbit/s 接收时序 .....	2-26
图 2-21 RMII 接口 10Mbit/s 发送时序 .....	2-26
图 2-22 RMII 接口时序参数.....	2-26
图 2-23 RGMII 接口 1000Mbit/s 接收时序.....	2-27
图 2-24 RGMII 接口 1000Mbit/s 发送时序.....	2-27
图 2-25 MDIO 接口读时序.....	2-28



图 2-26 MDIO 接口写时序 .....	2-28
图 2-27 MDIO 接口接收时序参数 .....	2-28
图 2-28 VI 接口时序图 .....	2-29
图 2-29 BT.656 接口时序 .....	2-29
图 2-30 BT.1120 接口时序 .....	2-30
图 2-31 LCD 接口时序 .....	2-30
图 2-32 I <sup>2</sup> S 接口接收时序图 .....	2-31
图 2-33 I <sup>2</sup> S 接口发送时序图 .....	2-31
图 2-34 PCM 接口接收时序图 .....	2-31
图 2-35 PCM 接口发送时序图 .....	2-32
图 2-36 I <sup>2</sup> C 传输时序图 .....	2-32
图 2-37 SPICK 时序 .....	2-34
图 2-38 SPI 主模式下接口时序 (sph=1) .....	2-34
图 2-39 SPI 主模式下接口时序 (sph=0) .....	2-34
图 2-40 单沿的数据输入输出方向时序图 .....	2-37
图 2-41 双沿的数据输入输出方向时序图 .....	2-37



## 表格目录

表 2-1 Hi3519V100 管脚数目统计表.....	2-4
表 2-2 Hi3519V100 功耗参数.....	2-5
表 2-3 工作环境参数 .....	2-6
Hi3519V100 结温参数如表 2-4 所示。 .....	2-7
表 2-4 Hi3519V100 结温参数.....	2-7
表 2-6 SVB 相关电源工作条件 .....	2-7
表 2-7 常压电源工作条件.....	2-8
表 2-8 DC 电气参数表 (DVDD33_SENS0/ DVDD33_UART1/ DVDD3318_EMMC/ DVDDIO_RGMII/DVDD33=3.3V) .....	2-9
表 2-9 DC 电气参数表 ((DVDD3318_EMMC/ DVDD18_SDIO/ DVDDIO_RGMII =1.8V) .....	2-10
表 2-10 DC 电气参数表 (VDDIO_DDR =1.5V, DDR3 模式) .....	2-11
表 2-11 AC 电气参数表 (VDDIO_DDR =1.5V, DDR3 模式) .....	2-12
表 2-12 DC 电气参数表 (VDDIO_DDR =1.35V) .....	2-12
表 2-13 AC 电气参数表 (VDDIO_DDR =1.35V) .....	2-13
表 2-14 LVDS 差分 DC 电气参数表.....	2-13
表 2-15 MIPI HS (High Speed) DC 参数表.....	2-14
表 2-16 MIPI HS (High Speed) AC 参数表.....	2-14
表 2-17 MIPI LP (Low Power) DC 参数表.....	2-14
表 2-18 SDIO 电性能参数表 3.3V .....	2-15
表 2-19 SDIO 电性能参数表 1.8V .....	2-15
表 2-20 总体指标表 .....	2-16
表 2-21 DAC 主要指标表 .....	2-16
表 2-22 ADC 主要指标表 .....	2-16
表 2-23 MICBIAS 主要指标表 .....	2-16
表 2-24 MICPGA 主要指标 .....	2-16



表 2-25 DDR3 时钟参数表 .....	2-19
表 2-26 DDR3 SDRAM 存储器参数表 (DDR3-1600) .....	2-19
表 2-27 NANDC 命令周期时序参数表 .....	2-20
表 2-28 NANDC 地址周期时序参数表 .....	2-21
表 2-29 NANDC 写数据时序参数表 .....	2-22
表 2-30 NANDC 读数据时序参数表 .....	2-23
表 2-31 SFC 输入方向时序参数表 .....	2-24
表 2-32 SFC 输出方向时序参数表 .....	2-25
表 2-33 RMII 接口时序参数说明 .....	2-26
表 2-34 RGMII 接口时序参数说明 .....	2-27
表 2-35 MDIO 接口时序参数 .....	2-28
表 2-36 VI 接口时序参数表 .....	2-29
表 2-37 BT.656 接口时序参数表 .....	2-29
表 2-38 BT.1120 接口时序参数表 .....	2-30
表 2-39 LCD 接口时序参数表 .....	2-30
表 2-40 I <sup>2</sup> S 接口时序参数表 .....	2-31
表 2-41 PCM 接口时序参数表 .....	2-32
表 2-42 I <sup>2</sup> C 接口时序参数表 .....	2-32
表 2-43 SPI 接口时序参数 .....	2-34
表 2-44 MIPI Rx 时序参数表 .....	2-36
表 2-45 SDIO/MMC 时序参数表 .....	2-38



# 2 硬件特性

## 2.1 封装与管脚分布

### 2.1.1 封装

Hi3519V100 芯片采用 TFBGA 封装，封装尺寸为 15mm x 15mm，管脚间距为 0.65mm，管脚总数为 389 个。详细封装请参见图 2-1~图 2-4，封装尺寸参数请参见图 2-5。

图2-1 芯片封装顶视图

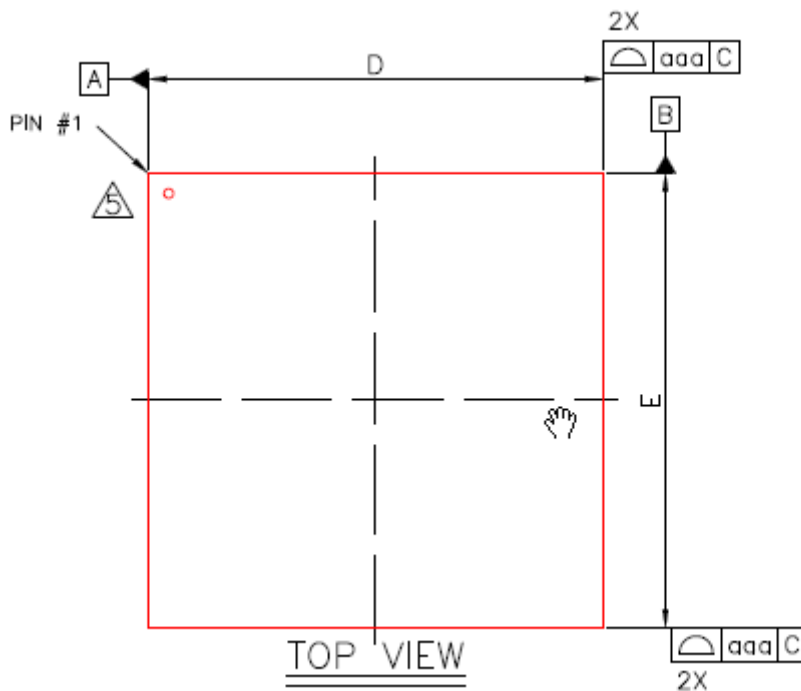






图2-2 芯片封装底视图

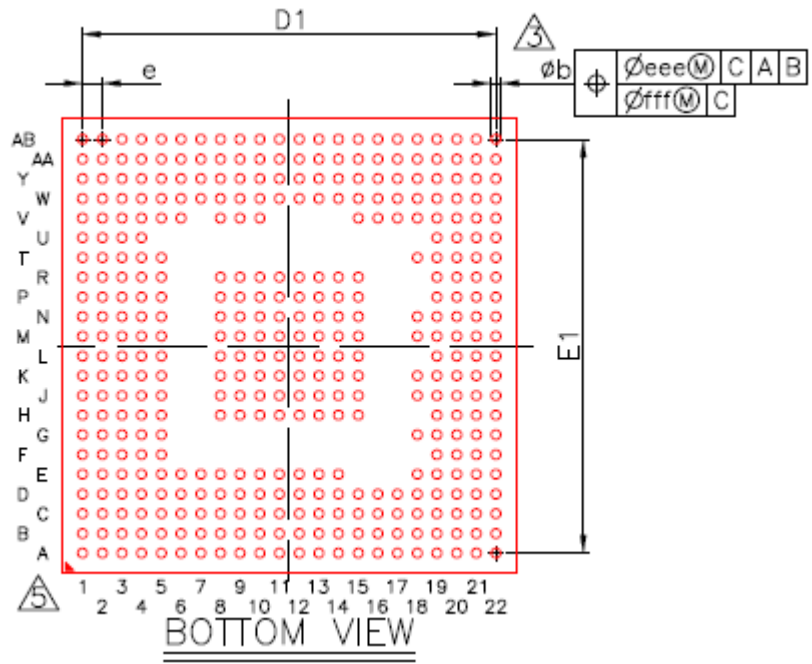


图2-3 芯片封装侧视图

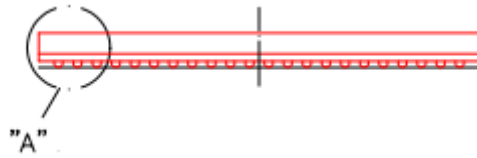




图2-4 Detail A 放大图

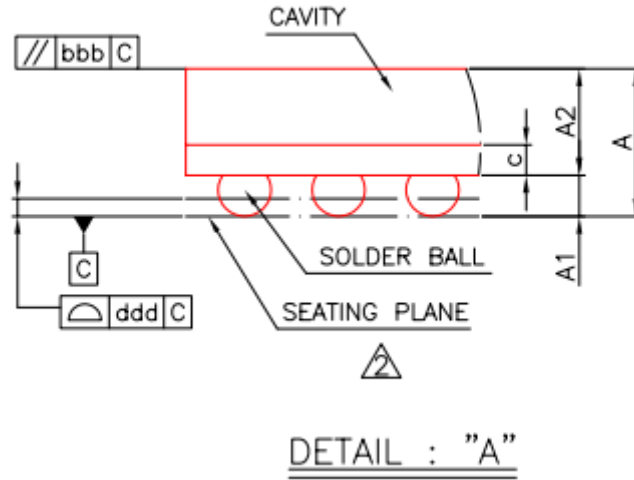


图2-5 封装参数说明

Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.10	1.17	1.24	0.043	0.046	0.049
A1	0.16	0.21	0.26	0.006	0.008	0.010
A2	0.91	0.96	1.01	0.036	0.038	0.040
c	0.22	0.26	0.30	0.009	0.010	0.012
D	14.90	15.00	15.10	0.587	0.591	0.594
E	14.90	15.00	15.10	0.587	0.591	0.594
D1	---	13.65	---	---	0.537	---
E1	---	13.65	---	---	0.537	---
e	---	0.65	---	---	0.026	---
b	0.25	0.30	0.35	0.010	0.012	0.014
aaa	0.15			0.006		
bbb	0.15			0.006		
ddd	0.13			0.005		
eee	0.15			0.006		
fff	0.08			0.003		
MD/ME	22/22					

NOTE :

1. CONTROLLING DIMENSION : MILLIMETER.
- ① PRIMARY DATUM C AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.
- ② DIMENSION b IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM C.
4. SPECIAL CHARACTERISTICS C CLASS: bbb, ddd
- ⑤ THE PATTERN OF PIN 1 FIDUCIAL IS FOR REFERENCE ONLY .



## 2.1.2 管脚分布

Hi3519V100 的管脚有 389 个，管脚数目统计表如表 2-1 所示。

表2-1 Hi3519V100 管脚数目统计表

管脚类别	数量
I/O	240
数字电源	44
数字地	66
其他/模拟电源	14
其他/模拟地	25
DDR 参考电源 (VREF)	0
总计	389

## 2.2 管脚信息描述

芯片管脚信息描述及数字管脚默认状态请参考文档：  
《HI3519V100\_PINOUT\_CN》.xls。

## 2.3 电性能参数

### 2.3.1 功耗参数

Hi3519V100 的功耗参数如表 2-2 所示。



**注意**

- 功耗参数基于芯片典型工作场景
- 单板电源设计必须参照硬件设计指南

表2-2 Hi3519V100 功耗参数

符号	参数	典型值	最大值	单位
VDD	VDD 内核电源	~160	~251	mW
VDD_DDR	DDR 内核电源	~129	~173	mW
VDD_CPU	CPU 内核电源	~0	~236	mW
VDD_MEDIA	MEDIA 内核电源	~715	~1010	mW
VDDIO_DDR	DDR IO 电源	~269	~362	mW
3.3V 电源	3.3V IO 电源	~337	~349	mW

说明

● **典型场景：**

8M@30fps 输入 线性模式 单 P (参考帧) 在线；

● **具体配置：**

A7：800MHz；2 颗 DDR3 4Gb 颗粒 (16bit 位宽)；MIPI-VICAP-ISP 300MHz；

VGS：400MHz；VPSS：300MHz；VEDU (H.265)：500MHz；GDC：475MHz；

Audio codec 打开、CVBS 关闭、USB 关闭、SDIO 关闭。

● **业务描述：**

MIPI -> VICAP (ISP) -> VPSS(一进三出) -> VEDU(1 路 8M@30fps 码流+1 路 720p@30fps 码流) -> IVE 移动侦测(720P@5fps)；

3A 算法+Audio Input -> AENC -> 网络+网络-> ADEC -> Audio Output + 8 路网络点播大码流 64Mbps。

数据流全通路采用压缩、解压缩，场景为运动场景 (大电视播放运动场景供 IPC 采集)。

## 2.3.2 温度和热阻参数

温度和热阻参数如表 2-3、表 2-4 和表 2-5 所示。



- 说明
- 热阻基于 JEDEC JESD51 系列标准给出，应用时的系统设计及环境可能与 JEDEC JESD51 系列标准不同，需要根据应用条件作出分析。
  - ✓ $\theta_{JA}$  请参考 JESD 51-2 标准
  - ✓ $\theta_{JB}$  请参考 JESD 51-8 标准
  - ✓ $\theta_{JC}$  请参考：
    - (1) MIL-STD 883 1012.1
    - (2) SEMI G30-88
  - 芯片结温和芯片功耗成正比关系，需要考虑将芯片结温控制在合理范围内，以匹配供电电源规格。
  - 产品在密封包装袋中真空保存，在温度小于 40°C 且相对湿度小于 90% 时，可达 12 个月。
  - 包装袋被打开后，元件将被回流焊制程或其他的高温制程所采用时必须符合：
    - a. 在 168 小时内且工厂环境为  $\leq 30^{\circ}\text{C}/60\% \text{RH}$  完成。
    - b. 保存在  $< 10\% \text{RH}$  环境下。
  - 焊接温度曲线基于 J-STD-020E 标准。



### 警告

超过极限工作环境参数数值，可能导致芯片物理损伤。



### 注意

- Hi3519V100 的极限结温的最大值为 125°，任何条件下芯片的结温都不能大于该数值。可能导致芯片物理损伤。
- Hi3519V100 的长期工作结温的最大值为 105°，正常工作条件下芯片的结温应该小于该数值。
- 在短期工作条件下（根据 GR-63-CORE 标准，短期工作条件定义为每次持续时间不超过 96 小时，并且每年累计时间不超过 15 天），Hi3519V100 可以容忍超过 105°，而小于 125° 的高温，但长时间工作在超过 105° 结温下会导致芯片寿命缩减或者工作不稳定。

表2-3 工作环境参数

参数	符号	最小值	最大值	单位
环境温度	$T_A$	0	70	°C



Hi3519V100 结温参数如表 2-4 所示。

表2-4 Hi3519V100 结温参数

封装形式	最大功耗 (W)	正常工作结温下限 (°C)	长期工作最大结温 (°C)	短期工作上限结温 (°C)	破坏性最大结温 (°C)	生命周期定义 (年)
TFBGA	2.3W	-20	105	125	125	5

Hi3519V100 热阻参数如表 2-5 所示。

表2-5 热阻参数

参数	符号	最小值	典型值	最大值	单位
Junction-to-ambient thermal resistance	$\theta_{JA}$	-	24	-	°C/W
Junction-to-board thermal resistance	$\theta_{JB}$	-	12.2	-	°C/W
Junction-to-case thermal resistance	$\theta_{JC}$	-	6.2	-	°C/W

### 2.3.3 工作条件

Hi3519V100 的工作条件如表 2-6 和表 2-7 所示。



#### 注意

在使用 SVB 技术时，内核电源电压范围的前提条件是：客户单板必须使用 SVB 电路，且 SVB 电路的阻容参数必须完全拷贝《Hi3519V100 硬件设计用户指南》中的相关 RC 参数。

表2-6 SVB 相关电源工作条件

符号	描述	SVB 电压范围			单位
		最小值	典型值	最大值	
VDD	内核电源	0.89	0.93	0.97	V
VDD_DDR	DDR 内核电源	0.86	-	0.91	V



符号	描述	SVB 电压范围			单位
		最小值	典型值	最大值	
VDD_CPU	CPU 内核电源	0.67	-	1.0	V
VDD_MEDIA	MEDIA 内核电源	0.83	-	0.95	V
AVDD_PLL	PLL core 模拟电源	0.89	0.93	0.97	V
AVDD_U3_PCIE	USB3.0 和 PCIE core 模拟电源	0.89	0.93	0.97	V

表2-7 常压电源工作条件

符号	描述	最小值	典型值	最大值	单位
DVDD33	I/O 电源	2.97	3.3	3.63	V
DVDD33_SENS0	SENSOR0、SPI0、GPIO1 I/O 电源	2.97	3.3	3.63	V
DVDD33_UART1	UART1 I/O 电源	2.97	3.3	3.63	V
DVDD3318_EMMC	NAND FLASH/eMMC I/O 电源	2.97/1.62	3.3/1.8	3.63/1.98	V
DVDD18_SDIO	SDIO1.8V I/O 电源	1.62	1.8	1.98	V
DVDDIO_RGMII	RGMII I/O 电源	2.97/1.62	3.3/1.8	3.63/1.98	V
VDDIO_DDR	DDR3/DDR3L 接口电源	1.425/1.323	1.5/1.35	1.575/1.425	V
VDDIO_CK_DDR	DDR3/DDR3L 时钟接口电源	1.425/1.323	1.5/1.35	1.575/1.425	V
AVDD_DDRPLL1 AVDD_DDRPLL2	DDR3/DDR3L PLL 3.3V 模拟电源	3.125	3.3	3.6	V
AVDD33_PLL	PLL 3.3V 模拟电源	2.97	3.3	3.63	V
AVDD33_USB2	USB2.0 3.3V 模拟电源	3.0	3.3	3.6	V
AVDD_EFUSE	EFUSE 1v8 模拟电源	1.71	1.8	1.89	V
AVDD3318_MIPI	MIPI 模拟电源	1.71	1.8	1.89	V



符号	描述	最小值	典型值	最大值	单位
	MIPI 复用为单端数字信号时 3.3V 电源	2.97	3.3	3.63	V
	MIPI 复用为单端数字信号时 1.8V 电源	1.62	1.8	1.98	V
AVDD33_U3_PCIE	USB3.0 和 PCIE 3.3V 模拟电源	3.0	3.3	3.6	V
AVDD33_AC	AudioCodec 3.3V 模拟电源	3	3.3	3.6	V
AVDD33_VDAC	VDAC 3.3V 模拟电源	2.97	3.3	3.63	V
AVDD_BAT	RTC 电池电源	1.6	3.3	3.6	V
AVDD33_RTC	RTC 模拟电源	2.97	3.3	3.63	V

### 2.3.4 上下电顺序

上下电顺序请参考《Hi3519V100 硬件用户指南》的 1.2.5 章节。

### 2.3.5 DC/AC 电气参数

Hi3519V100 DC 电气参数如表 2-8 所示。

表2-8 DC 电气参数表 (DVDD33\_SENS0/ DVDD33\_UART1/ DVDD3318\_EMMC/ DVDDIO\_RGMII/DVDD33=3.3V)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	接口电压	2.97	3.3	3.63	V	-
V <sub>IH</sub>	高电平输入电压	2.0	-	DVDD33+0.3	V	不兼容 5V 输入
V <sub>IL</sub>	低电平输入电压	-0.3	-	0.8	V	-
I <sub>L</sub>	输入漏电流	-	-	±10	μA	-
I <sub>OZ</sub>	三态输出漏电流	-	-	±10	μA	-
V <sub>OH</sub>	高电平输出电压	2.4	-	-	V	-
V <sub>OL</sub>	低电平输出电压	-	-	0.4	V	-





符号	参数	最小值	典型值	最大值	单位	说明
R <sub>PU1</sub>	内部上拉电阻	30	33	36	kΩ	-
R <sub>PD1</sub>	内部下拉电阻	30	33	36	kΩ	-
R <sub>PU2</sub>	内部上拉电阻	38	42	46	kΩ	-
R <sub>PD2</sub>	内部下拉电阻	38	42	46	kΩ	-
R <sub>PU3</sub>	内部上拉电阻	18	20	22	kΩ	-
R <sub>PD3</sub>	内部下拉电阻	56	62	68	kΩ	-
R <sub>PU4</sub>	内部上拉电阻	20	22	24	kΩ	-
R <sub>PD4</sub>	内部下拉电阻	22	25	28	kΩ	-
R <sub>PU5</sub>	内部上拉电阻	17	19	21	kΩ	-
R <sub>PD5</sub>	内部下拉电阻	22.5	25	27.5	kΩ	-
R <sub>PU8k</sub>	8kohm 上拉电阻	6.7	8.54	10.54	kΩ	
R <sub>PD8k</sub>	8kohm 下拉电阻	6.53	8.32	10.38	kΩ	

表2-9 DC 电气参数表 ((DVDD3318\_EMMC/ DVDD18\_SDIO/ DVDDIO\_RGMII =1.8V)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD18	接口电压	1.62	1.8	1.98	V	-
V <sub>IH</sub>	高电平输入电压	1.17	-	DVDD18+0.3	V	
V <sub>IL</sub>	低电平输入电压	-0.3	-	0.63	V	-
I <sub>L</sub>	输入漏电流	-	-	±10	μA	-
I <sub>OZ</sub>	三态输出漏电流	-	-	±10	μA	-
V <sub>OH</sub>	高电平输出电压	1.35	-	-	V	-
V <sub>OL</sub>	低电平输出电压	-	-	0.45	V	-
R <sub>PU1</sub>	内部上拉电阻	35	38	41	kΩ	-
R <sub>PD1</sub>	内部下拉电阻	29	32	35	kΩ	-
R <sub>PU2</sub>	内部上拉电阻	54	60	66	kΩ	-
R <sub>PD2</sub>	内部下拉电阻	50	56	61	kΩ	-
R <sub>PU3</sub>	内部上拉电阻	38	42	46	kΩ	-



符号	参数	最小值	典型值	最大值	单位	说明
R <sub>PD3</sub>	内部下拉电阻	160	176	200	kΩ	-
R <sub>PU4</sub>	内部上拉电阻	54	60	66	kΩ	-
R <sub>PD4</sub>	内部下拉电阻	50	56	61	kΩ	-
R <sub>PU5</sub>	内部上拉电阻	38	42	46	kΩ	-
R <sub>PD5</sub>	内部下拉电阻	50.4	56	61.6	kΩ	-
R <sub>PU8k</sub>	8kohm 上拉电阻	6.7	8.54	10.54	kΩ	-
R <sub>PD8k</sub>	8kohm 下拉电阻	6.53	8.32	10.38	kΩ	-

DDR3 模式下，DC 电气参数如表 2-10 所示。

表2-10 DC 电气参数表 (VDDIO\_DDR =1.5V, DDR3 模式)

符号	参数	最小值	典型值	最大值	单位	说明
VDDIO_D DR	接口电压	1.425	1.5	1.575	V	-
Vref	参考电压	0.49 * VDDIO_ DDR	0.5 * VDDI O_ DDR	0.51 * VDDIO_ DDR	-	(0.49~0.51) * VDDIO_DDR
V <sub>IH(DC)</sub>	高电平输入电压	Vref+0.1	-	VDDIO_ DDR +0.3	V	-
V <sub>IL(DC)</sub>	低电平输入电压	-0.3	-	Vref-0.1	V	-
V <sub>OH</sub>	高电平输出电压	0.8* VDDIO_ DDR	-	(1+0.1) * VDDIO_ DDR	V	驱动可配置
V <sub>OL</sub>	低电平输出电压	0	-	0.2*VDDIO_ DDR	V	驱动可配置
I <sub>OH</sub>	高电平输出电流	-	10.50	10.83	mA	DDR 驱动阻抗 34Ω, RTT=60 情况下
I <sub>OL</sub>	低电平输出电流	-	10.50	10.83	mA	DDR 驱动阻抗 34Ω, RTT=60 情况下
输出阻抗	-	34	-	80	Ω	-

DDR3 模式下，AC 电气参数如表 2-11 所示。



表2-11 AC 电气参数表 (VDDIO\_DDR =1.5V, DDR3 模式)

符号	参数	最小值	最大值	单位	说明
V <sub>IH(AC)</sub>	高电平输入电压	Vref + 0.15	VDDIO_DDR+0.3	V	-
V <sub>IL(AC)</sub>	低电平输入电压	-	Vref-0.15	V	-

DDR3L 模式下, DC 电气参数如表 2-12 所示。

表2-12 DC 电气参数表 (VDDIO\_DDR =1.35V)

符号	参数	最小值	典型值	最大值	单位	说明
VDDIO_DDR	接口电压	1.283	1.35	1.45	V	-
VREF	DDR 接口参考电压	0.49* VDDIO_DDR	0.5* VDDIO_DDR	0.51* VDDIO_DDR	V	
V <sub>IH(DC)</sub>	高电平输入电压	0.49* VDDIO_DDR +0.125	-	VDDIO_DDR +0.3	V	-
V <sub>IL(DC)</sub>	低电平输入电压	-0.3	-	0.51* VDDIO_DDR -0.125	V	-
V <sub>OH</sub>	高电平输出电压	VDDIO_DDR -0.28	-	-	V	-
V <sub>OL</sub>	低电平输出电压	-	-	VDDIO_DDR +0.28	V	-
I <sub>OH</sub>	高电平输出电流	-	9.42	9.85	mA	DDR 驱动阻抗 34Ω, RTT=60 情况下
I <sub>OL</sub>	低电平输出电流	-	9.42	9.85	mA	DDR 驱动阻抗 34Ω, RTT=60 情况下

DDR3L 模式下, AC 电气参数如表 2-13 所示。



表2-13 AC 电气参数表 (VDDIO\_DDR =1.35V)

符号	参数	533~1600 Mbps		单位	说明
		最小值	最大值		
V <sub>IH(AC)</sub>	AC 高电平输入电压	0.49* VDDIO_DDR + 0.25	-	V	-
V <sub>IL(AC)</sub>	AC 低电平输入电压	-	0.51* VDDIO_DDR-0.25	V	-

## 2.3.6 MIPI/LVDS Rx 电气参数

LVDS 差分 DC 电气参数如表 2-14 所示。

表2-14 LVDS 差分 DC 电气参数表

符号	参数	最小值	典型值	最大值	单位	
VIDTH(SL)	Differential Input Threshold Voltage (VP-VM)	Sub-LVDS	-70	-	70	mV
VIDTH(HS)		HiSPi(SLVS)	-70	-	70	
VIDTH(HiVCM)		HiSPi(HiVCM)	-100		100	
VIDTH(DP)		D-PHY HS	-70	-	70	
VIDTH(LV)		LVDS	-100	-	100	
VIDTH(ML)		Mini-LVDS	-100	-	100	
VCM(SL)	Common Mode Voltage Range (VP+VM)/2	Sub-LVDS	0.5	0.9	1.3	V
VCM(HS)		HiSPi(SLVS)	0.07	0.2	0.35	
VCM(HiVCM)		HiSPi(HiVCM)	0.66	0.90	1.17	
VCM(DP)		D-PHY HS	0.07	0.2	0.33	
VCM(LV)		LVDS	0.925	1.2	1.475	
VCM(ML)		Mini-LVDS	1.025	1.2	1.375	
VISVR (SL)	Single-ended Input Voltage Range VP,VM	Sub-LVDS	0.4		1.4	V
VCM(HS)		HiSPi(SLVS)	-0.04		0.49	
VCM(HiVCM)		HiSPi(HiVCM)	0.55		1.35	
VCM(DP)		D-PHY HS	-0.04		0.46	
VCM(LV)		LVDS	0		1.8	



符号	参数		最小值	典型值	最大值	单位
VCM(ML)		Mini-LVDS	0.825		1.575	
ZID(SL)	Internal Termination Resister Value	Sub-LVDS	80	100	120	$\Omega$
ZID(HS)		HiSPi(SLVS)			125	
ZID(HiVCM)		HiSPi(HiVCM)			125	
ZID(LV)		LVDS			120	
ZID(ML)		Mini-LVDS			120	
ZID(DP)		D-PHY HS			125	

MIPI 参数如表 2-15、表 2-16 和表 2-17 所示。

表2-15 MIPI HS (High Speed) DC 参数表

符号	参数	最小值	典型值	最大值	单位
VTERM-EN	Single-ended threshold for HS termination enable	-	-	450	mV

表2-16 MIPI HS (High Speed) AC 参数表

符号	参数	最小值	典型值	最大值	单位
$\Delta$ VCMRX(HF)	Common-mode interface beyond 450MHz	-	-	100	-
$\Delta$ VCMRX(LF)	Common-mode interface 50MHz-450MHz	-50	-	50	mV
CCM	Common-mode termination	-	-	60	pF

表2-17 MIPI LP (Low Power) DC 参数表

符号	参数	最小值	典型值	最大值	单位
VIHLP	Logic 1 input voltage	880	-	-	mV
VILLP	Logic 0 input voltage	-	-	550	
VHYST	Input hysteresis	25	-	-	



## 2.3.7 SDIO 电气参数

SDIO 电性能参数表（3.3V）如表 2-18 所示。

表2-18 SDIO 电性能参数表 3.3V

符号	参数	最小值	典型值	最大值	单位	说明
VDDIO	供电电压	2.97	3.3	3.6	V	-
VOH	输出高电平	2.4	-	-	V	
VOL	输出低电平	-	-	0.4	V	
VIH	输入高电平	2.0	-	VDDIO+0.3	V	
VIL	输入低电平	-0.3	-	0.8	V	
-	上电时间	-	-	250	ms	0V 到 VDDIO

SDIO 电性能参数表（1.8V）如表 2-19 所示。

表2-19 SDIO 电性能参数表 1.8V

符号	参数	最小值	典型值	最大值	单位	说明
VDDIO	供电电压	1.62	1.8	1.98	V	-
VOH	输出高电平	1.35	-	-	V	
VOL	输出低电平	-	-	0.45	V	
VIH	输入高电平	1.17	-	VDDIO+0.3	V	
VIL	输入低电平	-0.3	-	0.63	V	
-	上电时间	-	-	250	ms	0V 到 VDDIO

## 2.3.8 AUDIO CODEC 电气参数

Audio Code 电性能参数如表 2-20、表 2-21、表 2-22、表 2-23 和表 2-24 所示。



表2-20 总体指标表

参数	最小值	典型值	最大值	单位	说明
模拟电路电源 AVDD	3	3.3	3.6	V	相对于 AGND
VREF	-	AVDD/2	-	V	相对于 AGND

表2-21 DAC 主要指标表

参数	最小值	典型值	最大值	单位	说明
满幅输出幅度	-	0.875	-	Vrms	最大输出信号摆幅

表2-22 ADC 主要指标表

参数	最小值	典型值	最大值	单位	说明
最大输入幅度	-	1	-	Vrms	ADC 最大输入信号摆幅

表2-23 MICBIAS 主要指标表

参数	最小值	典型值	最大值	单位	说明
偏置电压	-	$2.1 \times AVDD / 3.3$	-	V	麦克风偏置电压
最大输出电流	-	-	3	mA	-

表2-24 MICPGA 主要指标

参数	最小值	典型值	最大值	单位	说明
输入电压范围	-	1	-	Vrms	最大输入信号摆幅
输入阻抗	-	10	12	k $\Omega$	MICPGA 的输入阻抗

## 2.4 PCB 设计建议

PCB 设计的详细内容请参见《Hi3519V100 硬件设计用户指南》。



## 2.5 接口时序

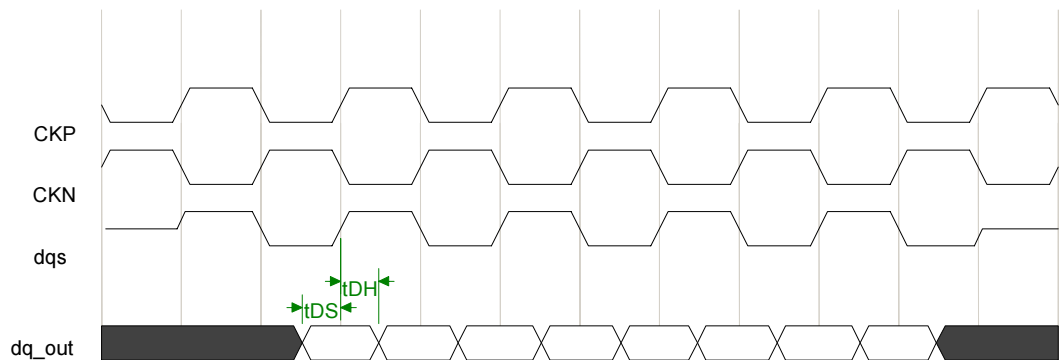
### 2.5.1 DDR 接口时序

#### 2.5.1.1 写操作时序

##### dqs\_out 相对于 dq\_out 的写操作时序

dqs\_out 相对于 dq\_out 的写操作时序的主要时序参数是 tDS 和 tDH。

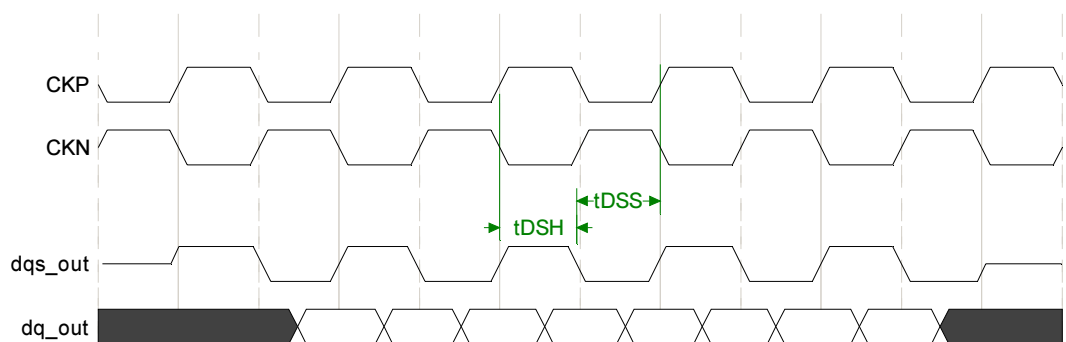
图2-6 DDR3 中 dqs\_out 相对于 dq\_out 的写操作时序图



##### dqs\_out 相对于 ck 的写操作时序

dqs\_out 相对于 ck 的写操作时序。DDR3 的时序如图 2-7 所示。

图2-7 DDR3 中 dqs\_out 相对于 ck 的写操作时序图



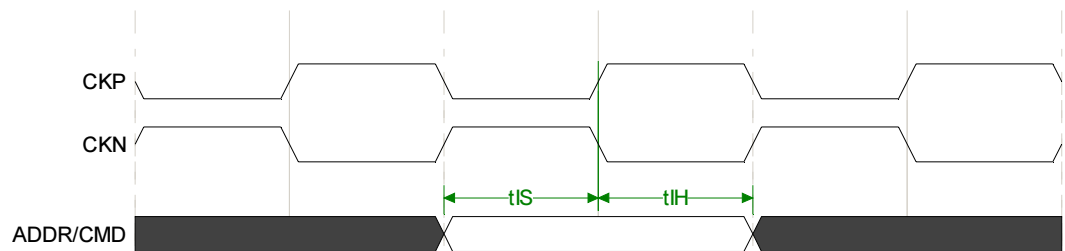
##### 命令和地址相对于 ck 的写操作时序

命令和地址相对于 ck 的写操作时序如图 2-8 所示。





图2-8 命令和地址相对于 ck 的写操作时序图



## 2.5.1.2 读操作时序

### 命令和地址相对于 ck 的读操作时序

“命令和地址相对于 ck 的读操作时序”与“命令和地址相对于 ck 的写操作时序”相同。

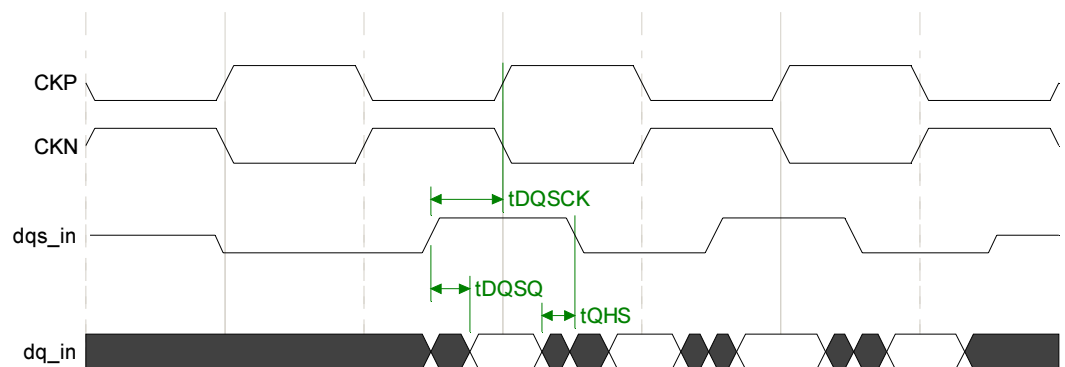
### dqs\_in 相对于 dq\_in 的读操作时序

dqs\_in 相对于 dq\_in 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 dqs\_in 和 dq\_in 时序。

对于 DDR SDRAM 输出时序，理想情况下，DQS 和 ck 是同相位的，实际情况下，DQS 相对于 CK 有 tDQSCK 的偏斜。tDQSCK 为 0.35ns。tDQSQ 是 dq 和 dqs 之间的抖动，是最晚有效的 dq 相对于 dqs 的抖动，该值为 0.2ns，tQHS 是最早有效的 dq 相对于 dqs 的抖动，其值为 0.3ns。

DDR3 SDRAM 输出时序如图 2-9 所示。

图2-9 DDR3 SDRAM 输出时序图



## 2.5.1.3 时序参数

DDR 接口时序满足 JEDEC (JESD79-2E 和 JESD79-3B) 标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

DDR3-1600 SDRAM 时钟参数如表 2-25 和表 2-26 所示。



表2-25 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	800.00	MHz
锁相环抖动	0.140	ns
锁相环占空比	47.000	%
时钟偏斜	0.070	ns

表2-26 DDR3 SDRAM 存储器参数表 (DDR3-1600)

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.18	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.18	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.010	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.045	ns
DQS 与 DQ 的偏斜	tDQSQ	0.100	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.170	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.120	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.225	ns

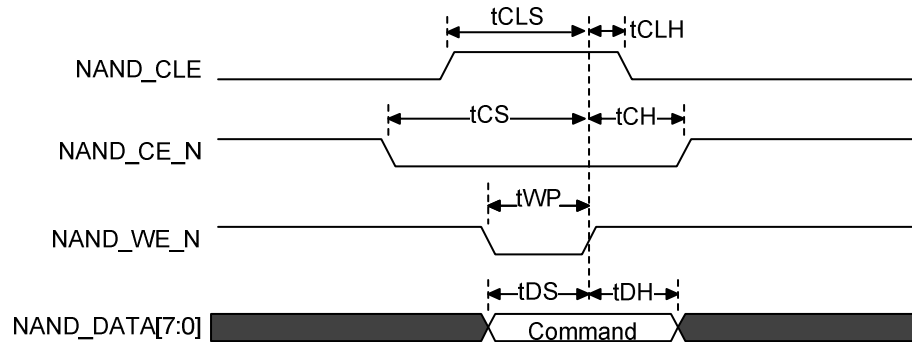
## 2.5.2 NANDC 接口时序

### 2.5.2.1 命令周期时序

NANDC 命令周期时序如图 2-10 所示。



图2-10 NANDC 命令周期时序图



说明

NAND\_WE\_N 和 NAND\_RE\_N 的高电平宽度和低电平宽度是可以通过 NAND Flash 控制器的 NF\_PULSE\_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以配置”表示。

NANDC 命令周期时序参数如表 2-27 所示。

表2-27 NANDC 命令周期时序参数表

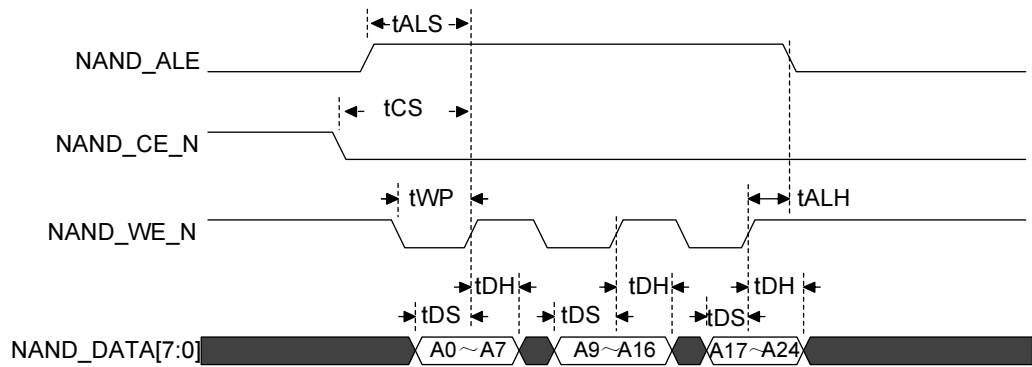
参数	符号	最小值	最大值	单位	说明
NAND_CLE 建立时间	tCLS	15	-	ns	-
NAND_CLE 保持时间	tCLH	10	-	ns	-
NAND_CE_N 建立时间	tCS	15	-	ns	可以配置
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置

### 2.5.2.2 地址周期时序

NANDC 地址周期时序如图 2-11 所示。



图2-11 NANDC 地址周期时序图



NANDC 地址周期时序参数如表 2-28 所示。

表2-28 NANDC 地址周期时序参数表

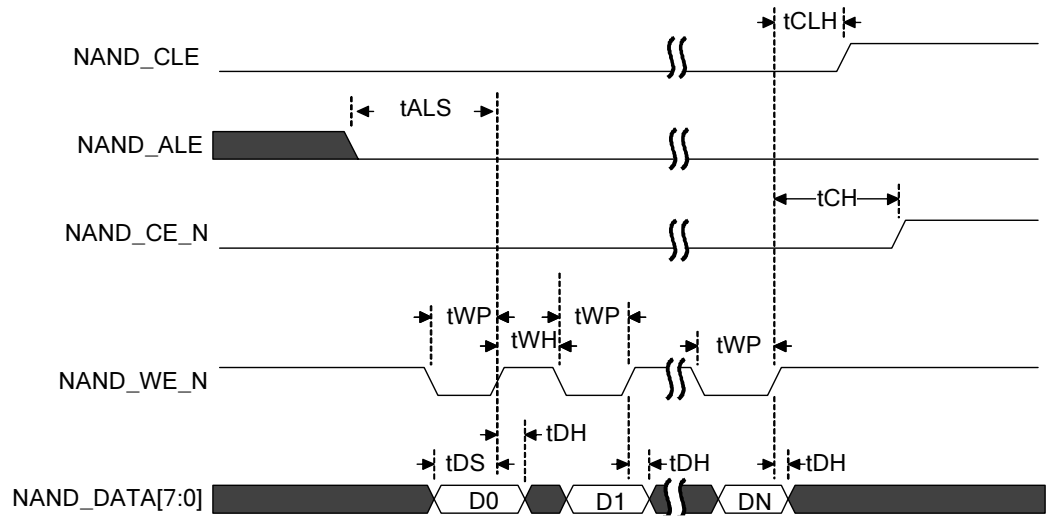
参数	符号	最小值	最大值	单位	说明
NAND_CE_N 建立时间	$t_{CS}$	15	-	ns	可以配置
NAND_WE_N 脉冲宽度	$t_{WP}$	15	-	ns	可以配置
NAND_ALE 建立时间	$t_{ALS}$	15	-	ns	-
NAND_ALE 保持时间	$t_{ALH}$	10	-	ns	-
数据建立时间	$t_{DS}$	10	-	ns	可以配置
数据保持时间	$t_{DH}$	10	-	ns	可以配置

### 2.5.2.3 写数据时序

NANDC 写数据时序如图 2-12 所示。



图2-12 NANDC 写数据时序图



NANDC 写数据时序参数如表 2-29 所示。

表2-29 NANDC 写数据时序参数表

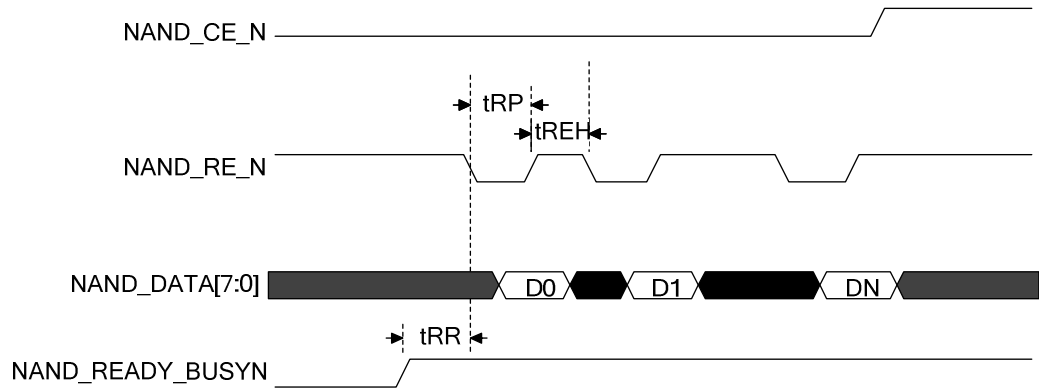
参数	符号	最小值	最大值	单位	说明
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
NAND_ALE 建立时间	tALS	15	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置
NAND_WE_N 高电平保持时间	tWH	15	-	ns	可以配置

### 2.5.2.4 读数据时序

NANDC 读数据时序如图 2-13 所示。



图2-13 NANDC 读数据时序图



NANDC 读数据时序参数如表 2-30 所示。

表2-30 NANDC 读数据时序参数表

参数	符号	最小值	最大值	单位	说明
NAND_RE_N 变低等待时间	tRR	15	-	ns	可以配置
NAND_RE_N 脉冲宽度	tRP	15	-	ns	可以配置
NAND_RE_N 高电平宽度	tREH	15	-	ns	可以配置

注：tRR 延时可以配置。

## 2.5.3 SFC 接口时序

SFC 输入方向时序如图 2-14 和图 2-15 所示。

图2-14 SFC 输入方向时序图-SDR 模式

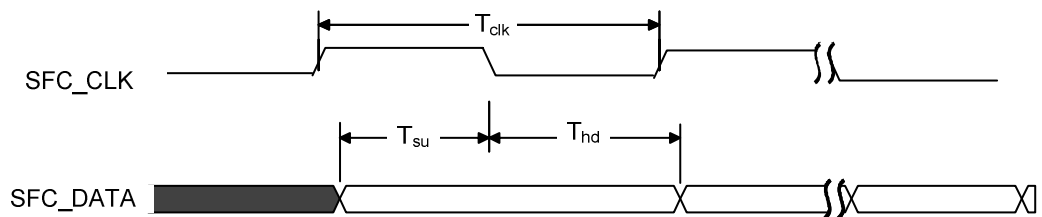
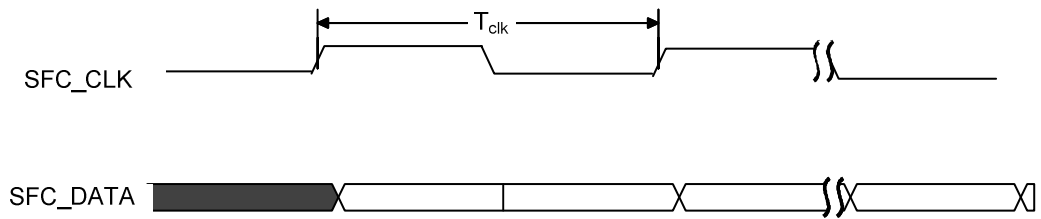




图2-15 SFC 输入方向时序图-DDR 模式



SFC 输入方向时序参数如表 2-31 所示。

表2-31 SFC 输入方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期 (SDR)	$T_{clk}$	8	-	83.2	ns
SFC_CLK 时钟周期 (DDR)	$T_{clk}$	10	-	83.2	ns
输入信号建立时间要求	$T_{su}$	2	-	-	ns
输入信号保持时间要求	$T_{hd}$	0.5	-	-	ns

SFC 输出方向时序如图 2-16 和图 2-17 所示。

图2-16 SFC 输出方向时序图-SDR 模式

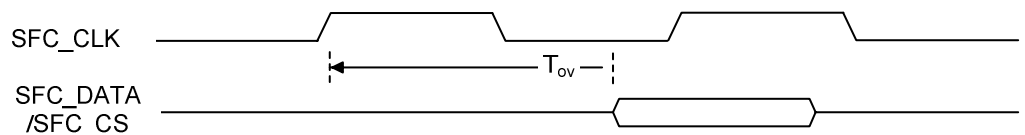
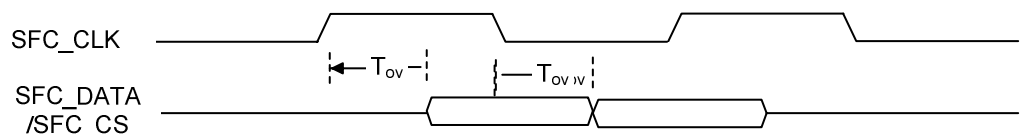


图2-17 SFC 输出方向时序图-DDR 模式



SFC 输出方向时序参数如表 2-32 所示。



表2-32 SFC 输出方向时序参数表

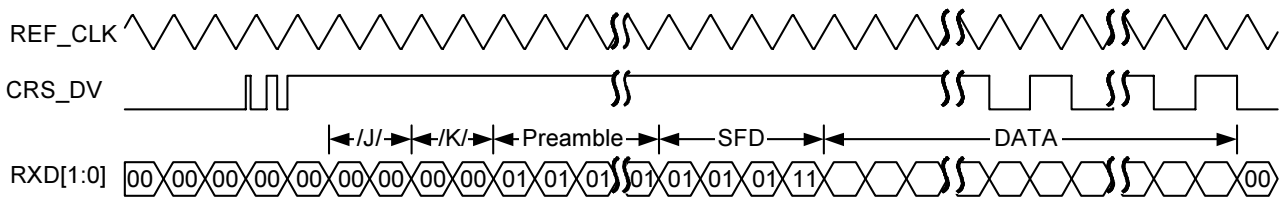
参数	符号	最小值	典型值	最大值	单位
SFCCLK 时钟周期 (SDR)	T	8	-	83.2	ns
SFCCLK 时钟周期 (DDR)	T	10	-	83.2	ns
输出数据信号延时	$T_{ov}$	5	-	T-5	ns
输出片选信号延时	$T_{ov}$	5	-	T-5	ns

## 2.5.4 Ethernet MAC 接口时序

### 2.5.4.1 RMII 接口时序

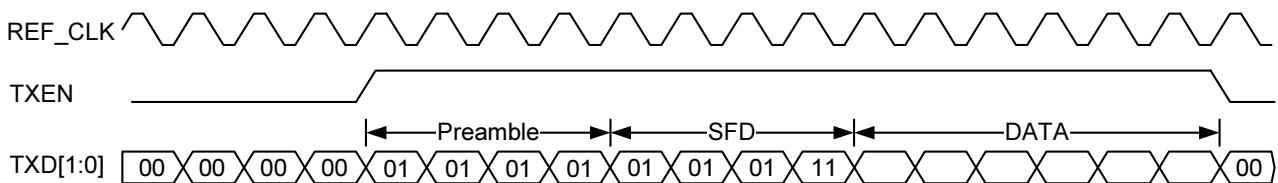
RMII 接口 100Mbit/s 接收时序如图 2-18 所示。

图2-18 RMII 接口 100Mbit/s 接收时序



RMII 接口 100Mbit/s 发送时序如图 2-19 所示。

图2-19 RMII 接口 100Mbit/s 发送时序

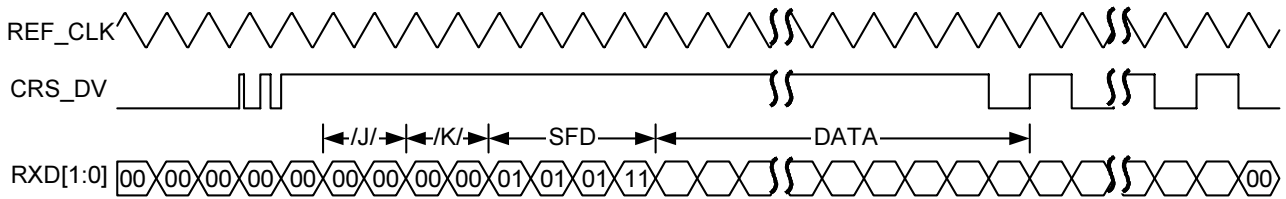


RMII 接口 10Mbit/s 接收时序如图 2-20 所示。



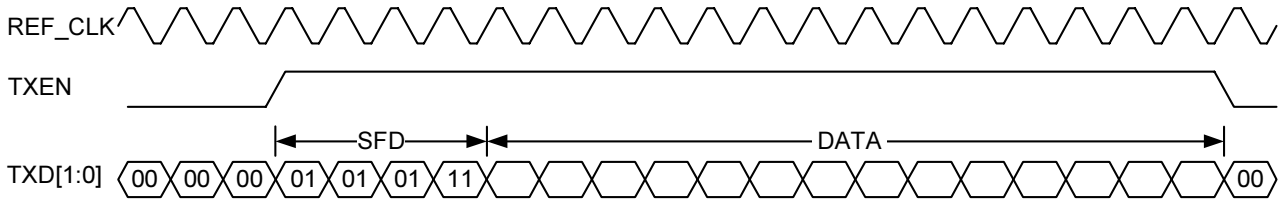


图2-20 RMII 接口 10Mbit/s 接收时序



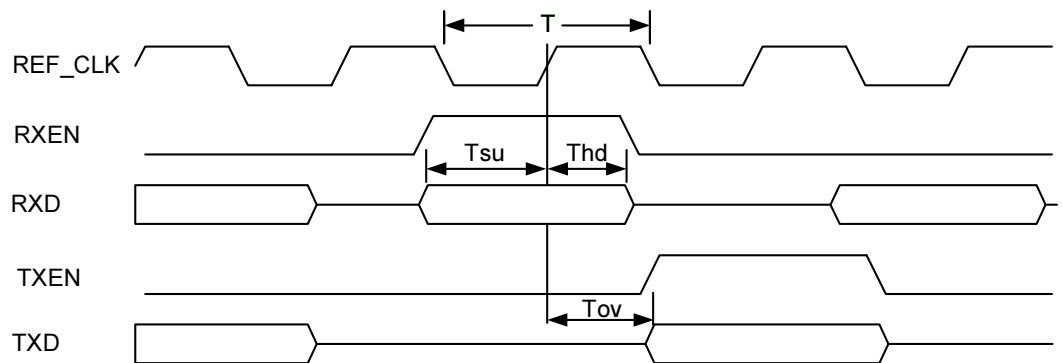
RMII 接口 10Mbit/s 发送时序如图 2-21 所示。

图2-21 RMII 接口 10Mbit/s 发送时序



RMII 接口时序参数如图 2-22 所示。

图2-22 RMII 接口时序参数



RMII 接口时序参数说明如表 2-33 所示。

表2-33 RMII 接口时序参数说明

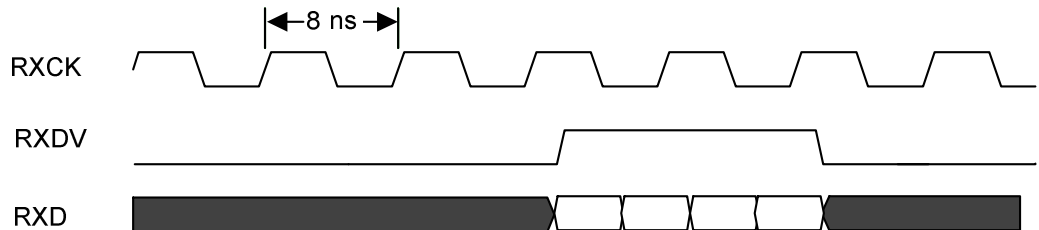
参数	符号	信号	最小值	最大值	单位
RMII 时钟周期	T	REF_CLK	20	20	ns
RMII 信号建立时间	Tsu (RX)	CRS_DV/RXD[1:0]	4	-	ns
RMII 信号保持时间	Thd (RX)	CRS_DV/RXD[1:0]	2	-	ns
RMII 输出信号延时	Tov (TX)	TXEN/TXD[1:0]	3	16	ns



### 2.5.4.2 RGMII 接口时序

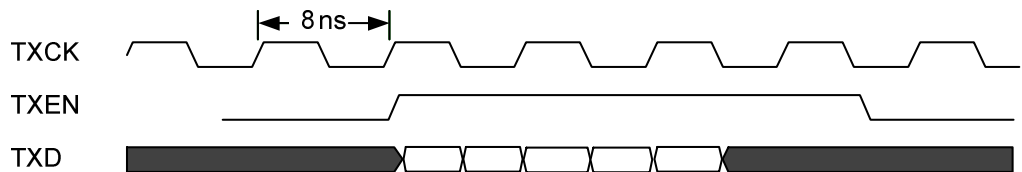
RGMII 接口 1000Mbit/s 接收时序如图 2-23 所示。

图2-23 RGMII 接口 1000Mbit/s 接收时序



RGMII 接口 1000Mbit/s 发送时序如图 2-24 所示。

图2-24 RGMII 接口 1000Mbit/s 发送时序



RGMII 接口时序参数说明如表 2-34 所示。

表2-34 RGMII 接口时序参数说明

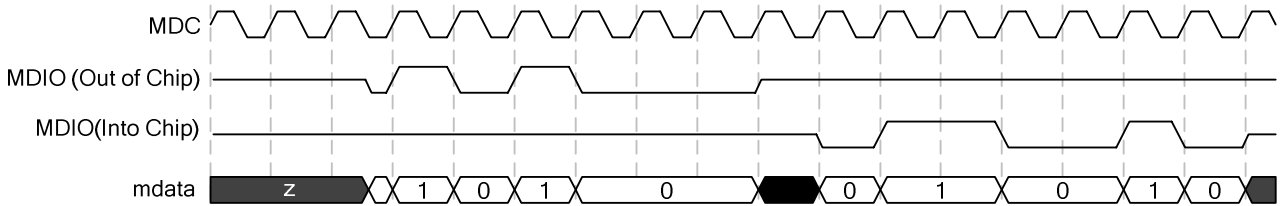
参数	符号	信号	最小值	最大值	单位
RGMII 时钟周期	T	RXCK、TXCK	8	8	ns
RGMII 信号建立时间	T <sub>su</sub> (RX)	RXER、RXDV、RXD[3:0]	1	-	ns
RGMII 信号保持时间	T <sub>hd</sub> (RX)	RXER、RXDV、RXD[3:0]	1	-	ns
RGMII 输出信号延时	T <sub>ov</sub> (TX)	TXD[3:0]、TXEN	-0.5	0.5	ns

### 2.5.4.3 MDIO 接口时序

MDIO 接口读时序如图 2-25 所示。

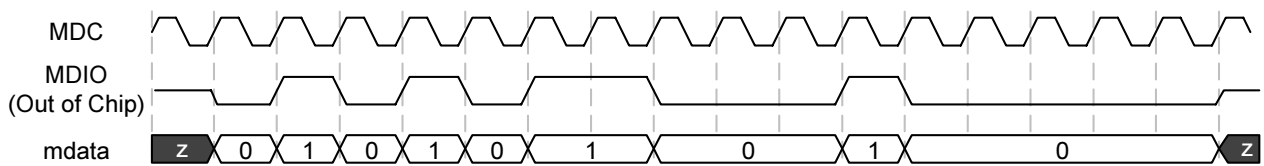


图2-25 MDIO 接口读时序



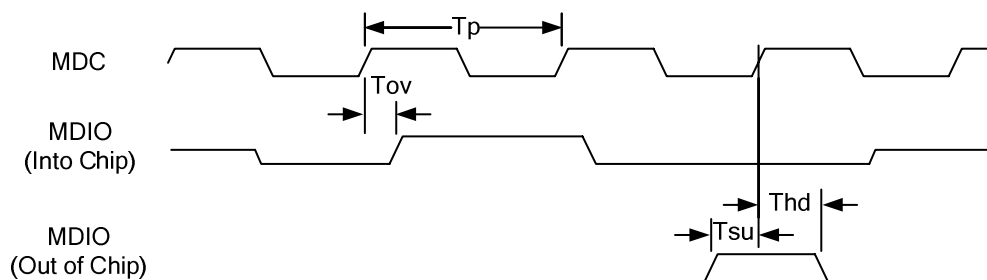
MDIO 接口写时序如图 2-26 所示。

图2-26 MDIO 接口写时序



MDIO 接口时序参数如图 2-27 所示。

图2-27 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 2-35 所示。

表2-35 MDIO 接口时序参数

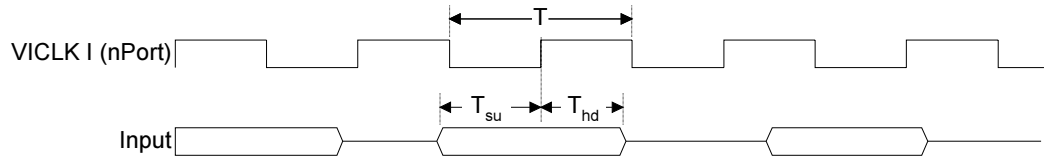
参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	$T_{ov}$	MDIO	0	300	ns
MDIO 时钟周期	$T_p$	MDCK	400	666	ns
MDIO 发送数据建立时间	$T_{su}$	MDIO	10	-	ns
MDIO 发送数据保持时间	$T_{hd}$	MDIO	10	-	ns



## 2.5.5 VI 接口时序

VI 接口 CMOS 模式时序如图 2-28 所示。

图2-28 VI 接口时序图



VI 接口时序参数如表 2-36 所示。

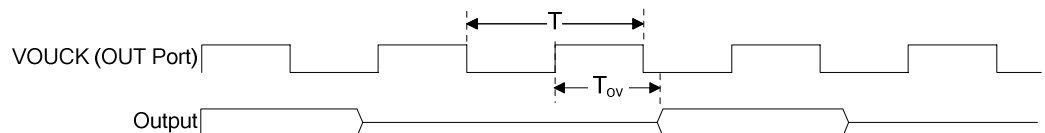
表2-36 VI 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
VICLK 时钟周期	T	6.73	-	-	ns
输入信号建立时间要求	$T_{su}$	2.5	-	-	ns
输入信号保持时间要求	$T_{hd}$	2.0	-	-	ns

## 2.5.6 VO 接口时序

BT.656 接口时序如图 2-29 所示。

图2-29 BT.656 接口时序



BT.656 接口时序参数如表 2-37 所示。

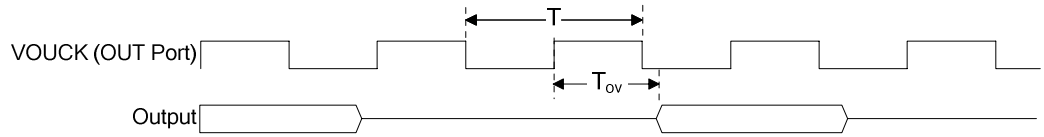
表2-37 BT.656 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
VOUCLK 时钟周期	T		37		ns
输出信号延时	$T_{ov}$	$T/2-1.5$	-	$T/2+1.5$	ns

BT.1120 接口时序如图 2-30 所示。



图2-30 BT.1120 接口时序



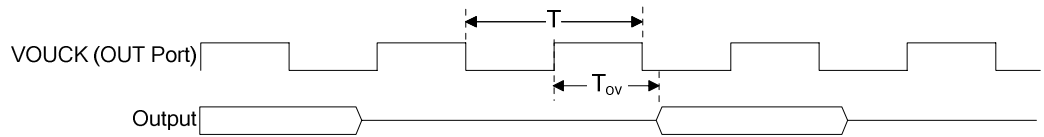
BT.1120 接口时序参数如表 2-38 所示。

表2-38 BT.1120 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
VOUCK 时钟周期	T	6.734	-	13.46	ns
输出信号延时	$T_{ov}$	$T/2-1.5$	-	$T/2+1.5$	ns

LCD 接口时序如图 2-31 所示。

图2-31 LCD 接口时序



LCD 接口时序参数如表 2-39 所示。

表2-39 LCD 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
VOUCK 时钟周期	T	37	-	500	ns
输出信号延时	$T_{ov}$	$T/2-1.5$	-	$T/2+1.5$	ns

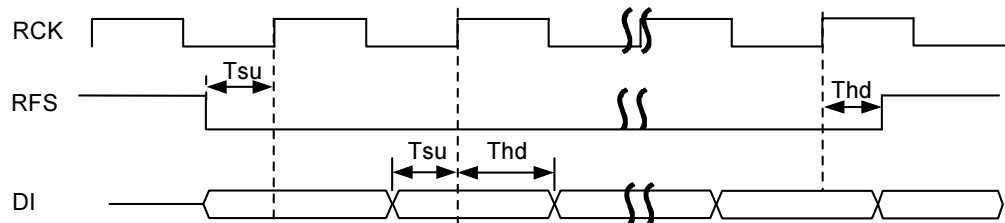
## 2.5.7 AIAO 接口时序

### 2.5.7.1 I<sup>2</sup>S 接口时序

I<sup>2</sup>S 接口接收时序如图 2-32 所示。

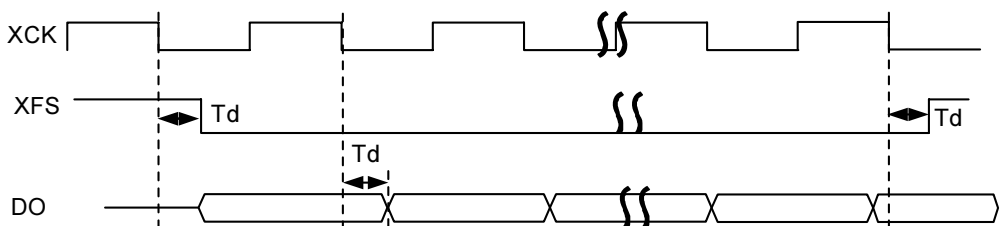


图2-32 I<sup>2</sup>S 接口接收时序图



I<sup>2</sup>S 接口发送时序如图 2-33 所示。

图2-33 I<sup>2</sup>S 接口发送时序图



I<sup>2</sup>S 接口时序参数如表 2-40 所示。

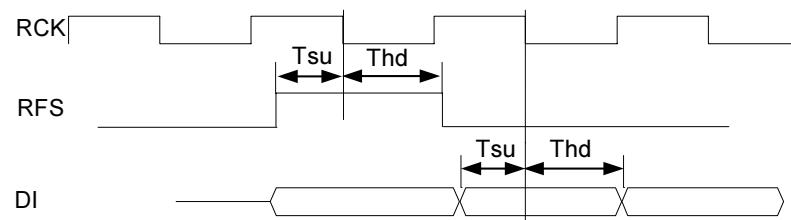
表2-40 I<sup>2</sup>S 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	$T_{su}$	10	-	-	ns
输入信号保持时间	$T_{hd}$	10	-	-	ns
输出信号延时	$T_d$	0	-	8	ns

### 2.5.7.2 PCM 模式接口时序

PCM 接口接收时序如图 2-34 所示。

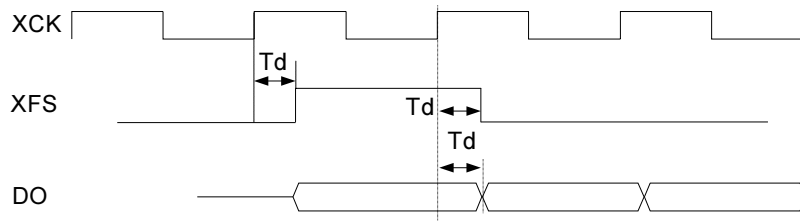
图2-34 PCM 接口接收时序图



PCM 接口发送时序如图 2-35 所示。



图2-35 PCM 接口发送时序图



PCM 接口时序参数如表 2-41 所示。

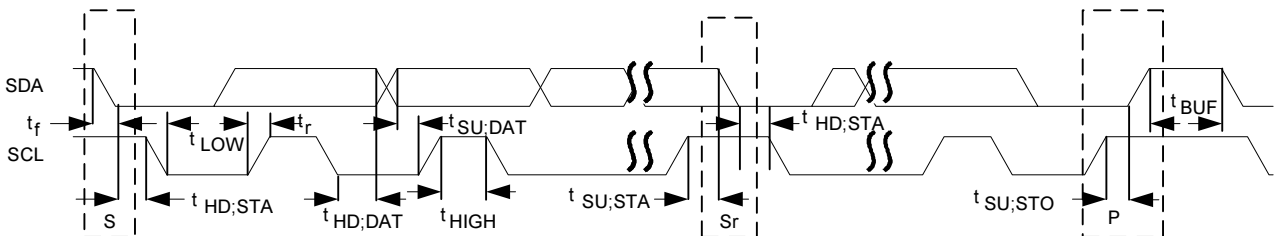
表2-41 PCM 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	$T_{su}$	10	-	-	ns
输入信号保持时间	$T_{hd}$	10	-	-	ns
输出信号延时	$T_d$	0	-	8	ns

## 2.5.8 I<sup>2</sup>C 时序

I<sup>2</sup>C 传输时序如图 2-36 所示。

图2-36 I<sup>2</sup>C 传输时序图



I<sup>2</sup>C 接口时序参数如表 2-42 所示。

表2-42 I<sup>2</sup>C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	fSCL	0	100	0	400	kHz
启动保持时间	t <sub>HD;ST</sub> A	4.0	-	0.6	-	μs



参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 低电平周期	tLOW	4.7	-	1.3	-	μs
SCL 高电平周期	tHIGH	4.0	-	0.6	-	μs
启动建立时间	tSU;ST A	4.7	-	0.6	-	μs
数据保持时间	tHD;DA T	0	3.45	0	0.9	μs
数据建立时间	tSU;DA T	250	-	100	-	ns
SDA、SCL 上升时间	tr	-	1000	20+0.1C b	300	ns
SDA、SCL 下降时间	tf	-	300	20+0.1C b	300	ns
结束建立时间	tSU;ST O	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	tBUF	4.7	-	1.3	-	μs
总线负载	Cb	-	400	-	400	pF
低电平噪声容限	VnL	0.1VDD	-	0.1VDD	-	V
高电平噪声容限	VnH	0.2VDD	-	0.2VDD	-	V

## 2.5.9 SPI 接口时序

### 说明

图 2-37 ~ 图 2-39 中，以下省略语或字母意义不变：

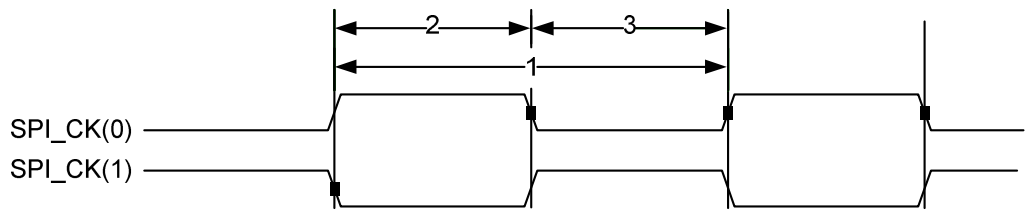
- MSB:Most Significant Bit
- LSB:Least Significant Bit
- SPI\_CK(0):spo=0
- SPI\_CK(1):spo=1

SPI 接口时钟时序如图 2-37 所示。





图2-37 SPICK 时序



SPI 主模式下接口时序分别如图 2-38 和图 2-39 所示。

图2-38 SPI 主模式下接口时序 (sph=1)

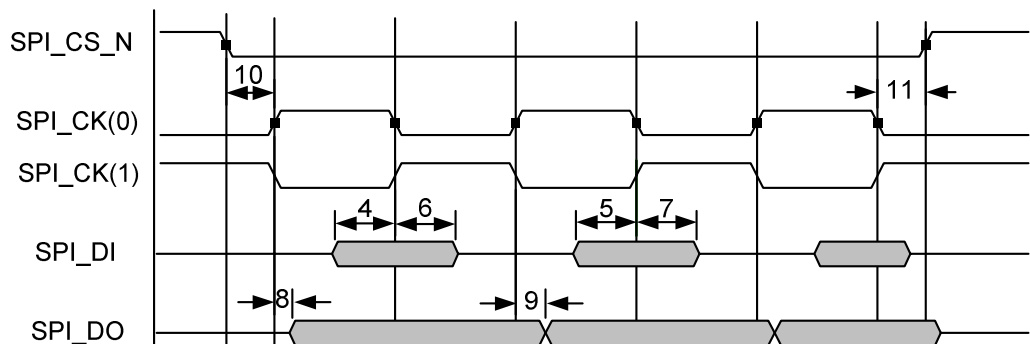
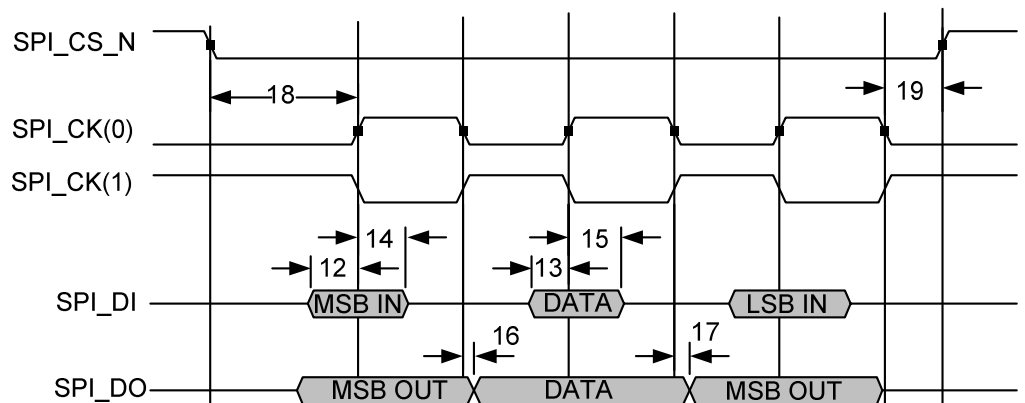


图2-39 SPI 主模式下接口时序 (sph=0)



SPI 接口时序参数如表 2-43 所示。

表2-43 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位	备注
1	Cycle time, SPI_CK	tc	2000/F <sub>ss</sub> pclk	-	65024000/ F <sub>ss</sub> pclk	ns	F <sub>ss</sub> pclk 以 MHz 为单位



No	参数	符号	最小值	典型值	最大值	单位	备注
2	Pulse duration, SPI_CK high (All Master Modes)	tw1	-	1/2 tc	-	ns	
3	Pulse duration, SPI_CK low (All Master Modes)	tw2	-	1/2 tc	-	ns	
4	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu1	-	1/2 tc	-	ns	
5	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu2	-	1/2 tc	-	ns	
6	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th1	-	1/2 tc	-	ns	
7	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th2	-	1/2 tc	-	ns	
8	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td1	0	-	-	ns	
9	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td2	0	-	-	ns	
10	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td3	-	tc	-	ns	
11	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td4	-	1/2 tc	-	ns	
12	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu3	-	1/2 tc	-	ns	
13	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu4	-	1/2 tc	-	ns	
14	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th3	-	1/2 tc	-	ns	
15	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th4	-	1/2 tc	-	ns	



No	参数	符号	最小值	典型值	最大值	单位	备注
16	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td5	0	-	-	ns	
17	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td6	0	-	-	ns	
18	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td7	-	1/2 tc	-	ns	
19	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td8	-	tc	-	ns	

## 2.5.10 MIPI Rx 接口时序

MIPI Rx 时序参数如表 2-44 所示。

表2-44 MIPI Rx 时序参数表

符号	参数	最小值	典型值	最大值	单位
F <sub>MAX</sub>	数据率	-	-	1.5G	bps
T <sub>PERIOD</sub>	差分时钟周期	1.33	T	-	ns
T <sub>DUTY</sub>	差分时钟占空比	0.45T	-	0.55T	ns
T <sub>SET</sub>	差分时钟建立时间	0.15*UI	-	-	ns
T <sub>HD</sub>	差分时钟保持时间	0.15*UI	-	-	ns
T <sub>RISE</sub>	差分时钟上升时间 (20-80%)	0.15	-	-	ns
T <sub>FALL</sub>	差分时钟下降时间 (20-80%)	0.15	-	0.3*UI	ns



说明

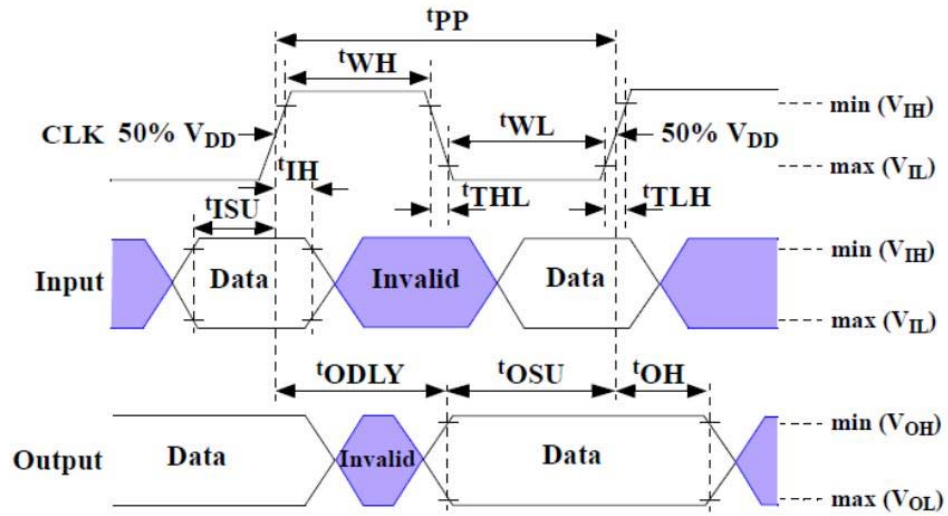
UI is equal to T/2.

## 2.5.11 SDIO/MMC 接口时序

单沿的数据输入输出方向时序如图 2-40 所示。

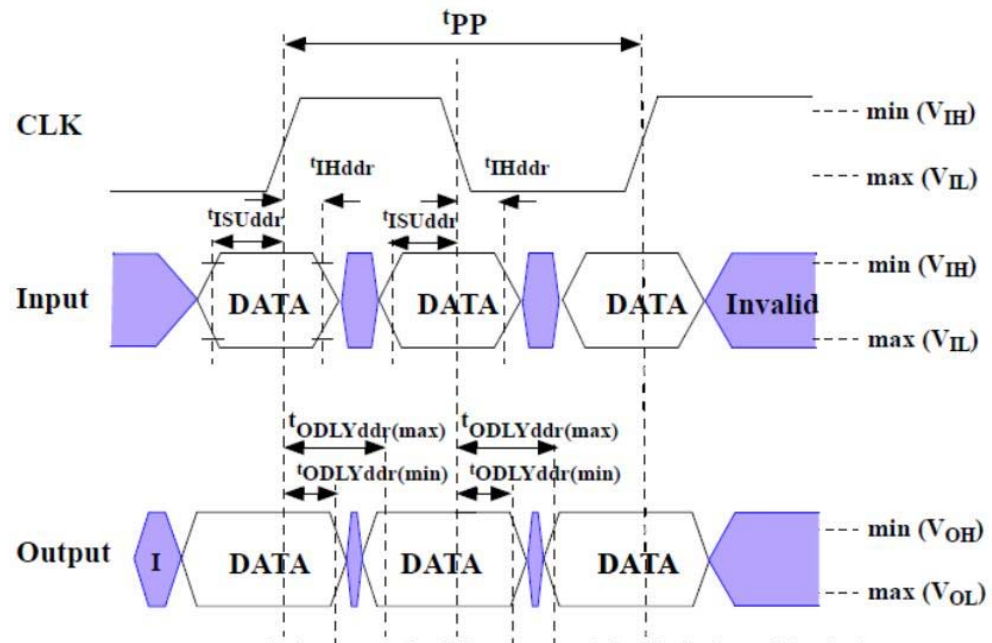


图2-40 单沿的数据输入输出方向时序图



双沿的数据输入输出方向时序如图 2-41 所示。

图2-41 双沿的数据输入输出方向时序图



SDIO/MMC 时序参数表如表 2-45 所示。



表2-45 SDIO/MMC 时序参数表

速度模式	最大频率 (MHz)/周期 (ns)		最小保 持时间	最小建 立时间	卡输出延 时的最大 值	卡时钟高电 平时间
MMC_HS400	100MHz	10ns	0.4ns	0.4ns	_	(0.45~0.55) 时钟周期
MMC_HS200	100MHz	10ns	0.8ns	1.4ns	_	
MMC DDR (CMD line)	50MHz	20ns	3.0ns	3.0ns	13.7ns	
MMC DDR (DAT line)	50MHz	20ns	2.5ns	2.5ns	7.0ns	
MMC_HS	50MHz	20ns	3.0ns	3.0ns	13.7ns	
SD_SDR104	100MHz	10ns	0.8ns	1.4ns	10.0ns	
SD_SDR50	100MHz	10ns	0.8ns	3.0ns	7.5ns	
SD_DDR50 (CMD line)	50MHz	20ns	0.8ns	6.0ns	13.7ns	
SD_DDR50 (DAT line)	50MHz	20ns	0.8ns	3.0ns	7ns	
SD_SDR25	50MHz	20ns	2.0ns	6.0ns	14ns	
SD_SDR12	25MHz	40ns	5.0ns	5.0ns	14ns	
SD_HS	50MHz	20ns	2.0ns	6.0ns	14ns	
SD_DS	25MHz	40ns	5.0ns	5.0ns	14ns	
Identification Mode	400KHz	2.5us	5.0ns	5.0ns	50ns	



## 目 录

<b>3 系统</b> .....	<b>3-1</b>
3.1 复位.....	3-1
3.1.1 概述 .....	3-1
3.1.2 复位控制 .....	3-1
3.1.3 复位配置 .....	3-2
3.2 时钟.....	3-3
3.2.1 概述 .....	3-3
3.2.2 功能框图 .....	3-3
3.2.3 时钟资源分布.....	3-4
3.2.4 PLL 配置 .....	3-6
3.2.5 频率配置 .....	3-7
3.2.6 CRG 寄存器概览 .....	3-10
3.2.7 CRG 寄存器描述 .....	3-11
3.3 处理器子系统.....	3-58
3.4 中断系统.....	3-59
3.5 系统控制器.....	3-60
3.5.1 概述 .....	3-60
3.5.2 特点 .....	3-60
3.5.3 功能描述 .....	3-60
3.5.4 系统控制器寄存器.....	3-61
3.5.5 外设控制寄存器.....	3-69
3.6 DMA 控制器 .....	3-119
3.6.1 概述 .....	3-119
3.6.2 特点 .....	3-119
3.6.3 功能描述 .....	3-120
3.6.4 工作方式 .....	3-124
3.6.5 DMAC 寄存器概览.....	3-129
3.6.6 DMAC 寄存器描述.....	3-130
3.7 定时器.....	3-147
3.7.1 概述 .....	3-147



3.7.2 特点 .....	3-148
3.7.3 功能描述 .....	3-148
3.7.4 工作方式 .....	3-149
3.7.5 Timer 寄存器概览 .....	3-150
3.7.6 Timer 寄存器描述 .....	3-150
3.8 看门狗 .....	3-155
3.8.1 概述 .....	3-155
3.8.2 特点 .....	3-155
3.8.3 功能描述 .....	3-155
3.8.4 工作方式 .....	3-156
3.8.5 WDG 寄存器概览 .....	3-157
3.8.6 WDG 寄存器描述 .....	3-158
3.9 实时时钟 .....	3-161
3.9.1 概述 .....	3-161
3.9.2 特点 .....	3-161
3.9.3 功能描述 .....	3-161
3.9.4 工作方式 .....	3-162
3.9.5 RTC 寄存器概览 .....	3-164
3.9.6 RTC 寄存器描述 .....	3-167
3.9.7 RTC 内部寄存器描述 .....	3-173
3.10 电源管理与低功耗模式控制 .....	3-197
3.10.1 概述 .....	3-197
3.10.2 时钟门控和时钟频率调整 .....	3-197
3.10.3 模块级低功耗控制 .....	3-198
3.10.4 DDR 低功耗控制 .....	3-198
3.10.5 DVFS 和 AVS 功能说明 .....	3-198
3.11 PMC .....	3-199
3.11.1 功能描述 .....	3-199
3.11.2 工作方式 .....	3-199
3.11.3 PMC 寄存器概览 .....	3-202
3.11.4 PMC 寄存器描述 .....	3-204



## 插图目录

图 3-1 复位信号控制图.....	3-1
图 3-2 时钟管理模块功能框图.....	3-4
图 3-3 时钟资源分布框图.....	3-5
图 3-4 芯片 ID 寄存器位分配图 .....	3-61
图 3-5 DMAC 功能框图.....	3-120
图 3-6 LLI 更新通道寄存器示意图 .....	3-122
图 3-7 DMAC 链表结构示例.....	3-124
图 3-8 WatchDog 应用框图.....	3-155





## 表格目录

表 3-1 复位信号分类表.....	3-2
表 3-2 Hi3519V100 PLL 对应的配置寄存器.....	3-6
表 3-3 Hi3519V100 PLL 频率计算方法.....	3-6
表 3-4 CPU/DDR/BUS 频率配置 .....	3-7
表 3-5 各模块时钟频率配置.....	3-7
表 3-6 CRG 寄存器概览（基址是 0x1201_0000） .....	3-10
表 3-7 中断源分配表 .....	3-59
表 3-8 系统控制器寄存器概览（基址是 0x1202_0000） .....	3-61
表 3-9 外设控制寄存器概览（基址是 0x1203_0000） .....	3-69
表 3-10 DMA 的外设请求分配定义 .....	3-122
表 3-11 dsize 及 ssize 的值与其对应的 burst 长度 .....	3-126
表 3-12 dwidth 和 swidth 的值与其对应传输位宽 .....	3-126
表 3-13 DMAC_Cn_CONTROL 寄存器 prot_stat 段属性及定义 .....	3-127
表 3-14 流控制器及传输类型位定义.....	3-128
表 3-15 DMAC 寄存器概览（基址是 0x1003_0000） .....	3-129
表 3-16 DMAC 寄存器偏移地址变量表.....	3-130
表 3-17 Timer 寄存器概览.....	3-150
表 3-18 WatchDog 寄存器概览（基址是 0x1208_0000） .....	3-157
表 3-19 RTC 寄存器概览（基址是 0x1209_0000） .....	3-164
表 3-20 RTC 内部寄存器概览（基址是 0x00） .....	3-164
表 3-21 PMC 寄存器概览（基址是 0x120A_0000） .....	3-202



# 3 系统

## 3.1 复位

### 3.1.1 概述

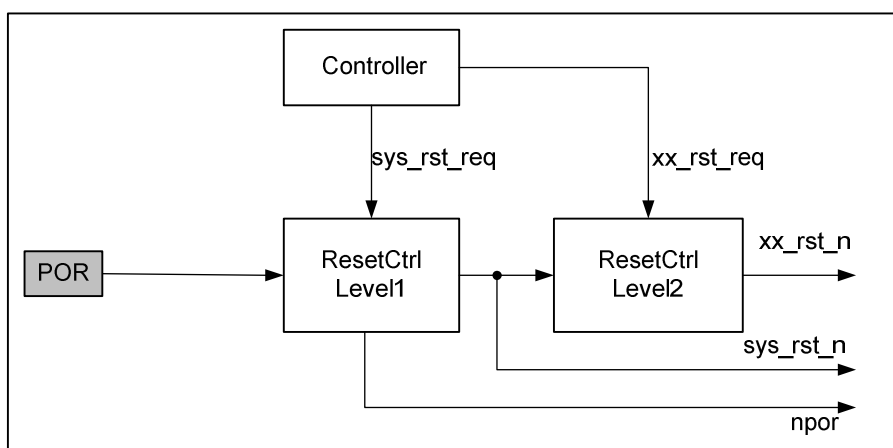
复位管理模块对整个芯片的复位、各功能模块的复位进行统一的管理，包括：

- 上电复位的管理和控制
- 系统软复位、功能模块单独软复位控制
- 复位信号同步到各模块对应时钟域
- 复位管理模块生成芯片内部各功能模块的复位信号

### 3.1.2 复位控制

复位信号控制如图 3-1 所示。

图3-1 复位信号控制图



POR	芯片内部上电复位（Power-On-Reset）模块。
sys_rst_req	全局软复位请求信号，源自系统控制器。
xx_rst_req	子模块单独软复位请求信号，源自 CRG 控制寄存器。
xx_rst_n、sys_rst_n、npor	复位信号。



复位信号分类如表 3-1 所示。

表3-1 复位信号分类表

复位信号类型	产生方式	用途
全局硬复位 npor	来自内部上电复位 POR 模块	对整芯片进行全局复位。
全局软复位 sys_rst_n	软件配置系统控制器的全局软复位寄存器	复位芯片中的所有模块，除了时钟复位电路，测试电路和部分不会被软复位的寄存器。
子模块复位 xx_rst_n	软件配置 CRG 控制寄存器的子模块复位控制寄存器	芯片各子模块的单独复位。

### 3.1.3 复位配置

#### 3.1.3.1 上电复位

完成上电复位过程必须同时满足以下条件：

- 内部 POR 模块产生一个低电平脉冲；且低电平维持时间大于 12 个 XIN 晶振时钟周期。
- 晶振时钟输入管脚 XIN 输入的时钟稳定。

#### 3.1.3.2 系统复位

实现系统复位有两种途径：

- 上电复位。
- 全局软复位，通过系统控制器控制。

#### 3.1.3.3 软复位

软复位控制通过配置相应的 CRG 控制器来实现，具体配置请参见每个模块的复位寄存器描述。



### 注意

- 系统软复位请求发出后，电路必须等待至少 360 个系统时钟周期才完成复位撤消，在这 360 个系统时钟周期内不能再发系统软复位请求，否则系统状态混乱，可能无法完成复位操作。
- 各模块单独软复位不会自动撤消，例如某模块的复位是配置 1 时，模块处于复位状态，必须再配置为 0，该模块复位才会撤消。

## 3.2 时钟

### 3.2.1 概述

时钟管理模块对芯片时钟输入、时钟生成和控制进行统一的管理，包括：

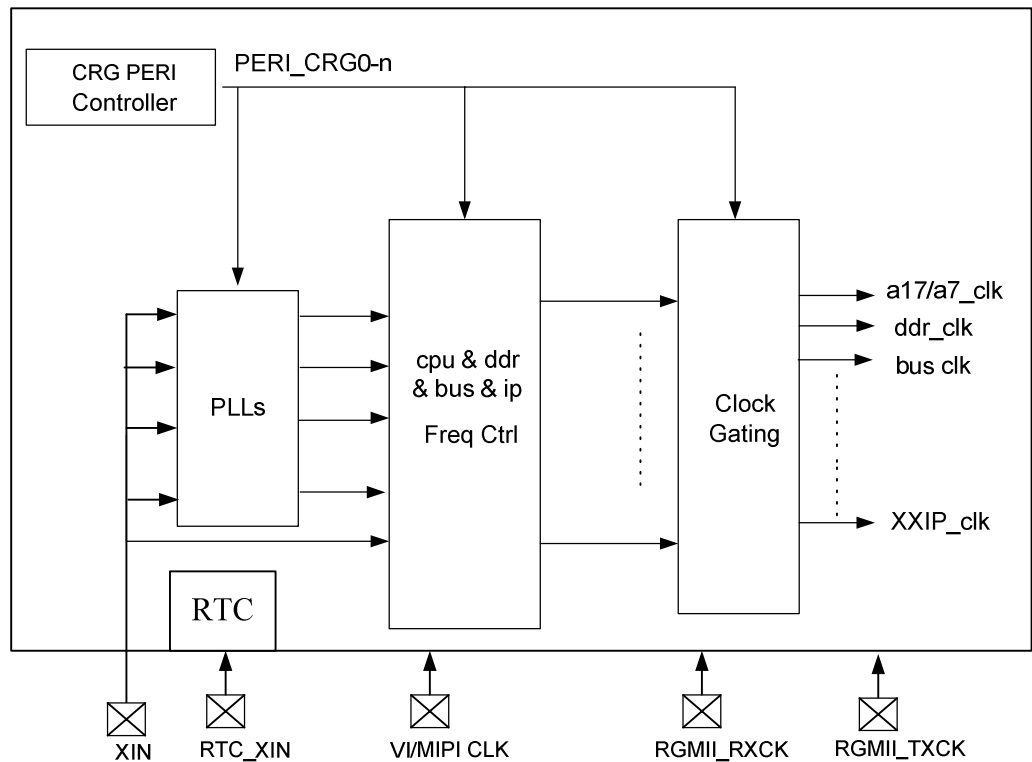
- 时钟输入的管理和控制
- 时钟分频和控制
- 生成各模块的工作时钟

### 3.2.2 功能框图

时钟管理模块功能框图如图 3-2 所示。



图3-2 时钟管理模块功能框图



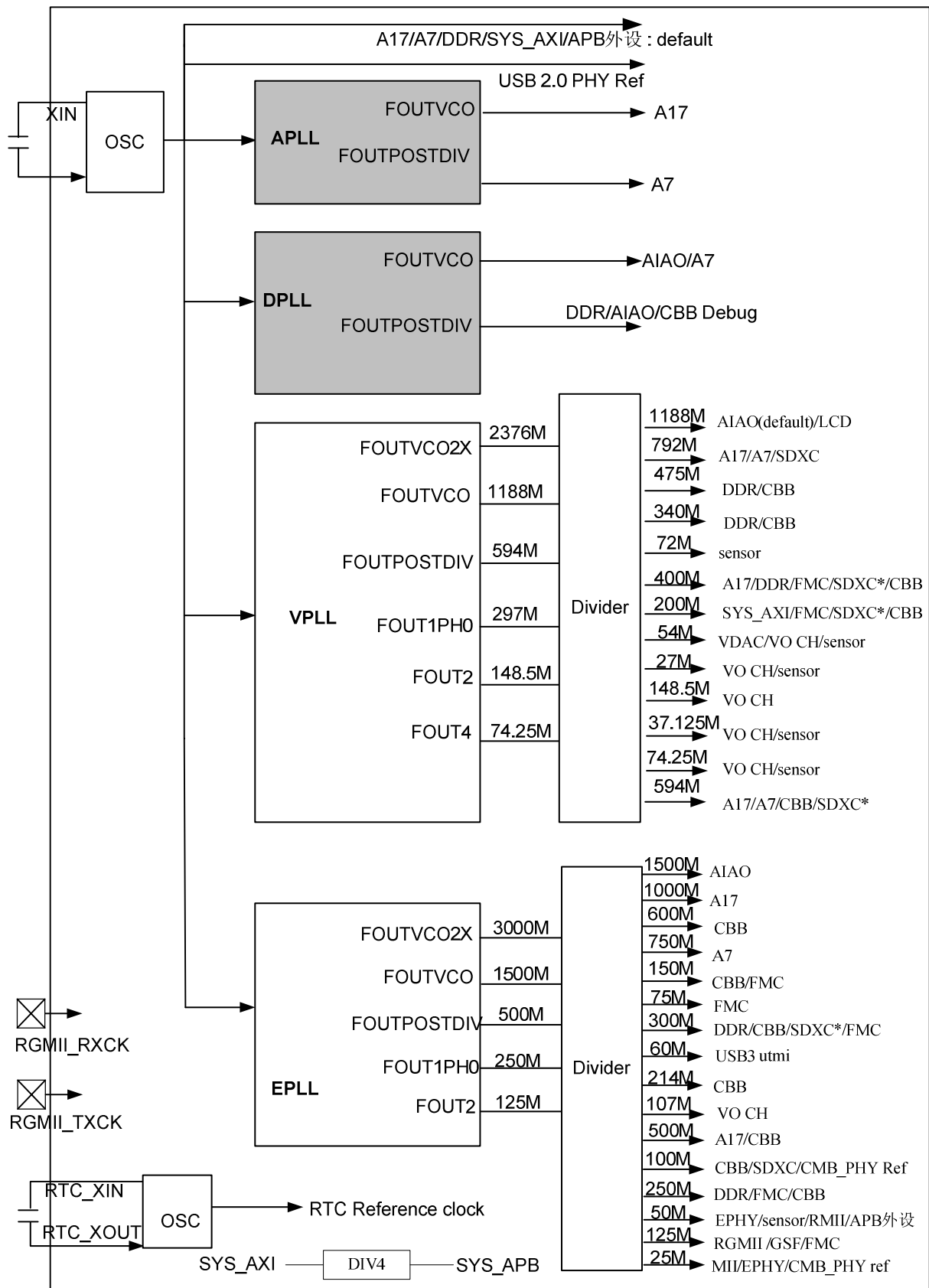
注：图中 XIN 为 PLL 输入时钟，固定连接 24MHz 晶体；RTC\_XIN 为 RTC 输入时钟，固定连接 32.768KHz 晶体。

### 3.2.3 时钟资源分布

时钟管理模块对源自芯片管脚的输入时钟和内部 PLL 进行配置、控制和管理，产生各模块所需的时钟资源，具体分布示意如图 3-3 所示。



图3-3 时钟资源分布框图





注：图中灰色的 APLL、DPLL 用户可编程配置；其它 PLL 为固定配置。对某些模块存在多个时钟源头可选择时， default 表示默认分支。CBB 是除 CPU、DDR、BUS、外设外的其它媒体业务模块。

### 3.2.4 PLL 配置

Hi3519V100 内部使用了 4 个 PLL，每个 PLL 使用两组配置寄存器，对应关系如表 3-2 所示。

表3-2 Hi3519V100 PLL 对应的配置寄存器

PLL	配置寄存器 0	配置寄存器 1
APLL	PERI_CRG_PLL0	PERI_CRG_PLL1
DPLL	PERI_CRG_PLL4	PERI_CRG_PLL5
VPLL	PERI_CRG_PLL6	PERI_CRG_PLL7
EPLL	PERI_CRG_PLL8	PERI_CRG_PLL9

所有 PLL 采用管脚 XIN 输入的晶振时钟作为输入时钟，PLL 输出频率配置方法如表 3-3 所示。

表3-3 Hi3519V100 PLL 频率计算方法

PLL Pin	计算方法描述	注意事项
FREF	PLL 输入参考时钟	Hi3519V100 要求固定输入 24MHz
FOUTVCO	$FREF \times (fbdiv + frac/2^{24}) / reldiv$	PLL 工作频率，要求大于等于 800MHz，且小于等于 2.3GHz
FOUTVCO2X	$FOUTVCO * 2$	-
FOUTPOSTDIV	$FOUTVCO / (pstdiv1 \times pstdiv2)$	-
FOUT1PH0	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 2)$	-
FOUT2	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 4)$	-
FOUT3	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 6)$	-
FOUT4	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 8)$	-
备注： fbdiv: 整数倍频系数；frac: 小数倍频系数；reldiv: 参考时钟分频系数；pstdiv1:第一级输出分频系数；pstdiv2:第二级输出分频系数。 各 PLL 的配置系数请参见表 3-1 对应配置寄存器的相应 Bit 位。		



以配置 APLL 为例，APLL 输出 FOUTVCO 给 A17 CPU 模块，频率为 1200MHz，计算配置寄存器的值如下：

取  $postdiv2=2$ ， $postdiv1=1$ ，根据  $FOUTVCO = FREF / (pstdiv1 \times pstdiv2) = 1200MHz$ 。

取  $refdiv=1$ ，则  $24 \times (fbdiv + frac/2^{24})/1 = 1200MHz$ 。

由上面的条件推出： $fbdiv=50$ ， $frac=000000$ 。

## 3.2.5 频率配置

### 3.2.5.1 CPU/DDR\_BUS 频率配置

CPU/DDR/BUS 频率时钟配置方法如表 3-4 所示。

表3-4 CPU/DDR/BUS 频率配置

信号名	配置寄存器
cpu_a7_cksel	PERI_CRG13 bit[9:7]。
a7clk_loaden	PERI_CRG11 bit[17]。
a7clk_skipcfg	PERI_CRG11 bit[16:12]。
ddr_sc_sel	PERI_CRG13 bit[2:0]。
bus_sc_sel	PERI_CRG13 bit[13:12]。

### 3.2.5.2 模块时钟频率配置

各模块时钟频率配置方式如表 3-5 所示。

表3-5 各模块时钟频率配置

信号名	配置寄存器
VDP 时钟配置	
vo_out_cksel	PERI_CRG17 bit[16:14]。
hd_div_mode	PERI_CRG17 bit[13:12]。
vdac_pctrl	PERI_CRG17 bit[3]。
vo_out_pctrl	PERI_CRG17 bit[2]。
lcd_mclk_div	PERI_CRG18 bit[26:0]
VI_MIPI 时钟配置	
sensor_cksel	PERI_CRG16 bit[3:0]。





信号名	配置寄存器
vimipi0_cksel	PERI_CRG19 bit[2:0]。
vi_pctrl	PERI_CRG15 bit[9]。
vi_isp_ckdiv	PERI_CRG15 bit[11:10]
VEDU 时钟配置	
vedu_cksel	PERI_CRG19 bit[12:10]
veduclk_loaden	PERI_CRG20 bit[9]。
veduclk_skipcfg	PERI_CRG20 bit[8:4]。
VPSS 时钟配置	
vpss0_cksel	PERI_CRG19 bit[7:5]。
vpssclk_loaden	PERI_CRG22 bit[9]。
vpssclk_skipcfg	PERI_CRG22 bit[8:4]。
TDE 时钟配置	
tdeclk_loaden	PERI_CRG25 bit[9]。
tdeclk_skipcfg	PERI_CRG25 bit[8:4]。
VGS 时钟配置	
vgs_cksel	PERI_CRG19 bit[15:13]。
vgsclock_loaden	PERI_CRG23 bit[9]。
vgsclock_skipcfg	PERI_CRG23 bit[8:4]。
JPGE 时钟配置	
jpgeclk_loaden	PERI_CRG24 bit[9]。
jpgeclk_skipcfg	PERI_CRG24 bit[8:4]。
IVE 时钟配置	
ive_cksel	PERI_CRG19 bit[21:19]。
GDC 时钟配置	
gdc_cksel	PERI_CRG19 bit[18:16]。
gdcclock_loaden	PERI_CRG29 bit[9]。
gdcclock_skipcfg	PERI_CRG29 bit[8:4]。
FMC 时钟配置	
fmc_cksel	PERI_CRG48 bit[4:2]。



信号名	配置寄存器
SDIO 时钟配置	
emmc_clk_mode	PERI_CRG49 bit[21]。
emmc_cksel	PERI_CRG49 bit[20:18]。
sdxc0_clk_mode	PERI_CRG49 bit[13]。
sdxc0_cksel	PERI_CRG49 bit[12:10]。
sdxc1_clk_mode	PERI_CRG49 bit[5]。
CIPHER 时钟配置	
ca_cksel	PERI_CRG31 bit[6]。
PWM/I2C/UART 时钟配置	
pwm_cksel	PERI_CRG55 bit[3:2]。
i2c_cksel	PERI_CRG57 bit[26]。
uart_cksel	PERI_CRG57 bit[25]。
GSF/GMAC 时钟配置	
mac_speed	PERI_CRG59 bit[1]。
port_select	PERI_CRG59 bit[0]。
ext_fephy_cksel	PERI_CRG51 bit[6]。
rmii_cksel	PERI_CRG51 bit[4]。
AIAO 时钟频率配置	
ai0_cksel	PERI_CRG32 bit[3:2]。
COMB PHY 时钟频率配置	
combphy_refclk_sel	PERI_CRG43 bit[9]。
usb3_utmi_cksel	PERI_CRG46 bit[13]。

### 3.2.5.3 注意事项

时钟配置需要注意以下事项：

- PLL 在变更频率配置时，需要等待 0.1ms 才能输出稳定的时钟。更改 PLL 频率配置前请切换目标时钟到非 PLL 时钟模式。
- 可通过观测 PLL LOCK 指示位辅助判断 PLL 是否稳定。PLL LOCK 指示位可通过读 PERI\_CRG58 bit[3:0]状态获取。



### 3.2.6 CRG 寄存器概览

CRG 寄存器概览如表 3-6 所示。

表3-6 CRG 寄存器概览（基址是 0x1201\_0000）

偏移地址	名称	描述	页码
0x0000	PERI_CRG_PLL0	APLL 配置寄存器 0	3-11
0x0004	PERI_CRG_PLL1	APLL 配置寄存器 1	3-12
0x0010	PERI_CRG_PLL4	DPLL 配置寄存器 0	3-13
0x0014	PERI_CRG_PLL5	DPLL 配置寄存器 1	3-14
0x0018	PERI_CRG_PLL6	VPLL 配置寄存器 0	3-15
0x001C	PERI_CRG_PLL7	VPLL 配置寄存器 1	3-16
0x0020	PERI_CRG_PLL8	EPLL 配置寄存器 0	3-17
0x0024	PERI_CRG_PLL9	EPLL 配置寄存器 1	3-18
0x0028	PERI_CRG10	CORESIGHT & A17 时钟复位配置寄存器	3-19
0x002C	PERI_CRG11	A7 时钟复位配置寄存器	3-20
0x0030	PERI_CRG12	DDR 时钟配置寄存器	3-22
0x0034	PERI_CRG13	SOC 频率 Profile 配置寄存器	3-23
0x003C	PERI_CRG15	VI-MIPI 时钟复位配置寄存器	3-24
0x0040	PERI_CRG16	Sensor 时钟配置寄存器	3-25
0x0044	PERI_CRG17	VOU 时钟及复位控制寄存器	3-27
0x0048	PERI_CRG18	LCD 时钟配置寄存器	3-28
0x004C	PERI_CRG19	媒体 CBB 频率 Profile 配置寄存器	3-29
0x0050	PERI_CRG20	VEDU 时钟及软复位控制寄存器	3-31
0x0058	PERI_CRG22	VPSS 时钟及软复位控制寄存器	3-31
0x005C	PERI_CRG23	VGS 时钟及软复位控制寄存器	3-32
0x0060	PERI_CRG24	JPGE 时钟及软复位控制寄存器	3-33
0x0064	PERI_CRG25	TDE 时钟及软复位控制寄存器	3-33
0x006C	PERI_CRG27	IVE 时钟及软复位控制寄存器	3-34
0x0074	PERI_CRG29	GDC 时钟及软复位控制寄存器	3-35



偏移地址	名称	描述	页码
0x007C	PERI_CRG31	HASH/LSADC/CIPHER 相关的时钟及软复位控制寄存器	3-35
0x0080	PERI_CRG32	AIAO 时钟复位控制寄存器	3-37
0x0084	PERI_CRG33	GZIP 相关的时钟及软复位控制寄存器	3-37
0x00AC	PERI_CRG43	COMB PHY 相关时钟复位控制寄存器	3-38
0x00B0	PERI_CRG44	PCIE CTRL 相关的时钟及软复位控制寄存器	3-39
0x00B4	PERI_CRG45	USB2 相关的时钟及软复位控制寄存器	3-40
0x00B8	PERI_CRG46	USB3 CTRL 时钟及软复位控制寄存器	3-42
0x00C0	PERI_CRG48	FMC 相关的时钟及软复位控制寄存器	3-43
0x00C4	PERI_CRG49	SDIO0/1/eMMC 相关的时钟及软复位控制寄存器	3-44
0x00CC	PERI_CRG51	GSF 和 GMAC 接口相关的时钟及软复位控制寄存器	3-46
0x00D8	PERI_CRG54	DDRT 相关的时钟及软复位控制寄存器	3-47
0x00DC	PERI_CRG55	PWM 时钟及复位控制寄存器	3-48
0x00E0	PERI_CRG56	RSA/TRNG/DMA 等相关的时钟及软复位控制寄存器	3-49
0x00E4	PERI_CRG57	其它 APB 模块时钟软复位控制寄存器	3-50
0x00E8	PERI_CRG58	CRG 状态寄存器	3-53
0x00EC	PERI_CRG59	GMAC 接口控制寄存器	3-54
0x00F0	PERI_CRG60	GMAC 接口状态寄存器	3-56
0x013C	PERI_CRG79	SOC 频率 Profile 状态寄存器	3-56

### 3.2.7 CRG 寄存器描述

#### PERI\_CRG\_PLL0

PERI\_CRG\_PLL0 为 APLL 配置寄存器 0。



		Offset Address				Register Name								Total Reset Value																			
		0x0000				PERI_CRG_PLL0								0x1200_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved		apll_postdiv2		reserved		apll_postdiv1		apll_frac																							
Reset		0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31]	RO		reserved		保留。																											
	[30:28]	RW		apll_postdiv2		APLL 第二级输出分频系数。																											
	[27]	RO		reserved		保留。																											
	[26:24]	RW		apll_postdiv1		APLL 第一级输出分频系数。																											
	[23:0]	RW		apll_frac		APLL 小数分频系数。																											

## PERI\_CRG\_PLL1

PERI\_CRG\_PLL1 为 APLL 配置寄存器 1。

		Offset Address				Register Name								Total Reset Value																			
		0x0004				PERI_CRG_PLL1								0x0910_1032																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				apll_foutvco2xpd	apll_bypass	apll_daepd	apll_dsmpd	apll_pd	apll_foutvcopd	apll_postdivpd	apll_fout4phasepd	reserved	apll_refdiv				apll_fbdiv														
Reset		0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	0
	Bits	Access		Name		Description																											
	[31:28]	RO		reserved		保留。																											



[27]	RW	apll_foutvco2xpd	APLL VCO2X 输出 Power Down 控制。 1: 不输出时钟; 0: 正常输出时钟。
[26]	RW	apll_bypass	APLL 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。
[25]	RW	apll_dacpd	APLL 测试信号控制。 0: 正常工作状态; 1: power down 工作状态。
[24]	RW	apll_dsmpd	APLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[23]	RW	apll_pd	APLL Power Down 控制。 0: 正常工作状态; 1: power down 工作状态。
[22]	RW	apll_foutvcopd	APLL VCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[21]	RW	apll_postdivpd	APLL POSTDIV 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[20]	RW	apll_fout4phasepd	APLL FOUT 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[19:18]	RO	reserved	保留。
[17:12]	RW	apll_refdiv	APLL 参考时钟分频系数。
[11:0]	RW	apll_fbdiv	APLL 整数倍频系数。

## PERI\_CRG\_PLL4

PERI\_CRG\_PLL4 为 DPLL 配置寄存器 0。



		Offset Address	Register Name		Total Reset Value					
		0x0010	PERI_CRG_PLL4		0x1200_0000					
Bit		31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name		reserved	dppll_postdiv2	reserved	dppll_postdiv1	dppll_frac				
Reset		0 0 0 1	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description						
	[31]	RO	reserved	保留。						
	[30:28]	RW	dppll_postdiv2	DPLL 第二级输出分频系数。						
	[27]	RO	reserved	保留。						
	[26:24]	RW	dppll_postdiv1	DPLL 第一级输出分频系数。						
	[23:0]	RW	dppll_frac	DPLL 小数分频系数。						

## PERI\_CRG\_PLL5

PERI\_CRG\_PLL5 为 DPLL 配置寄存器 1。

		Offset Address	Register Name		Total Reset Value								
		0x0014	PERI_CRG_PLL5		0x0910_60E9								
Bit		31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name		reserved	dppll_foutvco2xpd	dppll_bypass	dppll_daepd	dppll_dsmpd	dppll_pd	dppll_foutvcopd	dppll_postdivpd	dppll_fout4phasepd	reserved	dppll_refdiv	dppll_fbdiv
Reset		0 0 0 0	1 0 0 1	0 0 0 1	0 0 0 0	0 1 1 0	0 0 0 0	1 1 1 0	1 0 0 1				
	Bits	Access	Name	Description									
	[31:28]	RO	reserved	保留。									



[27]	RW	dpll_foutvco2xpd	DPLL VCO2X 输出 Power Down 控制。 1: 不输出时钟; 0: 正常输出时钟。
[26]	RW	dpll_bypass	DPLL 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。
[25]	RW	dpll_dacpd	DPLL 测试信号控制。 0: 正常工作状态; 1: power down 工作状态。
[24]	RW	dpll_dsmpd	DPLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[23]	RW	dpll_pd	DPLL Power Down 控制。 0: 正常工作状态; 1: power down 工作状态。
[22]	RW	dpll_foutvcopd	DPLL VCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[21]	RW	dpll_postdivpd	DPLL POSTDIV 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[20]	RW	dpll_fout4phasepd	DPLL FOUT 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[19:18]	RO	reserved	保留。
[17:12]	RW	dpll_refdiv	DPLL 参考时钟分频系数。
[11:0]	RW	dpll_fbdiv	DPLL 整数倍频系数。

## PERI\_CRG\_PLL6

PERI\_CRG\_PLL6 为 VPLL 配置寄存器 0。





		Offset Address	Register Name		Total Reset Value				
		0x0018	PERI_CRG_PLL6		0x1200_0000				
Bit		31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name		reserved vpll_postdiv2	reserved vpll_postdiv1	vpll_frac					
Reset		0 0 0 1	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name	Description					
	[31]	RO	reserved	保留。					
	[30:28]	RW	vpll_postdiv2	VPLL 第二级输出分频系数。					
	[27]	RO	reserved	保留。					
	[26:24]	RW	vpll_postdiv1	VPLL 第一级输出分频系数。					
	[23:0]	RW	vpll_frac	VPLL 小数分频系数。					

## PERI\_CRG\_PLL7

PERI\_CRG\_PLL7 为 VPLL 配置寄存器 1。

		Offset Address	Register Name		Total Reset Value				
		0x001C	PERI_CRG_PLL7		0x0100_2063				
Bit		31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name		reserved	vpll_foutvcoc2xpd vpll_bypass vpll_daepd vpll_dsmpd vpll_pd vpll_foutvcopd vpll_postdivpd vpll_fout4phasepd	reserved	vpll_refdiv		vpll_fbdiv		
Reset		0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 1 1 0	0 0 1 1
	Bits	Access	Name	Description					
	[31:28]	RO	reserved	保留。					



Offset Address 0x001C			Register Name PERI_CRG_PLL7	Total Reset Value 0x0100_2063
[27]	RW	vpll_foutvco2xpd	VPLL VCO2X 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。	
[26]	RW	vpll_bypass	VPLL 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。	
[25]	RW	vpll_dacpd	VPLL 测试信号控制。 0: 正常工作状态; 1: power down 工作状态。	
[24]	RW	vpll_dsmpd	VPLL 小数分频控制。 0: 小数模式; 1: 整数模式。	
[23]	RW	vpll_pd	VPLL Power Down 控制。 0: 正常工作状态; 1: power down 工作状态。	
[22]	RW	vpll_foutvcopd	VPLL VCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。	
[21]	RW	vpll_postdivpd	VPLL POSTDIV 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。	
[20]	RW	vpll_fout4phasepd	VPLL FOUT 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。	
[19:18]	RO	reserved	保留。	
[17:12]	RW	vpll_refdiv	VPLL 参考时钟分频系数。	
[11:0]	RW	vpll_fbdiv	VPLL 整数倍频系数。	

## PERI\_CRG\_PLL8

PERI\_CRG\_PLL8 为 EPLL 配置寄存器 0。



		Offset Address				Register Name								Total Reset Value																			
		0x0020				PERI_CRG_PLL8								0x1300_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				epll_postdiv2				reserved				epll_frac																			
Reset		0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																									
	[31]	RO		reserved				保留。																									
	[30:28]	RW		epll_postdiv2				EPLL 第二级输出分频系数。																									
	[27]	RO		reserved				保留。																									
	[26:24]	RW		epll_postdiv1				EPLL 第一级输出分频系数。																									
	[23:0]	RW		epll_frac				EPLL 小数分频系数。																									

## PERI\_CRG\_PLL9

PERI\_CRG\_PLL9 为 EPLL 配置寄存器 1。

		Offset Address				Register Name								Total Reset Value																			
		0x0024				PERI_CRG_PLL9								0x0100_207D																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				epll_foutvco2xpd		epll_bypass		epll_daepd		epll_dsmpd		epll_pd		epll_foutvcopd		epll_postdivpd		epll_fout4phasepd		reserved				epll_refdiv				epll_fbdiv			
Reset		0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	1	1	1	0	1
	Bits	Access		Name				Description																									
	[31:28]	RO		reserved				保留。																									



[27]	RW	epll_foutvco2xpd	EPLL VCO2X 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[26]	RW	epll_bypass	EPLL 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。
[25]	RW	epll_dacpd	EPLL 测试信号控制。 1: power down 工作状态; 0: 正常工作状态。
[24]	RW	epll_dsmpd	EPLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[23]	RW	epll_pd	EPLL Power Down 控制。 1: power down 工作状态; 0: 正常工作状态。
[22]	RW	epll_foutvcopd	EPLLVCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[21]	RW	epll_postdivpd	EPLL POSTDIV 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[20]	RW	epll_fout4phasepd	EPLLFOUT 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[19:18]	RO	reserved	保留。
[17:12]	RW	epll_refdiv	EPLL 参考时钟分频系数。
[11:0]	RW	epll_fbdiv	EPLL 整数倍频系数。

## PERI\_CRG10

PERI\_CRG10 为 CORESIGHT & A17 时钟复位配置寄存器。



	Offset Address	Register Name	Total Reset Value											
	0x0028	PERI_CRG10	0x0318_0002											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				cs_cken	cs_dbg_pwrup_mode	reserved	a17_wakeup_cken	a17_topdbg_cken	a17_wakeup_srst_req	reserved			
Reset	0 0 0 0	0 0 1 1	0 0 0 1	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0						

Bits	Access	Name	Description
[31:26]	RO	reserved	保留。
[25]	RW	cs_cken	CORESIGHT TOP 时钟门控配置寄存器(仅手动模式下有效)。 0: 关闭时钟; 1: 打开时钟。
[24]	RW	cs_dbg_pwrup_mode	CORESIGHT TOP PwrUp 模式。 0: 自动模式; 1: 手动模式。
[23:22]	RO	reserved	保留
[21]	RW	a17_wakeup_cken	A17 子系统全局时钟门控寄存器。 0: 关闭时钟; 1: 打开时钟。
[20]	RW	a17_topdbg_cken	PCLKDBG 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[19]	RW	a17_wakeup_srst_req	A17 子系统全局软复位。 0: 撤消复位; 1: 复位。
[18:0]	RO	reserved	保留。

## PERI\_CRG11

PERI\_CRG11 为 A7 时钟复位配置寄存器。



Offset Address		Register Name		Total Reset Value								
0x002C		PERI_CRG11		0x0010_0003								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				a7_ddrboot_srst_req	reserved	a7clk_loaden	a7clk_skipcfg	a7_wakeup_srst_req	reserved	a7_wakeup_cken	pclkdbg_cken
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1				
Bits	Access	Name	Description									
[31:21]	RO	reserved	保留。									
[20]	RW	a7_ddrboot_srst_req	A7 全局软复位，仅在 PCIe 从片启动模式下有效。 0: 撤消复位； 1: 复位。									
[19:18]	RO	reserved	保留。									
[17]	RW	a7clk_loaden	CPU 时钟 Skip 配置使能。 每次改变 skip 配置时，分下面三步： 1.写入新的 skip 配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1									
[16:12]	RW	a7clk_skipcfg	CPU 时钟 Skip 配置。 N: 每 32 拍 CPU 时钟中关掉 N 拍时钟。									
[11]	RW	a7_wakeup_srst_req	A7 全局软复位，仅在非 PCIe 从片启动模式下有效。 0: 撤消复位； 1: 复位。									
[10:2]	RO	reserved	保留。									
[1]	RW	a7_wakeup_cken	A7 全局时钟门控。 0: 时钟关闭； 1: 时钟打开。									
[0]	RW	pclkdbg_cken	A7 PCLKDBG 时钟门控。 0: 时钟关闭； 1: 时钟打开。									



## PERI\_CRG12

PERI\_CRG12 为 DDR 时钟配置寄存器。

Offset Address		Register Name		Total Reset Value																																							
0x0030		PERI_CRG12		0x0000_0070																																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
Name	reserved																							ddr_apb_cken	ddr_hipack_cken	ddr_cfg_cken	reserved	ddr_apb_srst_req	ddr_hipack_srst_req														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0										
Bits	Access	Name	Description																																								
[31:7]	RO	reserved	保留。																																								
[6]	RW	ddr_apb_cken	DDR APB 门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																																								
[5]	RW	ddr_hipack_cken	DDR HiPACK 门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																																								
[4]	RW	ddr_cfg_cken	DDR CFG 门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																																								
[3:2]	RO	reserved	保留。																																								
[1]	RW	ddr_apb_srst_req	DDR APB 软复位请求。 0: 撤消复位; 1: 复位。																																								
[0]	RW	ddr_hipack_srst_req	DDR HiPACK 软复位请求。 0: 撤消复位; 1: 复位。																																								



## PERI\_CRG13

PERI\_CRG13 为 SOC 频率 Profile 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0034		PERI_CRG13		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												bus_cksel	reserved	cpu_a7_cksel		cpu_a17_cksel		reserved	addr_cksel												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:14]	RO	reserved	保留。																													
[13:12]	RW	bus_cksel	BUS 时钟 profile 配置。 x0: XTAL 时钟; x1: 200MHz 时钟。																													
[11:10]	RO	reserved	保留。																													
[9:7]	RW	cpu_a7_cksel	A7 CPU Profile 配置。 000: XTAL 时钟; 001: DPLL VCO; 010: APLL POSTDIV 011: 792MHz; 100: 750MHz; 101: 594MHz; 其它: 保留。																													
[6:4]	RW	cpu_a17_cksel	A17 CPU 时钟 Profile 配置: 000: XTAL 时钟; 001: APLL VCO; 010: DPLL VCO; 011: 1000MHz; 100: 792MHz; 101: 594MHz; 110: 500MHz; 111: 400MHz。																													





[3]	RO	reserved	保留。
[2:0]	RW	ddr_cksel	DDR 时钟 Profile 配置。 000: XTAL 时钟; 001: DPLL POSTDIV; 011: 396MHz; 100: 346MHz; 101: 300MHz; 110: 250MHz; 其它: 保留。

## PERI\_CRG15

PERI\_CRG15 为 VI-MIPI 时钟复位配置寄存器。

Offset Address		Register Name		Total Reset Value										
0x003C		PERI_CRG15		0x0000_033F										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				vi_isp_ckdiv	vi_pctrl	vi_cken	reserved	isp_cfg_srst_req	isp_core_srst_req	mipi_hrst_req	mipi_srst_req	vi_hrst_req	vi_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0	1 1	1	1	1	1	1	1
Bits	Access	Name	Description											
[31:12]	RO	reserved	保留。											
[11:10]	RW	vi_isp_ckdiv	ISP CLK 分频系数配置。 00: 2 分频; 01: 4 分频; 1X: 不分频。 注意: ISP CLK 最高支持到 300MHz, 其时钟源头来自 <a href="#">PERI_CRG19[2:0]</a> , 请根据时钟源头选择合理的分频配置。											
[9]	RW	vi_pctrl	VI 接口时钟相位控制。 0: 正向时钟; 1: 反向时钟。											



[8]	RW	vi_cken	VI 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[7:6]	RO	reserved	保留
[5]	RW	isp_cfg_srst_req	ISP CFG 软复位请求。 0: 撤消复位; 1: 复位。
[4]	RW	isp_core_srst_req	ISP Core 软复位请求。 0: 撤消复位; 1: 复位。
[3]	RW	mipi_hrst_req	MIPI Ctrl 总线软复位请求。 0: 撤消复位; 1: 复位。
[2]	RW	mipi_srst_req	MIPI Ctrl CH0 部分软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	vi_hrst_req	VI 总线软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	vi_srst_req	VI 软复位请求。 0: 撤消复位; 1: 复位。

## PERI\_CRG16

PERI\_CRG16 为 Sensor 时钟配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0040		PERI_CRG16		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														sensor0_ctrl_srst_req	sensor0_srst_req	sensor0_cken	sensor0_cksel														
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6]	RW	sensor0_ctrl_srst_req	Sensor0 从模式控制模块软复位请求。 0: 撤消复位; 1: 复位。																													
[5]	RW	sensor0_srst_req	Sensor0 软复位请求。 0: 撤消复位; 1: 复位。																													
[4]	RW	sensor0_cken	Sensor0 CLKOUT 时钟门控。 0: 时钟关闭; 1: 时钟打开。																													
[3:0]	RW	sensor0_cksel	Sensor0 CLKOUT 时钟配置寄存器。 0000: 74.25MHz; 0001: 72MHz; 0010: 54MHz; 0011: 50MHz; 01xx: 24MHz; 1000: 37.125MHz; 1001: 36MHz; 1010: 27MHz; 1011: 25MHz; 11xx: 12MHz。																													



## PERI\_CRG17

PERI\_CRG17 为 VOU 时钟及复位控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0044		PERI_CRG17		0x0000_0005																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vo_out_cksel	hd_div_mode	vdac_cken	vou_sd_cken	vou_hd_cken	vo_out_cken	vou_acken	vou_pcken	vou_ppc_cken	vou_cfg_cken	vdac_pctrl	vo_out_pctrl	reserved	vo_srst_req						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
Bits	Access	Name	Description																													
[31:17]	RO	reserved	保留。																													
[16:14]	RW	vo_out_cksel	VO_OUT_CLK 频率选择。 000: 148.5MHz; 001: 74.25MHz; 010: 37.125MHz; 011: 107MHz ; 100: 54M Hz; 101: 27M Hz; 110: LCD 分频器时钟; 111: 保留。																													
[13:12]	RW	hd_div_mode	VO_OUT_CLK 与 DHD 通道时钟分频比配置。 00: 不分频; 01: 2 分频; 10: 3 分频; 11: 4 分频。																													
[11]	RW	vdac_cken	VDACH 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																													
[10]	RW	vou_sd_cken	VOU SD 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																													



[9]	RW	vou_hd_cken	VOU HD 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[8]	RW	vo_out_cken	VO_CLKOUT 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[7]	RW	vou_acken	VOU AXI 总线时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[6]	RW	vou_pcken	VOU APB 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[5]	RW	vou_ppc_cken	VOU PPC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[4]	RW	vou_cfg_cken	VOU CFG (内部配置)时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[3]	RW	vdac_pctrl	VDAC 时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[2]	RW	vo_out_pctrl	VOU HD 输出随路时钟相位控制。默认反向 0: 正向时钟; 1: 反向时钟。
[1]	RO	reserved	保留。
[0]	RW	vo_srst_req	VOU 软复位请求。 0: 撤消复位; 1: 复位。

## PERI\_CRG18

PERI\_CRG18 为 LCD 时钟配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x0048		PERI_CRG18		0x0015_E4C3				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	lcd_cken	lcd_mclk_div					
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 1 0 1	1 1 1 0	0 1 0 0	1 1 0 0	0 0 1 1
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27]	RW	lcd_cken	LCD 分频器时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。					
[26:0]	RW	lcd_mclk_div	LCD 分频时钟, 可配置。 假定目标频率 X(MHZ), 则 $lcd\_mclk\_div = (X/1188) * 2^{27}$ 。					

## PERI\_CRG19

PERI\_CRG19 为媒体 CBB 频率 Profile 配置寄存器。

Offset Address		Register Name		Total Reset Value						
0x004C		PERI_CRG19		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved		ive_cksel	gdc_cksel	vgs_cksel	vedu_cksel	vpss1_cksel	vpss0_cksel	vimip1l_cksel	vimip10_cksel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:22]	RO	reserved	保留。							
[21:19]	RW	ive_cksel	IVE 频率配置。 000: 200MHz; 001: 300MHz; 010: 400MHz; 其它: 保留。							



[18:16]	RW	gdc_cksel	GDC 频率配置。 000: 200MHz; 001: 300MHz; 010: 400MHz; 100: 340MHz; 101: 475MHz; 其它: 保留。
[15:13]	RW	vgs_cksel	VGS 频率配置。 000: 150MHz; 001: 250MHz; 010: 300MHz; 100: 400MHz; 其它: 保留。
[12:10]	RW	vedu_cksel	VEDU 频率配置。 000: 200MHz; 001: 250MHz; 010: 300MHz; 011: 500MHz; 其它: 保留。
[9:8]	RO	reserved	保留。
[7:5]	RW	vpss0_cksel	VPSS0 频率配置。 000: 100MHz; 001: 150MHz; 010: 214MHz; 011: 300MHz; 其它: 保留。
[4:3]	RO	reserved	保留。



[2:0]	RW	vimipi0_cksel	<p>VIMIPi0 频率配置。</p> <p>000: 100MHz;</p> <p>001: 150MHz;</p> <p>010: 214MHz;</p> <p>011: 300MHz;</p> <p>100: 340MHz;</p> <p>101: 398MHz;</p> <p>110: 500MHz;</p> <p>111: 600MHz。</p> <p>注意：此寄存器域为 PERI_CRG15[11:10]的时钟源头。</p>
-------	----	---------------	---

## PERI\_CRG20

PERI\_CRG20 为 VEDU 时钟及软复位控制寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x0050								PERI_CRG20								0x0000_0003															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								vedu_cken	vedu_srst_req						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access		Name		Description																											
[31:2]	RO		reserved		保留。																											
[1]	RW		vedu_cken		VEDU 时钟门控配置寄存器。		0: 关闭时钟;		1: 打开时钟。																							
[0]	RW		vedu_srst_req		VEDU 的软复位请求。		0: 撤销复位;		1: 复位。																							

## PERI\_CRG22

PERI\_CRG22 为 VPSS 时钟及软复位控制寄存器。





Offset Address		Register Name		Total Reset Value					
0x0058		PERI_CRG22		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							vps0_cken	vps0_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	vps0_cken	VPSS0 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。						
[0]	RW	vps0_srst_req	VPSS0 的软复位请求。 0: 撤销复位; 1: 复位。						

### PERI\_CRG23

PERI\_CRG23 为 VGS 时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x005C		PERI_CRG23		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							vgs_cken	vgs_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						



[1]	RW	vgs_cken	VGS 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	vgs_srst_req	VGS 的软复位请求。 0: 撤销复位; 1: 复位。

## PERI\_CRG24

PERI\_CRG24 为 JPGE 时钟及软复位控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0060	PERI_CRG24	0x0000_0003
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			jpge_cken
			jpge_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 1 1
Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	jpge_cken	JPGE 时钟门控配置寄存器, 0: 关闭时钟; 1: 打开时钟。
[0]	RW	jpge_srst_req	JPGE 的软复位请求。 0: 撤销复位; 1: 复位。

## PERI\_CRG25

PERI\_CRG25 为 TDE 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0064		PERI_CRG25		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							tde_cken	tde_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	tde_cken	TDE 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。						
[0]	RW	tde_srst_req	TDE 的软复位请求。 0: 撤销复位; 1: 复位。						

## PERI\_CRG27

PERI\_CRG27 为 IVE 时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x006C		PERI_CRG27		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							ive_cken	ive_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	ive_cken	IVE 时钟门控配置寄存器。 0: 关闭时钟;						



			1: 打开时钟。
[0]	RW	ive_srst_req	IVE 的软复位请求。 0: 撤销复位; 1: 复位。

## PERI\_CRG29

PERI\_CRG29 为 GDC 时钟及软复位控制寄存器。

Offset Address	Register Name	Total Reset Value							
0x0074	PERI_CRG29	0x0000_0003							
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0								
Name	reserved							gdc_cken	gdc_srst_req
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 1 1								
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	gdc_cken	GDC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。						
[0]	RW	gdc_srst_req	GDC 的软复位请求。 0: 撤销复位; 1: 复位。						

## PERI\_CRG31

PERI\_CRG31 为 HASH/LSADC/CIPHER 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x007C		PERI_CRG31		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														ca_cksel	hash_cken	hash_srst_req	lsadc_cken	lsadc_srst_req	cipher_cken	cipher_srst_req											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6]	RW	ca_cksel	CIPHER 时钟选择。 0: 200MHz; 1: 250MHz。																													
[5]	RW	hash_cken	HASH 时钟门控配置寄存器, 0: 关闭时钟; 1: 打开时钟。																													
[4]	RW	hash_srst_req	HASH 的软复位请求。 0: 撤销复位; 1: 复位。																													
[3]	RW	lsadc_cken	LSADC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																													
[2]	RW	lsadc_srst_req	LSADC 的软复位请求。 0: 撤销复位; 1: 复位。																													
[1]	RW	cipher_cken	CIPHER 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	cipher_srst_req	CIPHER 的软复位请求。 0: 撤销复位; 1: 复位。																													



## PERI\_CRG32

PERI\_CRG32 为 AIAO 时钟复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0080				PERI_CRG32				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								aiao_cksel	aiao_cken	aiao_srst_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:4]																															
Access	RO																															
Name	reserved																															
Description	保留。																															
Bits	[3:2]																															
Access	RW																															
Name	aiao_cksel																															
Description	AIAO MCLK PLL 源头选择。 00: 1188MHz; 01: 1500MHz; 10: DPLL FOUTVCO 11: DPLL FOUTPOSTDIV。																															
Bits	[1]																															
Access	RW																															
Name	aiao_cken																															
Description	AIAO 总线时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																															
Bits	[0]																															
Access	RW																															
Name	aiao_srst_req																															
Description	AIAO 总线侧软复位请求。 0: 撤销复位; 1: 复位。																															

## PERI\_CRG33

PERI\_CRG33 为 GZIP 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0084		PERI_CRG33		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							gzip_cken	gzip_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	gzip_cken	GZIP 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。						
[0]	RW	gzip_srst_req	GZIP 的软复位请求。 0: 撤消复位; 1: 复位。						

### PERI\_CRG43

PERI\_CRG43 为 COMB PHY 相关时钟复位控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x00AC		PERI_CRG43		0x0000_0101							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						combphy_refclk_sel	combphy_ref_cken	reserved	combphy_srst_req_sel	combphy_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description								
[31:10]	RO	reserved	保留。								



[9]	RW	combphy_refclk_sel	COMBPHY 参考时钟内部模式时钟源选择。 0: 100MHz; 1: 25MHz。
[8]	RW	combphy_ref_cken	COMBPHY 参考时钟门控。 PCIE 模式下: 0: 保留; 1: 打开时钟。 USB 模式下: 0: 关闭时钟; 1: 打开时钟。
[7:2]	RO	reserved	保留。
[1]	RW	combphy_srst_req_sel	COMBPHY 下端口软复位模式。 USB3.0 模式下: 直接受 PERI_CRG43[0]控制。 PCIE 模式下: 0: 受 PCIE CTRL 控制; 1: 受 PERI_CRG43[0]控制。
[0]	RW	combphy_srst_req	COMBPHY 端口软复位请求。 0: 撤销复位; 1: 复位。

## PERI\_CRG44

PERI\_CRG44 为 PCIE CTRL 相关的时钟及软复位控制寄存器。

	Offset Address	Register Name	Total Reset Value																	
	0x00B0	PERI_CRG44	0x0000_00F0																	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																			
Name	reserved											wifi_clk_ctrl	pcie_aux_cken	pcie_pipe_cken	pcie_sys_cken	pcie_bus_cken	reserved	pcie_srst_req	pcie_sys_srst_req	pcie_bus_srst_req
Reset	0 0																			
Bits	Access	Name	Description																	
[31:11]	RO	reserved	保留。																	





[10:8]	RW	wifi_clk_ctrl	PCIE 输出差分时钟 PAD OE 控制方式 000: 强制打开; 001: 强制关闭; 101: 由 PERI_CRG43[8] 控制; 其它: 保留。
[7]	RW	pcie_aux_cken	PCIE CTRL AUX 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[6]	RW	pcie_pipe_cken	PCIE CTRL PIPE 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[5]	RW	pcie_sys_cken	PCIE CTRL SYS 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[4]	RW	pcie_bus_cken	PCIECTRL 总线时钟门控。 0: 关闭时钟; 1: 打开时钟。
[3]	RO	reserved	保留。
[2]	RW	pcie_srst_req	PCIE CTRL 软复位请求。 0: 撤销复位; 1: 复位。
[1]	RW	pcie_sys_srst_req	PCIECTRL SYS 软复位请求。 0: 撤销复位; 1: 复位。
[0]	RW	pcie_bus_srst_req	PCIECTRL 总线软复位请求。 0: 撤销复位; 1: 复位。

## PERI\_CRG45

PERI\_CRG45 为 USB2.0 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00B4		PERI_CRG45		0x0000_00EF																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												usb_device_ctrl_srst_req	usb_cken	reserved	usb_ctrl_utmi0_req	reserved	usb_phy_port0_req	usb_phy_req	usb_hrst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1
Bits	Access	Name	Description																													
[31:9]	RO	reserved	保留。																													
[8]	RW	usb_device_ctrl_srst_req	USB2.0 device controller 的软复位请求。 0: 撤消复位; 1: 复位。																													
[7]	RW	usb_cken	USB2.0 PHY 参考时钟门控 0: 关闭; 1: 打开。																													
[6]	RO	reserved	保留。																													
[5]	RW	usb_ctrl_utmi0_req	USB2.0 controller port0 的软复位请求。 0: 撤消复位; 1: 复位。																													
[4:3]	RO	reserved	保留。																													
[2]	RW	usb_phy_port0_req	USB2.0 PHY PORT0 的软复位请求。 0: 撤消复位; 1: 复位。																													
[1]	RW	usb_phy_req	USB2.0 PHY 的软复位请求。 0: 撤消复位; 1: 复位。																													
[0]	RW	usb_hrst_req	USB2.0 controller 总线软复位请求。 0: 撤消复位; 1: 复位。																													



## PERI\_CRG46

PERI\_CRG46 为 USB3.0 CTRL 时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value																																					
0x00B8		PERI_CRG46		0x0000_3F01																																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
Name	reserved												usb3_utmi_ksel				usb3_utmi_cken				usb3_pipe_cken				usb3_suspend_cken				usb3_ref_cken				usb3_bus_cken				reserved				usb3_vcc_srst_req
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 1 1				1 1 1 1				0 0 0 0				0 0 0 0				1								
Bits	Access	Name	Description																																						
[31:14]	RO	reserved	保留。																																						
[13]	RW	usb3_utmi_ksel	USB3.0 UTMI 时钟源选择。 0: 选择 USB2.0 PHY 时钟; 1: 选择内部 60MHz 时钟。																																						
[12]	RW	usb3_utmi_cken	USB3.0 CTRL UTMI 时钟门控。 0: 关闭时钟; 1: 打开时钟。																																						
[11]	RW	usb3_pipe_cken	USB3.0 CTRL PIPE 时钟门控。 0: 关闭时钟; 1: 打开时钟。																																						
[10]	RW	usb3_suspend_cken	USB3.0 CTRL SUSPEND 时钟门控。 0: 关闭时钟; 1: 打开时钟。																																						
[9]	RW	usb3_ref_cken	USB3.0 CTRL REF 时钟门控。 0: 关闭时钟; 1: 打开时钟。																																						
[8]	RW	usb3_bus_cken	USB3.0 CTRL 总线时钟门控。 0: 关闭时钟; 1: 打开时钟。																																						
[7:1]	RO	reserved	保留。																																						



[0]	RW	usb3_vcc_srst_req	USB3.0 CTRL VCC 软复位请求。 0: 撤销复位; 1: 复位。
-----	----	-------------------	--

## PERI\_CRG48

PERI\_CRG48 为 FMC 相关的时钟及软复位控制寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x00C0	PERI_CRG48	0x0000_0002													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved												fmc_cksel		fmc_cken	fmc_srst_req
Reset	0 0															
Bits	Access	Name	Description													
[31:5]	RO	reserved	保留。													
[4:2]	RW	fmc_cksel	FMC 时钟源选择。(SDR 模式下, PHY_CLK_OUT 为原时钟的 2 分频; DDR 模式下, 为原时钟的 4 分频) 000: 24MHz 时钟; 001: 75MHz 时钟; 010: 125MHz 时钟; 011: 150MHz 时钟; 100: 200MHz 时钟; 101: 250MHz 时钟(仅 DDR 模式可选); 110: 300MHz 时钟(仅 DDR 模式可选); 111: 400MHz 时钟(仅 DDR 模式可选)。													
[1]	RW	fmc_cken	FMC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。													
[0]	RW	fmc_srst_req	FMC 的软复位请求。 0: 撤消复位; 1: 复位。													



## PERI\_CRG49

PERI\_CRG49 为 SDIO0/1/eMMC 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value																																
0x00C4		PERI_CRG49		0x0002_0202																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				emmc_dll_srst_req	emmc_dll_cken	emmc_clk_mode		emmc_ksel		sdxc2_cken	sdxc2_srst_req	reserved		sdxc0_clk_mode	sdxc0_ksel		sdxc0_cken	sdxc0_srst_req	reserved		sdxc1_clk_mode	sdxc1_ksel		sdxc1_cken	sdxc1_srst_req										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0				
Bits	Access	Name	Description																																	
[31:24]	RO	reserved	保留。																																	
[23]	RW	emmc_dll_srst_req	eMMC DLL 的软复位请求。 0: 撤消复位; 1: 复位。																																	
[22]	RW	emmc_dll_cken	eMMC DLL 时钟门控配置。 0: 关闭; 1: 打开。																																	
[21]	RW	emmc_clk_mode	eMMC 时钟分频模式。 0: 保留; 1: 8 分频 (对应 16-Phase Tuning)。																																	
[20:18]	RW	emmc_ksel	eMMC 时钟源选择。实际工作时钟由此时钟经过分频 (emmc_clk_mode 控制) 后获得。 000: 100MHz; 001: 200MHz; 010: 300MHz; 011: 400MHz; 100: 594MHz; 101: 792MHz; 110: 保留; 111: 保留。																																	



[17]	RW	emmc_cken	eMMC 时钟门控配置。 0: 关闭; 1: 打开。
[16]	RW	emmc_srst_req	eMMC 的软复位请求。 0: 撤消复位; 1: 复位。
[15:14]	RO	reserved	保留。
[13]	RW	sdxc0_clk_mode	SDIO0 时钟分频模式。 0: 保留; 1: 8 分频 (对应 16-Phase Tuning)。
[12:10]	RW	sdxc0_cksel	SDIO0 时钟源选择。 000: 100MHz; 001: 200MHz; 010: 300MHz; 011: 400MHz; 100: 594MHz; 101: 792MHz; 110: 保留; 111: 保留。
[9]	RW	sdxc0_cken	SDIO0 时钟门控配置。 0: 关闭; 1: 打开。
[8]	RW	sdxc0_srst_req	SDIO0 的软复位请求。 0: 撤消复位; 1: 复位。
[7:6]	RO	reserved	保留。
[5]	RW	sdxc1_clk_mode	SDIO1 时钟分频模式。 0: 保留; 1: 8 分频 (对应 16-Phase Tuning)。



[4:2]	RW	sdxcl_cksel	SDIO1 时钟源选择。 000: 100MHz; 001: 200MHz; 010: 300MHz; 011: 400MHz; 100: 594MHz; 101: 792MHz; 110: 保留; 111: 保留。
[1]	RW	sdxcl_cken	SDIO1 时钟门控配置。 0: 关闭; 1: 打开。
[0]	RW	sdxcl_srst_req	SDIO1 的软复位请求。 0: 撤消复位; 1: 复位。

## PERI\_CRG51

PERI\_CRG51 为 GSF 和 GMAC 接口相关的时钟及软复位控制寄存器。

	Offset Address								Register Name								Total Reset Value																																	
	0x00CC								PERI_CRG51								0x0000_000A																																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																		
Name	reserved																				ext_fephy_srst_req	ext_fephy_cksel	reserved	rmii_cksel	gmac_if_cken	gmac_if_srst_req	gsf_cken	gsf_srst_req																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0																		
Bits	[31:8]		Access		Name		Description																																											
	[31:8]		RO		reserved		保留。																																											
	[7]		RW		ext_fephy_srst_req		外接 FEPHY 的软复位请求。 0: 撤消复位; 1: 复位。																																											



[6]	RW	ext_fephy_cksel	外接 FEPHY 时钟选择。 0: 25MHz; 1: 50MHz。
[5]	RO	reserved	保留。
[4]	RW	rmii_cksel	RMII 时钟选择。 0: 选择 CRG 时钟; 1: 选择 PAD 输入。
[3]	RW	gmac_if_cken	MAC_IF 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[2]	RW	gmac_if_srst_req	MAC_IF 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	gsf_cken	GSF 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	gsf_srst_req	GSF 的软复位请求。 0: 撤消复位; 1: 复位。

## PERI\_CRG54

PERI\_CRG54 为 DDRT 相关的时钟及软复位控制寄存器。





Offset Address		Register Name		Total Reset Value																												
0x00D8		PERI_CRG54		0x0000_0002																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														ddrt_cken	ddrt_srst_req	reserved	reserved														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	RW	ddrt_cken	DDRT 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																													
[2]	RW	ddrt_srst_req	DDRT 的软复位请求。 0: 撤消复位; 1: 复位。																													
[1]	RO	reserved	保留。																													
[0]	RO	reserved	保留。																													

## PERI\_CRG55

PERI\_CRG55 为 PWM 时钟及复位控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x00DC		PERI_CRG55		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							pwm_cksel	pwm_cken	pwm_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:4]	RO	reserved	保留。							
[3:2]	RW	pwm_cksel	PWM 时钟选择。 00: 3MHz; 01: 50MHz; 1X: 24MHz。							
[1]	RW	pwm_cken	PWM 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。							
[0]	RW	pwm_srst_req	PWM 的软复位请求。 0: 撤消复位; 1: 复位。							

## PERI\_CRG56

PERI\_CRG56 为 RSA/TRNG/DMA 等相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00E0		PERI_CRG56		0x0000_0200																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rsa_cken	rsa_srst_req	trng_cken	trng_srst_req	reserved	dmac_cken	dmac_srst_req	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7]	RW		rsa_cken		RSA 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																											
[6]	RW		rsa_srst_req		RSA 的软复位请求。 0: 撤消复位; 1: 复位。																											
[5]	RW		trng_cken		TRNG 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																											
[4]	RW		trng_srst_req		TRNG 的软复位请求。 0: 撤消复位; 1: 复位。																											
[3:2]	RO		reserved		保留。																											
[1]	RW		dmac_cken		DMA 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																											
[0]	RW		dmac_srst_req		DMA 的软复位请求。 0: 撤消复位; 1: 复位。																											

## PERI\_CRG57

PERI\_CRG57 为其它 APB 模块时钟软复位控制寄存器。



		Offset Address	Register Name	Total Reset Value					
		0x00E4	PERI_CRG57	0x1FFF_0000					
Bit		31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name		reserved pmc_srst_req reserved	test_clk_en i2c_cksel uart_cksel uart4_cken uart3_cken uart2_cken uart1_cken uart0_cken	ir_cken ssp2_cken ssp1_cken ssp0_cken	reserved	i2c3_srst_req uart4_srst_req uart3_srst_req uart2_srst_req uart1_srst_req uart0_srst_req	ir_srst_req ssp2_srst_req ssp1_srst_req ssp0_srst_req	rte_srst_req i2c2_srst_req i2c1_srst_req i2c0_srst_req	
Reset		0 0 0 1	1 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29]	RW	pmc_srst_req	PMC 的软复位请求。 0: 撤消复位; 1: 复位。						
[28]	RO	reserved	保留。						
[27]	RW	test_clk_en	测试时钟使能寄存器。 0: 所有测试时钟关闭; 1: 所有测试时钟打开。						
[26]	RW	i2c_cksel	I2C 时钟选择。 0: 保留; 1: 选择 50MHz 时钟。						
[25]	RW	uart_cksel	UART 时钟选择。 0: 保留; 1: 选择 24MHz 时钟。						
[24]	RW	uart4_cken	UART4 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。						
[23]	RW	uart3_cken	UART3 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。						
[22]	RW	uart2_cken	UART2 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。						



[21]	RW	uart1_cken	UART1 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[20]	RW	uart0_cken	UART0 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[19]	RW	ir_cken	IR 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[18]	RW	ssp2_cken	SSP2 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[17]	RW	ssp1_cken	SSP1 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[16]	RW	ssp0_cken	SSP0 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[15]	RO	reserved	保留。
[14]	RO	reserved	保留。
[13]	RW	i2c3_srst_req	I2C3 的软复位请求。 0: 撤消复位; 1: 复位。
[12]	RW	uart4_srst_req	UART4 的软复位请求。 0: 撤消复位; 1: 复位。
[11]	RW	uart3_srst_req	UART3 的软复位请求。 0: 撤消复位; 1: 复位。
[10]	RW	uart2_srst_req	UART2 的软复位请求。 0: 撤消复位; 1: 复位。



[9]	RW	uart1_srst_req	UART1 的软复位请求。 0: 撤消复位; 1: 复位。
[8]	RW	uart0_srst_req	UART0 的软复位请求。 0: 撤消复位; 1: 复位。
[7]	RW	ir_srst_req	IR 的软复位请求。 0: 撤消复位; 1: 复位。
[6]	RW	ssp2_srst_req	SSP2 的软复位请求。 0: 撤消复位; 1: 复位。
[5]	RW	ssp1_srst_req	SSP1 的软复位请求。 0: 撤消复位; 1: 复位。
[4]	RW	ssp0_srst_req	SSP0 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RW	rtc_srst_req	T_CAP 的软复位请求。 0: 撤消复位; 1: 复位。
[2]	RW	i2c2_srst_req	I2C2 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	i2c1_srst_req	I2C1 的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	i2c0_srst_req	I2C0 的软复位请求。 0: 撤消复位; 1: 复位。

## PERI\_CRG58

PERI\_CRG58 为 CRG 状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00E8		PERI_CRG58		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gzip_rst_ok	reserved			epll_lock	vppll_lock	dppll_lock	reserved	apll_lock											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:9]	RO	reserved	保留。																													
[8]	RO	gzip_rst_ok	GZIP 复位状态。 0: 非复位状态; 1: 复位状态。																													
[7:5]	RO	reserved	保留。																													
[4]	RO	epll_lock	EPLL LOCK 状态。 0: Unlock; 1: Locked。																													
[3]	RO	vppll_lock	VPLL LOCK 状态。 0: Unlock; 1: Locked。																													
[2]	RO	dppll_lock	DPLL LOCK 状态。 0: Unlock; 1: Locked。																													
[1]	RO	reserved	保留。																													
[0]	RO	apll_lock	APLL LOCK 状态。 0: Unlock; 1: Locked。																													

## PERI\_CRG59

PERI\_CRG59 为 GMAC 接口控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00EC		PERI_CRG59		0x0000_003F																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																loopback_mode	phy_select	duplex_mode	tx_config	link_status	mac_speed	port_select									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
Bits	Access	Name	Description																													
[31:9]	RO	reserved	保留。																													
[8]	RW	loopback_mode	环回模式使能信号。 0: 不使能; 1: 使能。																													
[7:5]	RW	phy_select	PHY 接口模式。 000: 保留; 001: RGMII 模式; 100: RMII 模式; 其他: 保留。																													
[4]	RW	duplex_mode	PHY 双工模式。 0: 半双工模式; 1: 全双工模式。																													
[3]	RW	tx_config	发送配置使能信号。 0: 不使能; 1: 使能。																													
[2]	RW	link_status	PHY 连接状态控制。 0: Link Down; 1: Link Up。																													
[1]	RW	mac_speed	10/100Mbps 模式。 0: 10Mbps; 1: 100Mbps。																													
[0]	RW	port_select	网口选择模式。 0: 1000Mbps; 1: 10/100Mbps。																													





## PERI\_CRG60

PERI\_CRG60 为 GMAC 接口状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00F0				PERI_CRG60				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gmac_if_sys_stat																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	RO	link_status	RGMII 模式时 rxdv 和 rxer 都为 0 时的连接状态。 0: link down; 1: link up。																													
[2:1]	RO	link_speed	RGMII 模式时 rxdv 和 rxer 都为 0 时的速率状态。 00: 2.5MHz。 01: 25MHz。 10: 125MHz。 11: 保留。																													
[0]	RO	link_mode	RGMII 模式时 rxdv 和 rxer 都为 0 时的模式状态。 0: half-duplex; 1: full-duplex。																													

## PERI\_CRG79

PERI\_CRG79 为 SOC 频率 Profile 状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x013C		PERI_CRG79		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																bus_sc_seled	ddr_sc_seled	a17_sc_seled	a7_sc_seled												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RO	bus_sc_seled	总线时钟切换完成指示信号。 0: 切换到晶振时钟; 1: 切换到 200MHz。																													
[8:6]	RO	ddr_sc_seled	DDR 时钟切换完成指示信号。 000: 切换到晶振时钟; 001: 切换到 DPLL FOUTPOSTDIV 时钟; 010: 切换到 476MHz; 011: 切换到 396MHz; 100: 切换到 346MHz; 101: 切换到 300MHz; 110: 切换到 250MHz; 其它: 保留。																													
[5:3]	RO	a17_sc_seled	A17 时钟切换完成指示信号。 000: 切换到晶振时钟; 001: 切换到 APLL FOUTVCOV 时钟; 010: 切换到 DPLL FOUTVCO 时钟; 011: 切换到 1000MHz; 100: 切换到 792MHz; 101: 切换到 594MHz; 110: 切换到 500MHz; 111: 切换到 400MHz。																													



[2:0]	RO	a7_sc_seled	<p>A7 时钟切换完成指示信号。</p> <p>000: 切换到晶振时钟;</p> <p>001: 切换到 DPLL FOUTVCO 时钟;</p> <p>010: 切换到 APLL FOUTPOSTDIV 时钟;</p> <p>011: 切换到 792MHz;</p> <p>100: 切换到 750MHz;</p> <p>101: 切换到 594MHz;</p> <p>其它: 保留。</p>
-------	----	-------------	---

### 3.3 处理器子系统

Hi3519V100 采用 ARMCortex-A17UP 单核处理器和 Cortex-A7UP 单核处理器，两者为 HMP（非对称多核）架构。

其中，Cortex-A17UP 具有以下特点：

- 处理器工作频率最高主频是 1150MHz，支持 DVFS，支持 AVS。
- 32KB L1 Instruction Cache 和 32KB L1 Data Cache。
- 256KB L2 cache。
- 3.3 DMIPS/MHz。
- 包含 MMU（Memory Management Unit）。
- 集成 NEON（含 FPU 硬件浮点协处理器）。

Cortex-A7UP 具有以下的特点：

- 处理器工作频率最高主频是 800MHz，支持 DFS。
- 32KB L1 Instruction Cache 和 32KB L1 Data Cache。
- 128KB L2 cache。
- 1.9 DMIPS/MHz。
- 包含 MMU（Memory Management Unit）。
- 集成 NEON（含 FPU 硬件浮点协处理器）。

HMP（非对称多核）架构具有以下特点：

- 支持 A7、A17 Big-little 架构
- 支持 A17 动态开关核
- 支持统一的中断处理



## 3.4 中断系统

Hi3519V100 支持 128 个中断源，对应的中断映射如表 3-7 所示。

表3-7 中断源分配表

中断位	中断源	中断位	中断源
0~31	CPU 内部中断	67	VGS
32	WatchDog	68	AIAO
33	RTC/TEM_CAP	69	VEDU
34	保留	70	JPGE
35	保留	71	IVE
36	UART0	72	保留
37	UART1	73	GZIP
38	UART2	74	Software int
39	UART3	75	GPIO0~7
40	UART4	76	GPIO8~13
41	SSP0/I2C0	77	A7_PMU
42	SSP1/I2C1	78	A17_PMU
43	SSP2/I2C2	79	CCI
44	I2C3	80	GDC
45	eMMC	81	A17_COMMRX
46	保留	82	A17_COMMTX
47	IR	83	A7_COMMRX
48	LSADC	84	A7_COMMTX
49	DMAC	85	保留
50	FMC	86	PCIE_CFG_LINK_AUTO_BW
51	USB2_EHCI	87	PCIE_CFG_BW_MGT
52	USB2_OHCI	88	PCIE_PM
53	USB2_DEV	89	PCIE_INTA
54	USB3	90	PCIE_INTB
55	SDIO0	91	PCIE_INTC
56	SDIO1	92	PCIE_INTD



中断位	中断源	中断位	中断源
57	GSF	93	PCIE_EDMA
58	Cipher	94	PCIE_MSI
59	VDP	95	PCIE_LINK_DOWN
60	MIPI	96	Timer0
61	保留	97	Timer1
62	VICAP	98	Timer2
63	保留	99	Timer3
64	VPSS	100	Timer4
65	保留	101	Timer5
66	TDE	102~127	保留

## 3.5 系统控制器

### 3.5.1 概述

系统控制器管理系统中的重要功能，完成对外设某些功能的配置。

### 3.5.2 特点

系统控制器具有以下特点：

- 提供对系统地址重映射的控制和状态监控
- 提供通用外设寄存器
- 提供对关键寄存器的写保护功能
- 提供芯片的标识寄存器

### 3.5.3 功能描述

#### 3.5.3.1 软复位控制

系统控制器支持对芯片全局以及局部模块进行软复位：

当配置全局软复位寄存器 [SC\\_SYSRES](#) 后，系统控制器将给片内复位模块发起请求，芯片将被复位。

#### 3.5.3.2 系统地址重映射控制

请参见“1.5 地址空间映射”章节。



### 3.5.3.3 对关键寄存器的写保护

为防止软件对系统控制器的误操作对整个系统产生严重影响，系统控制器提供了对一些关键配置寄存器的写保护功能，包括系统控制寄存器和系统软复位寄存器(SC\_CTRL和 SC\_SYSRES)。对这些关键寄存器进行写操作之前，必须配置寄存器 SC\_LOCKEN，打开写权限。操作完成之后配置寄存器 SC\_LOCKEN，关闭写权限，保护这些关键寄存器不会被软件随意改写。

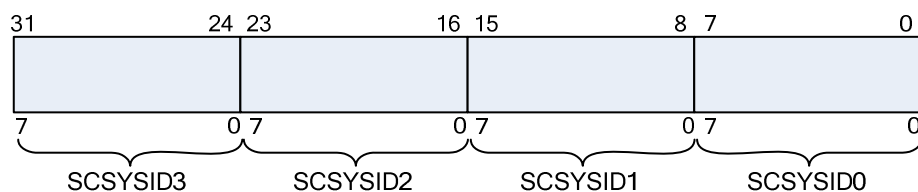
#### 说明

系统默认为复位后不对这些关键寄存器进行写保护处理。为启用此功能，建议在系统启动时利用寄存器 SC\_LOCKEN 对这些关键寄存器进行写保护处理。

### 3.5.3.4 芯片的标识寄存器

系统控制器提供了芯片标识 (ID) 寄存器 SC\_SYSID。这个标识寄存器是一个 32bit 的标识只读寄存器，实际上由 4 个 8bit 标识寄存器组成：SCSYSID3、SCSYSID2、SCSYSID1、SCSYSID0。读出这 4 个寄存器的值，通过组合得到芯片的 32bit 标识只读寄存器的值 0x3519\_0100，组合的方法如图 3-4 所示。

图3-4 芯片 ID 寄存器位分配图



## 3.5.4 系统控制器寄存器

### 3.5.4.1 系统控制器寄存器概览

系统控制器寄存器概览如表 3-8 所示。

表3-8 系统控制器寄存器概览（基址是 0x1202\_0000）

偏移地址	名称	描述	页码
0x000	SC_CTRL	系统控制寄存器	3-62
0x004	SC_SYSRES	系统软复位寄存器	3-63
0x001C	SOFT_INT	软中断寄存器	3-64
0x0044	SC_LOCKEN	关键系统控制寄存器的锁定寄存器	3-64
0x008C	SYSSTAT	系统状态寄存器	3-65
0xEE0	SCSYSID0	芯片 ID 寄存器 0	3-68



偏移地址	名称	描述	页码
0xEE4	SCSYSID1	芯片 ID 寄存器 1	3-68
0xEE8	SCSYSID2	芯片 ID 寄存器 2	3-68
0xEEC	SCSYSID3	芯片 ID 寄存器 3	3-69

### 3.5.4.2 系统控制器寄存器描述

#### SC\_CTRL

SC\_CTRL 为系统控制寄存器。用于指定需要系统完成的操作。



**注意**

该寄存器可被寄存器 SC\_LOCKEN 写保护，只有不使用写保护模式时，对这个寄存器的写操作才有效。

	Offset Address	Register Name	Total Reset Value	
	0x000	SC_CTRL	0x0000_0202	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved timeren5ov reserved timeren4ov reserved timeren3ov reserved timeren2ov reserved timeren1ov reserved timeren0ov reserved reserved remapstat remapclear reserved			
Reset	0 1 0 0 0 0 0 0 0 0 1 0			
	Bits	Access	Name	Description
	[31:27]	RO	reserved	保留。
	[26]	RW	timeren5ov	Timer5 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
	[25]	RO	reserved	保留。
	[24]	RW	timeren4ov	Timer4 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
	[23]	RO	reserved	保留。



[22]	RW	timeren3ov	Timer3 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[21]	RO	reserved	保留。
[20]	RW	timeren2ov	Timer2 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[19]	RO	reserved	保留。
[18]	RW	timeren1ov	Timer1 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[17]	RO	reserved	保留。
[16]	RW	timeren0ov	Timer0 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[15]	RO	reserved	保留。
[14:10]	RO	reserved	保留。读时返回 0, 写时无影响。
[9]	RO	remapstat	地址重映射的状态。 0: 未进行地址重映射; 1: 进行地址重映射。Bootrom 或者 FMC CS0 所接的 Flash 地址空间被 Remap 到地址 0。
[8]	RW	remapclear	地址重映射清除选择。 0: 保持 Remap 状态。 1: 清除 Remap。 Clear Remap 前后地址映射关系请参见地址分配(1 产品概述/1.4 启动模式/1.5 地址空间映射)。
[7:0]	RO	reserved	保留。

## SC\_SYSRES

SC\_SYSRES 为系统软复位寄存器。向该寄存器写入任何值都会使系统控制器向复位模块发出系统软复位请求，复位模块进行系统软复位。





**注意**

该寄存器可被寄存器 SC\_LOCKEN 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

Offset Address		Register Name		Total Reset Value				
0x004		SC_SYSRES		0x0000_0002				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	softresreq							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0
Bits	Access	Name	Description					
[31:0]	WO	softresreq	对该寄存器的任意写操作都会导致系统软复位。					

## SOFT\_INT

SOFT\_INT 为软中断寄存器。

Offset Address		Register Name		Total Reset Value					
0x001C		SOFT_INT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								software_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	software_int	软件中断。 0: 不产生中断; 1: 产生中断。						

## SC\_LOCKEN

SC\_LOCKEN 为关键系统控制寄存器的锁定寄存器。



Offset Address		Register Name		Total Reset Value					
0x0044		SC_LOCKEN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	scper_lock								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	scper_lock	<p>关键系统控制寄存器的锁定寄存器。涉及寄存器包括 <b>SC_CTRL</b>、<b>SYSSTAT</b>。</p> <p>向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限，写入其他值则关闭写权限。</p> <p>读该寄存器返回加锁的状态而不是写入该寄存器的值。</p> <p>0x0000_0000：允许对关键系统控制寄存器进行写访问(未加锁)。</p> <p>0x0000_0001：禁止对关键系统控制寄存器进行写访问(已加锁)。</p>						

## SYSSTAT

SYSSTAT 为系统状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x008C		SYSSTAT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	bootrom_sel_in a17_standbywfi1 a17_standbywfi2 a17_standbywfi3 a7_standbywfi1 a7_standbywfi2	reserved	update_from_sdio0 pcie_ref_clk_sel combo_phy_mode_sel	reserved			sfc_emmc_boot_mode reserved	boot_mode sfc_device_mode spi_nand_sel	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	bootrom_sel	<p>指示是否从 bootrom 启动。</p> <p>0：不从 bootrom 启动；</p> <p>1：从 bootrom 启动。</p>						



[30]	RO	a17_standbywfil2	A17 L2 WFI 状态指示位。 0: 不在 WFI 状态; 1: 处在 WFI 状态。
[29]	RO	a17_standbywfe	A17 WFE 状态指示位。 0: 不在 WFE 状态; 1: 处在 WFE 状态。
[28]	RO	a17_standbywfi	A17 WFI 状态指示位。 0: 不在 WFI 状态; 1: 处在 WFI 状态。
[27]	RO	a7_standbywfil2	A7 L2 WFI 状态指示位。 0: 不在 WFI 状态; 1: 处在 WFI 状态。
[26]	RO	a7_standbywfe	A7 WFE 状态指示位。 0: 不在 WFE 状态; 1: 处在 WFE 状态。
[25]	RO	a7_standbywfi	A7 WFI 状态指示位。 0: 不在 WFI 状态; 1: 处在 WFI 状态。
[24]	RO	reserved	保留。
[23]	RO	update_from_sdio0	指示是否从 SDIO0 卡升级。 0: 不升级; 1: 升级。 参考 boot_mode 寄存器的描述。
[22]	RO	pcie_ref_clk_sel	指示 PCIe PHY 参考时钟选择。 0: 内部 CRG 时钟; 1: 外部时钟输入。
[21]	RO	combo_phy_mode_sel	指示 combo phy 的模式。 0: PCIe; 1: USB3.0。
[20:8]	RO	reserved	保留。



[7]	RO	sfc_emmc_boot_mode	<p>当 boot_mode=2'b00 和 sfc_device_mode=0 时表示： SPI Nor Flash 的 boot 地址模式选择。</p> <p>0: 3byte; 1: 4byte。</p> <p>当 boot_mode=2'b00 和 sfc_device_mode=1 时表示： SPI Nand Flash 的 boot 启动模式选择。</p> <p>0: 1 线 boot; 1: 4 线 boot。</p> <p>当 boot_mode=2'b10 时表示： eMMC 的 boot 启动模式选择。</p> <p>0: 4 线 boot; 1: 8 线 boot。</p>
[6]	RO	reserved	保留。
[5:4]	RO	boot_mode	<p>芯片启动模式。</p> <p>当 bootrom_sel=0 时： 00: SPI Flash 启动; 01: Nand Flash 启动; 10: eMMC 启动; 11: PCIe 从启动。</p> <p>当 bootrom_sel=1 且 update_from_sdio0=0 时： 00: 进入 FastBoot, 超时时跳转至 SPI Flash 启动; 01: 进入 FastBoot, 超时时跳转至 Nand Flash 启动; 10: 进入 FastBoot, 超时时跳转至 eMMC 启动; 11: 保留。</p> <p>当 bootrom_sel=1 且 update_from_sdio0=1 时： 00: 从 SDIO0 升级到 SPI Flash; 01: 从 SDIO0 升级到 Nand Flash; 10: 从 SDIO0 升级到 eMMC; 11: 保留。</p>
[3]	RO	sfc_device_mode	<p>SPI FLASH 器件选择。</p> <p>0: SPI NOR FLASH 器件; 1: SPI NAND FLASH 器件。</p>
[2]	RO	spi_nand_sel	<p>SPI Nand Flash 器件时序选择。</p> <p>0: Plane 地址比特位不使能; 1: Plane 地址比特位使能。</p>
[1:0]	RO	reserved	保留。



## SCSYSID0

SCSYSID0 为芯片 ID 寄存器 0。

	Offset Address				Register Name								Total Reset Value																			
	0xEE0				SCSYSID0								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	chipid				reserved								sysid0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	chipid		芯片版本信息。																											
	[23:8]	RO	reserved		保留。																											
	[7:0]	RO	sysid0		读该寄存器返回 0x00。																											

## SCSYSID1

SCSYSID1 为芯片 ID 寄存器 1。

	Offset Address				Register Name				Total Reset Value			
	0xEE4				SCSYSID1				0x01			
Bit	7	6	5	4	3	2	1	0				
Name	sysid1											
Reset	0	0	0	0	0	0	0	1				
	Bits	Access	Name		Description							
	[7:0]	RO	sysid1		读该寄存器返回 0x01。							

## SCSYSID2

SCSYSID2 为芯片 ID 寄存器 2。



Offset Address		Register Name					Total Reset Value	
0xEE8		SCSYSID2					0x19	
Bit	7	6	5	4	3	2	1	0
Name	sysid2							
Reset	0	0	0	1	1	0	0	1
Bits	Access	Name	Description					
[7:0]	RO	sysid2	读该寄存器返回 0x19。					

## SCSYSID3

SCSYSID3 为芯片 ID 寄存器 3。

Offset Address		Register Name					Total Reset Value	
0xEEC		SCSYSID3					0x35	
Bit	7	6	5	4	3	2	1	0
Name	sysid3							
Reset	0	0	1	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RO	sysid3	读该寄存器返回 0x35。					

## 3.5.5 外设控制寄存器

### 3.5.5.1 外设控制寄存器概览

外设控制寄存器概览如表 3-9 所示。

表3-9 外设控制寄存器概览（基址是 0x1203\_0000）

偏移地址	名称	描述	页码
0x0000	MISC_CTRL0	VICAP&VPSS&MIPI PHY 控制寄存器	3-71
0x0004	MISC_CTRL1	外设功能选择寄存器 0	3-72
0x0008	MISC_CTRL2	PCIe 读限流控制寄存器	3-74
0x000C	MISC_CTRL3	POWERSWITCH 控制寄存器	3-75
0x0010	MISC_CTRL4	RET1N 控制寄存器	3-77
0x0014	MISC_CTRL5	系统总线仲裁控制寄存器 0	3-78



偏移地址	名称	描述	页码
0x0018	MISC_CTRL6	系统总线仲裁控制寄存器 1	3-78
0x001C	MISC_CTRL7	系统总线仲裁控制寄存器 2	3-79
0x0020	MISC_CTRL8	系统总线优先级控制寄存器 0	3-80
0x0024	MISC_CTRL9	系统总线优先级控制寄存器 1	3-81
0x002C	MISC_CTRL11	MEDIA0 总线仲裁控制寄存器 0	3-82
0x0030	MISC_CTRL12	MEDIA0 总线仲裁控制寄存器 1	3-83
0x0038	MISC_CTRL14	MEDIA0 总线优先级控制寄存器	3-84
0x003C	MISC_CTRL15	MEDIA1 总线仲裁控制寄存器 0	3-85
0x0040	MISC_CTRL16	MEDIA1 总线仲裁控制寄存器 1	3-86
0x0048	MISC_CTRL18	MEDIA1 总线优先级控制寄存器	3-87
0x0054	MISC_CTRL21	DDR QOS 控制寄存器 0	3-88
0x0058	MISC_CTRL22	DDR QOS 控制寄存器 1	3-89
0x005C	MISC_CTRL23	DDR QOS 控制寄存器 2	3-89
0x0060	MISC_CTRL24	DDR QOS 控制寄存器 3	3-90
0x0074	MISC_CTRL29	USB3.0 控制寄存器	3-91
0x0078	MISC_CTRL30	USB2.0 控制寄存器 0	3-93
0x007C	MISC_CTRL31	TEST 时钟&USB2.0PHY 访问测试通路方式选择寄存器	3-95
0x0080	MISC_CTRL32	USB2.0PHY 测试通路寄存器	3-96
0x0084	MISC_CTRL33	COMB PHY 测试通路寄存器	3-96
0x0088	MISC_CTRL34	PCIe&USB3.0 PHY 控制寄存器	3-97
0x00B4	MISC_CTRL45	Audio Codec ANA 寄存器 0(不会被软复位)	3-99
0x00B8	MISC_CTRL46	Audio Codec ANA 寄存器 1(不会被软复位)	3-101
0x00BC	MISC_CTRL47	Audio Codec ANA 寄存器 2(不会被软复位)	3-103
0x00C0	MISC_CTRL48	Audio Codec ANA 寄存器 3(不会被软复位)	3-104
0x00CC	MISC_CTRL51	Audio Codec DIG 控制寄存器 0(不会被软复位)	3-105



偏移地址	名称	描述	页码
0x00D0	MISC_CTRL52	Audio Codec DIG 控制寄存器 1(不会被软复位)	3-107
0x00D4	MISC_CTRL53	Audio Codec DIG 控制寄存器 2(不会被软复位)	3-108
0x00D8	MISC_CTRL54	Audio Codec DIG 控制寄存器 3(不会被软复位)	3-109
0x00E0	MISC_CTRL56	I2S 通路选择控制寄存器(不会被软复位)	3-111
0x0140	MISC_CTRL80	eMMC 接口 DLL 控制寄存器 0	3-112
0x0144	MISC_CTRL81	eMMC 接口 DLL 控制寄存器 1	3-113
0x0154	MISC_CTRL85	PERI 总线仲裁控制寄存器 0	3-114
0x0158	MISC_CTRL86	PERI 总线仲裁控制寄存器 1	3-115
0x0160	MISC_CTRL88	PERI 总线优先级控制寄存器 0	3-115
0x0164	MISC_CTRL89	PERI 总线优先级控制寄存器 1	3-116
0x0174	MISC_CTRL93	VDP_AIAO 总线仲裁控制寄存器。	3-117
0x0178	MISC_CTRL94	VDP_AIAO 总线优先级控制寄存器。	3-118

### 3.5.5.2 外设控制寄存器描述

#### MISC\_CTRL0

MISC\_CTRL0 为 VICAP&VPSS&MIPI PHY 控制寄存器。

Offset Address	Register Name	Total Reset Value	
0x0000	MISC_CTRL0	0x0000_0054	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved_keep000	vicap0_vpss0_online reserved mipio_work_mode reserved	
Reset	0 1 0 1 0 1 0 0		
Bits	Access	Name	Description
[31:10]	RO	reserved_keep000	保留。





[9]	RW	vicap0_vpss0_online	VICAP0 与 VPSS0 是否处于在线模式。 0: 离线模式; 1: 在线模式。
[8]	RO	reserved	保留。
[7:6]	RW	mipi0_work_mode	MIPI 0 模式选择。 00: MIPI 模式; 01: LVDS 模式; 10: CMOS 模式; 11: 保留。
[5:0]	RO	reserved	保留。

## MISC\_CTRL1

MISC\_CTRL1 为外设功能选择寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x0004		MISC_CTRL1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved coresight_a17_present reserved	ssp1_cs_sel reserved dma_01_sel reserved	dma_89_sel dma_ab_sel dma_cd_sel reserved	usb2phy_ctrl_sel reserved bootrom_pg reserved	spi2_cs0_ctrl spi1_cs1_ctrl spi1_cs0_ctrl spi0_cs0_ctrl	uart1_rts_ctrl uart2_rts_ctrl bootram3_ck_gt_en bootram2_ck_gt_en	bootram1_ck_gt_en bootram0_ck_gt_en reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30]	RW	coresight_a17_present	A17 coresight 功能开关控制。 0: 关闭; 1: 打开。					
[29:28]	RO	reserved	保留。					
[27:26]	RW	ssp1_cs_sel	SSP1 输出片选选择。 00: 片选 0; 01: 片选 1; 1X: 保留。					



[25]	RO	reserved	保留。
[24]	RW	dma_01_sel	DMA 硬件请求线 0, 1 连接选择。 0: UART0 与之相连; 1: UART4 与之相连。
[23:22]	RO	reserved	保留。
[21]	RW	dma_89_sel	DMA 硬件请求线 8, 9 连接选择。 0: I2C0; 1: SSP0。
[20]	RW	dma_ab_sel	DMA 硬件请求线 10, 11 连接选择。 0: I2C1; 1: SSP1。
[19]	RW	dma_cd_sel	DMA 硬件请求线 12, 13 连接选择。 0: I2C2; 1: SSP2。
[18:16]	RO	reserved	保留。
[15]	RW	usb2phy_ctrl_sel	USB2.0 PHY 控制源选择。 0: USB2.0 Ctrl; 1: USB3.0 Ctrl。
[14]	RO	reserved	保留。
[13]	RW	bootrom_pg	BOOTROM 低功耗模式控制。 0: 正常模式; 1: 低功耗模式。
[12]	RO	reserved	保留。
[11]	RW	spi2_cs0_ctrl	spi2_cs0 信号反相控制。 0: 不取反; 1: 取反。
[10]	RW	spi1_cs1_ctrl	spi1_cs1 信号反相控制。 0: 不取反; 1: 取反。
[9]	RW	spi1_cs0_ctrl	spi1_cs0 信号反相控制。 0: 不取反; 1: 取反。



[8]	RW	spi0_cs0_ctrl	spi0_cs0 信号反相控制。 0: 不取反; 1: 取反。
[7]	RW	uart1_rts_ctrl	uart1_rts 信号反相控制。 0: 不取反; 1: 取反。
[6]	RW	uart2_rts_ctrl	uart2_rts 信号反相控制。 0: 不取反; 1: 取反。
[5]	RW	bootram3_ck_gt_en	BOOTRAM3 时钟使能控制。 0: 时钟使能; 1: 关闭时钟。
[4]	RW	bootram2_ck_gt_en	BOOTRAM2 时钟使能控制。 0: 时钟使能; 1: 关闭时钟。
[3]	RW	bootram1_ck_gt_en	BOOTRAM1 时钟使能控制。 0: 时钟使能; 1: 关闭时钟。
[2]	RW	bootram0_ck_gt_en	BOOTRAM0 时钟使能控制。 0: 时钟使能; 1: 关闭时钟。
[1:0]	RO	reserved	保留。

## MISC\_CTRL2

MISC\_CTRL2 为 PCIe 读限流控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0008		MISC_CTRL2		0x0000_0104																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved_keep001															pcie_m_od_bypass_limit	pcie_m_od_max															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0
Bits	Access	Name	Description																													
[31:9]	RO	reserved_keep001	保留。																													
[8]	RW	pcie_m_od_bypass_limit	PCIE MASTER 读 outstanding 限定使能控制。 0: 打开; 1: 关闭。																													
[7:0]	RW	pcie_m_od_max	PCIE MASTER 读 outstanding 个数。不能写入 0。实际生效值为配置值加 1。																													

### MISC\_CTRL3

MISC\_CTRL3 为 POWERSWITCH 控制寄存器。



	Offset Address 0x000C								Register Name MISC_CTRL3								Total Reset Value 0x0000_0030																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved																								powerswitch1_enable_mux	powerswitch0_enable_mux	powerswitch1_enable	powerswitch0_enable	powerswitch1_sel_mux	powerswitch1_sel	powerswitch0_sel_mux	powerswitch0_sel																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0																
Bits	Access	Name	Description																																													
[31:8]	RO	reserved	保留。																																													
[7]	RW	powerswitch1_enable_mux	powerswitch1 使能选择来源选择信号。 0: 来自 SDIO1 控制器; 1: 来自寄存器 powerswitch1_enable。																																													
[6]	RW	powerswitch0_enable_mux	powerswitch0 使能选择来源选择信号。 0: 来自 SDIO0 控制器; 1: 来自寄存器 powerswitch0_enable。																																													
[5]	RW	powerswitch1_enable	powerswitch1 开关使能信号(当 powerswitch1_enable_mux 为 1 时才生效)。 1: 使能; 0: 关闭。																																													
[4]	RW	powerswitch0_enable	powerswitch0 开关使能信号(当 powerswitch0_enable_mux 为 1 时才生效)。 1: 使能; 0: 关闭。																																													
[3]	RW	powerswitch1_sel_mux	powerswitch1 开关选择来源选择信号。 0: 来自 SDIO1 控制器; 1: 来自寄存器 powerswitch1_sel。																																													
[2]	RW	powerswitch1_sel	powerswitch1 开关选择信号(当 powerswitch1_sel_mux 为 1 时才生效)。 1: powerswitch1 输出 1.8V; 0: powerswitch1 输出 3.3V。																																													



[1]	RW	powerswitch0_sel_mux	powerswitch0 开关选择来源选择信号。 0: 来自 SDIO0 控制器; 1: 来自寄存器 powerswitch0_sel。
[0]	RW	powerswitch0_sel	powerswitch0 开关选择信号(当 powerswitch0_sel_mux 为 1 时才生效)。 1: powerswitch0 输出 1.8V; 0: powerswitch0 输出 3.3V。

## MISC\_CTRL4

MISC\_CTRL4 为 RET1N 控制寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x0010	MISC_CTRL4	0xFFFF_FFFF															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved											emmc_ret1n	sdio1_ret1n	sdio0_ret1n	reserved	reserved	cipher_ret1n	bootram_ret1n
Reset	1 1																	
Bits	Access	Name	Description															
[31]	RW	vedu_ret1n_bypass	VEDU 模块自动 mem ret1n 功能 bypass 选择。 1: bypass; 0: 使能。															
[30:8]	RO	reserved	保留。															
[7]	RW	emmc_ret1n	eMMC CTRL 中 MEM 的 RET1N 信号, 启用 eMMC CTRL 时请置 1, 不启用 eMMC CTRL 时请置 0, 以节省 MEM 功耗。															
[6]	RW	sdio1_ret1n	SDIO1 CTRL 中 MEM 的 RET1N 信号, 启用 SDIO1 CTRL 时请置 1, 不启用 SDIO1 CTRL 时请置 0, 以节省 MEM 功耗。															
[5]	RW	sdio0_ret1n	SDIO0 CTRL 中 MEM 的 RET1N 信号, 启用 SDIO0 CTRL 时请置 1, 不启用 SDIO0 CTRL 时请置 0, 以节省 MEM 功耗。															
[4]	RO	reserved	保留。															
[3]	RO	reserved	保留。															



[2]	RO	reserved	保留。
[1]	RW	cipher_ret1n	CIPHER 中 MEM 的 RET1N 信号，启用 CIPHER 时请置 1，不启用 CIPHER 时请置 0，以节省 MEM 功耗。
[0]	RW	bootram_ret1n	BOOTRAM 中 MEM 的 RET1N 信号，启用 BOOTRAM 时请置 1，不启用 BOOTRAM 时请置 0，以节省 MEM 功耗。

## MISC\_CTRL5

MISC\_CTRL5 为系统总线仲裁控制寄存器 0。

Offset Address		Register Name	Total Reset Value					
0x0014		MISC_CTRL5	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysaxi_timeout_value_m2				sysaxi_timeout_value_m1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	sysaxi_timeout_en_m2	SYS AXI 总线端口 M2(ahb1)的 timeout 计数使能。 0: 禁止; 1: 使能。					
[30:16]	RW	sysaxi_timeout_value_m2	SYS AXI 总线端口 M2(ahb1)的 timeout 计数值。 计数值 = sysaxi_timeout_value_m2 × 2。					
[15]	RW	sysaxi_timeout_en_m1	SYS AXI 总线端口 M1(ahb0)的 timeout 计数使能。 0: 禁止; 1: 使能。					
[14:0]	RW	sysaxi_timeout_value_m1	SYS AXI 总线端口 M1(ahb0)的 timeout 计数值。 计数值 = sysaxi_timeout_value_m1 × 2。					

## MISC\_CTRL6

MISC\_CTRL6 为系统总线仲裁控制寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x0018		MISC_CTRL6		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sysaxi_timeout_en_m4				sysaxi_timeout_value_m4								sysaxi_timeout_en_m3				sysaxi_timeout_value_m3															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	sysaxi_timeout_en_m4	SYS AXI 总线端口 M4(usb3)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	sysaxi_timeout_value_m4	SYS AXI 总线端口 M4(usb3)的 timeout 计数值。 计数值 = sysaxi_timeout_value_m4 × 2。																													
[15]	RW	sysaxi_timeout_en_m3	SYS AXI 总线端口 M3(gsf)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	sysaxi_timeout_value_m3	SYS AXI 总线端口 M3(gsf)的 timeout 计数值。 计数值 = sysaxi_timeout_value_m3 × 2。																													

## MISC\_CTRL7

MISC\_CTRL7 为系统总线仲裁控制寄存器 2。





Offset Address		Register Name		Total Reset Value																												
0x001C		MISC_CTRL7		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sysaxi_timeout_en_m6				sysaxi_timeout_value_m6								sysaxi_timeout_en_m5				sysaxi_timeout_value_m5															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	RW	sysaxi_timeout_en_m6	SYS AXI 总线端口 M6(ahb2)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	sysaxi_timeout_value_m6	SYS AXI 总线端口 M6(ahb2)的 timeout 计数值。 计数值 = sysaxi_timeout_value_m4 × 2。																													
[15]	RW	sysaxi_timeout_en_m5	SYS AXI 总线端口 M5(pcie)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	sysaxi_timeout_value_m5	SYS AXI 总线端口 M5(pcie)的 timeout 计数值。 计数值 = sysaxi_timeout_value_m5 × 2。																													

## MISC\_CTRL8

MISC\_CTRL8 为系统总线优先级控制寄存器 0。



Offset Address		Register Name		Total Reset Value																																	
0x0020		MISC_CTRL8		0x0001_2345																																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved								sysaxi_port6_pri				reserved	sysaxi_port5_pri				reserved	sysaxi_port4_pri				reserved	sysaxi_port3_pri				reserved	sysaxi_port2_pri				reserved	sysaxi_port1_pri			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1					
Bits	Access	Name	Description																																		
[31:23]	RO	reserved	保留。																																		
[22:20]	RW	sysaxi_port6_pri	SYS AXI 总线端口 M6(ahb2)优先级。 7 为最高优先级。																																		
[19]	RO	reserved	保留。																																		
[18:16]	RW	sysaxi_port5_pri	SYS AXI 总线端口 M5(pcie)优先级。 7 为最高优先级。																																		
[15]	RO	reserved	保留。																																		
[14:12]	RW	sysaxi_port4_pri	SYS AXI 总线端口 M4(usb3)优先级。 7 为最高优先级。																																		
[11]	RO	reserved	保留。																																		
[10:8]	RW	sysaxi_port3_pri	SYS AXI 总线端口 M3(gsf)优先级。 7 为最高优先级。																																		
[7]	RO	reserved	保留。																																		
[6:4]	RW	sysaxi_port2_pri	SYS AXI 总线端口 M2(ahb1)优先级。 7 为最高优先级。																																		
[3]	RO	reserved	保留。																																		
[2:0]	RW	sysaxi_port1_pri	SYS AXI 总线端口 M1(ahb0)优先级。 7 为最高优先级。																																		

## MISC\_CTRL9

MISC\_CTRL9 为系统总线优先级控制寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x0024		MISC_CTRL9		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														sysaxi_slave_priority_s2				reserved		sysaxi_slave_priority_s1											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31:7]	RO		reserved		保留。																											
[6:4]	RW		sysaxi_slave_priority_s2		SYS AXI s2(peri_axi)端口总线访问优先级。 3 为最高优先级。																											
[3]	RO		reserved		保留。																											
[2:0]	RW		sysaxi_slave_priority_s1		SYS AXI s1(mddrc)端口总线访问优先级。 3 为最高优先级。																											

### MISC\_CTRL11

MISC\_CTRL11 为 MEDIA0 总线仲裁控制寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x002C		MISC_CTRL11		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	media0axi_timeout_en_m2		media0axi_timeout_value_m2												media0axi_timeout_en_m1		media0axi_timeout_value_m1															
Reset			0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	media0axi_timeout_en_m2	MEDIA0 AXI 总线端口 M2(VGS)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	media0axi_timeout_value_m2	MEDIA0 AXI 总线端口 M2(VGS)的 timeout 计数值。 计数值 = media0axi_timeout_value_m2 × 2。																													
[15]	RW	media0axi_timeout_en_m1	MEDIA0 AXI 总线端口 M1(VEDU)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	media0axi_timeout_value_m1	MEDIA0 AXI 总线端口 M1(VEDU)的 timeout 计数值。 计数值 = media0axi_timeout_value_m1 × 2。																													

## MISC\_CTRL12

MISC\_CTRL12 为 MEDIA0 总线仲裁控制寄存器 1。



Offset Address		Register Name		Total Reset Value					
0x0030		MISC_CTRL12		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved_keep0			media0axi_timeout_en_m3	media0axi_timeout_value_m3				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved_keep0	保留。						
[15]	RW	media0axi_timeout_en_m3	MEDIA0 AXI 总线端口 M3(GDC)的 timeout 计数使能。 0: 禁止; 1: 使能。						
[14:0]	RW	media0axi_timeout_value_m3	MEDIA0 AXI 总线端口 M3(GDC)的 timeout 计数值。 计数值 = media0axi_timeout_value_m1 × 2。						

## MISC\_CTRL14

MISC\_CTRL14 为 MEDIA0 总线优先级控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0038		MISC_CTRL14		0x0000_0012																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											media0axi_port3_pri			reserved	media0axi_port2_pri			reserved	media0axi_port1_pri												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access	Name	Description																													
[31:11]	RO	reserved	保留。																													
[10:8]	RW	media0axi_port3_pri	MEDIA0 AXI 总线端口 M3(GDC)优先级。3 为最高优先级。																													
[7]	RO	reserved	保留。																													
[6:4]	RW	media0axi_port2_pri	MEDIA0 AXI 总线端口 M2(VGS)优先级。3 为最高优先级。																													
[3]	RO	reserved	保留。																													
[2:0]	RW	media0axi_port1_pri	MEDIA0 AXI 总线端口 M1(VEDU)优先级。3 为最高优先级。																													

## MISC\_CTRL15

MISC\_CTRL15 为 MEDIA1 总线仲裁控制寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x003C		MISC_CTRL15		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	media1axi_timeout_en_m2								media1axi_timeout_en_m1								media1axi_timeout_value_m2								media1axi_timeout_value_m1							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name	Description																													
[31]	RW	media1axi_timeout_en_m2	MEDIA1 AXI 总线端口 M2(JPGE)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	media1axi_timeout_value_m2	MEDIA1 AXI 总线端口 M2(JPGE)的 timeout 计数值。 计数值 =media1axi_timeout_value_m2×2。																													
[15]	RW	media1axi_timeout_en_m1	MEDIA1 AXI 总线端口 M1(TDE)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	media1axi_timeout_value_m1	MEDIA1 AXI 总线端口 M1(TDE)的 timeout 计数值。 计数值 =media1axi_timeout_value_m1×2。																													

## MISC\_CTRL16

MISC\_CTRL16 为 MEDIA1 总线仲裁控制寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x0040		MISC_CTRL16		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	media1axi_timeout_en_m4				media1axi_timeout_value_m4								media1axi_timeout_en_m3				media1axi_timeout_value_m3															
Reset																																
Bits	Access	Name	Description																													
[31]	RW	media1axi_timeout_en_m4	MEDIA1 AXI 总线端口 M4(GZIP)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	media1axi_timeout_value_m4	MEDIA1 AXI 总线端口 M4(GZIP)的 timeout 计数值。 计数值 = media1axi_timeout_value_m4 × 2。																													
[15]	RW	media1axi_timeout_en_m3	MEDIA1 AXI 总线端口 M3(IVE)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	media1axi_timeout_value_m3	MEDIA1 AXI 总线端口 M3(IVE)的 timeout 计数值。 计数值 = media1axi_timeout_value_m3 × 2。																													

## MISC\_CTRL18

MISC\_CTRL18 为 MEDIA1 总线优先级控制寄存器。





Offset Address		Register Name		Total Reset Value																												
0x0048		MISC_CTRL18		0x0001_2345																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												media1axi_port4_pri	reserved	media1axi_port3_pri	reserved	media1axi_port2_pri	reserved	media1axi_port1_pri													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1
Bits	Access	Name	Description																													
[31:15]	RO	reserved	保留。																													
[14:12]	RW	media1axi_port4_pri	MEDIA1 AXI 总线端口 M4(GZIP)优先级。 7 为最高优先级。																													
[11]	RO	reserved	保留。																													
[10:8]	RW	media1axi_port3_pri	MEDIA1 AXI 总线端口 M3(IVE)优先级。 7 为最高优先级。																													
[7]	RO	reserved	保留。																													
[6:4]	RW	media1axi_port2_pri	MEDIA1 AXI 总线端口 M2(JPGE)优先级。 7 为最高优先级。																													
[3]	RO	reserved	保留。																													
[2:0]	RW	media1axi_port1_pri	MEDIA1 AXI 总线端口 M1(TDE)优先级。 7 为最高优先级。																													

### MISC\_CTRL21

MISC\_CTRL21 为 DDR QOS 控制寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0054		MISC_CTRL21		0x0004_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved_keep4					gzip_qosmap	reserved	pcie_qosmap
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved_keep4	保留。					
[11:8]	RW	gzip_qosmap	GZIP 在 MDDRC 中的 QOS 值。					
[7:4]	RO	reserved	保留。					
[3:0]	RW	pcie_qosmap	PCIE 在 MDDRC 中的 QOS 值。					

## MISC\_CTRL22

MISC\_CTRL22 为 DDR QOS 控制寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0058		MISC_CTRL22		0x7654_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	hash_qosmap	ive_qosmap	aio_qosmap	jpge_qosmap	tde_ddrt_qosmap	vicap0_qosmap	vdp_qosmap
Reset	0 1 1 1	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:24]	RW	hash_qosmap	HASH 在 MDDRC 中的 QOS 值。					
[23:20]	RW	ive_qosmap	IVE 在 MDDRC 中的 QOS 值。					
[19:16]	RW	aio_qosmap	AIAO 在 MDDRC 中的 QOS 值。					
[15:12]	RW	jpge_qosmap	JPGE 在 MDDRC 中的 QOS 值。					
[11:8]	RW	tde_ddrt_qosmap	TDE 在 MDDRC 中的 QOS 值。					
[7:4]	RW	vicap0_qosmap	VICAP 在 MDDRC 中的 QOS 值。					
[3:0]	RW	vdp_qosmap	VDP 在 MDDRC 中的 QOS 值。					

## MISC\_CTRL23

MISC\_CTRL23 为 DDR QOS 控制寄存器 2。



Offset Address		Register Name		Total Reset Value				
0x005C		MISC_CTRL23		0x7654_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	emmc_qosmap	reserved	fmc_qosmap	sdio1_qosmap	sdio0_qosmap	cpu_qosmap	vpss0_qosmap	vgs_qosmap
Reset	0 1 1 1	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	emmc_qosmap	EMMC 在 MDDRC 中的 QOS 值。					
[27:24]	RO	reserved	保留。					
[23:20]	RW	fmc_qosmap	FMC 在 MDDRC 中的 QOS 值。					
[19:16]	RW	sdio1_qosmap	SDIO1 在 MDDRC 中的 QOS 值。					
[15:12]	RW	sdio0_qosmap	SDIO0 在 MDDRC 中的 QOS 值。					
[11:8]	RW	cpu_qosmap	CPU 在 MDDRC 中的 QOS 值。					
[7:4]	RW	vpss0_qosmap	VPSS 在 MDDRC 中的 QOS 值。					
[3:0]	RW	vgs_qosmap	VGS 在 MDDRC 中的 QOS 值。					

## MISC\_CTRL24

MISC\_CTRL24 为 DDR QOS 控制寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x0060		MISC_CTRL24		0x7654_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	gdc_qosmap	usb3_qosmap	vedu_qosmap	usb2_qosmap	cipher_qosmap	dma2_qosmap	dma1_qosmap	gsf_qosmap
Reset	0 1 1 1	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	gdc_qosmap	GDC 在 MDDRC 中的 QOS 值。					
[27:24]	RW	usb3_qosmap	USB3.0 在 MDDRC 中的 QOS 值。					
[23:20]	RW	vedu_qosmap	VEDU 在 MDDRC 中的 QOS 值。					
[19:16]	RW	usb2_qosmap	USB2 在 MDDRC 中的 QOS 值。					
[15:12]	RW	cipher_qosmap	CIPHER 在 MDDRC 中的 QOS 值。					
[11:8]	RW	dma2_qosmap	DMA2 在 MDDRC 中的 QOS 值。					
[7:4]	RW	dma1_qosmap	DMA1 在 MDDRC 中的 QOS 值。					



Offset Address		Register Name		Total Reset Value				
0x0060		MISC_CTRL24		0x7654_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	gdc_qosmap	usb3_qosmap	vedu_qosmap	usb2_qosmap	cipher_qosmap	dma2_qosmap	dma1_qosmap	gsf_qosmap
Reset	0 1 1 1	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[3:0]	RW	gsf_qosmap	GSF 在 MDDRC 中的 QOS 值。					

## MISC\_CTRL29

MISC\_CTRL29 为 USB3.0 控制寄存器。

Offset Address		Register Name		Total Reset Value										
0x0074		MISC_CTRL29		0x0004_0FD0										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			usb3_host_port_power_control_present	usb3_fladj_30mhz_reg	usb3_host_msi_enable	usb3_bus_filter_bypass	usb3_port_ovrcur_pol	usb3_port_pwren_pol	usb3_port_ovrcur_ctrl_en	usb3_port_pwr_ctrl_en	usb3_host_u3_port_disable	usb3_host_u2_port_disable	usb3_hub_port_perm_attach
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	1 1 1 1	1 1 0 1	0 0 0 0						
Bits	Access	Name	Description											
[31:20]	RO	reserved	保留。											
[19]	RW	usb3_host_port_power_control_present	表明 USB3.0 端口是否有供电控制。 0: 端口没有电源控制开关, USB 设备常供电; 1: 端口有电源控制开关用于控制 USB 设备供电。											



[18:13]	RW	usb3_fladj_30mhz_reg	HS 时钟抖动控制。 Indicates the correction required to accommodate mac3 clock and utmi clock jitter to measure 125 $\mu$ s duration. With fladj_30mhz_reg tied to zero, the high speed 125us micro-frame is counted for 123933ns. The value needs to be programmed in terms of high speed bit times in a 30 MHz cycle.
[12]	RW	usb3_host_msi_enable	控制 USB3.0 端口中断信号是脉冲类型还是电平类型。 0: 电平类型; 1: 脉冲类型。
[11:8]	RW	usb3_bus_filter_by_pass	USB 3.0 总线筛选旁路。此寄存器必须设置为 4'b1111。
[7]	RW	usb3_port_ovrcur_pol	USB3.0 端口过流保护极性控制。 0: 低电平有效; 1: 高电平有效。
[6]	RW	usb3_port_pwren_pol	USB3.0 端口电源使能极性控制。 0: 低电平有效; 1: 高电平有效。
[5]	RW	usb3_port_ovrcur_ctrl_en	USB3.0 端口过流保护使能。 0: USB3.0 端口过流保护不使能; 1: USB3.0 端口过流保护使能。
[4]	RW	usb3_port_pwr_ctrl_en	USB3.0 端口供电使能。 0: USB3.0 端口供电控制不使能; 1: USB3.0 端口供电使能由 USB3.0 控制器输出。
[3]	RW	usb3_host_u3_port_disable	USB3.0(SS)端口关闭。 0: USB3.0 端口使能。 1: USB3.0 端口不使能。
[2]	RW	usb3_host_u2_port_disable	USB2.0(HS)端口关闭。 0: USB2.0 端口使能。 1: USB2.0 端口不使能。
[1:0]	RW	usb3_hub_port_perm_attach	指示下游端口设备是否一直在。 0: USB 3.0 端口设备不永久依附; 1: USB 3.0 端口设备永久依附。



## MISC\_CTRL30

MISC\_CTRL30 为 USB2.0 控制寄存器 0。

		Offset Address	Register Name	Total Reset Value																																
		0x0078	MISC_CTRL30	0x0C03_13A0																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	usb2_chipid	reserved			usb2_phy_dmpulldown	usb2_phy_dppulldown	ss_scaledown_mode		reserved	ss_hubsetup_min_i			reserved				usbovr_p_ctrl	usbpwr_pctrl	reserved	port_ovr_en	reserved	port_pwr_en	reserved			ss_ena_incr16_i	ss_ena_incr8_i	ss_ena_incr4_i	ss_ena_incr_align_i	ss_autoppd_on_overcur_en_i	reserved			app_start_clk_i	ohci_susp_lgcy_i	ss_word_if_i
Reset	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	0	0	1	1	1	0	1	0	0	0	0	0			
Bits	Access		Name		Description																															
[31]	RW		usb2_chipid		USB2.0 HOST 和 DEV 切换控制信号。 0: HOST; 1: DEV。																															
[30:28]	RO		reserved		保留。																															
[27]	RW		usb2_phy_dmpulldown		D-下拉电阻使能控制。 0: 不使能; 1: 使能。																															
[26]	RW		usb2_phy_dppulldown		D+下拉电阻使能控制。 0: 不使能; 1: 使能。																															
[25:24]	RW		ss_scaledown_mode		Scale-Down 模式。 00: 禁止所有 scale-down, 实际的时序值将被采用; 01: 使能 scale-down 除 Device 模式下挂起与恢复外所有时序; 10: 仅使能 scale-down 在 Device 模式下挂起与恢复的时序; 11: 使能 bit0 和 bit1 scale-down 时序值。																															
[23]	RO		reserved		保留。																															
[22]	RW		ss_hubsetup_min_i		全速前导包后空闲周期设置。 0: 全速前导包后有 5 个全速空闲周期; 1: 全速前导包后有 4 个全速空闲周期。																															
[21:18]	RO		reserved		保留。																															



[17]	RW	usbovr_p_ctrl	过流保护极性控制。 0: 低电平有效; 1: 高电平有效。
[16]	RW	usbpwr_pctrl	USB PHY 电源关断极性控制。 0: 低电平有效; 1: 高电平有效。
[15]	RO	reserved	保留。
[14]	RW	port_ovr_en	USB PHY 过流保护关闭控制。 0: 关闭过流保护; 1: 使能过流保护。
[13]	RO	reserved	保留。
[12]	RW	port_pwr_en	USB PHY 电源关断。 0: 关掉电源; 1: 使能 controller 的电源输出。
[11:10]	RO	reserved	保留。
[9]	RW	ss_ena_incr16_i	AHB burst16 使能信号。 0: 不使能; 1: 使能 (默认)。
[8]	RW	ss_ena_incr8_i	AHB burst8 使能信号。 0: 不使能; 1: 使能 (默认)。
[7]	RW	ss_ena_incr4_i	AHB burst4 使能信号。 0: 不使能; 1: 使能 (默认)。
[6]	RW	ss_ena_incr_align_i	burst 对齐使能信号。 0: 不使能 (默认); 1: 使能。
[5]	RW	ss_autoppd_on_ove rcur_en_i	过流时自动关断端口电源。 0: 不使能; 1: 使能 (默认)。
[4:3]	RO	reserved	保留。
[2]	RW	app_start_clk_i	OHCI 时钟控制信号。 0: OHCI 正常工作 (默认); 1: 在挂起模式下打开 OHCI 时钟。



[1]	RW	ohci_susp_lgcy_i	OHCI 挂起的 strap 输入信号。
[0]	RW	ss_word_if_i	UTMI 接口数据位宽选择信号。 0: 8bit (默认); 1: 16bit。

## MISC\_CTRL31

MISC\_CTRL31 为 TEST 时钟&USB2.0PHY 访问测试通路方式选择寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x007C				MISC_CTRL31				0x3323_8A00																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved_keep7																test_clk_sel															
Reset	0	0	1	1	0	0	1	1	0	0	1	0	0	0	1	1	1	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:4]	RO	reserved_keep7	保留。																												
	[3:0]	RW	test_clk_sel	测试时钟选择。 0x0: pll_test_out[0]; 0x1: pll_test_out[1]; 0x2: pll_test_out[2]; 0x3: pll_test_out[3]; 0x4: pll_test_out[4]; 0x5: clk_test_out[0]; 0x6: clk_test_out[1]; 0x7: clk_test_out[2]; 0x8: clk_24m; 0x9: clk_rtc_out; 0xA: rtc_iso; 0xB: audio_codec_mclk; 其它: 保留。																												





## MISC\_CTRL32

MISC\_CTRL32 为 USB2.0PHY 测试通路寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0080		MISC_CTRL32		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	usb2_phy_testdataout								usb2_phy_test_rstn	reserved	usb2_phy_wren	reserved	usb2_phy_testaddr								usb2_phy_testdatain											
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name	Description																													
[31:24]	RO	usb2_phy_testdataout	USB2.0 PHY 读测试数据总线。																													
[23]	RW	usb2_phy_test_rstn	USB2.0 PHY 读测试接口复位。 0: 复位; 1: 不复位。																													
[22]	RO	reserved	保留。																													
[21]	RW	usb2_phy_wren	USB2.0 PHY 测试接口寄存器读写控制信号, 由 0 变 1 表示写, 0 表示读。																													
[20:19]	RO	reserved	保留。																													
[18:8]	RW	usb2_phy_testaddr	USB2.0 PHY 测试接口寄存器地址。																													
[7:0]	RW	usb2_phy_testdatain	USB2.0 PHY 写测试数据总线。																													

## MISC\_CTRL33

MISC\_CTRL33 为 COMB PHY 测试通路寄存器。



Offset Address		Register Name		Total Reset Value				
0x0084		MISC_CTRL33		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved_keep8			comb_phy_test_write	reserved	comb_phy_test_addr	comb_phy_test_o	comb_phy_test_i
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	RO	reserved_keep8	保留。					
[16]	RW	comb_phy_test_write	COMB PHY 测试寄存器读写控制。 0: 读使能; 1: 写使能。					
[15:13]	RO	reserved	保留。					
[12:8]	RW	comb_phy_test_addr	COMB PHY 测试寄存器地址。					
[7:4]	RO	comb_phy_test_o	COMB PHY 测试寄存器读数据。					
[3:0]	RW	comb_phy_test_i	COMB PHY 测试寄存器写数据。					

## MISC\_CTRL34

MISC\_CTRL34 为 PCIe&USB3.0 PHY 控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0088		MISC_CTRL34		0x0000_0100																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved_keep9																pcie_clkreq_filter_bypass	reserved	reserved	usb3_phy_rx_standby	usb3_phy_bypass_codec	reserved	pcie_phy_rx_standby	pcie_phy_bypass_codec								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:9]	RO	reserved_keep9	保留。																													
[8]	RW	pcie_clkreq_filter_bypass	pcie_clk_req 输入滤波处理控制。 0: 使能; 1: 关闭。																													
[7]	RO	reserved	保留。																													
[6]	RO	reserved	保留。																													
[5]	RW	usb3_phy_rx_standby	控制 USB3.0 PHY RX 是否处于活动状态。 0: PHY RX 活动状态; 1: PHY RX 待机状态。																													
[4]	RW	usb3_phy_bypass_codec	USB3.0 PHY BYPASS_CODEC 控制。 0: 8b/10b 编解码功能正常执行。 1: 8b/10b 编解码被旁路。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	pcie_phy_rx_standby	控制 PCIe PHY RX 在 P0/P0s 模式下是否处于活动状态。 0: PHY RX 活动状态; 1: PHY RX 待机状态。																													
[0]	RW	pcie_phy_bypass_codec	PCIE PHY BYPASS_CODEC 控制。 0: 8b/10b 编解码功能正常执行。 1: 8b/10b 编解码被旁路。																													



## MISC\_CTRL45

MISC\_CTRL45 为 Audio Codec ANA 寄存器 0(不会被软复位)。

Offset Address		Register Name		Total Reset Value																												
0x00B4		MISC_CTRL45		0x6405_FCFD																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													acodec_dacl_pop_en	reserved	acodec_dacr_pop_en	reserved	acodec_mute_dacr	acodec_mute_dacl	acodec_pd_dacr	acodec_pd_dacl	reserved	acodec_pd_dacr_dff	acodec_pd_dacl_dff	acodec_pd_micbias2	acodec_pd_micbias1	acodec_pd_linein_r	acodec_pd_linein_l	acodec_pd_adcr	acodec_pd_adcl	reserved	acodec_pd_vref
Reset	0	1	1	0	0	1	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	1
Bits	Access	Name	Description																													
[31:19]	RO	reserved	保留。																													
[18]	RW	acodec_dacl_pop_en	左声道 POP 电路使能。 0: 去 POP 音功能关闭; 1: 开启去 POP 音功能。 <b>注意: acodec_dacl_pop_en 仅在上下电抑制 POP 流程的过程中按照要求配置为 1, 而在 DAC 通路正常工作的过程中 acodec_dacl_pop_en 必须配置为 0。</b>																													
[17]	RO	reserved	保留。																													
[16]	RW	acodec_dacr_pop_en	右声道 POP 电路使能。 0: 去 POP 音功能关闭; 1: 开启去 POP 音功能。 <b>注意: acodec_dacr_pop_en 仅在上下电抑制 POP 流程的过程中按照要求配置为 1, 而在 DAC 通路正常工作的过程中 acodec_dacr_pop_en 必须配置为 0。</b>																													
[15]	RO	reserved	保留。																													
[14]	RW	acodec_mute_dacr	右声道 DAC mute 控制。 0: 右声道 DAC 正常工作; 1: 右声道 DAC mute。																													
[13]	RW	acodec_mute_dacl	左声道 DAC mute 控制。 0: 左声道 DAC 正常工作; 1: 左声道 DAC mute。																													



[12]	RW	acodec_pd_dacr	右声道 DAC 下电控制信号。 0: DACR 模拟正常工作; 1: DACR 模拟 power down。
[11]	RW	acodec_pd_dacl	左声道 DAC 下电控制信号。 0: DAACL 模拟正常工作; 1: DAACL 模拟 power down。
[10]	RO	reserved	保留。
[9]	RW	acodec_pd_dacr_df	右声道 DACR D 触发器下电控制信号。 0: DACR D 触发器正常工作; 1: DACR D 触发器 power down。
[8]	RW	acodec_pd_dacl_df	左声道 DAACL D 触发器下电控制信号。 0: DAACL D 触发器正常工作; 1: DAACL D 触发器 power down。
[7]	RW	acodec_pd_micbias 2	MICBIAS2 下电控制信号。 0: MICBIAS 正常工作; 1: MICBIAS power down。
[6]	RW	acodec_pd_micbias 1	MICBIAS1 下电控制信号。 0: MICBIAS 正常工作; 1: MICBIAS power down。
[5]	RW	acodec_pd_linein_r	LINEIN_R 下电控制信号。 0: Linein 正常工作; 1: Linein power down。
[4]	RW	acodec_pd_linein_l	LINEIN_L 下电控制信号。 0: Linein 正常工作; 1: Linein power down。
[3]	RW	acodec_pd_adcr	右声道 ADC 下电控制信号。 0: ADCR 数字模拟正常工作; 1: ADCR 数字模拟 power down。
[2]	RW	acodec_pd_adcl	左声道 ADC 下电控制信号。 0: ADCL 数字模拟正常工作; 1: ADCL 数字模拟 power down。
[1]	RW	reserved	正常工作, 需要配置为 1。



[0]	RW	acodec_pd_vref	参考电压下电控制信号。 0: 参考电压正常工作; 1: 参考电压 power down。
-----	----	----------------	--

## MISC\_CTRL46

MISC\_CTRL46 为 Audio Codec ANA 寄存器 1(不会被软复位)。

	Offset Address	Register Name	Total Reset Value
	0x00B8	MISC_CTRL46	0x0000_0034
Bit	31 30 29 28	27 26 25 24	23 22 21 20
Name	acodec_linein_r_sel	acodec_linein_l_sel	reserved acodec_adcr_gain_boost reserved acodec_linein_r_gain_codec reserved acodec_adcl_gain_boost reserved acodec_linein_l_gain_codec reserved acodec_mute_lineinr acodec_mute_lineinl reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 0 1 0 0
Bits	Access	Name	Description
[31:28]	RW	acodec_linein_r_sel	LINEIN 右通道输入信号选择。 0x0: IN0R (正端)/IN0L (负端)/差分输入; 0x1: IN0R 单端输入; 0x2: IN0R (正端)/IN1R (负端) 差分输入; 0x3: IN1R 单端输入; 0x4: IN1R (正端)/IN1L (负端) 差分输入; 其他: 保留。
[27:24]	RW	acodec_linein_l_sel	LINEIN 左通道输入信号选择。 0x0: IN0L (正端)/IN0R (负端) 差分输入; 0x1: IN0L 单端输入; 0x2: IN0L (正端)/IN1L (负端) 差分输入; 0x3: IN1L 单端输入; 0x4: IN1L (正端)/IN1R (负端) 差分输入; 其他: 保留。
[23]	RO	reserved	保留。



[22]	RW	acodec_adcr_gain_boost	ADCR 增益 boost 控制。 0: 0db 增益; 1: 20db 增益。
[21]	RO	reserved	保留。
[20:16]	RW	acodec_linein_r_gain_codec	LINEINR 输入端增益控制。 0x00: 0db; 0x01: 2db; 0x02: 4db; 0x03: 6db; 0x04: 8db; 0x05: 10db; 0x06: 12db; 0x07: 14db; 0x08: 16db; 0x09: 18db; 0x0A: 20db; 0x0B: 22db; 0x0C: 24db; 0x0D: 26db; 0x0E: 28db; 0x0F: 30db; 0x10: -1.5db; 其他: 保留。
[15]	RO	reserved	保留。
[14]	RW	acodec_adcl_gain_boost	ADCL 增益 boost 控制。 0: 0db 增益; 1: 20db 增益。
[13]	RO	reserved	保留。
[12:8]	RW	acodec_linein_l_gain_codec	LINEINL 输入端增益控制。 0x00: 0db; 0x01: 2db; 0x02: 4db; 0x03: 6db; 0x04: 8db; 0x05: 10db; 0x06: 12db;



			0x07: 14db; 0x08: 16db; 0x09: 18db; 0x0A: 20db; 0x0B: 22db; 0x0C: 24db; 0x0D: 26db; 0x0E: 28db; 0x0F: 30db; 0x10: -1.5db; 其他: 保留。
[7:6]	RO	reserved	保留。
[5]	RW	acodec_mute_lineinr	右通道 LINEINR mute 控制。 0: 右通道 LINEINR 正常工作; 1: 右通道 LINEINRmute。
[4]	RW	acodec_mute_lineinl	左通道 LINEINL mute 控制。 0: 左通道 LINEINL 正常工作; 1: 左通道 LINEINL mute。
[3:0]	RO	reserved	保留。

## MISC\_CTRL47

MISC\_CTRL47 为 Audio Codec ANA 寄存器 2(不会被软复位)。





Offset Address		Register Name		Total Reset Value																												
0x00BC		MISC_CTRL47		0x4018_008D																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	reserved	reserved				acodec_rst	reserved																								
Reset	0	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	1
Bits	[31]		[30]		[29:24]				[23]				[22:0]																			
Access	RO		RW		RO				RW				RO																			
Name	reserved		reserved		reserved				acodec_rst				reserved																			
Description	保留。		正常工作时，配置为 0。		保留。				模拟部分复位信号。 0：撤销复位； 1：复位。				保留。																			

## MISC\_CTRL48

MISC\_CTRL48 为 Audio Codec ANA 寄存器 3(不会被软复位)。



	Offset Address 0x00C0								Register Name MISC_CTRL48								Total Reset Value 0x0000_0020															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved_keep23																							acodec_vref_exmode	reserved		acodec_pop_res_sel		reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access	Name	Description																													
[31:8]	RO	reserved_keep23	保留。																													
[7]	RW	acodec_vref_exmode	当 VREF PD 时。 0: 有下拉, 正常 PD; 1: 无下拉, 可外加 VREF。																													
[6:5]	RO	reserved	保留。																													
[4:3]	RW	acodec_pop_res_sel	popfree 电路与主输出间间隔电阻。 00: 100 Ω; 01: 1K Ω; 10: 10K Ω; 11: 100K Ω。																													
[2:0]	RO	reserved	保留。																													

## MISC\_CTRL51

MISC\_CTRL51 为 Audio Codec DIG 控制寄存器 0(不会被软复位)。



Offset Address		Register Name		Total Reset Value																																																								
0x00CC		MISC_CTRL51		0x00F3_5A4A																																																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																												
Name	dacl_rst_n				dacr_rst_n				adcl_rst_n				adcr_rst_n				dacl_en				dacr_en				adcl_en				adcr_en				reserved								i2s1_fs_sel				reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0	1	0	1	1	0	1	0	0	1	0	0	1	0	1	0																								
Bits	Access	Name		Description																																																								
[31]	RW	dacl_rst_n		DACL 复位信号。 0: 复位有效; 1: 复位无效。																																																								
[30]	RW	dacr_rst_n		DACR 复位信号。 0: 复位有效; 1: 复位无效。																																																								
[29]	RW	adcl_rst_n		ADCL 复位信号。 0: 复位有效; 1: 复位无效。																																																								
[28]	RW	adcr_rst_n		ADCR 复位信号。 0: 复位有效; 1: 复位无效。																																																								
[27]	RW	dacl_en		DACL 使能信号。 0: 不使能; 1: 使能。																																																								
[26]	RW	dacr_en		DACR 使能信号。 0: 不使能; 1: 使能。																																																								
[25]	RW	adcl_en		ADCL 使能信号。 0: 不使能; 1: 使能。																																																								
[24]	RW	adcr_en		ADCR 使能信号。 0: 不使能; 1: 使能。																																																								
[23:18]	RO	reserved		保留。																																																								



[17:13]	RW	i2s1_fs_sel	I2S 通道采样率选择。 11000: mclk/512/2; 11001: mclk/256/2; 11010: mclk/128/2; 11011: mclk/64/2; 111xx: mclk/32/2。
[12:0]	RO	reserved	保留。

## MISC\_CTRL52

MISC\_CTRL52 为 Audio Codec DIG 控制寄存器 1(不会被软复位)。

	Offset Address 0x00D0								Register Name MISC_CTRL52								Total Reset Value 0x0000_0001															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	smutel	smuter	sunmutel	sunmuter	dacvu	mutel_rate	muter_rate		reserved																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
Bits	Access		Name		Description																											
[31]	RW		smutel		DACL soft-mute 控制位。 0: 关闭 soft-mute; 1: 开启 soft-mute。																											
[30]	RW		smuter		DACR soft-mute 控制位。 0: 关闭 soft-mute; 1: 开启 soft-mute。																											
[29]	RW		sunmutel		DACL soft-unmute 控制位。 0: 关闭 soft-unmute; 1: 开启 soft-unmute。																											
[28]	RW		sunmuter		DACR soft-unmute 控制位。 0: 关闭 soft-unmute; 1: 开启 soft-unmute。																											



[27]	RW	dacvu	DAC 音量更新控制位。 0: 不更新音量; 1: 更新音量。
[26:25]	RW	mutel_rate	DACL soft-mute 速率控制位。 00: fs/2; 01: fs/8; 10: fs/32; 11: fs/64。
[24:23]	RW	muter_rate	DACR soft-mute 速率控制位。 00: fs/2; 01: fs/8; 10: fs/32; 11: fs/64。
[22:0]	RO	reserved	保留。

### MISC\_CTRL53

MISC\_CTRL53 为 Audio Codec DIG 控制寄存器 2(不会被软复位)。

	Offset Address				Register Name				Total Reset Value																											
	0x00D4				MISC_CTRL53				0x0606_2424																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dac1_mute		dac1_vol				dacr_mute		dacr_vol				reserved																							
Reset	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1	0	0				
	Bits	Access	Name	Description																																
	[31]	RW	dac1_mute	DAC1 数字静音控制。 0: 正常工作; 1: 静音。																																



[30:24]	RW	dac1_vol	<p>DACL 数字音量控制。 计算公式为: <math>(6-dac1\_vol*1)db</math>。 当 dac1_vol 为 0x7F 时, DACL 数字静音。 0x00: 6dB 0x01: 5dB 0x02: 4dB ... 0x7E: -120dB 0x7F: mute</p>
[23]	RW	dacr_mute	<p>DACR 数字静音控制。 0: 正常工作; 1: 静音。</p>
[22:16]	RW	dacr_vol	<p>DACR 数字音量控制。 计算公式为: <math>(6-dacr\_vol*1)db</math>。 当 dacr_vol 为 0x7F 时, DACR 数字静音。 0x00: 6dB 0x01: 5dB 0x02: 4dB ... 0x7E: -120dB 0x7F: mute</p>
[15:0]	RO	reserved	保留。

## MISC\_CTRL54

MISC\_CTRL54 为 Audio Codec DIG 控制寄存器 3(不会被软复位)。



Offset Address		Register Name		Total Reset Value					
0x00D8		MISC_CTRL54		0x1E1E_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	adcl_mute	adcl_vol	adcr_mute	adcr_vol	adcl_hpf_en	adcr_hpf_en	reserved		
Reset	0 0 0 1	1 1 1 0	0 0 0 1	1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31]	RW	adcl_mute	ADCL 数字静音控制位。 0: ADCL unmute; 1: ADCL mute。						
[30:24]	RW	adcl_vol	ADCL 音量控制位 计算公式: $(30 - \text{adcl\_vol} * 1) \text{db}$ 。 0x00: 30dB 0x01: 29dB 0x02: 28dB ... 0x7E: -96dB 0x7F: -97dB						
[23]	RW	adcr_mute	ADCR 数字静音控制位。 0: ADCR 不静音; 1: ADCR 静音。						
[22:16]	RW	adcr_vol	ADCR 音量控制位。 计算公式: $(30 - \text{adcr\_vol} * 1) \text{db}$ 。 0x00: 30dB 0x01: 29dB 0x02: 28dB ... 0x7E: -96dB 0x7F: -97dB						
[15]	RW	adcl_hpf_en	ADCL 高通滤波器使能控制。 0: 关闭高通滤波器; 1: 使能高通滤波器。						



[14]	RW	adcr_hpf_en	ADCR 高通滤波器使能控制。 0: 关闭高通滤波器; 1: 使能高通滤波器。
[13:0]	RO	reserved	保留。

## MISC\_CTRL56

MISC\_CTRL56 为 I2S 通路选择控制寄存器(不会被软复位)。

	Offset Address	Register Name	Total Reset Value	
	0x00E0	MISC_CTRL56	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved		i2s_pad_enable audio_enable	
Reset	0 0			
	Bits	Access	Name	Description
	[31:2]	RW	reserved	保留。
	[1]	RW	i2s_pad_enable	芯片 I2S 接口与 AIAO 通道的使能控制。 0: 关闭芯片 I2S 接口与 AIAO 的通道, 芯片 I2S 接口没有输出; 1: 打开芯片 I2S 接口与 AIAO 的通道, 芯片 I2S 接口与 AIAO 的 I2S 相接。 注意: i2s_pad_enable 和 audio_enable 只能同时配置一个为 1, 不能同时都配置为 1。
	[0]	RW	audio_enable	芯片内部 audicodec 的 I2S 接口与 AIAO 通道的使能控制。 0: 关闭芯片内部 audicodec 的 I2S 接口与 AIAO 的通道, 芯片内部 audicodec 的 i2s 接口没有输出; 1: 打开芯片内部 audicodec 的 I2S 接口与 AIAO 的通道, 芯片内部 audicodec 的 I2S 接口与 AIAO 的 I2S 相接。 注意: i2s_pad_enable 和 audio_enable 只能同时配置一个为 1, 不能同时都配置为 1。





## MISC\_CTRL80

MISC\_CTRL80 为 eMMC 接口 DLL 控制寄存器 0。

	Offset Address								Register Name								Total Reset Value															
	0x0140								MISC_CTRL80								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																emmc_dll_ssel				emmc_dll_mode	emmc_dll_stop	emmc_dll_bypass	emmc_dll_slave_en	emmc_dll_tune							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:16]	RO	reserved	保留。																												
	[15:8]	RW	emmc_dll_ssel	eMMC 端口 DLL ssel 信号。DLL SLAVE LINE delay 初始级数选择。																												
	[7]	RW	emmc_dll_mode	eMMC 端口 DLL mode 信号。 0: 正常模式; 1: 由 dll_dllssel 控制 SLAVE LINE。																												
	[6]	RW	emmc_dll_stop	eMMC 端口 DLL stop 信号。 0: 使能时钟检测; 1: 禁止时钟检测。																												
	[5]	RW	emmc_dll_bypass	eMMC 端口 DLL bypass 信号。 0: 正常模式, 输出时钟相对输入时钟移相 90° ; 1: slave line bypass, 输出时钟不移相。																												
	[4]	RW	emmc_dll_slave_en	eMMC 端口 DLL slave_en 信号。 0: slave 停止工作; 1: slave 开始工作。																												



[3:0]	RW	emmc_dll_tune	eMMC 端口 DLL tune 信号。 0x0: 不校准; 0x1: 增加 1 级 delay; 0x2: 增加 2 级 delay; 0x3: 增加 3 级 delay; ... 0x7: 增加 7 级 delay; 0x8: 不校准; 0x9: 减少 1 级 delay; 0xA: 减少 2 级 delay; 0xB: 减少 3 级 delay; ... 0xF: 减少 7 级 delay。
-------	----	---------------	--

## MISC\_CTRL81

MISC\_CTRL81 为 eMMC 接口 DLL 控制寄存器 1。

Offset Address		Register Name		Total Reset Value																												
0x0144		MISC_CTRL81		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											emmc_dll_lock			emmc_dll_ready			emmc_dll_overflow			emmc_dll_mdly_tap											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:11]	RO	reserved	保留。																													
[10]	RO	emmc_dll_lock	eMMC 端口 DLL lock 信号。 0: DLL MASTER unlock; 1: DLL MASTER locked.																													
[9]	RO	emmc_dll_ready	eMMC 端口 DLL ready 信号。 0: DLL SLAVE not ready; 1: DLL SLAVE ready.																													



[8]	RO	emmc_dll_overflow	eMMC 端口 DLL overflow 信号。 0: DLL MASTER unoverflow; 1: DLL MASTER overflow。
[7:0]	RO	emmc_dll_mdly_tap	eMMC 端口 DLL mdly_tap 信号。 DLL MASTER LINE tap 值。

## MISC\_CTRL85

MISC\_CTRL85 为 PERI 总线仲裁控制寄存器 0。

Offset Address		Register Name		Total Reset Value																												
0x0154		MISC_CTRL85		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	peri_axi_timeout_en_m2				peri_axi_timeout_value_m2								peri_axi_timeout_en_m1				peri_axi_timeout_value_m1															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	peri_axi_timeout_en_m2	PERI AXI 总线端口 M2(SYSAXI_S2)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	peri_axi_timeout_value_m2	PERI AXI 总线端口 M2(SYSAXI_S2)的 timeout 计数值。 计数值 = peri_axi_timeout_value_m2 × 2。																													
[15]	RW	peri_axi_timeout_en_m1	PERI AXI 总线端口 M1(CCI_M0)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	peri_axi_timeout_value_m1	PERI AXI 总线端口 M1(CCI_M0)的 timeout 计数值。 计数值 = peri_axi_timeout_value_m1 × 2。																													



## MISC\_CTRL86

MISC\_CTRL86 为 PERI 总线仲裁控制寄存器 1。

	Offset Address								Register Name								Total Reset Value																	
	0x0158								MISC_CTRL86								0x0000_0000																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	periaxi_timeout_en_m4	periaxi_timeout_value_m4																periaxi_timeout_en_m3	periaxi_timeout_value_m3															
Reset		0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0					0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name	Description																															
[31]	RW	periaxi_timeout_en_m4	PERI AXI 总线端口 M4(j2c)的 timeout 计数使能。 0: 禁止; 1: 使能。																															
[30:16]	RW	periaxi_timeout_value_m4	PERI AXI 总线端口 M4(j2c)的 timeout 计数值。 计数值 = periaxi_timeout_value_m4 × 2。																															
[15]	RW	periaxi_timeout_en_m3	PERI AXI 总线端口 M3(debug_axi)的 timeout 计数使能。 0: 禁止; 1: 使能。																															
[14:0]	RW	periaxi_timeout_value_m3	PERI AXI 总线端口 M3(debug_axi)的 timeout 计数值。 计数值 = periaxi_timeout_value_m3 × 2。																															

## MISC\_CTRL88

MISC\_CTRL88 为 PERI 总线优先级控制寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x0160		MISC_CTRL88		0x0000_0123																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												periaxi_port4_pri		reserved		periaxi_port3_pri		reserved		periaxi_port2_pri		reserved		periaxi_port1_pri							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1
Bits	Access	Name	Description																													
[31:15]	RO	reserved	保留。																													
[14:12]	RW	periaxi_port4_pri	PERI AXI 总线端口 M4(j2c)优先级。 3 为最高优先级。																													
[11]	RO	reserved	保留。																													
[10:8]	RW	periaxi_port3_pri	PERI AXI 总线端口 M3(debug_axi)优先级。 3 为最高优先级。																													
[7]	RO	reserved	保留。																													
[6:4]	RW	periaxi_port2_pri	PERI AXI 总线端口 M2(SYSAXI_S2)优先级。 3 为最高优先级。																													
[3]	RO	reserved	保留。																													
[2:0]	RW	periaxi_port1_pri	PERI AXI 总线端口 M1(CCI_M0)优先级。 3 为最高优先级。																													

### MISC\_CTRL89

MISC\_CTRL89 为 PERI 总线优先级控制寄存器 1。



	Offset Address				Register Name				Total Reset Value																							
	0x0164				MISC_CTRL89				0x0000_1234																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								periaxi_slave_priority_s5		reserved		periaxi_slave_priority_s4		reserved		periaxi_slave_priority_s3		reserved		periaxi_slave_priority_s2		reserved		periaxi_slave_priority_s1							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0
Bits	Access	Name	Description																													
[31:19]	RO	reserved	保留。																													
[18:16]	RW	periaxi_slave_priority_s5	PERI AXI S5(pcie_slave)端口总线访问优先级。7 为最高优先级。																													
[15]	RO	reserved	保留。																													
[14:12]	RW	periaxi_slave_priority_s4	PERI AXI S4(GIC)端口总线访问优先级。7 为最高优先级。																													
[11]	RO	reserved	保留。																													
[10:8]	RW	periaxi_slave_priority_s3	PERI AXI S3(ahb_cfg)端口总线访问优先级。7 为最高优先级。																													
[7]	RO	reserved	保留。																													
[6:4]	RW	periaxi_slave_priority_s2	PERI AXI S2(media_apb)端口总线访问优先级。7 为最高优先级。																													
[3]	RO	reserved	保留。																													
[2:0]	RW	periaxi_slave_priority_s1	PERI AXI S1(sys_apb)端口总线访问优先级。7 为最高优先级。																													

## MISC\_CTRL93

MISC\_CTRL93 为 VDP\_AIAO 总线仲裁控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0174		MISC_CTRL93		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vdp_aiao_axi_timeout_en_m2				vdp_aiao_axi_timeout_value_m2								vdp_aiao_axi_timeout_en_m1				vdp_aiao_axi_timeout_value_m1															
Reset																																
Bits	Access	Name	Description																													
[31]	RW	vdp_aiao_axi_timeout_en_m2	VDP_AIAO AXI 总线端口 M2(AIAO)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	vdp_aiao_axi_timeout_value_m2	VDP_AIAO AXI 总线端口 M2(AIAO)的 timeout 计数值。 计数值 = vpssaxi_timeout_value_m2 × 2。																													
[15]	RW	vdp_aiao_axi_timeout_en_m1	VDP_AIAO AXI 总线端口 M1(VDP)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	vdp_aiao_axi_timeout_value_m1	VDP_AIAO AXI 总线端口 M1(VDP)的 timeout 计数值。 计数值 = vpssaxi_timeout_value_m1 × 2。																													

### MISC\_CTRL94

MISC\_CTRL94 为 VDP\_AIAO 总线优先级控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0178		MISC_CTRL94		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vdp_aiao_axi_port2_pri				reserved		vdp_aiao_axi_port1_pri											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vdp_aiao_axi_port2_pri	VDP_AIAO AXI 总线端口 M2(AIAO)优先级。 1 为最高优先级。																													
[3]	RO	reserved	保留。																													
[2:0]	RW	vdp_aiao_axi_port1_pri	VDP_AIAO AXI 总线端口 M1(VDP)优先级。 1 为最高优先级。																													

## 3.6 DMA 控制器

### 3.6.1 概述

DMA(Direct Memory Access)是一种高速的数据传输操作，允许不通过 CPU 在外部设备和存储器之间直接读写数据。DMA 控制器 (DMAC) 直接在存储器和外设、外设和外设、存储器 and 存储器之间进行数据传输，避免 CPU 干涉并减少了 CPU 中断处理开销。

### 3.6.2 特点

Hi3519V100 中 DMAC 有如下特点：

- 支持 8bit、16bit、32bit 数据位宽方式传输。
- 提供 4 个 DMA 通道，每个通道可配置用于一种单向传输。
- 提供 2 个总线宽度为 32bit 的 Master 总线接口用于数据传输。
- 支持软件控制的 DMA 请求。
- 支持通过编程决定 DMA BURST 长度。





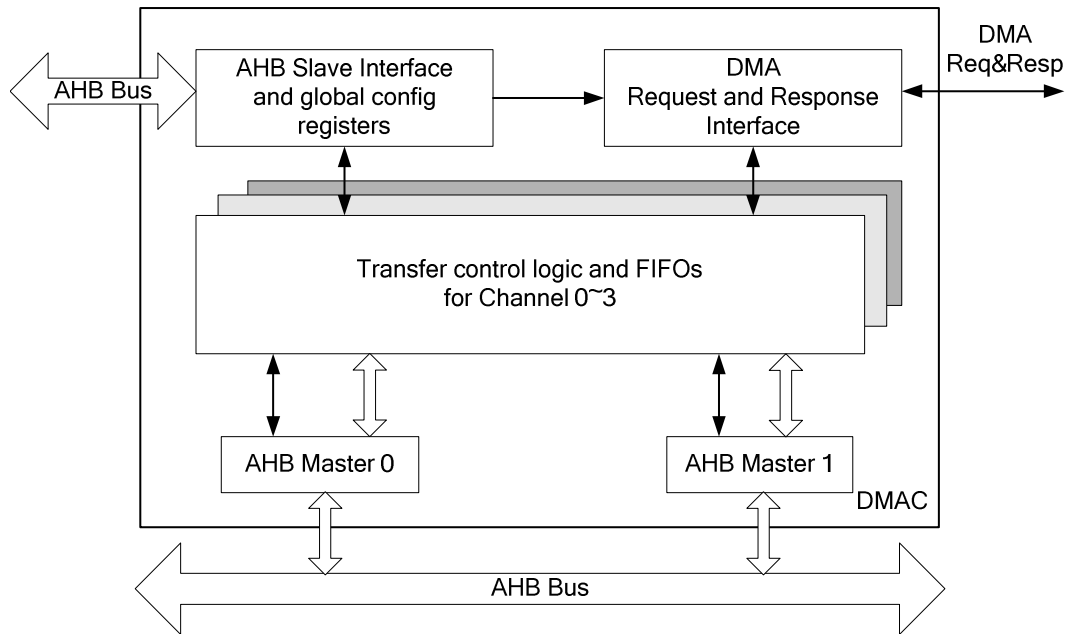
- 源地址和目的地址可分别配置为在 DMA 传输过程中自动递增或不递增。
- 支持链表 DMA 传输。
- 支持 DMAC 流控。

### 3.6.3 功能描述

#### 功能框图

DMAC 的功能框图如图 3-5 所示。

图3-5 DMAC 功能框图



#### 说明

- DMA 通道优先级固定，优先级从高到低对应的通道号依次为 0~3。当来自 2 个外设的 DMA 请求同时有效时，优先级高的通道先开始传输。
- DMA 通道 0~通道 1 中各包含 1 个 4x32bit 的 FIFO，DMAC 通道 2~3 中各包含 1 个 16x32bit 的 FIFO。

DMAC 的每一个通道都内含一组传输控制逻辑和一个 FIFO，传输控制逻辑自动完成以下过程：

- 步骤 1. 从软件指定的源地址位置读取数据。
- 步骤 2. 缓存到通道内含的 FIFO 中。
- 步骤 3. 从通道 FIFO 中取出数据。
- 步骤 4. 写入到软件指定的目的地址位置。

----结束



## 工作流程

DMAC 基本工作流程如下：

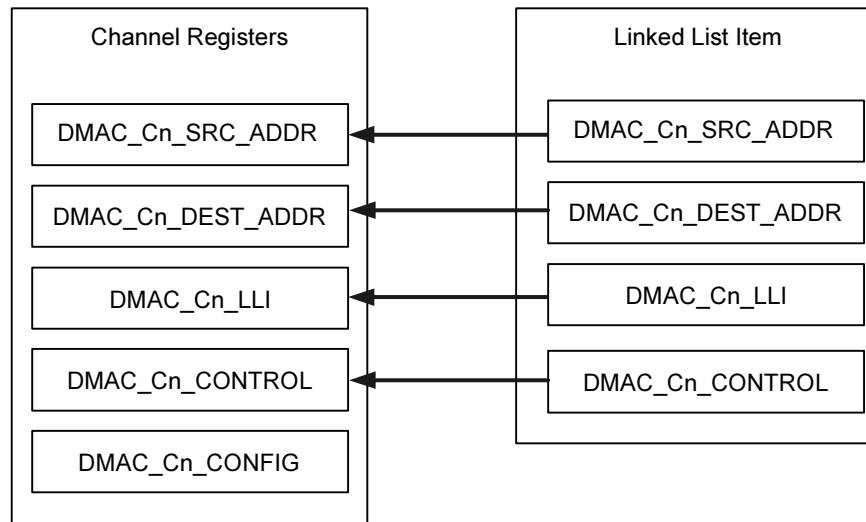
- 步骤 1.** 软件选定 DMAC 的一个通道用于 DMA 传输，配置该通道的源地址、目的地址、链表头指针、传输数据个数、源设备和目的设备对应的 DMAC 请求线号、源设备和目的设备使用的 Master，并启动该通道。一旦通道被启动，DMAC 硬件即开始检测与该通道相连的源外设和目的设备的 DMA 请求线上的活动。
- 步骤 2.** 源设备向 DMAC 发起 DMA 请求（如果源设备为存储器，DMAC 默认其 DMA 请求始终有效）。
- 步骤 3.** DMAC 通道响应源设备 DMA 请求，从源设备读取数据并存入通道内部的 FIFO 中。
- 步骤 4.** 目的设备向 DMAC 发起 DMA 请求（如果目的设备为存储器，DMAC 默认其 DMA 请求始终有效）。
- 步骤 5.** DMAC 通道响应目的设备 DMA 请求，从通道内部的 FIFO 中取出数据并写入目的设备。
- 步骤 6.** 步骤 2、3 和步骤 4、5 可能是并发执行的，因为源设备和目的设备有可能同时向 DMAC 发起 DMA 请求。当出现 DMA 通道 FIFO 被写满而目的设备来不及读走、或 DMA 通道 FIFO 被读空而源设备来不及写入时，DMAC 自动阻塞源设备或目的设备的 DMA 请求，直到相应的 FIFO 空满状态解除为止。在 DMAC 与源设备、目的设备的多次交互过程中，步骤 2~5 反复被执行，直到软件指定的数据传输全部完成时，发出传输完成中断（该中断可被屏蔽）。如果寄存器 `DMAC_Cn_LLI` 不为 0，则以该寄存器的值为地址读取链表结点，并将读取值依次载入 `DMAC_Cn_SRC_ADDR`、`DMAC_Cn_DEST_ADDR`、`DMAC_Cn_LLI` 以及 `DMAC_Cn_CONTROL` 这四个寄存器（如图 3-5 所示），然后回到步骤 2。若寄存器 `DMAC_Cn_LLI` 的值为 0 则停止当前的 DMA 传输，通道自动关闭，传输过程结束。

----**结束**

LLI 更新通道寄存器示意如图 3-6 所示。



图3-6 LLI 更新通道寄存器示意图



## DMA 与外设的连接关系

外设利用 DMA 请求信号向 DMAC 请求发起数据传输。

DMAC 为每个外设提供了 2 种 DMA 请求信号，分别为：

- DMACBREQ  
burst 传输请求信号。该信号引发一次 burst 传输，burst 长度为预先设定值。
- DMACREQ  
单次传输请求信号。该信号引发一次单次传输，即 DMAC 从外设读取一个数据或向外设写一个数据。

DMAC 提供一个请求清除信号 DMACLR：

DMAC 向每个外设发出的 DMA 请求清除信号，用于应答外设的 DMA 请求信号。

## DMAC 请求线

DMAC 的硬件请求和相应设备的对应关系如表 3-10 所示。

表3-10 DMA 的外设请求分配定义

DMAC 控制器硬件 请求线编号	对应设备
0	UART0 RX 通道 DMA 请求/UART4 RX 通道 DMA 请求(选择配置请参考 MISC_CTRL1 寄存器中的 dma_01_sel)
1	UART0 TX 通道 DMA 请求/UART4 TX 通道 DMA 请求 (选择配置请参考 MISC_CTRL1 寄存器中的 dma_01_sel)



DMAC 控制器硬件请求线编号	对应设备
2	UART1 RX 通道 DMA 请求
3	UART1 TX 通道 DMA 请求
4	UART2 RX 通道 DMA 请求
5	UART2 TX 通道 DMA 请求
6	UART3 RX 通道 DMA 请求
7	UART3 TX 通道 DMA 请求
8	I2C 0 RX 通道 DMA 请求/SSP0 RX 通道 DMA 请求 (选择配置请参考 MISC_CTRL1 寄存器中的 dma_89_sel)
9	I2C 0 TX 通道 DMA 请求/SSP0 TX 通道 DMA 请求 (选择配置请参考 MISC_CTRL1 寄存器中的 dma_89_sel)
10	I2C 1 RX 通道 DMA 请求/SSP1 RX 通道 DMA 请求 (选择配置请参考 MISC_CTRL1 寄存器中的 dma_ab_sel)
11	I2C 1 TX 通道 DMA 请求/SSP1 TX 通道 DMA 请求 (选择配置请参考 MISC_CTRL1 寄存器中的 dma_ab_sel)
12	I2C 2 RX 通道 DMA 请求/SSP2 RX 通道 DMA 请求 (选择配置请参考 MISC_CTRL1 寄存器中的 dma_cd_sel)
13	I2C 2 TX 通道 DMA 请求/SSP2 TX 通道 DMA 请求 (选择配置请参考 MISC_CTRL1 寄存器中的 dma_cd_sel)
14	I2C 3 RX 通道 DMA 请求
15	I2C 3 TX 通道 DMA 请求

DMA 通道对应的源端和目的端请求由软件配置。例如，DMA 请求号 4 为 UART2 的接收通道请求，若希望使用通道 3 传输 UART2 的接收数据，则应配置 DMA 请求号 4 作为通道 3 的源端请求。

存储器没有 DMA 请求线，当 DMA 传输的一方为存储器时，DMAC 默认其 DMA 请求是始终有效的。由于 DMAC 的通道 2、3 上的传输，每次总线操作之后，都会插入 IDLE 周期，供高优先级通道的 Master 占用总线进行传输；因此，建议将存储器到存储器的传输配置到通道 2、3 进行，以免总线上其它通道较长时间无法占用总线。

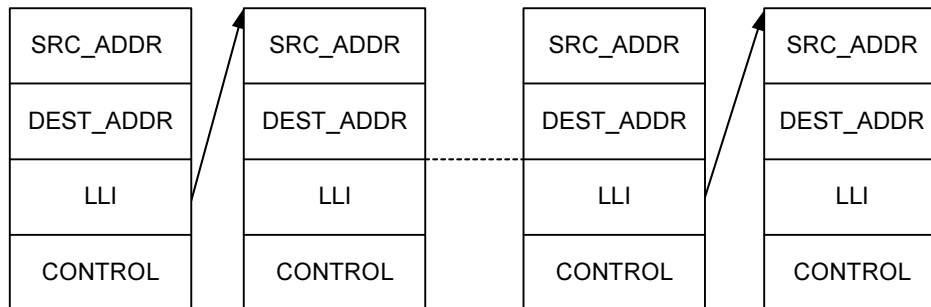


## DMA 链表

DMAC 的链表结点数据结构为：

- 通道寄存器 **DMAC\_Cn\_SRC\_ADDR**，设置源设备首地址。
- 通道寄存器 **DMAC\_Cn\_DEST\_ADDR**，设置目的设备首地址。
- 通道寄存器 **DMAC\_Cn\_LLI**，设置下一个结点的地址。
- 通道寄存器 **DMAC\_Cn\_CONTROL**，设置访问源/目的设备所采用的 Master、源/目的设备的位宽、burst size、地址递增以及 transfer size 等参数。

图3-7 DMAC 链表结构示例



### 注意

链表的 LLI 字段不应指定 1 个大于 0xFFFF\_FFF0 的数。否则，1 个 4 字的 burst 传输将使地址回卷到 0x0000\_0000 处，导致链表结点数据结构不能存储在连续的地址区域中。

如果 LLI 的值为 0，表示当前结点是链表的链尾，则当本结点对应的数据块全部传完后，该通道就会被关闭。

## 3.6.4 工作方式

### 时钟门控

当出现以下情况时，可以通过软件关闭 DMAC，并关断 DMAC 时钟以降低功耗：

- DMAC 的各个通道均处于空闲状态且没有 DMA 传输请求
- **DMAC\_Cn\_CONFIG[ch\_en]=0**，DMAC 所有通道被关闭

关断 DMAC 时钟的步骤如下：

步骤 1. 向 **DMAC\_Cn\_CONFIG[ch\_en]**写 0，关闭 DMAC 通道。

步骤 2. 向 **DMAC\_CONFIG[dmac\_enable]**写 0，禁止 DMAC。



步骤 3. 向 CRG 寄存器 PERI\_CRG56 [dmac\_cken]写 0，关闭 DMA 模块总线时钟门控，最终关闭 DMAC 时钟。

步骤 4. 当需要使用 DMAC 进行数据传输时，重新打开时钟并启动 DMAC。

----结束

## 初始化

初始化 DMAC 步骤如下：

步骤 1. 写寄存器 DMAC\_CONFIG，设置 DMAC 的 Master1、Master2 的字节顺序，向 DMAC\_CONFIG[dmac\_enable]写 1，启动 DMAC。

步骤 2. 写寄存器 DMAC\_INT\_ERR\_CLR 和 DMAC\_INT\_TC\_CLR 的所有位为 1，清除所有中断状态。

步骤 3. 写寄存器 DMAC\_SYNC 相应位为 0，设置需要进行同步的 DMA 请求信号组。

步骤 4. 依次配置并关闭各个通道。向每个通道的 DMAC\_Cn\_CONFIG[ch\_en]写 0，关闭通道。

----结束

## 启动通道

DMAC 初始化完成之后，需要配置并启动 DMAC 通道，才可以使用 DMAC 来进行数据传输。通道的配置启动步骤如下：

步骤 1. 读 DMAC\_ENABLED\_CHNS 寄存器，找出处于非传输状态的通道，并从中选择一个通道用于配置。

步骤 2. 向寄存器 DMAC\_INT\_ERR\_CLR 和 DMAC\_INT\_TC\_CLR 的相应位写 1，清除选定通道的中断状态。

步骤 3. 写通道寄存器 DMAC\_Cn\_SRC\_ADDR，设置源设备访问首地址。

步骤 4. 写通道寄存器 DMAC\_Cn\_DEST\_ADDR，设置目的设备访问首地址。

步骤 5. 写通道寄存器 DMAC\_Cn\_LLI，设置链表信息，如果配置通道用于单块数据传输，则将通道寄存器 DMAC\_Cn\_LLI 配置为 0；如果配置通道用于链表数据传输，则将通道寄存器 DMAC\_Cn\_LLI 配置为链表头指针。

步骤 6. 写通道寄存器 DMAC\_Cn\_CONTROL，设置访问源/目的的设备所采用的 Master、源/目的设备的位宽、BURST 长度、地址递增以及 trans\_size 等参数。

步骤 7. 写通道寄存器 DMAC\_Cn\_CONFIG，设置本通道的 DMA 请求信号、流控方式及中断屏蔽。

步骤 8. 写通道寄存器 DMAC\_Cn\_CONFIG[ch\_en]为 1，启动该通道。

----结束



## DMAC\_Cn\_CONTROL 使用说明

通道控制寄存器 **DMAC\_Cn\_CONTROL** 包含了 DMA 通道控制信息，如传输长度、burst 长度、传输位宽等。

每个寄存器在对应的通道被启动前，都要由软件对其直接编程。当通道被启动后，该寄存器的值在传完 1 个完整的数据块后，从链表结点载入时更新。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。在通道停止传输时，可进行该寄存器的读操作。

**DMAC\_Cn\_CONTROL** 寄存器的 **dbsize** 及 **sbsize** 的值与其对应的 **BURST** 长度如表 3-11 所示。

表3-11 dbsize 及 sbsize 的值与其对应的 burst 长度

dbsize 或 sbsize 的值	BURST 长度
000	1
001	4
010	8
011	16
100	32
101	64
110	128
111	256

**DMAC\_Cn\_CONTROL** 寄存器的 **dwidth** 和 **swidth** 的值与其对应传输位宽如表 3-12 所示。

表3-12 dwidth 和 swidth 的值与其对应传输位宽

swidth 或 dwidth 的值	传输位宽
000	Byte (8bit)
001	Halfword (16bit)
010	Word (32bit)
011	reserved
100	reserved
101	reserved
110	reserved



swidth 或 dwidth 的值	传输位宽
111	reserved

配置寄存器 `DMAC_Cn_CONTROL` 时需注意：

- 当源设备的传输宽度小于目的设备传输宽度时，源设备的传输宽度与 `trans_size` 的乘积应为目的设备传输宽度的整数倍，否则 FIFO 中的数据将会滞留并丢失。
- `swidth` 和 `dwidth` 字段不能设置为未定义的位宽。
- `trans_size` 字段若被写为 0 且 DMAC 又是流控制器，则 DMAC 将不会发生任何传输动作。编程者应负责关闭此 DMA 通道并对此通道重新编程。
- 不对 `DMAC_Cn_CONTROL` 寄存器进行普通的写入/读出测试。由于 `trans_size` 字段不是一个普通的可写入并读回相同值的寄存器字段。当写入时，该字段如一个控制寄存器，因为其决定了 DMAC 应传输多少个数据；当读回时，该字段则相当于一个状态寄存器，因为其返回的剩下的待传输数据个数（以源设备位宽为单位）。
- 当 `trans_size` 字段的设置值大于源设备或目的设备中的 FIFO 的深度（是外设的 FIFO，不是 DMAC 的 FIFO），则 DMAC 的源地址或目的地址必须被设为不递增模式，否则有可能导致外设的 FIFO 溢出。

总线访问信息在传输发生时由 `master` 接口信号提供给源设备或目的设备。这些访问信息是通过对通道寄存器编程设定的 `DMAC_Cn_CONTROL[prot_stat]` 和 `DMAC_Cn_CONFIG[ch_lock]` 位。表 3-13 给出了使用 `prot` 的 3 个保护位的含义。

表3-13 DMAC\_Cn\_CONTROL 寄存器 prot\_stat 段属性及定义

比特	描述	目的
[2]	Cacheable or noncacheable	指明访问是可 cache 还是不可 cache。 0: 不可 cache; 1: 可 cache。  例如，该位可用于告知 1 个 AMBA 桥：当其发现 8 个数的 burst 读的第 1 个读操作时，该桥可在目标总线上直接发起一个 8 个数的 burst 读，而不用将源总线上的读操作 1 次 1 个的传到目标总线。 该位控制总线信号 HPROT[3] 的输出。
[1]	Bufferable or nonbufferable	指明访问是可缓冲还是不可缓冲。 0: 不可缓冲; 1: 可缓冲。  例如，该位可用于告知一个 AMBA 桥在源端总线上写操作可以以零等待状态完成，而无需等该桥把操作仲裁到目的总线上，也无需等 slave 接收完数据。 该位控制总线信号 HPROT[2] 的输出。





比特	描述	目的
[0]	Privileged or User	指明访问是用户模式还是特权模式。 0: 用户模式; 1: 特权模式。 该位控制总线信号 HPROT[1]的输出。

注：AMBA: Advanced Microcontroller Bus Architecture。

## DMAC\_Cn\_CONFIG 使用说明

表 3-14 描述了 DMAC\_Cn\_CONFIG 寄存器的 flow\_ctrl 字段对应的流控和传输类型。

表3-14 流控制器及传输类型位定义

比特值	传输类型	控制器
000	存储器至存储器	DMAC
001	存储器至外设	DMAC
010	外设至存储器	DMAC
011	源设备至目的设备	DMAC
100	源设备至目的设备	目的设备
101	存储器至外设	目的设备
110	外设至存储器	源设备
111	源设备至目的设备	源设备

## 中断处理

DMAC 通道配置启动传输完成之后或传输过程中出现错误，都会上报中断给中断控制器。中断程序的处理步骤如下：

- 步骤 1. 读中断状态寄存器 **DMAC\_INT\_STAT**，找出发出中断请求的通道。当多个通道同时发出中断请求时，先服务优先级最高的中断。
- 步骤 2. 读寄存器 **DMAC\_INT\_TC\_STAT**，比较选定的位是否为 1，以确定对应通道发出的中断为传输完成中断。若是，则转到步骤 4 执行；否则转到步骤 3 继续执行。
- 步骤 3. 读寄存器 **DMAC\_INT\_ERR\_STAT**，比较选定的位是否为 1，以确定对应通道发出的中断为错误中断。若是则转到步骤 5 执行；否则退出中断处理。
- 步骤 4. 传输完成中断处理。可分为以下几个子步骤：
  - a. 写寄存器 **DMAC\_INT\_TC\_CLR**，对选定的位写入 1，清除对应通道的中断状态。



- b. 取走或使用掉内存中 buffer 中的数据，有必要的话（如：需在内存中新开辟一个 buffer）重新配置并启动该通道。
- c. 退出中断处理。

步骤 5. 错误中断处理。可分为以下几个子步骤：

- a. 写寄存器 `DMAC_INT_ERR_CLR`，对选定的位写入 1，清除对应通道的中断状态。
- b. 给出错误信息，有必要的话重新配置并启动该通道。
- c. 退出中断处理。

----结束

### 3.6.5 DMAC 寄存器概览

DMAC 寄存器概览如表 3-15 所示。

表3-15 DMAC 寄存器概览（基址是 0x1003\_0000）

偏移地址	名称	描述	页码
0x0000	DMAC_INT_STAT	DMAC 中断状态寄存器	3-130
0x0004	DMAC_INT_TC_STAT	DMAC 传输完成中断状态寄存器	3-131
0x0008	DMAC_INT_TC_CLR	DMAC 传输完成中断清除寄存器	3-132
0x000C	DMAC_INT_ERR_STAT	DMAC 错误中断状态寄存器	3-133
0x0010	DMAC_INT_ERR_CLR	DMAC 错误中断清除寄存器	3-133
0x0014	DMAC_RAW_INT_TC_STAT	DMAC 原始传输完成中断寄存器	3-134
0x0018	DMAC_RAW_INT_ERR_STAT	DMAC 原始错误中断寄存器	3-135
0x001C	DMAC_ENABLED_CHNS	DMAC 通道使能状态寄存器	3-136
0x0020	DMAC_SOFT_BREQ	DMAC 软件 BURST 传输请求寄存器	3-137
0x0024	DMAC_SOFT_SREQ	DMAC 软件 SINGLE 传输请求寄存器	3-138
0x0028	DMAC_SOFT_LBREQ	DMAC 软件最后一个 BURST 请求寄存器	3-139
0x002C	DMAC_SOFT_LSREQ	DMAC 软件最后一个 SINGLE 请求寄存器	3-139
0x0030	DMAC_CONFIG	DMAC 配置寄存器	3-140



偏移地址	名称	描述	页码
0x0034	DMAC_SYNC	DMAC 请求线同步使能寄存器	3-141
0x0100+n×0x20	DMAC_Cn_SRC_ADDR	DMA 通道 n(n=0,1,2,3)源地址寄存器	3-141
0x0104+n×0x20	DMAC_Cn_DEST_ADDR	DMA 通道 n(n=0,1,2,3)目的地址寄存器	3-142
0x0108+n×0x20	DMAC_Cn_LLI	DMA 通道 n(n=0,1,2,3)链表信息寄存器	3-142
0x010C+n×0x20	DMAC_Cn_CONTROL	DMA 通道 n(n=0,1,2,3)控制寄存器	3-143
0x110+n×0x20	DMAC_Cn_CONFIG	DMA 通道 n(n=0,1,2,3)配置寄存器	3-145

DMAC 寄存器偏移地址中变量的取值范围和含义如表 3-16 所示。

表3-16 DMAC 寄存器偏移地址变量表

变量名称	取值范围	描述
n	0~3	对应 DMA 通道 0~3

### 3.6.6 DMAC 寄存器描述

#### DMAC\_INT\_STAT

DMAC\_INT\_STAT 为 DMAC 中断状态寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0000	DMAC_INT_STAT	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved												ch3_int_stat	ch2_int_stat	ch1_int_stat	ch0_int_stat
Reset	0 0															
	Bits	Access	Name	Description												
	[31:4]	RO	reserved	保留。												



[3]	RO	ch3_int_stat	通道 3 经屏蔽后的中断状态。 0: 未产生中断; 1: 已产生中断(传输错误或传输完成)。
[2]	RO	ch2_int_stat	通道 2 经屏蔽后的中断状态。 0: 未产生中断; 1: 已产生中断(传输错误或传输完成)
[1]	RO	ch1_int_stat	通道 1 经屏蔽后的中断状态。 0: 未产生中断; 1: 已产生中断(传输错误或传输完成)
[0]	RO	ch0_int_stat	通道 0 经屏蔽后的中断状态。 0: 未产生中断; 1: 已产生中断(传输错误或传输完成)

## DMAC\_INT\_TC\_STAT

DMAC\_INT\_TC\_STAT 为 DMAC 传输完成中断状态寄存器。

	Offset Address	Register Name	Total Reset Value								
	0x0004	DMAC_INT_TC_STAT	0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20								
		19 18 17 16	15 14 13 12								
		11 10 9 8	7 6 5 4								
			3 2 1 0								
Name	reserved							ch3_int_tc_stat	ch2_int_tc_stat	ch1_int_tc_stat	ch0_int_tc_stat
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RO	ch3_int_tc_stat	通道 3 经屏蔽后的传输完成中断状态。 0: 未产生中断; 1: 已产生中断。								
[2]	RO	ch2_int_tc_stat	通道 2 经屏蔽后的传输完成中断状态。 0: 未产生中断; 1: 已产生中断。								



[1]	RO	ch1_int_tc_stat	通道 1 经屏蔽后的传输完成中断状态。 0: 未产生中断; 1: 已产生中断。
[0]	RO	ch0_int_tc_stat	通道 0 经屏蔽后的传输完成中断状态。 0: 未产生中断; 1: 已产生中断。

## DMAC\_INT\_TC\_CLR

DMAC\_INT\_TC\_CLR 为 DMAC 传输完成中断清除寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x0008	DMAC_INT_TC_CLR	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved														ch3_int_tc_clr	ch2_int_tc_clr	ch1_int_tc_clr	ch0_int_tc_clr
Reset	0 0																	
Bits	Access	Name	Description															
[31:4]	RO	reserved	保留。															
[3]	WO	ch3_int_tc_clr	清除通道 3 传输完成中断。 0: 不清除; 1: 清除。															
[2]	WO	ch2_int_tc_clr	清除通道 2 传输完成中断。 0: 不清除; 1: 清除。															
[1]	WO	ch1_int_tc_clr	清除通道 1 传输完成中断。 0: 不清除; 1: 清除。															
[0]	WO	ch0_int_tc_clr	清除通道 0 传输完成中断。 0: 不清除; 1: 清除。															



## DMAC\_INT\_ERR\_STAT

DMAC\_INT\_ERR\_STAT 为 DMAC 错误中断状态寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x000C	DMAC_INT_ERR_STAT	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
	Bits	Access	Name	Description
	[31:4]	RO	reserved	保留。
	[3]	RO	ch3_int_err_stat	通道 3 经屏蔽后的错误中断状态。 0: 未产生中断; 1: 已产生中断。
	[2]	RO	ch2_int_err_stat	通道 2 经屏蔽后的错误中断状态。 0: 未产生中断; 1: 已产生中断。
	[1]	RO	ch1_int_err_stat	通道 1 经屏蔽后的错误中断状态。 0: 未产生中断; 1: 已产生中断。
	[0]	RO	ch0_int_err_stat	通道 0 经屏蔽后的错误中断状态。 0: 未产生中断; 1: 已产生中断。

## DMAC\_INT\_ERR\_CLR

DMAC\_INT\_ERR\_CLR 为 DMAC 错误中断清除寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0010		DMAC_INT_ERR_CLR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															ch3_int_err_clr	ch2_int_err_clr	ch1_int_err_clr	ch0_int_err_clr													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	WO	ch3_int_err_clr	清除通道 3 错误中断。 0: 不清除; 1: 清除。																													
[2]	WO	ch2_int_err_clr	清除通道 2 错误中断。 0: 不清除; 1: 清除。																													
[1]	WO	ch1_int_err_clr	清除通道 1 错误中断。 0: 不清除; 1: 清除。																													
[0]	WO	ch0_int_err_clr	清除通道 0 错误中断。 0: 不清除; 1: 清除。																													

## DMAC\_RAW\_INT\_TC\_STAT

DMAC\_RAW\_INT\_TC\_STAT 为 DMAC 原始传输完成中断寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0014		DMAC_RAW_INT_TC_STAT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															ch3_raw_int_tc	ch2_raw_int_tc	ch1_raw_int_tc	ch0_raw_int_tc													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	RO	ch3_raw_int_tc	通道 3 原始传输完成中断状态。 0: 未产生传输完成中断; 1: 产生传输完成中断。																													
[2]	RO	ch2_raw_int_tc	通道 2 原始传输完成中断状态。 0: 未产生传输完成中断; 1: 产生传输完成中断。																													
[1]	RO	ch1_raw_int_tc	通道 1 原始传输完成中断状态。 0: 未产生传输完成中断; 1: 产生传输完成中断。																													
[0]	RO	ch0_raw_int_tc	通道 0 原始传输完成中断状态。 0: 未产生传输完成中断; 1: 产生传输完成中断。																													

### DMAC\_RAW\_INT\_ERR\_STAT

DMAC\_RAW\_INT\_ERR\_STAT 为 DMAC 原始错误中断寄存器。





Offset Address		Register Name		Total Reset Value							
0x0018		DMAC_RAW_INT_ERR_STAT		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							ch3_raw_int_err	ch2_raw_int_err	ch1_raw_int_err	ch0_raw_int_err
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RO	ch3_raw_int_err	通道 3 原始错误中断状态。 0: 未产生错误中断; 1: 产生错误中断。								
[2]	RO	ch2_raw_int_err	通道 2 原始错误中断状态。 0: 未产生错误中断; 1: 产生错误中断。								
[1]	RO	ch1_raw_int_err	通道 1 原始错误中断状态。 0: 未产生错误中断; 1: 产生错误中断。								
[0]	RO	ch0_raw_int_err	通道 0 原始错误中断状态。 0: 未产生错误中断; 1: 产生错误中断。								

## DMAC\_ENABLED\_CHNS

DMAC\_ENABLED\_CHNS 为 DMAC 通道使能状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x001C		DMAC_ENABLED_CHNS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															ch3_enabled	ch2_enabled	ch1_enabled	ch0_enabled													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	RO	ch3_enabled	通道 3 使能状态。 0: 禁止; 1: 使能。																													
[2]	RO	ch2_enabled	通道 2 使能状态。 0: 禁止; 1: 使能。																													
[1]	RO	ch1_enabled	通道 1 使能状态。 0: 禁止; 1: 使能。																													
[0]	RO	ch0_enabled	通道 0 使能状态。 0: 禁止; 1: 使能。																													

## DMAC\_SOFT\_BREQ

DMAC\_SOFT\_BREQ 为 DMAC 软件 BURST 传输请求寄存器。用于供软件控制产生 DMA BURST 传输请求。

读该寄存器，可得知当前正在请求 DMA BURST 传输的设备。外设和该寄存器都可以产生 1 个 DMA 请求。



Offset Address		Register Name		Total Reset Value					
0x0020		DMAC_SOFT_BREQ		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				soft_breq				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	soft_breq	用于软件控制产生 DMA BURST 传输请求，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。 当写该寄存器时： 0：无影响； 1：产生 DMA BURST 传输请求，当传输结束时该寄存器中的相应位被清零。 当读该寄存器时： 0：与请求线 DMACBREQ[15:0]对应的外设未发出 DMA BURST 请求； 1：与请求线 DMACBREQ[15:0]对应的外设正在请求 DMA BURST 传输。						

## DMAC\_SOFT\_SREQ

DMAC\_SOFT\_SREQ 为 DMAC 软件 SINGLE 传输请求寄存器。用于供软件控制产生 DMA SINGLE 传输请求。

如读该寄存器，可得知当前正在请求 DMA SINGLE 传输的设备。通过 DMAC 的 16 个 DMA 请求输入信号和该寄存器都可以产生 1 个 DMA 请求。

Offset Address		Register Name		Total Reset Value					
0x0024		DMAC_SOFT_SREQ		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				soft_sreq				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	soft_sreq	<p>用于软件控制产生 DMA SINGLE 传输请求，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。</p> <p>当写该寄存器时：</p> <p>0：无影响；</p> <p>1：产生 DMA SINGLE 传输请求，当传输结束时该寄存器中的相应位被清零。</p> <p>当读该寄存器时：</p> <p>0：与请求线 DMACSREQ[15:0]对应的外设未发出 DMA SINGLE 请求；</p> <p>1：与请求线 DMACSREQ[15:0]对应的外设正在请求 DMA SINGLE 传输。</p>
--------	----	-----------	--

### DMAC\_SOFT\_LBREQ

DMAC\_SOFT\_LBREQ 为 DMAC 软件最后一个 BURST 请求寄存器。用于供软件控制产生 DMA last burst 传输请求。

	Offset Address								Register Name								Total Reset Value															
	0x0028								DMAC_SOFT_LBREQ								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																soft_lbreq															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	soft_lbreq		<p>由软件发起 last burst 请求。</p> <p>0：无影响；</p> <p>1：产生 DMA last burst 传输请求，当传输结束时该寄存器中的相应位被清零。</p>																											

### DMAC\_SOFT\_LSREQ

DMAC\_SOFT\_LSREQ 为 DMAC 软件最后一个 SINGLE 请求寄存器。用于供软件控制产生 DMA last single 传输请求。



Offset Address		Register Name		Total Reset Value					
0x002C		DMAC_SOFT_LSREQ		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				soft_lsreq				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	soft_lsreq	由软件发起 last single 传输请求。 0: 无影响; 1: 产生一个 DMA last single 传输请求, 当传输结束时该寄存器中的相应位被清零。						

## DMAC\_CONFIG

DMAC\_CONFIG 为 DMAC 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0030		DMAC_CONFIG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						m2_endianness	m1_endianness	dmac_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	RO	reserved	保留。						
[2]	RW	m2_endianness	Master 2 字节顺序配置。 0: 小端格式; 1: 大端格式。						
[1]	RW	m1_endianness	Master 1 字节顺序配置。 0: 小端格式; 1: 大端格式。						



[0]	RW	dmac_enable	DMA 控制器使能。 0: 禁止 DMA 控制器; 1: 使能 DMA 控制器。
-----	----	-------------	--

## DMAC\_SYNC

DMAC\_SYNC 为 DMAC 请求线同步使能寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0034	DMAC_SYNC	0x0000_0000	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
		19 18 17 16	15 14 13 12	
			11 10 9 8	
			7 6 5 4	
			3 2 1 0	
Name	reserved			
	dmac_sync			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description	
[31:16]	RO	reserved	保留。	
[15:0]	RW	dmac_sync	控制是否需要请求线进行同步，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。 0: 使能对应外设的 DMA 请求信号同步逻辑; 1: 禁止对应外设的 DMA 请求信号同步逻辑。	

## DMAC\_Cn\_SRC\_ADDR

DMAC\_Cn\_SRC\_ADDR 为 DMA 通道 n(n=0,1,2,3)源地址寄存器。

寄存器的偏移地址为  $0x100+n*0x20$ 。其中 n 的取值为 0~3，分别对应 DMA 通道 0~3。

每个寄存器在对应的通道被启动前都要由软件对其直接编程。当通道被启动后，该寄存器在下列情况下更新：

- 当源地址递增时。
- 当传完一个完整的数据块后，从链表结点中载入时。
- 当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。对该寄存器的读操作一般是用在通道停止传输的时候，此时读取值显示的是 DMAC 读最后一项时的源地址。



Offset Address		Register Name		Total Reset Value				
0x0100+n×0x20 (n = 0~3)		DMAC_Cn_SRC_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	src_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	src_addr	DMA 源地址。					

### DMAC\_Cn\_DEST\_ADDR

DMAC\_Cn\_DEST\_ADDR 为 DMA 通道 n(n=0,1,2,3)目的地址寄存器。

偏移地址为：0x104+n x 0x20。其中，n 的取值为 0~3，分别对应 DMA 通道 0~3。

通道目的地址寄存器 **DMAC\_Cn\_DEST\_ADDR** 包含了当前待传数据的目的地址。每个寄存器在对应的通道被启动前，都要由软件对其直接编程。当通道被启动后，该寄存器在下列情况下更新：

- 目的地址递增。
- 传完一个完整的数据块后，从链表结点中载入。
- 当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。在通道停止传输时，读该寄存器，此时读取值显示的是 DMAC 写最后一项时的目的地址。

Offset Address		Register Name		Total Reset Value				
0x0104+n×0x20 (n = 0~3)		DMAC_Cn_DEST_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dest_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dest_addr	DMA 目的地址。					

### DMAC\_Cn\_LLI

DMAC\_Cn\_LLI 为 DMA 通道 n(n=0,1,2,3)链表信息寄存器。

偏移地址为：0x108+n x 0x20。其中，n 的取值为 0~3，分别对应 DMA 通道 0~DMA 通道 3。详细内容请参见“DMA 链表”小节。



Offset Address		Register Name		Total Reset Value					
0x0108+n×0x20 (n=0~3)		DMAC_Cn_LLI		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	ll_item							reserved	ll_master
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RW	ll_item	下一个链表结点地址的[31:2]位，地址位[1:0]为0。要求链表地址4字节对齐。						
[1]	RW	reserved	保留，写入时必须写0，读出时应屏蔽该位。						
[0]	RW	ll_master	用于载入下一个链表结点的 Master。 0: Master 1; 1: Master 2。						

## DMAC\_Cn\_CONTROL

DMAC\_Cn\_CONTROL 为 DMA 通道 n(n=0,1,2,3)控制寄存器。

偏移地址为：0x10C+n x 0x20。其中，n 的取值为 0~3，分别对应 DMA 通道 0~DMA 通道 3。





Offset Address		Register Name		Total Reset Value																												
0x010C+n×0x20		DMAC_Cn_CONTROL		0x0000_0000																												
(n = 0~3)																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	int_tc_enable		prot_stat		dest_incr		src_incr		dest_select		src_select		dwidth		swidth		dbsize		sbsize		trans_size											
Reset	0		0		0		0		0		0		0		0		0		0		0				0							
Bits	Access	Name	Description																													
[31]	RW	int_tc_enable	传输完成中断使能位。该位用于决定当前链表结点是否触发传输完成中断。 0: 当前链表结点不触发传输完成中断; 1: 当前链表结点触发传输完成中断。																													
[30:28]	RW	prot_stat	master 发出的访问保护 HPROT[2:0]信号。																													
[27]	RW	dest_incr	目的地址递增。 0: 目的地址不递增; 1: 目的地址每传一个数就递增一次。 目的设备为外设时目的地址不递增; 目的设备为存储器时目的地址递增。																													
[26]	RW	src_incr	源地址递增。 0: 源地址不递增; 1: 源地址每传一个数就递增一次。 源设备为外设时源地址不递增; 源设备为存储器时源地址递增。																													
[25]	RW	dest_select	设置访问目的设备的 master。 0: 使用 master1 访问; 1: 使用 master2 访问。																													
[24]	RW	src_select	设置访问源设备的 master。 0: 使用 master1 访问; 1: 使用 master2 访问。																													
[23:21]	RW	dwidth	目的设备传输位宽。 宽于 Master 位宽的传输位宽是非法的。 目的设备和源设备的位宽可以不一样, 硬件自动对数据进行 pack 和 unpack。																													



			DWidth 的值和具体的位宽对应关系请参见表 3-12。
[20:18]	RW	swidth	源设备传输位宽。 宽于 Master 位宽的传输位宽是非法的。 目的设备和源设备的位宽可以不一样，硬件自动对数据进行 pack 和 unpack。 SWidth 的值和具体的位宽对应关系请参见表 3-12。
[17:15]	RW	dbsize	目的设备 burst 长度。 表示 1 次目的设备 burst 传输所需传输的数据个数，即当 DMACCnBREQ 有效时，传输的数据个数。 该值必须被设为目的设备支持的 burst 大小，或者若目的设备为存储器，被设为到存储地址边界的存储区域大小。 DBSize 的值和具体的传输长度的对应关系请参见表 3-11。
[14:12]	RW	sbsize	源设备 burst 长度。 表示 1 次源设备 burst 传输所需传输的数据个数，即当 DMACCnBREQ 有效时，传输的数据个数。 该值必须被设为源设备支持的 burst 大小，或者若源设备为存储器时，被设为到存储地址边界的存储区域大小。 SBSIZE 的值和具体的传输长度的对应关系请参见表 3-11。
[11:0]	RW	trans_size	通过写该寄存器可设定 DMA 传输的长度，前提是 DMAC 是流控制器。这里 transfer size 表示的源设备待传数据的个数。 读该寄存器可得到在与目的设备相连的总线上已传出的数据个数。 当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。对该寄存器的读操作一般是用在通道被启动后然后又停止传输时。

## DMAC\_Cn\_CONFIG

DMAC\_Cn\_CONFIG 为 DMA 通道 n(n=0,1,2,3)配置寄存器。

偏移地址为：0x110+n\*0x20。其中，n 的取值为 0~3，分别对应 DMA 通道 0~DMA 通道 3。

该寄存器在新的链表结点被载入时不会被更新。



Offset Address	Register Name	Total Reset Value	
0x110+n×0x20 (n = 0~3)	DMAC_Cn_CONFIG	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved   ch_halt   ch_active   ch_lock   tc_int_msk   err_int_msk   flow_ctrl   reserved   dest_periph   reserved   src_periph   ch_cn		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:19]	RW	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[18]	RW	ch_halt	Halt 位。 0: 允许 DMA 请求； 1: 忽略后来的 DMA 请求，通道 FIFO 中的内容都被传完。 该位可以和 Active 位以及通道使能位一起用于无数据丢失地关闭一个 DMA 通道。
[17]	RW	ch_active	Active 位。 0: 通道 FIFO 中没有数据； 1: 通道 FIFO 中有数据。 该位可以和 Halt 位以及通道使能位一起用于无数据丢失地关闭一个 DMA 通道。
[16]	RW	ch_lock	Lock 位。 0: 禁止总线上 lock 传输； 1: 使能总线上 lock 传输。
[15]	RW	tc_int_msk	传输完成中断屏蔽位。 0: 屏蔽本通道的传输完成中断。 1: 不屏蔽本通道的传输完成中断。
[14]	RW	err_int_msk	错误中断屏蔽位。 0: 屏蔽本通道的错误中断。 1: 不屏蔽本通道的错误中断。
[13:11]	RW	flow_ctrl	流控及传输类型字段。 该字段用于指定流控制器和传输类型。流控制器可以是 DMAC、源设备和目的设备。 传输类型可以是存储器到外设、外设到存储器、外设到外设、存储器到存储器。详细描述请参见表 3-14 所示。



[10]	RW	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[9:6]	RW	dest_periph	目的设备。该字段用于选择一个外设请求信号作为本通道的 DMA 目的设备的请求信号。 如果 DMA 传输的目的设备是存储器则该字段被忽略。
[5]	RW	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[4:1]	RW	src_periph	源设备。该字段用于选择一个外设请求信号作为本通道的 DMA 源设备的请求信号。 如果 DMA 传输的源设备是存储器则该字段被忽略。
[0]	RW	ch_en	通道使能位。读该寄存器可得知本通道当前是处于什么状态 (也可通过读寄存器 <a href="#">DMAC_ENABLED_CHNS</a> 得到)。 0: 关闭通道; 1: 启动通道。 通过清零可关闭通道。将该位被清零时, 当前的总线传输会继续执行直到完成。然后通道关闭, FIFO 中剩余的数据全部丢失; 当最后一个 LLI 完成或传输中出现错误时, 通道也会被关闭, 同时该位被清零; 如果要关闭通道, 而又不使通道 FIFO 中的数据丢失, 则 Halt 位也必须同时被置位, 使通道忽略后来的 DMA 请求。然后必须轮询 active 位, 直到其值变为 0, 表明通道 FIFO 中不再留有数据。此时才能够清除 enable 位。 通过置位启动通道必须先重新初始化通道, 然后才能再次启动通道; 若通过简单的置位启动通道, 会引发不可预测性的后果。 当刚通过写 <a href="#">DMAC_Cn_CONFIG [ch_en]</a> 位关闭一个通道时, 必须要等到轮询到寄存器 <a href="#">DMAC_ENABLED_CHNS</a> 中的相应 bit 为 0 后, 才能将 <a href="#">DMAC_Cn_CONFIG [ch_en]</a> 重新置位。这是因为通道实际的关闭并没有在将 ch_en 清零后立即生效。总线 burst 的运行延时也必须考虑到。

## 3.7 定时器

### 3.7.1 概述

Timer 模块主要实现定时、计数功能, 可以供操作系统用作系统时钟, 也可以供应用程序用作定时和计数。Hi3519V100 提供 6 个 Timer。



## 3.7.2 特点

Timer 具有以下特点:

- 带可编程 8 位预分频器的 32bit/16bit 减法定时器/计数器。
- 计数时钟可配置, Timer 的计数时钟可以选择为总线时钟 (49.5MHz) 或 3MHz 时钟。
- 支持 3 种计数模式: 自由运行模式、周期模式和单次计数模式。
- 有 2 种载入计数初值的方法, 分别通过 `TIMERx_LOAD` 和 `TIMERx_BGLOAD` 寄存器实现。
- 当前的计数值可随时读取。
- 当计数值减到 0 时会产生一个中断。

## 3.7.3 功能描述

Timer 基于一个 32bit/16bit (可配置) 减法计数器。计数器的值在每个计数时钟的上升沿减 1。当计数值递减到零, Timer 将产生一个中断。

Timer 有以下 3 种计数模式:

- 自由运行模式  
定时器持续计数, 当计数值减到 0 时又自动回转到其最大值, 并继续计数。当计数长度为 32bit 时, 最大值为 `0xFFFF_FFFF`。当计数长度为 16bit 时, 最大值为 `0xFFFF`。在自由模式下, 也可以载入计数值, 并立即从载入值递减计数, 但计到 0 时回转到其最大值。
- 周期模式  
定时器持续计数, 当计数值减到 0 时从 `TIMERx_BGLOAD` 寄存器中再次载入初值并继续计数。
- 单次计数模式  
向定时器中载入计数初值。当定时器的计数值减到 0 时就停止计数, 直到重新被载入新值且定时器处于使能状态, 才再次开始计数。

每个 Timer 具有一个预分频计数器 (prescaler), 可将其工作时钟在 Timer 内部再次进行 1 分频、16 分频或 256 分频。进一步提高计数时钟频率的选择灵活性。

对定时器载入计数初值的方法如下:

- 通过写 `TIMERx_LOAD` 寄存器可对定时器载入计数初值。当定时器处于工作状态时, 如果向 `TIMERx_LOAD` 寄存器写入值, 会导致定时器立刻从新值开始重新计数。适用于所有计数模式。
- 通过写 `TIMERx_BGLOAD` 寄存器可以设定周期计数模式的计数周期。写该寄存器不会立刻影响定时器的当前计数, 定时器会继续计数直到计数值减到 0。然后载入 `TIMERx_BGLOAD` 寄存器中的新值开始计数。



## 3.7.4 工作方式

### 初始化

系统初始化时应对 Timer 进行初始化。初始化 TimerX（TimerX 中的“X”取值为 0、1、2、3、4、5）时应按以下步骤进行配置：

- 步骤 1. 写 `TIMERx_LOAD` 寄存器，为 Timer 载入计数初值。
- 步骤 2. 当需要 Timer 工作在周期计数模式下、且计数周期与载入 Timer 的计数初值不同时，写 `TIMERx_BGLOAD` 寄存器，设置 Timer 的计数周期。
- 步骤 3. 配置 `SC_CTRL` 寄存器，设置 Timer 的时钟使能信号的参考时钟。
- 步骤 4. 配置 `TIMERx_CONTROL` 寄存器，设置 Timer 的计数模式、计数器长度、预分频因子及中断屏蔽，同时启动 Timer 计数。

----结束

### 中断处理

Timer 主要用于定时产生中断，因此 Timer 的中断处理主要是激活等待定时中断的进程。操作步骤如下：

- 步骤 1. 配置 `TIMERx_INTCLR` 寄存器，清除 Timer 中断。
- 步骤 2. 激活等待该中断的进程，使其继续执行。
- 步骤 3. 当所有等待该中断的进程完成或再次执行到等待中断的休眠状态时，恢复中断现场，继续执行当前被中断的程序。

----结束

### 时钟选择

Timer0、Timer1、Timer2、Timer3、Timer4、Timer5 均有 2 种计数时钟可选择。下面以 Timer0 为例，时钟选择配置流程如下：

选择总线时钟进行计数的步骤如下：

- 步骤 1. 配置系统控制器的 `SC_CTRL[timeren0ov]=1`。
- 步骤 2. 初始化 Timer，开始计数。

----结束

选择 3MHz 时钟进行计数的步骤如下：

- 步骤 1. 配置系统控制器的 `SC_CTRL[timeren0ov]=0`。
- 步骤 2. 初始化 Timer，开始计数。

----结束



### 3.7.5 Timer 寄存器概览

Timer 模块中的 6 个定时器各自有一组寄存器，这 6 组寄存器除基址不相同外其他特性都相同。其中：

- Timer0 基址：0x1200\_0000。
- Timer1 基址：0x1200\_0020。
- Timer2 基址：0x1200\_1000。
- Timer3 基址：0x1200\_1020。
- Timer4 基址：0x1200\_2000。
- Timer5 基址：0x1200\_2020。

#### 说明

TIMER<sub>x</sub> 中的“x”取值为 0、1、2、3、4、5。其中 Timer0~Timer5 的寄存器相同，寄存器描述均以 Timer0 为例进行描述。

表3-17 Timer 寄存器概览

偏移地址	名称	描述	页码
0x000	TIMER <sub>x</sub> _LOAD	计数初值寄存器	3-150
0x004	TIMER <sub>x</sub> _VALUE	当前计数值寄存器	3-151
0x008	TIMER <sub>x</sub> _CONTROL	Timer 控制寄存器	3-151
0x00C	TIMER <sub>x</sub> _INTCLR	中断清除寄存器	3-153
0x010	TIMER <sub>x</sub> _RIS	原始中断寄存器	3-153
0x014	TIMER <sub>x</sub> _MIS	屏蔽后中断寄存器	3-154
0x018	TIMER <sub>x</sub> _BGLOAD	周期模式计数初值寄存器	3-154

### 3.7.6 Timer 寄存器描述

#### TIMER<sub>x</sub>\_LOAD

TIMER<sub>x</sub>\_LOAD 为计数初值寄存器。用来配置定时器的计数初值。Timer0~Timer5 各有 1 个计数初值寄存器。

#### 说明

- 向 TIMER<sub>x</sub>\_LOAD 寄存器写入的最小有效值为 1。
- 当向 TIMER<sub>x</sub>\_LOAD 写 0 时，Dual-Timer 将会立刻产生 1 个中断。

TIMER<sub>x</sub>\_LOAD 和 TIMER<sub>x</sub>\_BGLOAD 的区别：

如果在被 TIMCLKEN<sub>x</sub> 使能的 TIMCLK 的上升沿到来之前，向 TIMER<sub>x</sub>\_BGLOAD 寄存器和 TIMER<sub>x</sub>\_LOAD 寄存器都写入值，则在被 TIMCLKEN<sub>x</sub> 使能的 TIMCLK 的下



一个上升沿当前计数值首先更新为 **TIMERx\_LOAD** 的写入值。由于向 **TIMERx\_LOAD** 寄存器写入值时，**TIMERx\_BGLOAD** 的值也会被覆盖，所以读 **TIMERx\_BGLOAD**，返回的值为 **TIMERx\_LOAD** 与 **TIMERx\_BGLOAD** 中最晚被写入的寄存器的值。当定时器处于周期模式且计数值减到 0 时，将从 **TIMERx\_BGLOAD** 寄存器中再次载入初值并继续计数。

	Offset Address	Register Name	Total Reset Value
	0x000	TIMER0_LOAD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_load		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	timer0_load	Timer0 的计数初值。

## TIMERx\_VALUE

**TIMERx\_VALUE** 为当前计数值寄存器。用于给出正在递减的计数器的当前值。Timer0~Timer5 各有 1 个当前计数值寄存器。

当向 **TIMERx\_LOAD** 寄存器的写操作发生后，**TIMERx\_VALUE** 在 PCLK 时钟域立刻反映出计数器的新载入值，不用等到下一个被 TIMCLKENx 使能的 TIMCLK 时钟沿到来。

### 说明

当定时器处于 16bit 模式时，32bit 的 **TIMERx\_VALUE** 寄存器的高 16bit 并未被自动设为 0。若该定时器以前处于 32bit 模式，并且自从进入 16bit 模式后 **TIMERx\_LOAD** 从未被写过，则 **TIMERx\_VALUE** 寄存器的高 16bit 可能具有非零值。

	Offset Address	Register Name	Total Reset Value
	0x004	TIMER0_VALUE	0xFFFF_FFFF
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_value		
Reset	1 1		
Bits	Access	Name	Description
[31:0]	RO	timer0_value	正在递减的 Timer0 的当前值。

## TIMERx\_CONTROL

**TIMERx\_CONTROL** 为 TIMER 控制寄存器。Timer0~5 各有 1 个控制寄存器。





说明

当选择用周期模式进行计数时，需要将 `TIMERx_CONTROL[timermode]` 置 1、`TIMERx_CONTROL[oneshot]` 置 0。

	Offset Address 0x008								Register Name TIMER0_CONTROL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				timeren	timermode	intenable	reserved	timerpre	timersize	oneshot					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7]	RW		timeren		定时器使能。 0: Timer 禁止; 1: Timer 使能。																											
[6]	RW		timermode		定时器的计数模式。 0: 自由运行模式; 1: 周期模式。																											
[5]	RW		intenable		TIMERx_RIS 中断屏蔽。 0: 屏蔽该中断; 1: 不屏蔽该中断。																											
[4]	RO		reserved		保留。																											
[3:2]	RW		timerpre		该字段用于设置 Timer 的预分频因子。 00: 不经过预分频, 时钟频率除以 1; 01: 4 级预分频, 将 Timer 时钟频率除以 16; 10: 8 级预分频, 将 Timer 时钟频率除以 256; 11: 未定义, 若设为该值, 相当于 8 级预分频, 将 Timer 时钟频率除以 256。																											
[1]	RW		timersize		选择 16bit/32bit 计数器操作模式。 0: 16bit 计数器; 1: 32bit 计数器。																											
[0]	RW		oneshot		选择计数模式为单次计数模式还是周期计数模式。 0: 周期计数模式或自由运行模式; 1: 单次计数模式。																											



## TIMERx\_INTCLR

TIMERx\_INTCLR 为中断清除寄存器。对该寄存器的任何写操作都会清除相应计数器的中断状态。Timer0~Timer5 各有 1 个中断清除寄存器。



### 注意

本寄存器是只写寄存器，写进去任意值，都会引起 Timer 清中断，内部并不记忆写入的值，无复位值。

	Offset Address	Register Name	Total Reset Value
	0x00C	TIMER0_INTCLR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_intclr		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	WO	timer0_intclr	写该寄存器，清除 Timer0 的中断输出。

## TIMERx\_RIS

TIMERx\_RIS 为原始中断寄存器。Timer0~Timer5 各有 1 个原始中断寄存器。

	Offset Address	Register Name	Total Reset Value
	0x010	TIMER0_RIS	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0		
Bits	Access	Name	Description
[31:1]	RO	reserved	保留。写入无效，读时返回 0。
[0]	RO	timer0ris	Timer0 的原始中断状态。 0: 未产生中断; 1: 已产生中断。



## TIMERx\_MIS

TIMERx\_MIS 为屏蔽后中断寄存器。Timer0~Timer5 各有 1 个屏蔽后中断寄存器。

Offset Address		Register Name		Total Reset Value					
0x014		TIMER0_MIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								timer0mis
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	timer0mis	屏蔽后的 Timer0 的中断状态。 0: 中断无效; 1: 中断有效。						

## TIMERx\_BGLOAD

TIMERx\_BGLOAD 为周期模式计数初值寄存器。Timer0~Timer5 各有 1 个周期模式计数初值寄存器。

TIMERx\_BGLOAD 寄存器中包含了定时器的计数初值。该寄存器用于在周期模式下，当定时器的计数值递减到 0 时重新载入计数初值。

该寄存器提供了访问 [TIMERx\\_LOAD](#) 寄存器的另一种方法。不同之处在于写入值到 [TIMERx\\_BGLOAD](#) 寄存器中不会导致定时器立即从新写入值开始计数。

Offset Address		Register Name		Total Reset Value				
0x018		TIMER0_BGLOAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	timer0bgload							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	timer0bgload	Timer0 的计数初值。 <b>注意：与 <a href="#">TIMERx_LOAD</a> 寄存器有区别，具体请参见 <a href="#">TIMERx_LOAD</a> 寄存器的描述。</b>					



## 3.8 看门狗

### 3.8.1 概述

看门狗 WatchDog 用于系统异常情况下，一定时间内发出复位信号，以复位整个系统。

### 3.8.2 特点

WatchDog 具备以下特点：

- 内部具有一个 32bit 减法计数器，计数时钟源可配置。
- 支持超时时间间隔（即计数初值）可配置。
- 支持寄存器锁定，防止寄存器被误改。
- 支持超时中断产生。
- 支持复位信号产生。
- 支持调试模式。

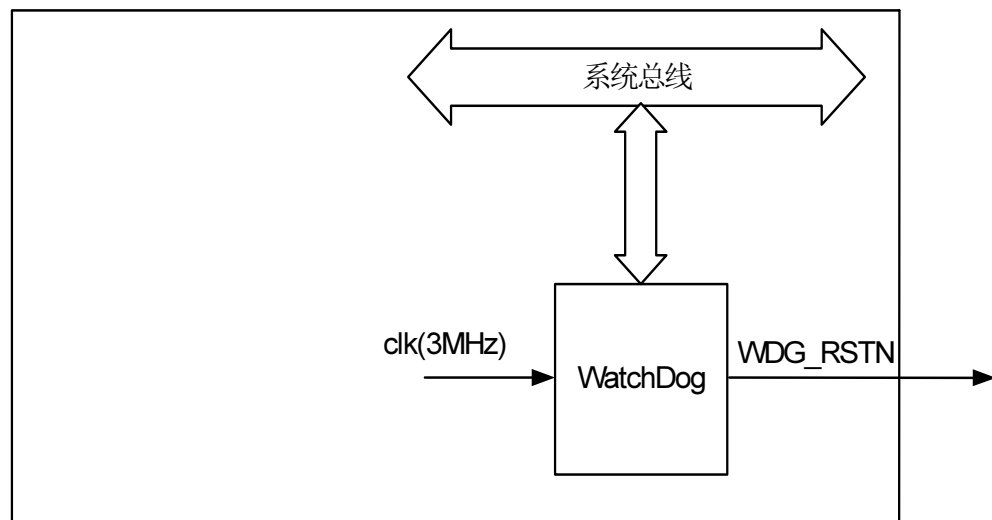
### 3.8.3 功能描述

#### 应用框图

系统通过系统总线给 WatchDog 配置寄存器参数值。WatchDog 定时发出中断请求给系统，并在系统没有响应中断的情况下（如：死机），发出 WDG\_RSTN 复位信号，使系统复位，达到监控系统运行的目的。

WatchDog 应用框图如图 3-8 所示。

图3-8 WatchDog 应用框图





## 功能原理

WatchDog 的运行基于 1 个 32bit 减法计数器，计数初值由寄存器 `WDG_LOAD` 载入。在 WatchDog 时钟使能情况下，计数值在每个计数时钟的上升沿减 1。当计数值递减到 0，WatchDog 将产生一个中断。然后在下一个计数时钟上升沿，计数器又从寄存器 `WDG_LOAD` 中重新载入计数初值，开始递减计数。

如果计数器的计数值第二次计数递减到 0 时，CPU 还没有清除 WatchDog 中断，则 WatchDog 将发出复位信号 `WDG_RSTN`，计数器停止计数。

根据实际应用需要，可通过配置 `WDG_CONTROL` 使能或者禁止 WatchDog 产生中断和复位信号：

- 当禁止产生中断时，计数器将停止计数。
- 当重新开启中断时，WatchDog 将从 `WDG_LOAD` 的设定值开始计数，而不是从计数器上次停止时的计数值开始计数。在中断到来之前，可以重新载入初值。

WatchDog 的计数时钟可以选择晶振时钟或者总线时钟，便于选择不同的计数时间范围。

通过配置 `WDG_LOCK` 寄存器，可以禁止对 WatchDog 内部寄存器进行写操作：

- 向 `WDG_LOCK` 写入 `0x1ACC_E551`，可以打开所有 WatchDog 寄存器的写权限。
- 向 `WDG_LOCK` 寄存器写入其他任何值，可以关闭所有 WatchDog 寄存器（`WDG_LOCK` 寄存器除外）的写权限。

该特性保护 WatchDog 的寄存器不被软件错误修改，从而使得在异常情况下，WatchDog 不至于被软件错误地中止操作。

在调试模式下，WatchDog 自动关闭，以防止干扰正常的调试操作。

## 3.8.4 工作方式

### 计数时钟频率配置

WatchDog 计数时钟为 3MHz 时钟。

WatchDog 计数时间为  $T_{\text{WDG}}$ ：

$$T_{\text{WDG}} = \text{Value}_{\text{WDG\_LOAD}} \times \left( \frac{1}{f_{\text{clk}}} \right)$$

#### 说明

其中上式中，各参数代表的意义分别是：

- $T_{\text{WDG}}$  表示 WatchDog 计数时间；
- $\text{Value}_{\text{WDG\_LOAD}}$  表示 WatchDog 计数初值；
- $f_{\text{clk}}$  表示 WatchDog 计数时钟频率。

WatchDog 的计数时间范围值为 0s~1400s。



## 系统初始化配置

系统上电复位后 WatchDog 计数器处于停止计数状态，在系统初始化过程中需要将 WatchDog 初始化并启动其运行。WatchDog 的初始化过程如下：

- 步骤 1. 写寄存器 `WDG_LOAD`，设定计数初值。
  - 步骤 2. 写寄存器 `WDG_CONTROL`，打开中断屏蔽并启动 WatchDog 计数。
  - 步骤 3. 写寄存器 `WDG_LOCK`，给 WatchDog 上锁，防止软件错误修改 WatchDog 的配置。
- 结束

## 中断处理过程

收到 WatchDog 发出的中断后，应及时清除其中断状态，并使其载入计数初值重新开始计数。WatchDog 中断处理的过程如下：

- 步骤 1. 向 `WDG_LOCK` 写 `0x1ACC_E551`，为 WatchDog 开锁。
  - 步骤 2. 写寄存器 `WDG_INTCLR`，清除 WatchDog 的中断状态，同时也使 WatchDog 自动载入计数初值重新开始计数。
  - 步骤 3. 向寄存器 `WDG_LOCK` 写入 `0x1ACC_E551` 以外的任何值，给 WatchDog 上锁。
- 结束

## 关闭 WatchDog

向寄存器 `WDG_CONTROL[inten]` 控制位写入 0 或 1 控制 WatchDog 的状态：

- 0：关闭 WatchDog；
- 1：打开 WatchDog。

## 3.8.5 WDG 寄存器概览

WatchDog 寄存器概览如表 3-18 所示。

表3-18 WatchDog 寄存器概览（基址是 0x1208\_0000）

偏移地址	名称	描述	页码
0x0000	WDG_LOAD	计数初值寄存器	3-158
0x0004	WDG_VALUE	计数器当前值寄存器	3-158
0x0008	WDG_CONTROL	控制寄存器	3-158
0x000C	WDG_INTCLR	中断清除寄存器	3-159
0x0010	WDG_RIS	原始中断寄存器	3-159
0x0014	WDG_MIS	屏蔽后中断寄存器	3-160



偏移地址	名称	描述	页码
0x0C00	WDG_LOCK	LOCK 寄存器	3-160

### 3.8.6 WDG 寄存器描述

#### WDG\_LOAD

WDG\_LOAD 为计数初值寄存器。用来配置 WatchDog 内部计数器的计数初值。

	Offset Address	Register Name	Total Reset Value
	0x0000	WDG_LOAD	0xFFFF_FFFF
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	wdg_load		
Reset	1 1		
Bits	Access	Name	Description
[31:0]	RW	wdg_load	计数初值。

#### WDG\_VALUE

WDG\_VALUE 为计数器当前值寄存器。用来读出 WatchDog 内部计数器的当前计数值。

	Offset Address	Register Name	Total Reset Value
	0x0004	WDG_VALUE	0xFFFF_FFFF
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	wdogvalue		
Reset	1 1		
Bits	Access	Name	Description
[31:0]	RO	wdogvalue	WatchDog 计数器当前值。

#### WDG\_CONTROL

WDG\_CONTROL 为控制寄存器。用来控制 WatchDog 的打开/关闭、中断和复位功能。



Offset Address		Register Name		Total Reset Value					
0x0008		WDG_CONTROL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							resen	inten
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	resen	WatchDog 复位信号输出使能。 0: 禁止; 1: 使能。						
[0]	RW	inten	WatchDog 中断信号输出使能。 0: 计数器停止计数, 计数值保持当前值不变, WatchDog 被关闭; 1: 既启动计数器又使能中断, WatchDog 被启动。						

## WDG\_INTCLR

WDG\_INTCLR 为中断清除寄存器。用来清除 WatchDog 中断, 使 WatchDog 重新载入初值进行计数。本寄存器是只写寄存器, 写进去任意值, 都会引起 WatchDog 清中断, 内部并不记忆写入的值, 无复位值。

Offset Address		Register Name		Total Reset Value				
0x000C		WDG_INTCLR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_intclr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	wdg_intclr	对该寄存器写入任意值均可清除 WatchDog 的中断, 并使 WatchDog 从寄存器 WDG_LOAD 中重新载入初值计数。					

## WDG\_RIS

WDG\_RIS 为原始中断寄存器。用来反映 WatchDog 原始中断状态。





Offset Address		Register Name		Total Reset Value					
0x0010		WDG_RIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wdogris
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	wdogris	WatchDog 原始中断状态，当计数器的计数值递减到 0 时，该位置 1。 0: 未产生中断； 1: 已产生中断。						

## WDG\_MIS

WDG\_MIS 为屏蔽后中断寄存器。用来反映屏蔽后的 WatchDog 中断状态。

Offset Address		Register Name		Total Reset Value					
0x0014		WDG_MIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wdogmis
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	wdogmis	WatchDog 屏蔽后的中断状态。 0: 未产生中断或者中断被屏蔽； 1: 已产生中断。						

## WDG\_LOCK

WDG\_LOCK 为 LOCK 寄存器。用来控制 WatchDog 寄存器的读写权限。



Offset Address		Register Name		Total Reset Value				
0x0C00		WDG_LOCK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_lock							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wdg_lock	<p>向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限； 向该寄存器写入其他值则关闭写权限。 读该寄存器返回加锁的状态而不是写入该寄存器的值： 0x0000_0000：允许写访问（未加锁）； 0x0000_0001：禁止写访问（已加锁）。</p>					

## 3.9 实时时钟

### 3.9.1 概述

实时时钟 RTC（Real Time Clock）用于实现时间显示和定时报警功能。

### 3.9.2 特点

RTC 具备以下特点：

- 内部具有 1 个 16bit 的天计数器，5bit 的小时计数器，6bit 的分计数器，6bit 的秒计数器和 7bit 的 10ms 计数器。
- 计数时钟 100Hz
- 计数初值可配置
- 计数比较值可配置
- 支持超时中断产生
- 支持软复位
- 支持分频参数可配置
- 64bit 用户寄存器提供用户保存数据
- 电池低压检测
- 128bit DDR 待机信息寄存器

### 3.9.3 功能描述

RTC 的运行基于 1 个共同 40bit 的（天，时，分，秒，10ms）加法计数器，计数初值由寄存器 [RTC\\_LR\\_10MS](#)、[RTC\\_LR\\_S](#)、[RTC\\_LR\\_M](#)、[RTC\\_LR\\_H](#)、[RTC\\_LR\\_D\\_L](#)、



`RTC_LR_D_H` 载入。在当计数值递加到寄存器与 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 寄存器值相等时，RTC 将产生一个中断，然后在下一个计数时钟上升沿，计数器继续递加计数。

根据实际应用需要，可通过配置 `RTC_IMSC` 使能或者禁止 RTC 产生中断信号。此时，存在以下两种情况：

当禁止产生中断时，RTC 计数器继续递加计数，将不会对外产生中断，在 `RTC_MSC_INT` 中显示屏蔽后中断的状态，在 `RTC_RAW_INT` 中显示原始中断状态。

当重新开启中断时，RTC 计数器仍然继续递加计数，当计数值递加到与 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 寄存器值相等时，RTC 将产生一个中断。


RTC 的计数时钟采用的是 100Hz 时钟，同时提供 16bit 的天计数，便于通过天计数值转换为具体的年、月、日。

## 3.9.4 工作方式

### 3.9.4.1 计数时钟频率

RTC 采用 100Hz 时钟进行计数，计数最大时间为：

$$T_{\text{RTC}} = 2^{16} = 65536(\text{天})$$

 说明

$T_{\text{RTC}}$  表示 RTC 计数时间。

### 3.9.4.2 软复位

通过配置 RTC 复位寄存器 `RTC_POR_N`，可以实现对 RTC 的单独软复位。软复位后各个 RTC 配置寄存器的值均恢复为默认值，因此软复位后需要重新对这些寄存器进行初始化配置。

软复位步骤如下：

- 步骤 1. 向 `RTC_POR_N` 写 0，对 RTC 软复位。
- 步骤 2. 等待 30ms。

----结束

### 3.9.4.3 RTC 初始化

RTC 在第一次上电时，系统需要将 RTC 初始化。RTC 的初始化过程如下：

- 步骤 1. 配置 `RTC_POR_N`，复位 RTC。
- 步骤 2. 等待 30ms。
- 步骤 3. 配置 `RTC_IMSC`，设置 RTC 中断屏蔽位。
- 步骤 4. 配置 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H`，设置 RTC 比较值。



- 步骤 5. 配置 `RTC_LR_10MS`、`RTC_LR_S`、`RTC_LR_M`、`RTC_LR_H`、`RTC_LR_D_L`、`RTC_LR_D_H`，设置 RTC 计数初始值。
- 步骤 6. 配置 `RTC_LORD` 为 1，让 RTC 计数初始值加载 RTC 计数器中。
- 步骤 7. 等待 5ms。
- 步骤 8. RTC 按照 100Hz 的计数时钟频率，从 `RTC_LR_10MS`、`RTC_LR_S`、`RTC_LR_M`、`RTC_LR_H`、`RTC_LR_D_L`、`RTC_LR_D_H` 中的值开始计数，当计数到 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 中的值时，将根据 `RTC_IMSC` 的设置，决定是否产生中断。

---结束

### 3.9.4.4 中断处理

系统收到 RTC 发出的中断后，表示定时时间到，用户可以执行相应的自定义操作，RTC 计数器仍然保持递加计数。RTC 中断处理的过程如下：

- 步骤 1. 配置 `RTC_INT_CLR` 为 1，清除 RTC 的中断状态。
- 步骤 2. 如果需要继续设置定时时间，则向寄存器 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 写入新的比较值。

---结束

### 3.9.4.5 RTC 寄存器的访问

RTC 的寄存器是在 RTC 模块内部的，并不在总线上。总线上的 RTC 寄存器只是提供访问 RTC 内部寄存器的通路。

写 RTC 内部寄存器的步骤如下：

- 步骤 1. 配置 `SPI_CLK_DIV`；假如总线时钟为 50MHz，期望 SPI 的时钟为 5MHz，则 `spi_clk_div` 应该配置为  $(50\text{MHz}/5\text{MHz})/2 - 1 = 4 = 0x04$ 。（如果已经配置，并且不想更改 SPI 的时钟频率则可以省略这一步骤）。
- 步骤 2. 读 `SPI_RW`，直到 `SPI_RW [31]=0` 为止。
- 步骤 3. 配置 `SPI_RW`；假如要对 `RTC_MR_10MS` 写入 0x10，该寄存器在 RTC 内部的地址为 0x06，所以 `SPI_RW` 应该配置为 0x01060010（`spi_start=1,spi_rw=0,spi_add=0x06,spi_wdata=0x10`）。

---结束

读 RTC 内部寄存器的步骤如下：

- 步骤 1. 配置 `SPI_CLK_DIV`；假如总线时钟为 50MHz，期望 SPI 的时钟为 5MHz，则 `spi_clk_div` 应该配置为  $(50\text{MHz}/5\text{MHz})/2 - 1 = 4 = 0x04$ 。（如果已经配置过了，并且不想更改 spi 的时钟频率则可以省略这一步骤）。
- 步骤 2. 读 `SPI_RW`，直到 `SPI_RW [31]=0` 为止。



- 步骤 3. 配置 `SPI_RW`；假如要对读 `RTC_MR_10MS`，该寄存器在 RTC 内部的地址为 `0x06`，所以 `SPI_RW` 应该配置为 `0x01860000` (`spi_start=1,spi_rw=1,spi_add=0x06`)。
- 步骤 4. 读 `SPI_RW`，直到 `SPI_RW [31]=0` 为止。则 `SPI_RW [15:8]`为 `RTC_MR_10MS` 的读回值。

---结束

### 3.9.5 RTC 寄存器概览

RTC 寄存器概览如表 3-19 所示。

表3-19 RTC 寄存器概览（基址是 `0x1209_0000`）

偏移地址	名称	描述	页码
0x0000	SPI_CLK_DIV	SPI 接口的时钟率值寄存器	3-167
0x0004	SPI_RW	SPI 接口读写操作寄存器	3-167
0x0080	CONVER_T	外接温度传感器 DS1820 (DS18B20) 采集控制寄存器	3-168
0x0084	CRC_EN	外接温度传感器 DS1820 (DS18B20) 采集 CRC 校验使能控制寄存器	3-169
0x0088	INT_MASK	外接温度传感器 DS1820 (DS18B20) 采集中断屏蔽寄存器	3-169
0x008C	INT_CLEAR	外接温度传感器 DS1820 (DS18B20) 采集中断清除寄存器	3-170
0x0090	BUSY	外接温度传感器 DS1820 (DS18B20) 采集状态寄存器	3-170
0x0094	INT_RAW	外接温度传感器 DS1820 (DS18B20) 采集原始中断状态寄存器	3-171
0x0098	INT_TCAP	外接温度传感器 DS1820 (DS18B20) 采集中断状态寄存器	3-171
0x009C	T_VALUE	外接温度传感器 DS1820 (DS18B20) 采集结果寄存器	3-172
0x00A0	FILTER_NUM	滤毛刺宽度配置寄存器	3-172

表3-20 RTC 内部寄存器概览（基址是 `0x00`）

偏移地址	名称	描述	页码
0x00	RTC_10MS_COUNT	RTC 10ms 计数值寄存器	3-173



偏移地址	名称	描述	页码
0x01	RTC_S_COUNT	RTC 秒计数值寄存器	3-173
0x02	RTC_M_COUNT	RTC 分计数值寄存器	3-174
0x03	RTC_H_COUNT	RTC 时 计数值寄存器	3-174
0x04	RTC_D_COUNT_L	RTC 天计数值低 8 位寄存器	3-175
0x05	RTC_D_COUNT_H	RTC 天计数值高 8 位寄存器	3-175
0x06	RTC_MR_10MS	RTC 10ms 定时值寄存器	3-176
0x07	RTC_MR_S	RTC 秒定时值寄存器	3-176
0x08	RTC_MR_M	RTC 分定时值寄存器	3-177
0x09	RTC_MR_H	RTC 时定时值寄存器	3-177
0x0A	RTC_MR_D_L	RTC 天定时值的低 8 位寄存器	3-178
0x0B	RTC_MR_D_H	RTC 天定时值的高 8 位寄存器	3-178
0x0C	RTC_LR_10MS	RTC 10ms 设置值寄存器	3-179
0x0D	RTC_LR_S	RTC 秒设置值寄存器	3-179
0x0E	RTC_LR_M	RTC 分设置值寄存器	3-180
0x0F	RTC_LR_H	RTC 时设置值寄存器	3-180
0x10	RTC_LR_D_L	RTC 天设置值的低 8 位寄存器	3-181
0x11	RTC_LR_D_H	RTC 天设置值的高 8 位寄存器	3-181
0x12	RTC_LORD	RTC 设置值使能加载寄存器	3-182
0x13	RTC_IMSC	RTC 中断使能寄存器	3-183
0x14	RTC_INT_CLR	RTC 中断清除寄存器	3-183
0x15	RTC_MSC_INT	RTC mask 中断状态寄存器	3-184
0x16	RTC_RAW_INT	RTC 原始中断状态寄存器	3-185
0x17	RTC_CLK	RTC 输出时钟选择寄存器	3-185
0x18	RTC_POR_N	RTC 复位控制寄存器	3-186
0x1A	RTC_UV_CTRL	RTC 内部低压检测控制寄存器	3-186
0x51	SDM_COEF_OUSID E_H	外部分频系数高 4 位寄存器	3-187
0x52	SDM_COEF_OUSID E_L	外部分频系数低 8 位寄存器	3-188
0x53	USER_REGISTER1	64bit 用户使用寄存器 1	3-188



偏移地址	名称	描述	页码
0x54	USER_REGISTER2	64bit 用户使用寄存器 2	3-189
0x55	USER_REGISTER3	64bit 用户使用寄存器 3	3-189
0x56	USER_REGISTER4	64bit 用户使用寄存器 4	3-189
0x57	USER_REGISTER5	64bit 用户使用寄存器 5	3-190
0x58	USER_REGISTER6	64bit 用户使用寄存器 6	3-190
0x59	USER_REGISTER7	64bit 用户使用寄存器 7	3-190
0x5A	USER_REGISTER8	64bit 用户使用寄存器 8	3-191
0x5F	DDR_SB_CTRL	DDR standby 控制寄存器	3-191
0x60	DDR_SB_REGISTER0	128bit DDR 待机信息寄存器 0	3-192
0x61	DDR_SB_REGISTER1	128bit DDR 待机信息寄存器 1	3-192
0x62	DDR_SB_REGISTER2	128bit DDR 待机信息寄存器 2	3-192
0x63	DDR_SB_REGISTER3	128bit DDR 待机信息寄存器 3	3-193
0x64	DDR_SB_REGISTER4	128bit DDR 待机信息寄存器 4	3-193
0x65	DDR_SB_REGISTER5	128bit DDR 待机信息寄存器 5	3-193
0x66	DDR_SB_REGISTER6	128bit DDR 待机信息寄存器 6	3-194
0x67	DDR_SB_REGISTER7	128bit DDR 待机信息寄存器 7	3-194
0x68	DDR_SB_REGISTER8	128bit DDR 待机信息寄存器 8	3-194
0x69	DDR_SB_REGISTER9	128bit DDR 待机信息寄存器 9	3-195
0x6A	DDR_SB_REGISTER10	128bit DDR 待机信息寄存器 10	3-195
0x6B	DDR_SB_REGISTER11	128bit DDR 待机信息寄存器 11	3-195
0x6C	DDR_SB_REGISTER12	128bit DDR 待机信息寄存器 12	3-196
0x6D	DDR_SB_REGISTER13	128bit DDR 待机信息寄存器 13	3-196



偏移地址	名称	描述	页码
0x6E	DDR_SB_REGISTE R14	128bit DDR 待机信息寄存器 14	3-196
0x6F	DDR_SB_REGISTE R15	128bit DDR 待机信息寄存器 15	3-197

### 3.9.6 RTC 寄存器描述

#### SPI\_CLK\_DIV

SPI\_CLK\_DIV 为 SPI 接口的时钟率值寄存器。

	Offset Address	Register Name	Total Reset Value														
	0x0000	SPI_CLK_DIV	0x0000_003B														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved											spi_clk_div					
Reset	0 0																
Bits	Access	Name	Description														
[31:8]	RO	reserved	保留。														
[7:0]	RW	spi_clk_div	SPI 接口的时钟分频系数。SPI 时钟不得超过 5MHz，建议配置为 5MHz。 取值范围为 1~255。spi_clk_div 的值用来计算 SPI 发送和接收的时钟频率，公式为 $FSPICLK = FAPBCLK / (2 \times (spi\_clk\_div + 1))$ 。其中 FAPBCLK 为总线的时钟频率。例如，总线时钟为 50MHz，期望 SPI 的时钟为 5MHz，则 spi_clk_div 应该配置为 $(50MHz / 5MHz) / 2 - 1 = 4$														

#### SPI\_RW

SPI\_RW 为 SPI 接口读写寄存器。





	Offset Address				Register Name								Total Reset Value																			
	0x0004				SPI_RW								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	spi_busy	reserved				spi_start	spi_rw	spi_add				spi_rdata				spi_wdata																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RO	spi_busy	SPI 接口读写忙状态指示。 0: 空闲, 可以发动新的 SPI 读写操作; 1: 正在对 SPI 接口进行读写操作, 不能发起新的 SPI 读写操作。																													
[30:25]	RO	reserved	保留。																													
[24]	W1_PULSE	spi_start	启动一次 SPI 读写操作。写 1 自动清零。当 spi_busy 为 1 时写入无效。即在上一次读写操作没有完成之前不会启动新的 SPI 操作, 若启动则硬件会忽略这一次启动请求。																													
[23]	RW	spi_rw	SPI 操作的类型。 0: 写操作; 1: 读操作。																													
[22:16]	RW	spi_add	SPI 操作的地址。 取值范围为 0~127。																													
[15:8]	RO	spi_rdata	SPI 接口读回的数据。																													
[7:0]	RW	spi_wdata	待写入 SPI 接口的数据。																													

## CONVER\_T

CONVER\_T 为外接温度传感器 DS1820 (DS18B20) 采集控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0080		CONVER_T		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								conver_t
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	conver_t	外接温度传感器 DS1820 (DS18B20) 采集控制寄存器 start。必须设为 1。 1: start, 硬件会在清中断时自动归零。						

## CRC\_EN

CRC\_EN 为外接温度传感器 DS1820 (DS18B20) 采集 CRC 校验使能控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0084		CRC_EN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								crc_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	crc_en	外接温度传感器 DS1820 (DS18B20) 采集 CRC 校验使能控制寄存器。 0: 禁止; 1: 使能。						

## INT\_MASK

INT\_MASK 为外接温度传感器 DS1820 (DS18B20) 采集中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0088		INT_MASK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															int_mask																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:1]	RO	reserved		保留。																												
[0]	RW	int_mask		外接温度传感器 DS1820 (DS18B20) 采集中断屏蔽寄存器。 0: 不屏蔽; 1: 屏蔽。																												

## INT\_CLEAR

INT\_CLEAR 为外接温度传感器 DS1820 (DS18B20) 采集中断清除寄存器。

Offset Address		Register Name		Total Reset Value																												
0x008C		INT_CLEAR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															int_clear																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:1]	RO	reserved		保留。																												
[0]	RW	int_clear		外接温度传感器 DS1820 (DS18B20) 采集中断清除寄存器。 写 1 清中断。硬件会在中断清除后自动归零。																												

## BUSY

BUSY 为外接温度传感器 DS1820 (DS18B20) 采集状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x0090		BUSY		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								busy
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留						
[0]	RO	busy	外接温度传感器 DS1820 (DS18B20) 采集状态。 0: ready; 1: busy。						

## INT\_RAW

INT\_RAW 为外接温度传感器 DS1820 (DS18B20) 采集原始中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x0094		INT_RAW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								int_err get_tmprt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RO	int_err	错误中断寄存器。						
[0]	RO	get_tmprt_int	外接温度传感器 DS1820 (DS18B20) 采集完成中断。						

## INT\_TCAP

INT\_TCAP 为外接温度传感器 DS1820 (DS18B20) 采集中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0098		INT_TCAP		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															int_tcap																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:1]	RO	reserved		保留。																												
[0]	RO	int_tcap		屏蔽后的中断状态。 0: 无中断; 1: 有中断。																												

## T\_VALUE

T\_VALUE 为外接温度传感器 DS1820 (DS18B20) 采集结果寄存器。

Offset Address		Register Name		Total Reset Value																												
0x009C		T_VALUE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												t_value																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:12]	RO	reserved		保留。																												
[11:0]	RO	t_value		外接温度传感器 DS1820 (DS18B20) 采集结果。																												

## FILTER\_NUM

FILTER\_NUM 滤毛刺宽度配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x00A0		FILTER_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							filter_num
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	filter_num	对输入进行滤毛刺宽度的选择，滤除 N+1 个 APB 时钟宽度的毛刺。					

### 3.9.7 RTC 内部寄存器描述

#### RTC\_10MS\_COUNT

RTC\_10MS\_COUNT 为 RTC 10ms 计数值寄存器。

Offset Address		Register Name		Total Reset Value				
0x00		RTC_10MS_COUNT		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved	rtc_10ms_count						
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RO	reserved	保留					
[6:0]	RO	rtc_10ms_count	RTC 10ms 计数器值，表示当前计时的 10ms 时间个数。取值范围值为 0~99。					

#### RTC\_S\_COUNT

RTC\_S\_COUNT 为 RTC 秒计数值寄存器。



Offset Address		Register Name				Total Reset Value		
0x01		RTC_S_COUNT				0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_s_count					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	RO	reserved	保留。					
[5:0]	RO	rtc_s_count	RTC 秒计数器值，表示当前计时的秒时间个数。取值范围为 0~59。					

## RTC\_M\_COUNT

RTC\_M\_COUNT 为 RTC 分计数值寄存器。

Offset Address		Register Name				Total Reset Value		
0x02		RTC_M_COUNT				0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_m_count					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	RO	reserved	保留。					
[5:0]	RO	rtc_m_count	RTC 分计数器值，表示当前计时的分时间个数。取之范围为 0~59。					

## RTC\_H\_COUNT

RTC\_H\_COUNT 为 RTC 时 计数值寄存器。



Offset Address		Register Name		Total Reset Value				
0x03		RTC_H_COUNT		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved			rtc_h_count				
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:5]	RO	reserved	保留					
[4:0]	RO	rtc_h_count	RTC 时计数器值，表示当前计时的小时时间个数。取之范围为 0~23。					

### RTC\_D\_COUNT\_L

RTC\_D\_COUNT\_L 为 RTC 天计数值低 8 位寄存器。

Offset Address		Register Name		Total Reset Value				
0x04		RTC_D_COUNT_L		0x00				
Bit	7	6	5	4	3	2	1	0
Name	rtc_d_count_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	rtc_d_count_l	RTC 天计数器值的低 8 位，与 RTC_D_COUNT_H 配合，表示当前计时的天时间个数，取值范围为 0~65535。					

### RTC\_D\_COUNT\_H

RTC\_D\_COUNT\_H 为 RTC 天计数值高 8 位寄存器。





Offset Address		Register Name		Total Reset Value				
0x05		RTC_D_COUNT_H		0x00				
Bit	7	6	5	4	3	2	1	0
Name	rtc_d_count_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	rtc_d_count_h	RTC 天计数器值的高 8 位，与 RTC_D_COUNT_L 配合，表示当前计时的天时间个数，取值范围为 0~65535。					

### RTC\_MR\_10MS

RTC\_MR\_10MS 为 RTC 10ms 定时值寄存器。

Offset Address		Register Name		Total Reset Value				
0x06		RTC_MR_10MS		0x7F				
Bit	7	6	5	4	3	2	1	0
Name	reserved	rtc_mr_10ms						
Reset	0	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7]	RW	reserved	保留。					
[6:0]	RW	rtc_mr_10ms	RTC 10ms 定时值，表示定时的 10ms 时间值。取值范围值为 0~99。					

### RTC\_MR\_S

RTC\_MR\_S 为 RTC 秒定时值寄存器。



Offset Address		Register Name				Total Reset Value		
0x07		RTC_MR_S				0x3F		
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_mr_s					
Reset	0	0	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:6]	RO	reserved	保留。					
[5:0]	RW	rtc_mr_s	RTC 秒定时值，表示定时的秒时间值。 取值范围值为 0~59。					

## RTC\_MR\_M

RTC\_MR\_M 为 RTC 分定时值寄存器。

Offset Address		Register Name				Total Reset Value		
0x08		RTC_MR_M				0x3F		
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_mr_m					
Reset	0	0	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:6]	RO	reserved	保留					
[5:0]	RW	rtc_mr_m	RTC 分定时值，表示定时的分时间值。 取值范围值为 0~59。					

## RTC\_MR\_H

RTC\_MR\_H 为 RTC 时定时值寄存器。



Offset Address		Register Name		Total Reset Value				
0x09		RTC_MR_H		0x1F				
Bit	7	6	5	4	3	2	1	0
Name	reserved			rtc_mr_h				
Reset	0	0	0	1	1	1	1	1
Bits	Access	Name	Description					
[7:5]	RO	reserved	保留					
[4:0]	RW	rtc_mr_h	RTC 时定时值，表示定时的小时时间值。 取值范围值为 0~23。					

## RTC\_MR\_D\_L

RTC\_MR\_D\_L 为 RTC 天定时值的低 8 位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A		RTC_MR_D_L		0xFF				
Bit	7	6	5	4	3	2	1	0
Name	rtc_mr_d_l							
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	rtc_mr_d_l	RTC 天定时值低 8 位，与 RTC_MR_D_H 配合，表示定时的天时间值，取值范围为 0~65535。					

## RTC\_MR\_D\_H

RTC\_MR\_D\_H 为 RTC 天定时值的高 8 位寄存器。



Offset Address		Register Name						Total Reset Value	
0x0B		RTC_MR_D_H						0xFF	
Bit	7	6	5	4	3	2	1	0	
Name	rtc_mr_d_h								
Reset	1	1	1	1	1	1	1	1	
Bits	Access	Name	Description						
[7:0]	RW	rtc_mr_d_h	RTC 天定时值高 8 位，与 RTC_MR_D_L 配合，表示定时的天时间值，取值范围为 0~65535。						

### RTC\_LR\_10MS

RTC\_LR\_10MS 为 RTC 10ms 设置值寄存器。

Offset Address		Register Name						Total Reset Value	
0x0C		RTC_LR_10MS						0x00	
Bit	7	6	5	4	3	2	1	0	
Name	reserved	rtc_lr_10ms							
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7]	RO	reserved	保留。						
[6:0]	RW	rtc_lr_10ms	RTC 10ms 设置值，表示设置的 10ms 时间值。取值范围为 0~99。						

### RTC\_LR\_S

RTC\_LR\_S 为 RTC 秒设置值寄存器。



Offset Address		Register Name						Total Reset Value	
0x0D		RTC_LR_S						0x00	
Bit	7	6	5	4	3	2	1	0	
Name	reserved		rtc_lr_s						
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:6]	RO	reserved	保留						
[5:0]	RW	rtc_lr_s	RTC 秒设置值，表示设置的秒时间值。 取值范围为 0~59。						

## RTC\_LR\_M

RTC\_LR\_M 为 RTC 分设置值寄存器。

Offset Address		Register Name						Total Reset Value	
0x0E		RTC_LR_M						0x00	
Bit	7	6	5	4	3	2	1	0	
Name	reserved		rtc_lr_m						
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:6]	RO	reserved	保留。						
[5:0]	RW	rtc_lr_m	RTC 分设置值，表示设置的分时间值。 取值范围为 0~59。						

## RTC\_LR\_H

RTC\_LR\_H 为 RTC 时设置值寄存器。



Offset Address		Register Name				Total Reset Value		
0x0F		RTC_LR_H				0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved			rtc_lr_h				
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:5]	RO	reserved	保留。					
[4:0]	RW	rtc_lr_h	RTC 时设置值，表示设置的小时时间值。 取值范围为 0~23。					

### RTC\_LR\_D\_L

RTC\_LR\_D\_L 为 RTC 天设置值的低 8 位寄存器。

Offset Address		Register Name				Total Reset Value		
0x10		RTC_LR_D_L				0x00		
Bit	7	6	5	4	3	2	1	0
Name	rtc_lr_d_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	rtc_lr_d_l	RTC 天设置值低 8 位，与 RTC_LR_D_H 配合表示设置的天时间，取值范围为 0~65535。					

### RTC\_LR\_D\_H

RTC\_LR\_D\_H 为 RTC 天设置值的高 8 位寄存器。



Offset Address		Register Name		Total Reset Value				
0x11		RTC_LR_D_H		0x00				
Bit	7	6	5	4	3	2	1	0
Name	rtc_lr_d_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	rtc_lr_d_h	RTC 天设置值高 8 位，与 RTC_LR_D_L 配合表示设置的天时间，取值范围为 0~65535。					

## RTC\_LORD

RTC\_LORD 为 RTC 设置值使能加载寄存器。

Offset Address		Register Name		Total Reset Value				
0x12		RTC_LORD		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved					rtc_lock_bypass	rtc_lock	rtc_load
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:3]	RO	reserved	保留					
[2]	RW	rtc_lock_bypass	RTC 时间锁存使能信号。 0: 使能, RTC 计数值(0x00~0x05)只会在锁存成功后才更新。 1: 不使能, RTC 计数值(0x00~0x05)实时更新。					
[1]	RW	rtc_lock	RTC 时间锁存信号。软件写入 1 后, 硬件会在锁存成功后自动清零。 注意: 该寄存器在 rtc_lock_bypass 为 0 时才有效。					
[0]	RW	rtc_load	把 RTC 的时间配置值写入 RTC 累加器中的使能信号。软件写入 1 后, 硬件会在加载成功后自动清零。					



## RTC\_IMSC

RTC\_IMSC 为 RTC 中断使能寄存器。

Offset Address		Register Name					Total Reset Value		
0x13		RTC_IMSC					0x00		
Bit	7	6	5	4	3	2	1	0	
Name	reserved					rtc_imsc	rtc_imsc_uv	rtc_imsc_time	
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:3]	RO	reserved	保留。						
[2]	RW	rtc_imsc	RTC 总中断输出使能位。 0: 不输出中断; 1: 输出中断。						
[1]	RW	rtc_imsc_uv	电池低压检测中断输出使能位。 0: 不输出中断; 1: 输出中断。						
[0]	RW	rtc_imsc_time	RTC 定时中断输出使能位。 0: 不输出中断; 1: 输出中断。						

## RTC\_INT\_CLR

RTC\_INT\_CLR 为 RTC 中断清除寄存器。





Offset Address		Register Name		Total Reset Value				
0x14		RTC_INT_CLR		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved							rtc_int_clr
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	RO	reserved	保留。					
[0]	WO	rtc_int_clr	RTC 中断清除寄存器，软件写入任意值都可以清除中断，回读无意思。					

### RTC\_MSC\_INT

RTC\_MSC\_INT 为 RTC mask 中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x15		RTC_MSC_INT		0x00					
Bit	7	6	5	4	3	2	1	0	
Name	reserved							mask_int_uv	mask_int_time
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:2]	RO	reserved	保留。						
[1]	RO	mask_int_uv	屏蔽后的电池低压检测中断状态寄存器。 0: 无中断; 1: 有中断。						
[0]	RO	mask_int_time	屏蔽后的 RTC 定时中断状态寄存器。 0: 无中断; 1: 有中断。						



## RTC\_RAW\_INT

RTC\_RAW\_INT 为 RTC 原始中断状态寄存器。

Offset Address		Register Name					Total Reset Value	
0x16		RTC_RAW_INT					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved						raw_int_uv	raw_int_time
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:2]	RO	reserved	保留。					
[1]	RO	raw_int_uv	电池低压检测原始中断状态寄存器。 0: 无中断; 1: 有中断。					
[0]	RO	raw_int_time	RTC 定时原始中断状态寄存器。 0: 无中断; 1: 有中断。					

## RTC\_CLK

RTC\_CLK 为 RTC 输出时钟选择寄存器。



Offset Address		Register Name					Total Reset Value	
0x17		RTC_CLK					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved						clk_out_sel	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:2]	RO	reserved	保留。					
[1:0]	RW	clk_out_sel	RTC 输出的测试时钟选择。 00: 输出晶体的震荡时钟; 01: 输出校正后的 100Hz 时钟; 1X: 输出 1Hz 时钟。					

## RTC\_POR\_N

RTC\_POR\_N 为 RTC 复位控制寄存器。

Offset Address		Register Name					Total Reset Value	
0x18		RTC_POR_N					0x01	
Bit	7	6	5	4	3	2	1	0
Name	reserved						rtc_por_n	
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:1]	RO	reserved	保留。					
[0]	RW	rtc_por_n	RTC 模块的复位信号。复位成功后自动置 1。 0: 复位。					

## RTC\_UV\_CTRL

RTC\_UV\_CTRL 为 RTC 内部低压检测控制寄存器。



Offset Address		Register Name				Total Reset Value		
0x1A		RTC_UV_CTRL				0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved		bat_uv_ctrl_en	bat_uv_ctrl_sel	reserved		sample_time	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	RO	reserved	保留。					
[5]	RW	bat_uv_ctrl_en	低压检测使能控制。 0: 关闭; 1: 打开。					
[4]	RW	bat_uv_ctrl_sel	低压检测来源选择。 0: 不经过滤波处理; 1: 经过滤波处理。					
[3:2]	RO	reserved	保留。					
[1:0]	RW	sample_time	低压检测周期。 00: 1 秒; 01: 1 分钟; 10: 10 分钟; 11: 30 分钟。					

### SDM\_COEF\_OUTSIDE\_H

SDM\_COEF\_OUTSIDE\_H 为外部分频系数高 4 位寄存器。



Offset Address		Register Name				Total Reset Value		
0x51		SDM_COEF_OUSIDE_H				0x08		
Bit	7	6	5	4	3	2	1	0
Name	reserved				sdm_coef_ouside_h			
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:4]	RO	reserved	保留。					
[3:0]	RW	sdm_coef_ouside_h	固定分频模式时的分频系数高 4 位。					

### SDM\_COEF\_OUSIDE\_L

SDM\_COEF\_OUSIDE\_L 为外部分频系数低 8 位寄存器。

Offset Address		Register Name				Total Reset Value		
0x52		SDM_COEF_OUSIDE_L				0x1B		
Bit	7	6	5	4	3	2	1	0
Name	sdm_coef_ouside_l							
Reset	0	0	0	1	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	sdm_coef_ouside_l	固定分频模式时的分频系数低 8 位。 注意：对分频系数寄存器(0x51、0x52)进行读/写时，应该先读/写高 4 位，再读/写低 8 位，并且需要高位到低位连续操作才能完成读/写操作。该寄存器的计算公式为 $(f-32700)*30.52$ ( $32700 \leq f \leq 32799$ ，f 为外接晶体的振荡频率)。					

### USER\_REGISTER1

USER\_REGISTER1 为 64bit 用户使用寄存器 1。

Offset Address		Register Name				Total Reset Value		
0x53		USER_REGISTER1				0x00		
Bit	7	6	5	4	3	2	1	0
Name	user_register1							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register1	64bit 用户使用寄存器 1，对应 bit[7:0]。					



## USER\_REGISTER2

USER\_REGISTER2 为 64bit 用户使用寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x54		USER_REGISTER2		0x00				
Bit	7	6	5	4	3	2	1	0
Name	user_register2							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register2	64bit 用户使用寄存器 2，对应 bit[15:8]。					

## USER\_REGISTER3

USER\_REGISTER3 为 64bit 用户使用寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x55		USER_REGISTER3		0x00				
Bit	7	6	5	4	3	2	1	0
Name	user_register3							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register3	64bit 用户使用寄存器 3，对应 bit[23:16]。					

## USER\_REGISTER4

USER\_REGISTER4 为 64bit 用户使用寄存器 4。

Offset Address		Register Name		Total Reset Value				
0x56		USER_REGISTER4		0x00				
Bit	7	6	5	4	3	2	1	0
Name	user_register4							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register4	64bit 用户使用寄存器 4，对应 bit[31:24]。					



## USER\_REGISTER5

USER\_REGISTER5 为 64bit 用户使用寄存器 5。

Offset Address		Register Name		Total Reset Value				
0x57		USER_REGISTER5		0x00				
Bit	7	6	5	4	3	2	1	0
Name	user_register5							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register5	64bit 用户使用寄存器 5，对应 bit[39:32]。					

## USER\_REGISTER6

USER\_REGISTER6 为 64bit 用户使用寄存器 6。

Offset Address		Register Name		Total Reset Value				
0x58		USER_REGISTER6		0x00				
Bit	7	6	5	4	3	2	1	0
Name	user_register6							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register6	64bit 用户使用寄存器 6，对应 bit[47:40]。					

## USER\_REGISTER7

USER\_REGISTER7 为 64bit 用户使用寄存器 7。

Offset Address		Register Name		Total Reset Value				
0x59		USER_REGISTER7		0x00				
Bit	7	6	5	4	3	2	1	0
Name	user_register7							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register7	64bit 用户使用寄存器 7，对应 bit[55:48]。					



## USER\_REGISTER8

USER\_REGISTER8 为 64bit 用户使用寄存器 8。

	Offset Address			Register Name			Total Reset Value	
	0x5A			USER_REGISTER8			0x00	
Bit	7	6	5	4	3	2	1	0
Name	user_register8							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register8	64bit 用户使用寄存器 8，对应 bit[63:56]。					

## DDR\_SB\_CTRL

DDR\_SB\_CTRL 为 DDR standby 控制寄存器。

	Offset Address			Register Name			Total Reset Value	
	0x5F			DDR_SB_CTRL			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved						ddr_ioctrl_lhen	ddrc_ctrl_iso
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:2]	RO	reserved	保留。					
[1]	RW	ddr_ioctrl_lhen	ddr io latch 使能控制。 0: 不使能; 1: 使能。					
[0]	RW	ddrc_ctrl_iso	ddrc 系统复位隔离控制。 0: 能被复位; 1: 不能被复位。					





## DDR\_SB\_REGISTER0

DDR\_SB\_REGISTER0 为 128bit DDR 待机信息寄存器 0。

	Offset Address			Register Name			Total Reset Value	
	0x60			DDR_SB_REGISTER0			0x00	
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register0							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register0	128bitDDR 待机信息寄存器 0，对应 bit[7:0]。					

## DDR\_SB\_REGISTER1

DDR\_SB\_REGISTER1 为 128bit DDR 待机信息寄存器 1。

	Offset Address			Register Name			Total Reset Value	
	0x61			DDR_SB_REGISTER1			0x00	
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register1							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register1	128bitDDR 待机信息寄存器 1，对应 bit[15:8]。					

## DDR\_SB\_REGISTER2

DDR\_SB\_REGISTER2 为 128bit DDR 待机信息寄存器 2。

	Offset Address			Register Name			Total Reset Value	
	0x62			DDR_SB_REGISTER2			0x00	
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register2							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register2	128bitDDR 待机信息寄存器 2，对应 bit[23:16]。					



### DDR\_SB\_REGISTER3

DDR\_SB\_REGISTER3 为 128bit DDR 待机信息寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x63		DDR_SB_REGISTER3		0x00				
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register3							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register3	128bitDDR 待机信息寄存器 3，对应 bit[31:24]。					

### DDR\_SB\_REGISTER4

DDR\_SB\_REGISTER4 为 128bit DDR 待机信息寄存器 4。

Offset Address		Register Name		Total Reset Value				
0x64		DDR_SB_REGISTER4		0x00				
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register4							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register4	128bitDDR 待机信息寄存器 4，对应 bit[39:32]。					

### DDR\_SB\_REGISTER5

DDR\_SB\_REGISTER5 为 128bit DDR 待机信息寄存器 5。

Offset Address		Register Name		Total Reset Value				
0x65		DDR_SB_REGISTER5		0x00				
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register5							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register5	128bitDDR 待机信息寄存器 5，对应 bit[47:40]。					



## DDR\_SB\_REGISTER6

DDR\_SB\_REGISTER6 为 128bit DDR 待机信息寄存器 6。

	Offset Address			Register Name			Total Reset Value	
	0x66			DDR_SB_REGISTER6			0x00	
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register6							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register6	128bitDDR 待机信息寄存器 6，对应 bit[55:48]。					

## DDR\_SB\_REGISTER7

DDR\_SB\_REGISTER7 为 128bit DDR 待机信息寄存器 7。

	Offset Address			Register Name			Total Reset Value	
	0x67			DDR_SB_REGISTER7			0x00	
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register7							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register7	128bitDDR 待机信息寄存器 7，对应 bit[63:56]。					

## DDR\_SB\_REGISTER8

DDR\_SB\_REGISTER8 为 128bit DDR 待机信息寄存器 8。

	Offset Address			Register Name			Total Reset Value	
	0x68			DDR_SB_REGISTER8			0x00	
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register8							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register8	128bitDDR 待机信息寄存器 8，对应 bit[71:64]。					



## DDR\_SB\_REGISTER9

DDR\_SB\_REGISTER9 为 128bit DDR 待机信息寄存器 9。

Offset Address		Register Name		Total Reset Value				
0x69		DDR_SB_REGISTER9		0x00				
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register9							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register9	128bitDDR 待机信息寄存器 9, 对应 bit[79:72]。					

## DDR\_SB\_REGISTER10

DDR\_SB\_REGISTER10 为 128bit DDR 待机信息寄存器 10。

Offset Address		Register Name		Total Reset Value				
0x6A		DDR_SB_REGISTER10		0x00				
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register10							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register10	128bitDDR 待机信息寄存器 10, 对应 bit[87:80]。					

## DDR\_SB\_REGISTER11

DDR\_SB\_REGISTER11 为 128bit DDR 待机信息寄存器 11。

Offset Address		Register Name		Total Reset Value				
0x6B		DDR_SB_REGISTER11		0x00				
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register11							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register11	128bitDDR 待机信息寄存器 11, 对应 bit[95:88]。					



## DDR\_SB\_REGISTER12

DDR\_SB\_REGISTER12 为 128bit DDR 待机信息寄存器 12。

Offset Address		Register Name						Total Reset Value	
0x6C		DDR_SB_REGISTER12						0x00	
Bit	7	6	5	4	3	2	1	0	
Name	ddr_sb_register12								
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:0]	RW	ddr_sb_register12	128bitDDR 待机信息寄存器 12，对应 bit[103:96]。						

## DDR\_SB\_REGISTER13

DDR\_SB\_REGISTER13 为 128bit DDR 待机信息寄存器 13。

Offset Address		Register Name						Total Reset Value	
0x6D		DDR_SB_REGISTER13						0x00	
Bit	7	6	5	4	3	2	1	0	
Name	ddr_sb_register13								
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:0]	RW	ddr_sb_register13	128bitDDR 待机信息寄存器 13，对应 bit[111:104]。						

## DDR\_SB\_REGISTER14

DDR\_SB\_REGISTER14 为 128bit DDR 待机信息寄存器 14。

Offset Address		Register Name						Total Reset Value	
0x6E		DDR_SB_REGISTER14						0x00	
Bit	7	6	5	4	3	2	1	0	
Name	ddr_sb_register14								
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:0]	RW	ddr_sb_register14	128bitDDR 待机信息寄存器 14，对应 bit[119:112]。						



## DDR\_SB\_REGISTER15

DDR\_SB\_REGISTER15 为 128bit DDR 待机信息寄存器 15。

	Offset Address		Register Name				Total Reset Value	
	0x6F		DDR_SB_REGISTER15				0x00	
Bit	7	6	5	4	3	2	1	0
Name	ddr_sb_register15							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	ddr_sb_register15	128bitDDR 待机信息寄存器 15，对应 bit[127:120]。					

## 3.10 电源管理与低功耗模式控制

### 3.10.1 概述

芯片的低功耗模式用来有效的减少芯片的功耗，芯片提供多种低功耗的控制来动态降低芯片的功耗。

- 时钟门控和时钟频率调整  
提供时钟关断功能，可以关闭没有必要的时钟，减少芯片的功耗。系统工作的时钟频率可以进行调整，在满足功能的情况下可以调节时钟频率，降低芯片功耗。
- 模块级低功耗控制  
提供模块级的低功耗控制，在某模块不工作的情况下，关断该模块或使模块处于低功耗状态，以减少芯片的功耗。
- DDR 低功耗控制  
DDR 的控制器和相关的管脚进行了动态的功耗控制功能，可以选择启动该功能，降低芯片功耗，还可以启动 DDR 的自刷新模式，来降低整个产品的功耗。
- 基于 A17 CPU 负载监控的 DVFS(动态调频调压)功能。

### 3.10.2 时钟门控和时钟频率调整

系统提供各个模块的时钟门控功能，在模块空闲的时候，可以关闭相应的时钟，降低芯片功耗，操作流程可以参见各个模块的时钟门控部分。

系统可以通过调整工作频率来降低芯片功耗，方法如下：

- 关闭业务模块，使其不访问 DDR。
- 系统切换到片上内存中运行。

配置 DDRC\_CTRL\_SREF[sref\_seq]为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。



- 步骤 1. 配置 PERI\_CRG13，进行系统总线、DDRC 和 CPU 的时钟源选择。
- 步骤 2. 根据 DDRC 的配置要求，等待一定的时间之后，配置 DDRC\_CTRL\_SREF 退出自刷新，进行正常的操作。
- 步骤 3. 程序跳转到 DDR 中运行。

#### ----结束

除了提供系统工作频率的调整外，部分模块的工作频率也可以单独进行调整。调整这些模块的工作频率，也可以进一步降低系统的功耗。具体参见“3.2.3 时钟资源分布”中关于各模块的时钟源选择部分。

### 3.10.3 模块级低功耗控制

芯片中的 USB 2.0 Host/Device、USB 3.0 Host/Device、PCIe、Video DAC、PLL 等 PHY 模块都可以提供低功耗的工作模式。（参见系统控制器、时钟等章节寄存器描述）

- USB 2.0 Host/Device 模块的低功耗控制  
如果不使用 USB2.0 功能，可配置 PERI\_CRG45 bit[7]为 0，关闭 USB 2.0 PHY 的时钟。
- USB 3.0 Host/Device & PCIe 模块的低功耗控制  
如果不使用 USB3.0 功能，可配置 PERI\_CRG46 的对应时钟门控信号，关闭 USB3.0 CTRL 的相应时钟。  
如果不使用 PCIe 功能，可配置 PERI\_CRG44 的对应时钟门控信号，关闭 PCIe CTRL 的相应时钟。  
如果同时不使用 USB3.0 和 PCIe 功能，可配置 PERI\_CRG43 的对应时钟门控信号，关闭 COMB PHY 的相应时钟。
- Video DAC 低功耗控制  
如果不使用 Video DAC 功能，可以关闭 CVBS 通道，实现降低功耗的目的，具体参考 VDP 章节。
- PLL 提供低功耗的功能，如果不使用 PLL 的情况下可以关闭 PLL，使系统处于低功耗状态，请参考 CRG 寄存器中 PERI\_CRG\_PLL0~PLL9 Power Down 控制位的描述。

### 3.10.4 DDR 低功耗控制

关于 DDRC 的低功耗控制的详细内容请参见“DDRC 工作方式”中的“低功耗配置”。

### 3.10.5 DVFS 和 AVS 功能说明

DVFS (Dynamic voltage and frequency scaling)是根据运行场景不同，动态设置不同的频率和电压水平来满足当前电路的时序和性能要求。系统可根据应用场景，设定 CPU 的工作频率和工作电压。

AVS(Added voltage scaling) 是在 DVFS 的基础上，根据芯片工艺、温度、电路时序情况，实时动态调整电压来进一步降低功耗。系统可由 PMC 模块获取芯片的 PVT 信



息，并通过 PMC 内的 PWM 输出信号实现电压的自动调整，具体请参考 3.11 “PMC”章节。

## 3.11 PMC

### 3.11.1 功能描述

PMC(Power manage control)提供芯片功耗管理的基础信息和控制，主要有以下几项。

- PWM 输出

PMC 包含可编程的 PWM 模块，外围 PWM 调压电路可通过芯片的 PWM 输出，调节芯片的供电电压。Hi3519V100 提供 4 个 PWM 输出。

- HPM 控制

通过 HPM 获取当前芯片的 PVT 综合信息，根据这些信息产生芯片供电电压调整的决策参考。

- 硬件 AVS 控制

使能硬件 AVS 后，芯片定时获取 HPM 值，根据配置的相关策略对 PWM 输出的占空比进行调整，实现芯片自适应供电电压调节。

- 芯片内部温度检测

芯片集成温度传感器，用于芯片内部温度的获取，为芯片的温度保护处理提供温度信息。

- CPU A17 上下电控制

提供 CPU A17 的电源开关控制寄存器和相关逻辑，用于 A17 的上下电控制。

### 3.11.2 工作方式

#### PWM 输出

PMC 内的 PWM 模块工作时钟为 24MHz，周期和占空比计数器为 16bits。通过配置 PMC 内 PWM 相关的寄存器，可实现指定周期和占空比的 PWM 输出。

配置 PWM 输出的步骤为：

步骤 1. 根据所需的 PWM 输出频率和占空比，计算出对应的 PWM 计数周期数和高电平计数值。

计数周期数计算公式为：

$$pwm\_period = (24000000 / Freq) - 1$$

高电平计数值计算公式为：

$$pwm\_duty = (24000000 / Freq) * duty - 1$$

步骤 2. 配置 PWM 计数周期和高电平计数值寄存器。

步骤 3. 使能 PWM 输出。





#### ----结束

例如，芯片 CORE 电源调压控制由 PWM0 信号控制，如果需要 PWM0 输出频率为 200KHz，占空比为 75%，配置步骤如下：

步骤 1. 计算出所需的计算周期数和高电平计数值：

$pwm\_period=(24000000/200000)-1 = 119$

$pwm\_duty=(24000000/200000)*0.75-1=89$

步骤 2. 设置 CORE PWM 参数：设置 PERI\_PMC0[15:0]=0x77， PERI\_PMC0[31:16]=0x59；

步骤 3. 使能 CORE 对应的 PWM： 设置 PERI\_PMC4[0]=1。

#### ----结束

## HPM 控制

芯片中只放置了 4 个 HPM，用来获取 CORE、MDDRC、CPU A17 和 MEDIA 模块的 PVT 信息。

HPM 的参考时钟源时钟为 200MHz（A17 的 HPM 工作时钟为 A17 的工作时钟），为了使 HPM 的值更加精确，建议配置 core\_hpm\_div 为 0x3，使 HPM 参考时钟接近 50MHz。

以获取 CORE HPM 监测值为例说明，HPM 监测使能配置流程如下：

步骤 1. 设置 HPM 采集模式。

HPM 采集有两种模式：单次采集模式和循环采集模式。请参考 PERI\_PMC10 寄存器中的描述。

循环采集模式下需要设置采集周期，采集周期为： $T = (N*2048+M*16) / 1000$  ms（N= PERI\_PMC13 [31:24],M= PERI\_PMC31[7:0]）。

步骤 2. 配置 core\_hpm\_div 为 0x3，撤消复位，启动 HPM 采集。

先配置 PERI\_PMC10 为 0x04000003，再配置 PERI\_PMC10 为 0x05000003。启动 HPM 循环采集模式。

步骤 3. 等待 core\_hpm\_pc\_valid 为 1 后，软件读取 HPM 的监测值。

步骤 4. 单次采集模式下，只有 PERI\_PMC11[9:0]中记录的 HPM 原始码型 0 有效。

循环采集模式下，PERI\_PMC11 [9:0]、PERI\_PMC11 [21:12]、PERI\_PMC12 [9:0]和 PERI\_PMC12 [21:12]记录了最近四次 HPM 原始码型 0~3，其中最新的记录值为 HPM 原始码型 0。

#### ----结束

## 硬件 AVS

通过 PMC 内的硬件 AVS 功能，芯片可根据 HPM 监测值自动调整 PWM 输出占空比，从而实现自动供电电压调整。



芯片支持 CORE、MDDRC、CPU A17 和 MEDIA 的 HPM 硬件 AVS，以 CORE 为例说明，硬件 AVS 启动流程如下：

- 步骤 1. 配置 PERI\_PMC5 [2:1]，设置硬件 AVS 的计算模式。
- 步骤 2. 配置 PERI\_PMC5 [31:16]，设置硬件 AVS 的升降压 step。
- 步骤 3. 配置 PERI\_PMC5 [0]为 1，使能硬件 AVS。

----结束

## 芯片内部温度检测

芯片内部集成温度传感器，温度的检测范围为-40~125℃。使能温度传感器数据采集的流程如下：

- 步骤 1. 设置 Tsensor 采集模式。

Tsensor 采集温度有两种模式：单次采集模式和循环采集模式。请参考 PERI\_PMC68 寄存器中的描述。

循环采集模式下需设置采集周期，采集周期为 (tsensor\_monitor\_period\*2) ms。

- 步骤 2. 使能 Tsensor，开始温度采集。
- 步骤 3. 软件读取 Tsensor 采集到的温度码。

单次采集模式下，只有 PERI\_PMC70 [9:0]中记录的温度记录码 0 有效。

循环采集模式下，PERI\_PMC70~PERI\_PMC73 记录了最近八次温度记录码 0~7，其中最新的温度记录值为温度记录码 0。

- 步骤 4. 根据温度记录码计算出对应的温度值。

计算公式： $T = [(tsensor\_temp\_code - 125) / 806] * 165 - 40$  (°C)。

注：tsensor\_temp\_code 取值范围：[125,931]

----结束

## CPU A17 上下电控制

A17 下电流程：

- 步骤 1. 设置 PERI\_PMC79 中的 mode\_onoff 为 0x2，打开手动 A17 上下电模式。配置 MISC\_CTRL1 [30]为 0，关闭 A17 的 coresight 调试功能。
- 步骤 2. 读 PERI\_PMC77 [8:7]为 0x3，等待 A17 的 STANDBYWFI 和 STANDBYWFIL2 输出信号均有效（高有效）。
- 步骤 3. 读 PERI\_PMC77 [4:3]为 0x0，等待 A17 ADB 异步桥的 idle 指示信号 cactives/cactivem 输出信号有效（低有效）。
- 步骤 4. 配置 PERI\_PMC77 [5]为 0，使 A17 ADB 桥进入低功耗模式。
- 步骤 5. 读 PERI\_PMC77 [6]为 0，等待 A17 ADB 桥进入低功耗模式。



- 步骤 6. 配置 PERI\_PMC77 [0]为 1，使能 A17 输出隔离。
- 步骤 7. 配置 CRG 寄存器 PERI\_CRG10[19]为 1，使 A17 全局软复位生效。
- 步骤 8. 配置 CRG 寄存器 PERI\_CRG10[21]为 0，关闭 A17 和 A17 ADB MST 时钟。
- 步骤 9. 配置 PERI\_PMC77[1]为 1，使能 A17 MTCMOS 下电。
- 步骤 10. 读 PERI\_PMC77[2]为 1，等待下电完成。

----结束

A17 上电流程：

- 步骤 11. 配置 MISC\_CTRL1 [30]为 1，打开 A17 的 coresight 调试功能。
- 步骤 12. 配置 PERI\_PMC79 中的 mode\_onoff 为 0x2，打开 A17 上下电模式。
- 步骤 13. 配置 CRG 寄存器 PERI\_CRG10[21]为 1，输出时钟给 A17。
- 步骤 14. 配置 PERI\_PMC77[1]为 0，使能 A17 MTCMOS 上电。
- 步骤 15. 读 PERI\_PMC77[2]为 0，等待上电完成。
- 步骤 16. 配置 PERI\_PMC77 [0]为 0，解除 A17 输出隔离。
- 步骤 17. 配置 CRG 寄存器 PERI\_CRG10[19]为 0，解除 A17 的整体复位（A17 core 除外）。
- 步骤 18. 配置 PERI\_PMC77 [5]为 1，使 A17 ADB 桥退出低功耗模式。
- 步骤 19. 读 PERI\_PMC77 [6]为 1，等待 A17 ADB 桥退出低功耗模式。

配置 CRG 寄存器 PERI\_CRG10[1]为 0，解除 A17 core 复位。

----结束

### 3.11.3 PMC 寄存器概览

PMC 寄存器概览如表 3-21 所示。

表3-21 PMC 寄存器概览（基址是 0x120A\_0000）

偏移地址	名称	描述	页码
0x0000	PERI_PMC0	PERI_PMC0 寄存器	3-204
0x0004	PERI_PMC1	PERI_PMC1 寄存器	3-204
0x0008	PERI_PMC2	PERI_PMC2 寄存器	3-205
0x000c	PERI_PMC3	PERI_PMC3 寄存器	3-205
0x0010	PERI_PMC4	PERI_PMC4 寄存器	3-205
0x0014	PERI_PMC5	PERI_PMC5 寄存器	3-207
0x0018	PERI_PMC6	PERI_PMC6 寄存器	3-208



偏移地址	名称	描述	页码
0x001c	PERI_PMC7	PERI_PMC7 寄存器	3-209
0x0020	PERI_PMC8	PERI_PMC8 寄存器	3-210
0x0028	PERI_PMC10	CORE HPM 控制寄存器 0	3-211
0x002C	PERI_PMC11	CORE HPM 状态寄存器 1	3-212
0x0030	PERI_PMC12	CORE HPM 状态寄存器 2	3-213
0x0034	PERI_PMC13	CORE HPM 控制寄存器 3	3-214
0x0038	PERI_PMC14	A17 HPM 控制寄存器 0	3-215
0x003C	PERI_PMC15	A17 HPM 状态寄存器 1	3-216
0x0040	PERI_PMC16	A17 HPM 状态寄存器 2	3-216
0x0044	PERI_PMC17	A17 HPM 控制寄存器 3	3-217
0x0048	PERI_PMC18	DDR HPM 控制寄存器 0	3-218
0x004C	PERI_PMC19	DDR HPM 状态寄存器 1	3-219
0x0050	PERI_PMC20	DDR HPM 状态寄存器 2	3-219
0x0054	PERI_PMC21	DDR HPM 控制寄存器 3	3-220
0x0058	PERI_PMC22	MDA0 HPM 控制寄存器 0	3-221
0x005C	PERI_PMC23	MDA0 HPM 状态寄存器 1	3-222
0x0060	PERI_PMC24	MDA0 HPM 状态寄存器 2	3-223
0x0064	PERI_PMC25	MDA0 HPM 控制寄存器 3	3-223
0x0078	PERI_PMC30	HPM 循环监控微调控制寄存器 1	3-224
0x007C	PERI_PMC31	HPM 循环监控微调控制寄存器 2	3-224
0x110	PERI_PMC68	PERI_PMC68 寄存器	3-225
0x0114	PERI_PMC69	PERI_PMC69 寄存器	3-225
0x0118	PERI_PMC70	PERI_PMC70 寄存器	3-226
0x011C	PERI_PMC71	PERI_PMC71 寄存器	3-226
0x0120	PERI_PMC72	PERI_PMC72 寄存器	3-227
0x0124	PERI_PMC73	PERI_PMC73 寄存器	3-227
0x0128	PERI_PMC74	PERI_PMC74 寄存器	3-228
0x0134	PERI_PMC77	PERI_PMC77 寄存器	3-229
0x0138	PERI_PMC78	PERI_PMC78 寄存器	3-230



偏移地址	名称	描述	页码
0x013C	PERI_PMC79	PERI_PMC79 寄存器	3-232

### 3.11.4 PMC 寄存器描述

#### PERI\_PMC0

PERI\_PMC0 为 PERI\_PMC0 寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0000	PERI_PMC0	0x0012_0078													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	core_pwm_duty								core_pwm_period							
Reset	0 0 0 0 0 0 0 0 0 0 0 1 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 0 0 0															
	Bits	Access	Name	Description												
	[31:16]	RW	core_pwm_duty	CORE AVS 输出的 PWM 的高电平拍数，如果大于等于周期数，则输出一直为高电平。不能配置为 0，当配置为 0 时，实际生效值为 1。即生效值为配置值加 1。												
	[15:0]	RW	core_pwm_period	CORE AVS 输出的 PWM 的周期数。不能配置为 0，当配置为 0 时，实际生效值为 1。即生效值为配置值加 1。												

#### PERI\_PMC1

PERI\_PMC1 为 PERI\_PMC1 寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0004	PERI_PMC1	0x0012_0078													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	a17_pwm_duty								a17_pwm_period							
Reset	0 0 0 0 0 0 0 0 0 0 0 1 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 0 0 0															
	Bits	Access	Name	Description												
	[31:16]	RW	a17_pwm_duty	A17 AVS 输出的 PWM 的高电平拍数，如果大于等于周期数，则输出一直为高电平。不能配置为 0，当配置为 0 时，实际生效值为 1。即生效值为配置值加 1。												
	[15:0]	RW	a17_pwm_period	A17 AVS 输出的 PWM 的周期数。不能配置为 0，当配置为 0 时，实际生效值为 1。即生效值为配置值加 1。												



## PERI\_PMC2

PERI\_PMC2 为 PERI\_PMC2 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0008		PERI_PMC2		0x0012_0078				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddr_pwm_duty				ddr_pwm_period			
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 0 0	0 0 0 0	0 1 1 1	1 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	ddr_pwm_duty	DDR AVS 输出的 PWM 的高电平拍数，如果大于等于周期数，则输出一直为高电平。不能配置为 0，当配置为 0 时，实际生效值为 1。即生效值为配置值加 1。					
[15:0]	RW	ddr_pwm_period	DDR AVS 输出的 PWM 的周期数。不能配置为 0，当配置为 0 时，实际生效值为 1。即生效值为配置值加 1。					

## PERI\_PMC3

PERI\_PMC3 为 PERI\_PMC3 寄存器。

Offset Address		Register Name		Total Reset Value				
0x000c		PERI_PMC3		0x0012_0078				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mda0_pwm_duty				mda0_pwm_period			
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 0 0	0 0 0 0	0 1 1 1	1 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	mda0_pwm_duty	MDA0 AVS 输出的 PWM 的高电平拍数，如果大于等于周期数，则输出一直为高电平。不能配置为 0，当配置为 0 时，实际生效值为 1。即生效值为配置值加 1。					
[15:0]	RW	mda0_pwm_period	MDA0 AVS 输出的 PWM 的周期数。不能配置为 0，当配置为 0 时，实际生效值为 1。即生效值为配置值加 1。					

## PERI\_PMC4

PERI\_PMC4 为 PERI\_PMC4 寄存器。



Offset Address		Register Name		Total Reset Value											
0x0010		PERI_PMC4		0x0000_E400											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved			pwm3_reuse_cfg	pwm2_reuse_cfg	pwm1_reuse_cfg	pwm0_reuse_cfg	mda0_pwm_inv	mda0_pwm_enable	ddr_pwm_inv	ddr_pwm_enable	a17_pwm_inv	a17_pwm_enable	core_pwm_inv	core_pwm_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 0	0 1 0 0	0 0 0 0	0 0 0 0							
Bits	Access	Name	Description												
[31:16]	RO	reserved	保留												
[15:14]	RW	pwm3_reuse_cfg	AVS 输出 PWM3 来源选择。 00: CORE; 01: A17; 10: DDR; 11: MDA0。												
[13:12]	RW	pwm2_reuse_cfg	AVS 输出 PWM2 来源选择。 00: CORE; 01: A17; 10: DDR; 11: MDA0。												
[11:10]	RW	pwm1_reuse_cfg	AVS 输出 PWM1 来源选择。 00: CORE; 01: A17; 10: DDR; 11: MDA0。												
[9:8]	RW	pwm0_reuse_cfg	AVS 输出 PWM0 来源选择。 00: CORE; 01: A17; 10: DDR; 11: MDA0。												
[7]	RW	mda0_pwm_inv	MDA0 AVS 输出的 PWM 正反相控制。 0: 正常输出; 1: 反相输出。												



[6]	RW	mda0_pwm_enable	MDA0 AVS 输出的 PWM 使能控制。 0: 关闭; 1: 打开。
[5]	RW	ddr_pwm_inv	DDR AVS 输出的 PWM 正反相控制。 0: 正常输出; 1: 反相输出。
[4]	RW	ddr_pwm_enable	DDR AVS 输出的 PWM 使能控制。 0: 关闭; 1: 打开。
[3]	RW	a17_pwm_inv	A17 AVS 输出的 PWM 正反相控制。 0: 正常输出; 1: 反相输出。
[2]	RW	a17_pwm_enable	A17 AVS 输出的 PWM 使能控制。 0: 关闭; 1: 打开。
[1]	RW	core_pwm_inv	CORE AVS 输出的 PWM 正反相控制。 0: 正常输出; 1: 反相输出。
[0]	RW	core_pwm_enable	CORE AVS 输出的 PWM 使能控制。 0: 关闭; 1: 打开。

## PERI\_PMC5

PERI\_PMC5 为 PERI\_PMC5 寄存器。





Offset Address		Register Name		Total Reset Value					
0x0014		PERI_PMC5		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	core_avs_fsm_inc_pwm_step		core_avs_fsm_dec_pwm_step		reserved			core_avs_hpm_fsm_calc_mode	core_hpm_fsm_en
Reset	0 0 0 0		0 0 0 0		0 0 0 0			0 0 0 0	0 0 0 0
Bits	Access	Name	Description						
[31:24]	RW	core_avs_fsm_inc_pwm_step	CORE AVS FSM PWM 自加步进。						
[23:16]	RW	core_avs_fsm_dec_pwm_step	CORE AVS FSM PWM 自减步进。						
[15:3]	RO	reserved	保留						
[2:1]	RW	core_avs_hpm_fsm_calc_mode	CORE AVS HPM FSM 计算模式。 00: 4 次采样平均; 01: 8 次采样平均; 10: 16 次采样平均; 11: 32 次采样平均。						
[0]	RW	core_hpm_fsm_en	CORE AVS HPM FSM 使能控制。 0: 关闭; 1: 打开。						

## PERI\_PMC6

PERI\_PMC6 为 PERI\_PMC6 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0018		PERI_PMC6		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	a17_avs_fsm_inc_pwm_step		a17_avs_fsm_dec_pwm_step		reserved			a17_avs_hpm_fsm_calc_mode	a17_hpm_fsm_en
Reset	0 0 0 0		0 0 0 0		0 0 0 0			0 0 0 0	0 0 0 0
Bits	Access	Name	Description						
[31:24]	RW	a17_avs_fsm_inc_pwm_step	A17 AVS FSM PWM 自加步进。						
[23:16]	RW	a17_avs_fsm_dec_pwm_step	A17 AVS FSM PWM 自减步进。						
[15:3]	RO	reserved	保留						
[2:1]	RW	a17_avs_hpm_fsm_calc_mode	A17 AVS HPM FSM 计算模式。 00: 4 次采样平均; 01: 8 次采样平均; 10: 16 次采样平均; 11: 32 次采样平均。						
[0]	RW	a17_hpm_fsm_en	A17 AVS HPM FSM 使能控制。 0: 关闭; 1: 打开。						

## PERI\_PMC7

PERI\_PMC7 为 PERI\_PMC7 寄存器。



Offset Address		Register Name		Total Reset Value					
0x001c		PERI_PMC7		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	ddr_avs_fsm_inc_pwm_step		ddr_avs_fsm_dec_pwm_step		reserved			ddr_avs_hpm_fsm_calc_mode	ddr_hpm_fsm_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	ddr_avs_fsm_inc_pwm_step	DDR AVS FSM PWM 自加步进。						
[23:16]	RW	ddr_avs_fsm_dec_pwm_step	DDR AVS FSM PWM 自减步进。						
[15:3]	RO	reserved	保留						
[2:1]	RW	ddr_avs_hpm_fsm_calc_mode	DDR AVS HPM FSM 计算模式。 00: 4 次采样平均; 01: 8 次采样平均; 10: 16 次采样平均; 11: 32 次采样平均。						
[0]	RW	ddr_hpm_fsm_en	DDR AVS HPM FSM 使能控制。 0: 关闭; 1: 打开。						

## PERI\_PMC8

PERI\_PMC8 为 PERI\_PMC8 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0020		PERI_PMC8		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	mda0_avs_fsm_inc_pwm_step		mda0_avs_fsm_dec_pwm_step		reserved			mda0_avs_hpm_fsm_calc_mode	mda0_hpm_fsm_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	mda0_avs_fsm_inc_pwm_step	MDA0 AVS FSM PWM 自加步进。						
[23:16]	RW	mda0_avs_fsm_dec_pwm_step	MDA0 AVS FSM PWM 自减步进。						
[15:3]	RO	reserved	保留						
[2:1]	RW	mda0_avs_hpm_fsm_calc_mode	MDA0 AVS HPM FSM 计算模式。 00: 4 次采样平均; 01: 8 次采样平均; 10: 16 次采样平均; 11: 32 次采样平均。						
[0]	RW	mda0_hpm_fsm_en	MDA0 AVS HPM FSM 使能控制。 0: 关闭; 1: 打开。						

## PERI\_PMC10

PERI\_PMC10 为 CORE HPM 控制寄存器 0



	Offset Address 0x0028																Register Name PERI_PMC10								Total Reset Value 0x0000_000A							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				core_hpm_srst_req	core_hpm_monitor_en	reserved	core_hpm_en	reserved	core_hpm_offset								reserved	core_hpm_shift	reserved	core_hpm_div											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0

Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27]	RW	core_hpm_srst_req	CORE HPM 复位请求，高有效。 0: 撤消复位； 1: 复位。
[26]	RW	core_hpm_monitor_en	CORE HPM 循环监控使能。 0: 单次监控； 1: 循环监控。
[25]	RO	reserved	保留。
[24]	RW	core_hpm_en	使能一次 CORE HPM 测量过程。 0: 开始一次流程之前，此值需保持为 0； 1: 开始一次调频流程。
[23:22]	RO	reserved	保留。
[21:12]	RW	core_hpm_offset	CORE HPM OFFSET 值。
[11:10]	RO	reserved	保留。
[9:8]	RW	core_hpm_shift	CORE HPM SHIFT 值。
[7:6]	RO	reserved	保留。
[5:0]	RW	core_hpm_div	CORE HPM 参考时钟分频比配置。 n : n+1 分频(n 必须配置大于 0)。

## PERI\_PMC11

PERI\_PMC11 为 CORE HPM 状态寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x002C		PERI_PMC11		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				core_hpm_up_warning		core_hpm_low_warning		reserved					core_hpm_pc_record1					reserved		core_hpm_pc_valid					core_hpm_pc_record0						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:26]	RO	reserved	保留。																													
[25]	RO	core_hpm_up_warning	CORE HPM 上溢告警。高有效。																													
[24]	RO	core_hpm_low_warning	CORE HPM 下溢告警。高有效。																													
[23:22]	RO	reserved	保留。																													
[21:12]	RO	core_hpm_pc_record1	CORE HPM 原始码型 1。																													
[11]	RO	reserved	保留。																													
[10]	RO	core_hpm_pc_valid	CORE HPM 输出有效指示。 0: 无效; 1: 有效。																													
[9:0]	RO	core_hpm_pc_record0	CORE HPM 原始码型 0。																													

## PERI\_PMC12

PERI\_PMC12 为 CORE HPM 状态寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x0030		PERI_PMC12		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	core_hpm_rcc	reserved	core_hpm_pc_record3		reserved	core_hpm_pc_record2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留						
[28:24]	RO	core_hpm_rcc	CORE HPM 输出有 RCC 码。						
[23:22]	RO	reserved	保留。						
[21:12]	RO	core_hpm_pc_recor d3	CORE HPM 原始码型 3。						
[11:10]	RO	reserved	保留。						
[9:0]	RO	core_hpm_pc_recor d2	CORE HPM 原始码型 2。						

## PERI\_PMC13

PERI\_PMC13 为 CORE HPM 控制寄存器 3

Offset Address		Register Name		Total Reset Value					
0x0034		PERI_PMC13		0x0100_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	core_hpm_monitor_period		reserved	core_hpm_lowlimit		reserved	core_hpm_uplimit		
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	core_hpm_monitor period	CORE HPM 循环监控周期。 若配置值为 N，则监控的周期为： $T = N * 2048 / 1000$ ms。 监控最大间隔为 522ms，最小间隔为 2ms。						
[23:22]	RO	reserved	保留。						
[21:12]	RW	core_hpm_lowlimit	CORE HPM 下限值。						



[11:10]	RO	reserved	保留。
[9:0]	RW	core_hpm_uplimit	CORE HPM 上限值。

## PERI\_PMC14

PERI\_PMC14 为 A17 HPM 控制寄存器 0

	Offset Address				Register Name								Total Reset Value																			
	0x0038				PERI_PMC14								0x0000_000A																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				a17_hpm_srst_req	a17_hpm_monitor_en	reserved	a17_hpm_en	reserved	a17_hpm_offset								reserved	a17_hpm_shift	reserved	a17_hpm_div											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
Bits	[31:28]				[27]	[26]	[25]	[24]	[23:22]	[21:12]	[11:10]	[9:8]	[7:6]																			
Access	RO				RW	RW	RO	RW	RO	RW	RO	RW	RO																			
Name	reserved				a17_hpm_srst_req	a17_hpm_monitor_en	reserved	a17_hpm_en	reserved	a17_hpm_offset	reserved	a17_hpm_shift	reserved																			
Description	保留。				A17 HPM 复位请求，高有效。 0: 撤消复位； 1: 复位。	A17 HPM 循环监控使能。 0: 单次监控； 1: 循环监控。	保留。	使能一次 A17 HPM 测量过程。 0: 开始一次流程之前，此值需保持为 0； 1: 开始一次调频流程。	保留。	A17 HPM OFFSET 值。	保留。	A17 HPM SHIFT 值。	保留。																			





[5:0]	RW	a17_hpm_div	A17 HPM 时钟分频比配置。 n : n+1 分频(n 必须配置大于 0)。
-------	----	-------------	---

## PERI\_PMC15

PERI\_PMC15 为 A17 HPM 状态寄存器 1。

	Offset Address				Register Name								Total Reset Value																			
	0x003C				PERI_PMC15								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				a17_hpm_up_warning	a17_hpm_low_warning	reserved		a17_hpm_pc_record1				reserved	a17_hpm_pc_valid	a17_hpm_pc_record0																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25]	RO		a17_hpm_up_warning		A17 HPM 上溢告警，高有效。																											
[24]	RO		a17_hpm_low_warning		A17 HPM 下溢告警，高有效。																											
[23:22]	RO		reserved		保留。																											
[21:12]	RO		a17_hpm_pc_record1		A17 HPM 原始码型 1。																											
[11]	RO		reserved		保留。																											
[10]	RO		a17_hpm_pc_valid		A17 HPM 输出有效指示。 0: 无效; 1: 有效。																											
[9:0]	RO		a17_hpm_pc_record0		A17 HPM 原始码型 0。																											

## PERI\_PMC16

PERI\_PMC16 为 A17 HPM 状态寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x0040		PERI_PMC16		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	a17_hpm_rcc	reserved	a17_hpm_pc_record3		reserved	a17_hpm_pc_record2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:24]	RO	a17_hpm_rcc	A17 HPM 输出有 RCC 码。						
[23:22]	RO	reserved	保留。						
[21:12]	RO	a17_hpm_pc_recor d3	A17 HPM 原始码型 3。						
[11:10]	RO	reserved	保留。						
[9:0]	RO	a17_hpm_pc_recor d2	A17 HPM 原始码型 2。						

## PERI\_PMC17

PERI\_PMC17 为 A17 HPM 控制寄存器 3

Offset Address		Register Name		Total Reset Value					
0x0044		PERI_PMC17		0x0100_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	a17_hpm_monitor_period		reserved	a17_hpm_lowlimit		reserved	a17_hpm_uplimit		
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	a17_hpm_monitor_ period	A17 HPM 循环监控周期。 若配置值为 N，则监控的周期为： $T = N * 2048 / 1000$ ms。监控最大间隔为 522ms，最小间隔为 2ms。						
[23:22]	RO	reserved	保留。						
[21:12]	RW	a17_hpm_lowlimit	A17 HPM 下限值。						



[11:10]	RO	reserved	保留。
[9:0]	RW	a17_hpm_uplimit	A17 HPM 上限值。

## PERI\_PMC18

PERI\_PMC18 为 DDR HPM 控制寄存器 0

	Offset Address				Register Name								Total Reset Value																			
	0x0048				PERI_PMC18								0x0000_000A																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ddr_hpm_srst_req	ddr_hpm_monitor_en	reserved	ddr_hpm_en	reserved	ddr_hpm_offset								reserved	ddr_hpm_shift	reserved	ddr_hpm_div											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
Bits	[31:28]				[27]	[26]	[25]	[24]	[23:22]	[21:12]	[11:10]	[9:8]	[7:6]																			
Access	RO				RW	RW	RO	RW	RO	RW	RO	RW	RO																			
Name	reserved				ddr_hpm_srst_req	ddr_hpm_monitor_en	reserved	ddr_hpm_en	reserved	ddr_hpm_offset	reserved	ddr_hpm_shift	reserved																			
Description	保留。				DDR HPM 复位请求，高有效。 0: 撤消复位; 1: 复位。	DDR HPM 循环监控使能。 0: 单次监控; 1: 循环监控。	保留。	使能一次 DDR HPM 测量过程 0: 开始一次流程之前，此值需保持为 0; 1: 开始一次调频流程。	保留。	DDR HPM OFFSET 值。	保留。	DDR HPM SHIFT 值。	保留。																			



[5:0]	RW	ddr_hpm_div	DDR HPM 时钟分频比配置。 n : n+1 分频(n 必须配置大于 0)。
-------	----	-------------	---

## PERI\_PMC19

PERI\_PMC19 为 DDR HPM 状态寄存器 1。

	Offset Address				Register Name								Total Reset Value																							
	0x004C				PERI_PMC19								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				ddr_hpm_up_warning	ddr_hpm_low_warning	reserved		ddr_hpm_pc_record1								reserved	ddr_hpm_pc_valid	ddr_hpm_pc_record0																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:26]	RO		reserved		保留。																															
[25]	RO		ddr_hpm_up_warning		DDR HPM 上溢告警，高有效。																															
[24]	RO		ddr_hpm_low_warning		DDR HPM 下溢告警，高有效。																															
[23:22]	RO		reserved		保留。																															
[21:12]	RO		ddr_hpm_pc_record1		DDR HPM 原始码型 1。																															
[11]	RO		reserved		保留。																															
[10]	RO		ddr_hpm_pc_valid		DDR HPM 输出有效指示。 0: 无效; 1: 有效。																															
[9:0]	RO		ddr_hpm_pc_record0		DDR HPM 原始码型 0。																															

## PERI\_PMC20

PERI\_PMC20 为 DDR HPM 状态寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x0050		PERI_PMC20		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	ddr_hpm_rcc	reserved	ddr_hpm_pc_record3		reserved	ddr_hpm_pc_record2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:24]	RO	ddr_hpm_rcc	DDR HPM 输出有 RCC 码。						
[23:22]	RO	reserved	保留。						
[21:12]	RO	ddr_hpm_pc_recor d3	DDR HPM 原始码型 3。						
[11:10]	RO	reserved	保留。						
[9:0]	RO	ddr_hpm_pc_recor d2	DDR HPM 原始码型 2。						

## PERI\_PMC21

PERI\_PMC21 为 DDR HPM 控制寄存器 3

Offset Address		Register Name		Total Reset Value					
0x0054		PERI_PMC21		0x0100_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	ddr_hpm_monitor_period		reserved	ddr_hpm_lowlimit		reserved	ddr_hpm_uplimit		
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	ddr_hpm_monitor_ period	DDR HPM 循环监控周期。 若配置值为 N，则监控的周期为： $T = N * 2048 / 1000 \text{ ms}$ 。 监控最大间隔为 522ms，最小间隔为 2ms。						
[23:22]	RO	reserved	保留。						
[21:12]	RW	ddr_hpm_lowlimit	DDR HPM 下限值。						



[11:10]	RO	reserved	保留。
[9:0]	RW	ddr_hpm_uplimit	DDR HPM 上限值。

## PERI\_PMC22

PERI\_PMC22 为 MDA0 HPM 控制寄存器 0

	Offset Address	Register Name	Total Reset Value						
	0x0058	PERI_PMC22	0x0000_000A						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	mda0_hpm_srst_req mda0_hpm_monitor_en reserved mda0_hpm_en	reserved	mda0_hpm_offset				reserved mda0_hpm_shift reserved	mda0_hpm_div
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27]	RW	mda0_hpm_srst_req	MDA0 HPM 复位请求，高有效。 0: 撤消复位; 1: 复位。						
[26]	RW	mda0_hpm_monitor_en	MDA0 HPM 循环监控使能。 0: 单次监控; 1: 循环监控。						
[25]	RO	reserved	保留。						
[24]	RW	mda0_hpm_en	使能一次 MDA0 HPM 测量过程。 0: 开始一次流程之前，此值需保持为 0; 1: 开始一次调频流程。						
[23:22]	RO	reserved	保留。						
[21:12]	RW	mda0_hpm_offset	MDA0 HPM OFFSET 值。						
[11:10]	RO	reserved	保留。						
[9:8]	RW	mda0_hpm_shift	MDA0 HPM SHIFT 值。						



[7:6]	RW	reserved	保留。
[5:0]	RW	mda0_hpm_div	MDA0 HPM 时钟分频比配置。 n : n+1 分频(n 必须配置大于 0)。

## PERI\_PMC23

PERI\_PMC23 为 MDA0 HPM 状态寄存器 1。

Offset Address		Register Name		Total Reset Value																												
0x005C		PERI_PMC23		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				mda0_hpm_up_warning		mda0_hpm_low_warning		reserved	mda0_hpm_pc_record1				reserved		mda0_hpm_pc_valid	mda0_hpm_pc_record0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:26]	RO	reserved	保留。																													
[25]	RO	mda0_hpm_up_warning	MDA0 HPM 上溢告警，高有效。																													
[24]	RO	mda0_hpm_low_warning	MDA0 HPM 下溢告警，高有效。																													
[23:22]	RO	reserved	保留。																													
[21:12]	RO	mda0_hpm_pc_record1	MDA0 HPM 原始码型 1。																													
[11]	RO	reserved	保留。																													
[10]	RO	mda0_hpm_pc_valid	MDA0 HPM 输出有效指示。 0: 无效; 1: 有效。																													
[9:0]	RO	mda0_hpm_pc_record0	MDA0 HPM 原始码型 0。																													



## PERI\_PMC24

PERI\_PMC24 为 MDA0 HPM 状态寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x0060		PERI_PMC24		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	mda0_hpm_rcc	reserved	mda0_hpm_pc_record3		reserved	mda0_hpm_pc_record2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:24]	RO	mda0_hpm_rcc	MDA0 HPM 输出有 RCC 码。						
[23:22]	RO	reserved	保留。						
[21:12]	RO	mda0_hpm_pc_record3	MDA0 HPM 原始码型 3。						
[11:10]	RO	reserved	保留。						
[9:0]	RO	mda0_hpm_pc_record2	MDA0 HPM 原始码型 2。						

## PERI\_PMC25

PERI\_PMC25 为 MDA0 HPM 控制寄存器 3

Offset Address		Register Name		Total Reset Value					
0x0064		PERI_PMC25		0x0100_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	mda0_hpm_monitor_period		reserved	mda0_hpm_lowlimit		reserved	mda0_hpm_uplimit		
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	mda0_hpm_monitor_period	MDA0 HPM 循环监控周期。 若配置值为 N，则监控的周期为： $T = N * 2048 / 1000$ ms。 监控最大间隔为 522ms，最小间隔为 2ms。						





[23:22]	RO	reserved	保留。
[21:12]	RW	mda0_hpm_lowlimit	MDA0 HPM 下限值。
[11:10]	RO	reserved	保留。
[9:0]	RW	mda0_hpm_uplimit	MDA0 HPM 上限值。

## PERI\_PMC30

PERI\_PMC30 为 HPM 循环监控微调控制寄存器 1。

	Offset Address				Register Name				Total Reset Value																							
	0x0078				PERI_PMC30				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	a17_hpm_monitor_period_fine				ddr_hpm_monitor_period_fine				mda0_hpm_monitor_period_fine				reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RW	a17_hpm_monitor_period_fine	A17 HPM 循环监控周期微调参数。																												
	[23:16]	RW	ddr_hpm_monitor_period_fine	DDR HPM 循环监控周期微调参数。																												
	[15:8]	RW	mda0_hpm_monitor_period_fine	MDA0 HPM 循环监控周期微调参数。																												
	[7:0]	RO	reserved	保留。																												

## PERI\_PMC31

PERI\_PMC31 为 HPM 循环监控微调控制寄存器 2。

	Offset Address				Register Name				Total Reset Value																							
	0x007C				PERI_PMC31				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												core_hpm_monitor_period_fine																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:8]	RO	reserved	保留。																												



[7:0]	RW	core_hpm_monitor_period_fine	CORE HPM 循环监控周期微调参数。
-------	----	------------------------------	----------------------

## PERI\_PMC68

PERI\_PMC68 为 PERI\_PMC68 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x110				PERI_PMC68				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			tsensor_en	reserved				tsensor_monitor_period				reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RO		reserved		保留。																											
[30]	RW		tsensor_en		TSENSOR 使能控制。 0: 关闭; 1: 使能。																											
[29]	RW		tsensor_monitor_en		温度循环监测使能。 0: 关闭; 1: 使能。																											
[28:24]	RO		reserved		保留。																											
[23:16]	RW		tsensor_monitor_pe riod		温度循环监测周期, 计时基准为 2ms。																											
[15:0]	RO		reserved		保留。																											

## PERI\_PMC69

PERI\_PMC69 为 PERI\_PMC69 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0114		PERI_PMC69		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		tsensor_temp_uplimit		reserved		tsensor_temp_lowlimit		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	tsensor_temp_uplimit	温度上溢值。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	tsensor_temp_lowlimit	温度下溢值。						

## PERI\_PMC70

PERI\_PMC70 为 PERI\_PMC70 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0118		PERI_PMC70		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		tsensor_temp_code1		reserved		tsensor_temp_code0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RO	tsensor_temp_code1	温度记录值 1。						
[15:10]	RO	reserved	保留。						
[9:0]	RO	tsensor_temp_code0	温度记录值 0。						

## PERI\_PMC71

PERI\_PMC71 为 PERI\_PMC71 寄存器。



Offset Address		Register Name		Total Reset Value					
0x011C		PERI_PMC71		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		tsensor_temp_code3		reserved		tsensor_temp_code2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RO	tsensor_temp_code3	温度记录值 3。						
[15:10]	RO	reserved	保留。						
[9:0]	RO	tsensor_temp_code2	温度记录值 2。						

## PERI\_PMC72

PERI\_PMC72 为 PERI\_PMC72 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0120		PERI_PMC72		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		tsensor_temp_code5		reserved		tsensor_temp_code4		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RO	tsensor_temp_code5	温度记录值 5。						
[15:10]	RO	reserved	保留。						
[9:0]	RO	tsensor_temp_code4	温度记录值 4。						

## PERI\_PMC73

PERI\_PMC73 为 PERI\_PMC73 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0124		PERI_PMC73		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		tsensor_temp_code7		reserved		tsensor_temp_code6		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RO	tsensor_temp_code7	温度记录值 7。						
[15:10]	RO	reserved	保留。						
[9:0]	RO	tsensor_temp_code6	温度记录值 6。						

## PERI\_PMC74

PERI\_PMC74 为 PERI\_PMC74 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0128		PERI_PMC74		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							tsensor_low_warning	tsensor_up_warning
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RO	tsensor_low_warning	温度下溢告警标志。高有效。						
[0]	RO	tsensor_up_warning	温度上溢告警标志。高有效。						



## PERI\_PMC77

PERI\_PMC77 为 PERI\_PMC77 寄存器。

Offset Address		Register Name		Total Reset Value																																									
0x0134		PERI_PMC77		0x011F_EC01																																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0													
Name	reserved																				a17_irq_n	a17_fiq_n	a17_standbywfe	a17_standbywfil2	a17_standbywfi	a17_bus_pwrtn_ack_n	a17_bus_pwrtn_req_n_cfg	a17_bus_cactives	a17_bus_cactvem	a17_pwrtn_ack	a17_pwrtn_req_cfg	a17_pwrtn_iso_cfg													
Reset	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	1	1	1	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0	1											
Bits	Access	Name	Description																																										
[31:12]	RO	reserved	保留。																																										
[11]	RO	a17_irq_n	A17 快速中断指示信号。 0: 中断有效; 1: 中断无效。																																										
[10]	RO	a17_fiq_n	A17 普通中断指示信号。 0: 中断有效; 1: 中断无效。																																										
[9]	RO	a17_standbywfe	A17 核 WFE 指示信号。 0: WFE 无效。 1: WFE 有效;																																										
[8]	RO	a17_standbywfil2	A17 non-CPU WFI 指示信号。 0: WFI 无效。 1: WFI 有效;																																										
[7]	RO	a17_standbywfi	A17 核 WFI 指示信号。 0: WFI 无效。 1: WFI 有效;																																										
[6]	RO	a17_bus_pwrtn_ack_n	A17_CPU_SUBSYS 总线掉电握手指示信号。 0: 完成下电请求。 1: 完成上电请求;																																										



[5]	RW	a17_bus_pwrdn_req_n_cfg	A17_CPU_SUBSYS 总线掉电握手控制信号。 0: 下电请求。 1: 上电请求;
[4]	RO	a17_bus_cactives	A17 异步桥 active 指示信号(slave 端)。 0: 异步桥 idle; 1: 异步桥 busy。
[3]	RO	a17_bus_cactivem	A17 异步桥 active 指示信号(master 端)。 0: 异步桥 idle; 1: 异步桥 busy。
[2]	RO	a17_pwrdn_ack	A17 供电状态指示。 0: 供电; 1: 掉电。
[1]	RW	a17_pwrdn_req_cfg	A17 掉电请求。 0: 供电; 1: 掉电。
[0]	RW	a17_pwrdn_iso_cfg	A17 信号隔离控制(掉电前必须进行信号隔离, 同时在启动隔离时必须保证总线处于 idle 状态)。 0: 不隔离; 1: 隔离。

## PERI\_PMC78

PERI\_PMC78 为 PERI\_PMC78 寄存器。



Offset Address		Register Name		Total Reset Value																																					
0x0138		PERI_PMC78		0x0000_0000																																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
Name	reserved												cci_arch_clkgate_enable	use_cs_pr	lp_mode_en	wfi_ret_en	pgen_pulse_width	pgenf2retnr_timing	retnf2pgenr_timing	a17_l2_ram_lp_mode	cci_sf_ram_lp_mode_update	cci_sf_ram_lp_mode																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description																																						
[31:13]	RO	reserved	保留。																																						
[12]	RW	cci_arch_clkgate_enable	CCI arch 自动门控开关。 0: 关闭; 1: 打开。																																						
[11]	RW	use_cs_pr	coresight power requestor 组件开关。 0: 关闭; 1: 打开。																																						
[10]	RW	lp_mode_en	A17 L2 retention 低功耗模式开关。 0: 不使能; 1: 使能。																																						
[9]	RW	wfi_ret_en	A17 Wi-Fi 信号触发低功耗模式使能开关。 0: 关闭; 1: 打开。																																						
[8]	RW	pgen_pulse_width	pgen 信号展宽控制。 0: 增加 0cycle; 1: 增加 2cycle。																																						
[7]	RW	pgenf2retnr_timing	pgen 信号下降沿到 ret1n 信号上升沿时间间隔展宽控制。 0: 增加 0cycle; 1: 增加 2cycle。																																						





[6]	RW	retnf2pgenr_timing	ret1n 信号下降沿到 pgen 信号上升沿时间间隔展宽控制。 0: 增加 0cycle; 1: 增加 2cycle。
[5:4]	RW	a17_l2_ram_lp_mode	A17 L2 RAM 的低功耗模式选择。 00: 正常模式; 01: precharge 模式使能; 10: 保留; 11: RET 模式使能。
[3]	RW	cci_sf_ram_lp_mode_update	cci_sf_ram_lp_mode 更新使能。 0: 不更新到逻辑; 1: 更新到逻辑。
[2:0]	RW	cci_sf_ram_lp_mode	CCI snoop filter ram 的低功耗模式选择。 00: CCI snoop filter RAM 保持在正常操作状态; 01: 允许 CCI snoop filter RAM 动态进入 retention; 1x: power off。 <b>注意: 只有当 cci_sf_ram_lp_mode_update 为 1 时才会刷新到逻辑。</b>

## PERI\_PMC79

PERI\_PMC79 为 PERI\_PMC79 寄存器。

Offset Address	Register Name	Total Reset Value										
0x013C	PERI_PMC79	0x00FF_0000										
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0											
Name	reserved						a17_ac_inactive	reserved				mode_onoff
Reset	0 0 0 0   0 0 0 0   1 1 1 1   1 1 1 1   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0											
Bits	Access	Name	Description									
[31:9]	RO	reserved	保留。									



[8]	RW	a17_ac_inactive	A17 ACE 总线 AC 通道去有效控制信号。 0: 不屏蔽 AC 通道; 1: 屏蔽 AC 通道。
[7:2]	RO	reserved	保留。
[1:0]	RW	mode_onoff	A17 上下电控制模式。 00: 保留; 01: 保留; 1X: 软件手动模式。



## 目 录

<b>4 存储器接口</b> .....	<b>4-1</b>
4.1 DDR 控制器 .....	4-1
4.1.1 概述 .....	4-1
4.1.2 特点 .....	4-1
4.1.3 功能描述 .....	4-1
4.1.4 工作方式 .....	4-9
4.1.5 AXI 寄存器.....	4-10
4.1.6 QOSBUF 寄存器.....	4-31
4.1.7 DDRC 内 DMC 模块寄存器 .....	4-73
4.2 Flash Memory 控制器 .....	4-129
4.2.1 概述 .....	4-129
4.2.2 特点 .....	4-129
4.2.3 功能描述 .....	4-130
4.2.4 工作流程 .....	4-139
4.2.5 数据结构(NAND Flash/SPI NAND Flash).....	4-145
4.2.6 ECC 模式选择说明 .....	4-151
4.2.7 FMC 寄存器概览 .....	4-151
4.2.8 FMC 寄存器描述 .....	4-154



## 插图目录

图 4-1 DDRC 单通道模式下，每个通道与两片 16bit 位宽 DDR3 SDRAM 的互联示意图 .....	4-3
图 4-2 DDRC 单通道模式下，每个通道与 4 片 8bit 位宽 DDR3 SDRAM 的互联示意图 .....	4-4
图 4-3 FMC 接口框图 .....	4-130
图 4-4 Standard SPI 接口模式写操作时序图 .....	4-131
图 4-5 Standard SPI 接口模式读操作时序图。 .....	4-132
图 4-6 Dual-Output/Dual-Input SPI 接口时序图 .....	4-132
图 4-7 Dual I/O SPI 模式 SDR 时序图 .....	4-133
图 4-8 Dual I/O SPI 模式 DDR/DTR 时序图 .....	4-133
图 4-9 Quad-Output/Quad-Input SPI 模式时序图 .....	4-134
图 4-10 Quad-I/O SPI 模式接口时序图 .....	4-134
图 4-11 Quad-I/O SPI 模式 DDR/DTR 接口时序图 .....	4-135
图 4-12 SPI 输出时序图 .....	4-135
图 4-13 擦除操作流程图中 .....	4-142
图 4-14 4bit ECC 模式 2K Page-size 的数据结构 .....	4-147
图 4-15 4bit ECC 模式 4K Page-size 的数据结构 .....	4-147
图 4-16 8bit ECC 模式 2K Page-size 的数据结构 .....	4-147
图 4-17 8bit ECC 模式 4K Page-size 的数据结构 .....	4-148
图 4-18 24bit ECC 模式 2K Page-size 的数据结构 .....	4-148
图 4-19 24bit ECC 模式 4K Page-size 的数据结构 .....	4-148
图 4-20 24bit ECC 模式 8K Page-size 的数据结构 .....	4-148
图 4-21 28bit ECC 模式 2K Page-size 的数据结构 .....	4-149
图 4-22 28bit ECC 模式 4K Page-size 的数据结构 .....	4-149
图 4-23 28bit ECC 模式 8K Page-size 的数据结构 .....	4-149
图 4-24 40bit ECC 模式 8K Page-size 的数据结构 .....	4-150
图 4-25 40bit ECC 模式 16K Page-size 的数据结构 .....	4-150



---

图 4-26 64bit ECC 模式 8K Page-size 的数据结构.....	4-150
图 4-27 64bit ECC 模式 16K Page-size 的数据结构.....	4-151



## 表格目录

表 4-1 DDRC 支持的 DDR3 SDRAM 列表 .....	4-1
表 4-2 DDR3 命令真值表 .....	4-5
表 4-3 DDRC DDR3 32bit 模式地址映射表 .....	4-8
表 4-4 AXI 寄存器概览（基址是 0x1206_0000） .....	4-10
表 4-5 AXI 寄存器偏移地址变量表 .....	4-11
表 4-6 QOSBUF 寄存器概览（基址是 0x1206_4000） .....	4-32
表 4-7 QOSBUF 寄存器偏移地址变量表 .....	4-35
表 4-8 DMC 寄存器概览（基址是 0x1206_8000） .....	4-73
表 4-9 控制器管脚与芯片管脚的对应关系 .....	4-131
表 4-10 FLASH 地址分配表 .....	4-135
表 4-11 自适应 Boot 模式列表 .....	4-137
表 4-12 非 ECC0 模式数据结构长度 .....	4-146
表 4-13 FMC 寄存器概览（基址是 0x1000_0000） .....	4-151



# 4 存储器接口

## 4.1 DDR 控制器

### 4.1.1 概述

DDRC (DDR SDRAM Controller) 实现对动态存储器 DDR3 SDRAM 的存取控制。

### 4.1.2 特点

DDRC 的功能特点:

- DDRC 支持单通道, 只提供一个片选空间; 每个通道对应的 DDR SDRAM 数据总线位宽是 32bit, 即最大支持 32bit 位宽的 DDR, 同时也支持对接 16bit 位宽的 DDR, 但仅限于使用低两个 byte。
- 支持最大存储空间为: 2GByte。
- 支持 DDR3 SDRAM 总线工作频率为 800MHz 支持数据率 1600Mbps。
- 支持 DDR SDRAM 的 Power Down、Self Refresh 等低功耗模式。
- DDR SDRAM 的 burst8 传输模式, 支持 INCR 和 WRAP 命令, 不支持 FIXED。

### 4.1.3 功能描述

#### 4.1.3.1 应用框图

DDRC 实现了 SoC 系统中的 CPU 等主设备对外存 DDR3 SDRAM 的数据访问。通过 CPU 配置 DDRC 的时序参数寄存器, 可以支持符合 JEDEC 标准的 DDR3 SDRAM 器件。表 4-1 列举了 DDRC 支持的几家主流 DRAM 厂商的 DDR3 SDRAM。此表针对 DDR3 SDRAM 的工作频率进行描述, 没有考虑容量等因素的限制。

表4-1 DDRC 支持的 DDR3 SDRAM 列表

厂商	800MHz	933MHz
Samsung	DDR3-1600 DDR3-1866 DDR3-2133	DDR3-1866 DDR3-2133



厂商	800MHz	933MHz
lanya	DDR3-1600 DDR3-1866 DDR3-2133	DDR3-1866 DDR3-2133
Hynix	DDR3-1600 DDR3-1866 DDR3-2133	DDR3-1866 DDR3-2133

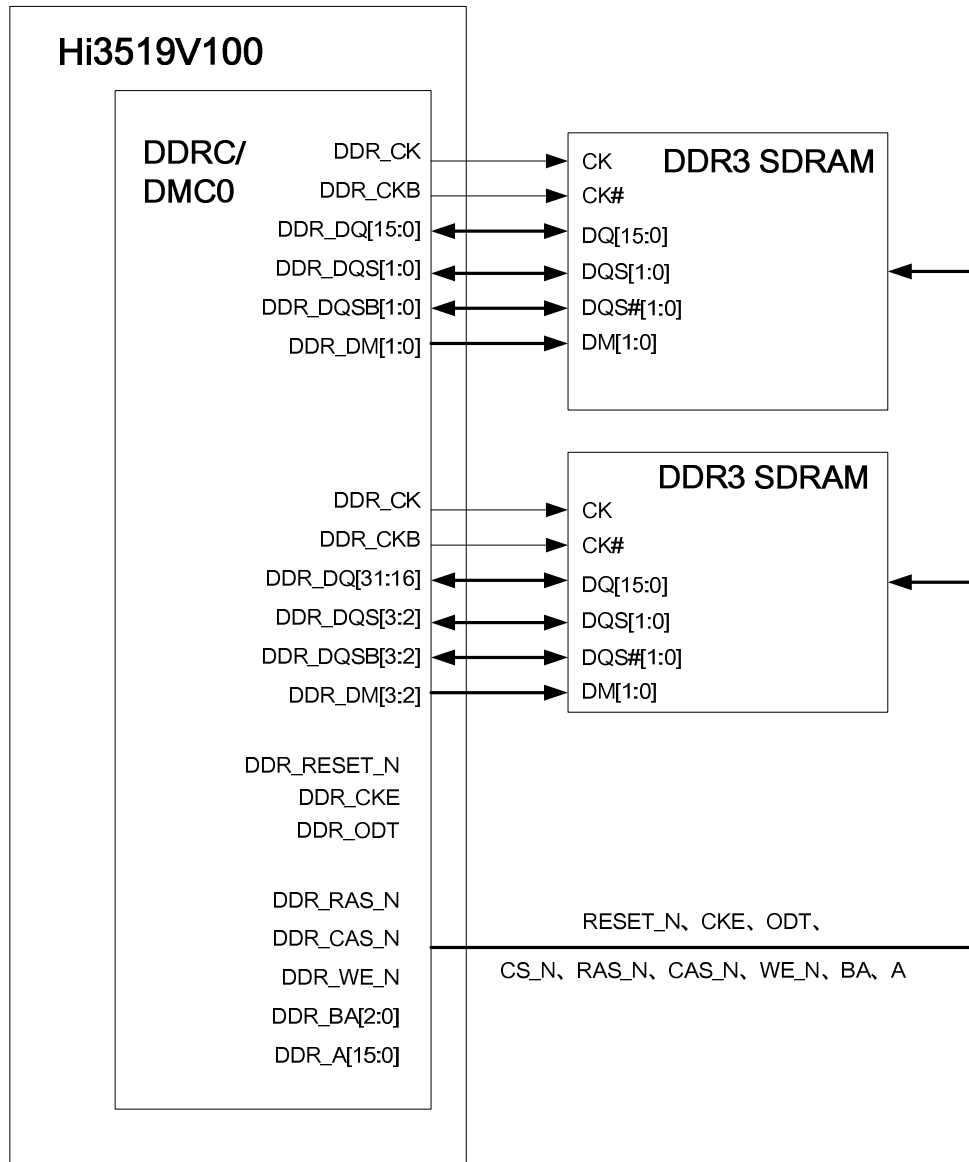
注：具体支持器件类型以 JEDEC 标准和器件 DATASHEET 为基准。

DDRC 单通道模式下，每个通道支持 32bit 互联模式，该模式示意图如图 4-1 和图 4-2 所示。





图4-1 DDRC 单通道模式下，每个通道与两片 16bit 位宽 DDR3 SDRAM 的互联示意图

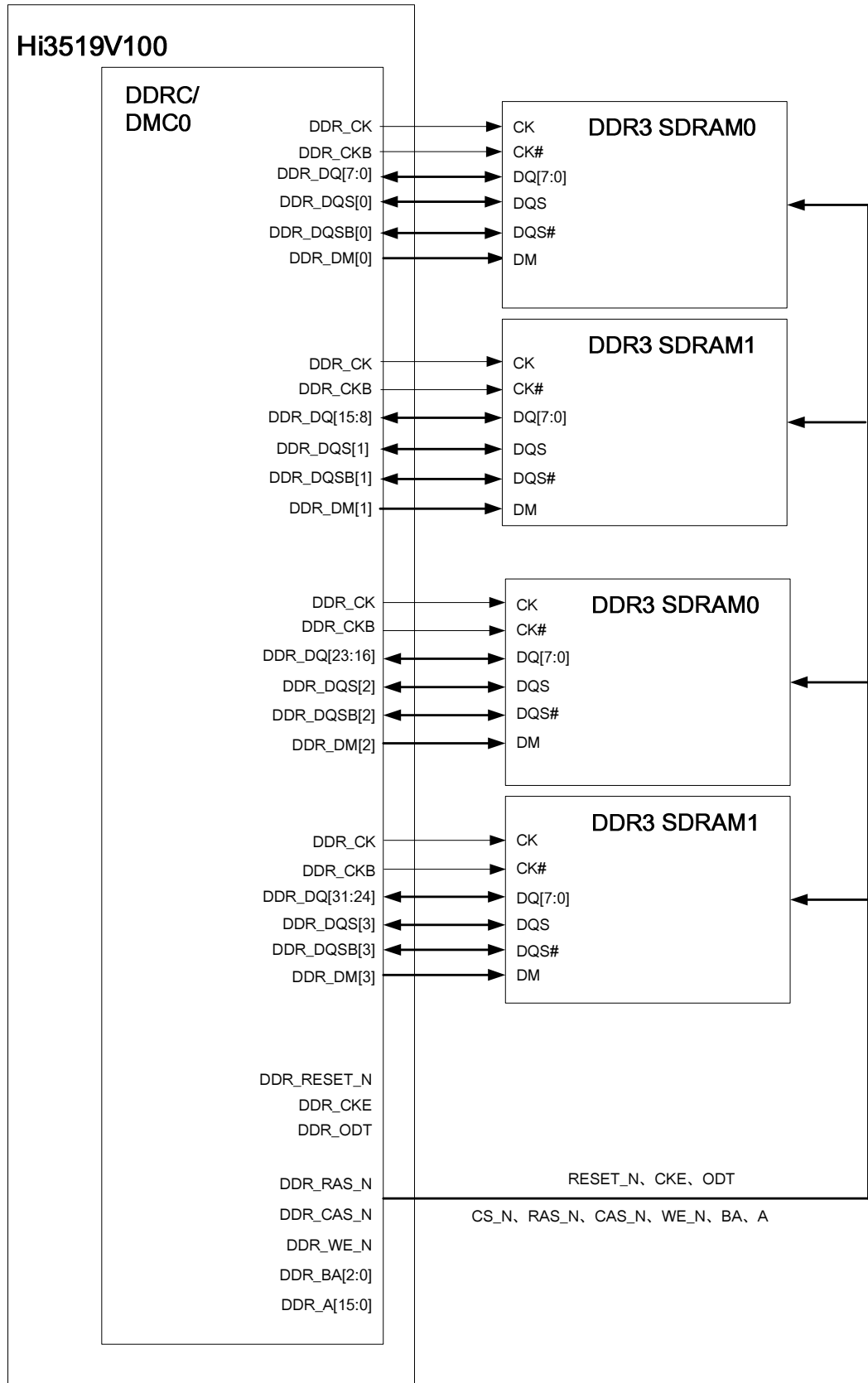


连接说明：

DDRC 对接 32bit DDR3 SDRAM 由两片数据总线宽度为 16bit 的存储器件组成。DDRC/DMC0 对应的命令控制信号：DDR\_CS\_N、DDR\_CKE、DDR\_RESET\_N、DDR\_RAS\_N、DDR\_CAS\_N、DDR\_WE\_N、DDR\_BA[2:0]、DDR\_A[15:0]、DDR\_ODT，与 DDR3 SDRAMx 的命令控制信号相连，DDRC 的命令控制总线是 1 驱 2 的连接模式。



图4-2 DDRC 单通道模式下，每个通道与 4 片 8bit 位宽 DDR3 SDRAM 的互联示意图





连接说明:

DDRC 对接 32bit DDR3 SDRAM 是由 4 片数据总线宽度为 8bit 的存储器件组成。DDRC 的命令控制信号: DDR\_CS\_N、DDR\_CKE、DDR\_RESET\_N、DDR\_RAS\_N、DDR\_CAS\_N、DDR\_WE\_N、DDR\_BA[2:0]、DDR\_A[15:0]，同时与 DDR3 SDRAMx 的命令控制信号相连，即 DDRC 的命令控制总线是 1 驱 4 的连接模式。

### 4.1.3.2 功能原理

DDRC 接口时序满足 JESD 标准，通过发送 DDR3 SDRAM 的命令字，完成对 DDR3 SDRAM 的数据访问和状态控制。包括 DDR3 SDRAM 的读写访问、自动刷新、低功耗控制等功能。

### 命令真值表

DDRC 支持 DDR3 SDRAM 的读写和控制命令字。DDRC 的命令真值表如表 4-2 所示。更加详细的信息请参阅 JEDEC 标准和器件手册。

表4-2 DDR3 命令真值表

FUNCTION	DDR3_CKE	DDR3_CSN	DDR3_RASN	DDR3_CASN	DDR3_WEN	DDR3_ADR			DDR3_BA
						15:11	AP(10)	9:0	
DESELECT	H	H	X	X	X	X	X	X	X
ACTIVE	H	L	L	H	H	V	V	V	V
READ	H	L	H	L	H	V	V	V	V
WRITE	H	L	H	L	L	V	V	V	V
PRECHARGE	H	L	L	H	L	V	L	V	BA
PRECHARGE ALL	H	L	L	H	L	V	H	V	V
AUTO REFRESH	H	L	L	L	H	V	V	V	V
SELF REFRESH ENTRY	H->L	L	L	L	H	V	V	V	V
SELF REFRESH EXIT	L->H	L	H	H	H	V	V	V	V
MODE REGISTER SET	H	L	L	L	L	V	V	V	V
ZQCL	H	L	H	H	L	X	H	X	X
ZQCS	H	L	H	H	L	X	L	X	X

H: 表示高电平; L: 表示低电平; V: 表示有效; X: 表示不关心。

ZQCL (ZQ Calibration Long): 用于在 DDR3 SDRAM 上电初始化时, 启动 DDR3 的 ZQ Calibration 操作。

ZQCS (ZQ Calibration Short): 用于在芯片环境条件发生变化时, 启动 DDR3 的 ZQ Calibration 操作。



## 自动刷新

当配置 `DDRC_CFG_TIMING2[taref]` 为非零值，DDRC 自动产生周期性 AUTO REFRESH 命令，完成对 DDR SDRAM 的刷新操作。常温下，DDR3 SDRAM 要求在 64ms 内必须完成 8,192 次自动刷新操作，即自动刷新操作的周期为 7.8us，实际值以器件手册为准。`DDRC_CFG_TIMING2[taref]` 的配置值（taref）与自动刷新周期（ $T=7.8us$ ）的关系为：

$$T \geq \text{taref} * (16 * \text{DDR 时钟周期})$$

在配置了 `DDRC_CFG_TIMING2[taref]`，DDRC 内部的计数器会自动加载 taref 值进行减计数，当计数器值为 0 时，DDRC 发起一次自动刷新操作，同时重新加载 taref 值进行计数。

## 低功耗管理

DDRC 支持两种模式的低功耗管理：普通低功耗模式和自刷新低功耗模式。

当配置 `DDRC_CFG_PD[pd_en]=1`，使能 SDRAM 自动低功耗后，系统处于空闲状态时（DDRC 总线接口一定时间内无读写 DDR 访问），自动控制 DDR3 SDRAM 进入到普通低功耗模式。

当系统需要进入到待机模式时，可通过配置寄存器 `DDRC_CTRL_SREF[sref_req]=1`，控制 DDR3 SDRAM 进入到自刷新低功耗模式。该模式下可以将 DDR3 SDRAM 的功耗降至最低，同时保持 DDR3 SDRAM 中的数据，但是此时系统不能访问 DDR3 SDRAM。

## 仲裁机制

DDRC 主要通过优先级调度算法对各命令进行调度。另外，DDRC 内还实现了流量控制和 timeout 控制这两种调度辅助手段（根据业务需要来使能这两种控制手段，可以同时使能，也可以单独使能），对命令的请求进行控制。

### 1. 优先级调度

优先级等级为：0~7。每个 AXI 端口的优先级配置是独立的。

每个 AXI 端口命令的优先级配置方法：

- 步骤 1. 通过配置 `AXI_QOS_MAP[pri_map_mode]` 选择优先级映射方式，如果 `AXI_QOS_MAP[pri_map_mode]` 配为 1，则使用命令的系统总线随路信号得到索引；如果 `AXI_QOS_MAP[pri_map_mode]` 配为 0，则需配置 `AXI_QOS_MAP[id_map_idx]` 的值来选择命令 id 信号中的任意 3bit 得到索引号。
- 步骤 2. 配置 `AXI_QOS_WRPRIn` 和 `AXI_QOS_RDPRIn` 寄存器。
- 步骤 3. DDRC 根据每个命令对应的优先级索引，查询出 `AXI_QOS_WRPRIn` 或者 `AXI_QOS_RDPRIn` 寄存器内的 8 个预设值中一个值，并将该值添加给总线的读写命令作为优先级。DDRC 内部仲裁器，根据提起仲裁请求的命令的优先级属性进行调度，实现对 DDR SDRAM 的高效率访问。

---结束



支持优先级自适应。通过配置 `AXI_QOS_ADPTn`，使能每个端口优先级自适应功能，以帮助低优先级命令通过各级仲裁：每当优先级递增周期到达后，自动将命令优先级提升一级，直到将优先级提至次最高；优先级递增周期的范围为 `adpt_prd*16`

同一端口的读写命令将被汇聚成一路，支持两种可选的仲裁规则：

- 读写命令先到先仲裁，同时到达时先读后写。
- 根据读写命令的优先级高低仲裁。  
不同优先级的命令：仲裁给优先级最高的命令。  
同优先级的命令：仲裁给最久未获得过仲裁的命令。

## 2. 流量控制

配置 `QOSB_FLUX_EN` [`flux_en`]，同时根据流量控制需要，根据命令的 id 来分组，DDRC 将每组的流量进行分配，保证各端口在 DDRC 访问繁忙时的带宽。

## 3. timeout 控制

配置 `QOSB_TIMEOUT_MODE` [`timeout_mode`]，选择命令的 timeout 属性映射模式。类似于优先级的映射，timeout 映射方法：在所配置映射模式下，查询出预设的 16 个 timeout 值中的一个值，并将该值添加给该命令作为 timeout 值（0 值代表禁止 timeout）。DDRC 内部，有 timeout 属性的命令，在等待时间到达，强制屏蔽其他不具有 timeout 属性命令向仲裁器发起仲裁请求，而自己立刻提起仲裁请求。

## 流量统计和命令 latency 统计功能

DDRC 支持流量统计功能：可以统计接口读写流量，用以收集当前流量信息以决定是否需要进行 DFS (Dynamical Frequency Scaling)，即：提高或者降低 DDRC 的频率。可以对指定 ID 访问读/写流量单独统计。可以对总体读/写流量统计。支持 DDR 接口利用率统计，统计计数器支持连续统计和单次统计，当为连续统计时计数器为非饱和计数器，计数器记到最大值后会卷绕，方便系统进行连续统计，所以需要系统在计数器未卷绕之前将计数器值读出。当为单次统计时，统计计数器在进行统计时间到达后停止统计，系统可以用此功能可以统计瞬时的流量以及 latency。

DDRC 支持命令 latency 统计功能：支持指定 ID 访问读写最大 latency 统计，以及累积 latency 统计。

统计功能操作，如下：

- 步骤 1. 通过 `DDRC_CFG_PERF` [`perf_mode`]配置统计的模式是否为连续触发还是单次触发，如为单次触发还需要配置 `perf_prd` 域配置统计周期。
- 步骤 2. 通过 `DDRC_CFG_STAID` 配置期望统计的 ID。
- 步骤 3. 通过 `DDRC_CFG_STAIDMSK` 设置 ID 的 Mask 值，DDRC 会通过 `sta_idmask&cmd_id` 是否等于 `DDRC_CFG_STAID` 判断是否将当前访问纳入统计。使用这种方法可以统计多个 ID 的统计值。
- 步骤 4. 配置 `DDRC_CTRL_PERF` [`perf_en`]使能统计。如为单次统计 `perf_en` 恢复为 0 时表示统计完成，如为连续统计需要软件将 `DDRC_CTRL_PERF` [`perf_en`]写 0 停止统计。
- 步骤 5. 通过 `DDRC_HIS_FLUX_WR`、`DDRC_HIS_FLUX_RD`、`DDRC_HIS_FLUX_WCMD`、`DDRC_HIS_FLUX_RCMD`、`DDRC_HIS_FLUXID_WR`、`DDRC_HIS_FLUXID_RD`、



[DDRC\\_HIS\\_FLUXID\\_WCMD](#)、[DDRC\\_HIS\\_FLUXID\\_RCMD](#)、[DDRC\\_HIS\\_WLATCNT0](#)、[DDRC\\_HIS\\_WLATCNT1](#)、[DDRC\\_HIS\\_RLATCNT0](#)、[DDRC\\_HIS\\_RLATCNT1](#)、[DDRC\\_HIS\\_INHERE\\_RLAT\\_CNT](#) 来观测统计结果。

----结束

## 地址映射方式

DDRC 实现了将系统总线的访问地址转换为 DDR SDRAM 的访问地址。通过配置寄存器 AXI\_REGION\_ATTRIB 可以实现 RRBC(Rank\_row\_bank\_col)、RRBC(Row\_rank\_bank\_col)、RRCBC(Rank\_row\_col\_bank\_col)、RRCBC(Row\_rank\_col\_bank\_col)四种映射方式。通过 [DDRC\\_CFG\\_RNKVOL\[mem\\_row\]](#) 和 [DDRC\\_CFG\\_RNKVOL\[mem\\_col\]](#) 寄存器对 SDRAM 的行地址和列地址位宽进行配置。DDRC 根据地址映射算法将系统总线地址转换为 DDR SDRAM 地址。

下面以 RRCBC(Rank\_row\_col\_bank\_col)模式示例说明系统总线地址和 DDR SDRAM 地址的映射算法。假设系统总线地址为 BUSADR[31:0]，有效地址为 BUSADR[m-1:0]，DDR3 SDRAM 的地址为 DDRADR[15:0]。当 DDRADR[15:0]作为行地址时，其有效地址为 DDRROW[x-1:0]，作为列地址时，其有效地址为 DDRCOL[y-1:0]，DDR 的 BANK 地址为 DDRBA[z-1:0]，DDRC 的存储数据总线宽度为 DW，此时 [AXI\\_REGION\\_ATTRIB\[ch\\_mode\]=2'b01](#) ([AXI\\_REGION\\_ATTRIB\[ch\\_mode\]=2'b11](#) 时候暂不做介绍)，则地址映射关系为：

[AXI\\_REGION\\_ATTRIB\[bnk\\_mod\]](#)选择 bank 交织的粒度，假配置为 3b101 时（对接 32bit 位宽的器件），即按 256B 为粒度交织：

$$\text{BUSADR}[m-1:0] = \{\text{DDRROW}[x-1:0], \text{DDRCOL}[y-1:6], \text{DDRBA}[z-1:0], \text{DDRCOL}[5:0], 2\{b0\}\}$$

如下表 4-3 分别示例了 DDR3 的地址映射方式。

表4-3 DDRC DDR3 32bit 模式地址映射表

存储器类型	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR									
			2	1	0		14	13	12	11	10/ AP	9	8	7	6	[5:0]
512Mbit 8bank																
32×16	12	10	10	9	8	Row	-	-	-	26	25	24	23	22	21	[20:15]
						Col	-	-	-	-	AP	14	13	12	11	[7:2]
1024Mbit 8bank																
64×16	13	10	10	9	8	Row	-	-	27	26	24	24	23	22	21	[20:15]
						Col	-	-	-	-	AP	14	13	12	11	[7:2]
2048Mbit 8bank																
128×16	13	10	10	9	8	Row	-	28	27	26	25	24	23	22	21	[20:15]
						Col	-	-	-	-	AP	14	13	12	11	[7:2]



存储器类型	行地址 宽度	列地址 宽度	DDR BA			行地 址列 地址	DDR ADR									
			2	1	0		14	13	12	11	10/ AP	9	8	7	6	[5:0]
4096Mbit 8bank																
256×16	14	10	10	9	8	Row	29	28	27	26	25	24	23	22	21	[20:15]
						Col	-	-	-	-	AP	14	13	12	11	[7:2]

## 4.1.4 工作方式

### 4.1.4.1 软复位

DDRC 不能进行单独的复位操作。只有在全局软复位时，才能复位 DDRC。复位之后，需要按照初始化流程进行重新初始化 DDR3 SDRAM。

### 4.1.4.2 DDR 初始化配置流程

系统上电之后，必须先完成 DDR SDRAM 的初始化操作，系统才能访问 DDR SDRAM。在进行初始化之前需要注意以下几点：

- 对 DDR SDRAM 进行上电操作时，需要遵循 JEDEC 标准。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。

DDRC 对接的 DDR SDRAM 容量为 8Gbit，可由 2 片容量为 4Gbit，数据总线位宽为 16bit 的 DDR SDRAM 或者 4 片容量为 2Gbit，数据位宽为 8bit 的 DDR SDRAM 构成的存储空间；DDRC 和 DDR 工作频率比 1:2 模式下，整个 DDR 子系统的初始化步骤如下：

步骤 1. 配置 DMC0 的寄存器 `DDRC_CFG_SREF=0x0`，退出自刷新(DDR3 模式需要此步骤)。

步骤 2. 软件查询 DMC0 的寄存器 `DDRC_CURR_FUNC[0]=1'b0` 后，往下执行。

配置 DMC0 的工作模式、时钟频率、及时序参数，涉及到寄存器 `DDRC_CFG_WORKMODE`、`DDRC_CFG_RNKVOL`、

步骤 3. `DDRC_CFG_TIMING0`、`DDRC_CFG_TIMING1`、`DDRC_CFG_TIMING2`、`DDRC_CFG_TIMING3`、`DDRC_CFG_TIMING4`、`DDRC_CFG_TIMING5`、`DDRC_CFG_TIMING6`、`DDRC_CFG_PD`、`DDRC_CFG_DDRPHY`、`DDRC_CFG_ODT`。

步骤 4. 配置 DMC0 的寄存器 `DDRC_CFG_DDRMODE`，选择外接 DDR 的类型。

步骤 5. 配置 DMC0 对接的 DDRPHY 的工作模式，时间参数、DDRPHY IO 驱动和 ODT 阻抗，以及读写命令通路的 delay 参数，涉及到的寄存器有：`PHYTIMER0`、`PHYTIMER1`、`PLLTIMER`、`DLMEASCTRL`、`DRAMCFG`、`ACPHYCTL4`、`DRAMTIMER0`、`DRAMTIMER1`、`DRAMTIMER2`、`DRAMTIMER3`、`DRAMTIMER4`、`DRAMTIMER5`、`IOCTL(Static_reg)`、`MISC`、`MODEREG01`、`MODEREG23`、`MODEREG45`、`MODEREG67`、`PHYCTRL0`、`ACPHYBOUND`。



- 步骤 6. 配置 DDRPHY0 的寄存器 RNK2RNK、DMSEL、DQSSEL(Static\_reg)，选择 ADDR/CMD 信号 swap 方式以及 DQ/DQS 信号的 swap 方式。
- 步骤 7. 配置 DMC0 对接的 DDRPHY 的寄存器 PHYINITCTRL，启动 DDRPHY0 进行初始化。
- 步骤 8. 等待 DDRPHY0 的 PHYINITCTRL 为 0，即：DDR PHY0 初始化完成。
- 步骤 9. 配置 DMC0 的 DDRC\_CFG\_TIMING2[10:0]，使能 auto refresh 命令发送功能。
- 步骤 10. 配置 AXI 的 AXI\_REGION\_MAP，配置 DDR 的地址区域映射。
- 步骤 11. 配置 AXI 的 AXI\_REGION\_ATTRIB，配置 DDR 的地址区域属性。
- 步骤 12. 配置 DMC0 的寄存器 DDRC\_CFG\_SREF=0x2，解反压。

---结束

完成以上步骤以后，DDR3 SDRAM 就可以正常工作。

**说明：**针对不同的 DDR 颗粒，所配置的寄存器的值可能会有部分不同，但配置过程需按上述步骤进行。

## 4.1.5 AXI 寄存器

### 4.1.5.1 AXI 寄存器概览

AXI 寄存器概览如表 4-4 所示。

表4-4 AXI 寄存器概览（基址是 0x1206\_0000）

偏移地址	名称	描述	页码
0x004	AXI_CFG_LOCK	寄存器锁定控制	4-11
0x008	AXI_CKG	模块的时钟门控	4-12
0x020	AXI_ACTION	AXI 接口工作模式寄存器	4-13
0x100+0x10 ×regions	AXI_REGION_MAP	地址区域映射	4-14
0x104+0x10 ×regions	AXI_REGION_ATTRIB	地址区域属性	4-15
0x108+0x10 ×regions	AXI_REGION_SCRMBL	地址区域地址扰码模式	4-18
0x200+0x10 ×ports	AXI_QOS_MAP	命令优先级映射方式	4-19
0x204+0x10 ×ports	AXI_QOS_WRPRIn	写命令优先级映射表	4-20





偏移地址	名称	描述	页码
0x208+0x10 × ports	AXI_QOS_RDPRIn	读命令优先级映射表	4-22
0x20C+0x10 × ports	AXI_QOS_ADPTn	优先级自适应周期映射表	4-24
0x300+0x10 × ports	AXI_OSTD_PRTn	端口的命令 OSTD 限制	4-25
0x304+0x10 × ports	AXI_OSTD_PRT_S Tn	端口的命令 OSTD 统计值	4-26
0x400+0x10 × groups	AXI_OSTD_GROU Pn	端口分组的命令 OSTD	4-26
0x404+0x10 × groups	AXI_OSTD_PRI0	各端口分组内基于优先级的 命令 OSTD	4-27
0x408+0x10 × groups	AXI_OSTD_PRI1	各端口分组内基于优先级的 命令 OSTD	4-29
0x40C+0x10 × groups	AXI_OSTD_GROU P_STn	端口分组的命令 OSTD 统计值	4-30
0x600	AXI_STATUS	各个端口的工作状态	4-30
0x610	AXI_INT_STATUS	中断状态	4-31

AXI 寄存器偏移地址中变量的取值范围和含义如表 4-5 所示。

表4-5 AXI 寄存器偏移地址变量表

变量名称	取值范围	描述
regions	0~16	地址区域个数。
ports	0~8	AXI 端口个数。
groups	0~4	端口 outstanding 统计分组组数。

#### 4.1.5.2 AXI 寄存器描述

##### AXI\_CFG\_LOCK

AXI\_CFG\_LOCK 为寄存器锁定控制。



Offset Address		Register Name		Total Reset Value					
0x004		AXI_CFG_LOCK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								apb_cfg_lock
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	apb_cfg_lock	锁定 MDDRC 内所有的寄存器配置模块 (AXI_IF/SEC/DMC/PUB)。 0: 不锁定; 1: 锁定(除本寄存器外的所有 AXI_IF 配置寄存器皆无法访问, 可降低功耗)。						

## AXI\_CKG

AXI\_CKG 为模块的时钟门控。

Offset Address		Register Name		Total Reset Value					
0x008		AXI_CKG		0x000F_1FFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			sta_ckg_dmc	reserved	dyn_ckg_rdr	dyn_ckg_axi		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:16]	RW	sta_ckg_dmc	各个 DMC 的静态时钟门控。 sta_ckg_dmc[n]=0: 关闭 DMCn 及对应 pub 的时钟; sta_ckg_dmc[n]=1: 打开 DMCn 及对应 pub 的时钟。 <b>注意: n = 2 及 n = 3 情况保留。</b>						



[15:13]	RO	reserved	保留。
[12]	RW	dyn_ckg_rdr	REORDER 模块的动态时钟门控。 0: 时钟常开; 1: 模块空闲时, 自动关闭时钟。
[11:0]	RW	dyn_ckg_axi	各个 AXI 端口的动态时钟门控。 dyn_ckg_axi[n]=0: AXI 端口 n 的时钟常开; dyn_ckg_axi[n]=1: AXI 端口 n 内部各模块空闲时, 自动关闭时钟。

## AXI\_ACTION

AXI\_ACTION 为 AXI 接口工作模式寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x020				AXI_ACTION				0x0000_0003																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								wr_rcv_mode								reserved				rd_wrap_split_en	exclusive_en										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access		Name		Description																											
[31:20]	RO		reserved		保留。																											
[19:8]	RW		wr_rcv_mode		防死锁模式使能。 wr_rcv_mode[n]=0: 端口 n 的防死锁模式关闭; wr_rcv_mode[n]=1: 端口 n 的防死锁模式使能。 <b>注意:</b> <b>1.防死锁模式使能与否取决于总线构架的需求;</b> <b>2.防死锁模式使能后, 对于 AXI 端口的写命令 outstanding 被限制为 1。</b>																											
[7:2]	RO		reserved		保留。																											
[1]	RW		rd_wrap_split_en		wrap 读命令拆分使能。 0: 不拆分, 由 DMC 完成 wrap 地址卷绕; 1: 拆分。																											



[0]	RW	exclusive_en	exclusive 命令使能。 0: 禁止; 1: 使能。
-----	----	--------------	-------------------------------------

## AXI\_REGION\_MAP

AXI\_REGION\_MAP 为地址区域映射。

Offset Address  
0x100+0x10×regions  
(regions = 0~15)

Register Name  
AXI\_REGION\_MAP

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												rgn_en	reserved	rgn_size	rgn_base_addr																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	RO		reserved		保留。																											
[12]	RW		rgn_en		使能当前地址区域。 0: 禁止; 1: 使能。																											
[11]	RO		reserved		保留。																											
[10:8]	RW		rgn_size		当前地址区域的大小。 000: 16MB; 001: 32MB; 此时 rgn_base_addr/ch_offset[0]必须配置为零; 010: 64MB; 此时 rgn_base_addr/ ch_offset[1:0]必须配置为零; 011: 128MB; 此时 rgn_base_addr/ ch_offset[2:0]必须配置为零; 100: 256MB; 此时 rgn_base_addr/ ch_offset[3:0]必须配置为零; 101: 512MB; 此时 rgn_base_addr/ ch_offset[4:0]必须配置为零; 110: 1GB; 此时 rgn_base_addr/ ch_offset[5:0]必须配置为零; 111: 2GB; 此时 rgn_base_addr/ ch_offset[6:0]必须配置为零。																											



			<p><b>注意:</b></p> <p>1、以上配置以 32bits 地址为例，若地址位宽不同则配置含义不同。例如： 对于 40bits 地址： 0x3: 32GB；此时 rgn_base_addr[2:0]必须配置为零；</p> <p>2、双通道交织时，rgn_size 不可配置为 0；四通道交织时，rgn_size 不可配置为 0 或 1。</p>
[7:0]	RW	rgn_base_addr	<p>当前地址区域的基地址(高八位)。</p> <p><b>注意:</b></p> <p>由于只能设置地址的高八位，因此区域地址对齐的粒度会因地址位宽不同而不同。例如： 对于 32bits 地址，地址区域的基地址低 24 位为零，区域地址按 16MB 对齐； 对于 40bits 地址，地址区域的基地址低 32 位为零，区域地址按 4GB 对齐。</p> <p>当前版本只支持 32bit 地址位宽。</p>

## AXI\_REGION\_ATTRIB

AXI\_REGION\_ATTRIB 为地址区域属性。

Offset Address		Register Name		Total Reset Value				
0x104+0x10×regions		AXI_REGION_ATTRIB		0x0001_0004				
(regions = 0~15)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved bnk_mod	reserved rnk_mod	reserved	addr_aligned	ch_offset	reserved	ch_intlv	ch_mode ch_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0
	Bits	Access	Name	Description				
	[31]	RO	reserved	保留。				



[30:28]	RW	bnk_mod	<p>当前地址区域的通道内 BANK 交织粒度(交织粒度随器件不同而不同)。</p> <p>8Byte*2<sup>n</sup> ( 8bit器件); 16Byte*2<sup>n</sup> (16bit器件); 32Byte*2<sup>n</sup> (32bit器件); 64Byte*2<sup>n</sup> (64bit 器件); 其中 n=0~7。</p> <p><b>注意:</b> <b>bank 交织粒度必须大于等于地址对齐粒度(addr_aligned)。</b></p>
[27:26]	RO	reserved	保留。
[25:24]	RW	rnk_mod	<p>当前地址区域的通道内 RANK 交织模式。</p> <p>00: 使用 DMC 内部配置; 01: 单 RANK 地址独立; 10: 双 RANK 地址交织; 11: 四 RANK 地址交织。</p> <p>当前版本只有一个通道, 只支持单通道模式, 该通道只支持一个 rank。</p>
[23:19]	RO	reserved	保留。
[18:16]	RW	addr_aligned	<p>当前地址区域的地址边界对齐粒度。</p> <p>000: 8Byte(只有当 DMC 数据位宽为 64bit 时, 才可选择此项); 001: 16Byte; 010: 32Byte; 011: 64Byte; 100: 128Byte; 101: 256Byte; 110: 512Byte; 111: 1KByte;</p> <p><b>注意:</b></p> <ol style="list-style-type: none"> <li>1.跨越此地址对齐边界的命令会被拆分;</li> <li>2.地址对齐粒度必须小于等于 bank 交织粒度(bnk_mod);</li> <li>3.地址交织时, 地址对齐粒度必须小于等于地址交织粒度(ch_intlv);</li> <li>4.地址独立时, 地址对齐粒度必须小于等于 DDR 器件的 PAGE 大小。</li> </ol>



[15:8]	RW	ch_offset	<p>当前地址区域在通道内的偏移地址(高八位)。</p> <p><b>注意：</b> 此地址用于替换通道内地址的高八位，以实现映射地址在通道内的偏移，会因地址位宽不同而不同。例如： 对于 32bits 地址，可替换通道映射后地址[31:24]； 对于 40bits 地址，可替换通道映射后地址[39:32]； 当前版本只支持 32bit 地址位宽。</p>
[7:6]	RO	reserved	保留。
[5:4]	RW	ch_intlv	<p>当前地址区域的地址交织粒度(单通道地址独立模式下，此配置无效)。</p> <p>00: 128Byte; 01: 256Byte; 10: 512Byte; 11: 1KByte;</p> <p><b>注意：</b> 1.命令以此粒度为边界，被交替分发到多个通道； 2.通道交织时，地址交织粒度必须大于等于地址对齐粒度(addr_aligned)。</p>
[3:2]	RW	ch_mode	<p>当前地址区域的通道映射模式。</p> <p>00: 不映射； 01: 映射到单通道，地址独立； 10: 映射到双通道，地址交织； 11: 映射到四通道，地址交织。</p> <p><b>注意：</b> 试图访问未映射的地址区域的命令，会被当做错误命令处理：上报中断、记录命令信息、AXI 总线返回 SLVERR 响应。</p> <p>当前版本只有一个通道，只支持单通道模式。</p>



[1:0]	RW	ch_start	<p>当前地址区域的映射起始通道。</p> <p>00: 通道 0; 01: 通道 1; 10: 通道 2; 11: 通道 3。</p> <p><b>注意:</b> 当映射模式为单通道时, 映射起始通道可为任意通道; 当映射模式为双通道时, 映射起始通道必须为通道 0(0/1 通道交织)或通道 2(2/3 通道地址交织); 当映射模式为四通道时, 映射起始通道必须为通道 0(0/1/2/3 通道地址交织)。 当前版本只有一个通道, 只支持单通道模式。</p>
-------	----	----------	---

## AXI\_REGION\_SCRMBL

AXI\_REGION\_SCRMBL 为地址区域地址扰码模式。

Offset Address 0x108+0x10×regions (regions = 0~15)	Register Name AXI_REGION_SCRMBL	Total Reset Value 0x0000_0000
--	------------------------------------	----------------------------------

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved																										bnk_scrmb1										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
Bits	Access		Name		Description																																
[31:4]	RO		reserved		保留。需固定为 0。																																
[3:0]	RW		bnk_scrmb1		<p>BANK 地址扰码模式。</p> <p>0x0: 无扰码;</p> <p>单通道时:</p> <p>0x1: addr[14:12] = addr[14:12] xor addr[19:17]; 0x2: addr[14:12] = addr[14:12] xor addr[20:18]; 0x3: addr[14:12] = addr[14:12] xor addr[21:19]; 0x4: addr[14:12] = addr[14:12] xor addr[22:20]; 0x5: addr[14:12] = addr[14:12] xor addr[23:21]; 0x6: addr[14:12] = addr[14:12] xor addr[24:22]; 0x7: addr[14:12] = addr[14:12] xor addr[25:23];</p> <p>其它: 保留。</p> <p>双通道时 (在 ch_scrmb1 地址交换的基础之上, 进行</p>																																





			bnk_scrmb1) : 0x1: addr[15:13] = addr[15:13] xor addr[20:18]; 0x2: addr[15:13] = addr[15:13] xor addr[21:19]; 0x3: addr[15:13] = addr[15:13] xor addr[22:20]; 0x4: addr[15:13] = addr[15:13] xor addr[23:21]; 0x5: addr[15:13] = addr[15:13] xor addr[24:22]; 0x6: addr[15:13] = addr[15:13] xor addr[25:23]; 0x7: addr[15:13] = addr[15:13] xor addr[26:24]; 其它: 保留。 说明: addr 为总线地址。
--	--	--	--

## AXI\_QOS\_MAP

AXI\_QOS\_MAP 为命令优先级映射方式。

	Offset Address 0x200+0x10×ports (ports = 0~8)								Register Name AXI_QOS_MAP				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								qos_rever	rw_arb_mode	reserved				pri_map_mode	id_map_idx																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:22]				[21]																															
Access	RO				RW																															
Name	reserved				qos_rever																															
Description	保留。				QoS 反转使能(用于同一端口内读写命令的优先级仲裁)。 0: axqos=0 时, 为最低优先级; 1: axqos=0 时, 为最高优先级。 <b>注意:</b> 当 rw_arb_mode==1 时, 此寄存器有效。																															



[20]	RW	rw_arb_mode	<p>同一端口内读写命令仲裁模式。</p> <p>0: 基于命令读写类型:</p> <ul style="list-style-type: none"> <li>a. 先到先仲裁;</li> <li>b. 同时到达(或被同时被反压)时, 按照先读命令后写命令的顺序轮流仲裁;</li> </ul> <p>1: 基于命令优先级:</p> <ul style="list-style-type: none"> <li>a. 先到先仲裁;</li> <li>b. 同时到达(或被同时被反压)时, 则按照命令优先级仲裁;</li> <li>c. 若优先级相同, 则按照 LRU 原则仲裁给上一次未获得仲裁的命令。</li> </ul>
[19:13]	RO	reserved	保留。
[12]	RW	pri_map_mode	<p>读写命令优先级映射模式。</p> <p>0: 采用读写命令的 3bit 随路信号映射索引;</p> <p>1: 采用命令 ID 低 16 位中的任意 3bits 映射索引。</p> <p>说明:</p> <p>使用上述两种方法之一, 得到映射的索引, 再从优先级查找表(这里的查找表指的是 AXI_QOS_WRPRI 或者 AXI_QOS_RDPRI 寄存器内容)中映射出命令优先级</p>
[11:0]	RW	id_map_idx	<p>通过命令 ID 映射优先级时, 该寄存器配置命令 ID 的 3 个选择位:</p> <p>id_map_idx[11:8]: 选取命令 ID 低 16 位中的任意 1bit, 作为 idx[2];</p> <p>id_map_idx[7:4]: 选取命令 ID 低 16 位中的任意 1bit, 作为 idx[1];</p> <p>id_map_idx[3:0]: 选取命令 ID 低 16 位中的任意 1bit, 作为 idx[0]。</p> <p>例如:</p> <p>id_map_idx 配置为 0x3A0, 则命令 ID 的 {ID[3],ID[10],ID[0]} 拼合成索引 idx[2:0], 用于从优先级查找表(这里的查找表指的是 AXI_QOS_WRPRI 或者 AXI_QOS_RDPRI 寄存器内容)中映射出命令优先级。</p> <p><b>注意:</b></p> <p><b>此处的命令 ID 为命令的原始 ID。</b></p>

## AXI\_QOS\_WRPRI<sub>In</sub>

AXI\_QOS\_WRPRI<sub>In</sub> 为写命令优先级映射表。



Offset Address		Register Name		Total Reset Value																																
0x204 + 0x10 × ports		AXI_QOS_WRPRI		0x0000_0000																																
(ports = 0~8)																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved	wr_pri7			reserved	wr_pri6			reserved	wr_pri5			reserved	wr_pri4			reserved	wr_pri3			reserved	wr_pri2			reserved	wr_pri1			reserved	wr_pri0						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																
[31]	RO	reserved		保留。																																
[30:28]	RW	wr_pri7		写命令映射为 7 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。																																
[27]	RO	reserved		保留。																																
[26:24]	RW	wr_pri6		写命令映射为 6 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。																																
[23]	RO	reserved		保留。																																
[22:20]	RW	wr_pri5		写命令映射为 5 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。																																
[19]	RO	reserved		保留。																																
[18:16]	RW	wr_pri4		写命令映射为 4 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。																																
[15]	RO	reserved		保留。																																
[14:12]	RW	wr_pri3		写命令映射为 3 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。																																



[11]	RO	reserved	保留。
[10:8]	RW	wr_pri2	写命令映射为 2 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。
[7]	RO	reserved	保留。
[6:4]	RW	wr_pri1	写命令映射为 1 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。
[3]	RO	reserved	保留。
[2:0]	RW	wr_pri0	写命令映射为 0 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。

## AXI\_QOS\_RDPRIn

AXI\_QOS\_RDPRIn 为读命令优先级映射表。

Offset Address	Register Name	Total Reset Value
0x208+0x10×ports (ports = 0~8)	AXI_QOS_RDPRIn	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	rd_pri7	reserved	rd_pri6	reserved	rd_pri5	reserved	rd_pri4	reserved	rd_pri3	reserved	rd_pri2	reserved	rd_pri1	reserved	rd_pri0	reserved	rd_pri7	reserved	rd_pri6	reserved	rd_pri5	reserved	rd_pri4	reserved	rd_pri3	reserved	rd_pri2	reserved	rd_pri1	reserved	rd_pri0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31]	RO	reserved	保留。																												
	[30:28]	RW	rd_pri7	读命令映射为 7 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。																												
	[27]	RO	reserved	保留。																												



[26:24]	RW	rd_pri6	读命令映射为 6 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。
[23]	RO	reserved	保留。
[22:20]	RW	rd_pri5	读命令映射为 5 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。
[19]	RO	reserved	保留。
[18:16]	RW	rd_pri4	读命令映射为 4 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。
[15]	RO	reserved	保留。
[14:12]	RW	rd_pri3	读命令映射为 3 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。
[11]	RO	reserved	保留。
[10:8]	RW	rd_pri2	读命令映射为 2 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。
[7]	RO	reserved	保留。
[6:4]	RW	rd_pri1	读命令映射为 1 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。
[3]	RO	reserved	保留。
[2:0]	RW	rd_pri0	读命令映射为 0 时的优先级配置。 0x0: 最高优先级; ..... 0x7: 最低优先级。



## AXI\_QOS\_ADPTn

AXI\_QOS\_ADPTn 为优先级自适应周期映射表。

Offset Address		Register Name		Total Reset Value				
0x20C+0x10×ports		AXI_QOS_ADPTn		0x0000_0000				
(ports = 0~8)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	wr_adpt_high	reserved wr_adpt_lvl	wr_adpt_low	reserved	rd_adpt_high	reserved rd_adpt_lvl	rd_adpt_low
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:24]	RW	wr_adpt_high	写命令优先级自适应周期配置(高档位)。 0x0: 禁止优先级自适应功能; 0x1~0xF: N*16 个时钟周期。 说明: 每当自适应周期到达后, 命令优先级自动提升一级, 优先级最高可以提升至次高优先级。					
[23]	RO	reserved	保留。					
[22:20]	RW	wr_adpt_lvl	写命令优先级自适应周期配置水准。 0x0~0x1: 保留; 0x2~0x7: 命令优先级高于等于此水准时, 使用高档位配置, 否则使用低档位配置。 举例: 0x5: 优先级 2~5 的写命令使用 wr_adpt_high, 优先级 6~7 的写命令使用 wr_adpt_low。					
[19:16]	RW	wr_adpt_low	写命令优先级自适应周期配置(低档位)。 0x0: 禁止优先级自适应功能; 0x1~0xF: N*16 个时钟周期。 说明: 每当自适应周期到达后, 命令优先级自动提升一级, 优先级最高可以提升至次高优先级。					
[15:12]	RO	reserved	保留。					



[11:8]	RW	rd_adpt_high	读命令优先级自适应周期配置(高档位)。 0x0: 禁止优先级自适应功能; 0x1~0xF: N*16 个时钟周期。 说明: 每当自适应周期到达后, 命令优先级自动提升一级, 优先级最高可以提升至次高优先级。
[7]	RO	reserved	保留。
[6:4]	RW	rd_adpt_lvl	读命令优先级自适应周期配置水线。 0x0~0x1: 保留; 0x2~0x7: 命令优先级高于等于此水线时, 使用高档位配置, 否则使用低档位配置。 举例: 0x5: 优先级 2~5 的读命令使用 rd_adpt_high, 优先级 6~7 的读命令使用 rd_adpt_low。
[3:0]	RW	rd_adpt_low	读命令优先级自适应周期配置(低档位)。 0x0: 禁止优先级自适应功能; 0x1~0xF: N*16 个时钟周期。 说明: 每当自适应周期到达后, 命令优先级自动提升一级, 优先级最高可以提升至次高优先级。

## AXI\_OSTD\_PRTn

AXI\_OSTD\_PRTn 为端口的命令 OSTD 限制。

	Offset Address 0x300+0x10×ports (ports = 0~8)	Register Name AXI_OSTD_PRTn	Total Reset Value 0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved												prt_ostd_lvl			
Reset	0 0															
Bits	Access	Name	Description													
[31:7]	RO	reserved	保留。													



Offset Address		Register Name		Total Reset Value					
0x300+0x10×ports (ports = 0~8)		AXI_OSTD_PRTn		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							prt_ostd_lvl	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[6:0]	RW	prt_ostd_lvl	端口的命令 OSTD 水线。 0x00: 不限制本端口的命令 OSTD 个数; 0x01~0x7F: 当前端口允许的最大命令 OSTD 个数。 <b>注意:</b> 1. 此处的 OSTD 个数, 本质上是后级模块 QOSBUF 中的命令个数(下同); 2. 水线设置不能大于参数配置的 QOSBUF 的命令队列深度(下同)。						

### AXI\_OSTD\_PRT\_STn

AXI\_OSTD\_PRT\_STn 为端口的命令 OSTD 统计值。

Offset Address		Register Name		Total Reset Value					
0x304+0x10×ports (ports = 0~8)		AXI_OSTD_PRT_STn		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							prt_ostd_st	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:7]	RO	reserved	保留。						
[6:0]	RO	prt_ostd_st	端口的命令 OSTD 统计值。						

### AXI\_OSTD\_GROUPn

AXI\_OSTD\_GROUPn 为端口分组的命令 OSTD。





Offset Address		Register Name		Total Reset Value				
0x400+0x10×groups (groups = 0~3)		AXI_OSTD_GROUP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	group_ostd_sel			reserved			group_ostd_lvl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:16]	RW	group_ostd_sel	分组的端口选择： group_ostd_sel[n]=0: 端口 n 未被选定； group_ostd_sel[n]=1: 端口 n 被选定。 <b>注意：</b> 只有被选定的端口才参与分组的 OSTD 统计。					
[15:7]	RO	reserved	保留。					
[6:0]	RW	group_ostd_lvl	分组的命令 OSTD 流水线。 0x00: 不限制本分组的命令 OSTD 个数； 0x01~0x7F: 当前分组允许的最大累积命令 OSTD 个数。 <b>注意：</b> 1.分组命令 OSTD 是当前分组所选定端口的命令 OSTD 之和； 2.超出流水线后，分组内所有端口都会被阻塞。					

## AXI\_OSTD\_PRI0

AXI\_OSTD\_PRI0 为各端口分组内基于优先级的命令 OSTD。



Offset Address  
0x404+0x10×groups  
(groups = 0~3)

Register Name  
AXI\_OSTD\_PRI0

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				pri3_ostd_lvl				reserved				pri2_ostd_lvl				reserved				pri1_ostd_lvl				reserved							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			

Bits	Access	Name	Description
[31]	RO	reserved	保留。
[30:24]	RW	pri3_ostd_lvl	<p>优先级 3 的命令 OSTD 水线。</p> <p>0x00: 不限制选定分组的累积命令 OSTD 个数；</p> <p>0x01~0x7F: 选定分组的累积命令 OSTD 个数达到此水线时，只允许优先级高于 1 的命令通过。</p> <p><b>注意：</b></p> <p>1.命令 OSTD 的统计和限制都是基于端口分组的；</p> <p>2.若使能优先级传递功能，则低优先级命令可能会因为优先级被提升而不再被阻塞。</p>
[23]	RO	reserved	保留。
[22:16]	RW	pri2_ostd_lvl	<p>优先级 2 的命令 OSTD 水线。</p> <p>0x00: 不限制选定分组的累积命令 OSTD 个数；</p> <p>0x01~0x7F: 选定分组的累积命令 OSTD 个数达到此水线时，只允许优先级高于 1 的命令通过。</p> <p><b>注意：</b></p> <p>1.命令 OSTD 的统计和限制都是基于端口分组的；</p> <p>2.若使能优先级传递功能，则低优先级命令可能会因为优先级被提升而不再被阻塞。</p>
[15]	RO	reserved	保留。
[14:8]	RW	pri1_ostd_lvl	<p>优先级 1 的命令 OSTD 水线。</p> <p>0x00: 不限制选定分组的累积命令 OSTD 个数；</p> <p>0x01~0x7F: 选定分组的累积命令 OSTD 个数达到此水线时，只允许优先级高于 1 的命令通过。</p> <p><b>注意：</b></p> <p>1.命令 OSTD 的统计和限制都是基于端口分组的；</p> <p>2.若使能优先级传递功能，则低优先级命令可能会因为优先级被提升而不再被阻塞。</p>



[7:0]	RO	reserved	保留。
-------	----	----------	-----

## AXI\_OSTD\_PRI1

AXI\_OSTD\_PRI1 为各端口分组内基于优先级的命令 OSTD。

Offset Address		Register Name		Total Reset Value				
0x408+0x10×groups (groups = 0~3)		AXI_OSTD_PRI1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	pri7_ostd_lvl	reserved	pri6_ostd_lvl	reserved	pri5_ostd_lvl	reserved	pri4_ostd_lvl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30:24]	RW	pri7_ostd_lvl	优先级 7 的命令 OSTD 水线： 0x00：不限制选定分组的累积命令 OSTD 个数； 0x01~0x7F：选定分组的累积命令 OSTD 个数达到此水线时，只允许优先级高于 1 的命令通过。 <b>注意：</b> <b>1.命令 OSTD 的统计和限制都是基于端口分组的；</b> <b>2.若使能优先级传递功能，则低优先级命令可能会因为优先级被提升而不再被阻塞。</b>					
[23]	RO	reserved	保留。					
[22:16]	RW	pri6_ostd_lvl	优先级 6 的命令 OSTD 水线： 0x00：不限制选定分组的累积命令 OSTD 个数； 0x01~0x7F：选定分组的累积命令 OSTD 个数达到此水线时，只允许优先级高于 1 的命令通过。 <b>注意：</b> <b>1.命令 OSTD 的统计和限制都是基于端口分组的；</b> <b>2.若使能优先级传递功能，则低优先级命令可能会因为优先级被提升而不再被阻塞。</b>					
[15]	RO	reserved	保留。					



[14:8]	RW	pri5_ostd_lvl	<p>优先级 5 的命令 OSTD 水线：</p> <p>0x00：不限制选定分组的累积命令 OSTD 个数；</p> <p>0x01~0x7F：选定分组的累积命令 OSTD 个数达到此水线时，只允许优先级高于 1 的命令通过。</p> <p><b>注意：</b></p> <p><b>1.命令 OSTD 的统计和限制都是基于端口分组的；</b></p> <p><b>2.若使能优先级传递功能，则低优先级命令可能会因为优先级被提升而不再被阻塞。</b></p>
[7]	RO	reserved	保留。
[6:0]	RW	pri4_ostd_lvl	<p>优先级 4 的命令 OSTD 水线：</p> <p>0x00：不限制选定分组的累积命令 OSTD 个数；</p> <p>0x01~0x7F：选定分组的累积命令 OSTD 个数达到此水线时，只允许优先级高于 1 的命令通过。</p> <p><b>注意：</b></p> <p><b>1.命令 OSTD 的统计和限制都是基于端口分组的；</b></p> <p><b>2.若使能优先级传递功能，则低优先级命令可能会因为优先级被提升而不再被阻塞。</b></p>

## AXI\_OSTD\_GROUP\_STn

AXI\_OSTD\_GROUP\_STn 为端口分组的命令 OSTD 统计值。

Offset Address	Register Name	Total Reset Value								
0x40C+0x10×groups (groups = 0~3)	AXI_OSTD_GROUP_ST	0x0000_0000								
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0									
Name	reserved						group_ostd_st			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0									
Bits	Access	Name	Description							
[31:7]	RO	reserved	保留。							
[6:0]	RO	group_ostd_st	端口分组的命令 OSTD 统计值。							

## AXI\_STATUS

AXI\_STATUS 为各个端口的工作状态。



Offset Address		Register Name		Total Reset Value					
0x600		AXI_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					axi_if_busy			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RO	axi_if_busy	各个 AXI 端口的工作状态。 axi_prt_busy[n]=0: AXI 端口 n 空闲; axi_prt_busy[n]=1: AXI 端口 n 正在处理命令或数据。						

## AXI\_INT\_STATUS

AXI\_INT\_STATUS 为中断状态。

Offset Address		Register Name		Total Reset Value					
0x610		AXI_INT_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					int_ports			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RO	int_ports	中断源指示。 interrupt_ports[n]=1: 中断来自于端口 n。 <b>注意:</b> 当命令未通过安全权限检查且中断使能时, 相应端口会产生中断。						

## 4.1.6 QOSBUF 寄存器

### 4.1.6.1 QOSBUF 寄存器概览

QOSBUF 寄存器概览如表 4-6 所示



表4-6 QOSBUF 寄存器概览（基址是 0x1206\_4000）

偏移地址	名称	描述	页码
0x000	QOSB_PUSH_CTRL	配置 QosBuf Push 功能的寄存器	4-35
0x004	QOSB_ADPT_CTRL	配置 QosBuf 的 adpt 功能	4-35
0x008+ 0x4×fids	QOSB_FLUX_ID	QosBuf 的流量匹配 ID	4-36
0x024+ 0x4×fids	QOSB_FLUX_ID_M ASK	QosBuf 的流量统计的 ID 的 Mask 寄存器	4-36
0x040	QOSB_FLUX_PRD	QosBuf 的流量统计周期寄存器	4-37
0x044+ 0x4×fgps	QOSB_FLUX_LVL	QosBuf 的流量统计水线	4-37
0x064	QOSB_FLUX_EN	QosBuf 的流量统计功能使能寄存器	4-38
0x068+ 0x4× chans	QOSB_BANK_CTR L	QosBuf 的 bank rotating 控制寄存器	4-38
0x078+ 0x4× chans	QOSB_GREEN_CTR L	QosBuf 的绿色通道控制寄存器	4-39
0x088	QOSB_BUF_BYP	QosBuf 的 bypass 功能控制寄存器	4-40
0x08C+ 0x4× chans	QOSB_WBUF_CTR L	QosBuf 的写命令优先级调整控制寄存器	4-40
0x09C	QOSB_WRTOUT0	QosBuf 的写命令 timeout 配置寄存器 0	4-41
0x0A0	QOSB_WRTOUT1	QosBuf 的写命令 timeout 配置寄存器 1	4-42
0x0A4	QOSB_WRTOUT2	QosBuf 的写命令 timeout 配置寄存器 2	4-43
0x0A8	QOSB_WRTOUT3	QosBuf 的写命令 timeout 配置寄存器 3	4-43
0x0AC	QOSB_RDTOUT0	QosBuf 的读命令 timeout 配置寄存器 0	4-45
0x0B0	QOSB_RDTOUT1	QosBuf 的读命令 timeout 配置寄存器 1	4-45
0x0B4	QOSB_RDTOUT2	QosBuf 的读命令 timeout 配置寄存器 2	4-46
0x0B8	QOSB_RDTOUT3	QosBuf 的读命令 timeout 配置寄存器 3	4-47
0x0BC	QOSB_WRTOUT_M AP	QosBuf 的写命令 timeout 映射控制寄存器	4-48
0x0D0	QOSB_RDTOUT_M AP	QosBuf 的读命令 timeout 映射控制寄存器	4-49



偏移地址	名称	描述	页码
0x0D4	QOSB_WRAGE0	QosBuf 的写命令 aging 配置寄存器 0	4-50
0x0D8	QOSB_WRAGE1	QosBuf 的写命令 aging 配置寄存器 1	4-51
0x0DC	QOSB_RDAGE0	QosBuf 的读命令 aging 配置寄存器 0	4-52
0x0E0	QOSB_RDAGE1	QosBuf 的读命令 aging 配置寄存器 1	4-53
0x0E4	QOSB_WRAGE_MAP	QosBuf 的写命令 aging 映射控制寄存器	4-54
0x0E8	QOSB_RDAGE_MAP	QosBuf 的读命令 aging 映射控制寄存器	4-55
0x0EC	QOSB_ROWBIT_PRIORITY	QosBuf 的 row hit 优先级水位寄存器	4-56
0x0F0	QOSB_ROWBIT_PRIORITY	QosBuf 的 row hit 优先级控制寄存器	4-58
0x0F4	QOSB_ROWBIT_CTL	QosBuf 的 row hit 的使能控制	4-59
0x108	QOSB_CKG_CFG	QosBuf 的时钟控制寄存器	4-60
0x10C + 0x4 × chans	QOSB_DMC_LVL	QosBuf 的进入 DMC 的命令的水位控制寄存器	4-60
0x120	QOSB_CFG_PERF	QosBuf 性能统计的模式配置寄存器	4-61
0x124	QOSB_CMD_SUM	QosBuf 命令计数的累积寄存器	4-62
0x128	QOSB_SLOT_STAT0	QosBuf 的 queue 的状态寄存器 0	4-62
0x12C	QOSB_SLOT_STAT1	QosBuf 的 queue 的状态寄存器 1	4-63
0x130	QOSB_SLOT_STAT2	QosBuf 的 queue 的状态寄存器 2	4-63
0x134	QOSB_SLOT_STAT3	QosBuf 的 queue 的状态寄存器 3	4-64
0x140 + 0x4 × chans	QOSB_WBUF_STAT0	QosBuf 的写 buf 状态寄存器 0	4-64
0x150 + 0x4 × chans	QOSB_WBUF_STAT1	QosBuf 的写 buf 状态寄存器 1	4-64
0x160 + 0x4 × chans	QOSB_RDRBUF_STAT	Reorder 模块的 buf 状态寄存器	4-65



偏移地址	名称	描述	页码
0x170	QOSB_INTMSK	QosBuf 中断屏蔽寄存器	4-65
0x174	QOSB_RINT	QosBuf 原始中断寄存器	4-66
0x178	QOSB_INTSTS	QOSBUF 中断状态寄存器	4-67
0x180	QOSB_CMD_CNT	QOSBUF 中当前有多少命令的统计寄存器	4-67
0x190+ 0x4× chans	QOSB_RNK_CNT	QOSBUF 中当前每个 rank 中有多少命令的统计寄存器	4-67
0x1A0+ 0x4× chans	QOSB_BNK_CNT0	QOSBUF 中当前每个 Bank 有多少命令的统计寄存器 0	4-68
0x1B0+ 0x4× chans	QOSB_BNK_CNT1	QOSBUF 中当前每个 Bank 有多少命令的统计寄存器 1	4-68
0x1C0+ 0x4× chans	QOSB_BNK_CNT2	QOSBUF 中当前每个 Bank 有多少命令的统计寄存器 2	4-69
0x1D0+ 0x4× chans	QOSB_BNK_CNT3	QOSBUF 中当前每个 Bank 有多少命令的统计寄存器 3	4-69
0x1E0	QOSB_OSTD_CNT	QOSBUF 中当前每个通道有多少 Outstanding 命令的统计寄存器	4-70
0x1E4	QOSB_WR_CMD_SUM	QosBuf 写命令计数的累积寄存器	4-70
0x1E8	QOSB_RD_CMD_SUM	QosBuf 读命令计数的累积寄存器	4-71
0x1F0	QOSB_TIMEOUT_MODE	QOSBUF 中 timeout 模式选择寄存器	4-71
0x1F4	QOSB_WBUF_PRI_CTRL	QOSBUF 中写 wbuf 优先级调整控制寄存器	4-72
0x1F8	QOSB_RHIT_CTRL	QOSBUF 中 rowhit 优先级调整控制寄存器	4-72

QOSBUF 寄存器偏移地址中变量的取值范围和含义如表 4-7 所示。





表4-7 QOSBUF 寄存器偏移地址变量表

变量名称	取值范围	描述
chans	0~1	通道个数
fgps	0~7	流量统计的组数
fids	0~6	流量统计匹配 id 的个数

### 4.1.6.2 QOSBUF 寄存器描述

#### QOSB\_PUSH\_CTRL

QOSB\_PUSH\_CTRL 为配置 QosBuf Push 功能的寄存器。

Offset Address	Register Name	Total Reset Value								
0x000	QOSB_PUSH_CTRL	0x0000_0000								
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0									
Name	reserved							mid_push_en	addr_push_en	id_push_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	mid_push_en	拥有相同 MID 的命令的 push 使能。 0: push 功能关闭; 1: push 功能使能。							
[1]	RW	addr_push_en	拥有相同地址的命令的 push 使能。 0: push 功能关闭; 1: push 功能使能。							
[0]	RW	id_push_en	拥有相同 ID 的命令的 push 使能。 0: push 功能关闭; 1: push 功能使能。							

#### QOSB\_ADPT\_CTRL

QOSB\_ADPT\_CTRL 为配置 QosBuf 的 adpt 功能。



Offset Address		Register Name		Total Reset Value					
0x004		QOSB_ADPT_CTRL		0x0000_0FF0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			adpt_share_cnt				reserved	adpt_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:4]	RW	adpt_share_cnt	Adapt 功能的低位共享计数器。当该计数器递减为 0 时，每个 cmd 对应的高位计数器减 1。						
[3:1]	RO	reserved	保留。						
[0]	RW	adpt_en	Adapt 功能使能控制。 0: adapt 功能关闭; 1: adapt 功能打开。						

## QOSB\_FLUX\_ID

QOSB\_FLUX\_ID 为 QosBuf 的流量匹配 ID。

Offset Address		Register Name		Total Reset Value				
0x008+0x4×fids (fids = 0~6)		QOSB_FLUX_ID		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flux_id							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	flux_id	用于流量统计的匹配 ID，一共有 0~6 个 ID，每个 ID 对应一个统计组；如果与这 7 个 ID 都不相同，则将流量归入默认的一组。					

## QOSB\_FLUX\_ID\_MASK

QOSB\_FLUX\_ID\_MASK 为 QosBuf 的流量统计的 ID 的 Mask 寄存器。



Offset Address		Register Name		Total Reset Value				
0x024+0x4×fids		QOSB_FLUX_ID_MASK		0x0000_0000				
(fids = 0~6)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flux_id_mask							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name	Description				
	[31:0]	RW	flux_id_mask	与 QOSB_FLUX_ID 寄存器对应，用于 ID 的 MASK。 0: 表示对应的 ID 的 bit 被忽略； 1: 表示对应的 ID 的 bit 参与比较。				

## QOSB\_FLUX\_PRD

QOSB\_FLUX\_PRD 为 QosBuf 的流量统计周期寄存器。

Offset Address		Register Name		Total Reset Value				
0x040		QOSB_FLUX_PRD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				flux_prd			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name	Description				
	[31:16]	RO	reserved	保留。				
	[15:0]	RW	flux_prd	流量统计周期。				

## QOSB\_FLUX\_LVL

QOSB\_FLUX\_LVL 为 QosBuf 的流量统计水线。



Offset Address		Register Name		Total Reset Value					
0x044+0x4×fgps (fgps = 0~7)		QOSB_FLUX_LVL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				flux_lvl				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[31:20]	RO	reserved	保留。					
	[19:0]	RW	flux_lvl	流量统计的水线设置。在统计周期内，当流量高于该水线时，命令的优先级将被降为最低。					

## QOSB\_FLUX\_EN

QOSB\_FLUX\_EN 为 QosBuf 的流量统计功能使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x064		QOSB_FLUX_EN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								flux_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[31:1]	RO	reserved	保留。					
	[0]	RW	flux_en	流量统计功能使能。 0: 表示流量统计功能关闭; 1: 表示流量统计功能使能。					

## QOSB\_BANK\_CTRL

QOSB\_BANK\_CTRL 为 QosBuf 的 bank rotating 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x068+0x4×chans (chans = 0~1)		QOSB_BANK_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						ba_cnt_lvl	reserved	ba_intleav_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:4]	RW	ba_cnt_lvl	Bank 冲突水线配置，当拥有相同 bank 地址的命令个数高于该水线时，认为有 bank 冲突。否则认为没有 bank 冲突。						
[3:1]	RO	reserved	保留。						
[0]	RW	ba_intleav_en	QosBuf 的 bank rotating 使能控制。 0: Bank rotating 功能关闭； 1: Bank rotating 功能使能。						

## QOSB\_GREEN\_CTRL

QOSB\_GREEN\_CTRL 为 QosBuf 的绿色通道控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x078+0x4×chans (chans = 0~1)		QOSB_GREEN_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						green_lvl	reserved	green_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						



[7:4]	RW	green_lvl	绿色通道水线。即在该水线以上的空位给绿色通道预留。如 dmc 的 queue 为 12，水线设为 9，则 10，11 为绿色通道预留。 <b>注意：由于流水的问题，当配置为 N 时，实际通过的命令个数为 N+1。另外，该寄存器不能在访问过程中进行动态配置。</b>
[3:1]	RO	reserved	保留。
[0]	RW	green_en	绿色通道功能使能。 <b>(注意，这里没有将通道分开控制，后续需要优化)</b> 0：表示该功能关闭； 1：表示该功能使能。

## QOSB\_BUF\_BYP

QOSB\_BUF\_BYP 为 QosBuf 的 bypass 功能控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x088	QOSB_BUF_BYP	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		qos_buf_byp
Reset	0 0		
Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1:0]	RW	qos_buf_byp	Qos buf 的 bypass 控制。 X0：表示强制非 bypass，即配成 00 或 10 时，所有命令都要进入 qosbuf； 01：表示根据 dmc 中 queue 的状态，自动控制是否 bypass； 11：表示强制 bypass，所有命令都不进入 qosbuf <b>(注意：这些模式在访问开始之前就需要配置，而不能在访问过程中进行动态配置)</b>

## QOSB\_WBUF\_CTRL

QOSB\_WBUF\_CTRL 为 QosBuf 的写命令优先级调整控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x08C+0x4×chans (chans = 0~1)		QOSB_WBUF_CTRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wbuf_ptun_en wbuf_pri2	wbuf_lv12		reserved wbuf_pri1	wbuf_lv11		wbuf_lv10	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	wbuf_ptun_en	写优调级调整使能。 0: 表示该功能关闭; 1: 表示该功能使能。					
[30:28]	RW	wbuf_pri2	wbuf 的水线 2 对应的优先级。					
[27:20]	RW	wbuf_lv12	wbuf 的水线 2。当命令的个数由下往上穿过该水线, 则所有写命令的优先级如果低于 wbuf_pri2, 则将其配置为 wbuf_pri2; 如果高于 wbuf_pri2, 则将优先级恢复。 <b>(注意, 这个水线不能动态配置, 否则可能导致写 buf 自适应功能失效)</b>					
[19]	RO	reserved	保留。					
[18:16]	RW	wbuf_pri1	wbuf 的水线 1 对应的优先级。					
[15:8]	RW	wbuf_lv11	wbuf 的水线 1。当命令的个数由下往上穿过该水线, 或由上往下穿过该水线, 则所有写命令的优先级如果低于 wbuf_pri1, 则将其配置为 wbuf_pri1; 如果高于 wbuf_pri1, 则将优先级恢复。 <b>(注意, 这个水线不能动态配置, 否则可能导致写 buf 自适应功能失效)</b>					
[7:0]	RW	wbuf_lv10	wbuf 的水线 0。当命令的个数由上往下穿过该水线时, 所有写命令的优先级都会被降为最低。 <b>(注意, 这个水线不能动态配置, 否则可能导致写 buf 自适应功能失效)</b>					

## QOSB\_WRTOUT0

QOSB\_WRTOUT0 为 QosBuf 的写命令 timeout 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x09C		QOSB_WRTOUT0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wr_tout3		wr_tout2		wr_tout1		wr_tout0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	wr_tout3	写命令 timeout 配置(档位 3)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[23:16]	RW	wr_tout2	写命令 timeout 配置(档位 2)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[15:8]	RW	wr_tout1	写命令 timeout 配置(档位 1)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[7:0]	RW	wr_tout0	写命令 timeout 配置(档位 0)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					

## QOSB\_WRTOUT1

QOSB\_WRTOUT1 为 QosBuf 的写命令 timeout 配置寄存器 1。





Offset Address		Register Name		Total Reset Value				
0x0A0		QOSB_WRTOUT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wr_tout7		wr_tout6		wr_tout5		wr_tout4	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	wr_tout7	写命令 timeout 配置(档位 7)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期。 <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[23:16]	RW	wr_tout6	写命令 timeout 配置(档位 6)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[15:8]	RW	wr_tout5	写命令 timeout 配置(档位 5)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[7:0]	RW	wr_tout4	写命令 timeout 配置(档位 4)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					

## QOSB\_WRTOUT2

QOSB\_WRTOUT2 为 QosBuf 的写命令 timeout 配置寄存器 2。



Offset Address		Register Name		Total Reset Value				
0x0A4		QOSB_WRTOUT2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wr_tout11		wr_tout10		wr_tout9		wr_tout8	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	wr_tout11	写命令 timeout 配置(档位 11)。 配置方式同 wr_tout0。					
[23:16]	RW	wr_tout10	写命令 timeout 配置(档位 10)。 配置方式同 wr_tout0。					
[15:8]	RW	wr_tout9	写命令 timeout 配置(档位 9)。 配置方式同 wr_tout0。					
[7:0]	RW	wr_tout8	写命令 timeout 配置(档位 8)。 配置方式同 wr_tout0。					

### QOSB\_WRTOUT3

QOSB\_WRTOUT3 为 QosBuf 的写命令 timeout 配置寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x0A8		QOSB_WRTOUT3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wr_tout15		wr_tout14		wr_tout13		wr_tout12	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	wr_tout15	写命令 timeout 配置(档位 15)。 配置方式同 wr_tout0。					
[23:16]	RW	wr_tout14	写命令 timeout 配置(档位 14)。 配置方式同 wr_tout0。					
[15:8]	RW	wr_tout13	写命令 timeout 配置(档位 13)。 配置方式同 wr_tout0。					
[7:0]	RW	wr_tout12	写命令 timeout 配置(档位 12)。 配置方式同 wr_tout0。					



## QOSB\_RDTOUT0

QOSB\_RDTOUT0 为 QosBuf 的读命令 timeout 配置寄存器 0。

	Offset Address				Register Name				Total Reset Value																							
	0x0AC				QOSB_RDTOUT0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rd_tout3				rd_tout2				rd_tout1				rd_tout0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	rd_tout3	读命令 timeout 配置(档位 3)。 配置方式同 rd_tout0。																													
[23:16]	RW	rd_tout2	读命令 timeout 配置(档位 2)。 配置方式同 rd_tout0。																													
[15:8]	RW	rd_tout1	读命令 timeout 配置(档位 1)。 配置方式同 rd_tout0。																													
[7:0]	RW	rd_tout0	读命令 timeout 配置(档位 0)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> <b>timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。</b>																													

## QOSB\_RDTOUT1

QOSB\_RDTOUT1 为 QosBuf 的读命令 timeout 配置寄存器 1。



Offset Address		Register Name		Total Reset Value												
0x0B0		QOSB_RDTOUT1		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	rd_tout7				rd_tout6				rd_tout5				rd_tout4			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
Bits	Access	Name	Description													
[31:24]	RW	rd_tout7	读命令 timeout 配置(档位 7)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。													
[23:16]	RW	rd_tout6	读命令 timeout 配置(档位 6)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。													
[15:8]	RW	rd_tout5	读命令 timeout 配置(档位 5)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。													
[7:0]	RW	rd_tout4	读命令 timeout 配置(档位 4)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。													

## QOSB\_RDTOUT2

QOSB\_RDTOUT2 为 QosBuf 的读命令 timeout 配置寄存器 2。



Offset Address		Register Name		Total Reset Value				
0x0B4		QOSB_RDTOUT2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rd_tout11		rd_tout10		rd_tout9		rd_tout8	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	rd_tout11	读命令 timeout 配置(档位 11)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[23:16]	RW	rd_tout10	读命令 timeout 配置(档位 10)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[15:8]	RW	rd_tout9	读命令 timeout 配置(档位 9)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[7:0]	RW	rd_tout8	读命令 timeout 配置(档位 8)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					

### QOSB\_RDTOUT3

QOSB\_RDTOUT3 为 QosBuf 的读命令 timeout 配置寄存器 3。



Offset Address		Register Name		Total Reset Value				
0x0B8		QOSB_RDTOUT3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rd_tout15		rd_tout14		rd_tout13		rd_tout12	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	rd_tout15	读命令 timeout 配置(档位 15)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[23:16]	RW	rd_tout14	读命令 timeout 配置(档位 14)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[15:8]	RW	rd_tout13	读命令 timeout 配置(档位 13)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					
[7:0]	RW	rd_tout12	读命令 timeout 配置(档位 12)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n*4 个时钟周期; <b>注意:</b> timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					

## QOSB\_WRTOUT\_MAP

QOSB\_WRTOUT\_MAP 为 QosBuf 的写命令 timeout 映射控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x0BC		QOSB_WRTOUT_MAP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	wrtout_map3	reserved	wrtout_map2	reserved	wrtout_map1	reserved	wrtout_map0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RO	reserved	保留。					
[28:24]	RW	wrtout_map3	timeout 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。wrtout_map3 表示要选择的 bit3 的在整个 ID 中的位置。					
[23:21]	RO	reserved	保留。					
[20:16]	RW	wrtout_map2	timeout 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。wrtout_map2 表示要选择的 bit2 的在整个 ID 中的位置。					
[15:13]	RO	reserved	保留。					
[12:8]	RW	wrtout_map1	timeout 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。wrtout_map1 表示要选择的 bit1 的在整个 ID 中的位置。					
[7:5]	RO	reserved	保留。					
[4:0]	RW	wrtout_map0	timeout 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。wrtout_map0 表示要选择的 bit0 的在整个 ID 中的位置。					

## QOSB\_RDTOUT\_MAP

QOSB\_RDTOUT\_MAP 为 QosBuf 的读命令 timeout 映射控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x0D0		QOSB_RDTOUT_MAP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	rdtout_map3	reserved	rdtout_map2	reserved	rdtout_map1	reserved	rdtout_map0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RO	reserved	保留。					
[28:24]	RW	rdtout_map3	timeout 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。rdtout_map3 表示要选择的 bit3 的在整个 ID 中的位置。					
[23:21]	RO	reserved	保留。					
[20:16]	RW	rdtout_map2	timeout 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。rdtout_map2 表示要选择的 bit2 的在整个 ID 中的位置。					
[15:13]	RO	reserved	保留。					
[12:8]	RW	rdtout_map1	timeout 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。rdtout_map1 表示要选择的 bit1 的在整个 ID 中的位置。					
[7:5]	RO	reserved	保留。					
[4:0]	RW	rdtout_map0	timeout 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。rdtout_map0 表示要选择的 bit0 的在整个 ID 中的位置。					

## QOSB\_WRAGE0

QOSB\_WRAGE0 为 QosBuf 的写命令 aging 配置寄存器 0。





Offset Address		Register Name		Total Reset Value				
0x0D4		QOSB_WRAGE0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wr_age_prd7	wr_age_prd6	wr_age_prd5	wr_age_prd4	wr_age_prd3	wr_age_prd2	wr_age_prd1	wr_age_prd0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	wr_age_prd7	写命令老化时间配置(档位 7)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[27:24]	RW	wr_age_prd6	写命令老化时间配置(档位 6)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[23:20]	RW	wr_age_prd5	写命令老化时间配置(档位 5)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[19:16]	RW	wr_age_prd4	写命令老化时间配置(档位 4)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[15:12]	RW	wr_age_prd3	写命令老化时间配置(档位 3)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[11:8]	RW	wr_age_prd2	写命令老化时间配置(档位 2)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[7:4]	RW	wr_age_prd1	写命令老化时间配置(档位 1)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[3:0]	RW	wr_age_prd0	写命令老化时间配置(档位 0)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					

## QOSB\_WRAGE1

QOSB\_WRAGE1 为 QosBuf 的写命令 aging 配置寄存器 1。



	Offset Address 0x0D8				Register Name QOSB_WRAGE1				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wr_age_prd15				wr_age_prd14				wr_age_prd13				wr_age_prd12				wr_age_prd11				wr_age_prd10				wr_age_prd9				wr_age_prd8			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							

Bits	Access	Name	Description
[31:28]	RW	wr_age_prd15	写命令老化时间配置(档位 15)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。
[27:24]	RW	wr_age_prd14	写命令老化时间配置(档位 14)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。
[23:20]	RW	wr_age_prd13	写命令老化时间配置(档位 13)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。
[19:16]	RW	wr_age_prd12	写命令老化时间配置(档位 12)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。
[15:12]	RW	wr_age_prd11	写命令老化时间配置(档位 11)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。
[11:8]	RW	wr_age_prd10	写命令老化时间配置(档位 10)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。
[7:4]	RW	wr_age_prd9	写命令老化时间配置(档位 9)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。
[3:0]	RW	wr_age_prd8	写命令老化时间配置(档位 8)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。

## QOSB\_RDAGE0

QOSB\_RDAGE0 为 QosBuf 的读命令 aging 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0DC		QOSB_RDAGE0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rd_age_prd7	rd_age_prd6	rd_age_prd5	rd_age_prd4	rd_age_prd3	rd_age_prd2	rd_age_prd1	rd_age_prd0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	rd_age_prd7	读命令老化时间配置(档位 7)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[27:24]	RW	rd_age_prd6	读命令老化时间配置(档位 6)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[23:20]	RW	rd_age_prd5	读命令老化时间配置(档位 5)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[19:16]	RW	rd_age_prd4	读命令老化时间配置(档位 4)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[15:12]	RW	rd_age_prd3	读命令老化时间配置(档位 3)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[11:8]	RW	rd_age_prd2	读命令老化时间配置(档位 2)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[7:4]	RW	rd_age_prd1	读命令老化时间配置(档位 1)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[3:0]	RW	rd_age_prd0	读命令老化时间配置(档位 0)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					

## QOSB\_RDAGE1

QOSB\_RDAGE1 为 QosBuf 的读命令 aging 配置寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x0E0		QOSB_RDAGE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rd_age_prd15	rd_age_prd14	rd_age_prd13	rd_age_prd12	rd_age_prd11	rd_age_prd10	rd_age_prd9	rd_age_prd8
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	rd_age_prd15	读命令老化时间配置(档位 15)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[27:24]	RW	rd_age_prd14	读命令老化时间配置(档位 14)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[23:20]	RW	rd_age_prd13	读命令老化时间配置(档位 13)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[19:16]	RW	rd_age_prd12	读命令老化时间配置(档位 12)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[15:12]	RW	rd_age_prd11	读命令老化时间配置(档位 11)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[11:8]	RW	rd_age_prd10	读命令老化时间配置(档位 10)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[7:4]	RW	rd_age_prd9	读命令老化时间配置(档位 9)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					
[3:0]	RW	rd_age_prd8	读命令老化时间配置(档位 8)。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。					

## QOSB\_WRAGE\_MAP

QOSB\_WRAGE\_MAP 为 QosBuf 的写命令 aging 映射控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x0E4		QOSB_WRAGE_MAP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	wrage_map3	reserved	wrage_map2	reserved	wrage_map1	reserved	wrage_map0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RO	reserved	保留。					
[28:24]	RW	wrage_map3	aging 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。wrage_map3 表示要选择的 bit3 的在整个 ID 中的位置。					
[23:21]	RO	reserved	保留。					
[20:16]	RW	wrage_map2	aging 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。wrage_map2 表示要选择的 bit2 的在整个 ID 中的位置。					
[15:13]	RO	reserved	保留。					
[12:8]	RW	wrage_map1	aging 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。wrage_map1 表示要选择的 bit1 的在整个 ID 中的位置。					
[7:5]	RO	reserved	保留。					
[4:0]	RW	wrage_map0	aging 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。wrage_map0 表示要选择的 bit0 的在整个 ID 中的位置。					

## QOSB\_RDAGE\_MAP

QOSB\_RDAGE\_MAP 为 QosBuf 的读命令 aging 映射控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x0E8		QOSB_RDAGE_MAP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	rdage_map3	reserved	rdage_map2	reserved	rdage_map1	reserved	rdage_map0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RO	reserved	保留。					
[28:24]	RW	rdage_map3	aging 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。rdage_map3 表示要选择的 bit3 的在整个 ID 中的位置。					
[23:21]	RO	reserved	保留。					
[20:16]	RW	rdage_map2	aging 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。rdage_map2 表示要选择的 bit2 的在整个 ID 中的位置。					
[15:13]	RO	reserved	保留。					
[12:8]	RW	rdage_map1	aging 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。rdage_map1 表示要选择的 bit1 的在整个 ID 中的位置。					
[7:5]	RO	reserved	保留。					
[4:0]	RW	rdage_map0	aging 一共分为 16 个档位，其映射方法是 ID 中选出 4bit，并根据这 4bit 的值选择对应的档位。rdage_map0 表示要选择的 bit0 的在整个 ID 中的位置。					

## QOSB\_ROW HIT\_PRILVL

QOSB\_ROW HIT\_PRILVL 为 QosBuf 的 row hit 优先级水线寄存器。



Offset Address		Register Name		Total Reset Value						
0x0EC		QOSB_ROWBIT_PRILVL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			ch3_rowhit_pri_lvl	reserved	ch2_rowhit_pri_lvl	reserved	ch1_rowhit_pri_lvl	reserved	ch0_rowhit_pri_lvl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:15]	RO	reserved	保留。							
[14:12]	RW	ch3_rowhit_pri_lvl	通道 3 优先级水线。 当前优先级低于 ch3_rowhit_pri_lvl 时，将优先级提到 ch3_rowhit_pri1； 当前优先级高于 ch3_rowhit_pri_lvl 时，将优先级提到 ch3_rowhit_pri0；							
[11]	RO	reserved	保留。							
[10:8]	RW	ch2_rowhit_pri_lvl	通道 2 优先级水线。 当前优先级低于 ch2_rowhit_pri_lvl 时，将优先级提到 ch2_rowhit_pri1； 当前优先级高于 ch2_rowhit_pri_lvl 时，将优先级提到 ch2_rowhit_pri0；							
[7]	RO	reserved	保留。							
[6:4]	RW	ch1_rowhit_pri_lvl	通道 1 优先级水线。 当前优先级低于 ch1_rowhit_pri_lvl 时，将优先级提到 ch1_rowhit_pri1； 当前优先级高于 ch1_rowhit_pri_lvl 时，将优先级提到 ch1_rowhit_pri0；							
[3]	RO	reserved	保留。							
[2:0]	RW	ch0_rowhit_pri_lvl	通道 0 优先级水线。 当前优先级低于 ch0_rowhit_pri_lvl 时，将优先级提到 ch0_rowhit_pri1； 当前优先级高于 ch0_rowhit_pri_lvl 时，将优先级提到 ch0_rowhit_pri0；							



## QOSB\_ROWBIT\_PRI

QOSB\_ROWBIT\_PRI 为 QosBuf 的 row hit 优先级控制寄存器。

		Offset Address 0x0F0								Register Name QOSB_ROWBIT_PRI								Total Reset Value 0x0000_0000																																															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																
Name		reserved				ch3_rowhit_pri1				reserved				ch3_rowhit_pri0				reserved				ch2_rowhit_pri1				reserved				ch2_rowhit_pri0				reserved				ch1_rowhit_pri1				reserved				ch1_rowhit_pri0				reserved				ch0_rowhit_pri1				reserved				ch0_rowhit_pri0			
	Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0																			
	Bits	Access		Name		Description																																																											
	[31]	RO		reserved		保留。																																																											
	[30:28]	RW		ch3_rowhit_pri1		请见 ch3_rowhit_pri_lvl 的说明。																																																											
	[27]	RO		reserved		保留。																																																											
	[26:24]	RW		ch3_rowhit_pri0		请见 ch3_rowhit_pri_lvl 的说明。																																																											
	[23]	RO		reserved		保留。																																																											
	[22:20]	RW		ch2_rowhit_pri1		请见 ch2_rowhit_pri_lvl 的说明。																																																											
	[19]	RO		reserved		保留。																																																											
	[18:16]	RW		ch2_rowhit_pri0		请见 ch2_rowhit_pri_lvl 的说明。																																																											
	[15]	RO		reserved		保留。																																																											
	[14:12]	RW		ch1_rowhit_pri1		请见 ch1_rowhit_pri_lvl 的说明。																																																											
	[11]	RO		reserved		保留。																																																											
	[10:8]	RW		ch1_rowhit_pri0		请见 ch1_rowhit_pri_lvl 的说明。																																																											
	[7]	RO		reserved		保留。																																																											
	[6:4]	RW		ch0_rowhit_pri1		请见 ch0_rowhit_pri_lvl 的说明。																																																											
	[3]	RO		reserved		保留。																																																											
	[2:0]	RW		ch0_rowhit_pri0		请见 ch0_rowhit_pri_lvl 的说明。																																																											





## QOSB\_ROW HIT\_CTRL

QOSB\_ROW HIT\_CTRL 为 QosBuf 的 row hit 的使能控制。

	Offset Address 0x0F4								Register Name QOSB_ROW HIT_CTRL								Total Reset Value 0x0000_0000																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved																								ch3_dual_flow_en	ch2_dual_flow_en	ch1_dual_flow_en	ch0_dual_flow_en	ch3_row_hit_en	ch2_row_hit_en	ch1_row_hit_en	ch0_row_hit_en																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																
Bits	Access	Name	Description																																													
[31:8]	RO	reserved	保留。																																													
[7]	RW	ch3_dual_flow_en	channel3 的 row hit 的双流使能控制： 0: 双流功能关闭； 1: 双流功能打开。																																													
[6]	RW	ch2_dual_flow_en	channel2 的 row hit 的双流使能控制： 0: 双流功能关闭； 1: 双流功能打开。																																													
[5]	RW	ch1_dual_flow_en	channel1 的 row hit 的双流使能控制： 0: 双流功能关闭； 1: 双流功能打开。																																													
[4]	RW	ch0_dual_flow_en	channel0 的 row hit 的双流使能控制： 0: 双流功能关闭； 1: 双流功能打开。																																													
[3]	RW	ch3_row_hit_en	channel3 row hit 使能控制： 0: rowhit 功能关闭； 1: rowhit 功能打开；																																													
[2]	RW	ch2_row_hit_en	channel2 row hit 使能控制： 0: rowhit 功能关闭； 1: rowhit 功能打开；																																													



[1]	RW	ch1_row_hit_en	channel1 row hit 使能控制。 0: rowhit 功能关闭; 1: rowhit 功能打开;
[0]	RW	ch0_row_hit_en	channel0 row hit 使能控制。 0: rowhit 功能关闭; 1: rowhit 功能打开;

## QOSB\_CKG\_CFG

QOSB\_CKG\_CFG 为 QosBuf 的时钟控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x108				QOSB_CKG_CFG				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										dyn_ck_gate					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Bits	Access	Name	Description																												
	[31:1]	RO	reserved	保留。																												
	[0]	RW	dyn_ck_gate	Qosbuf 模块的动态时钟门控。 0: 时钟常开; 1: 模块空闲时, 时钟自动门控。																												

## QOSB\_DMC\_LVL

QOSB\_DMC\_LVL 为 QosBuf 的进入 DMC 的命令的线控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x10C+0x4×chans (chans = 0~1)		QOSB_DMC_LVL		0x0000_000F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dmc_cmd_full_lvl	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:5]	RO	reserved	保留。						
[4:0]	RW	dmc_cmd_full_lvl	QOS BUF 进入 dmc 的命令的个数，当达到这个水位线，表示 dmc 的 queue 已经满。 <b>注意：由于流水的问题，当配置为 N 时，实际通过的命令个数为 N+1。另外，该寄存器不能在访问过程中进行动态配置。</b>						

## QOSB\_CFG\_PERF

QOSB\_CFG\_PERF 为 QosBuf 性能统计的模式配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x120		QOSB_CFG_PERF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	perf_en	perf_mode	perf_prd					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29]	RW	perf_en	性能统计使能寄存器。 1：使能； 0：禁止。 <b>注意：在 perf_mode=0 时，此位使能表示性能统计寄存器将开始循环计数。在 perf_mode=1 时，完成一次统计之后，该位自动清零。</b>						



[28]	RW	perf_mode	性能统计模式。 0: 连续触发模式。性能统计相关计数器连续计数。可保证在连续统计模式下, 1s 内统计不溢出。 1: 单次触发模式。性能统计时间计满 perf_prd 后, 统计结果保持, 并停止统计。 <b>注意: 当发生溢出时保持最大统计值。</b>
[27:0]	RW	perf_prd	性能统计周期。 0x0: 无效配置。 0x1~0xFFFFFFFF: 统计周期。 实际统计周期为 perf_prd*16*tclk(Tclk 为 DDRC 总线时钟周期)。 <b>注意: 此配置只在 perf_mode=1 时有效。当 perf_mode=0 的连续统计模式下, 性能统计相关计数器会一直计数。</b>

## QOSB\_CMD\_SUM

QOSB\_CMD\_SUM 为 QosBuf 命令计数的累积寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x124				QOSB_CMD_SUM								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	qos_cmd_sum																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RO	qos_cmd_sum		当前 QosBuf 暂存命令的值按周期累积, 溢出卷绕。																															

## QOSB\_SLOT\_STAT0

QOSB\_SLOT\_STAT0 为 QosBuf 的 queue 的状态寄存器 0。



Offset Address		Register Name		Total Reset Value					
0x128		QOSB_SLOT_STAT0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	grp_cmd_valid_l								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	grp_cmd_valid_l	QosBuf 中 cmd queue 从 0~31 的状态，对应的位为 1 表示该 slot 中存有命令，否则为空。						

## QOSB\_SLOT\_STAT1

QOSB\_SLOT\_STAT1 为 QosBuf 的 queue 的状态寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x12C		QOSB_SLOT_STAT1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	grp_cmd_valid_m0								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	grp_cmd_valid_m0	QosBuf 中 cmd queue 从 32~63 的状态，对应的位为 1 表示该 slot 中存有命令，否则为空。						

## QOSB\_SLOT\_STAT2

QOSB\_SLOT\_STAT2 为 QosBuf 的 queue 的状态寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x130		QOSB_SLOT_STAT2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	grp_cmd_valid_m1								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	grp_cmd_valid_m1	QosBuf 中 cmd queue 从 64~95 的状态，对应的位为 1 表示该 slot 中存有命令，否则为空。						



### QOSB\_SLOT\_STAT3

QOSB\_SLOT\_STAT3 为 QosBuf 的 queue 的状态寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x134		QOSB_SLOT_STAT3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	grp_cmd_valid_h							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	grp_cmd_valid_h	QosBuf 中 cmd queue 从 96~127 的状态，对应的位为 1 表示该 slot 中存有命令，否则为空。					

### QOSB\_WBUF\_STAT0

QOSB\_WBUF\_STAT0 为 QosBuf 的写 buf 状态寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x140+0x4×chans (chans = 0~1)		QOSB_WBUF_STAT0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	buf_ldata_valid_l							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	buf_ldata_valid_l	QosBuf 中写 buf 从 0~31 的状态，相应的位为 1 表示该 buf 中存有一个 burst 的数据，否则数据不到一个 burst 或为空。					

### QOSB\_WBUF\_STAT1

QOSB\_WBUF\_STAT1 为 QosBuf 的写 buf 状态寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x150+0x4×chans (chans = 0~1)		QOSB_WBUF_STAT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	buf_ldata_valid_h							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	buf_ldata_valid_h	QosBuf 中写 buf 从 32~63 的状态，相应的位为 1 表示该 buf 中存有一个 burst 的数据，否则数据不到一个 burst 或为空。					

### QOSB\_RDRBUF\_STAT

QOSB\_RDRBUF\_STAT 为 Reorder 模块的 buf 状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x160+0x4×chans (chans = 0~1)		QOSB_RDRBUF_STAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	e_vld							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	e_vld	Reorder 中 reorder buf 从 0~31 的状态，相应的位为 1 表示该 buf 中存有一个 burst 的数据，否则数据不到一个 burst 或为空。					

### QOSB\_INTMSK

QOSB\_INTMSK 为 QosBuf 中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value																												
0x170		QOSB_INTMSK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											qos_stat_int_mask				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	RO		reserved		保留。																											
[0]	RW		qos_stat_int_mask		QOS Buf 命令统计中断屏蔽使能。 1: 屏蔽中断; 0: 使能中断。																											

## QOSB\_RINT

QOSB\_RINT 为 QosBuf 原始中断寄存器。

Offset Address		Register Name		Total Reset Value																												
0x174		QOSB_RINT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											qos_stat_rint				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	RO		reserved		保留。																											
[0]	INT_WC		qos_stat_rint		QOS Buf 命令统计中断。写 1 中断清除。																											





## QOSB\_INTSTS

QOSB\_INTSTS 为 QOSBUF 中断状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x178				QOSB_INTSTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												qos_stat_intsts			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RO	reserved		保留。																											
	[0]	INT	qos_stat_intsts		QOS Buf 命令统计中断。																											

## QOSB\_CMD\_CNT

QOSB\_CMD\_CNT 为 QOSBUF 中当前有多少命令的统计寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x180				QOSB_CMD_CNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																qos_cmd_cnt															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7:0]	INT	qos_cmd_cnt		QosBuf 当前命令的个数，包括流水线上的命令。																											

## QOSB\_RNK\_CNT

QOSB\_RNK\_CNT 为 QOSBUF 中当前每个 rank 中有多少命令的统计寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x190+0x4×chans				QOSB_RNK_CNT				0x0000_0000																							
	(chans = 0~1)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rnk3_cmd_cnt												rnk0_cmd_cnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7:0]	RO	rnk0_cmd_cnt		QosBuf 中当前通道属于 rank0 的命令个数。																											

## QOSB\_BNK\_CNT0

QOSB\_BNK\_CNT0 为 QOSBUF 中当前每个 Bank 有多少命令的统计寄存器 0。

	Offset Address				Register Name				Total Reset Value																							
	0x1A0+0x4×chans				QOSB_BNK_CNT0				0x0000_0000																							
	(chans = 0~1)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	bnk3_cmd_cnt				bnk2_cmd_cnt				bnk1_cmd_cnt				bnk0_cmd_cnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	bnk3_cmd_cnt		统计 DMC 中当前通道属于 bank3 的命令个数。																											
	[23:16]	RO	bnk2_cmd_cnt		统计 DMC 中当前通道属于 bank2 的命令个数。																											
	[15:8]	RO	bnk1_cmd_cnt		统计 DMC 中当前通道属于 bank1 的命令个数。																											
	[7:0]	RO	bnk0_cmd_cnt		统计 DMC 中当前通道属于 bank0 的命令个数。																											

## QOSB\_BNK\_CNT1

QOSB\_BNK\_CNT1 为 QOSBUF 中当前每个 Bank 有多少命令的统计寄存器 1。



	Offset Address				Register Name				Total Reset Value																							
	0x1B0+0x4×chans				QOSB_BNK_CNT1				0x0000_0000																							
	(chans = 0~1)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	bnk7_cmd_cnt				bnk6_cmd_cnt				bnk5_cmd_cnt				bnk4_cmd_cnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	bnk7_cmd_cnt		统计 DMC 中当前通道属于 bank7 的命令个数。																											
	[23:16]	RO	bnk6_cmd_cnt		统计 DMC 中当前通道属于 bank6 的命令个数。																											
	[15:8]	RO	bnk5_cmd_cnt		统计 DMC 中当前通道属于 bank5 的命令个数。																											
	[7:0]	RO	bnk4_cmd_cnt		统计 DMC 中当前通道属于 bank4 的命令个数。																											

## QOSB\_BNK\_CNT2

QOSB\_BNK\_CNT2 为 QOSBUF 中当前每个 Bank 有多少命令的统计寄存器 2。

	Offset Address				Register Name				Total Reset Value																							
	0x1C0+0x4×chans				QOSB_BNK_CNT2				0x0000_0000																							
	(chans = 0~1)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	bnk11_cmd_cnt				bnk10_cmd_cnt				bnk9_cmd_cnt				bnk8_cmd_cnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	bnk11_cmd_cnt		统计 DMC 中当前通道属于 bank11 的命令个数。																											
	[23:16]	RO	bnk10_cmd_cnt		统计 DMC 中当前通道属于 bank10 的命令个数。																											
	[15:8]	RO	bnk9_cmd_cnt		统计 DMC 中当前通道属于 bank9 的命令个数。																											
	[7:0]	RO	bnk8_cmd_cnt		统计 DMC 中当前通道属于 bank8 的命令个数。																											

## QOSB\_BNK\_CNT3

QOSB\_BNK\_CNT3 为 QOSBUF 中当前每个 Bank 有多少命令的统计寄存器 3。



	Offset Address	Register Name	Total Reset Value
	0x1D0+0x4×chans (chans = 0~1)	QOSB_BNK_CNT3	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	bnk15_cmd_cnt		bnk14_cmd_cnt
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:24]	RO	bnk15_cmd_cnt
	[23:16]	RO	bnk14_cmd_cnt
	[15:8]	RO	bnk13_cmd_cnt
	[7:0]	RO	bnk12_cmd_cnt
	Description		
	统计 DMC 中当前通道属于 bank15 的命令个数。		
	统计 DMC 中当前通道属于 bank14 的命令个数。		
	统计 DMC 中当前通道属于 bank13 的命令个数。		
	统计 DMC 中当前通道属于 bank12 的命令个数。		

### QOSB\_OSTD\_CNT

QOSB\_OSTD\_CNT 为 QOSBUF 中当前每个通道有多少 Outstanding 命令的统计寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1E0	QOSB_OSTD_CNT	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		ch1_cmd_ostd
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:16]	RO	reserved
	[15:8]	RO	ch1_cmd_ostd
	[7:0]	RO	ch0_cmd_ostd
	Description		
	保留。		
	QosBuf 中当前通道属于 channel1 的 Outstanding 命令个数。		
	QosBuf 中当前通道属于 channel0 的 Outstanding 命令个数。		

### QOSB\_WR\_CMD\_SUM

QOSB\_WR\_CMD\_SUM 为 QosBuf 写命令计数的累积寄存器。



Offset Address		Register Name		Total Reset Value					
0x1E4		QOSB_WR_CMD_SUM		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	qos_wr_cmd_sum								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	qos_wr_cmd_sum	当前 QosBuf 暂存写命令的值按周期累积，溢出卷绕。						

### QOSB\_RD\_CMD\_SUM

QOSB\_RD\_CMD\_SUM 为 QosBuf 读命令计数的累积寄存器。

Offset Address		Register Name		Total Reset Value					
0x1E8		QOSB_RD_CMD_SUM		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	qos_rd_cmd_sum								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	qos_rd_cmd_sum	当前 QosBuf 暂存读命令的值按周期累积，溢出卷绕。						

### QOSB\_TIMEOUT\_MODE

QOSB\_TIMEOUT\_MODE 为 QOSBUF 中 timeout 模式选择寄存器。

Offset Address		Register Name		Total Reset Value					
0x1F0		QOSB_TIMEOUT_MODE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								timeout_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						



[0]	RW	timeout_mode	读写命令的 Timeout 映射模式选择寄存器。 0: 表示通过 ID 来映射, 共 16 级(每一级定义在 <a href="#">QOSB_WRTOUT0~QOSB_WRTOUT3</a> 或者 <a href="#">QOSB_RDTOUT0~QOSB_RDTOUT3</a> ); 1: 表示通过优先级来映射, 共 8 级。其中映射表与 ID 的映射表的低 8 级相同。
-----	----	--------------	---

## QOSB\_WBUF\_PRI\_CTRL

QOSB\_WBUF\_PRI\_CTRL 为 QOSBUF 中写 wbuf 优先级调整控制寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x1F4								QOSB_WBUF_PRI_CTRL								0x0020_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	<a href="#">wbuf_hcnt</a>																<a href="#">wbuf_lcnt</a>																			
Reset	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	RW		wbuf_hcnt		当写 wbuf 的写命令个数达到 <a href="#">QOSB_WBUF_CTRL[wbuf_lv12]</a> 水线时, 内部计数器才会使用该值。表示一旦 wbuf 的写命令个数到达 wbuf_lv12 之后, 内部开始计数, 在计数值到达 wbuf_hcnt 之前这时间区域内, 写 buf 的写命令的优先级被调到 pri2。 <b>注意: 这里的 pri2 指 wbuf 在 wbuf_lv12 以上对应的优先级, 见 <a href="#">QOSB_WBUF_CTRL[wbuf_pri2]</a>。</b>																															
[15:0]	RW		wbuf_lcnt		当写 wbuf 的写命令个数达到 <a href="#">QOSB_WBUF_CTRL[wbuf_lv12]</a> 水线, 且内部计数器已经到达过 wbuf_hcnt, 才会使用该值。表示内部计数器到达过 wbuf_hcnt 之后, 内部重新开始计数, 在计数值到达 wbuf_lcnt 之前该时间区域内, 写 buf 会将写命令的优先级调到 pri1。如果该计数器为 0, 表示会一直使用 pri2 的优先级。 <b>注意: 这里的 pri1 指 wbuf 在 wbuf_lv11 以上对应的优先级, 见 <a href="#">QOSB_WBUF_CTRL[wbuf_pri1]</a>。</b>																															

## QOSB\_RHIT\_CTRL

QOSB\_RHIT\_CTRL 为 QOSBUF 中 rowhit 优先级调整控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x1F8				QOSB_RHIT_CTRL				0x00FF_000F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rhit_hcnt								rhit_lcnt																							
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
Bits	Access	Name	Description																													
[31:16]	RW	rhit_hcnt	rowhit 命令流允许维持的时间。 注：当 rowhit 的命令流维持时间达到该寄存器配置的 rhit_hcnt 值后，就会强行将其断开。然后内部计数器重新计数，计算值到达 rhit_lcnt 的后，才重新允许 rowhit 命令流提起仲裁请求。																													
[15:0]	RW	rhit_lcnt	rowhit 命令流被断开的时间。 注：当 rowhit 的命令流维持时间达到该寄存器配置的 rhit_hcnt 值后，就会强行将其断开。然后内部计数器重新计数，计算值到达 rhit_lcnt 的后，才重新允许 rowhit 命令流提起仲裁请求。																													

## 4.1.7 DDRC 内 DMC 模块寄存器

### 4.1.7.1 DMC 寄存器概览

DMC 寄存器概览如表 4-8 所示。

表4-8 DMC 寄存器概览（基地址：0x1206\_8000）

偏移地址	名称	描述	页码
0x000	DDRC_CTRL_SREF	DDRC 自刷新控制寄存器	4-77
0x00C	DDRC_CTRL_SFC	DDRC 软件配置 DDR 命令启动寄存器	4-77
0x010	DDRC_CTRL_PERF	DDRC 性能统计使能寄存器	4-78
0x020	DDRC_CRG_SREF	DDR 自刷新配置寄存器	4-79
0x024	DDRC_CFG_INIT	DDR 初始化配置寄存器	4-80
0x028	DDRC_CFG_PD	DDR 低功耗 PowerDown 状态配置寄存器	4-80
0x02C	DDRC_CFG_AREF	DDRC 自动刷新模式配置寄存器	4-82
0x040	DDRC_CFG_WORK MODE	DDRC 工作模式配置寄存器	4-83



偏移地址	名称	描述	页码
0x044	DDRC_CFG_WORK MODE2	DDRC 工作模式配置寄存器	4-85
0x050	DDRC_DDRMODE	DDR 工作模式配置寄存器	4-85
0x058	DDRC_CFG_SCRA MB	DDR 数据加扰配置寄存器	4-89
0x060	DDRC_CFG_RNKV OL	DDRC 控制的每个 RANK 的 DDR 容量 配置寄存器	4-90
0x0A0	DDRC_CFG_ODT	ODT 特性配置寄存器	4-91
0x0F0	DDRC_CFG_EMRS0 1	DDR 的模式寄存器 0 和模式寄存器 1 的 配置寄存器	4-92
0x0F4	DDRC_CFG_EMRS2 3	DDR 的模式寄存器 2 和模式寄存器 3 的 配置寄存器	4-93
0x100	DDRC_CFG_TIMIN G0	DDRC 的时序参数寄存器 0	4-93
0x104	DDRC_CFG_TIMIN G1	DDRC 的时序参数寄存器 1	4-94
0x108	DDRC_CFG_TIMIN G2	DDRC 的时序参数寄存器 2	4-95
0x10C	DDRC_CFG_TIMIN G3	DDRC 的时序参数寄存器 3	4-96
0x110	DDRC_CFG_TIMIN G4	DDRC 的时序参数寄存器 4	4-97
0x114	DDRC_CFG_TIMIN G5	DDRC 的时序参数寄存器 5	4-98
0x118	DDRC_CFG_TIMIN G6	DDRC 的时序参数寄存器 6	4-99
0x11C	DDRC_CFG_TIMIN G7	DDRC 的时序参数寄存器 7	4-100
0x140	DDRC_CFG_BLDA TA	DDRC 写数据预接收写数据配置寄存器	4-100
0x144	DDRC_CFG_DMCL VL	DDR 控制器命令队列深度流水线配置寄存 器	4-101
0x200	DDRC_CFG_DDRP HY	DDR IO 配置寄存器	4-101
0x20C	DDRC_CFG_SFC_TI M	DDRC 软件配置 DDR 命令的时序寄存 器	4-102
0x210	DDRC_CFG_SFC	DDRC 软件配置 DDR 命令属性命令	4-103





偏移地址	名称	描述	页码
0x214	DDRC_CFG_SFC_A DDR0	SFC 读写 memory 地址配置寄存器 0	4-104
0x218	DDRC_CFG_SFC_A DDR1	SFC 读写 memory 地址配置寄存器 1	4-105
0x21C	DDRC_CFG_SFC_W DATA0	SFC 写数据配置寄存器 0	4-105
0x220	DDRC_CFG_SFC_W DATA1	SFC 写数据配置寄存器 1	4-105
0x224	DDRC_CFG_SFC_W DATA2	SFC 写数据配置寄存器 2	4-106
0x228	DDRC_CFG_SFC_W DATA3	SFC 写数据配置寄存器 3	4-106
0x254	DDRC_CFG_STAD AT	DDRC 数据统计使能寄存器	4-106
0x258	DDRC_CFG_DATM IN	DMC 数据计数的最小阈值寄存器	4-108
0x25C	DDRC_CFG_DATM AX	DMC 数据计数的最大阈值寄存器	4-108
0x260	DDRC_CFG_STAC MD	DDR 性能统计的模式配置寄存器	4-108
0x264	DDRC_CFG_CMDM IN	DMC 命令计数的最小阈值寄存器	4-109
0x268	DDRC_CFG_CMDM AX	DMC 命令计数的最大阈值寄存器	4-110
0x270	DDRC_CFG_PERF	DDR 性能统计的模式配置寄存器	4-110
0x274	DDRC_CFG_STAID	DDR 性能统计的命令 ID 配置寄存器	4-111
0x278	DDRC_CFG_STAID MSK	DDR 性能统计的命令 ID MASK 配置寄存器	4-112
0x280	DDRC_INTMSK	DDRC 中断屏蔽寄存器	4-112
0x284	DDRC_RINT	DDRC 原始中断寄存器	4-114
0x288	DDRC_INTSTS	DDRC 中断状态寄存器	4-115
0x290	DDRC_CURR_STA TUS	DDRC 状态寄存器	4-116
0x294	DDRC_CURR_FUN C	DDRC FUNC 模块状态寄存器	4-117
0x298	DDRC_CURR_FUN C2	DDRC FUNC2 模块状态寄存器	4-118



偏移地址	名称	描述	页码
0x2A0	DDRC_CURR_EXE_CST	DDRC 命令状态机状态	4-118
0x2A4	DDRC_CURR_WGFIFOST	DDRC 写 FIFO 空满状态寄存器	4-119
0x380	DDRC_HIS_FLUX_WR	DDRC 所有写命令流量统计寄存器	4-119
0x384	DDRC_HIS_FLUX_RD	DDRC 所有读命令流量统计寄存器	4-120
0x0388	DDRC_HIS_FLUX_WCMD	DDRC 所有写命令数目	4-120
0x038C	DDRC_HIS_FLUX_RCMD	DDRC 所有读命令数目	4-121
0x390	DDRC_HIS_FLUXID_WR	DDRC 指定 ID 写流量统计寄存器	4-121
0x394	DDRC_HIS_FLUXID_RD	DDRC 指定 ID 读流量统计寄存器	4-122
0x0398	DDRC_HIS_FLUXID_WCMD	DDRC 所有写命令数目	4-122
0x039C	DDRC_HIS_FLUXID_RCMD	DDRC 所有读命令数目	4-123
0x3A0	DDRC_HIS_WLATCNT0	DDRC 指定 ID 的写命令 Latency 统计寄存器 0	4-123
0x3A4	DDRC_HIS_WLATCNT1	DDRC 指定 ID 的写命令 Latency 统计寄存器 1	4-124
0x3A8	DDRC_HIS_RLATCNT0	DDRC 指定 ID 的读命令 Latency 统计寄存器 0	4-124
0x3AC	DDRC_HIS_RLATCNT1	DDRC 指定 ID 的读命令 Latency 统计寄存器 1	4-125
0x3B0	DDRC_HIS_INHERE_LAT_CNT	读通道固有延时寄存器	4-125
0x3B4	DDRC_STAT_RPT	DMC 命令计数器的累积寄存器的读指针	4-126
0x3B8	DDRC_HIS_CMD_SUM	DMC 命令计数的累积寄存器	4-126
0x3BC	DDRC_HIS_DAT_SUM	DMC 数据计数的累积寄存器	4-127
0x4A8	DDRC_HIS_SFC_READATA0	SFC 读数据寄存器 0	4-127



偏移地址	名称	描述	页码
0x4AC	DDRC_HIS_SFC_R DATA1	SFC 读数据寄存器 1	4-127
0x4B0	DDRC_HIS_SFC_R DATA2	SFC 读数据寄存器 2	4-128
0x4B4	DDRC_HIS_SFC_R DATA3	SFC 读数据寄存器 3	4-128

## 4.1.7.2 DMC 寄存器描述

### DDRC\_CTRL\_SREF

DDRC\_CTRL\_SREF 为 DDRC 自刷新控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x000	DDRC_CTRL_SREF	0x0000_0001	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved		sref_done sref_req	
Reset	0 1			
	Bits	Access	Name	Description
	[31:2]	RO	reserved	保留。
	[1]	RW	sref_done	DDRPHY 自刷新操作完成。 0: 正常工作状态; 1: 配置从 0 到 1 的跳变表示 DDRPHY 完成所有自刷新退出后必须的操作, DMC 可以接受新的请求。
	[0]	RW	sref_req	SDRAM 自刷新请求。 0: 退出自刷新状态; 1: 进入自刷新状态。

### DDRC\_CTRL\_SFC

DDRC\_CTRL\_SFC 为 DDRC 软件配置 DDR 命令启动寄存器。



Offset Address		Register Name		Total Reset Value					
0x00C		DDRC_CTRL_SFC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cmd_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	cmd_req	控制器配置命令执行请求。 1: 请求执行命令; 0: 不执行命令或者当命令执行完成后, 自动将该参数清零。 这时再次写一后操作将生效						

## DDRC\_CTRL\_PERF

DDRC\_CTRL\_PERF 为 DDRC 性能统计使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x010		DDRC_CTRL_PERF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								perf_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	perf_en	性能统计使能。 0: 禁止; 1: 使能。 <b>注意: 在 perf_mode=0 时, 此位使能表示性能统计寄存器将开始循环计数。在 perf_mode=1 时, 完成一次统计之后, 该位自动清零</b>						



## DDRC\_CFG\_SREF

DDRC\_CFG\_SREF 为 DDR 自刷新配置寄存器。

	Offset Address 0x020								Register Name DDRC_CFG_SREF								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	asref_en								sref_arefnum								reserved	clk_switch	reserved	sref_odis	reserved	asref_fast_wakeu	sref_cc													
Reset	0 0 0 0								0 0 0 0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:16]	RO	asref_en	SDRAM 自动进入 SELF REFRESH 使能。 1: 使能; 0: 禁止。 <b>注意，每个 RANK 对应一个控制位，当 DDRC_CFG_PD[PD_EN]有效，且 RANK 对应的 asref_en 有效时，这个 RANK 才能自动进入 SELF REFRESH。当前版本不支持该功能。</b>																																	
[15:12]	RW	sref_arefnum	DDR3 SDRAM 在 DFS 流程中，退出自刷新后发出的自动刷新操作次数。 0x0: 不发送自动刷新操作。 0x1~0xF: n 次。																																	
[11:9]	RO	reserved	保留。																																	
[8]	RW	clk_switch	DDRC 低功耗时钟切换控制。DDRC 进入低功耗状态(DDR Self Refresh)状态是否反压 AXI 接口命令。 0: 反压接口命令，同时将原有命令执行完成; 1: 反压接口命令，时钟切换完成后，继续执行原有命令。																																	
[7:5]	RO	reserved	保留。																																	
[4]	RW	sref_odis	自刷新模式，DDR 命令和数据 IO 的输出关断配置。 0: 不关断管脚输出; 1: 关断管脚输出。 <b>注意：此配置为静态配置。建议当配置 DDR 进入 self_refresh 后，可配置为 1，关断 DDR 命令和数据 IO 的输出。在配置 DDR 退出 self_refresh 前，配置为 0，打开 DDR 命令和数据 IO 的输出。</b>																																	
[3:2]	RO	reserved	保留。																																	



[1]	RW	asref_fast_wakeup	AUTO SELFREFRESH 快速唤醒使能。 0: 禁止; 1: 使能。
[0]	RW	sref_cc	自刷新模式, SDRAM 时钟控制。 0: 不关断 SDRAM 时钟; 1: 关断 SDRAM 时钟。

## DDRC\_CFG\_INIT

DDRC\_CFG\_INIT 为 DDR 初始化配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x024				DDRC_CFG_INIT								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																init_arefnum															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7:0]	RW	init_arefnum		DDR3 SDRAM 初始化过程中发出的自动刷新操作次数。 0x0~0x2: 2 次; 0x3~0xF: n 次。																											

## DDRC\_CFG\_PD

DDRC\_CFG\_PD 为 DDR 低功耗 PowerDown 状态配置寄存器。



Offset Address		Register Name		Total Reset Value							
0x028		DDRC_CFG_PD		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	asref_prd			t_clk_cke	pd_prd			reserved	pd_cc	pd_ac	pd_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description								
[31:20]	RO	asref_prd	SDRAM 低功耗(Self-refresh)周期配置。当 DDRC 在连续的 asref_prd 个周期内没有接受到命令，则控制 SDRAM 进入到自刷新状态，当新命令到来，则控制 SDRAM 退出自刷新状态。 0x0~0xFFF: n*16 个时钟周期。 <b>注意：该参数仅在 asref_en 为 1 时有效。</b>								
[19:16]	RW	t_clk_cke	CLK 与 CKE 关系设置。 0x0~0x7: DDRPHY 关闭 DDR3 颗粒时钟相对 CKE 的延时，跟具体的 DDRPHY 相关。 当前版本在使能时钟关闭情况下，配置为 0 即可。								
[15:4]	RW	pd_prd	SDRAM 低功耗(Power Down)周期配置。当 DDRC 在连续的 pd_prd 个周期内没有接受到命令，则控制 SDRAM 进入到低功耗状态，当新命令到来，则控制 SDRAM 退出低功耗状态。 0x00: 不进入 power down 状态； 0x01~0xFFF: n 个时钟周期。 <b>注意：该参数仅在 pd_en 为 1 时有效。</b>								
[3]	RO	reserved	保留								
[2]	RW	pd_cc	低功耗模式 (powerdown) ,SDRAM 时钟控制。 1: 关断 SDRAM 时钟； 0: 不关断 SDRAM 时钟。 <b>注意：DDR3 模式下不能使用这个功能。</b>								
[1]	RW	pd_ac	低功耗模式(PowerDown), SDRAM 地址命令动态关断控制。 1: 关断管脚输出； 0: 不关断管脚输出。 <b>注意：在 pd_en 使能下有效，控制管脚不包括 CKE、ODT、CSN 和 RESET_N。</b>								



[0]	RW	pd_en	SDRAM 自动低功耗使能。 1: 使能; 0: 禁止。
-----	----	-------	------------------------------------

## DDRC\_CFG\_AREF

DDRC\_CFG\_AREF 为 DDRC 自动刷新模式配置寄存器。

	Offset Address 0x02C								Register Name DDRC_CFG_AREF								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								aref_alarm_num								reserved	pstpnd_level		aref_alarm_en	aref_dual_rank	aref_opt	aref_mode													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:16]	RO		reserved		保留。																															
[15:8]	RW		aref_alarm_num		配置当无法发若干个 auto refresh 命令后，强制发出 self refresh 命令。 0x0~0xFF: 缺少 n+1 个 auto refresh。(注意，但 n=255 时，由于计数器为 8 位，则进位后高位丢失，相当于 1)  当为优化模式时，取 aref_opt=1，则当 postponed 的命令个数大于等于 15 时就会报警。																															
[7]	RO		reserved		保留。																															
[6:5]	RW		pstpnd_level		优化自动刷新模式的水线配置。 11: postponed 命令水线为 8; 10: postponed 命令水线为 4; 01: postponed 命令水线为 2; 00: postponed 命令水线为 1;																															
[4]	RW		aref_alarm_en		启动 AREF 功能中丢 auto refresh 的报警使能: 1: 使能; 0: 不使能。																															





[3]	RW	aref_dual_rank	AREF 模块发送 REF 命令的模式选择。 0: 每次只向一个 rank 发送 REF 命令 1: 每次会向两个 rank 发送 REF 命令。
[2]	RW	aref_opt	auto refresh 优化使能。 1: 使能自动刷新优化; 0: 禁止自动刷新优化。 使能该功能时, aref_mode 建议配置为 00。DMC 会在每次 auto refresh 时动态检测 DDR 是否空闲, 如果空闲, 则发送 AREF 命令, 否则将等待, 直到 AREF 周期累积到 9 个 AREF 周期时, 强行终止 DDR 访问, 插入 AREF 命令。
[1:0]	RW	aref_mode	非优化自动刷新模式选择。 11: 每 9 个 tREFI 周期执行 8 次自动刷新操作; 10: 每 5 个 tREFI 周期执行 4 次自动刷新操作 01: 每 4 个 tREFI 周期执行 3 次自动刷新操作 00: 每 1 个 tREFI 周期执行 1 次自动刷新操作。 优化自动刷新模式。 11: postponed 命令水线为 8; 10: postponed 命令水线为 4; 01: postponed 命令水线为 2; 00: postponed 命令水线为 1;

## DDRC\_CFG\_WORKMODE

DDRC\_CFG\_WORKMODE 为 DDRC 工作模式配置寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x040	DDRC_CFG_WORKMODE	0x0000_0000	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
			19 18 17 16	
			15 14 13 12	
			11 10 9 8	
			7 6 5 4	
			3 2 1 0	
Name	reserved			
			hdr_mode	
			read_mode	
			addr_mode	
			intlv_en	
			wrap_en	
			reserved	
			apre_en	
			func_clkon	
			data_clkon	
			cmd_clkon	
			clk_ratio	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
			0 0 0 0	
			0 0 0 0	
			0 0 0 0	
			0 0 0 0	
			0 0 0 0	
			0 0 0 0	
			0 0 0 0	
Bits	Access	Name	Description	
[31:14]	RO	reserved	保留	



[13]	RW	hdr_mode	DFI 接口模式选择。 0: SDR 模式; 1: HDR 模式。 当前版本只支持 HDR 模式。
[12]	RW	read_mode	控制器读模式选择。 0: 随路读模式; 1: 延迟读模式。 随路读模式, 是指控制器根据 PHY 送出的数据有效信号完成数据采样。 延迟读模式, 是指控制器内部延迟等待完成对 PHY 送出数据的采样。
[11:10]	RW	addr_mode	DDR 地址线翻转模式选择。 00: IDLE 时命令地址全部归 1; 01: IDLE 时保持前一个命令的状态; 10: IDLE 时与前一次状态取反; 11: 保留。
[9]	RW	intlv_en	DMC BURST 间插使能。 0: 禁止; 1: 使能。 建议配置为 0。
[8]	RW	wrap_en	WRAP 命令优化处理使能。 0: 禁止; 1: 使能。
[7:5]	RO	reserved	保留。
[4]	RW	apre_en	Auto Precharge 功能使能: 0: 禁止; 1: 使能。
[3]	RW	func_clkon	功能模块时钟开关。 0: 内部自动控制时钟; 1: 强制打开时钟。
[2]	RW	data_clkon	数据通道时钟开关。 0: 内部自动控制时钟; 1: 强制打开时钟。
[1]	RW	cmd_clkon	命令通道时钟开关。 0: 内部自动控制时钟; 1: 强制打开时钟。



[0]	RW	clk_ratio	<p>控制器工作模式。</p> <p>1: DDRC 与 PHY 频率比为 1: 2;</p> <p>0: DDRC 与 PHY 频率比为 1: 1。</p> <p><b>注意: 当前版本需固定为 1。</b></p>
-----	----	-----------	---

## DDRC\_CFG\_WORKMODE2

DDRC\_CFG\_WORKMODE2 为 DDRC 工作模式配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x044	DDRC_CFG_WORKMODE2	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved	openpage_time	rank_disable
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:16]	RW	openpage_time	<p>OPEN PAGE 延时控制:</p> <p>0x0~0x1: 禁止 OPEN PAGE 功能;</p> <p>0x2~0x3fff: OPEN PAGE 延时时间。</p> <p><b>注意: DDRC_CFG_WORKMODE.apre_en 使能时, OPEN PAGE 功能失效</b></p>
[15:0]	RW	rank_disable	<p>RANK 禁止开关。</p> <p>0: 正常工作模式;</p> <p>1: 禁止某个 RANK 的 AUTO REFRESH/POWER DOWN/SELFREFRESH 功能。</p>

## DDRC\_CFG\_DDRMODE

DDRC\_CFG\_DDRMODE 为 DDRC 工作模式配置寄存器。



Offset Address		Register Name												Total Reset Value																						
0x050		DDRC_CFG_DDRMODE												0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved	bank_mode			reserved	bank_xor			asref_zqc_en	sref_zqc_en	rank		rank_mode	odt_on	zqc_en	reserved	scramb_en	reserved	bc_en	cmd_2t_en	reserved	brstlen	brstlen2	reserved	mem_width			dram_type								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31]	RO	reserved	保留。																																	
[30:28]	RW	bank_mode	<p>BANK 交织模式。</p> <p>存储总线位宽为 8bit 时：</p> <p>000: 8byte 交织；</p> <p>001: 16byte 交织；</p> <p>...</p> <p>111: 1kbyte 交织。</p> <p>存储总线位宽为 16bit 时：</p> <p>000: 16byte 交织；</p> <p>001: 32byte 交织；</p> <p>...</p> <p>111: 2kbyte 交织。</p> <p>存储总线位宽为 32bit 时：</p> <p>000: 32byte 交织；</p> <p>001: 64byte 交织；</p> <p>...</p> <p>111: 4kbyte 交织。</p> <p>存储总线位宽为 64bit 时：</p> <p>000: 64byte 交织；</p> <p>001: 128byte 交织；</p> <p>...</p> <p>111: 8kbyte 交织。</p> <p><b>注意：当 AXI 的配置为非零时，这个域必须配置为 000,以 AXI 配置模式工作。当 AXI 配置为 000 时，以 DMC 配置模式工作。</b></p>																																	
[27:26]	RO	reserved	保留。																																	



[25:24]	RW	bank_xor	BANK 地址与 ROW 地址加扰使能。 0: 禁止; 1: BANK 与偏移地址 0 加扰; 2: BANK 与偏移地址 1 加扰; 3: BANK 与偏移地址 2 加扰;
[23]	RW	asref_zqc_en	ASREF 退出时的 SDRAM ZQ 使能。 0: 禁止; 1: 使能。
[22]	RW	sref_zqc_en	SREF 退出时的 SDRAM ZQ 使能。 0: 禁止; 1: 使能。 <b>注意: 仅对 DDR3 SDRAM 有效, 默认配置为 0。另外注意, 该配置位不允许在退出自刷新过程中动态变化。</b>
[21:20]	RW	rank	控制器 RANK 配置。 00: 1 个 RANK; 01: 2 个 RANK; 10: 3 个 RANK; 11: 4 个 RANK。 <b>注意: 当外接 DDR 器件大于 4 个 RANK 时, 此控制位同时用于 0-3,4-7,8-11,12-16 四组 RANK 的控制</b>
[19:18]	RW	rank_mode	RANK 交织模式。 00: 单 RANK 模式; 01: 单 RANK 模式; 10: 双 RANK 交织; 11: 四 RANK 交织。 <b>注意: 多 RANK 交织只有在 RANK 的配置完全相同时才能使用。否则将会出现不可预知的错误。</b>
[17]	RW	odt_on	输出给 SDRAM 的 ODT 信号为固定值。 0: 由 DDRC 自动控制; 1: 固定输出为 rank0 的 wodt 配置。
[16]	RW	zqc_en	Aref 模块 ZQ 命令使能。 0: 禁止; 1: 使能。
[15]	RO	reserved	保留。



[14]	RW	scramb_en	数据加扰使能（使用地址作为种子产生扰码，然后与数据进行异或，以减少同步翻转）。 0：禁止； 1：使能。
[13]	RO	reserved	保留。
[12]	RW	bc_en	DDR3 Burst Chop 模式使能。 0：禁止； 1：使能。
[11]	RO	reserved	保留。必须保持 1'b0。
[10:9]	RO	reserved	保留。
[8]	RW	brstlen	控制器 Burst Length 配置。 当 brstlen2 配置为 0 时， 1：BL8； 0：BL4。 当 brstlen2 配置为 1 时， 1：BL32； 0：BL16。 DDR3 只能配置为 Burst8 模式。 <b>注意：这里的 burst len 与 dmc 与 phy 的 clk ratio 有关系。其配置值应该是 BLx/n(其中 x 表示 4/8/16/32 这几种 burst 类型，n 表示 dmc 与 phy 的时钟关系为 1:n)。以 clk ratio=1:2 为例，如果要配置 ddr bl32,只需要配置 brstlen=0;brstlen2=1 即可。</b>
[7]	RW	brstlen2	控制器 Burst Length2 配置。 1：扩展模式； 0：基本模式。 与 brstlen 共同作用。
[6]	RO	reserved	保留。
[5:4]	RW	mem_width	存储数据总线位宽。 00：8bit； 01：16bit； 10：32bit； 11：64bit。
[3:0]	RW	dram_type	外部存储器类型。 110：DDR3； 其他：保留。



## DDRC\_CFG\_SCRAMB

DDRC\_CFG\_SCRAMB 为 DDR 数据加扰配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x058				DDRC_CFG_SCRAMB				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								dbi_low_act	rd_dbi_en	wr_dbi_en	reserved								scramb_seed_type	reserved	scramb_seed_sort										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:19]	RO		reserved		保留。																											
[18]	RW		dbi_low_act		DBI 有效电平。 0: 高有效; 1: 低有效。																											
[17]	RW		rd_dbi_en		读方向 DBI 使能。 0: 禁止; 1: 使能。																											
[16]	RW		wr_dbi_en		写方向 DBI 使能。 0: 禁止; 1: 使能。																											
[15:5]	RO		reserved		保留。																											
[4]	RW		scramb_seed_type		用于加扰的地址模式。 0: 用片选和 BA 加扰; 1: 用片选、BA、和低位列地址加扰。																											
[3]	RO		reserved		保留。																											



[2:0]	RW	scramb_seed_sort	<p>用于加扰的地址排列方式。</p> <p>000: CS_BA_COL 排列;</p> <p>001: CS_COL_BA 排列;</p> <p>010: COL_CS_BA 排列;</p> <p>011: COL_BA_CS 排列;</p> <p>100: BA_CS_COL 排列;</p> <p>101: BA_COL_CS 排列;</p> <p>其他: 保留。</p>
-------	----	------------------	--

## DDRC\_CFG\_RNKVOL

DDRC\_CFG\_RNKVOL 为 DDRC 控制的每个 RANK 的 DDR 容量配置寄存器。

	Offset Address 0x060				Register Name DDRC_CFG_RNKVOL								Total Reset Value 0x0000_0022																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								mem_x4	reserved	mem_map	reserved	mem_bank	reserved	mem_row	reserved	mem_col															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0
Bits	Access		Name		Description																											
[31:17]	RO		reserved		保留。																											
[16]	RW		mem_x4		<p>外接器件为 4bit 器件拼接模式。</p> <p>0: 外部由 8/16/32bit 器件拼接组成;</p> <p>1: 外部由 4bit 器件拼接组成。</p>																											
[15:14]	RO		reserved		保留。																											





[13:12]	RW	mem_map	SDRAM 地址译码模式。 00: {Rank,Row,Ba,Col,DW}= AXI_Address; 01: {Rank,Ba,Row,Col,DW}= AXI_Address; 10: {Rank,Row,Ba,Col,cs,Col,DW}= AXI_Address; 11: {Rank,Ba,Row,Col,cs,Col,DW}= AXI_Address。 该参数，需要在 DDRC_CONFIG1[dual_ch]有效时，才能配置为'b10 或者'b11。 当有多个 rank 时，各个 rank 必须使用相同的配置。 当前版本只支持 00 配置。
[11:10]	RO	reserved	保留。
[9:8]	RW	mem_bank	单片 SDRAM Bank 数。 00: 4 Bank; 01: 8 Bank; 10: 16 Bank; 11: 保留。
[7]	RO	reserved	保留。
[6:4]	RW	mem_row	单片 SDRAM 行地址位宽配置。 000: 11 bit; 001: 12 bit; 010: 13 bit; 011: 14 bit; 100: 15 bit; 101: 16 bit; 其它: 保留。
[3]	RO	reserved	保留。
[2:0]	RW	mem_col	单片 SDRAM 列地址位宽配置。 000: 8 bit; 001: 9 bit; 010: 10 bit; 011: 11 bit; 100: 12 bit。 其它: 保留。

## DDRC\_CFG\_ODT

DDRC\_CFG\_ODT 为 DDR 的 ODT 特性配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A0		DDRC_CFG_ODT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rodt				wodt			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	rodt	当前 RANK 发送读命令时，其他 RANK 的 ODT 配置。 1：使能读 ODT； 0：禁止读 ODT。					
[15:0]	RW	wodt	当前 RANK 发送写命令时，其他 RANK 的 ODT 配置。 1：使能写 ODT； 0：禁止写 ODT。					

## DDRC\_CFG\_EMRS01

DDRC\_CFG\_EMRS01 为 DDR 的模式寄存器 0 和模式寄存器 1 的配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0F0		DDRC_CFG_EMRS01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	emrs1				mrs			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	emrs1	DDR3 SDRAM 扩展模式寄存器 1。 对应 DDR3 SDRAM 手册中 Mode Register 1(MR1)有效位： [13:0]。其中，大多数 ddr 器件的 MR1[15:14]不用，则 DDRC_CFG_EMRS01 [31:30]保留，设置为 2'b00。 <b>注意：MR1 的具体解释，请参考所使用 DDR3 SDRAM 手册。</b>					
[15:0]	RW	mrs	DDR3 SDRAM 模式寄存器。 对应 DDR3 SDRAM 手册中 Mode Register 0(MR0)有效位： [13:0]。其中，大多数 ddr 器件的 MR0[15:14]不用，则 DDRC_CFG_EMRS01 [15:14]保留，设置为 2'b00。 <b>注意：MR0 的具体解释，需请参考所使用 DDR3 SDRAM 手册。</b>					



## DDRC\_CFG\_EMRS23

DDRC\_CFG\_EMRS23 为 DDR 的模式寄存器 2 和模式寄存器 3 的配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0F4				DDRC_CFG_EMRS23				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	emrs3												emrs2																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:16]	RW	emrs3	DDR3 SDRAM 扩展模式寄存器 3。 对应 DDR3 SDRAM 手册中 Mode Register 3 (MR3)有效位： [13:0]。其中，大多数 ddr 器件的 MR3[15:14]不用，则 DDRC_CFG_EMRS23 [31:30]保留，设置为 2'b00。 <b>注意：MR3 的具体解释，需请参考所使用 DDR3 SDRAM 手 册。</b>																												
	[15:0]	RW	emrs2	DDR3 SDRAM 扩展模式寄存器 2。 对应 DDR3 SDRAM 手册中 Mode Register 2 (MR2)有效位： [13:0]。其中，大多数 ddr 器件的 MR2[15:14]不用， DDRC_CFG_EMRS23 [15:14]保留，设置为 2'b00。 <b>注意：MR2 的具体解释，请参考所使用 DDR3 SDRAM 手 册。</b>																												

## DDRC\_CFG\_TIMING0

DDRC\_CFG\_TIMING0 为 DDRC 的时序参数寄存器 0。



	Offset Address 0x100				Register Name DDRC_CFG_TIMING0								Total Reset Value 0xFFFF_FF3F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tmrd				trrd				trp				trcd				trc				reserved		tras									
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1
	Bits	Access	Name	Description																												
	[31:28]	RW	tmrd	模式寄存器加载(LMR)命令的等待周期(在 DDR3 时配置为 tMRD)。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。																												
	[27:24]	RW	trrd	打开 BANK A 到打开 BANK B 的(ACT bank a to ACT bank b)等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。																												
	[23:19]	RW	trp	关闭(PRE period)命令的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。																												
	[18:14]	RW	trcd	同 BANK 激活到读或写(ACT to READ or WRITE)命令的等待周期。 0x0~0x3: 3 时钟周期; 0x4~0xF: n 时钟周期。																												
	[13:8]	RW	trc	同 BANK 的激活命令到激活命令(active a bank to active a bank)的等待周期。 0x00~0x01: 1 个时钟周期; 0x02~0x3F: n 个时钟周期。																												
	[7:6]	RO	reserved	保留。																												
	[5:0]	RW	tras	同 BANK 的激活命令到关闭命令(ACT to PRE)的等待周期。 本产品支持最大配置为 0xF。 0x00~0x01: 1 个时钟周期; 0x02~0x0F: n 个时钟周期。																												

## DDRC\_CFG\_TIMING1

DDRC\_CFG\_TIMING1 为 DDRC 的时序参数寄存器 1。



	Offset Address 0x104				Register Name DDRC_CFG_TIMING1				Total Reset Value 0xFF22_15FF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tsre				trtw				twl				tcl				reserved	trfc														
Reset	1	1	1	1	1	1	1	1	0	0	1	0	0	0	1	0	0	0	0	1	0	1	0	1	1	1	1	1	1	1	1	1
	Bits	Access	Name	Description																												
	[31:24]	RW	tsre	退出自刷新(Self-Refresh)到读命令的等待周期。 0x0: 保留; 0x01~0xFF: n×4 个时钟周期。 DDR3 SDRAM 时, 该值配置 tXSDLL 和 tXS 的最大值。																												
	[23:20]	RW	trtw	最后一个读数据到第一个写数据延迟。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n+1 个时钟周期。 <b>注意: 在 DDR3 模式下, trtw 参数主要考虑单板、封装、IO 的延时。</b>																												
	[19:15]	RW	twl	写命令到写数据的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 如: 0x3: 3 个时钟周期。 <b>注意: 该时钟周期为 DDR3 时钟周期。</b>																												
	[14:10]	RW	tcl	DDR 的读命令到读数据的延迟(CAS Latency)。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 <b>注意: 该时钟周期为 DDR3 时钟周期。</b>																												
	[9]	RO	reserved	保留。																												
	[8:0]	RW	trfc	自动刷新命令周期和自动刷新到激活(AREF period or AREF to ACT)命令的等待周期。该寄存器选择配置 max{trfc,tzqcs} 的大值。 0x00: 保留; 0x01~0x1FF: n 个时钟周期。																												

## DDRC\_CFG\_TIMING2

DDRC\_CFG\_TIMING2 为 DDRC 的时序参数寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x108		DDRC_CFG_TIMING2		0xF303_F00					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	tcke	twtr	reserved	tfaw	reserved	taref			
Reset	1 1 1 1	0 0 1 1	0 0 0 0	0 0 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RW	tcke	低功耗状态维持的最短时间。 0x0: 保留; 0x1~0xF: n 个时钟周期。 该值需要配置 tCKESR, tCKSRE, tCKSRX, tCKE, tCPDED 几个值中的最大值。						
[27:24]	RW	twtr	写操作最后一个写数据到读命令(write to read)的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xf: n 个时钟周期。 如 0x3: 3 个时钟周期。						
[23:18]	RO	reserved	保留。						
[17:12]	RW	tfaw	连续 4 个激活命令周期。 0x00~0x3F: n 个时钟周期; 如: 0x14: 20 个时钟周期。						
[11]	RO	reserved	保留。						
[10:0]	RW	taref	自动刷新周期。 0x000: 自动刷新禁止; 0x001~0x7FF: SDRAM 刷新周期时间为 16×n 时钟周期。 如 0x008: 128 个时钟周期(16×8)。 配置间隔时间为 tREFI = 7800/16/tclk。Tclk 为 DDR 的运行周期的 2 倍。						

### DDRC\_CFG\_TIMING3

DDRC\_CFG\_TIMING3 为 DDRC 的时序参数寄存器 3。



	Offset Address 0x10C								Register Name DDRC_CFG_TIMING3								Total Reset Value 0xFFFF_E0F2															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tzq_prd								tzqinit								taond				txard				trtp							
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	1	1	1	1	0	0	1	0
Bits	Access	Name	Description																													
[31:22]	RW	tzq_prd	ZQCS 命令周期。 0x000: ZQCS 命令禁止; 0x001~0x3FF: n×128 个 AREF 周期。 ZQCS 命令周期时间为 n×128 个 taref 时钟周期。																													
[21:13]	RW	tzqinit	ZQ 初始化延迟周期。 0x0~0x1ff: nx4 个时钟周期。 该值配置 tZQINIT, tDLLK 的最大值。																													
[12:8]	RW	taond	ODT(On-die termination)打开和关闭周期。 在 DDR3 模式下, 该值配置为 tWL-2 (tWL 为 <a href="#">DDRC_CFG_TIMING1[twl]</a> )。																													
[7:4]	RW	txard	退出 DDR 低功耗状态等待周期。 0x0~0xF: n 个时钟周期, n 代表十进制数; 如: 0x7: 为 7 个时钟周期。 取{tXP,tXARD,tXARDS,tXS}中的最大值。 在 DDR3 模式下, 取(tXP, tCKE 的最大值)。																													
[3:0]	RW	trtp	读命令到关闭命令的等待延迟。 0x0~0x2: 2 个时钟周期; 0x3~0xF: n 个时钟周期。 Trtp 的计算公式是 AL+BL/2+Max(trtp,2)-2。																													

## DDRC\_CFG\_TIMING4

DDRC\_CFG\_TIMING4 为 DDRC 的时序参数寄存器 4。



Offset Address		Register Name		Total Reset Value					
0x110		DDRC_CFG_TIMING4		0x01FF_2000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	trodt_ext	reserved	tmod	reserved				
Reset	0 0 0 0	0 0 0 1	1 1 1 1	1 1 1 1	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	reserved	保留。						
[30:28]	RW	trodt_ext	保留。						
[27:25]	RO	reserved	保留。						
[24:20]	RW	tmod	MRS 命令到 ODT 和 ZQCL 有效的延时参数。 0x0~0x1:1 个时钟周期; 02~0x1F:n 个时钟周期。						
[19:0]	RO	reserved	保留。						

## DDRC\_CFG\_TIMING5

DDRC\_CFG\_TIMING5 为 DDRC 的时序参数寄存器 5。

Offset Address		Register Name		Total Reset Value						
0x114		DDRC_CFG_TIMING5		0x1113_FF1F						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	twodt_ext	reserved	tdqsckmax	reserved	tdqsck	reserved	tzqcs	reserved	twr
Reset	0 0 0 1	0 0 0 1	0 0 0 1	0 0 1 1	1 1 1 1	1 1 1 1	0 0 0 1	1 1 1 1		
Bits	Access	Name	Description							
[31]	RO	reserved	保留。							
[30:28]	RW	twodt_ext	保留。							
[27]	RO	reserved	保留。							
[26:24]	RW	tdqsckmax	DQS 相对于 CK 的最大输出访问时间，在 DDR3 模式下不需要关心该参数。							





[23]	RO	reserved	保留。
[22:20]	RW	tdqsck	DQS 相对于 CK 的输出访问时间，在 DDR3 模式下不需要关心该参数，保持默认值。
[19:16]	RO	reserved	保留
[15:8]	RW	tzqcs	ZQCS 校准延迟周期。 0x0~0xff: n*2 个时钟周期。 由于 dmc 的设计，该值需要约束为大于等于 10
[7:5]	RO	reserved	保留。
[4:0]	RW	twr	写恢复(write recovery)等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0x1f: n 个时钟周期。 <b>注意：在有 DFS 的需求下，tWR 参数需要按照 DFS 中芯片可能使用最高频率配置。并且不能随 DDR 的频率变化修改 tWR 的配置。</b>

## DDRC\_CFG\_TIMING6

DDRC\_CFG\_TIMING6 为 DDRC 的时序参数寄存器 6。

	Offset Address 0x118								Register Name DDRC_CFG_TIMING6								Total Reset Value 0x0000_00FF															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								trrd_1				twtr_1				tccd_1				reseverd				tcksr				tcksr			
Reset	0 0 0 0								0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1 1 1 1				1 1 1 1			
Bits	Access								Name								Description															
[31:24]	RO								reserved								保留。															
[23:20]	RW								trrd_1								Bank Group 之间的 trrd 等待周期。 0x0~0x1: 1 个时钟周期 0x2~0xf: n 个时钟周期。															
[19:16]	RW								twtr_1								Bank Group 之间的 twtr 等待周期。 0x0~0x1: 1 个时钟周期 0x2~0xf: n 个时钟周期。															
[15:12]	RW								tccd_1								Bank Group 之间的 tccd 等待周期。 0x0~0x1: 1 个时钟周期 0x2~0xf: n 个时钟周期。															



[11:8]	RW	todt_sft	保留。
[7:4]	RW	tcksrx	DDR3 的 tCKSRX 参数。在退出自刷新之前时钟需要提前的有效拍数。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。
[3:0]	RW	tcksre	DDR3 的 tCKSRE 参数。在进入自刷新后时钟需要保持的拍数。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。

## DDRC\_CFG\_TIMING7

DDRC\_CFG\_TIMING7 为 DDRC 的时序参数寄存器 7。

	Offset Address 0x11c				Register Name DDRC_CFG_TIMING7				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				dim_trtr				dim_twtw				rnk_trtr				rnk_twtw				rnk_trtw				rnk_twtr							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
	Bits	Access	Name	Description																												
	[31:24]	RO	reserved	保留。																												
	[23:20]	RW	dimm_trtr	DIMM 间读到读切换基于 rnk_trtr 额外增加的延时，用于匹配 DIMM 间的最大 skew。																												
	[19:16]	RW	dimm_twtw	DIMM 间写到写切换基于 rnk_twtw 额外增加的延时，用于匹配 DIMM 间的最大 skew。																												
	[15:12]	RW	rnk_trtr	RANK 间读到读的延时。																												
	[11:8]	RW	rnk_twtw	RANK 间写到写的延时。																												
	[7:4]	RW	rnk_trtw	RANK 间读到写的延时。																												
	[3:0]	RW	rnk_twtr	RANK 间写到读的延时。																												

## DDRC\_CFG\_BLDATA

DDRC\_CFG\_BLDATA 为 DDRC 写数据预接收写数据配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x140		DDRC_CFG_BLDATA		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							bl_data	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:4]	RO	reserved	保留。						
[3:0]	RW	bl_data	当前模式下，每个 DDR 命令对应的 DMC 数据拍数。 0x0~0xF: n 拍。						

## DDRC\_CFG\_DMCLVL

DDRC\_CFG\_DMCLVL 为 DDR 控制器命令队列深度水位配置寄存器。

Offset Address		Register Name		Total Reset Value						
0x144		DDRC_CFG_DMCLVL		0x0000_0008						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved					mbist_que_level		reserved	que_level	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0		
Bits	Access	Name	Description							
[31:13]	RO	reserved	保留。							
[12:8]	RW	mbist_que_level	MTEST 或者 MCLR 功能时，DMC 启动的命令 BUFFER 个数。 0x0: 1 个。 0x1~0x10: 1~16 个，最大值跟代码配置有关。							
[7:5]	RO	reserved	保留。							
[4:0]	RW	que_level	DMC 中，命令寄存器 FIFO 的深度。 0x1~0x10: n 个命令深度。 其它: 保留。							

## DDRC\_CFG\_DDRPHY

DDRC\_CFG\_DDRPHY 为 DDR IO 配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x200		DDRC_CFG_DDRPHY		0x001F_1000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								wr_busy_dly				reserved		phy_upden	trdlat				reserved												
Reset	0 0 0 0				0 0 0 0				0 0 0 1				1 1 1 1				0 0 0 1		0 0 0 0				0 0 0 0				0 0 0 0					
Bits	Access	Name	Description																													
[31:21]	RO	reserved	保留。																													
[20:16]	RW	wr_busy_dly	PHY 内部用作数据打拍的门控信号。 必须配置大于 WL+2。 对功耗不敏感的场景，可配置为 0x1F。																													
[15:13]	RO	reserved	保留。																													
[12]	RW	phy_upden	控制器响应 DDRPHY 发起 dfi_phyupd_en。 0: 禁止； 1: 使能。																													
[11:8]	RW	trdlat	DDRPHY 固有延迟。 0x0~0xF: n+1 个周期。 使用 synopsys3/2phy 时需要配置为 8。																													
[7:0]	RO	reserved	保留。																													

## DDRC\_CFG\_SFC\_TIM

DDRC\_CFG\_SFC\_TIM 为 DDRC 软件配置 DDR 命令的时序寄存器。

Offset Address		Register Name		Total Reset Value																												
0x20C		DDRC_CFG_SFC_TIM		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												wait_time																			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name	Description																													
[31:16]	RO	reserved	保留。																													
[15:0]	RW	wait_time	在执行完 SFC 配置的 DDR 命令以后，等待的时间。当 <a href="#">DDRC_CFG_SFC[wait_en]</a> 为 1 时有效。																													



## DDRC\_CFG\_SFC

DDRC\_CFG\_SFC 为 DDRC 软件配置 DDR 命令属性命令。

	Offset Address				Register Name								Total Reset Value																			
	0x210				DDRC_CFG_SFC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wait_en	pre_dis	cmd_mrs														reserved				cmd_type											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		wait_en		在执行完命令以后等待一段时间再退出。 0: 禁止; 1: 使能。 等待的时间由 <a href="#">DDRC_CFG_SFC_TIM</a> 寄存器配置。																											
[30]	RW		pre_dis		禁止发送 PRECHARGE 命令。 0: 在每次 SFC 命令之前发送 precharge; 1: 在每次 SFC 命令之前不发送 precharge, 直接发送对应的命令。																											
[29:12]	RW		cmd_mrs		配置 LMR 命令时, DDR 模式寄存器配置值。在 RDMRS 或者 RD 操作时, 用来选择哪一拍作为有效数据。																											
[11:4]	RO		reserved		保留。																											



[3:0]	RW	cmd_type	<p>DDR 命令配置。</p> <p>0x0: Deep Power Down 进入;</p> <p>0x1: Deep Power Down 退出;</p> <p>0x2: Load Mode Register (LMR)命令;</p> <p>0x3: ZQCL 命令;</p> <p>0x4: WRITE 命令;</p> <p>0x5: READ 命令;</p> <p>0x6: PRECHARGE ALL 命令;</p> <p>0x7: READ MRS 命令;</p> <p>0x8: AREF 命令;</p> <p>0x9: SELF REFRESH 进入;</p> <p>0xA: SELF REFRESH 退出;</p> <p>0xF: DFI_CTRL_UPD_REQ/ACK 握手, 请求 PHY 进入刷新模式(暂不支持该操作)。</p> <p>其他: 保留</p>
-------	----	----------	---

## DDRC\_CFG\_SFC\_ADDR0

DDRC\_CFG\_SFC\_ADDR0 为 SFC 读写 memory 地址配置寄存器 0。

	Offset Address								Register Name								Total Reset Value															
	0x214								DDRC_CFG_SFC_ADDR0								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sfc_row												sfc_col																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RW		sfc_row		SFC 读写访问 memory 的行地址。 最大地址位宽配置跟实际连接的器件规格有关系。																											
[11:0]	RW		sfc_col		SFC 读写访问 memory 的列地址。 注: DDRC 的访问数据地址需要与当前 DMC 的位宽对齐, 例如目前 DMC 位宽为 128bit: 外接 64/72bitDDR.DMC 访问列地址按照{sfc_col[15:1],1'b0}进行访问 外接 32/36bitDDR.DMC 访问列地址按照{sfc_col[15:2],2'b0}进行访问																											



## DDRC\_CFG\_SFC\_ADDR1

DDRC\_CFG\_SFC\_ADDR1 为 SFC 读写 memory 地址配置寄存器 1。

	Offset Address				Register Name				Total Reset Value																							
	0x218				DDRC_CFG_SFC_ADDR1				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sfc_rank								reserved								sfc_bank															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	sfc_rank		执行命令的 ddr_rank。 0: 不执行; 1: 执行。 <b>注意: 每 bit 对应一个 RANK 的控制</b>																											
	[15:4]	RO	reserved		保留。																											
	[3:0]	RW	sfc_bank		SFC 读写访问 memory 的 bank 地址。																											

## DDRC\_CFG\_SFC\_WDATA0

DDRC\_CFG\_SFC\_WDATA0 为 SFC 写数据配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x21C				DDRC_CFG_SFC_WDATA0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wdata0																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	wdata0		SFC 写数据[31:0]。																											

## DDRC\_CFG\_SFC\_WDATA1

DDRC\_CFG\_SFC\_WDATA1 为 SFC 写数据配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x220		DDRC_CFG_SFC_WDATA1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdata1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wdata1	SFC 写数据[63:32]。					

### DDRC\_CFG\_SFC\_WDATA2

DDRC\_CFG\_SFC\_WDATA2 为 SFC 写数据配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x224		DDRC_CFG_SFC_WDATA2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdata2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wdata2	SFC 写数据[95:64]。					

### DDRC\_CFG\_SFC\_WDATA3

DDRC\_CFG\_SFC\_WDATA3 为 SFC 写数据配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x228		DDRC_CFG_SFC_WDATA3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdata3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wdata3	SFC 写数据[127:96]。					

### DDRC\_CFG\_STADAT

DDRC\_CFG\_STADAT 为 DDRC 数据统计使能寄存器。





Offset Address		Register Name		Total Reset Value																												
0x254		DDRC_CFG_STADAT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			dat_stat_en	dat_stat_mode			dat_stat_prd																								
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	RO	reserved	保留。																													
[30]	RW	dat_stat_en	DDR 数据统计使能。 0: 禁止; 1: 使能。 <b>注意: 在 dat_stat_mode=0 时, 此位使能表示性能统计寄存器将开始循环计数。在 dat_stat_mode=1 时, 完成一次统计之后, 该位自动清零。</b>																													
[29:28]	RW	dat_stat_mode	数据统计模式。 00: 连续触发模式。性能统计相关计数器连续计数。可保证连续统计模式下, 1s 内统计不溢出。 01: 单次触发模式。性能统计时间计满 perf_prd 后, 统计结果保持, 并停止统计。统计周期到达上报中断。 10: 基于阈值触发。当统计周期到达后, 如果在规定的阈值范围内, 则不上报中断, 同时重新启动一次统计, 直到超出规定的阈值范围, 并上报中断。超出阈值范围后停止计数。 其他: 保留。 <b>注意: 在 dat_stat_mode 为 2'b01 和 2'b10 时, 当统计值溢出后保持; 在 dat_stat_mode 为 2'b00 时, 统计值溢出后会回绕。</b>																													
[27:0]	RW	dat_stat_prd	数据统计周期。 0x0~0x1: 无效配置。 0x2~0xFFFFFFFF: 统计周期。 实际统计周期为 load_stat_prd*16*tclk (Tclk 为 DDRC 总线时钟周期)。 <b>注意: 此配置只在 load_stat_mode=2'b01 或 2'b10 时有效。当 load_stat_mode=0 的连续统计模式下, 性能统计相关计数器会一直计数。</b>																													



## DDRC\_CFG\_DATMIN

DDRC\_CFG\_DATMIN 为 DMC 数据计数的最小阈值寄存器。

Offset Address		Register Name		Total Reset Value																												
0x258		DDRC_CFG_DATMIN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				dmc_dat_min																											
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27:0]	RW		dmc_dat_min		数据统计阈值寄存器，当数据小于或等于该阈值时，上报中断。 <b>注意：这里阈值以 32 为单位，即如果配置为 n，则最终阈值为 n*32。</b>																											

## DDRC\_CFG\_DATMAX

DDRC\_CFG\_DATMAX 为 DMC 数据计数的最大阈值寄存器。

Offset Address		Register Name		Total Reset Value																												
0x25c		DDRC_CFG_DATMAX		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				dmc_dat_max																											
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27:0]	RW		dmc_dat_max		数据统计阈值寄存器，当数据在大于或等于该阈值时，上报中断。 <b>注意：这里阈值以 32 为单位，即如果配置为 n，则最终阈值为 n*32。</b>																											

## DDRC\_CFG\_STACMD

DDRC\_CFG\_STACMD 为 DDR 性能统计的模式配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x260		DDRC_CFG_STACMD		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			load_stat_en	Load_stat_mode			load_stat_prd																								
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	RO	reserved	保留																													
[30]	RW	load_stat_en	DDR 负载统计使能。 0: 禁止; 1: 使能。 <b>注意: 在 dat_stat_mode=0 时, 此位使能表示性能统计寄存器将开始循环计数。在 load_stat_mode=1 时, 完成一次统计之后, 该位自动清零</b>																													
[29:28]	RW	load_stat_mode	负载统计模式。 00: 连续触发模式。性能统计相关计数器连续计数。可保证连续统计模式下, 1s 内统计不溢出。 01: 单次触发模式。性能统计时间计满 perf_prd 后, 统计结果保持, 并停止统计。统计周期到达上报中断。 10: 基于阈值触发。当统计周期到达后, 如果在规定的阈值范围内, 则不上报中断, 同时重新启动一次统计, 直到超出规定的阈值范围, 并上报中断。超出阈值范围后停止计数。 其他: 保留。 <b>注意: 如果负载统计的结果超出最大计数范围, 则会溢出后回绕。</b>																													
[27:0]	RW	load_stat_prd	负载统计周期。 0x0~0x1: 无效配置。 0x2~0xFFFFFFFF: 统计周期。 实际统计周期为 perf_prd*16*tclk(Tclk 为 DDRC 总线时钟周期)。 <b>注意: 此配置只在 perf_mode=1 时有效。当 perf_mode=0 的连续统计模式下, 性能统计相关计数器会一直计数。</b>																													

## DDRC\_CFG\_CMDMIN

DDRC\_CFG\_CMDMIN 为 DMC 命令计数的最小阈值寄存器。



Offset Address		Register Name		Total Reset Value				
0x264		DDRC_CFG_CMDMIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	dmc_cmd_min						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:0]	RW	dmc_cmd_min	命令统计阈值寄存器，当命令小于或等于该阈值时，上报中断。 <b>注意：这里阈值以 32 为单位，即如果配置为 n，则最终阈值为 n*32。</b>					

## DDRC\_CFG\_CMDMAX

DDRC\_CFG\_CMDMAX 为 DMC 命令计数的最大阈值寄存器。

Offset Address		Register Name		Total Reset Value				
0x268		DDRC_CFG_CMDMAX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	dmc_cmd_max						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:0]	RW	dmc_cmd_max	命令统计阈值寄存器，当命令在大于或等于该阈值时，上报中断。 <b>注意：这里阈值以 32 为单位，即如果配置为 n，则最终阈值为 n*32。</b>					

## DDRC\_CFG\_PERF

DDRC\_CFG\_PERF 为 DDR 性能统计的模式配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x270		DDRC_CFG_PERF		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			flux_en	perf_mode	perf_prd																										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:30]	RO		reserved		保留。																											
[29]	RW		flux_en		DMC 流量监测使能。 0: 流量监测关闭。 1: 流量监测使能。 使能流量监测时, 统计模块会将 DDR 接口占用的周期数按 ID 号反馈给各请求端口。配合端口的流量设置可以进行流量控制。																											
[28]	RW		perf_mode		性能统计模式。 0: 连续触发模式。性能统计相关计数器连续计数。可保证在连续统计模式下, 1s 内统计不溢出。 1: 单次触发模式。性能统计时间计满 perf_prd 后, 统计结果保持, 并停止统计。 <b>注意: 当统计值溢出后保持。</b>																											
[27:0]	RW		perf_prd		性能统计周期。 0x0~0x1: 无效配置。 0x2~0xFFFFFFFF: 统计周期。 实际统计周期为 perf_prd*16*tclk(Tclk 为 DDRC 总线时钟周期)。 <b>注意: 此配置只在 perf_mode=1 时有效。当 perf_mode=0 的连续统计模式下, 性能统计相关计数器会一直计数。</b>																											

## DDRC\_CFG\_STAID

DDRC\_CFG\_STAID 为 DDR 性能统计的命令 ID 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x274		DDRC_CFG_STAID		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				sta_id				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	sta_id	配置对指定的 ID，进行性能统计。与 sta_idmask 配合使用。						

## DDRC\_CFG\_STAIDMSK

DDRC\_CFG\_STAIDMSK 为 DDR 性能统计的命令 ID MASK 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x278		DDRC_CFG_STAIDMSK		0x0000_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				sta_idmask				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	sta_idmask	配置对指定的 ID 屏蔽信号。 DDRC 中的性能统计相关寄存器，仅对特定 ID 的命令进行统计。Cmd_id (DDRC 内部命令 ID) & sta_idmask=sta_id。						

## DDRC\_INTMSK

DDRC\_INTMSK 为 DDRC 中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value												
0x280		DDRC_INTMSK		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved			aref_alarm_int_mask	reserved	stadat_max_int_mask	stadat_min_int_mask	rdtimeout_int_mask	reserved	stacmd_max_int_mask	stacmd_min_int_mask	reserved	sref_err_int_mask	reserved	flux_int_mask	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description													
[31:17]	RO	reserved	保留。													
[16]	RW	aref_alarm_int_mask	DDR AREF 命令中断屏蔽使能 1: 屏蔽中断; 0: 使能中断。													
[15]	RO	reserved	保留													
[14]	RW	stadat_max_int_mask	DDR 数据统计上溢中断屏蔽使能 1: 屏蔽中断; 0: 使能中断。													
[13]	RW	stadat_min_int_mask	DDR 数据统计周期到或下溢中断屏蔽使能 1: 屏蔽中断; 0: 使能中断。													
[12]	RW	rdtimeout_int_mask	DDRPHY 读数据超时中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。													
[11]	RO	reserved	保留。													
[10]	RW	stacmd_max_int_mask	DDR LOAD 统计上溢中断屏蔽使能 1: 屏蔽中断; 0: 使能中断。													
[9]	RW	stacmd_min_int_mask	DDR LOAD 统计周期到达或下溢中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。													
[8:6]	RO	reserved	保留。													



[5]	RW	sref_err_int_mask	DDR 自刷新时接口有命令访问错误。 0: 使能中断; 1: 屏蔽中断。
[4:2]	RO	reserved	保留。
[1]	RW	flux_int_mask	DDR FLUX 统计周期到达中断屏蔽使能 0: 使能中断; 1: 屏蔽中断。
[0]	RO	reserved	保留。

## DDRC\_RINT

DDRC\_RINT 为 DDRC 原始中断寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0x284				DDRC_RINT				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								aref_alarm_rint	reserved	stadat_max_rint	stadat_min_rint	rdtimeout_rint	reserved	stacmd_max_rint	stacmd_min_rint	reserved				sref_err_rint	reserved				flux_rint	reserved									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:17]	RO		reserved		保留。																															
[16]	INT_WC		aref_alarm_rint		DDR AREF 命令错误原始中断。写 1 中断清除。																															
[15]	RO		reserved		保留。																															
[14]	INT_WC		stadat_max_rint		DDR 数据统计超出上阈值中断，写 1 中断清除。																															
[13]	INT_WC		stadat_min_rint		DDR 数据统计周期达到或低于下阈值中断，写 1 中断清除。																															
[12]	INT_WC		rdtimeout_rint		DDRPHY 读数据超时原始中断。写 1 中断清除。																															
[11]	RO		reserved		保留。																															
[10]	INT_WC		stacmd_max_rint		DDR LOAD 统计超出上阈值中断，写 1 中断清除。																															
[9]	INT_WC		stacmd_min_rint		DDR LOAD 统计周期到达或者低于下阈值中断。写 1 中断清除。																															





[8:6]	RO	reserved	保留。
[5]	INT_WC	sref_err_rint	自刷新接口有命令访问中断。写 1 中断清除。
[4: 2]	RO	reserved	保留。
[1]	RW	flux_rint	DDR FLUX 统计周期到达中断。写 1 中断清除。
[0]	RO	reserved	保留。

## DDRC\_INTSTS

DDRC\_INTSTS 为 DDRC 中断状态寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0x288				DDRC_INTSTS				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								aref_alarm_intsts	reserved	stadat_max_intsts	stadat_min_intsts	rdtimeout_intsts	reserved	stacmd_max_intsts	stacmd_min_intsts	reserved		sref_err_intsts	reserved		flux_intsts	reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:17]	RO		reserved		保留。																															
[16]	INT		aref_alarm_intsts		DDR AREF 命令错误中断。 0: 无中断; 1: 有中断。																															
[15]	RO		reserved		保留。																															
[14]	INT		stadat_max_intsts		DDR 数据统计上溢中断。 0: 无中断; 1: 有中断。																															
[13]	INT		stadat_min_intsts		DDR 数据统计周期到达或下溢中断。 0: 无中断; 1: 有中断。																															



[12]	INT	rdtimeout_intsts	DDRPHY 读数据超时中断。 0: 无中断; 1: 有中断。
[11]	RO	reserved	保留。
[10]	INT	stacmd_max_intsts	DDR LOAD 统计上溢中断。 0: 无中断; 1: 有中断。
[9]	INT	stacmd_min_intsts	DDR LOAD 统计周期到达或下溢中断。 0: 无中断; 1: 有中断。
[8:6]	RO	reserved	保留。
[5]	INT	sref_err_intsts	自刷新接口有命令访问中断。 0: 无中断; 1: 有中断。
[4:2]	RO	reserved	保留。
[1]	INT	flux_intsts	DDR FLUX 统计周期到达中断。 0: 无中断; 1: 有中断。
[0]	RO	reserved	保留。

## DDRC\_CURR\_STATUS

DDRC\_CURR\_STATUS 为 DDRC 状态寄存器。

	Offset Address	Register Name	Total Reset Value								
	0x290	DDRC_CURR_STATUS	0x0000_0101								
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0										
Name	reserved						busy_func	reserved	busy_dmc	reserved	busy
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 1   0 0 0 0   0 0 0 1										
	Bits	Access	Name	Description							
	[31:9]	RO	reserved	保留。							



[8]	RO	busy_func	DDRC FUNC 模块的忙状态寄存器。(复位处于 sref 状态)。 0: 空闲; 1: 命令处理中。
[7:5]	RO	reserved	保留。
[4]	RO	busy_dmc	DDRC DMC 模块的忙状态寄存器。 0: 空闲; 1: 命令处理中。
[3:1]	RO	reserved	保留。
[0]	RO	busy	DDRC 总体忙状态寄存器。 0: 空闲; 1: 命令处理中。

## DDRC\_CURR\_FUNC

DDRC\_CURR\_FUNC 为 DDRC FUNC 模块状态寄存器。

	Offset Address 0x294								Register Name DDRC_CURR_FUNC								Total Reset Value 0x0000_0001																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								in_sfc				reserved				aref_opt_stat				reserved				in_sref											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access		Name		Description																															
[31:13]	RO		reserved		保留。																															
[12]	RO		in_sfc		DDRC SFC 状态寄存器。 0: 空闲; 1: SFC 命令处理中。																															
[11:9]	RO		reserved		保留。																															
[8]	RO		aref_opt_stat		自动刷新优化模式状态指示。 1: 表示处于优化模式; 0: 表示已经退出优化模式。																															



			<b>注意：在软件配置或通过 csysreq 接口请求进入自刷新前，需要确保已经退出自动刷新优化模式。因为处于自刷新优化模式时，可能会有未发送的 postponed 命令。</b>
[7:1]	RO	reserved	保留。
[0]	RO	in_sref	DDRC 自刷新状态。 1：自刷新状态； 0：正常状态。

## DDRC\_CURR\_FUNC2

DDRC\_CURR\_FUNC2 为 DDRC FUNC2 模块状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x298				DDRC_CURR_FUNC2				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	in_asref												in_pd																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:15]	RO	in_asref		DDRC 自动自刷新状态。 1：自动自刷新状态； 0：正常状态。 每一比特代表 1 个 Rank。																											
	[15:0]	RO	in_pd		DDRC PowerDown 状态。 1：PowerDown 状态； 0：正常状态。 每一比特代表 1 个 Rank。																											

## DDRC\_CURR\_EXECST

DDRC\_CURR\_EXECST 为 DDRC 命令状态机状态。



Offset Address		Register Name		Total Reset Value					
0x2A0		DDRC_CURR_EXECST		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dmc_ct				dmc_cv				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	dmc_ct	控制器命令类型。 0: 表示读命令; 1: 表示写命令。						
[15:0]	RO	dmc_cv	控制器命令是否有效。 0: 表示无效; 1: 表示有效。						

## DDRC\_CURR\_WGFIFOST

DDRC\_CURR\_WGFIFOST 为 DDRC 写 FIFO 空满状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x2A4		DDRC_CURR_WGFIFOST		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							wgntfifo_e
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RO	wgntfifo_e	WGNT_FIFO 空满状态，空表示所有写数据已经接收完毕，非空表示写数据没有接收完成。 1: FIFO 空; 0: FIFO 非空。					

## DDRC\_HIS\_FLUX\_WR

DDRC\_HIS\_FLUX\_WR 为 DDRC 所有写命令流量统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x380		DDRC_HIS_FLUX_WR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flux_wr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	flux_wr	DDRC 所有 ID 的 MASTER 写流量统计。在有效统计周期内计数。 单位为 DMC 位宽。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 当下一次统计开始时，清零。					

## DDRC\_HIS\_FLUX\_RD

DDRC\_HIS\_FLUX\_RD 为 DDRC 所有读命令流量统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x384		DDRC_HIS_FLUX_RD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flux_rd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	flux_rd	DDRC 所有 ID 的 MASTER 读流量统计。在有效统计周期内计数。 单位为 DMC 位宽。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 当下一次统计开始时，清零。					

## DDRC\_HIS\_FLUX\_WCMD

DDRC\_HIS\_FLUX\_WCMD 为 DDRC 所有写命令数目。



	Offset Address				Register Name				Total Reset Value																							
	0x0388				DDRC_HIS_FLUX_WCMD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	flux_wr_cmd																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RO	flux_wr_cmd	DDRC 所有 ID 的 MASTER 写命令个数统计。在有效统计周期内计数。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 当下一次统计开始时，清零。																													

### DDRC\_HIS\_FLUX\_RCMD

DDRC\_HIS\_FLUX\_RCMD 为 DDRC 所有读命令数目。

	Offset Address				Register Name				Total Reset Value																							
	0x038C				DDRC_HIS_FLUX_RCMD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	flux_rd_cmd																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RO	flux_rd_cmd	DDRC 所有 ID 的 MASTER 读命令个数统计。在有效统计周期内计数。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 当下一次统计开始时，清零。																													

### DDRC\_HIS\_FLUXID\_WR

DDRC\_HIS\_FLUXID\_WR 为 DDRC 指定 ID 写流量统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x390		DDRC_HIS_FLUXID_WR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fluxid_wr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	fluxid_wr	DDRC 指定 ID 的 MASTER 写流量统计。在有效统计周期内计数。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 当下一次统计开始时，清零。 <b>注意：单位为 DMC 数据位宽（128bit）。</b>					

## DDRC\_HIS\_FLUXID\_RD

DDRC\_HIS\_FLUXID\_RD 为 DDRC 指定 ID 读流量统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x394		DDRC_HIS_FLUXID_RD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fluxid_rd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	fluxid_rd	DDRC 指定 ID 的 MASTER 读流量统计。在有效统计周期内计数。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 当下一次统计开始时，清零。 <b>注意：单位为 DMC 数据位宽（128bit）。</b>					

## DDRC\_HIS\_FLUXID\_WCMD

DDRC\_HIS\_FLUXID\_WCMD 为 DDRC 所有写命令数目。





Offset Address		Register Name		Total Reset Value				
0x0398		DDRC_HIS_FLUXID_WCMD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fluxid_wr_cmd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	fluxid_wr_cmd	DDRC 指定 ID 的 MASTER 写命令个数统计。在有效统计周期内计数。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 当下一次统计开始时，清零。					

## DDRC\_HIS\_FLUXID\_RCMD

DDRC\_HIS\_FLUXID\_RCMD 为 DDRC 所有读命令数目。

Offset Address		Register Name		Total Reset Value				
0x039C		DDRC_HIS_FLUXID_RCMD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fluxid_rd_cmd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	fluxid_rd_cmd	DDRC 指定 ID 的 MASTER 读命令个数统计。在有效统计周期内计数。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 当下一次统计开始时，清零。					

## DDRC\_HIS\_WLATCNT0

DDRC\_HIS\_WLATCNT0 为 DDRC 指定 ID 的写命令 Latency 统计寄存器 0。



Offset Address		Register Name		Total Reset Value					
0x3A0		DDRC_HIS_WLATCNT0		0x0000_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	wlatcnt_max				wlatcnt_min				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	wlatcnt_max	DDRC 指定 ID 的写命令最大 Latency 统计。 下一次统计开始时，清零。						
[15:0]	RO	wlatcnt_min	DDRC 指定 ID 的写命令最小 Latency 统计。如果溢出维持最大值。当下一次统计开始时，清零。						

## DDRC\_HIS\_WLATCNT1

DDRC\_HIS\_WLATCNT1 为 DDRC 指定 ID 的写命令 Latency 统计寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x3A4		DDRC_HIS_WLATCNT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wlatcnt_all							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	wlatcnt_all	在统计周期内，指定 ID 的写命令的 Latency 累加值(忽略低 4 位的结果)。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 当下次统计开始时，清零。 <b>注意：软件可利用(wlatcnt_all)/fluxid_wr_cmd 得到指定 ID 的写命令的平均 latency。</b>					

## DDRC\_HIS\_RLATCNT0

DDRC\_HIS\_RLATCNT0 为 DDRC 指定 ID 的读命令 Latency 统计寄存器 0。



Offset Address		Register Name		Total Reset Value					
0x3A8		DDRC_HIS_RLATCNT0		0x0000_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rlatcnt_max				rlatcnt_min				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	rlatcnt_max	DDRC 指定 ID 的读命令最大 Latency 统计。 真正读最大延时为 rlatcnt_max+ inhere_rlatcnt。 如果溢出维持最大值。当下一次统计开始时，清零。						
[15:0]	RO	rlatcnt_min	DDRC 指定 ID 的读命令最小 Latency 统计。 <b>注意：真正读最小延时为 rlatcnt_min+ inhere_rlatcnt。</b> 如果溢出维持最大值。当下一次统计开始时，清零。						

## DDRC\_HIS\_RLATCNT1

DDRC\_HIS\_RLATCNT1 为 DDRC 指定 ID 的读命令 Latency 统计寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x3AC		DDRC_HIS_RLATCNT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rlatcnt_all							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rlatcnt_all	在统计周期内，指定 ID 的读命令的 Latency 累加值(忽略低 4 位的结果)。 在 perf_mode=1 时溢出后维持。 在 perf_mode=0 时溢出后卷绕。 下次统计开始时，清零。 <b>注意：软件可利用(rlatcnt_all/fluxid_rd_cmd+inhere_rlatcnt 得到指定 ID 的读命令的平均 latency。</b>					

## DDRC\_HIS\_INHERE\_RLAT\_CNT

DDRC\_HIS\_INHERE\_RLAT\_CNT 为读通道固有延时寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x3B0				DDRC_HIS_INHERE_RLAT_CNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												inhere_rlatcnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RO	inhere_rlatcnt		表示 DDRC 和 PHY 对读数据通道的固有延时;此寄存器要和 rlatcnt_min,rlatcnt_max,rlatcnt_all,fluxid_rd_cmd 配合使用得到真正的 latency。																											

## DDRC\_STAT\_RPT

DDRC\_STAT\_RPT 为 DMC 命令计数的累积寄存器的读指针。

	Offset Address				Register Name				Total Reset Value																							
	0x3B4				DDRC_STAT_RPT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															stacmd_rpt																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	RO	reserved		保留。																											
	[2:0]	RW	stacmd_rpt		当统计处于基于阈值统计模式时会保存最近 8 次的统计结果。该指针用于指示 DDRC_HIS_CMD_SUM 或 DDRC_HIS_DAT_SUM 读的结果指向第几次统计结果。 000: 最近一次统计结果; 001: 最近第 2 次统计结果; ... 111: 最近第 7 次统计结果。																											

## DDRC\_HIS\_CMD\_SUM

DDRC\_HIS\_CMD\_SUM 为 DMC 命令计数的累积寄存器。



Offset Address		Register Name		Total Reset Value				
0x3B8		DDRC_HIS_CMD_SUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dmc_cmd_sum							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dmc_cmd_sum	当前 DMC 暂存命令的值按周期累积，溢出卷绕。					

## DDRC\_HIS\_DAT\_SUM

DDRC\_HIS\_DAT\_SUM 为 DMC 数据计数的累积寄存器。

Offset Address		Register Name		Total Reset Value				
0x3BC		DDRC_HIS_DAT_SUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dmc_dat_sum							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dmc_dat_sum	当前 DMC 暂存数据的值按周期累积，溢出卷绕。					

## DDRC\_HIS\_SFC\_RDATA0

DDRC\_HIS\_SFC\_RDATA0 为 SFC 读数据寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x4A8		DDRC_HIS_SFC_RDATA0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rdata0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rdata0	SFC 读数据[31:0];					

## DDRC\_HIS\_SFC\_RDATA1

DDRC\_HIS\_SFC\_RDATA1 为 SFC 读数据寄存器。



Offset Address		Register Name		Total Reset Value				
0x4AC		DDRC_HIS_SFC_RDATA1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rdata1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rdata1	SFC 读数据[63:32]。					

### DDRC\_HIS\_SFC\_RDATA2

DDRC\_HIS\_SFC\_RDATA2 为 SFC 读数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x4B0		DDRC_HIS_SFC_RDATA2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rdata2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rdata2	SFC 读数据[95:64]。					

### DDRC\_HIS\_SFC\_RDATA3

DDRC\_HIS\_SFC\_RDATA3 为 SFC 读数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x4B4		DDRC_HIS_SFC_RDATA3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rdata3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rdata3	SFC 读数据[127:96]。					



## 4.2 Flash Memory 控制器

### 4.2.1 概述

FMC (Flash Memory Controller) 提供存储控制器接口连接片外 SPI NAND Flash、SPI NOR Flash、NAND Flash, 从而完成数据的存取。

### 4.2.2 特点

FMC 的主要特点如下:

- 提供一个 9KB (8192Byte+1024Byte) 片内缓存, 提高读取速度。
- 支持外接 2 片选 (SPI NAND Flash 或者 SPI NOR Flash)。
- 支持外接 1 片选 (NAND Flash)。
- 支持 SPI NOR Flash、SPI NAND Flash、NAND Flash 三种类型的器件。
- 支持 Standard SPI、Dual-Output/Dual-Input SPI、Quad-Output/Quad-Input SPI、Dual I/O SPI、Quad I/O SPI 五种 SPI 接口类型。
- 支持 DDR STR 模式的读数据。
- 支持多种规格的 SPI NAND Flash 器件。
  - 支持 2K、4K Page-size 的器件。
  - 支持 64 Pages/Block 的器件。
- 支持多种规格的 NAND Flash 器件;
  - 支持 2K、4K、8K、16K Page-size 的器件。
  - 支持 64、128、256、512 Pages/Block 的器件。
  - 支持 8bit 数据接口位宽的器件。
  - 支持传统异步接口器件。
- 支持 SPI NOR Flash、SPI NAND Flash、NAND Flash 的 CS0 的 BOOT 功能;
  - 支持 1MB 的 Boot 空间。
  - 支持 Boot 模式下, 控制器先自动发送器件的复位命令再进行读数据操作 (仅在 SPI NAND Flash 和 NAND Flash 模式下发送复位命令)。
  - 支持自动跳坏块功能 (SPI NAND Flash 和 NAND Flash), 最大可以跳过连续 4 个坏块。
  - 支持自适应 Boot 功能 (SPI NAND Flash 和 NAND Flash), 控制器自动找到正确的 Page-size、ECC 类型、Block-size 配置。
  - 支持双 Boot 镜像 (SPI NAND Flash 和 NAND Flash)。
  - 对 SPI NAND Flash 支持 1 线和 4 线 Boot; 对 SPI NOR Flash 仅支持 1 线 Boot。
  - 对 SPI NOR Flash 支持 3byte 地址器件和 4byte 地址器件的 Boot。
- 支持 SPI NOR Flash、SPI NAND Flash、NAND Flash 的 DMA 读写功能;
  - 对 SPI NAND Flash 和 NAND Flash 支持内置 DMA 模式读写操作。写操作都是以整个 page 为单位进行; 读操作则支持读整个 page、只读控制信息 (只读 OOB)。

- 对 SPI NOR Flash 支持 DMA 读写操作，读写长度可配置。
- 支持手动配置命令组合，从而完成各种命令。（仅支持在 ECC0 模式下的手动配置操作）。
- 支持 ECC 功能（仅对 SPI NAND Flash 和 NAND Flash）：
  - 支持 8bit/1KB、16bit/1KB、24bit/1KB、28bit/1KB、40bit/1KB、64bit/1KB 的 BCH 码 ECC 校验和纠错（1KB 指 1KB 数量级，并不是严格意义上的 1024Byte）。
  - 支持 ECC 校验码生成的使能和关闭、支持 ECC 功能的使能和关闭。
  - 支持 ECC0（透传）模式下数据的读写操作。
  - 支持读空白 Page（数据全为 0xFF）时，不会误报 ECC 不可纠错。
- 支持 Randomizer 功能。仅在 8K Page-size 和 16K Page-size 的非 ECC0 模式下开启有效，其他模式中控制器内部关闭。
- 支持 7 种中断：操作完成、编程操作失败、ECC 校验可纠错、ECC 校验告警、ECC 校验不可纠错、AHB 操作错误、DMA 传输错误。
- 支持低功耗模式，可以关闭不使用的模块。

## 4.2.3 功能描述

### 4.2.3.1 接口框图

FMC 用于 AHB 总线与外部 Flash 存储器件进行交互。其接口框图如图 4-3 所示。

图4-3 FMC 接口框图

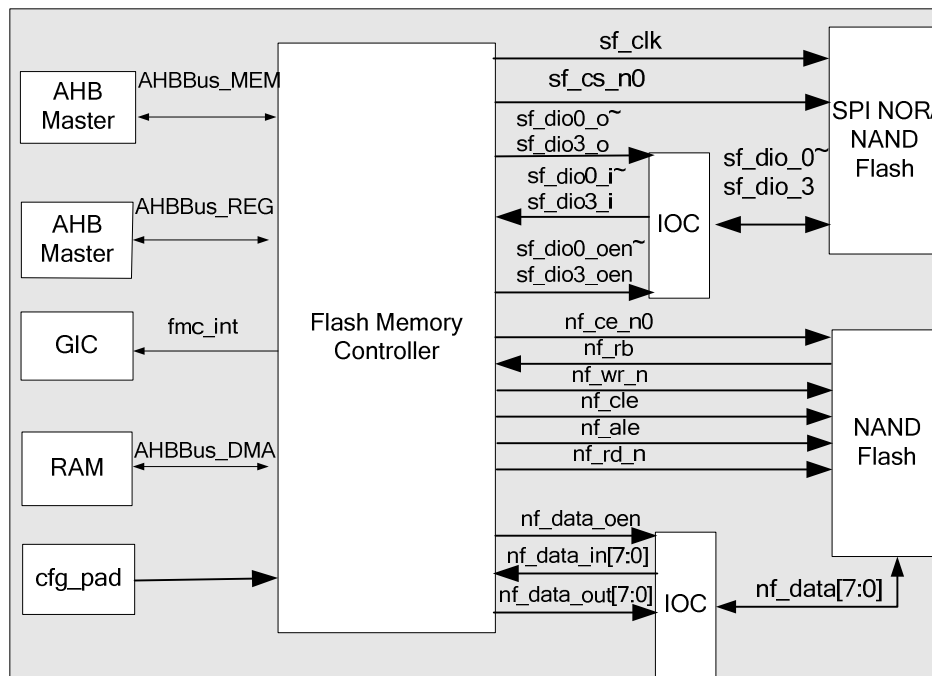


图 4-3 中，sf\_clk 等名称为控制器内部管脚名，它们在芯片外部的管脚名称与内部名称对应如表 4-9。后续章节中涉及到接口描述的均为控制器管脚名称。





表4-9 控制器管脚与芯片管脚的对应关系

控制器管脚	芯片管脚名
sf_clk	NF_DQ1
sf_dio_0	NF_DQ3
sf_dio_1	NF_REN
sf_dio_2	NF_RDY
sf_dio_3	NF_DQ0
sf_cs_n0	NF_CSN
sf_cs_n1	NF_DQ7
nf_ce_n0	NF_CSN
nf_wr_b	NF_RDY
nf_wr_n	NF_WEN
nf_cle	NF_CLE
nf_ale	NF_ALE
nf_rd_n	NF_REN
nf_data[0]~nf_data[7]	NF_DQ0~NF_DQ7

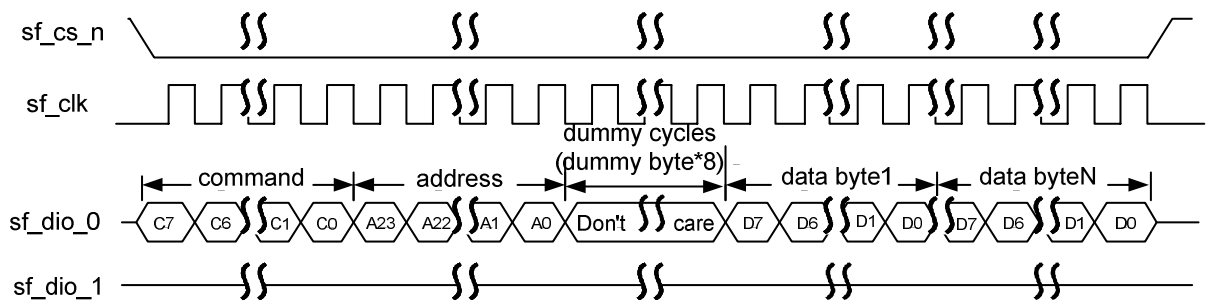
### 4.2.3.2 接口描述

FMC 可以支持五种 SPI 接口类型，五种类型分别为 Standard SPI、Dual-Output/Dual-Input SPI、Quad-Output/Quad-Input SPI、Dual I/O SPI、Quad I/O SPI 类型，Standard SPI、Dual I/O SPI、Quad I/O SPI 类型支持 SDR、DTR、DDR 模式。

#### Standard SPI 模式

Standard SPI 接口模式具有 1bit 数据输入线和 1bit 数据输出线。图 4-4 为 Standard SPI 接口模式写操作时序图。

图4-4 Standard SPI 接口模式写操作时序图



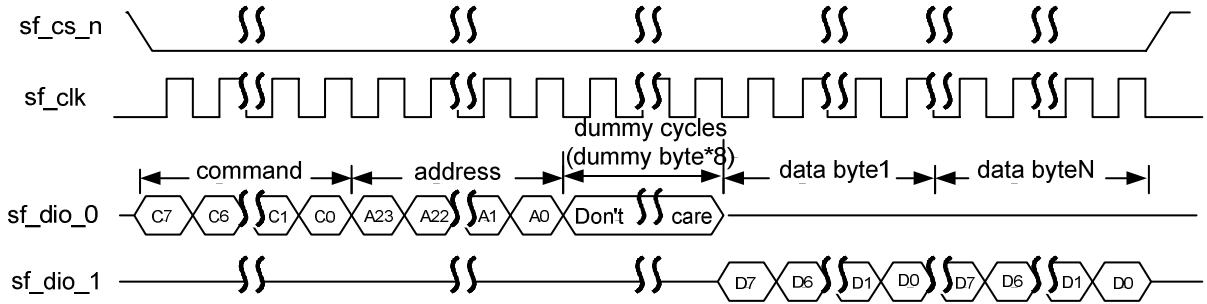


时序说明:

- command/address/dummy cycles 以单 bit 串行方式在 sf\_dio\_0 线上输出;
- Data 以单 bit 串行方式在 sf\_dio\_0 线上输出。

图 4-5 为 Standard SPI 接口模式读操作时序图。

图4-5 Standard SPI 接口模式读操作时序图。



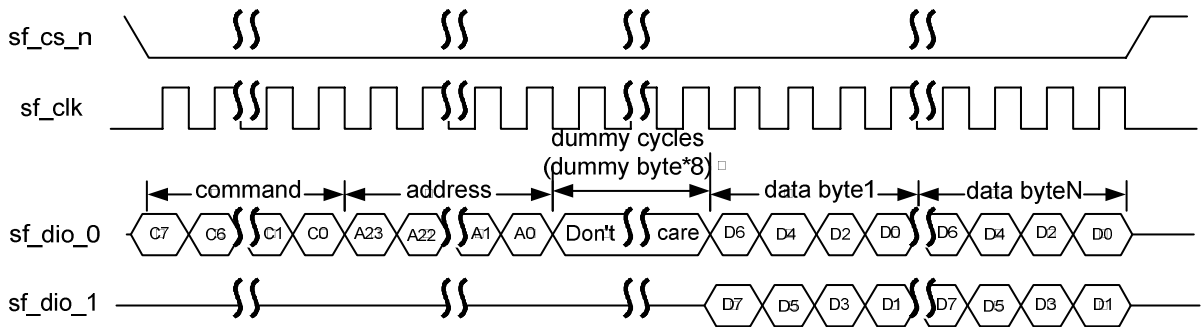
时序说明:

- command/address/dummy cycles 以单 bit 串行方式在 sf\_dio\_0 线上输出。
- Data 以单 bit 串行方式在 sf\_dio\_1 线上输入。

## Dual-Output /Dual-Input SPI 模式

Dual-Output /Dual-Input SPI 接口时序图 4-6 所示。

图4-6 Dual-Output/Dual-Input SPI 接口时序图



时序说明:

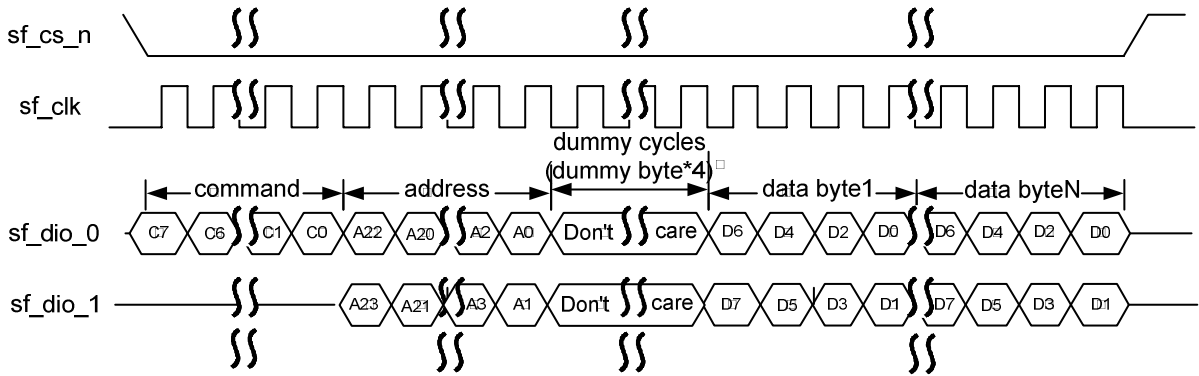
- command/address/dummy cycles 以单 Bit 串行方式在 sf\_dio\_0 线上输出。
- Data 以 2 Bits 方式在 sf\_dio\_0/sf\_dio\_1 线上输出（写）或输入（读）。

## Dual I/O SPI 模式

Dual I/O 时序图为图 4-7 和图 4-8 所示。



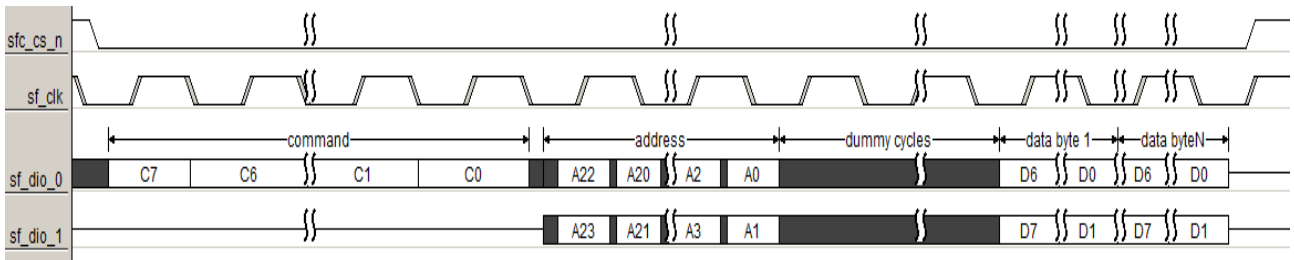
图4-7 Dual I/O SPI 模式 SDR 时序图



时序说明:

- command 以单 Bit 串行方式在 sf\_dio\_0 线上输出。
- address/dummy cycles 以 2 Bits 方式在 sf\_dio\_0/sf\_dio\_1 线上输出。
- Data 以 2 Bits 方式在 sf\_dio\_0/sf\_dio\_1 线上输出（写）或输入（读）。

图4-8 Dual I/O SPI 模式 DDR/DTR 时序图



时序说明:

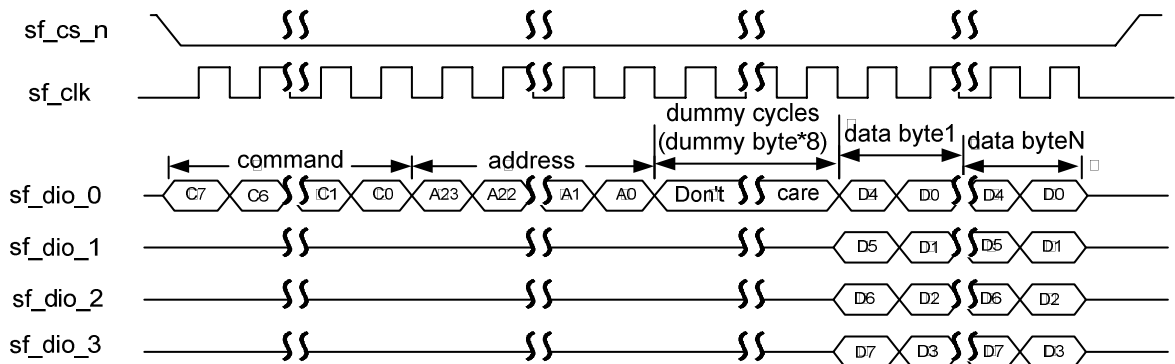
- command 以单 Bit 串行方式在 sf\_dio\_0 线上输出。
- address/dummy cycles 以 2 Bits 双沿有效方式在 sf\_dio\_0/sf\_dio\_1 线上输出。
- Data 以 2 Bits 双沿有效方式在 sf\_dio\_0/sf\_dio\_1 线上输入（读）。
- DDR/DTR 模式只支持读。

## Quad-Output /Quad-Input SPI

Quad-Output / Quad-Input SPI 时序图为图 4-9 所示。



图4-9 Quad-Output/Quad-Input SPI 模式时序图



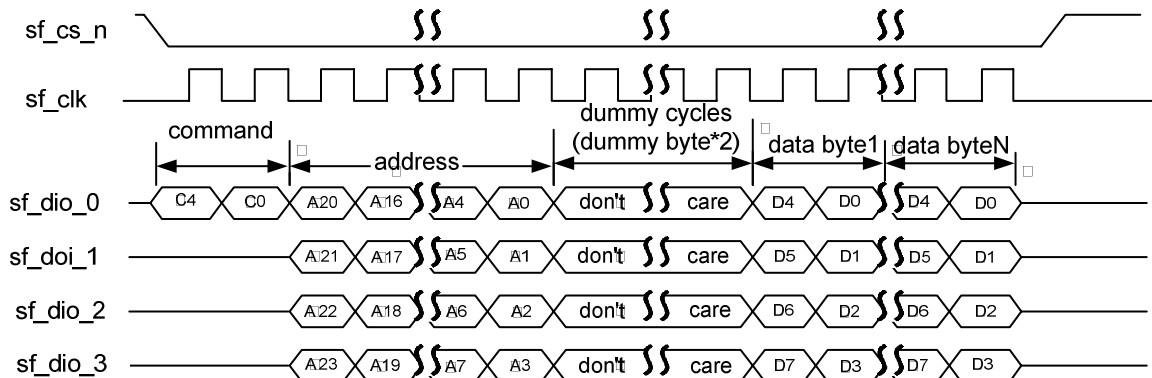
时序说明:

- command/address/dummy cycles 以单 Bit 串行方式在 sf\_dio\_0 线上输出。
- Data 以 4 Bits 方式在 sf\_dio\_0/sf\_dio\_1/sf\_dio\_2/sf\_dio\_3 线上输出（写）或输入（读）。

## Quad I/O SPI 模式

Quad I/O SPI 模式时序图如图 4-10 和图 4-11 所示。

图4-10 Quad-I/O SPI 模式接口时序图

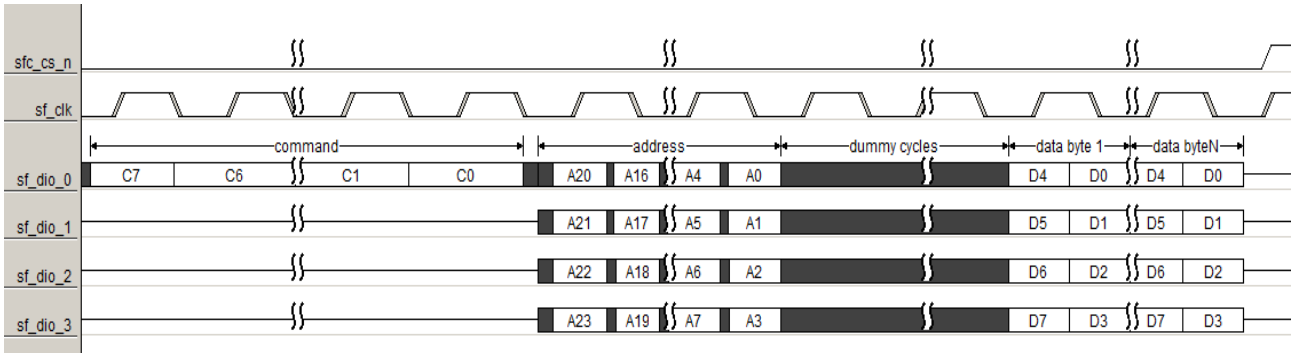


时序说明:

- command 以单 Bit 串行方式在 sf\_dio\_0 线上输出。
- address/dummy cycles 以 4 Bits 方式在 sf\_dio\_0/sf\_dio\_1/sf\_dio\_2/sf\_dio\_3 线上输出。
- Data 以 4 Bits 方式在 sf\_dio\_0/sf\_dio\_1/sf\_dio\_2/sf\_dio\_3 线上输出（写）或输入（读）。



图4-11 Quad-I/O SPI 模式 DDR/DTR 接口时序图



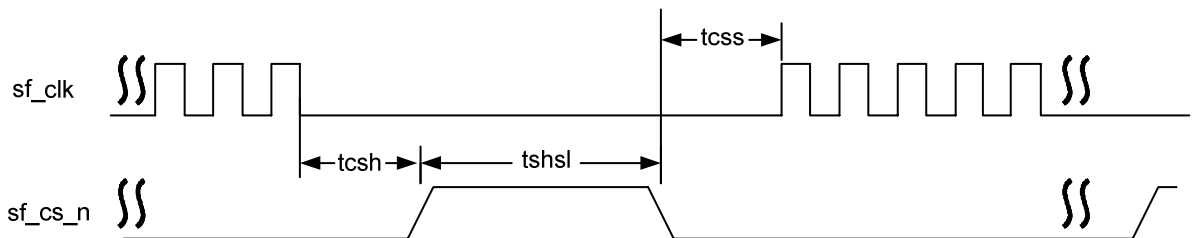
时序说明:

- command 以单 Bit 单沿数据串行方式在 `sf_dio_0` 线上输出。
- address/dummy cycles 以 4 Bits 双沿方式在 `sf_dio_0/sf_dio_1/sf_dio_2/sf_dio_3` 线上输出。
- Data 以 4 Bits 双沿采数方式在 `sf_dio_0/sf_dio_1/sf_dio_2/sf_dio_3` 线上输入。

### 4.2.3.3 SPI 接口时序说明

SPI 接口时序以及参数说明如图 4-12 所示。

图4-12 SPI 输出时序图



注: 时序配置对应 TIMING\_SPI\_CFG 寄存器。

- tcsh: CS hold time。
- tcss: CS setup time。
- tshsl: 片选 deselect time。

### 4.2.3.4 SPI NAND FLASH 地址说明

对于 SPI NAND Flash 器件地址, 如表 4-10。其中 1st byte 和 2nd byte 为列地址, 3rd byte, 4th byte 和 5th byte 为行地址。

表4-10 FLASH 地址分配表

byte 数	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7
1st byte	A0	A1	A2	A3	A4	A5	A6	A7



byte 数	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7
2nd byte	A8	A9	A10	A11	A12*	A13*	0	0
3rd byte	A12	A13	A14	A15	A16	A17	A18	A19
4th byte	A20	A21	A22	A23	A24	A25	A26	A27
5th byte*	A28*	A29*	0	0	0	0	0	0

#### 说明

- A0-A11 位对 2KB pagesize 配置为有效列地址，A0-A12 对 4KB pagesize 配置为有效列地址。
- A12 位 ( 2KB pagesize )，A13 位 ( 4KB pagesize )，对于美光器件为 plane 地址，但对于其他厂家没有 plane 地址的概念。
- A28 和 A29 位，需要根据具体器件看是否需要，如果没有的话，输出为 0。

在下发 SPI NAND Flash 的读写操作时，操作时根据具体的操作进行行列地址的下发。

- 写操作在 LOAD 操作时配置列地址，在 PROGRAM 操作时配置行地址；
- 读操作在 PAGE READ TO CACHE 操作时配置行地址，在 READ 操作时配置列地址；

内置 DMA 操作，地址下发由控制器完成，软件需要根据操作地址配置 FMC\_ADDRL 和 FMC\_ADDRH。其中 FMC\_ADDRL 配置值为 1st byte-4th byte，FMC\_ADDRH 配置值为 5th byte。

#### 说明

- 对于 2KB pagesize 配置，A12 位当成 plane 地址，不支持 A12 有其他含义，影响读写结果的器件。
- 对于 4KB pagesize 配置，A13 位当成 plane 地址，不支持 A13 有其他含义，影响读写结果的器件。

### 4.2.3.5 Boot 功能

FMC 默认处于 Boot 模式，可支持直接从 FLASH 中读取数据进行启动。CPU 可以直接读取 0x00\_0000~0x0F\_FFFF 地址范围的数据，整个空间大小为 1MB。

#### SPI NOR Flash 的 Boot 功能

由于 SPI NOR Flash 的地址空间是连续的，因此 1MB 的 Boot 数据直接映射到 SPI NOR Flash 的地址空间 0x00\_0000~0x0F\_FFFF。

#### SPI NAND Flash 和 NAND Flash 的 Boot 功能

对于 SPI NAND Flash 和 NAND Flash，由于其地址空间不连续且存在坏块的可能，因此 1M 的 Boot 数据并不能直接映射到 Flash 中，并且 Boot 还需要 ECC\_TYPE、PAGE\_SIZE、BLOCK\_SIZE 信息进行地址译码。



FMC 支持自适应 Boot 功能，能够根据 Block0 的数据自动适配器件的 ECC\_TYPE、PAGE\_SIZE、BLOCK\_SIZE 信息。控制器要求物理 Block0 必须为好块，其他块为坏块则可以自动跳过。

FMC 在 Boot 时，遇到坏块之后能够自动跳过坏块去寻找好块并读取 Boot 信息。每次跳坏块过程最大可以连续跳过 4 个坏块，若在一次跳坏块的过程中连续出现 5 个物理坏块，则 Boot 失败。整个 Boot 过程可以出现若干次跳坏块过程，当遇到好块时，此次跳坏块过程结束，若再次遇到坏块，则开始一次新的跳坏块过程。

Boot 模式下，SPI NAND Flash 和 NAND Flash 支持的规格不同，具体模式参考表 4-11。

表4-11 自适应 Boot 模式列表

ECC <sup>a</sup> (bit)	Page_size <sup>c</sup> (KB)	Block_size <sup>b</sup> (Pages/Block)	SPI NAND	NAND
8	2	64(SPI NAND) 64/128/256(NAND)	支持	支持
	4		支持	支持
24	2	64/128/256/512(NAND)	支持	支持
	4		支持	支持
	8		/	支持
40	8	64/128/256/512(NAND)	/	支持
	16		/	支持
64	8	64/128/256/512(NAND)	/	支持
	16		/	支持

a: Boot 时 SPI NAND Flash 仅支持 8bit、24bit ECC 模式。

b: Boot 时 SPI NAND Flash 仅支持 Block\_size 为 64。

c: Boot 时，对于 8K 以及 16K 的配置，均开启 Randomizer 功能。

## 双镜像功能

对于 SPI NAND Flash 和 NAND Flash，在 Boot 时，若遇到不可纠错，控制器会自动触发双镜像功能：跳到下一个备份镜像的同样 Page 读取 Boot 数据。



### 注意

双镜像功能要求镜像 0 和镜像 1 存放在两个连续的好块中 ( 这两个好块之间可以有不多于 4 个坏块 )。



### 4.2.3.6 寄存器方式操作

软件配置操作相关寄存器，如操作命令、地址等，最后配置 FMC\_OP 寄存器下发操作，控制器根据软件配置值，下发操作给器件。如果还需要向器件传输数据，那会使用内部的 buffer 来传输数据。

read id, set feature, erase 等操作都是通过此种方式下发操作。

寄存器操作方式可以组合出所有的器件操作，可以单独下发指令、地址、传输数据等。

### 4.2.3.7 内置 DMA 操作方式

FMC 支持使用内置 DMA 模式进行读写操作以提高访问速度。通过此种方式，FMC 可以通过总线直接访问 DDR。

- DMA 写操作：SPI NOR Flash 支持从 DDR 的任意地址搬运任意长度的数据写到器件的任意地址，对于 SPI NAND Flash 和 NAND Flash，只支持按 page 的写操作。
- DMA 读操作：和写操作相同，SPI NOR Flash 支持从器件的任意地址搬运任意长度的数据写到 DDR 的任意地址。对于 SPI NAND Flash 和 NAND Flash 支持整个 page 读，只读 OOB 操作。
- 只读 OOB 操作：当软件只需要软件管理信息（如坏块标记，空块标记等）时，不需要读取整个 page 的数据出来，只需要读取控制信息部分，使用只读 OOB 方式就能完成此目的。

### 4.2.3.8 ECC 校验功能

对于 SPI NAND Flash，FMC 支持 ECC 校验纠错功能。支持的最大纠错能力有四种分别为：8bit/1KB、16bit/1KB、24bit/1KB 和 28bit/1KB。以 8bit ECC 为例，表示的含义为 1KB（左右）数据中最大能纠正 8bit 错误。

对于 NAND Flash，FMC 支持六种纠错模式 8bit/1KB、16bit/1KB、24bit/1KB、28bit/1KB、40bit/1KB、64bit/1KB。其中，不同的纠错模式支持不同的 PAGE\_SIZE，详细情况参考数据结构。

ECC 保护数据加 OOB 信息再加 ECC 码，纠错算法按纠错单元（1KB）左右进行计算。可以认为 DATA+OOB 为计算 ECC 的数据，对于 2KB pagesize，每个纠错单元数据为 (DATA+OOB) /2，对于 4KB 为 (DATA+OOB) /4。

- OOB 为软件管理信息部分，具体见数据结构描述。
- DATA 为真实数据，2KB PAGE\_SIZE 为 2048Byte，4KB PAGE\_SIZE 为 4096Byte。

在 BOOT 启动时，SPI NAND Flash 只支持 8bit 和 24bit ECC，对应器件需求为 4bit/512B 和 8bit/512B（器件手册中描述的以 512byte 为纠错单元）。在 NORMAL 模式下，还增加支持 16bit ECC 和 28bit ECC，如果器件 spare 区足够存放校验码，则可以对 4bit/512B 要求的器件使用 16bit/1KB 的 ECC 模式以提高可靠性。对于 NAND Flash，在 Boot 时支持 8bit/1KB、24bit/1KB、40bit/1KB、64bit/1KB，在 NORMAL 模式时，则增加支持 16bit/1KB、28bit/1KB。

当超过最大纠错能力时，可以上报不可纠错中断。FMC 提供告警中断，当一次纠错过程错误位数等于或大于配置的错误阈值 (FMC\_ERR\_THD[fmc\_err\_thd])，则会上报错





误告警，提示软件此次操作错误位数已经达到预设值。若有一个或多个纠错单元出现错误 bit，并且所有纠错单元的错误 bit 数均未达到错误阈值和不可纠错值，则可纠错中断标志 FMC\_INT[err\_val\_int]会变成 1。

当读取一个 page 数据时，若所有纠错单元中存在某个纠错单元出现不可纠错，则上报不可纠错中断状态；否则如果存在错误告警纠错单元，则上报纠错告警状态；如果有纠错，但纠错位数没有达到错误阈值，则可以上报可纠错中断状态。

工作在 SPI NOR Flash 模式下，不使能 ECC 校验功能。当配置 FMC\_CFG[ecc\_type]为零，对于 SPI NAND Flash 工作在无 ECC 校验功能模式，控制器搬运数据不做数据结构处理，直接进行 flash 数据的搬运。

### 4.2.3.9 Randomizer 校验功能

对于大容量的 MLC NAND 器件，为了提高数据存储的稳定性，FMC 提供 Randomizer 功能用于将数据随机化。

开启 Randomizer 功能后，写操作时，控制器会对写入 Flash 的数据进行 Randomizer 处理，之后再写入 Flash；读操作时，控制器会先对从 Flash 读回的数据进行 De-Randomizer 处理，将数据还原后再写入 Buffer。



#### 注意

- ECC0 模式或者 SPI NOR 模式下，无论配置 GLOBAL\_CFG[randomizer\_en]为何值，FMC 内部都将关闭 Randomizer 功能。
- 2K/4K Page-size 配置下，Randomizer 功能也会在内部被关闭。
- 开启 Randomizer 后，读取刚擦除的块中的数据会出现不可纠错，因为 Page 中的数据全部为 0xFF，进行 De-Randomizer 之后，数据将不可纠错。

### 4.2.3.10 TIMEOUT 功能

FMC 为 DMA 写操作提供 TIMEOUT 机制，控制器在等待 DMA 写操作结束期间，会不断的发送 GET FEATURE 操作来查询写操作是否结束；对于 SPI NOR Flash，控制器则会在等待器件发送 RDSR 操作来查询操作是否结束；对于 NAND Flash，控制器则等待 RB 拉高。FMC 等待的时间若超过寄存器 FMC\_TIMEOUT\_WR[timeout\_wr]的配置值，则结束 DMA 写操作，并上报 FMC\_INT[op\_fail]中断。

对于 NAND Flash，在 DMA 写操作中，即使 RB 在 TIMEOUT 时间之前拉高，控制器会自动下发一次读状态寄存器操作，将读到的值存放在 FM\_STATUS[fm\_status]中，若其 bit0 为 1，则表示此次 DMA 写操作失败，控制器同样会上报 FMC\_INT[op\_fail]中断。

## 4.2.4 工作流程

### 4.2.4.1 初始化流程

初始化流程如下：



- 步骤 1. (如果需要调整 Timing 参数) 根据器件配置寄存器 [TIMING\\_SPI\\_CFG](#) (SPI NAND Flash 或者 SPI NOR Flash)、寄存器 [PND\\_PWIDTH\\_CFG](#) (NAND Flash)。
- 步骤 2. 根据对接的 FLASH 器件手册, 配置 FMC 配置寄存器 ([FMC\\_CFG](#))。主要配置有器件接口类型, [ecc\\_type](#)、[pagesize](#) 等。
- 步骤 3. 对于 SPI NOR Flash, 如果器件是 4byte 地址器件, 而默认是 3byte 地址模式, 则参考 [4.2.4.4 SPI NOR Flash 地址模式切换流程](#) 完成 4byte 地址模式切换。
- 步骤 4. 初始化完成, 可根据具体的操作配置寄存器下发操作。

---结束

#### 4.2.4.2 FMC\_OP 操作流程 (寄存器操作方式)

对器件的寄存器操作 (如读 ID 或者配置器件寄存器) 使用配置 FMC\_OP 下发操作的方式完成。操作步骤如下:

- 步骤 1. 配置 [FMC\\_CFG](#) 的 [ecc\\_type](#) 为 0。
- 步骤 2. 如果是写寄存器操作 (如配置 FLASH 的配置寄存器), 先从 Buffer 访问起始地址开始写入期望的操作数据。
- 步骤 3. 根据器件操作需要, 配置操作命令 [FMC\\_CMD](#), 器件操作地址 [FMC\\_ADDRL](#), 读写数据个数 [FMC\\_DATA\\_NUM](#) 等操作类寄存器。
- 步骤 4. 根据下发的器件操作, 匹配 [FMC\\_OP](#) 配置 [FMC\\_OP\\_CFG](#) 寄存器。
- 步骤 5. 配置 [FMC\\_OP](#) 寄存器下发操作, 具体配置值参考 [FMC\\_OP](#) 寄存器描述。
- 步骤 6. 如果使用查询方式, 查询 [FMC\\_OP](#) [0]位为 1 表示操作完成; 如果使用中断方式, 检测到 [FMC\\_INT](#) [op\_done\_init], 表示操作完成。
- 步骤 7. 对于读寄存器操作 (如读 ID 操作), 在 [步骤 6](#) 完成后读出的寄存器存放在 buffer 中, 软件可以从中读出器件寄存器值。

---结束

#### 4.2.4.3 读器件状态寄存器操作

如果想要读取器件的状态寄存器, 提供一种简易操作方法。具体如下:

- 步骤 1. 配置 [FMC\\_OP](#) 寄存器下发操作 (配置 [FMC\\_OP](#) [read\_status\_en]和 [FMC\\_OP](#) [reg\_op\_start]为 1)。
- 步骤 2. 读出的状态寄存器存放在 [FMC\\_FLASH\\_INFO](#) 寄存器中。

---结束

#### 4.2.4.4 SPI NOR Flash 地址模式切换流程

对于 SPI NOR Flash 器件, 支持 3Bytes 与 4Bytes 两种 Flash 地址模式, 可通过将管脚上下拉来选择初始默认地址模式, 也可以在芯片启动起来之后通过配置寄存器动态切换地址模式。

如果默认是 3byte 模式启动, 但器件是 4byte 地址模式器件, 在芯片启动起来之后切换 Flash 地址模式的步骤如下:



- 步骤 1. 无 Flash 操作或保证之前 Flash 操作完成。
- 步骤 2. 根据器件要求，用寄存器操作方式配置器件的相关寄存器发特定命令配置 Flash 进入 4B 模式。
- 步骤 3. 配置 FMC 的 `FMC_CFG[spi_nor_addr_mode]` 为 4B 模式，完成 3byte 模式到 4byte 模式切换。

----**结束**



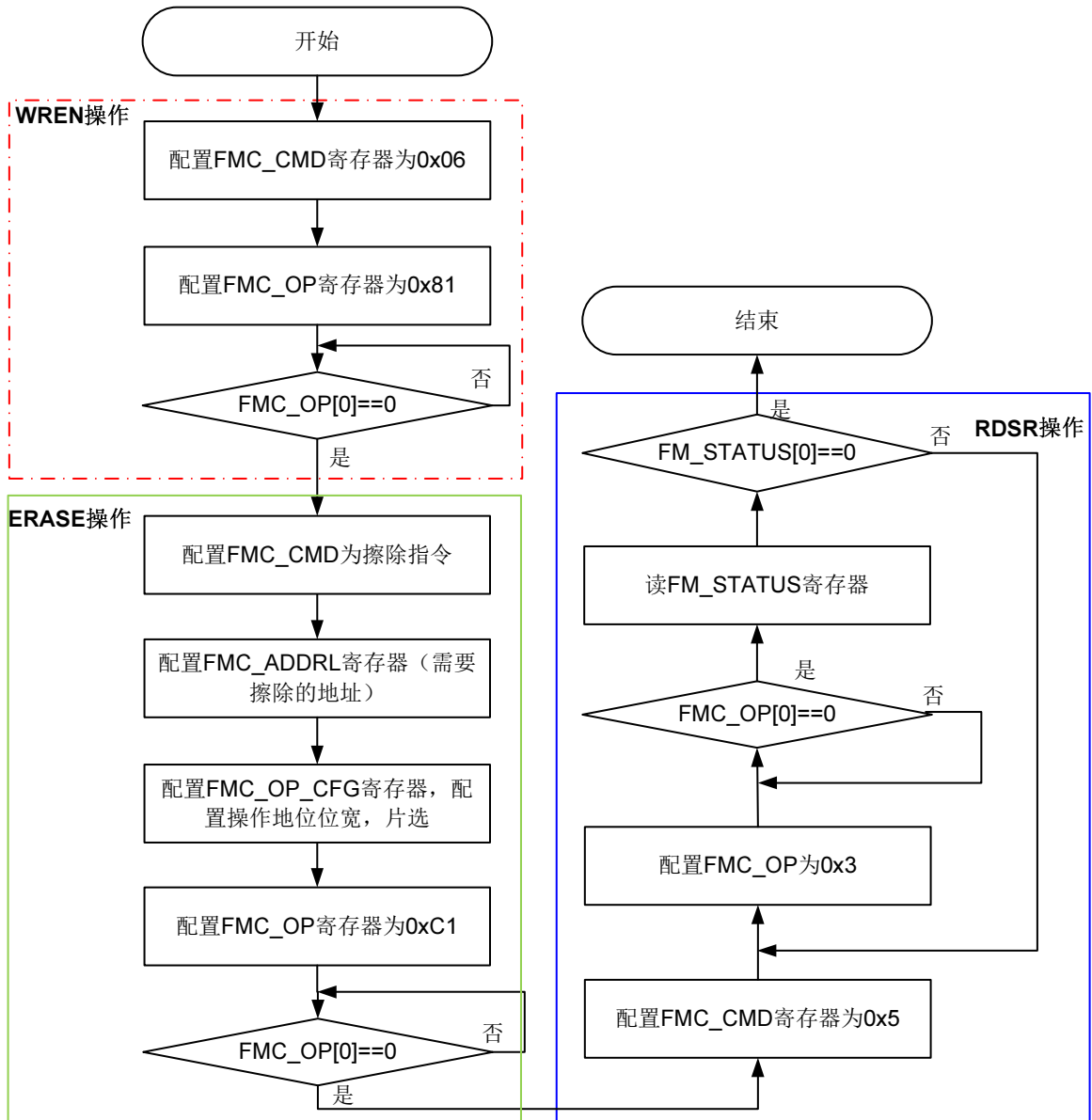
说明

具体 SPI NOR Flash 地址模式切换的命令，请查找相关器件手册。

#### 4.2.4.5 擦除操作流程（SPI NAND Flash 和 SPI NOR Flash）

对于 flash 操作，在编程操作前，都必须进行擦除，在擦除操作前还必须完成 WREN 操作。擦除操作参考流程（查询方式）为图 4-13。

图4-13 擦除操作流程图



#### 说明

- 上图中为查询方式，如果使用中断方式，查询 FMC\_OP[0]操作变成中断处理方式，检测到 FMC\_INT[op\_done\_init]，表示操作完成。
- ERASE 操作过程，配置的擦除指令及操作地址需要根据具体器件手册进行配置。

### 4.2.4.6 FMC\_OP 擦除 (NAND Flash)

NAND Flash 模式下，NFC\_OP 方式的擦除 CS0 的操作流程如下：

- 步骤 1. 配置寄存器 FMC\_CFG [op\_mode]为 1，确保控制器处于 NORMAL 模式。
- 步骤 2. 配置寄存器 FMC\_ADDRL 写入需要擦除 Block 地址，向寄存器 FMC\_CMD 写入擦除命令 0xD060。



- 步骤 3. 配置寄存器 FMC\_OP\_CFG 写入 0x30，配置为 CS0，表示需要发送 3Byte 地址。
- 步骤 4. 配置寄存器 FMC\_OP 写入 0xDB，启动 CS0 的擦除操作（附加自动读状态寄存器操作）。
- 步骤 5. 查询方式下，检测 FMC\_OP[reg\_op\_start]，如果为 0，则表示操作结束；若使用中断方式，则检测 FMC\_INT[op\_done\_int]，如果为 1，则表示操作结束。否则，在本步骤循环。
- 步骤 6. 读取 FM\_STATUS[fm\_status]的状态值，判断擦除是否成功。

----结束

#### 4.2.4.7 内置 DMA 读操作流程（FMC\_OP\_CTRL 读操作）

使用内置 DMA 方式进行数据读的操作流程如下：

- 步骤 1. 配置寄存器 FMC\_CFG [op\_mode]为 1，确保控制器处于 NORMAL 模式。
- 步骤 2. 配置 FMC\_ADDRL 和 FMC\_ADDRH，配置器件操作地址。对于 SPI NOR Flash 只需要配置 FMC\_ADDRL。



注意

对于 SPI NOR Flash，DMA 操作时地址周期数由 FMC\_CFG[spi\_nor\_addr\_mode]决定：支持 3Byte 地址模式和 4Byte 地址模式选择。对于 SPI NAND Flash 和 NAND Flash，控制器默认为 5Byte 地址模式，且不可配置。

- 步骤 3. 配置 FMC\_DMA\_SADDR\_D0 和 FMC\_DMA\_SADDR\_OOB 寄存器，配置在 DDR 中存放数据的起始地址。
  - 对于 SPI NOR FLASH 不需要配置 FMC\_DMA\_SADDR\_OOB 寄存器；
  - 对于 SPI Nand Flash 和 NAND Flash 的只读 OOB 操作，只需配置 FMC\_DMA\_SADDR\_OOB 寄存器。



注意

- 对于 SPI NAND Flash 和 NAND Flash，配置 DDR 地址时，要求 4byte 地址对齐。
- 对于 SPI NAND Flash 和 NAND Flash 的 ECC0 模式，FMC\_DMA\_LEN 需要 4byte 对齐。

- 步骤 4. 配置 FMC\_DMA\_LEN 寄存器。在 SPI NOR Flash 模式下，需要配置 FMC\_DMA\_LEN 为读取数据的长度；在 SPI NAND Flash 和 NAND Flash 的 ECC0 模式下，则需要配置 spare 区数据长度；其他操作中则不需要配置此寄存器。



步骤 5. 配置 `FMC_OP_CFG` 寄存器，根据下发的读操作要求进行配置。

- 对于 SPI NAND Flash 和 SPI NOR Flash，要根据器件读操作时序中 dummy 周期数以及 SPI 接口类型，配置 `FMC_OP_CFG [dummy_num]` 和 `FMC_OP_CFG [mem_if_type]`。
- 配置 `FMC_OP_CFG [fm_cs]`，选择操作片选。

步骤 6. 配置 `FMC_OP_CTRL` 寄存器，配置 `FMC_OP_CTRL [0]` 为 1，下发 FMC 读 FLASH 操作。

- 配置 `FMC_OP_CTRL [rw_op]` 为零，表示 DMA 读操作。
- 对于 SPI NAND Flash 和 NAND Flash 的只读 OOB 操作，需配置 `FMC_OP_CTRL [rd_op_sel]`。
- 对于 SPI NAND Flash 和 SPI NOR Flash，需要配置 `FMC_OP_CTRL [rd_opcode]`，根据器件 READ 操作指令进行配置。

步骤 7. 使用查询方式，检测到 `FMC_OP_CTRL [0]` 变低，表示读操作已经完成，数据已经写入 DDR 中；使用中断方式，检测到 `FMC_INT [op_done_int]` 变高，表示读操作已经完成，数据已经写入 DDR 中。

---结束

#### 4.2.4.8 内置 DMA 写操作流程（FMC\_OP\_CTRL 读操作）

使用内置 DMA 方式进行写 FLASH 的操作，流程如下：

步骤 1. 配置寄存器 `FMC_CFG [op_mode]` 为 1，确保控制器处于 NORMAL 模式。

步骤 2. 配置 `FMC_ADDRL` 和 `FMC_ADDRH`，配置器件操作地址。对于 SPI NOR FLASH 只需要配置 `FMC_ADDRL`。



#### 注意

对于 SPI NOR Flash，DMA 操作时地址周期数由 `FMC_CFG [spi_nor_addr_mode]` 决定：支持 3Byte 地址模式和 4Byte 地址模式选择。对于 SPI NAND Flash 和 NAND Flash，控制器默认为 5Byte 地址模式，且不可配置。

步骤 3. 配置 `FMC_DMA_SADDR_D0` 和 `FMC_DMA_SADDR_OOB` 寄存器，配置从 DDR 中搬运数据的起始地址。对于 SPI NOR Flash 不需要配置 `FMC_DMA_SADDR_OOB` 寄存器。



### 注意

- 对于 SPI NAND Flash 和 NAND Flash，配置 DDR 地址时，要求 4byte 地址对齐。
- 对于 SPI NAND Flash 和 NAND Flash 的 ECC0 模式，FMC\_DMA\_LEN 需要 4byte 对齐。

步骤 4. 配置 FMC\_DMA\_LEN 寄存器。在 SPI NOR Flash 模式下，需要配置 FMC\_DMA\_LEN 为读取数据的长度；在 SPI NAND Flash 和 NAND Flash 的 ECC0 模式下，则需要配置 spare 区数据长度；其他操作中则不需要配置此寄存器。

步骤 5. 配置 FMC\_OP\_CFG 寄存器，根据下发的写操作要求配置

- 对于 SPI NAND Flash 和 SPI NOR Flash，根据所需写操作 SPI 接口选择，配置 FMC\_OP\_CFG [mem\_if\_type]。
- FMC\_OP\_CFG [fm\_cs]，选择操作片选。

步骤 6. 配置 FMC\_OP\_CTRL 寄存器下发操作，

- 配置 rw\_op 信息为写（配置为 1），表示 DMA 写操作。
- 对于 SPI NAND Flash 和 SPI NOR Flash，需要配置 FMC\_OP\_CTRL [wr\_opcode]，根据器件 PROGRAM 操作指令进行配置。

步骤 7. 使用查询方式，检测到 FMC\_OP\_CTRL [0]变低，表示一次 DMA 写操作已经完成，数据已经写入 FLASH 中；使用中断方式，检测到 FMC\_INT [op\_done\_int]变高，表示数据已经写入 FLASH 中。

---结束

#### 4.2.4.9 其它注意事项

其它注意事项如下：

- 对于 SPI NAND Flash 和 NAND Flash 器件，在使用之前或者异常复位后必须先进行器件的 Reset 操作。
- 在 FMC\_OP\_CTRL[dma\_op\_ready]或者 FMC\_OP[reg\_op\_start]为 1 过程中（控制器操作进行中），不进行相关操作寄存器的配置，否则可能导致操作不正常。
- 软件配置需要保证在正确合理的原则下进行，否则乱配置寄存器可能会导致 FMC 挂死。例如 NAND Flash 不支持 dummy\_en，在 NAND Flash 的 FMC\_OP 操作中，若配置此使能且 FMC\_OP\_CFG[dmmy\_num]不为 0，则会导致控制器挂死。

#### 4.2.5 数据结构(NAND Flash/SPI NAND Flash)

FMC 的数据结构分成两种，一种为用户原始数据，另一种是在非 ECC0 模式下，经过 FMC 转化，存放在 NAND Flash 上的数据结构。在非 ECC0 模式下，原始用户数据和经过 FMC 转化的数据都具有固定的数据结构，各个数据成员的长度和位置均严格固定。而在 ECC0 模式下，用户数据原封不动的写入/读出，FMC 不对用户数据做任何改变。



对于 ECC0 模式，FMC 对数据进行透传处理：写操作时，控制器将 Buffer 中的数据不作处理直接写入 Flash；读操作时，控制器把从 Flash 中读取的数据不作处理直接写入到 Buffer。

在非 ECC0 模式下，对 Flash 进行写操作时，FMC 对用户数据进行两次处理：生成 ECC 码和重组。控制器在内部 Buffer 进行 ECC 编码，并生成 ECC 码，然后将 Buffer 中的数据进行重组之后再写入 Flash。对 Flash 进行读操作时，FMC 同样要进行两次处理：重组 Flash 数据和 ECC 纠错。FMC 把从 Flash 中读到的数据重组后写入内部 Buffer，然后在 Buffer 中对数据进行 ECC 纠错。

在非 ECC0 模式下，Buffer 中的数据和 Flash 中的数据被划分成不同的结构。不同的配置下，各数据段的长度参考表 4-12。

表4-12 非 ECC0 模式数据结构长度

ECC <sup>a</sup> (bit)	ecc_len <sup>b</sup> (byte)	Page_size(byte)	oob_len <sup>c</sup> (byte)	sec_len <sup>d</sup> (byte)
4/512B (8/1K)	14	2048	30+2	1040
		4096		1032
8/512B (16/1K)	28	2048	6+2	1028
		4096	14+2	
24/1K	42	2048	30+2	1040
		4096		1032
		8192		1028
40/1K	70	8192	30+2	1028
		16384		1026
64/1K <sup>e</sup>	112	8192	30+2	1028
		16384		1026

a: 4bit/512B 等价于 8bit/1K，8bit/512B 等价于 16bit/1K。

b: ecc\_len 表示每个纠错单元生成的 ECC 码的长度。

c: oob\_len 表示上层软件可见的冗余区长度，由 CTRL+BB 组成。

d: sec\_len 表示每个纠错单元的数据区长度， $sec\_len=1024+(oob\_len*1024)/Page\_size$

e: ECC 的每个纠错单元为 1K，此处 1K 并不是严格意义上的 1024byte，而是指长度处于 1K 这一数量级。例如表中纠错单元长度 sec\_len 从 1026-1040 不等，统称为 1K。

下面结合写操作的过程说明各个数据段的构成。

FMC 将数据写入到 Flash 中时，会按照 DATA+ECC 的格式交替连续存放，但 OOB 区数据需要进行特殊处理：

- BB 标识需要放在 Flash 页中 page\_size 的地方，即对于 2K、4K、8K、16K 的配置，BB 数据将被放置到 2048、4096、8192、16384 Byte 开始的两个字节。这样会打断原有的 DATA 或 ECC 数据。





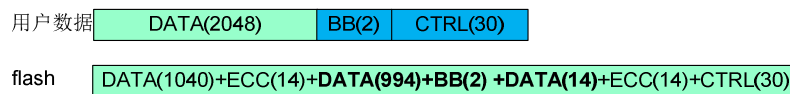
- CTRL 数据需要放置在有效数据的末尾，这样最后一个数据段在 Flash 中的存放形式为：DATA(不含 BB 和 CTRL)+ECC+CTRL。
- EB 作为标记空块的标记位，固定放置在 CTRL 最后 2Byte。

### 4.2.5.2 4bit ECC 模式(纠错 8bit/1KB)

#### 2KB Page-size

对 2KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-14 所示。

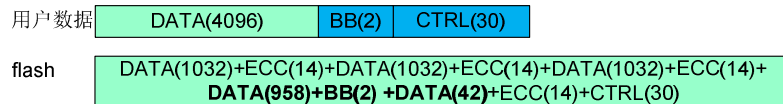
图4-14 4bit ECC 模式 2K Page-size 的数据结构



#### 4KB Page-size

对 4KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-15 所示。

图4-15 4bit ECC 模式 4K Page-size 的数据结构

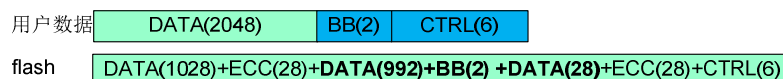


### 4.2.5.3 8bit ECC 模式(纠错 16bit/1KB)

#### 2KB Page-size

对 2KB Page-size 的配置，软件可用的冗余区大小为 8byte。数据在 Buffer 和 Flash 中的结构如图 4-16 所示。

图4-16 8bit ECC 模式 2K Page-size 的数据结构

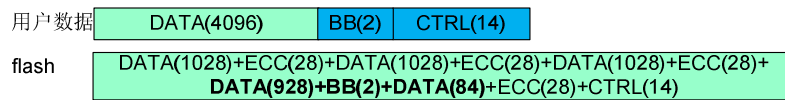


#### 4KB Page-size

对 4KB Page-size 的配置，软件可用的冗余区大小为 16byte。数据在 Buffer 和 Flash 中的结构如图 4-17 所示。



图4-17 8bit ECC 模式 4K Page-size 的数据结构

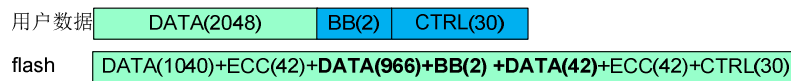


#### 4.2.5.4 24bit ECC 模式(纠错 24bit/1KB)

##### 2KB Page-size

对 2KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-18 所示。

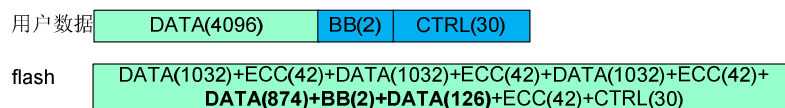
图4-18 24bit ECC 模式 2K Page-size 的数据结构



##### 4KB Page-size

对 4KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-19 所示。

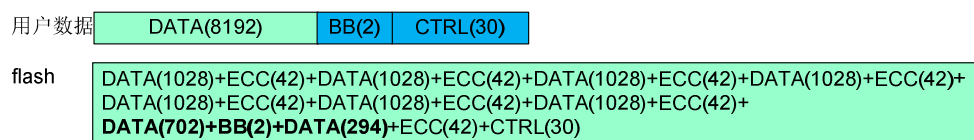
图4-19 24bit ECC 模式 4K Page-size 的数据结构



##### 8KB Page-size

对 8KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-20 所示。

图4-20 24bit ECC 模式 8K Page-size 的数据结构



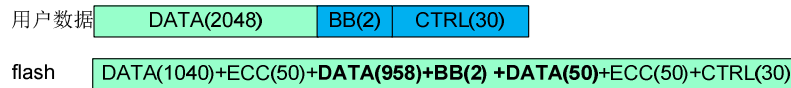


### 4.2.5.5 28bit ECC 模式(纠错 28bit/1KB)

#### 2KB Page-size

对 2KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-21 所示。

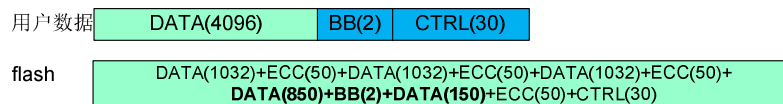
图4-21 28bit ECC 模式 2K Page-size 的数据结构



#### 4KB Page-size

对 4KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-22 所示。

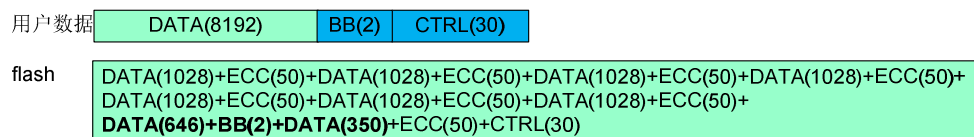
图4-22 28bit ECC 模式 4K Page-size 的数据结构



#### 8KB Page-size

对 8KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-23 所示。

图4-23 28bit ECC 模式 8K Page-size 的数据结构



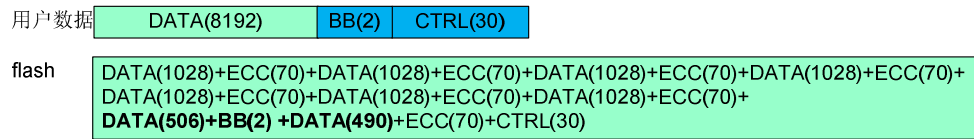
### 4.2.5.6 40bit ECC 模式(纠错 40bit/1KB)

#### 8KB Page-size

对 8KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-24 所示。



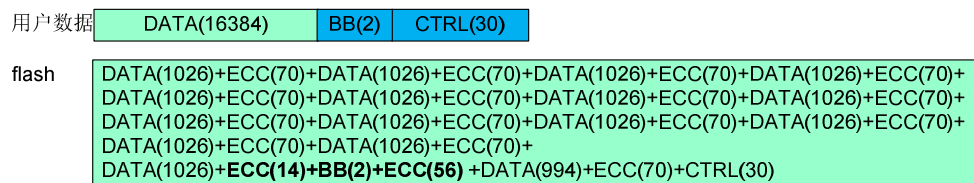
图4-24 40bit ECC 模式 8K Page-size 的数据结构



## 16KB Page-size

对 16KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-25 所示。

图4-25 40bit ECC 模式 16K Page-size 的数据结构

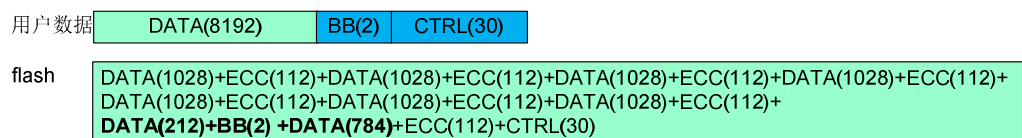


## 4.2.5.7 64bit ECC 模式(纠错 40bit/1KB)

### 8KB Page-size

对 8KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-26 所示。

图4-26 64bit ECC 模式 8K Page-size 的数据结构

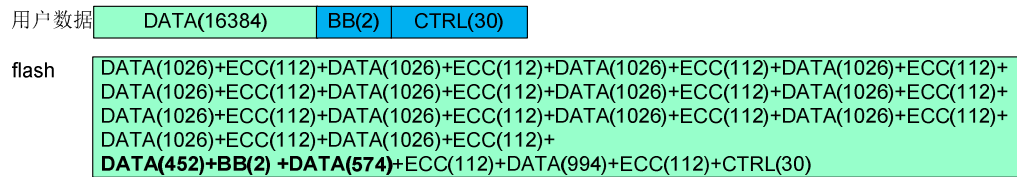


### 16KB Page-size

对 16KB Page-size 的配置，软件可用的冗余区大小为 32byte。数据在 Buffer 和 Flash 中的结构如图 4-27 所示。



图4-27 64bit ECC 模式 16K Page-size 的数据结构



## 4.2.6 ECC 模式选择说明

因为控制器使用的“ECC 纠错 IP”在处理数据时是“基于 1KB 的数据块”进行处理的，所以描述控制器的 ECC 纠错性能时是这么写的：8bit/1KByte、24bit/1KByte 等。为了可靠地使用器件，器件 datasheet 往往会给出建议的 ECC 纠错性能，如 1bit/512Byte、4bit/512Byte、8bit/512Byte 等。8bit/1KByte 与 4bit/512Byte 描述的纠错性能其实是一样的。使用控制器时，ECC 模式选择需遵循以下 2 条准则：

- 控制器的 ECC 纠错性能  $\geq$  器件建议的 ECC 纠错性能  
 比如说，如果器件建议 1bit/512Byte 或者 4bit/512Byte，那么控制器可以选择 8bit/1Kbyte 纠错性能 ECC 模式。
- 器件的页大小  $\geq$  控制器 ECC 模式所需的存储大小  
 比如说，如果器件页大小是 2K+64Byte，那么控制器不能选择 24bit/1Kbyte 纠错性能 ECC 模式，因为这种 ECC 模式所需的存储大小为 2K+116Byte，ECC 模式所需的存储大小请参考“4.2.5 数据存储结构”这一章节。

## 4.2.7 FMC 寄存器概览

FMC 寄存器概览如表 4-13 所示。

表4-13 FMC 寄存器概览（基址是 0x1000\_0000）

偏移地址	名称	描述	页码
0x0000	FMC_CFG	器件配置寄存器	4-154
0x0004	GLOBAL_CFG	全局配置寄存器	4-156
0x0008	TIMING_SPI_CFG	SPI Timing 配置寄存器	4-158
0x000C	PND_PWIDTH_CFG	读写脉冲宽度配置寄存器	4-158
0x0010	PND_OPIDLE_CFG	操作间隔配置寄存器	4-159
0x0018	FMC_INT	中断状态寄存器	4-159
0x001C	FMC_INT_EN	中断使能寄存器	4-161
0x0020	FMC_INT_CLR	中断清除寄存器	4-163
0x0024	FMC_CMD	命令字配置寄存器	4-164
0x0028	FMC_ADDRH	器件地址配置寄存器高 byte	4-164



偏移地址	名称	描述	页码
0x002C	FMC_ADDRL	器件地址配置寄存器低 4byte	4-165
0x0030	FMC_OP_CFG	操作配置寄存器	4-165
0x0034	SPI_OP_ADDR	操作地址配置寄存器	4-166
0x0038	FMC_DATA_NUM	数据长度寄存器	4-167
0x003C	FMC_OP	操作寄存器	4-167
0x0040	FMC_DMA_LEN	DMA 操作长度寄存器	4-169
0x0048	FMC_DMA_AHB_CTRL	DMA AHB 总线控制寄存器	4-169
0x004C	FMC_DMA_SADDR_D0	DMA 操作 DDR 起始地址寄存器 0	4-170
0x0050	FMC_DMA_SADDR_D1	DMA 操作 DDR 起始地址寄存器 1	4-171
0x0054	FMC_DMA_SADDR_D2	DMA 操作 DDR 起始地址寄存器 2	4-171
0x0058	FMC_DMA_SADDR_D3	DMA 操作 DDR 起始地址寄存器 3	4-171
0x005C	FMC_DMA_SADDR_OOB	DMA 操作 DDR 存放 OOB 信息起始地址寄存器	4-172
0x0068	FMC_OP_CTRL	操作控制寄存器	4-172
0x006C	FMC_TIMEOUT_WR	写操作 TIMEOUT 时间寄存器	4-173
0x0070	FMC_OP_PARA	OP 操作参数选择寄存器	4-174
0x0074	FMC_BOOT_SET	boot 设定寄存器	4-175
0x0078	FMC_LP_CTRL	低功耗控制寄存器	4-175
0x007C	FMC_LOCK	锁地址配置寄存器	4-176
0x0080	FMC_LOCK_SA0	锁起始地址 0 配置寄存器	4-177
0x0084	FMC_LOCK_EA0	锁结束地址 0 配置寄存器	4-177
0x0088	FMC_LOCK_SA1	锁起始地址 1 配置寄存器	4-178
0x008C	FMC_LOCK_EA1	锁结束地址 1 配置寄存器	4-178
0x0090	FMC_LOCK_SA2	锁起始地址 2 配置寄存器	4-178
0x0094	FMC_LOCK_EA2	锁结束地址 2 配置寄存器	4-179
0x0098	FMC_LOCK_SA3	锁起始地址 3 配置寄存器	4-179



偏移地址	名称	描述	页码
0x009C	FMC_LOCK_EA3	锁结束地址 3 配置寄存器	4-180
0x00A0	FMC_EXPCMD	扩展页命令寄存器	4-180
0x00A4	FMC_EXBCMD	扩展块命令寄存器	4-180
0x00A8	FMC_ERR_THD	ECC 告警阈值寄存器	4-181
0x00AC	FMC_FLASH_INFO	器件状态寄存器值	4-181
0x00B8	FMC_OP_CNT	控制器下发操作次数寄存器	4-182
0x00BC	FMC_VERSION	版本寄存器	4-182
0x00C0	FMC_ERR_NUM0_BUF0	SPI NAND FLASH 和 NAND FLASH 第一次 buffer 纠错信息 0 统计寄存器	4-183
0x00C4	FMC_ERR_NUM1_BUF0	NAND FLASH 第一次 buffer 纠错信息 1 统计寄存器	4-183
0x00C8	FMC_ERR_NUM0_BUF1	NAND FLASH 第二次 buffer 纠错统计寄存器 0	4-184
0x00CC	FMC_ERR_NUM1_BUF1	NAND FLASH 第二次 BUFFER 纠错统计寄存器 1	4-184
0x00D0	FMC_ERR_ALARM_ADDRH	ECC 告警 flash 地址高 byte 寄存器	4-185
0x00D4	FMC_ERR_ALARM_ADDRL	ECC 告警 flash 地址低 byte 寄存器	4-185
0x00D8	FMC_ECC_INVALID_ADDRH	ECC 不可纠错地址高 byte 寄存器	4-186
0x00DC	FMC_ECC_INVALID_ADDRL	ECC 不可纠错地址低 4byte 寄存器	4-186
0x0E0	FMC_READ_TIMING_TUNE	异步 NAND 读采样点调节寄存器	4-187
0x100	FMC_EXP_OP_CTRL	扩展操作控制寄存器	4-187
0x104	FMC_EXP_ADDRH	扩展操作器件地址配置寄存器高 byte	4-188
0x108	FMC_EXP_ADDRL	扩展操作器件地址配置寄存器低 4byte	4-189
0x10C	FMC_EXP_DMA_S_ADDR_D0	扩展 DMA 操作 DDR 起始地址寄存器 0	4-189
0x110	FMC_EXP_DMA_S_ADDR_D1	扩展 DMA 操作 DDR 起始地址寄存器 1	4-190
0x114	FMC_EXP_DMA_S_ADDR_D2	扩展 DMA 操作 DDR 起始地址寄存器 2	4-190



偏移地址	名称	描述	页码
0x118	FMC_EXP_DMA_S_ADDR_D3	扩展 DMA 操作 DDR 起始地址寄存器 3	4-190
0x11C	FMC_EXP_DMA_S_ADDR_OOB	扩展 DMA 操作 DDR 存放 OOB 信息起始地址寄存器	4-191
0x120	FMC_EXP_INT	扩展操作中断状态寄存器	4-191
0x124	FMC_EXP_INT_EN	扩展操作中断使能寄存器	4-193
0x128	FMC_EXP_INT_CLR	扩展操作中断清除寄存器	4-195
0x12C	FMC_EXP_ERR_NUM0_BUF0	扩展操作第一次 buffer 纠错信息 0 统计寄存器	4-195
0x130	FMC_EXP_ERR_NUM1_BUF0	扩展操作第一次 buffer 纠错信息 1 统计寄存器	4-196
0x13C	FMC_EXP_ERR_NUM0_BUF1	扩展操作第二次 buffer 纠错统计寄存器 0	4-196
0x140	FMC_EXP_ERR_NUM1_BUF1	扩展操作第二次 buffer 纠错统计寄存器 1	4-197

## 4.2.8 FMC 寄存器描述

### FMC\_CFG

FMC\_CFG 为器件配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0000				FMC_CFG								0x0000_1820																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																spi_nand_sel	spi_nor_addr_mode	block_size		ecc_type		page_size		flash_sel		op_mode					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:13]	RO	reserved		保留。																											





[12:11]	RW	spi_nand_sel	选择 spi nand 器件厂家。(只对 SPI NAND 使用器件内部 ECC 才有效) 01: winbond; 10: esmt; 11: micron; 其他: 其他器件。
[10]	RW	spi_nor_addr_mode	SPI 地址模式 (只对 SPI NOR 有效) 0: 3Bytes address mode (default); 1: 4Bytes address mode。 复位值由管脚 SFC_EMMC_BOOT_MODE 决定。
[9:8]	RW	block_size	NAND Flash 的块大小。 00: 64 page; 01: 128page; 10: 256 page; 11: 512 page。
[7:5]	RW	ecc_type	配置控制器的 ecc 类型。 000: 无 ECC; 001: 8bit ECC; 010: 16bit ECC; 011: 24bit ECC; 100: 28bit ECC; 101: 40bit ECC; 110: 64bit ECC; 111: 保留。
[4:3]	RW	page_size	SPI NAND/NAND Flash 的页大小。 00: 2KB pagesize; 01: 4KB pagesize; 10: 8KB pagesize; 11: 16KB pagesize。
[2:1]	RW	flash_sel	Flash 类型选择。 00: SPI NOR FLASH; 01: SPI NAND FLASH; 10: NAND FLASH; 11: 保留。 复位值由管脚 BOOT_SEL0/ BOOT_SEL1/ SFC_DEVICE_MOD 决定。



[0]	RW	op_mode	FMC 操作模式选择。 0: boot 模式; 1: normal 模式。
-----	----	---------	---

## GLOBAL\_CFG

GLOBAL\_CFG 为全局配置寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0004	GLOBAL_CFG	0x0000_00C4	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 25%; text-align: center;">reserved</div> <div style="width: 25%; text-align: center;">sample_point</div> <div style="width: 25%; text-align: center;">           ddr_mode reserved edo_mode rb_sel cs_ctrl wp_en rd_delay randomizer_en reserved         </div> </div>			
Reset	0 1 1 0 0 0 1 0 0			
Bits	Access	Name	Description	
[31:16]	RO	reserved	保留。	
[15:12]	RW	sample_point	DDR 模式时根据不同器件不同延时参数选择采样点。采样时钟频率 4 倍于接口读写时钟。 0x0 延时最小, 0xB 延时最大。 0x0: 采样点在有效沿后 2 个采样时钟周期。 0x1: 采样点在有效沿后 2.5 个采样时钟周期。 0x2: 采样点在有效沿后 3 个采样时钟周期。 0x3: 采样点在有效沿后 3.5 个采样时钟周期。 0x4: 采样点在有效沿后 4 个采样时钟周期。 0x5: 采样点在有效沿后 4.5 个采样时钟周期。 0x6: 采样点在有效沿后 5 个采样时钟周期。 0x7: 采样点在有效沿后 5.5 个采样时钟周期。 0x8: 采样点在有效沿后 6 个采样时钟周期。 0x9: 采样点在有效沿后 6.5 个采样时钟周期。 0xA: 采样点在有效沿后 7 个采样时钟周期。 0xB: 采样点在有效沿后 7.5 个采样时钟周期。 其他: 保留。	



[11]	RW	ddr_mode	DDR 模式使能控制。 0: 正常 SDR 模式; 1: DDR 模式。
[10]	RO	reserved	保留。
[9]	RW	edo_mode	对于 NAND 器件读数据操作是否使用 EDO 模式, 如果器件切换到 EDO 模式, 则控制器需要配置成 EDO 模式。 0: 非 EDO 模式; 1: EDO 模式。
[8]	RW	rb_sel	当外接多个 NANDFlash 器件(多个片选)时有效。 0: NAND Flash 器件共用同一个 ready/busy 信号; 1: NAND Flash 器件使用各自独立的 ready/busy 信号。 当只接一个 NAND Flash 器件时, 只用片选信号 ce0 和 ready_busy0。
[7]	RW	cs_ctrl	片选控制。 0: 始终保持 CS 有效; 1: 当 RB 信号拉低, 器件工作状态时, cs 拉高。(spi 接口无 rb 信号, 对 spi 接口配置无效)。
[6]	RW	wp_en	写保护使能(WP 管脚)。当使能时, 芯片对 WP 管脚输出为 0。 0: 不使能; 1: 使能。
[5:3]	RW	rd_delay	SPI 读出数据延迟周期个数。(SDR 模式下) 000: 读数据延迟 0 个时钟周期; (default) 001: 读数据延迟 0.5 个器件工作时钟周期; 010: 读数据延迟 1 个器件工作时钟周期; 011: 读数据延迟 1.5 个器件工作时钟周期; 100: 读数据延迟 2 个器件工作时钟周期; 101: 读数据延迟 2.5 个器件工作时钟周期; 110: 读数据延迟 3 个器件工作时钟周期; 111: 读数据延迟 3.5 个器件工作时钟周期。
[2]	RW	randomizer_en	randomizer 功能使能。默认值为 1, 但在 2K/4K Page-size 配置下, 逻辑自动关闭 randomizer 功能。当使能时, 对写读到 flash 的数据进行加解扰处理。 0: 不使能; 1: 使能。
[1:0]	RO	reserved	保留。



## TIMING\_SPI\_CFG

TIMING\_SPI\_CFG 为 SPI Timing 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0008		TIMING_SPI_CFG		0x0000_006F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						tcss	tshsl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	1 1 1 1
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	tcss	CS setup time。 0x0~0x7: n+1 个接口时钟周期。n 为 0、1、2、……、7。					
[3:0]	RW	tshsl	设置片选的 Deselect time，相当于两次 Flash 操作之间的时间间隔。 0x0~0xF: n+1 个接口时钟周期。n 为 0、1、2、……、15。					

## PND\_PWIDTH\_CFG

PND\_PWIDTH\_CFG 为读写脉冲宽度配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x000C		PND_PWIDTH_CFG		0x0000_0333					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						rw_hcnt	r_lcnt	w_lcnt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 1 1	0 0 1 1	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:8]	RW	rw_hcnt	NAND Flash 读/写信号高电平宽度。 0x1~0xF: 2~16 个接口时钟周期。						
[7:4]	RW	r_lcnt	NAND Flash 读信号低电平宽度。 0x1~0xF: 2~16 个接口时钟周期。						
[3:0]	RW	w_lcnt	NAND Flash 写信号低电平宽度。 0x1~0xF: 2~16 个接口时钟周期。						



## PND\_OPIDLE\_CFG

PND\_OPIDLE\_CFG 为操作间隔配置寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x0010								PND_OPIDLE_CFG								0x0008_8880																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								frb_wait				cmd1_wait				addr_wait				cmd2_wait				wait_ready_wait											
Reset	0 0 0 0								0 0 0 0				0 0 0 0				1 0 0 0				1 0 0 0				1 0 0 0				1 0 0 0				0 0 0 0			
Bits	Access		Name		Description																															
[31:20]	RO		reserved		保留。																															
[19:16]	RW		frb_wait		发出读写命令后，先延时一段时间，然后再检测 ready 信号是否变为高电平。延时的接口时钟周期数为：frb_wait*8。																															
[15:12]	RW		cmd1_wait		发送完 command1 之后的等待周期数。 延时的接口时钟周期数为：cmd1_wait*8。																															
[11:8]	RW		addr_wait		发送完 address 之后的等待周期数。 0x0~0xF：配置值。延时的接口时钟周期数为： addr_wait*8。																															
[7:4]	RW		cmd2_wait		发送完 command2 之后的等待周期数。 延时的接口时钟周期数为：cmd2_wait*8。																															
[3:0]	RW		wait_ready_wait		NAND Flash 的 ready 信号变高之后，延时一段时间，之后才能发出读信号读数据。 延时的周期数为：frb_idle*2。																															

## FMC\_INT

FMC\_INT 为中断状态寄存器。



Offset Address		Register Name		Total Reset Value											
0x0018		FMC_INT		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved						cache_page_done_int	ahb_op_int	wr_lock_int	dma_err_int	err_alarm_int	err_inval_int	err_val_int	op_fail_int	op_done_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description												
[31:9]	RO	reserved	保留。												
[8]	RO	cache_page_done_int	FMC 对 NAND FLASH 进行 cache 操作时，每完成一个 page 的数据读后，产生中断。 0: 无中断； 1: 有中断。												
[7]	RO	ahb_op_int	FMC 对 FLASH 进行数据操作期间，cpu 读写内部 buffer。 0: 无中断； 1: 有中断。												
[6]	RO	wr_lock_int	对 lock 地址进行写操作。 0: 无中断； 1: 有中断。												
[5]	RO	dma_err_int	DMA 传输总线出现错误中断。 0: 无中断； 1: 有中断。												
[4]	RO	err_alarm_int	ECC 校验告警中断。当错误的 bit 达到设定的阈值，产生中断。 0: 无中断； 1: 有中断。												
[3]	RO	err_inval_int	ECC 校验不可纠正的错误。 8bit 纠错模式下，校验 1024byte 数据中出现 8bit 以上错误，产生中断。 16bit 纠错模式下，校验 1024byte 数据中出现 16bit 以上错误，产生中断。 24bit 纠错模式下，校验 1024byte 数据中出现 24bit 以上错												



			<p>误，产生中断。</p> <p>28bit 纠错模式下，校验 1024byte 数据中出现 28bit 以上错误，产生中断。</p> <p>40bit 纠错模式下，校验 1024byte 数据中出现 40bit 以上错误，产生中断。</p> <p>64bit 纠错模式下，校验 1024byte 数据中出现 64bit 以上错误，产生中断。</p> <p>0: 无中断； 1: 有中断。</p>
[2]	RO	err_val_int	<p>ECC 校验可纠正的错误。</p> <p>8bit 纠错模式下，校验 1024byte 数据中出现 1—8bit 错误，产生中断。</p> <p>16bit 纠错模式下，校验 1024byte 数据中出现 1—16bit 错误，产生中断。</p> <p>24bit 纠错模式下，校验 1024byte 数据中出现 1—24bit 错误，产生中断。</p> <p>28bit 纠错模式下，校验 1024byte 数据中出现 1—28bit 错误，产生中断。</p> <p>40bit 纠错模式下，校验 1024byte 数据中出现 1—40bit 错误，产生中断。</p> <p>64bit 纠错模式下，校验 1024byte 数据中出现 1—64bit 错误，产生中断。</p> <p>0: 无中断； 1: 有中断。</p>
[1]	RO	op_fail_int	<p>编程操作失败，上报中断。</p> <p>0: 无中断； 1: 有中断。</p>
[0]	RO	op_done_int	<p>controller 本次操作结束中断。</p> <p>写 operation 寄存器后，该标志自动清零。</p> <p>0: 无中断； 1: 有中断。</p>

## FMC\_INT\_EN

FMC\_INT\_EN 为中断使能寄存器。



Offset Address		Register Name		Total Reset Value																																								
0x001C		FMC_INT_EN		0x0000_0000																																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Name	reserved												cache_page_done_int_en	ahb_op_int_en	wr_lock_int_en	dma_err_int_en	err_alarm_int_en	err_inval_int_en	err_val_int_en	op_fail_int_en	op_done_int_en																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																									
[31:9]	RO	reserved	保留。																																									
[8]	RW	cache_page_done_int_en	FMC 对 NAND FLASH 进行 cache 操作时，每完成一个 page 的数据读后，产生中断使能。 0: 禁止； 1: 使能。																																									
[7]	RW	ahb_op_int_en	FMC 读写 flash 数据期间，cpu 读写内部 buffer 错误中断使能。 0: 禁止； 1: 使能。																																									
[6]	RW	wr_lock_int_en	对 lock 地址进行写操作错误中断使能。 0: 禁止； 1: 使能。																																									
[5]	RW	dma_err_int_en	DMA 传输总线出现错误中断使能。 0: 禁止； 1: 使能。																																									
[4]	RW	err_alarm_int_en	ECC 校验告警中断。当错误的 bit 达到设定的阈值，产生中断。 0: 禁止； 1: 使能。																																									
[3]	RW	err_inval_int_en	ECC 校验不可纠正错误，产生中断。 0: 禁止； 1: 使能。																																									





[2]	RW	err_val_int_en	ECC 校验可纠正的错误，产生中断。 0: 禁止; 1: 使能。
[1]	RW	op_fail_int_en	编程操作失败中断使能。 0: 禁止; 1: 使能。
[0]	RW	op_done_int_en	FMC 本次操作结束中断。 0: 禁止; 1: 使能。

## FMC\_INT\_CLR

FMC\_INT\_CLR 为中断清除寄存器。

	Offset Address				Register Name				Total Reset Value																																								
	0x0020				FMC_INT_CLR				0x0000_0000																																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																	
Name	reserved																				cache_page_done_int_clr	ahb_op_int_clr	wr_lock_int_clr	dma_err_int_clr	err_alarm_int_clr	err_inval_int_clr	err_val_int_clr	op_fail_int_clr	op_done_int_clr																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
Bits	Access		Name		Description																																												
[31:9]	RO		reserved		保留。																																												
[8]	WO		cache_page_done_int_clr		清除 cache_page_done 中断，写 1 清除。																																												
[7]	WO		ahb_op_int_clr		清除 ahb_op_err 中断，写 1 清除。																																												
[6]	WO		wr_lock_int_clr		清除 wr_lock_err 中断，写 1 清除。																																												
[5]	WO		dma_err_int_clr		清除 dma 传输总线错误中断，写 1 清除。																																												
[4]	WO		err_alarm_int_clr		清除 err_alarm 中断，写 1 清除。																																												
[3]	WO		err_inval_int_clr		清除 err_invalid 中断，写 1 清除。																																												



Offset Address		Register Name		Total Reset Value											
0x0020		FMC_INT_CLR		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved						cache_page_done_int_clr	ahb_op_int_clr	wr_lock_int_clr	dma_err_int_clr	err_alarm_int_clr	err_inval_int_clr	err_val_int_clr	op_fail_int_clr	op_done_int_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0							
Bits	Access	Name	Description												
[2]	WO	err_val_int_clr	清除 err_valid 中断，写 1 清除。												
[1]	WO	op_fail_int_clr	清除 op_fail 中断，写 1 清除。												
[0]	WO	op_done_int_clr	清除 op_done 中断，写 1 清除。												

## FMC\_CMD

FMC\_CMD 为命令字配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0024		FMC_CMD		0x0000_3000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cmd2		cmd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:8]	RW	cmd2	Controller 发给 NAND FLASH 的第 2 个命令。						
[7:0]	RW	cmd1	Controller 发给 NAND FLASH 的第 1 个命令，或发给 SPI NOR/NAND FLASH 的操作命令。						

## FMC\_ADDRH

FMC\_ADDRH 为器件地址配置寄存器高 byte。



Offset Address		Register Name		Total Reset Value						
0x0028		FMC_ADDRH		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						addrh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	addrh	对于 SPI NAND FLASH, 配置 flash 器件的操作高 byte 地址。							

## FMC\_ADDRL

FMC\_ADDRL 为器件地址配置寄存器低 4byte。

Offset Address		Register Name		Total Reset Value				
0x002C		FMC_ADDRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	addrl							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	addrl	配置 flash 器件的操作地址的低 4byte。对于 spi norflash, 配置器件地址。					

## FMC\_OP\_CFG

FMC\_OP\_CFG 为操作配置寄存器。



Offset Address		Register Name		Total Reset Value							
0x0030		FMC_OP_CFG		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						fm_cs	force_cs_en	mem_if_type	addr_num	dummy_num
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:12]	RO	reserved	保留。								
[11]	RW	fm_cs	选择操作的 Flash 器件。 0: CS0; 1: CS1。								
[10]	RW	force_cs_en	CS 片选强制拉低使能。 0: 不使能; 1: 使能。								
[9:7]	RW	mem_if_type	读操作, SPI FLASH 接口类型选择。 000: Standard SPI 接口类型 001: Dual-Input/Dual-Output SPI 010: Dual-I/O SPI 011: Quad-Input/Dual-Output SPI 100: Quad-I/O SPI 101-111: 保留。								
[6:4]	RW	addr_num	发给 Flash 的地址 Byte 数。								
[3:0]	RW	dummy_num	对于 dummy_en 的操作 Byte 个数。 (1Byte=4 线 2 时钟周期或 2 线 4 时钟周期或 1 线 8 时钟周期)								

## SPI\_OP\_ADDR

SPI\_OP\_ADDR 为操作地址配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x0034		SPI_OP_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	spi_op_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	spi_op_addr	配置 SPI NOR/NAND FLASH 的操作地址。每次操作下发器件的操作地址。不同于 FMC_ADDRL 和 FMC_ADDRH。					

## FMC\_DATA\_NUM

FMC\_DATA\_NUM 为数据长度寄存器。

Offset Address		Register Name		Total Reset Value				
0x0038		FMC_DATA_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				op_data_num			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:14]	RO	reserved	保留。					
[13:0]	RW	op_data_num	一次操作所需要处理的数据长度。在有数据传输的操作时需要配置，对于 DMA 操作或 AHB 总线直接访问时不需要配置。仅对于 ECC0 有效。					

## FMC\_OP

FMC\_OP 为操作寄存器。



Offset Address		Register Name		Total Reset Value																																		
0x003C		FMC_OP		0x0000_0000																																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved																							dummy_en	cmd1_en	addr_en	write_data_en	cmd2_en	wait_ready_en	read_data_en	read_status_en	reg_op_start						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
Bits	Access	Name	Description																																			
[31:9]	RO	reserved	保留。																																			
[8]	RW	dummy_en	地址操作后有传输 dummy byte 操作使能。 0: 禁止; 1: 使能。																																			
[7]	RW	cmd1_en	向 FLASH 发 command1 命令使能。 0: 禁止; 1: 使能。																																			
[6]	RW	addr_en	向 FLASH 写操作地址使能。 0: 禁止; 1: 使能。																																			
[5]	RW	write_data_en	向 FLASH 写数据使能。 read_data_en 和 write_data_en 不能同时为 1。 0: 禁止; 1: 使能。																																			
[4]	RW	cmd2_en	向 NAND FLASH 发 command2 命令使能。 0: 禁止; 1: 使能。																																			
[3]	RW	wait_ready_en	对于 NAND FLASH, 等待 ready/busy 信号变高使能。 0: 禁止; 1: 使能。																																			
[2]	RW	read_data_en	从 Flash 读数据使能。 read_data_en 和 write_data_en 不能同时为 1。 0: 禁止; 1: 使能。																																			



[1]	RW	read_status_en	读器件状态寄存器使能。当值设为 1 时，向 NAND 发出读 status 的 0x70 命令，并从 NAND Flash 读取状态数据，返回的数据写入 NANDC 状态寄存器的 fm_status 域中（而不写入内部 buffer）。 0: 禁止； 1: 使能。
[0]	RWSC	reg_op_start	下发 OP 操作控制器状态。 0: 控制器就绪；(软件下发操作时只能将该位域配置为 1，使能逻辑) 1: 控制器忙。(控制器操作完成后会自动将这个 bit 设置为 0，表示逻辑完成)

## FMC\_DMA\_LEN

FMC\_DMA\_LEN 为 DMA 操作长度寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0040				FMC_DMA_LEN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				dma_len																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:28]	RO	reserved	保留。																													
[27:0]	RW	dma_len	DMA 操作数据搬运长度，以 byte 为单位。 用于 SPI NAND FLASH ecc0 和 NAND FLASH ecc0 时，配置为 spare 区域数据长度。 用于 SPI NORFLASH 的 DMA 读写操作时，配置为 DMA 所需数据长度。																													

## FMC\_DMA\_AHB\_CTRL

FMC\_DMA\_AHB\_CTRL 为 DMA AHB 总线控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x0048		FMC_DMA_AHB_CTRL		0x0000_0007						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							burst16_en	burst8_en	burst4_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	burst16_en	BURST16 使能。 0: 禁止; 1: 使能。							
[1]	RW	burst8_en	BURST8 使能。 0: 禁止; 1: 使能。							
[0]	RW	burst4_en	BURST4 使能。 0: 禁止; 1: 使能。							

## FMC\_DMA\_SADDR\_D0

FMC\_DMA\_SADDR\_D0 为 DMA 操作 DDR 起始地址寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x004C		FMC_DMA_SADDR_D0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_mem_saddr_d0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_mem_saddr_d0	对于 SPI NOR FLASH, 指示 DMA 操作 DDR 起始地址寄存器。对于 SPI NAND FLASH, 指示 DMA 操作, DDR 操作数据基地址。					





## FMC\_DMA\_SADDR\_D1

FMC\_DMA\_SADDR\_D1 为 DMA 操作 DDR 起始地址寄存器 1。

Offset Address		Register Name		Total Reset Value																																
0x0050		FMC_DMA_SADDR_D1		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dma_mem_saddr_d1																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																
[31:0]	RW	dma_mem_saddr_d1		对于 NAND FLASH, 指示 DMA 操作, DDR 操作数据基地址 1, 对 2KB 和 4KB pagesize 配置无用。																																

## FMC\_DMA\_SADDR\_D2

FMC\_DMA\_SADDR\_D2 为 DMA 操作 DDR 起始地址寄存器 2。

Offset Address		Register Name		Total Reset Value																																
0x0054		FMC_DMA_SADDR_D2		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dma_mem_saddr_d2																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																
[31:0]	RW	dma_mem_saddr_d2		对于 NAND FLASH, 指示 DMA 操作, DDR 操作数据基地址 2, 只对 16KB pagesize 有用。																																

## FMC\_DMA\_SADDR\_D3

FMC\_DMA\_SADDR\_D3 为 DMA 操作 DDR 起始地址寄存器 3。



Offset Address		Register Name		Total Reset Value				
0x0058		FMC_DMA_SADDR_D3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_mem_saddr_d3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_mem_saddr_d3	对于 NAND FLASH, 指示 DMA 操作, DDR 操作数据基地址 3, 只对 16KB pagesize 有用。					

### FMC\_DMA\_SADDR\_OOB

FMC\_DMA\_SADDR\_OOB 为 DMA 操作 DDR 存放 OOB 信息起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x005C		FMC_DMA_SADDR_OOB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_mem_saddr_oob							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_mem_saddr_oob	读写 OOB 区数据的 DDR 基地址。					

### FMC\_OP\_CTRL

FMC\_OP\_CTRL 为操作控制寄存器。



	Offset Address				Register Name				Total Reset Value																											
	0x0068				FMC_OP_CTRL				0x0003_0200																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				rd_opcode				wr_opcode				reserved		rd_op_sel		reserved		rw_op		dma_op_ready															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																																
	[31:24]	RO	reserved	保留。																																
	[23:16]	RW	rd_opcode	SPI NAND/NOR FLASH, 非总线方式, DMA 读操作命令。 (FAST_READ/READ/DUAL_READ)																																
	[15:8]	RW	wr_opcode	对于 SPI NAND/NOR FLASH, 非总线方式, DMA 写操作命令。																																
	[7:6]	RO	reserved	保留。																																
	[5:4]	RW	rd_op_sel	读操作时, 读数据区域选择。 00: 读整个 page; 01: 只读 OOB 操作; 1x: 保留。																																
	[3:2]	RO	reserved	保留。																																
	[1]	RW	rw_op	DMA 读写模式选择。 0: DMA 读; 1: DMA 写。																																
	[0]	RWSC	dma_op_ready	下发操作控制器状态。 0: 控制器就绪; (软件只能配置为 1, 使能逻辑) 1: 控制器忙。(逻辑只能配置为 0, 表示逻辑完成)																																

## FMC\_TIMEOUT\_WR

FMC\_TIMEOUT\_WR 为写操作 TIMEOUT 时间寄存器。



Offset Address		Register Name		Total Reset Value					
0x006C		FMC_TIMEOUT_WR		0x00FF_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			timeout_wr					
Reset	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	timeout_wr	编程操作 busy 等待期间，timeout 时间长度。(器件响应超时时间)其单位为 1 个接口时钟周期。 (NAND/SPI NAND/SPI NOR FLASH)						

## FMC\_OP\_PARA

FMC\_OP\_PARA 为 OP 操作参数选择寄存器。

Offset Address		Register Name		Total Reset Value					
0x0070		FMC_OP_PARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							rd_oob_only	last_segment
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	rd_oob_only	OP 下发寄存器读 flash 操作时，只读 OOB 相关的 sector。 0: 读 page; 1: 只读 OOB。						
[0]	RW	last_segment	由于内部 buffer 一次操作只有 8K，对于 page size 大于 8K(16K 等)的器件，通过此寄存器来表示是否传输到最后一个 8KB 数据。(16K OP 操作时用到，DMA 不用配置) 0: 当前操作的数据的不是最后一个 8K 数据段； 1: 当前操作的数据是最后一个 8K 数据段。						



## FMC\_BOOT\_SET

FMC\_BOOT\_SET 为 boot 设定寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x0074								FMC_BOOT_SET								0x0000_0005															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								boot_otp_cfg	device_ecc_sel	two_image_boot	boot_quad_mode	boot_page0_cfg			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
	Bits	Access	Name		Description																											
	[31:5]	RO	reserved		保留。																											
	[4]	RW	boot_otp_cfg		器件配置信息，使用 OTP 直接配置 fmc_cfg 寄存器的方式。 0：使用自适应 Boot 模式； 1：使用 OTP 模式。																											
	[3]	RW	device_ecc_sel		对于 SPI NAND FLASH，配置是否使用器件内部 ECC。 0：不使用； 1：使用。																											
	[2]	RW	two_image_boot		对于 NAND FLASH 进行 boot，是否使用双镜像 boot。 0：不使用； 1：使用。																											
	[1]	RW	boot_quad_mode		对于 SPI NAND FLASH，BOOT 是否使用四线模式启动。复位值由管脚 SFC_EMMC_BOOT_MODE 决定。 0：不使用，使用单线模式启动； 1：使用。																											
	[0]	RW	boot_page0_cfg		NAND FLASH /SPI NAND FLASH 数据格式转换使能。 0：不进行数据格式转换，BOOT 时不进行遍历操作； 1：自适应数据格式转换，BOOT 时进行遍历操作。																											

## FMC\_LP\_CTRL

FMC\_LP\_CTRL 为低功耗控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0078		FMC_LP_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								clk_gate_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	clk_gate_en	时钟门控选择。打开此功能，使用低功耗设计，逻辑选择关闭模块工作时钟。 0: 时钟全部使能； 1: 根据低功耗设计，关闭时钟。						

## FMC\_LOCK

FMC\_LOCK 为锁地址配置寄存器。

Offset Address		Register Name		Total Reset Value							
0x007C		FMC_LOCK		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							lock_excmd_en	lock_en	global_lock_en	lock_down
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	lock_excmd_en	针对扩展写命令(新器件有可能添加的新命令)，对保护地址进行写保护使能。 0: 禁止； 1: 使能。								



[2]	RW	lock_en	Flash lock 使能。 0: 禁止; 1: 使能。
[1]	RW	global_lock_en	Flash 全局 lock 使能。 0: 禁止; 1: 使能。
[0]	RW	lock_down	Flash lock 模式。 0: lock 模式; 1: lock-down 模式, 一次性写 1, 只有硬件 reset 才能对该位写 0。

## FMC\_LOCK\_SA0

FMC\_LOCK\_SA0 为锁起始地址 0 配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0080	FMC_LOCK_SA0	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	flash_lock_saddr0	
Reset	0 0		
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:0]	RW	flash_lock_saddr0	锁存起始地址 0, 对应 page 地址。

## FMC\_LOCK\_EA0

FMC\_LOCK\_EA0 为锁结束地址 0 配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0084	FMC_LOCK_EA0	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	flash_lock_eaddr0	
Reset	0 0		
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。



[23:0]	RW	flash_lock_eaddr0	锁存结束地址 0，对应 page 地址。
--------	----	-------------------	----------------------

## FMC\_LOCK\_SA1

FMC\_LOCK\_SA1 为锁起始地址 1 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0088		FMC_LOCK_SA1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			flash_lock_saddr1					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	flash_lock_saddr1	锁存起始地址 1，对应 page 地址。						

## FMC\_LOCK\_EA1

FMC\_LOCK\_EA1 为锁结束地址 1 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x008C		FMC_LOCK_EA1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			flash_lock_eaddr1					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	flash_lock_eaddr1	锁存结束地址 1，对应 page 地址。						

## FMC\_LOCK\_SA2

FMC\_LOCK\_SA2 为锁起始地址 2 配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x0090		FMC_LOCK_SA2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			flash_lock_saddr2					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	flash_lock_saddr2	锁存起始地址 2，对应 page 地址。						

### FMC\_LOCK\_EA2

FMC\_LOCK\_EA2 为锁结束地址 2 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0094		FMC_LOCK_EA2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			flash_lock_eaddr2					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	flash_lock_eaddr2	锁存结束地址 2，对应 page 地址。						

### FMC\_LOCK\_SA3

FMC\_LOCK\_SA3 为锁起始地址 3 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0098		FMC_LOCK_SA3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			flash_lock_saddr3					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	flash_lock_saddr3	锁存起始地址 3，对应 page 地址。						



## FMC\_LOCK\_EA3

FMC\_LOCK\_EA3 为锁结束地址 3 配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x009C				FMC_LOCK_EA3				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								flash_lock_eaddr3																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:0]	RW	flash_lock_eaddr3		锁存结束地址 3，对应 page 地址。																											

## FMC\_EXPCMD

FMC\_EXPCMD 为扩展页命令寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00A0				FMC_EXPCMD				0x8080_8080																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ex_pcmd3				ex_pcmd2				ex_pcmd1				ex_pcmd0																			
Reset	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	ex_pcmd3		Flash 扩展页写操作命令 3																											
	[23:16]	RW	ex_pcmd2		Flash 扩展页写操作命令 2。																											
	[15:8]	RW	ex_pcmd1		Flash 扩展页写操作命令 1。																											
	[7:0]	RW	ex_pcmd0		Flash 扩展页写操作命令 0。																											

## FMC\_EXBCMD

FMC\_EXBCMD 为扩展块命令寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x00A4				FMC_EXBCMD				0x0000_6060																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ex_bcmd1				ex_bcmd0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	reserved	保留。																													
[15:8]	RW	ex_bcmd1	Flash 扩展块写操作命令 1。																													
[7:0]	RW	ex_bcmd0	Flash 扩展块写操作命令 0。																													

## FMC\_ERR\_THD

FMC\_ERR\_THD 为 ECC 告警阈值寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00A8				FMC_ERR_THD				0x0000_00FF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												fmc_err_thd																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
Bits	Access	Name	Description																													
[31:8]	RO	reserved	保留。																													
[7:0]	RW	fmc_err_thd	ECC 校验告警阈值配置寄存器。当错误 bit 达到此阈值时，触发 ECC 校验告警中断。 注： 1. 不可纠错时，无论此寄存器值是多少，都上报为不可纠错中断； 2. 设置为 0 和 1 等价，即只要有错误发生，都上报为告警中断； 3. 设置值大于可纠错范围时，不论出现多少 bit 错误，告警中断均不上报，只有可纠错和不可纠错中断产生。																													

## FMC\_FLASH\_INFO

FMC\_FLASH\_INFO 为器件状态寄存器值。



Offset Address		Register Name		Total Reset Value				
0x00AC		FMC_FLASH_INFO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	exp_bb_flag		bb_flag		exp_flash_status		flash_status	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	exp_bb_flag	扩展操作下发的只读 OOB 或者读 page 时，当前页坏块标志对应的未纠错数据。					
[23:16]	RO	bb_flag	只读 OOB 或者读 page 时，当前页坏块标志对应的未纠错数据					
[15:8]	RO	exp_flash_status	在扩展操作下，控制器从器件读取到的状态寄存器的值。					
[7:0]	RO	flash_status	正常操作下，控制器从器件读取到的状态寄存器的值。（bit 含义详见各 flash 器件手册）					

## FMC\_OP\_CNT

FMC\_OP\_CNT 为控制器下发操作次数寄存器。

Offset Address		Register Name		Total Reset Value				
0x00B8		FMC_OP_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				op_cnt			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	op_cnt	对器件操作次数寄存器，配置一次 OP 寄存器计数器加一，当达到最大值时保持，读清零。 仅供调试用。					

## FMC\_VERSION

FMC\_VERSION 为版本寄存器。



Offset Address		Register Name		Total Reset Value				
0x00BC		FMC_VERSION		0x0000_0100				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	version							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	version	FMC 版本 V100。					

### FMC\_ERR\_NUM0\_BUF0

FMC\_ERR\_NUM0\_BUF0 为 SPINAND FLASH 和 NAND FLASH 第一次 buffer 纠错信息 0 统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00C0		FMC_ERR_NUM0_BUF0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_num0_buf0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	err_num0_buf0	对于 2KB, 4KB, 8KB 及 16KB pagesize 第一次 buffer 操作, 前 4KB 数据错误统计寄存器。 bit[31:24]: 第四 KB 数据纠错, 错误数据统计寄存器。 bit[23:16]: 第三 KB 数据纠错, 错误数据统计寄存器。 bit[15:8]: 第二 KB 数据纠错, 错误数据统计寄存器。 bit[7:0]: 第一 KB 数据纠错, 错误数据统计寄存器。					

### FMC\_ERR\_NUM1\_BUF0

FMC\_ERR\_NUM1\_BUF0 为 NANDFLASH 第一次 buffer 纠错信息 1 统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x00C4		FMC_ERR_NUM1_BUF0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_num1_buf0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	err_num1_buf0	对于 8KB 及 16KB pagesize 第一次 buffer 操作, 后 4KB 数据错误统计寄存器。 bit[31:24]: 第八 KB 数据纠错, 错误数据统计寄存器。 bit[23:16]: 第七 KB 数据纠错, 错误数据统计寄存器。 bit[15:8]: 第六 KB 数据纠错, 错误数据统计寄存器。 bit[7:0]: 第五 KB 数据纠错, 错误数据统计寄存器。					

### FMC\_ERR\_NUM0\_BUF1

FMC\_ERR\_NUM0\_BUF1 为 NAND FLASH 第二次 buffer 纠错统计寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x00C8		FMC_ERR_NUM0_BUF1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_num0_buf1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	err_num0_buf1	对于 16KB pagesize, 第二次 buffer 操作, 错误数统计寄存器 0。 bit[31:24]: 第四 KB 数据纠错, 错误数据统计寄存器。 bit[23:16]: 第三 KB 数据纠错, 错误数据统计寄存器。 bit[15:8]: 第二 KB 数据纠错, 错误数据统计寄存器。 bit[7:0]: 第一 KB 数据纠错, 错误数据统计寄存器。					

### FMC\_ERR\_NUM1\_BUF1

FMC\_ERR\_NUM1\_BUF1 为 NANDFLASH 第二次 buffer 纠错统计寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x00CC		FMC_ERR_NUM1_BUF1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_num1_buf1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	err_num1_buf1	对于 16KB pagesize，第二次 buffer 操作，错误数统计寄存器 1。 bit[31:24]：第八 KB 数据纠错，错误数据统计寄存器。 bit[23:16]：第七 KB 数据纠错，错误数据统计寄存器。 bit[15:8]：第六 KB 数据纠错，错误数据统计寄存器。 bit[7:0]：第五 KB 数据纠错，错误数据统计寄存器。					

### FMC\_ERR\_ALARM\_ADDRH

FMC\_ERR\_ALARM\_ADDRH 为 ECC 告警 flash 地址高 byte 寄存器。

Offset Address		Register Name		Total Reset Value				
0x00D0		FMC_ERR_ALARM_ADDRH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						fmc_err_alarm_addrh	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RO	fmc_err_alarm_addrh	当出现 ECC 告警中断时，最后一次触发中断的 flash 操作地址高 byte 寄存器。					

### FMC\_ERR\_ALARM\_ADDRL

FMC\_ERR\_ALARM\_ADDRL 为 ECC 告警 flash 地址低 byte 寄存器。



Offset Address		Register Name		Total Reset Value				
0x00D4		FMC_ERR_ALARM_ADDRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fmc_err_alarm_addrl							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	fmc_err_alarm_addrl	当出现 ECC 告警中断时，最后一次触发中断的 flash 操作地址低 4byte 寄存器。					

### FMC\_ECC\_INVALID\_ADDRH

FMC\_ECC\_INVALID\_ADDRH 为 ECC 不可纠错地址高 byte 寄存器。

Offset Address		Register Name		Total Reset Value				
0x00D8		FMC_ECC_INVALID_ADDRH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						fmc_ecc_invalid_addrh	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RO	fmc_ecc_invalid_addrh	当出现 ECC 不可纠错时，最后一次触发中断的 flash 操作地址高 byte 寄存器。					

### FMC\_ECC\_INVALID\_ADDRL

FMC\_ECC\_INVALID\_ADDRL 为 ECC 不可纠错地址低 4byte 寄存器。

Offset Address		Register Name		Total Reset Value				
0x00DC		FMC_ECC_INVALID_ADDRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fmc_ecc_invalid_addrl							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	fmc_ecc_invalid_addrl	当出现 ECC 不可纠错时，最后一次触发中断的 flash 操作地址低 4byte 寄存器。					





## FMC\_READ\_TIMING\_TUNE

FMC\_READ\_TIMING\_TUNE 为异步 NAND 读采样点调节寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0E0	FMC_READ_TIMING_TUNE	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:3]	RW	reserved
	[2:0]	RW	read_timing_tune
			<p>异步 nand 读操作，采样读数据软件调节寄存器。异步 nand 读 flash 数据时采样点延迟时钟个数选择，根据当前接口频率和芯片内部延迟决定。</p> <p>000: 不做延迟，rd 信号上升沿采样数据。</p> <p>001: rd 信号上升沿延迟 1 个接口时钟周期采样数据。</p> <p>010: rd 信号上升沿延迟 2 个接口时钟周期采样数据。</p> <p>011: rd 信号上升沿延迟 3 个接口时钟周期采样数据。</p> <p>100: rd 信号上升沿延迟 4 个接口时钟周期采样数据。</p> <p>101: rd 信号上升沿延迟 5 个接口时钟周期采样数据。</p> <p>110: rd 信号上升沿延迟 6 个接口时钟周期采样数据。</p> <p>111: rd 信号上升沿延迟 7 个接口时钟周期采样数据。</p>

## FMC\_EXP\_OP\_CTRL

FMC\_EXP\_OP\_CTRL 为扩展操作控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x100		FMC_EXP_OP_CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														exp_rd_op_sel		reserved		exp_rw_op		exp_dma_op_ready											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	exp_rd_op_sel	扩展操作，读操作时，读数据区域选择。 00: 读整个 page; 01: 只读 OOB 操作; 1x: 保留。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	exp_rw_op	扩展操作，下发器件的操作读写类型: 0: DMA 读; 1: DMA 写。																													
[0]	RWSC	exp_dma_op_ready	逻辑操作下发使能寄存器。 0: 控制器就绪; (控制器自动清 0) 1: 控制器忙。(由软件配置为 1) 软件下发操作时，配置为 1，控制器操作完成后将自动清零。 软件只能配置 1，不能配置 0。																													

## FMC\_EXP\_ADDRH

FMC\_EXP\_ADDRH 为扩展操作器件地址配置寄存器高 byte。



Offset Address		Register Name		Total Reset Value						
0x104		FMC_EXP_ADDRH		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						exp_addrh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	exp_addrh	扩展操作，配置 flash 的操作高 byte 地址。							

### FMC\_EXP\_ADDRL

FMC\_EXP\_ADDRL 为扩展操作器件地址配置寄存器低 4byte。仅供内部参考

Offset Address		Register Name		Total Reset Value				
0x108		FMC_EXP_ADDRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	exp_addrl							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	exp_addrl	扩展操作，配置 flash 器件的操作地址的低 4byte。					

### FMC\_EXP\_DMA\_SADDR\_D0

FMC\_EXP\_DMA\_SADDR\_D0 为扩展 DMA 操作 DDR 起始地址寄存器 0。仅供内部参考

Offset Address		Register Name		Total Reset Value				
0x10C		FMC_EXP_DMA_SADDR_D0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	exp_dma_mem_saddr_d0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	exp_dma_mem_saddr_d0	扩展操作，对于 SPI NAND FLASH，指示 DMA 操作，DDR 操作数据基地址。					



### FMC\_EXP\_DMA\_SADDR\_D1

FMC\_EXP\_DMA\_SADDR\_D1 为扩展 DMA 操作 DDR 起始地址寄存器 1。

	Offset Address				Register Name				Total Reset Value																											
	0x110				FMC_EXP_DMA_SADDR_D1				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	exp_dma_mem_saddr_d1																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:0]	RW	exp_dma_mem_saddr_d1	对于 NAND FLASH, 扩展操作, 指示 DMA 操作, DDR 操作数据基地址 1, 对 2KB 和 4KB pagesize 配置无用。																																	

### FMC\_EXP\_DMA\_SADDR\_D2

FMC\_EXP\_DMA\_SADDR\_D2 为扩展 DMA 操作 DDR 起始地址寄存器 2。仅供内部参考

	Offset Address				Register Name				Total Reset Value																											
	0x114				FMC_EXP_DMA_SADDR_D2				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	exp_dma_mem_saddr_d2																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:0]	RW	exp_dma_mem_saddr_d2	对于 NAND FLASH, 扩展操作, 指示 DMA 操作, DDR 操作数据基地址 2, 只对 16KB pagesize 有用。																																	

### FMC\_EXP\_DMA\_SADDR\_D3

FMC\_EXP\_DMA\_SADDR\_D3 为扩展 DMA 操作 DDR 起始地址寄存器 3。



Offset Address		Register Name		Total Reset Value				
0x118		FMC_EXP_DMA_SADDR_D3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	exp_dma_mem_saddr_d3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	exp_dma_mem_saddr_d3	对于 NAND FLASH, 扩展操作, 指示 DMA 操作, DDR 操作数据基地址 3, 只对 16KB pagesize 有用。					

### FMC\_EXP\_DMA\_SADDR\_OOB

FMC\_EXP\_DMA\_SADDR\_OOB 为扩展 DMA 操作 DDR 存放 OOB 信息起始地址寄存器。仅供内部参考

Offset Address		Register Name		Total Reset Value				
0x11C		FMC_EXP_DMA_SADDR_OOB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	exp_dma_mem_saddr_oob							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	exp_dma_mem_saddr_oob	扩展操作, 读写 OOB 区数据的 DDR 基地址。					

### FMC\_EXP\_INT

FMC\_EXP\_INT 为扩展操作中断状态寄存器。



Offset Address		Register Name		Total Reset Value									
0x120		FMC_EXP_INT		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved							exp_dma_err_int	exp_err_alarm_int	exp_err_inval_int	exp_err_val_int	exp_op_fail_int	exp_op_dome_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:6]	RO	reserved	保留。										
[5]	RO	exp_dma_err_int	DMA 传输总线出现错误中断。 0: 无中断; 1: 有中断。										
[4]	RO	exp_err_alarm_int	ECC 校验告警中断。当错误的 bit 达到设定的阈值, 产生中断。 0: 无中断; 1: 有中断。										
[3]	RO	exp_err_inval_int	ECC 校验不可纠正的错误。 8bit 纠错模式下, 校验 1024byte 数据中出现 8bit 以上错误, 产生中断。 16bit 纠错模式下, 校验 1024byte 数据中出现 16bit 以上错误, 产生中断。 24bit 纠错模式下, 校验 1024byte 数据中出现 24bit 以上错误, 产生中断。 28bit 纠错模式下, 校验 1024byte 数据中出现 28bit 以上错误, 产生中断。 40bit 纠错模式下, 校验 1024byte 数据中出现 40bit 以上错误, 产生中断。 64bit 纠错模式下, 校验 1024byte 数据中出现 64bit 以上错误, 产生中断。 0: 无中断; 1: 有中断。										



[2]	RO	exp_err_val_int	<p>ECC 校验可纠正的错误。</p> <p>8bit 纠错模式下，校验 1024byte 数据中出现 1—8bit 错误，产生中断。</p> <p>16bit 纠错模式下，校验 1024byte 数据中出现 1—16bit 错误，产生中断。</p> <p>24bit 纠错模式下，校验 1024byte 数据中出现 1—24bit 错误，产生中断。</p> <p>28bit 纠错模式下，校验 1024byte 数据中出现 1—28bit 错误，产生中断。</p> <p>40bit 纠错模式下，校验 1024byte 数据中出现 1—40bit 错误，产生中断。</p> <p>64bit 纠错模式下，校验 1024byte 数据中出现 1—64bit 错误，产生中断。</p> <p>0: 无中断； 1: 有中断。</p>
[1]	RO	exp_op_fail_int	<p>编程操作失败，上报中断。</p> <p>0: 无中断； 1: 有中断。</p>
[0]	RO	exp_op_done_int	<p>controller 本次扩展操作结束中断。</p> <p>写 operation 寄存器后，该标志自动清零。</p> <p>0: 无中断； 1: 有中断。</p>

## FMC\_EXP\_INT\_EN

FMC\_EXP\_INT\_EN 为扩展操作中断使能寄存器。仅供内部参考



Offset Address		Register Name		Total Reset Value																												
0x124		FMC_EXP_INT_EN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														exp_dma_err_int_en	exp_err_alarm_int_en	exp_err_inval_int_en	exp_err_val_int_en	exp_op_fail_int_en	exp_op_done_int_en												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5]	RW	exp_dma_err_int_en	DMA 传输总线出现错误中断使能。 0: 禁止; 1: 使能。																													
[4]	RW	exp_err_alarm_int_en	ECC 校验告警中断。当错误的 bit 达到设定的阈值, 产生中断。 0: 禁止; 1: 使能。																													
[3]	RW	exp_err_inval_int_en	ECC 校验不可纠正错误, 产生中断。 0: 禁止; 1: 使能。																													
[2]	RW	exp_err_val_int_en	ECC 校验可纠正的错误, 产生中断。 0: 禁止; 1: 使能。																													
[1]	RW	exp_op_fail_int_en	编程操作失败中断使能。 0: 禁止; 1: 使能。																													
[0]	RW	exp_op_done_int_en	FMC 本次扩展操作结束中断。 0: 禁止; 1: 使能。																													





## FMC\_EXP\_INT\_CLR

FMC\_EXP\_INT\_CLR 为扩展操作中断清除寄存器。仅供内部参考

	Offset Address								Register Name								Total Reset Value																																					
	0x128								FMC_EXP_INT_CLR								0x0000_0000																																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																						
Name	reserved																								exp_dma_err_int_clr	exp_err_alarm_int_clr	exp_err_inval_int_clr	exp_err_val_int_clr	exp_op_fail_int_clr	exp_op_done_int_clr																								
Reset	0 0 0 0								0 0 0 0								0 0 0 0								0 0 0 0								0 0 0 0																					
Bits	Access		Name		Description																																																	
[31:6]	RO		reserved		保留。																																																	
[5]	WO		exp_dma_err_int_clr		清除 DMA 传输总线错误中断，写 1 清除。																																																	
[4]	WO		exp_err_alarm_int_clr		清除 exp_err_alarm 中断，写 1 清除。																																																	
[3]	WO		exp_err_inval_int_clr		清除 exp_err_invalid 中断，写 1 清除。																																																	
[2]	WO		exp_err_val_int_clr		清除 exp_err_valid 中断，写 1 清除。																																																	
[1]	WO		exp_op_fail_int_clr		清除 exp_op_fail 中断，写 1 清除。																																																	
[0]	WO		exp_op_done_int_clr		清除 exp_op_done 中断，写 1 清除。																																																	

## FMC\_EXP\_ERR\_NUM0\_BUF0

FMC\_EXP\_ERR\_NUM0\_BUF0 为扩展操作第一次 buffer 纠错信息 0 统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x12C		FMC_EXP_ERR_NUM0_BUF0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	exp_err_num0_buf0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	exp_err_num0_buf0	对于 2KB, 4KB, 8KB 及 16KB pagesize 第一次 buffer 操作, 前 4KB 数据错误统计寄存器。 bit[31:24]: 第四 KB 数据纠错, 错误数据统计寄存器。 bit[23:16]: 第三 KB 数据纠错, 错误数据统计寄存器。 bit[15:8]: 第二 KB 数据纠错, 错误数据统计寄存器。 bit[7:0]: 第一 KB 数据纠错, 错误数据统计寄存器。					

### FMC\_EXP\_ERR\_NUM1\_BUF0

FMC\_EXP\_ERR\_NUM1\_BUF0 为扩展操作第一次 buffer 纠错信息 1 统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x130		FMC_EXP_ERR_NUM1_BUF0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	exp_err_num1_buf0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	exp_err_num1_buf0	对于 8KB 及 16KB pagesize 第一次 buffer 操作, 后 4KB 数据错误统计寄存器。 bit[31:24]: 第八 KB 数据纠错, 错误数据统计寄存器。 bit[23:16]: 第七 KB 数据纠错, 错误数据统计寄存器。 bit[15:8]: 第六 KB 数据纠错, 错误数据统计寄存器。 bit[7:0]: 第五 KB 数据纠错, 错误数据统计寄存器。					

### FMC\_EXP\_ERR\_NUM0\_BUF1

FMC\_EXP\_ERR\_NUM0\_BUF1 为扩展操作第二次 buffer 纠错统计寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x13C		FMC_EXP_ERR_NUM0_BUF1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	exp_err_num0_buf1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	exp_err_num0_buf1	对于 16KB pagesize, 第二次 buffer 操作, 错误数统计寄存器 0。 bit[31:24]: 第四 KB 数据纠错, 错误数据统计寄存器。 bit[23:16]: 第三 KB 数据纠错, 错误数据统计寄存器。 bit[15:8]: 第二 KB 数据纠错, 错误数据统计寄存器。 bit[7:0]: 第一 KB 数据纠错, 错误数据统计寄存器。					

### FMC\_EXP\_ERR\_NUM1\_BUF1

FMC\_EXP\_ERR\_NUM1\_BUF1 为扩展操作第二次 buffer 纠错统计寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x140		FMC_EXP_ERR_NUM1_BUF1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	exp_err_num1_buf1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	exp_err_num1_buf1	对于 16KB pagesize, 第二次 buffer 操作, 错误数统计寄存器 1。 bit[31:24]: 第八 KB 数据纠错, 错误数据统计寄存器。 bit[23:16]: 第七 KB 数据纠错, 错误数据统计寄存器。 bit[15:8]: 第六 KB 数据纠错, 错误数据统计寄存器。 bit[7:0]: 第五 KB 数据纠错, 错误数据统计寄存器。					



## 目 录

<b>5 GSF.....</b>	<b>5-1</b>
5.1 概述.....	5-1
5.2 功能描述.....	5-1
5.3 总体数据流.....	5-2
5.4 网口功能配置描述.....	5-2
5.4.1 以太网收发帧管理功能.....	5-2
5.4.2 收发 DDR 缓冲区描述子队列配置 .....	5-2
5.4.3 以太网收包中断管理功能.....	5-4
5.4.4 以太网发包中断管理功能.....	5-5
5.4.5 配置 PHY 芯片工作状态.....	5-5
5.4.6 工作模式切换.....	5-6
5.5 典型应用.....	5-6
5.5.1 以太网限速功能.....	5-6
5.5.2 WoI 网络唤醒 .....	5-7
5.6 GSF 寄存器概览 .....	5-8
5.7 GSF 寄存器描述 .....	5-16



---

## 插图目录

---

图 5-1 GSF 总体数据流 .....5-2



# 5 GSF

## 5.1 概述

GSF (Gigabit Switch Fabric) 千兆以太网交换接口实现网络接口数据的接收和发送, 支持 10/100/1000Mbit/s 工作模式可配置, 支持全双工、半双工工作模式。网口可实现和 CPU 端口间的数据通信, 另外, 网口支持 EEE (Energy Efficient Ethernet) 能效以太网和 WoL(Wake\_on\_LAN)网络唤醒功能。

## 5.2 功能描述

以太网交换模块有如下功能特点:

- 支持 10/100/1000Mbit/s 速率。
- 支持全双工或半双工工作模式。
- 支持 RMII/RGMII (Reduced Gigabit Media Independent Interface) 接口。
- 提供 MDIO 接口。
- 支持帧长有效性检测, 丢弃超长帧和超短帧。
- 支持对输入帧进行 CRC 校验, 可丢弃校验错的帧。
- 支持对输出帧添加 CRC 校验。
- 支持短帧填充功能。
- 支持端口全双工模式下的外环回 (即线路侧环回)。
- 支持对接收和发送帧进行统计计数。
- 支持广播帧、组播帧和单播帧过滤。
- 支持控制报文、IP 报文、广播或多播报文限速处理功能可配置。
- 支持包过滤功能。
- 支持入队中断和超时中断两种中断方式。
- 支持收发包缓存。
- 支持 EEE 能效以太网功能。
- 支持 WoL 网络唤醒功能。
- 支持 SG(Scatter Gather) 分散聚合功能。

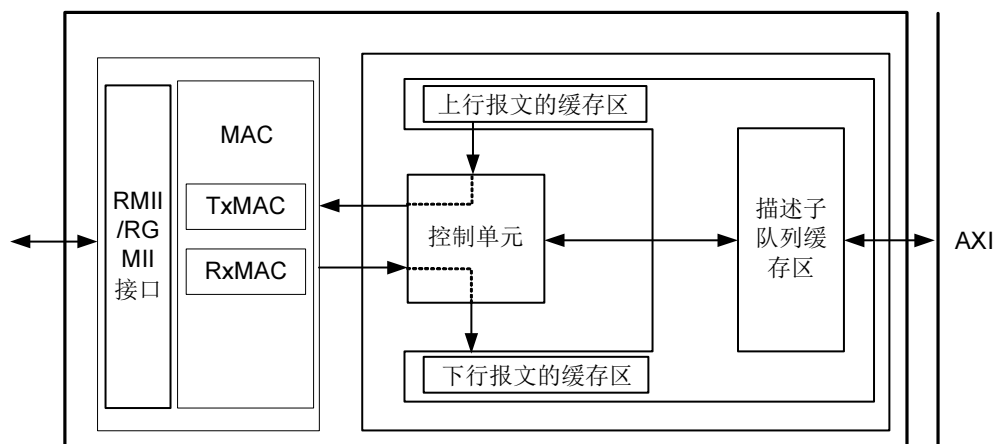


- 接收、发送方向都支持 COE（Checksum Offload Engine）校验和卸载引擎功能。
- 支持 TSO（TCP Segment Offload）TCP 分段卸载功能。
- 支持 UFO（UDP Fragment Offload）UDP 分段卸载功能。

## 5.3 总体数据流

GSF（Gigabit Switch Fabric）千兆以太网交换接口的总体数据流如图 5-1 所示。

图5-1 GSF 总体数据流



## 5.4 网口功能配置描述

### 5.4.1 以太网收发帧管理功能

CPU 通过配置描述子队列缓存区，对 Ethernet 进行收发帧地址管理：

- 接收时，Ethernet 分辨从外网收到的各种数据包，并根据 CPU 配置的报文缓存信息，包括报文缓存起始地址、报文缓存深度等，将收到的合法包通过总线存放于 DDR 中。
- 发送时，Ethernet 根据 CPU 配置的报文缓存信息，包括报文缓存起始地址、报文长度以及其他的报文信息等，通过总线，将存于 DDR 的报文搬运过来，自行组装成包，然后发送到网络接口上。

### 5.4.2 收发 DDR 缓冲区描述子队列配置

发送时，CPU 需要配置存储于 DDR 的 2 个缓冲区队列，接收时，CPU 配置另外 2 个缓冲区队列，缓冲区队列的起始地址均为 word 地址，一个描述子 4 个 word，其中一个描述子表示一个报文缓存信息，收发缓冲区描述子的前两个 word 如表 5-1 所示。



表5-1 收发缓冲区描述子的前两个 word 的数据结构

名称	位宽 (bit)	描述
DataBudSAddr	32	报文缓冲的起始地址，支持字节地址。
DescVld	1	描述子有效标识，1 为有效，0 为无效。
DataLen	11	报文缓存里的有效数据量，单位为 byte。
BufLen	11	报文缓存可写的深度，单位为 byte。

说明

接收方向由于最大帧长为 1.6KB，故分配给每个帧的存放空间要比 1.6KB 大一些，建议为 1600B+128B，软件需要保证此大小的地址空间为网络存放包数据可用的存取空间。

表5-2 发送缓冲区描述子的前两个 word 的数据结构

信号名称	比特	比特名称	描述
desc_word1	[31:0]	DataBufSAddr	1) 若当前描述子为非 SG 描述子，则标识报文缓冲区的起始地址； 2) 若当前描述子为 SG 描述子，则标识二级链表的起始地址。
desc_word2	[31]	hw_own	标识当前描述子的所有权 0: 该描述子软件使用； 1: 该描述子逻辑使用。
	[30]	sg_flag	是否支持 SG。 0: 不支持 SG； 1: 支持 SG。 注意，sg_flag 为 0 时，tso_flag 必然为 0。
	[29]	coe_flag	是否执行 checksum offload。 0: 不执行 checksum offload； 1: 执行 checksum offload。
	[28]	tso_flag	是否执行 TSO 操作。 0: 不执行 TSO 操作； 1: 执行 TSO 操作。
	[27]	reserved	保留。
	[26:16]	data_len	1、当 sg_flag 为 1 时，该字段表示切片报文 mss 大小； 2、当 sg_flag 为 0 时，表示整个报文的长度。





信号名称	比特	比特名称	描述
	[15:11]	nfrags_num	当前描述子指示的 SKB 中含有的 nfrags 的个数，最大为 17 个。
	[10]	vlan_flag	当前报文是否有 VLAN 标识。 0: 当前报文无 VLAN 标识; 1: 当前报文有 VLAN 标识。
	[9]	ip_version	当前报文 IP 协议版本。 0: IPv4; 1: IPv6。
	[8]	protocol_type	当前报文传输层协议类型。 0: TCP; 1: UDP。
	[7:4]	ip_hdr_len	当前报文 IP 首部长度，以 word（4 字节）为单位。 若当前报文为 IPv4 报文，其长度为 5~15word，若当前报文为 IPv6 报文，其长度为 10word。
	[3:0]	protocol_hdr_len	若当前报文为 TCP 报文，表示其 TCP 首部长度，以 word（4 字节）为单位，取值为 5 到 15word；若当前报文为 UDP 报文，表示其 UDP 首部长度，以 word（4 字节）为单位，且取值为 2word。

### 5.4.3 以太网收包中断管理功能

#### 中断产生

配置接收方向入队中断使能以及上报入队中断的水线，当逻辑回写到 DDR 中的描述子个数达到配置水线时，则产生一个接收入队中断：

- 配置 ENA\_PMU\_INT（PMU 模块原始中断寄存器）bit[17]rx\_bq 入队中断使能；
- 配置 IN\_QUEUE\_TH（rx\_bq、tx\_rq 入队中断水线寄存器）bit[7:0]。

配置接收方向超时中断使能、超时水线，当逻辑回写一个描述子后，启动超时计数，在没有满足接收入队中断的条件下，若超时计数达到配置的超时时间，则产生一个接收超时中断。若同时满足上报两种中断的条件，只上报接收入队中断：

- 配置 ENA\_PMU\_INT（PMU 模块原始中断寄存器）bit[28]rx\_bq 入队超时中断使能；
- 配置 RX\_BQ\_IN\_TIMEOUT\_TH（rx\_bq 入队超时原始中断水线寄存器）。



## 中断清除

CPU 收到接收入队中断或者接收超时中断后，写 1 清除接收入队中断和接收超时中断。

### 5.4.4 以太网发包中断管理功能

#### 中断产生

配置发送方向入队中断使能以及上报入队中断的水线，当逻辑回写到 DDR 中的描述子个数达到配置水线时，则产生一个发送入队中断：

- 配置 `ENA_PMU_INT`（PMU 模块原始中断寄存器）`bit[19]tx_rq` 入队中断使能；
- 配置 `IN_QUEUE_TH`（`rx_bq`、`tx_rq` 入队中断水线寄存器）`bit[23:16]`。
- 配置发送超时中断使能、超时水线，当逻辑回写一个描述子后，启动超时计数，在没有满足发送入队中断的条件下，若超时计数达到配置的超时时间，则产生一个发送超时中断。若同时满足上报两种中断的条件，只上报发送入队中断；
- 配置 `ENA_PMU_INT`（PMU 模块原始中断寄存器）`bit[29]tx_rq` 入队超时中断使能；
- 配置 `TX_RQ_IN_TIMEOUT_TH`（`tx_rq` 入队超时原始中断水线寄存器）。

#### 中断清除

CPU 收到发送入队中断或者发送超时中断后，写 1 清除发送入队中断和发送超时中断。

### 5.4.5 配置 PHY 芯片工作状态

以太网交换模块提供 MDIO 接口实现对 PHY 芯片的管理。MDIO 分为读操作和写操作，下面分别介绍两者的操作步骤。

读操作的配置步骤如下：

- CPU 向 `MDIO_SINGLE_CMD`（MDIO 单次操作寄存器）的 `bit[12:8]` 写入 PHY 芯片地址，向 `bit[4:0]` 写入 PHY 内部寄存器地址，同时配置寄存器 `MDIO_SINGLE_CMD` 的 `bit[20]` 为 1，配置 `bit[17:16]` 为 2'b10，启动 MDIO 读操作；
- MDIO 将从外部 PHY 芯片读回的数据写到 `MDIO_SINGLE_DATA`（MDIO 读写数据寄存器）的 `bit[31:16]`，并同时配置 `MDIO_SINGLE_CMD`（MDIO 单次操作寄存器）的 `bit[20]` 为 0；
- CPU 查询 `MDIO_SINGLE_DATA`（MDIO 读写数据寄存器）的 `bit[31:16]` 得到 MDIO 从外部 PHY 芯片读回的数据。

写操作的配置步骤如下：

- CPU 将发送给外部 PHY 芯片的数据写入 `MDIO_SINGLE_DATA`（MDIO 读写数据寄存器）的 `bit[15:0]`；



- 向 **MDIO\_SINGLE\_CMD** (MDIO 单次操作寄存器) 的 bit[9:8] 写入 PHY 芯片地址, 向 bit[4:0] 写入 PHY 内部寄存器地址, 同时配置 bit[20] 为 1, 配置 bit[17:16] 为 1, 启动 MDIO 写操作;
- MDIO 将 **MDIO\_SINGLE\_DATA** (MDIO 读写数据寄存器) 的 bit[15:0] 的值写入相应的 PHY 内部寄存器中, 完成 MDIO 的写操作, 并自动将 **MDIO\_SINGLE\_CMD** (MDIO 单次操作寄存器) bit[20] 配置为 0x0。

## 5.4.6 工作模式切换

以太网交换模块支持的工作模式: RMII (10M/100M) RGMII (10M/100M/1000M), 支持模式之间的切换功能。下面介绍操作步骤。

- 步骤 1.** 配置相应 PERI\_CRG51 (GSF CRG 时钟复位控制器 0x120100CC) 为 0xe 进行复位, 再配置 PERI\_CRG59 (GMAC 接口控制寄存器)[8:0], 最后配置 PERI\_CRG51 为 0xa 撤销复位, 使配置的工作模式生效;
- 步骤 2.** 配置使能 **MODE\_CHANGE\_EN** 寄存器; 然后配置寄存器 **PORT\_MODE** (MAC 端口速率模式寄存器), 然后取消寄存器 **MODE\_CHANGE\_EN** 的使能;



说明

芯片正常工作时不可进行此项配置, 建议在初始化时进行配置。

---结束

## 5.5 典型应用

### 5.5.1 以太网限速功能

以太网交换模块具有对接收报文进行限速的功能, 即在某段时间内, 当通过的报文数超过设定的最大数量时, 后续报文将被丢弃。

以太网交换模块对报文限速分为以下三种:

- 对控制报文的限速
- 对业务报文的限速
- 对广播或多播报文的限速

#### 对控制报文的限速

对控制报文的限速分为两种情况:

- 在一个限速时间 T 内, 只允许通过小于等于限速报文个数的控制报文, 超过该数的控制报文将被丢弃。该限速时间 T 以 125 $\mu$ s 为一个单位进行计数, 当计数等于配置的限速时间个数时, 为一个限速时间单位 T。
- 如果接收方向配置 FIFO 中的接收地址个数小于限速地址个数时, 则接收的所有控制报文将优先通过, 此时, IP 报文将会被过滤丢弃, 而不管此时是否有 IP 报文的限速或者有没有达到 IP 限速的流量。

对控制报文进行限速时, 需要做如下配置:



- 配置 `CONTROL_WORD`（控制寄存器）的 `bit[20]` 为 1
- 配置 `FLOW_CTRL_PKG_THRSLD`（限速包个数寄存器）的 `bit[15:0]`
- 配置 `CRF_FLOW_TIME_THRSLD`（限速时间个数寄存器）的 `bit[7:0]`
- 配置 `CRF_RX_LEFT_NUM`（限速接收地址个数寄存器）

## 对业务报文的限速

此限速功能和控制报文限速的第一种情况相同，当控制报文限速的第二种情况成立时，IP 报文将全部被丢弃。

对业务报文（如 IP 报文）进行限速时，需要做如下配置：

- 配置 `CONTROL_WORD`（控制寄存器）的 `bit[21]` 为 1
- 配置 `FLOW_CTRL_PKG_THRSLD`（限速包个数寄存器）的 `bit[31:16]`
- 配置 `CRF_FLOW_TIME_THRSLD`（限速时间寄存器）的 `bit[7:0]`

## 对广播或多播报文的限速

广播或多播报文的限速时间以 `1μs` 为单位进行计数，在限速时间内，当通过的报文达到限速个数时，后续报文被丢弃。

对广播或者多播报文进行限速时，需要做如下配置：

- 配置 `CONTROL_WORD`（控制寄存器）的 `bit[16]` 为 1
- 配置 `CRF_BM_PKT_THRSLD`（广播和多播报文的限速处理包个数寄存器）
- 配置 `CRF_BM_TIME_THRSLD`（广播和多播报文的限速时间计数寄存器）

## 5.5.2 WoI 网络唤醒

网络唤醒支持接收 `wake-up frame` 和 `magic packet` 唤醒。

### Wake\_up frame 唤醒

配置过滤模板，共 4 套过滤模板，以模板 1 为例。

- 配置 `FILTER_0_BYTE_MASK`（第一套有效 `byte` 选择寄存器）。
- 配置 `FILTER_COMMAND`（第一套过滤模板使能寄存器）。
- 配置 `FILTER_OFFSET`（计算 CRC 的位置偏移寄存器）。
- 配置 `FILTER0_1_CRC`（软件期望的 CRC 值寄存器）。
- 配置 `PMT_CTRL_STAUTS`（PMT 控制与状态寄存器）`bit[0]=1`，进入 `power_down` 模式。
- 配置 `PMT_CTRL_STAUTS`（PMT 控制与状态寄存器）`bit[2]=1`，打开 `wake_up frame` 接收使能。
- 退出 `power_down` 模式：
  - 如果本地需要退出 `power_down` 模式，直接复位 `PMT_CTRL_STAUTS`（PMT 控制与状态寄存器）`bit[0]=0` 即可；



- 接收到一个 wake-up frame 时，将自动退出 power\_down 模式，此时网口自动开始收包，同时，软件需读清原始中断寄存器。

## Magic packet 唤醒

接收 Magic packet 要进行如下配置：

- 配置 PMT\_CTRL\_STAUTS (PMT 控制与状态寄存器)bit[0]=1,进入 power\_down 模式； bit[1]=1，打开 magic packet 接收使能；
- 退出 power\_down 模式：
  - 如果本地需要退出 power\_down 模式，直接复位 PMT\_CTRL\_STAUTS (PMT 控制与状态寄存器) bit[0]=0 即可；
  - 接收到一个 magic packet 时，将自动退出 power\_down 模式，此时网口自动开始收包，同时，软件需读清原始中断寄存器。

## 5.6 GSF 寄存器概览

GSF 寄存器概览如表 5-3 所示。

表5-3 GSF 寄存器概览（基址是 0x1005\_0000）

偏移地址	名称	描述	页码
0x00000000	STATION_ADDR_LOW	本机 MAC 地址寄存器	5-16
0x00000004	STATION_ADDR_HIGH	本机 MAC 地址寄存器	5-16
0x00000008	DUPLEX_SEL_RGMII	半双工选择寄存器	5-16
0x0000000C	FD_FC_TYPE	流控帧类型域寄存器	5-17
0x00000014	COL_DISTANCE	单次重传包长水线寄存器	5-17
0x0000001C	FC_TX_TIMER	流控时间参数寄存器	5-18
0x00000020	FD_FC_ADDR_LOW	流控帧目的地址低 32 比特寄存器	5-18
0x00000024	FD_FC_ADDR_HIGH	流控帧目的地址高 16 比特寄存器	5-19
0x00000030	IPG_TX_TIMER	发送帧间隙寄存器	5-19
0x00000038	PAUSE_THR	发送流控帧间隙寄存器	5-19
0x0000003C	MAX_FRM_SIZE	最大帧长寄存器	5-20
0x00000040	PORT_MODE	端口状态寄存器	5-20
0x00000044	PORT_EN	通道使能寄存器	5-21
0x00000048	PAUSE_EN	流控使能寄存器	5-22
0x00000050	SHORT_RUNTS_THR	超短帧界限寄存器	5-22



偏移地址	名称	描述	页码
0x00000054	DROP_UNK_CTL_FRM	未知控制帧丢弃使能寄存器	5-23
0x00000060	TRANSMIT_CONTROL	常用配置寄存器	5-23
0x00000064	REC_FILT_CONTROL	接收帧过滤控制寄存器	5-24
0x00000068	PORT_MC_ADDR_LO W	多播地址寄存器	5-25
0x0000006C	PORT_MC_ADDR_HI G H	多播地址寄存器	5-25
0x00000070	MAC_CLR	MAC 清零寄存器	5-25
0x00000080	RX_OCTETS_OK_CNT	RX_OCTETS_TOTAL_OK 为接收有效帧的字节统计寄存器	5-26
0x00000084	RX_OCTETS_BAD_CN T	RX_OCTETS_BAD 为接收错误帧字节统计寄存器	5-27
0x00000088	RX_UC_PKTS	MAC 接收单播帧数统计寄存器	5-27
0x0000008C	RX_MC_PKTS	接收多播帧数统计寄存器	5-27
0x00000090	RX_BC_PKTS	接收的广播帧数统计寄存器	5-28
0x00000094	RX_PKTS_64OCTETS	接收到帧长为 64byte 的帧数统计寄存器	5-28
0x00000098	RX_PKTS_65TO127OC TETS	接收到帧长为 65~127byte 的帧数统计寄存器	5-28
0x0000009C	RX_PKTS_128TO255O CTETS	接收到帧长为 128~255byte 的帧数统计寄存器	5-29
0x000000A0	RX_PKTS_255TO511O CTETS	接收到帧长为 256~511byte 的帧数统计寄存器	5-29
0x000000A4	RX_PKTS_512TO1023O CTETS	接收到帧长为 512~1023byte 的帧数统计寄存器	5-29
0x000000A8	RX_PKTS_1024TO1518 OCTETS	接收帧长为 1024~1518byte 的帧数统计寄存器	5-30
0x000000AC	RX_PKTS_1519TOMA XOCTETS	接收到帧长为 1519~最大 byte 的帧数统计寄存器	5-30
0x000000B0	RX_FCS_ERRORS	接收 CRC 检验错误的帧数统计寄存器	5-30
0x000000B4	RX_TAGGED	接收带 TAG 的帧统计寄存器	5-31
0x000000B8	RX_DATA_ERR	接收数据错误帧统计寄存器	5-31



偏移地址	名称	描述	页码
0x000000BC	RX_ALIGN_ERRORS	接收数据非字节对齐错误帧统计寄存器	5-31
0x000000C0	RX_LONG_ERRORS	接收帧长大于允许的最大长度的帧数统计寄存器	5-32
0x000000C4	RX_JABBER_ERRORS	接收帧长大于允许的最大长度的帧数统计寄存器	5-32
0x000000C8	RX_PAUSE_MACCONTROL_FRAMCOUNTER	接收到的流控帧数统计寄存器	5-33
0x000000CC	RX_UNKNOWN_MACCONTROL_FRAMCOUNTER	MAC 接收到的非流控控制帧数统计寄存器	5-33
0x000000D0	RX_VERY_LONG_ERR_CNT	接收到超长帧统计寄存器	5-33
0x000000D4	RX_RUNT_ERR_CNT	接收到帧长小于 64byte 大于等于 12byte 的帧数统计寄存器	5-34
0x000000D8	RX_SHORT_ERR_CNT	接收帧长小于 96bit 的帧数统计寄存器	5-34
0x00000100	OCTETS_TRANSMITTED_OK	发送成功的好包字节数统计寄存器	5-34
0x00000104	OCTETS_TRANSMITTED_BAD	发送成功的坏包字节数统计寄存器	5-35
0x00000108	TX_UC_PKTS	发送的单播帧数统计寄存器	5-35
0x0000010C	TX_MC_PKTS	发送的多播帧数统计寄存器	5-36
0x00000110	TX_BC_PKTS	发送的广播帧数统计寄存器	5-36
0x00000114	TX_PKTS_64OCTETS	发送帧长为 64byte 的帧数统计寄存器	5-36
0x00000118	TX_PKTS_65TO127OCTETS	发送帧长为 65~127byte 的帧数统计寄存器	5-37
0x0000011C	TX_PKTS_128TO255OCTETS	发送帧长为 128~255byte 的帧数统计寄存器	5-37
0x00000120	TX_PKTS_255TO511OCTETS	发送帧长为 256~511byte 的帧数统计寄存器	5-37
0x00000124	TX_PKTS_512TO1023OCTETS	发送帧长为 512~1023byte 节的帧数统计寄存器	5-38



偏移地址	名称	描述	页码
0x00000128	TX_PKTS_1024TO1518 OCTETS	发送帧长为 1024~1518byte 的帧数统计寄存器	5-38
0x0000012C	TX_PKTS_1519TOMAX OCTETS	发送帧长大于 1519byte 的帧数统计寄存器	5-38
0x00000144	TX_EXC_COL_ERR_CNT	TX_EXC_COL_ERR_CNT 达到最大重传次数的包计数器	5-39
0x0000014C	TX_EXCESSIVE_LENGTH_DROP	超过设定的最大帧长导致发送失败次数统计寄存器	5-39
0x00000150	TX_UNDERRUN	帧发送过程中发生内部错误而导致发送失败的次数统计寄存器	5-40
0x00000154	TX_TAGGED	发送的 VLAN 帧数统计寄存器	5-40
0x00000158	TX_CRC_ERROR	发送帧长正确 CRC 错误的帧数统计寄存器	5-40
0x0000015C	TX_PAUSE_FRAMES	发送 PAUSE 帧数统计寄存器	5-41
0x000001A8	LINE_LOOP_BACK	MAC 线路侧环回寄存器	5-41
0x000001B0	CF_CRC_STRIP	CRC 剥离使能寄存器	5-41
0x000001B4	MODE_CHANGE_EN	端口模式改变使能寄存器	5-42
0x000001C0	COL_SLOT_TIME	半双工冲突重传间隔时间计数器寄存器	5-43
0x000001DC	LOOP_REG	环回补充寄存器	5-43
0x000001E0	RECV_CONTROL	接收控制寄存器	5-44
0x000001E8	VLAN_CODE	VLAN Code 寄存器	5-44
0x000001EC	RX_OVERRUN_CNT	FIFO 溢出统计寄存器	5-45
0x000001F4	RX_LENGTHFIELD_ERROR_CNT	含 PAD 帧统计寄存器	5-45
0x000001F8	RX_FAIL_COMMA_CNT	字节定界 COMMA 统计寄存器	5-45
0x00000200	MAC_SA_ADDR_L	源 MAC 地址寄存器	5-46
0x00000204	MAC_SA_ADDR_H	源 MAC 地址寄存器	5-46
0x00000208	MAC_DA_ADDR_L	目的 MAC 地址寄存器	5-46
0x0000020C	MAC_DA_ADDR_H	目的 MAC 地址寄存器	5-47
0x00000210	CRF_MIN_PACKET	最小过滤包长寄存器	5-47





偏移地址	名称	描述	页码
0x00000214	CONTROL_WORD	控制寄存器	5-48
0x00000218	FLOW_CTRL_PKG_THRSLD	限速包个数寄存器	5-49
0x0000021C	CRF_FLOW_TIME_THRSLD	限速时间寄存器	5-50
0x00000220+4*m	FILTER_LISTm(m=0~15)	过滤列表寄存器	5-50
0x00000260	CRF_UDP_NO	UDP 端口号寄存器	5-51
0x00000264	CRF_TX_FIFO_THRSLD	发送 FIFO 水线寄存器	5-52
0x00000268	CRF_RX_FIFO_THRSLD	接收 FIFO 水线寄存器	5-52
0x00000280	ERR_GIVEN_PKG_CNT	因 MAC 标记错误帧尾而被丢弃的包统计计数器	5-53
0x00000284	SHORT_ERR_PKT_CNT	短错包计数器寄存器	5-53
0x00000288	ERR_FRM_TYPE_CNT	因帧类型不在过滤列表内而被丢弃的包统计计数器寄存器	5-54
0x0000028C	ERR_IP_TYPE_CNT	因 IP 类型不在过滤列表内而被丢弃的包统计计数器寄存器	5-54
0x00000290	ERR_UDP_CNT	因 UDP 端口号不在设定范围内而被过滤的包统计计数器寄存器	5-54
0x00000294	OVER_FLOW_CNT	因接收 FIFO 满而丢弃的包的统计计数器寄存器	5-55
0x00000298	OVER_LENGTH_CNT	因超过 PMU 的最大长度而丢弃包的统计计数器寄存器	5-55
0x000002A4	RX_PAUSE_EN	rx 方向流控帧使能寄存器	5-55
0x000002A8	CRF_CFF_DATA_NUM	配置 FIFO 数据个数寄存器	5-56
0x000002AC	FLOW_OUT_IP_CNT	IP 报文限速丢弃的包统计计数器寄存器	5-57
0x000002B0	FLOW_OUT_CTRL_CNT	控制报文限速丢弃的包统计计数器寄存器	5-57
0x00000340	CRF_TX_PAUSE	发送流控控制寄存器	5-57
0x00000344	CRF_RX_LEFT_NUM	CRF_RX_ADDR_NUM 为限速接收地址个数寄存器	5-58



偏移地址	名称	描述	页码
0x00000348	CRF_CTRL_0_TYPE	控制报文类型 0 寄存器	5-58
0x0000034C	CRF_CTRL_1_TYPE	控制报文类型 1 寄存器	5-59
0x00000350	CRF_CTRL_2_TYPE	控制报文类型 2 寄存器	5-59
0x00000354	CRF_CTRL_3_TYPE	控制报文类型 3 寄存器	5-60
0x00000358	CRF_BM_PKT_THRSLD	广播和多播报文的限速处理包个数寄存器	5-60
0x0000035C	CRF_BM_TIME_THRSLD	广播和多播报文的限速时间计数寄存器	5-60
0x000003C0	MDIO_SINGLE_CMD	MDIO 单次操作寄存器	5-61
0x000003C4	MDIO_SINGLE_DATA	MDIO 读写数据寄存器	5-62
0x000003CC	MDIO_CTL	MDIO 控制寄存器	5-62
0x000003D0	MDIO_RDATA_STATUS	MDIO 读数据状态寄存器	5-63
0x00000500	RX_FQ_START_ADDR	空闲描述子队列起始地址寄存器	5-63
0x00000504	RX_FQ_DEPTH	空闲描述子队列深度寄存器	5-64
0x00000508	RX_FQ_WR_ADDR	空闲描述子队列写地址寄存器	5-64
0x0000050C	RX_FQ_RD_ADDR	空闲描述子队列读地址寄存器	5-65
0x00000510	RX_FQ_VLDDESC_CNT	空闲描述子队列有效描述子个数寄存器	5-65
0x00000514	RX_FQ_ALRMPTY_TH	空闲描述子队列几乎空水线寄存器	5-66
0x00000518	RX_FQ_REG_EN	与接收方向空闲描述子队列有关的使能寄存器	5-66
0x0000051C	RX_FQ_ALFULL_TH	空闲描述子队列几乎满水线寄存器	5-67
0x00000520	RX_BQ_START_ADDR	rx_buff 描述子队列起始地址寄存器	5-67
0x00000524	RX_BQ_DEPTH	rx_buff 描述子队列深度寄存器	5-68
0x00000528	RX_BQ_WR_ADDR	rx_buff 描述子队列写地址寄存器	5-68
0x0000052C	RX_BQ_RD_ADDR	rx_buff 描述子队列读地址寄存器	5-68



偏移地址	名称	描述	页码
0x00000530	RX_BQ_FREE_DESC_CNT	rx_buff 描述子队列可写入的描述子个数寄存器	5-69
0x00000534	RX_BQ_ALEMPY_TH	rx_buff 描述子队列几乎空水线寄存器	5-69
0x00000538	RX_BQ_REG_EN	与接收方向 buff 描述子队列有关的使能寄存器	5-70
0x0000053C	RX_BQ_ALFULL_TH	rx_buff 描述子队列几乎满水线寄存器	5-70
0x00000580	TX_BQ_START_ADDR	tx_buff 描述子队列起始地址寄存器	5-71
0x00000584	TX_BQ_DEPTH	tx_buff 描述子队列深度寄存器	5-71
0x00000588	TX_BQ_WR_ADDR	tx_buff 描述子队列写地址寄存器	5-72
0x0000058C	TX_BQ_RD_ADDR	tx_buff 描述子队列读地址寄存器	5-72
0x00000590	TX_BQ_VLDDESC_CNT	tx_buff 描述子队列有效描述子个数寄存器	5-72
0x00000594	TX_BQ_ALEMPY_TH	tx_buff 描述子队列几乎空水线寄存器	5-73
0x00000598	TX_BQ_REG_EN	与发送方向 buff 描述子队列有关的使能寄存器	5-73
0x0000059C	BQ1_ALFULL_TH	buff1 描述子队列几乎满水线寄存器	5-74
0x000005A0	TX_RQ_START_ADDR	tx_rq 描述子队列起始地址寄存器	5-75
0x000005A4	TX_RQ_DEPTH	tx_rq 描述子队列深度寄存器	5-75
0x000005A8	TX_RQ_WR_ADDR	tx_rq 描述子队列写地址寄存器	5-75
0x000005AC	TX_RQ_RD_ADDR	tx_rq 描述子队列读地址寄存器	5-76
0x000005B0	TX_RQ_FREE_DESC_CNT	tx_rq 描述子队列可写入的描述子个数寄存器	5-76
0x000005B4	TX_RQ_ALEMPY_TH	tx_rq 描述子队列几乎空水线寄存器	5-77
0x000005B8	TX_RQ_REG_EN	与 tx_rq 描述子队列有关的使能寄存器	5-77
0x000005BC	TX_RQ_ALFULL_TH	tx_rq 描述子队列几乎满水线寄存器	5-78
0x000005C0	RAW_PMU_INT	PMU 模块原始中断状态寄存器	5-78



偏移地址	名称	描述	页码
0x000005C4	ENA_PMU_INT	PMU 模块原始中断使能寄存器	5-82
0x000005C8	STATUS_PMU_INT	PMU 模块中断状态寄存器	5-85
0x000005CC	DESC_WR_RD_ENA	cff 读写描述子使能寄存器	5-89
0x000005D8	IN_QUEUE_TH	rx_bq、tx_rq 入队中断流水线寄存器	5-90
0x000005DC	OUT_QUEUE_TH	rx_fq、tx_bq 出队中断流水线寄存器	5-90
0x000005E0	RX_BQ_IN_TIMEOUT_TH	rx_bq 入队超时原始中断流水线寄存器	5-91
0x000005E4	TX_RQ_IN_TIMEOUT_TH	tx_rq 入队超时原始中断流水线寄存器	5-91
0x000005E8	STOP_CMD	停止收、发包控制寄存器寄存器	5-92
0x000005EC	FLUSH_CMD	回收描述子使能寄存器	5-92
0x00000800	U_EEE_INTR_SRC	rx 和 tx 方向 lpi 状态寄存器	5-93
0x00000804	U_EEE_INTR_EN	rx 和 tx 方向中断屏蔽和使能寄存器	5-94
0x00000808	U_EEE_ENABLE	EEE 模块使能信号寄存器	5-96
0x0000080C	U_EEE_TIMER	LPI 时间计数器寄存器	5-97
0x00000810	U_EEE_LINK_STATUS	EEE 状态寄存器	5-97
0x00000814	U_EEE_TIME_CLK_CNT	计时脉冲计数寄存器	5-98
0x00000A00	PMT_CTRL_STAUTS	PMT 控制与状态寄存器	5-98
0x00000A04	FILTER_0_BYTE_MASK	PMT 第 0 套有效 byte 选择寄存器	5-100
0x00000A08	FILTER_1_BYTE_MASK	PMT 第 1 套有效 byte 选择寄存器	5-100
0x00000A0C	FILTER_2_BYTE_MASK	PMT 第 2 套有效 byte 选择寄存器	5-100
0x00000A10	FILTER_3_BYTE_MASK	PMT 第 3 套有效 byte 选择寄存器	5-101
0x00000A14	FILTER_COMMAND	PMT 模板选择和组播使能寄存器	5-101
0x00000A18	FILTER_OFFSET	计算 CRC 的位置偏移寄存器	5-103
0x00000A1C	FILTER0_1_CRC	软件期望 CRC 值 0 和 1 寄存器	5-103
0x00000A20	FILTER2_3_CRC	软件期望 CRC 值 2 和 3 寄存器	5-104



## 5.7 GSF 寄存器描述

### STATION\_ADDR\_LOW

STATION\_ADDR\_LOW 为本机 MAC 地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000000	STATION_ADDR_LOW	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	station_addr_low		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	station_addr_low	MAC_CORE 的 MAC 源地址低 32bit。

### STATION\_ADDR\_HIGH

STATION\_ADDR\_HIGH 为本机 MAC 地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000004	STATION_ADDR_HIGH	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved station_addr_high		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	station_addr_high	MAC_CORE 的 MAC 源地址高 16bit，可默认。

### DUPLEX\_SEL\_RGMII

DUPLEX\_SEL\_RGMII 为半双工选择寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000008		DUPLEX_SEL_RGMII		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								duplex_sel_rgmii
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	duplex_sel_rgmii	半双工选择信号。 0: 全双工; 1: 半双工。						

## FD\_FC\_TYPE

FD\_FC\_TYPE 为流控帧类型域寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000000C		FD_FC_TYPE		0x0000_8808				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				fd_fc_type			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	fd_fc_type	全双工模式下流控帧 TYPE 域。					

## COL\_DISTANCE

COL\_DISTANCE 为单次重传包长流水线寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000014		COL_DISTANCE		0x0000_0043					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						col_distance		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:10]	RO	reserved	保留。						
[9:0]	RW	col_distance	单次重传包长水线。						

## FC\_TX\_TIMER

FC\_TX\_TIMER 为流控时间参数寄存器。

Offset Address		Register Name		Total Reset Value					
0x0000001C		FC_TX_TIMER		0x0000_00FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						fc_tx_timer		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	fc_tx_timer	发送流控帧时间参数，以 512bit 为时间单位。 百兆模式下，为 128 个时钟周期；千兆模式下，为 64 个时钟周期。						

## FD\_FC\_ADDR\_LOW

FD\_FC\_ADDR\_LOW 为流控帧目的地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000020		FD_FC_ADDR_LOW		0xC200_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fd_fc_addr_low							
Reset	1 1 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:0]	RW	fd_fc_addr_low	流控帧 DA 地址低 32bit。					



## FD\_FC\_ADDR\_HIGH

FD\_FC\_ADDR\_HIGH 为流控帧目的地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00000024				FD_FC_ADDR_HIGH				0x0000_0180																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												fd_fc_addr_high																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	fd_fc_addr_high		流控帧 DA 地址高 16bit。																											

## IPG\_TX\_TIMER

IPG\_TX\_TIMER 为发送帧间隙寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00000030				IPG_TX_TIMER				0x0000_0008																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ipg_tx_timer																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7:0]	RW	ipg_tx_timer		发送帧间隙，单位为 byte。																											

## PAUSE\_THR

PAUSE\_THR 为发送流控帧间隙寄存器。





Offset Address		Register Name		Total Reset Value					
0x00000038		PAUSE_THR		0x0000_002F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				pause_thr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	pause_thr	流控帧间隔时间，若流控时间大于间隔时间，MAC 自动发送流控帧。以 512bit 为时间单位。 百兆模式下，为 128 个时钟周期；千兆模式下，为 64 个时钟周期。						

## MAX\_FRM\_SIZE

MAX\_FRM\_SIZE 为最大帧长寄存器。

Offset Address		Register Name		Total Reset Value					
0x0000003C		MAX_FRM_SIZE		0x0000_05EE					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				max_frm_size				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	1 1 1 0	1 1 1 0	
Bits	Access	Name	Description						
[31:14]	RO	reserved	保留。						
[13:0]	RW	max_frm_size	MAC 部分允许的最大帧长。 当接收到大于该帧长的帧时，将该帧认为超长错误帧；当发送帧超过该帧长的帧时，将发送帧截断后做为错帧发送。						

## PORT\_MODE

PORT\_MODE 为端口状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000040		PORT_MODE		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							port_mode	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:3]	RO	reserved	保留。						
[2:0]	RW	port_mode	指示当前 MAC 端口工作的模式。 000: 10Mbps; 001: 100Mbps; 101: 1000Mbps; 其他: 保留。						

## PORT\_EN

PORT\_EN 为通道使能寄存器。

Offset Address		Register Name		Total Reset Value						
0x00000044		PORT_EN		0x0000_0006						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tx_en	rx_en	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	tx_en	发送通道使能位。 0: 不使能; 1: 使能。							
[1]	RW	rx_en	接收通道使能位。 0: 不使能; 1: 使能。							



[0]	RO	reserved	保留。
-----	----	----------	-----

## PAUSE\_EN

PAUSE\_EN 为流控使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000048		PAUSE_EN		0x0000_0007					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							tx_fdfc	rx_fdfc
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	tx_fdfc	全双工模式下发送流控帧使能。 0: 不使能; 1: 使能。						
[0]	RW	rx_fdfc	全双工模式下响应流控帧使能。 0: 不使能。 1: 使能。						

## SHORT\_RUNTS\_THR

SHORT\_RUNTS\_THR 为超短帧界限寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000050		SHORT_RUNTS_THR		0x0000_000C				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							short_runts_thr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0
Bits	Access	Name	Description					
[31:5]	RO	reserved	保留。					
[4:0]	RW	short_runts_thr	短帧、超短帧界限(只用于统计)。					



## DROP\_UNK\_CTL\_FRM

DROP\_UNK\_CTL\_FRM 为未知控制帧丢弃使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000054		DROP_UNK_CTL_FRM		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								drop_unk_ctl_frm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	drop_unk_ctl_frm	未知控制帧处理位。 0: 正常转发未知控制帧; 1: 丢弃未知控制帧。						

## TRANSMIT\_CONTROL

TRANSMIT\_CONTROL 为常用配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000060		TRANSMIT_CONTROL		0x0000_00D0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						pad_enable	crc_add	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7]	RW	pad_enable	发送添加 PAD 使能。 0: 不使能; 1: 使能。						



[6]	RW	crc_add	发送添加 FCS 使能。 0: 使能; 1: 不使能。
[5:0]	RO	reserved	保留。

## REC\_FILT\_CONTROL

REC\_FILT\_CONTROL 为接收帧过滤控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00000064				REC_FILT_CONTROL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								crc_err_pass	pause_frm_pass	vlan_drop_en	bc_drop_en	mc_match_en	uc_match_en		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:6]		[5]		[4]		[3]		[2]																							
Access	RO		RW		RW		RW		RW																							
Name	reserved		crc_err_pass		pause_frm_pass		vlan_drop_en		bc_drop_en																							
Description	保留。		过滤 CRC 错误帧使能。 0: 不使能; 1: 使能。		过滤流控帧使能。 0: 不使能, 流控使能有效才起作用, 要上传至软件; 1: 使能, 流控使能有效才起作用, 不上传至软件。		过滤 VLAN 帧使能。 0: 不使能; 1: 使能。		过滤广播帧使能。 0: 不使能; 1: 使能。																							



[1]	RW	mc_match_en	过滤 DA 不匹配的多播帧使能。 0: 不使能; 1: 使能。
[0]	RW	uc_match_en	过滤 DA 不匹配的单播帧使能。 0: 不使能; 1: 使能。

## PORT\_MC\_ADDR\_LOW

PORT\_MC\_ADDR\_LOW 为多播地址寄存器。

Offset Address	Register Name	Total Reset Value						
0x00000068	PORT_MC_ADDR_LOW	0x0000_0000						
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0							
Name	port_mc_addr_low							
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0							
Bits	Access	Name	Description					
[31:0]	RW	port_mc_addr_low	多播地址低 32bit, 用于判断多播帧是否匹配。					

## PORT\_MC\_ADDR\_HIGH

PORT\_MC\_ADDR\_HIGH 为多播地址寄存器。

Offset Address	Register Name	Total Reset Value						
0x0000006C	PORT_MC_ADDR_HIGH	0x0000_0000						
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0							
Name	reserved			port_mc_addr_high				
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0							
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	port_mc_addr_high	多播地址高 16bit, 用于判断多播帧是否匹配。					

## MAC\_CLR

MAC\_CLR 为 MAC 清零寄存器。



Offset Address		Register Name		Total Reset Value							
0x00000070		MAC_CLR		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							soft_rst_mdio	reserved	soft_rst_rx	soft_rst_tx
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	soft_rst_mdio	MDIO 清零信号。 0: 无效; 1: 有效。								
[2]	RO	reserved	保留。								
[1]	RW	soft_rst_rx	接收清零信号。 0: 无效; 1: 有效。								
[0]	RW	soft_rst_tx	发送清零信号。 0: 无效; 1: 有效。								

## RX\_OCTETS\_OK\_CNT

RX\_OCTETS\_OK\_CNT 为 RX\_OCTETS\_TOTAL\_OK 为接收有效帧的字节统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000080		RX_OCTETS_OK_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_octets_ok_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_octets_ok_cnt	接收有效帧字节统计，范围包括 DA~FCS。					



## RX\_OCTETS\_BAD\_CNT

RX\_OCTETS\_BAD\_CNT 为 RX\_OCTETS\_BAD 为接收错误帧字节统计寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000084	RX_OCTETS_BAD_CNT	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	rx_octets_bad_cnt		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	rx_octets_bad_cnt	接收错帧字节统计, 包括 CRC 错误, 对齐错误等。

## RX\_UC\_PKTS

RX\_UC\_PKTS 为 MAC 接收单播帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000088	RX_UC_PKTS	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	rx_uc_pkts_cnt		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	rx_uc_pkts_cnt	接收单播帧数统计(不包括 bad 帧)。

## RX\_MC\_PKTS

RX\_MC\_PKTS 为接收多播帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0000008C	RX_MC_PKTS	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	rx_mc_pkts_cnt		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	rx_mc_pkts_cnt	接收多播帧数统计(不包括 bad 帧)。





## RX\_BC\_PKTS

RX\_BC\_PKTS 为接收的广播帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000090	RX_BC_PKTS	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	<a href="#">rx_bc_pkts_cnt</a>		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	rx_bc_pkts_cnt	接收广播帧数统计(不包括 bad 帧)。

## RX\_PKTS\_64OCTETS

RX\_PKTS\_64OCTETS 为接收到帧长为 64byte 的帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000094	RX_PKTS_64OCTETS	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	<a href="#">rx_pks_64oct_cnt</a>		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	rx_pks_64oct_cnt	接收帧长为 64byte 的帧数统计(包括 bad 帧)。

## RX\_PKTS\_65TO127OCTETS

RX\_PKTS\_65TO127OCTETS 为接收到帧长为 65~127byte 的帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000098	RX_PKTS_65TO127OCTETS	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	<a href="#">rx_pks_65to127_oct_cnt</a>		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	rx_pks_65to127_oct_cnt	接收帧长为 65byte~127byte 的帧数统计(包括 bad 帧)。



## RX\_PKTS\_128TO255OCTETS

RX\_PKTS\_128TO255OCTETS 为接收到帧长为 128~255byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000009C		RX_PKTS_128TO255OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_128to255_oct_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_128to255_oct_cnt	接收帧长为 128byte~255byte 的帧数统计(包括 bad 帧)。					

## RX\_PKTS\_255TO511OCTETS

RX\_PKTS\_255TO511OCTETS 为接收到帧长为 256~511byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000A0		RX_PKTS_255TO511OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_256to511_oct_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_256to511_oct_cnt	接收帧长为 256byte~511byte 的帧数统计(包括 bad 帧)。					

## RX\_PKTS\_512TO1023OCTETS

RX\_PKTS\_512TO1023OCTETS 为接收到帧长为 512~1023byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000A4		RX_PKTS_512TO1023OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_512to1023_oct_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_512to1023_oct_cnt	接收帧长为 512byte~1023byte 的帧数统计(包括 bad 帧)。					



## RX\_PKTS\_1024TO1518OCTETS

RX\_PKTS\_1024TO1518OCTETS 为接收帧长为 1024~1518byte 的帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x000000A8	RX_PKTS_1024TO1518OCTETS	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_pkts_1024to1518_oct_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_pkts_1024to1518_oct_cnt	接收帧长为 1024byte~1518byte 的帧数统计(包括 bad 帧)。						

## RX\_PKTS\_1519TOMAXOCTETS

RX\_PKTS\_1519TOMAXOCTETS 为接收到帧长为 1519~最大 byte 的帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x000000AC	RX_PKTS_1519TOMAXOCTETS	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_pkts_1519tomax_oct_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_pkts_1519tomax_oct_cnt	接收帧长为 1519byte~最大 byte 的帧数统计(包括 bad 帧)。						

## RX\_FCS\_ERRORS

RX\_FCS\_ERRORS 为接收 CRC 检验错误的帧数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x000000B0		RX_FCS_ERRORS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_fcs_errors							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_fcs_errors	CRC 检测错误的帧数统计(不包括短帧)。					

## RX\_TAGGED

RX\_TAGGED 为接收带 TAG 的帧统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000B4		RX_TAGGED		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_tagged							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_tagged	接收带 TAG 的帧统计。					

## RX\_DATA\_ERR

RX\_DATA\_ERR 为接收数据错误帧统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000B8		RX_DATA_ERR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_data_err							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_data_err	接收数据错误帧统计。					

## RX\_ALIGN\_ERRORS

RX\_ALIGN\_ERRORS 为接收数据非字节对齐错误帧统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x000000BC		RX_ALIGN_ERRORS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_align_errors							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_align_errors	接收数据非字节对齐错误帧统计。					

## RX\_LONG\_ERRORS

RX\_LONG\_ERRORS 为接收帧长大于允许的最大长度的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000C0		RX_LONG_ERRORS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_long_errors							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_long_errors	帧长大于允许的最大长度的帧数统计，CRC 正确。					

## RX\_JABBER\_ERRORS

RX\_JABBER\_ERRORS 为接收帧长大于允许的最大长度的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000C4		RX_JABBER_ERRORS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_jabber_errors							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_jabber_errors	帧长大于允许的最大长度的帧数统计，CRC 错误或 byte 数不是整数。					



## RX\_PAUSE\_MACCONTROL\_FRAMCOUNTER

RX\_PAUSE\_MACCONTROL\_FRAMCOUNTER 为接收到的流控帧数统计寄存器。

Offset Address	Register Name	Total Reset Value	
0x000000C8	RX_PAUSE_MACCONTROL_FRAMCOUNTER	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	rx_pause_maccontrol_framecounter		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	rx_pause_maccontrol_framecounter	接收到的流控帧数统计(当 CRC 检测有效时, 需 CRC 正确)。

## RX\_UNKNOWN\_MACCONTROL\_FRAMCOUNTER

RX\_UNKNOWN\_MACCONTROL\_FRAMCOUNTER 为 MAC 接收到的非流控控制帧数统计寄存器。

Offset Address	Register Name	Total Reset Value	
0x000000CC	RX_UNKNOWN_MACCONTROL_FRAMCOUNTER	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	rx_unknown_maccontrol_framecounter		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	rx_unknown_maccontrol_framecounter	接收到的非流控控制帧数统计。

## RX\_VERY\_LONG\_ERR\_CNT

RX\_VERY\_LONG\_ERR\_CNT 为接收到超长帧统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x000000D0		RX_VERY_LONG_ERR_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_very_long_err_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_very_long_err_cnt	接收到的超长帧(长度大于最大帧长的 2 倍)统计。					

## RX\_RUNT\_ERR\_CNT

RX\_RUNT\_ERR\_CNT 为接收到帧长小于 64byte 大于等于 12byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000D4		RX_RUNT_ERR_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_runt_err_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_runt_err_cnt	帧长小于 64byte, 但大于或等于 12byte 的帧数统计。					

## RX\_SHORT\_ERR\_CNT

RX\_SHORT\_ERR\_CNT 为接收帧长小于 96bit 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000D8		RX_SHORT_ERR_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_short_err_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_short_err_cnt	帧长小于 12byte 的帧数统计。					

## OCTETS\_TRANSMITTED\_OK

OCTETS\_TRANSMITTED\_OK 为发送成功的好包字节数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x00000100		OCTETS_TRANSMITTED_OK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	octets_transmitted_ok							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	octets_transmitted_ok	发送成功的好包字节数(不包括前导码和 SFD)。					

## OCTETS\_TRANSMITTED\_BAD

OCTETS\_TRANSMITTED\_BAD 为发送成功的坏包字节数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000104		OCTETS_TRANSMITTED_BAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	octets_transmitted_bad							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	octets_transmitted_bad	发送成功的坏包的字节数。					

## TX\_UC\_PKTS

TX\_UC\_PKTS 为发送的单播帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000108		TX_UC_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_uc_pkts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_uc_pkts	发送的单播帧数统计(不包括 bad 包)。					





## TX\_MC\_PKTS

TX\_MC\_PKTS 为发送的多播帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value				
	0x0000010C	TX_MC_PKTS	0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20				
	19 18 17 16	15 14 13 12	11 10 9 8				
	7 6 5 4	3 2 1 0					
Name	tx_mc_pkts						
Reset	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description				
[31:0]	RC	tx_mc_pkts	发送的多播帧数统计(不包括 bad 包)。				

## TX\_BC\_PKTS

TX\_BC\_PKTS 为发送的广播帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value				
	0x00000110	TX_BC_PKTS	0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20				
	19 18 17 16	15 14 13 12	11 10 9 8				
	7 6 5 4	3 2 1 0					
Name	tx_bc_pkts						
Reset	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description				
[31:0]	RC	tx_bc_pkts	发送的广播帧数(不包括 bad 包)。				

## TX\_PKTS\_64OCTETS

TX\_PKTS\_64OCTETS 为发送帧长为 64byte 的帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value				
	0x00000114	TX_PKTS_64OCTETS	0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20				
	19 18 17 16	15 14 13 12	11 10 9 8				
	7 6 5 4	3 2 1 0					
Name	tx_pkts_64octets						
Reset	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description				
[31:0]	RC	tx_pkts_64octets	发送的帧长为 64byte 的帧数统计(包括 bad 包)。				



## TX\_PKTS\_65TO127OCTETS

TX\_PKTS\_65TO127OCTETS 为发送帧长为 65~127byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000118		TX_PKTS_65TO127OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_65to127octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_65to127octets	发送帧长为 65~127byte 的帧数统计(包括 bad 包)。					

## TX\_PKTS\_128TO255OCTETS

TX\_PKTS\_128TO255OCTETS 为发送帧长为 128~255byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000011C		TX_PKTS_128TO255OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_128to255octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_128to255octets	发送帧长为 128~255byte 的帧数统计(包括 bad 包)。					

## TX\_PKTS\_255TO511OCTETS

TX\_PKTS\_255TO511OCTETS 为发送帧长为 256~511byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000120		TX_PKTS_255TO511OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_256to511octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_256to511octets	发送帧长为 256~511byte 的帧数统计(包括 bad 包)。					



## TX\_PKTS\_512TO1023OCTETS

TX\_PKTS\_512TO1023OCTETS 为发送帧长为 512~1023byte 节的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000124		TX_PKTS_512TO1023OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_512to1023octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_512to1023octets	发送帧长为 512~1023byte 的帧数统计(包括 bad 包)。					

## TX\_PKTS\_1024TO1518OCTETS

TX\_PKTS\_1024TO1518OCTETS 为发送帧长为 1024~1518byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000128		TX_PKTS_1024TO1518OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_1024to1518octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_1024to1518octets	发送帧长为 1024~1518byte 的帧数统计(包括 bad 包)。					

## TX\_PKTS\_1519TOMAXOCTETS

TX\_PKTS\_1519TOMAXOCTETS 为发送帧长大于 1519byte 的帧数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x0000012C		TX_PKTS_1519TOMAXOCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_1519tomaxoctes							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_1519tomaxoctes	发送帧长大于等于 1519byte 的帧数(包括 bad 包)。					

### TX\_EXC\_COL\_ERR\_CNT

TX\_EXC\_COL\_ERR\_CNT 为 TX\_EXC\_COL\_ERR\_CNT 达到最大重传次数的包计数器。

Offset Address		Register Name		Total Reset Value				
0x00000144		TX_EXC_COL_ERR_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_exc_col_err_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tx_exc_col_err_cnt	达到最大重传次数的包计数器。					

### TX\_EXCESSIVE\_LENGTH\_DROP

TX\_EXCESSIVE\_LENGTH\_DROP 为超过设定的最大帧长导致发送失败次数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000014C		TX_EXCESSIVE_LENGTH_DROP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_excessive_length_drop							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_excessive_length_drop	由于超过设定的最大帧长而导致发送失败的次数统计。					



## TX\_UNDERRUN

TX\_UNDERRUN 为帧发送过程中发生内部错误而导致发送失败的次数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000150		TX_UNDERRUN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_underrun							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_underrun	帧发送过程中发生内部错误而导致发送失败的次数统计。					

## TX\_TAGGED

TX\_TAGGED 为发送的 VLAN 帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000154		TX_TAGGED		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_tagged							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_tagged	发送的 VLAN 帧数，Type 字段等于 0x8100 的报文。					

## TX\_CRC\_ERROR

TX\_CRC\_ERROR 为发送帧长正确 CRC 错误的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000158		TX_CRC_ERROR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_crc_error							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_crc_error	发送帧长正确而 CRC 错误的帧数目统计。					



## TX\_PAUSE\_FRAMES

TX\_PAUSE\_FRAMES 为发送 PAUSE 帧数统计寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0000015C	TX_PAUSE_FRAMES	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	tx_pause_frames		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:0]	RC	tx_pause_frames
			发送的 pause 帧数。

## LINE\_LOOP\_BACK

LINE\_LOOP\_BACK 为 MAC 线路侧环回寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000001A8	LINE_LOOP_BACK	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:1]	RO	reserved
			保留。
	[0]	RW	line_loop_back
			MAC 线路侧环回使能。 0: 不使能; 1: 使能。

## CF\_CRC\_STRIP

CF\_CRC\_STRIP 为 CRC 剥离使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x000001B0		CF_CRC_STRIP		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cf_crc_strip
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	cf_crc_strip	MAC 剥离接收方向 CRC 使能。 0: 不使能, 上报包长包括 CRC 的 4 字节; 1: 使能, 剥离后上报包长不包括 CRC 的 4 字节。						

## MODE\_CHANGE\_EN

MODE\_CHANGE\_EN 为端口模式改变使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001B4		MODE_CHANGE_EN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								mode_change_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	mode_change_en	port_mode 改变生效使能。 0: 不使能; 1: 使能。						



## COL\_SLOT\_TIME

COL\_SLOT\_TIME 为半双工冲突重传间隔时间计数器寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001C0		COL_SLOT_TIME		0x0000_40FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cf2bc_slottime			cf2bc_random_seed		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:8]	RW	cf2bc_slottime	半双工冲突重传单位间隔时间。						
[7:0]	RW	cf2bc_random_seed	半双工冲突重传随机倍数基数。						

## LOOP\_REG

LOOP\_REG 为环回补充寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001DC		LOOP_REG		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							cf_ext_drive_lp	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	cf_ext_drive_lp	线路侧环回时，MAC 数据的读写使能信号产生。 0：线路侧环回时，MAC 数据的读写使能信号由 MAC 内部产生； 1：线路侧环回时，MAC 数据的读写使能信号根据下行 FIFO 读 MAC 使能信号产生。						
[0]	RO	reserved	保留。						





## RECV\_CONTROL

RECV\_CONTROL 为接收控制寄存器。

Offset Address		Register Name		Total Reset Value						
0x000001E0		RECV_CONTROL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							runt_pkt_en	strip_pad_en	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:5]	RO	reserved	保留。							
[4]	RW	runt_pkt_en	接收超短帧透穿功能。 0: 丢弃，不上传给软件； 1: 上传给软件。							
[3]	RW	strip_pad_en	剥离接收帧的 PAD 使能。 0: 不使能； 1: 使能。							
[2:0]	RO	reserved	保留。							

## VLAN\_CODE

VLAN\_CODE 为 VLAN Code 寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001E8		VLAN_CODE		0x0000_8100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cf_vlan_code				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	cf_vlan_code	Ethernet Type 域配置。						



## RX\_OVERRUN\_CNT

RX\_OVERRUN\_CNT 为 FIFO 溢出统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001EC		RX_OVERRUN_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_overnrun_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_overnrun_cnt	MAC 应用侧接收 FIFO 溢出统计。						

## RX\_LENGTHFIELD\_ERR\_CNT

RX\_LENGTHFIELD\_ERR\_CNT 为含 PAD 帧统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001F4		RX_LENGTHFIELD_ERR_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_lengthfield_err_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_lengthfield_err_cnt	MAC 剥离 PAD 使能有效，接收到的含 PAD 的帧帧长不等于 64 的个数。						

## RX\_FAIL\_COMMA\_CNT

RX\_FAIL\_COMMA\_CNT 为字节定界 COMMA 统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001F8		RX_FAIL_COMMA_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_fail_comma_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_fail_comma_cnt	字节定界过程中同时出现两个或者两个以上 comma 码的个数。						



## MAC\_SA\_ADDR\_L

MAC\_SA\_ADDR\_L 为源 MAC 地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000200		MAC_SA_ADDR_L		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mac_sa_addr_l							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mac_sa_addr_l	PMU 使用的配置的本机 MAC 地址的低 32bit, 用来填充 SA 域的低 32bit。					

## MAC\_SA\_ADDR\_H

MAC\_SA\_ADDR\_H 为源 MAC 地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000204		MAC_SA_ADDR_H		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mac_sa_addr_h			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	mac_sa_addr_h	PMU 使用的本机 MAC 地址的高 16bit。					

## MAC\_DA\_ADDR\_L

MAC\_DA\_ADDR\_L 为目的 MAC 地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x00000208		MAC_DA_ADDR_L		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mac_da_addr_l							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mac_da_addr_l	PMU 使用的配置的目的 MAC 地址的低 32bit, 用来填充 DA 域的低 32bit。					

## MAC\_DA\_ADDR\_H

MAC\_DA\_ADDR\_H 为目的 MAC 地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000020C		MAC_DA_ADDR_H		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	crf_tx_max_packet			mac_da_addr_h			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:16]	RW	crf_tx_max_packet	PMU 中允许的 normal 包和 sg 包最大长度。					
[15:0]	RW	mac_da_addr_h	PMU 使用的目的 MAC 地址的高 16bit。					

## CRF\_MIN\_PACKET

CRF\_MIN\_PACKET 为最小过滤包长寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00000210		CRF_MIN_PACKET		0x0000_0F2A																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tso_version								reserved				crf_tx_min_packet				reserved		crf_rx_min_packet													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	0	1	0	1	0
Bits	Access	Name		Description																												
[31:20]	RO	tso_version		TSO 版本寄存器： 100：单字节拼接版本； 200：sg 和 coe 版本； 300：tso 版本。 其他：保留。																												
[19:14]	RO	reserved		保留。																												
[13:8]	RW	crf_tx_min_packet		发送方向配置的最小发送包长度，默认为 15byte。																												
[7:6]	RO	reserved		保留。																												
[5:0]	RW	crf_rx_min_packet		接收方向配置的最小发送包长度，默认为 42byte。																												

## CONTROL\_WORD

CONTROL\_WORD 为控制寄存器。

Offset Address		Register Name		Total Reset Value																														
0x00000214		CONTROL_WORD		0x00C0_0640																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved								crf_tx_standard		reserved		crf_ip_flow_ctrl		crf_ctrl_flow_ctrl		reserved		crf_filt_unused_pkg		crf_bm_flow_ctrl		crf_peel_dsa		crf_add_da_sa		crf_large_packet							
Reset	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0	0		
Bits	Access	Name		Description																														
[31:26]	RO	reserved		保留。																														



[25]	RW	crf_tx_standard	发送 FIFO 的发送水线设置标准。 0: 按包和将空水线设置。当发送 FIFO 中有一个完整的包, 或者发送 FIFO 中的有效数据个数大于等于 4 倍的发送水线时, 即向 MAC 发送读请求; 1: 按包设置; 当发送 FIFO 中有一个完整的包时, 才向 MAC 发送读请求。
[24:22]	RO	reserved	保留。
[21]	RW	crf_ip_flow_ctrl	IP 报文限速使能。 0: 不限速; 1: 限速。
[20]	RW	crf_ctrl_flow_ctrl	控制报文限速使能。 0: 不限速; 1: 限速。
[19:18]	RO	reserved	保留。
[17]	RW	crf_filt_unused_pk g	过滤非法报文控制。 0 不过滤; 1: 过滤。
[16]	RW	crf_bm_flow_ctrl	对广播或多播报文流控控制。 0: 不流控; 1: 流控。
[15]	RW	crf_peel_dsa	剥离 DA/SA 控制。 0: 不剥离; 1: 剥离。
[14]	RW	crf_add_da_sa	添加 DA/SA 控制。 0: 不添加; 1: 添加。
[13:0]	RW	crf_large_packet	配置的最大包长度, 默认为 1600byte(PMU 使用的最大包长)。

## FLOW\_CTRL\_PKG\_THRSLD

FLOW\_CTRL\_PKG\_THRSLD 为限速包个数寄存器。



Offset Address		Register Name		Total Reset Value				
0x00000218		FLOW_CTRL_PKG_THRSLD		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	crf_ip_pkg_thrsl				crf_ctrl_pkg_thrsl			
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	crf_ip_pkg_thrsl	IP 报文的包上限，当在 T 时间内接收的 IP 报文超过该数，则进行限速，否则，不限速。					
[15:0]	RW	crf_ctrl_pkg_thrsl	控制报文的包上限，当在 T 时间内接收的控制报文超过该数，则进行限速，否则，不限速。					

## CRF\_FLOW\_TIME\_THRSLD

CRF\_FLOW\_TIME\_THRSLD 为限速时间寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000021C		CRF_FLOW_TIME_THRSLD		0x0000_00FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						crf_flow_time_thrsl	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RW	crf_flow_time_thrsl	限速处理的时间，以 125 $\mu$ s 为单位。 限速时间 $T=(crf\_flow\_time\_thrsl+1)(125 \mu s)$					

## FILTER\_LISTm

FILTER\_LISTm(m=0~15)为过滤列表寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000220+4*m		FILTER_LISTm		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_filt_cfg0	crf_filt_id0	crf_filt_frm_type0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:18]	RO	reserved	保留。						
[17]	RW	crf_filt_cfg_m	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。						
[16]	RW	crf_filt_id_m	表示 TYPE 为哪种类型。 0: MAC 帧类型; 1: IP 类型。						
[15:0]	RW	crf_filt_frm_type_m	配置的过滤类型。 当 ID=0 时, TYPE 的 16bit 都有效; 当 ID=1 时, TYPE 的低 8bit 有效, 高 8bit 忽略。						

## CRF\_UDP\_NO

CRF\_UDP\_NO 为 UDP 端口号寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000260		CRF_UDP_NO		0xFFFF_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	crf_udp_max_no				reserved			
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	crf_udp_max_no	UDP 端口号最大值。					
[15:0]	RO	reserved	保留。					





## CRF\_TX\_FIFO\_THRSLD

CRF\_TX\_FIFO\_THRSLD 为发送 FIFO 水位寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000264		CRF_TX_FIFO_THRSLD		0x0271_017C					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	crf_tx_p_full_th			reserved	crf_tx_p_empty_th			
Reset	0 0 0 0	0 0 1 0	0 1 1 1	0 0 0 1	0 0 0 0	0 0 0 1	0 1 1 1	1 1 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	crf_tx_p_full_th	发送 FIFO 的高水位。 当发送 FIFO 中的有效数据个数(4(crf_tx_p_full_th))时，停止从 SDRAM 中搬运包。 此水位设置后，要保持发送 FIFO 中预留空间容许接收一个最大帧长(在 CONTROL_WORD(控制寄存器)的 bit[13:0]中设置)的包，即需要满足 $CONTROL\_WORD[13:0] < (8192 - 4(crf\_tx\_p\_full\_th))$ 。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	crf_tx_p_empty_th	发送的 FIFO 的低水位。 当发送 FIFO 中的有效数据个数(4(crf_tx_p_empty_th))时，允许从发送 FIFO 中读取数据。建议此水位最小设置为 0x14。						

## CRF\_RX\_FIFO\_THRSLD

CRF\_RX\_FIFO\_THRSLD 为接收 FIFO 水位寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000268		CRF_RX_FIFO_THRSLD		0x0E10_0200					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	crf_rx_p_full_th			reserved	crf_rx_p_empty_th			
Reset	0 0 0 0	1 1 1 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						



[27:16]	RW	crf_rx_p_full_th	接收 FIFO 的高水位。 当接收 FIFO 中的有效数据个数 4(crf_rx_p_full_th)时，不允许向接收 FIFO 中写入新包。 此水位设置后，要保持接收 FIFO 中预留空间容许接收一个最大帧长(在 CONTROL_WORD(控制寄存器)的 bit[13:0]中设置)的包，即需要满足 $CONTROL\_WORD[13:0] < (8192 - 4(crf\_rx\_p\_full\_th))$ 。
[15:12]	RO	reserved	保留。
[11:0]	RW	crf_rx_p_empty_th	接收 FIFO 的低水位。当接收 FIFO 中的有效数据 ((4(crf_rx_p_empty_th))时，允许从接收 FIFO 中读取数据。该水位至少需要设置为 0x200。

## ERR\_GIVEN\_PKG\_CNT

ERR\_GIVEN\_PKG\_CNT 为因 MAC 标记错误帧尾而被丢弃的包统计计数器。

	Offset Address	Register Name	Total Reset Value						
	0x00000280	ERR_GIVEN_PKG_CNT	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	err_given_pkg_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[31:0]	RC	err_given_pkg_cnt	因 MAC 标记错误帧尾而被丢弃的包统计计数。					

## SHORT\_ERR\_PKT\_CNT

SHORT\_ERR\_PKT\_CNT 为短错包计数器寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x00000284	SHORT_ERR_PKT_CNT	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	short_err_pkt_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[31:0]	RW	short_err_pkt_cnt	短错包计数。					



## ERR\_FRM\_TYPE\_CNT

ERR\_FRM\_TYPE\_CNT 为因帧类型不在过滤列表内而被丢弃的包统计计数器寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000288		ERR_FRM_TYPE_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_frm_type_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	err_frm_type_cnt	因帧类型不在过滤列表内而被丢弃的包统计计数。					

## ERR\_IP\_TYPE\_CNT

ERR\_IP\_TYPE\_CNT 为因 IP 类型不在过滤列表内而被丢弃的包统计计数器寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000028C		ERR_IP_TYPE_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_ip_type_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	err_ip_type_cnt	因 IP 类型不在过滤列表内而被丢弃的包统计计数。					

## ERR\_UDP\_CNT

ERR\_UDP\_CNT 为因 UDP 端口号不在设定范围内而被过滤的包统计计数器寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000290		ERR_UDP_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_udp_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	err_udp_cnt	因 UDP 端口号不在设定范围内而被过滤的包统计计数。					



## OVER\_FLOW\_CNT

OVER\_FLOW\_CNT 为因接收 FIFO 满而丢弃的包的统计计数器寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000294	OVER_FLOW_CNT	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	over_flow_cnt		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:0]	RC	over_flow_cnt
	Description		
	因接收 FIFO 满而丢弃的包的统计计数		

## OVER\_LENGTH\_CNT

OVER\_LENGTH\_CNT 为因超过 PMU 的最大长度而丢弃包的统计计数器寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000298	OVER_LENGTH_CNT	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	over_length_cnt		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:0]	RC	over_length_cnt
	Description		
	因超过 PMU 的最大长度而丢弃包的统计计数。		

## RX\_PAUSE\_EN

RX\_PAUSE\_EN 为 rx 方向流控帧使能寄存器。



Offset Address		Register Name		Total Reset Value						
0x000002A4		RX_PAUSE_EN		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							rx_fifo_pause_en	rx_bq_pause_en	rx_fq_pause_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	rx_fifo_pause_en	rx_fifo 的流控帧使能。 0: 不使能; 1: 使能。							
[1]	RW	rx_bq_pause_en	rx_bq 的流控帧使能。 0: 不使能; 1: 使能。							
[0]	RW	rx_fq_pause_en	rx_fq 的流控帧使能。 0: 不使能; 1: 使能。							

## CRF\_CFF\_DATA\_NUM

CRF\_CFF\_DATA\_NUM 为配置 FIFO 数据个数寄存器。

Offset Address		Register Name		Total Reset Value				
0x000002A8		CRF_CFF_DATA_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	crf_rx_cfg_num				crf_tx_cfg_num			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	crf_rx_cfg_num	rx_fq FIFO 中剩余有效描述子个数。					
[15:0]	RW	crf_tx_cfg_num	tx_bq FIFO 中剩余有效描述子个数。					



## FLOW\_OUT\_IP\_CNT

FLOW\_OUT\_IP\_CNT 为 IP 报文限速丢弃的包统计计数器寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000002AC	FLOW_OUT_IP_CNT	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	flow_out_ip_cnt		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	flow_out_ip_cnt	IP 报文限速丢弃的包统计计数。

## FLOW\_OUT\_CTRL\_CNT

FLOW\_OUT\_CTRL\_CNT 为控制报文限速丢弃的包统计计数器寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000002B0	FLOW_OUT_CTRL_CNT	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	flow_out_ctrl_cnt		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RC	flow_out_ctrl_cnt	控制报文限速丢弃的包统计计数。

## CRF\_TX\_PAUSE

CRF\_TX\_PAUSE 为发送流控控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000340		CRF_TX_PAUSE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								crf_tx_pause_auto
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	crf_tx_pause_auto	发送流控控制寄存器，决定 MAC 发送流控的方式。 0: MAC 根据实际流量决定是否发送流控帧，当 PMU 的接收 FIFO 满或将满时，MAC 会自动发送流控帧； 1: 强制 MAC 发送流控帧。						

## CRF\_RX\_LEFT\_NUM

CRF\_RX\_LEFT\_NUM 为 CRF\_RX\_ADDR\_NUM 为限速接收地址个数寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000344		CRF_RX_LEFT_NUM		0x0000_000A				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						crf_rx_left_num	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RW	crf_rx_left_num	当下行配置 FIFO 中剩余地址个数小于该数时，将只通过控制报文，数据报文被全部丢弃(默认配置 0 即可)。					

## CRF\_CTRL\_0\_TYPE

CRF\_CTRL\_0\_TYPE 为控制报文类型 0 寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000348		CRF_CTRL_0_TYPE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_ctrl_0_type				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RO	crf_ctrl_0_type	配置的控制报文类型 0，当接收报文的帧类型与之相同，则认为该报文是控制报文。						

## CRF\_CTRL\_1\_TYPE

CRF\_CTRL\_1\_TYPE 为控制报文类型 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0000034C		CRF_CTRL_1_TYPE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_ctrl_1_type				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RO	crf_ctrl_1_type	配置的控制报文类型 1，当接收报文的帧类型与之相同，则认为该报文是控制报文。						

## CRF\_CTRL\_2\_TYPE

CRF\_CTRL\_2\_TYPE 为控制报文类型 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000350		CRF_CTRL_2_TYPE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_ctrl_2_type				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						





[15:0]	RO	crf_ctrl_2_type	配置的控制报文类型 2，当接收报文的帧类型与之相同，则认为该报文是控制报文。
--------	----	-----------------	--

## CRF\_CTRL\_3\_TYPE

CRF\_CTRL\_3\_TYPE 为控制报文类型 3 寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x00000354	CRF_CTRL_3_TYPE	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_ctrl_3_type				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	crf_ctrl_3_type	配置的控制报文类型 3，当接收报文的帧类型与之相同，则认为该报文是控制报文。						

## CRF\_BM\_PKT\_THRSLD

CRF\_BM\_PKT\_THRSLD 为广播和多播报文的限速处理包个数寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x00000358	CRF_BM_PKT_THRSLD	0x0000_0001						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_bm_pkt_thrslld				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	crf_bm_pkt_thrslld	广播和多播报文的包上限，当在限速单位时间内接收的广播或多播报文超过该数，则进行限速，否则，不限速。						

## CRF\_BM\_TIME\_THRSLD

CRF\_BM\_TIME\_THRSLD 为广播和多播报文的限速时间计数寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000035C		CRF_BM_TIME_THRSLD		0x0000_2710					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_bm_time_thrslid				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 1 1	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:0]	RW	crf_bm_time_thrslid	广播和多播报文的限速时间上限，以 1us 为单位进行计数，当等于该计数值时，为一个限速单位时间。						

## MDIO\_SINGLE\_CMD

MDIO\_SINGLE\_CMD 为 MDIO 单次操作寄存器。

Offset Address		Register Name		Total Reset Value						
0x000003C0		MDIO_SINGLE_CMD		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			mdio_cmd	reserved	op_code	reserved	phy_addr	reserved	reg_addr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:21]	RO	reserved	保留。							
[20]	RW	mdio_cmd	MDIO 操作完成指示。 0: MDIO 操作完成; 1: 启动 MDIO 操作。							
[19:18]	RO	reserved	保留。							
[17:16]	RW	op_code	MDIO 操作类型。 00: 保留; 01: 写操作; 10: 读操作; 11: 保留。							
[15:13]	RO	reserved	保留。							
[12:8]	RW	phy_addr	配置外部 PHY 地址的 5bit。							



[7:5]	RO	reserved	保留。
[4:0]	RW	reg_addr	PHY 器件内部的寄存器地址。

## MDIO\_SINGLE\_DATA

MDIO\_SINGLE\_DATA 为 MDIO 读写数据寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000003C4	MDIO_SINGLE_DATA	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	mdio_rd_data		mdio_wr_data
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:16]	RO	mdio_rd_data	MDIO 从外部 PHY 器件回读的数据。
[15:0]	RW	mdio_wr_data	MDIO 写数据。

## MDIO\_CTL

MDIO\_CTL 为 MDIO 控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000003CC	MDIO_CTL	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		
		mdio_in_work	mdio_in_work_en
		autoscanner_en	mdc_speed
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3]	RO	mdio_in_work	MDIO 单次操作执行标志位。 0: MDIO 单次操作没有执行; 1: MDIO 单次操作在执行。



[2]	RW	mdio_in_work_en	MDIO_IN_WORK 位有效指示。 0: MDIO_IN_WORK 位无效; 1: MDIO_IN_WORK 位有效。
[1]	RW	autoscan_en	自动检测功能使能。 0: 不使能自动检测功能; 1: 使能自动检测功能。(控制所有 PHY 地址的自动扫描使能, 目前由于只有一个 PHY 因此可以配为 1 不变)
[0]	RW	mdc_speed	MDIO 接口时钟频率配置。 0: MDIO 接口时钟频率为 2.5MHz; 1: MDIO 接口时钟频率为 18MHz。

## MDIO\_RDATA\_STATUS

MDIO\_RDATA\_STATUS 为 MDIO 读数据状态寄存器。

Offset Address	Register Name	Total Reset Value						
0x000003D0	MDIO_RDATA_STATUS	0x0000_0000						
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0							
Name	reserved							mdio_rdata_status
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0							
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RC	mdio_rdata_status	MDIO 读数据是否有效。 0: MDIO 读数据有效; 1: MDIO 读数据无效。					

## RX\_FQ\_START\_ADDR

RX\_FQ\_START\_ADDR 为空闲描述子队列起始地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x00000500		RX_FQ_START_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fq_start_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fq_start_addr	空闲描述子队列的起始地址，当 RX_FQ_REG_EN 寄存器中的 rx_fq_start_addr_en 为 1 时，可读可写；当配置为 0 时，只可读，只支持 Word 地址。					

## RX\_FQ\_DEPTH

RX\_FQ\_DEPTH 为空闲描述子队列深度寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000504		RX_FQ_DEPTH		0x0000_0400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			fq_depth				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:19]	RO	reserved	保留。					
[18:0]	RW	fq_depth	接收方向的空闲描述子队列的深度(word 个数，非描述子个数)，当 RX_FQ_REG_EN 寄存器中的 rx_fq_depth_en 为 1 时，可读可写；当配置为 0 时，只可读，深度需设置为 8 的整数倍。建议配置至少 0x400。					

## RX\_FQ\_WR\_ADDR

RX\_FQ\_WR\_ADDR 为空闲描述子队列写地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000508		RX_FQ_WR_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fq_wr_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	fq_wr_addr	接收方向的空闲描述子队列写地址。						

## RX\_FQ\_RD\_ADDR

RX\_FQ\_RD\_ADDR 为空闲描述子队列读地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x0000050C		RX_FQ_RD_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fq_rd_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	fq_rd_addr	接收方向的空闲描述子队列读地址，当 <a href="#">RX_FQ_REG_EN</a> 寄存器中的 rx_fq_rd_addr_en 为 1 时，可读可写；当配置为 0 时，只可读。						

## RX\_FQ\_VLDDESC\_CNT

RX\_FQ\_VLDDESC\_CNT 为空闲描述子队列有效描述子个数寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000510		RX_FQ_VLDDESC_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fq_vlddesc_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RO	fq_vlddesc_cnt	接收方向的空闲描述子队列有效描述子个数。
--------	----	----------------	----------------------

## RX\_FQ\_ALRMPTY\_TH

RX\_FQ\_ALRMPTY\_TH 为空闲描述子队列几乎空水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000514		RX_FQ_ALRMPTY_TH		0x0010_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fq_pause_low_th				fq_alempty_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	fq_pause_low_th	rx_fq 队列流控低水线。当有效描述子个数小于等于 fq_pause_low_th 时，产生发送流控帧的指示信号。						
[15:0]	RW	fq_alempty_th	接收方向的空闲描述子队列几乎空水线。						

## RX\_FQ\_REG\_EN

RX\_FQ\_REG\_EN 为与接收方向空闲描述子队列有关的使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000518		RX_FQ_REG_EN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						rx_fq_start_addr_en	rx_fq_depth_en	rx_fq_rd_addr_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	RO	reserved	保留。						
[2]	RW	rx_fq_start_addr_en	RX_FQ_START_ADDR 寄存器，软件可写使能。 0: RX_FQ_START_ADDR 寄存器被保护，软件不能写； 1: 软件可写 RX_FQ_START_ADDR。						



[1]	RW	rx_fq_depth_en	RX_FQ_DEPTH 寄存器，软件可写使能。 0: RX_FQ_DEPTH 寄存器被保护，软件不能写； 1: 软件可写 RX_FQ_DEPTH 寄存器。
[0]	RW	rx_fq_rd_addr_en	RX_FQ 读地址寄存器，软件可写使能。 0: RX_FQ 的读地址寄存器被保护，软件不能写； 1: 软件可写 RX_FQ 读地址寄存器。

## RX\_FQ\_ALFULL\_TH

RX\_FQ\_ALFULL\_TH 为空闲描述子队列几乎满流水线寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0000051C	RX_FQ_ALFULL_TH	0x0010_0010	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	fq_pause_hi_th			
Reset	0 0 0 0   0 0 0 0   0 0 0 1   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 1   0 0 0 0			
Bits	Access	Name	Description	
[31:16]	RW	fq_pause_hi_th	rx_fq 队列流控高流水线。当有效描述子个数大于等于 fq_pause_hi_th 时，发送流控帧的指示信号置为 0，表示 TX 方向停止发送流控帧。	
[15:0]	RW	fq_alfull_th	接收方向，空闲描述子队列几乎满流水线。	

## RX\_BQ\_START\_ADDR

RX\_BQ\_START\_ADDR 为 rx\_buff 描述子队列起始地址寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x00000520	RX_BQ_START_ADDR	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	rx_bq_start_addr			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
Bits	Access	Name	Description	
[31:0]	RW	rx_bq_start_addr	接收方向的 buff 描述子队列的起始地址，当 RX_BQ_REG_EN 寄存器中的 rx_bq_start_addr_en 为 1 时，可读可写；当配置为 0 时，只可读，只支持 Word 地址。	





## RX\_BQ\_DEPTH

RX\_BQ\_DEPTH 为 rx\_buff 描述子队列深度寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000524		RX_BQ_DEPTH		0x0000_0400					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rx_bq_depth				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	RO	reserved	保留。						
[18:0]	RW	rx_bq_depth	接收方向的 buff 描述子队列的深度(word 个数, 非描述子个数), 当 RX_BQ_REG_EN 寄存器中的 rx_bq_depth_en 为 1 时, 可读可写; 当配置为 0 时, 只可读, 深度设置为 8 的整数倍。建议配置至少 0x400。						

## RX\_BQ\_WR\_ADDR

RX\_BQ\_WR\_ADDR 为 rx\_buff 描述子队列写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000528		RX_BQ_WR_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rx_bq_wr_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	rx_bq_wr_addr	接收方向的 buff 描述子队列写地址, 当 RX_BQ_REG_EN 寄存器中的 rx_bq_wr_addr_en 为 1 时, 可读可写; 当配置为 0 时, 只可读。						

## RX\_BQ\_RD\_ADDR

RX\_BQ\_RD\_ADDR 为 rx\_buff 描述子队列读地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000052C		RX_BQ_RD_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rx_bq_rd_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	rx_bq_rd_addr	接收方向的 buff 描述子队列读地址。						

### RX\_BQ\_FREE\_DESC\_CNT

RX\_BQ\_FREE\_DESC\_CNT 为 rx\_buff 描述子队列可写入的描述子个数寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000530		RX_BQ_FREE_DESC_CNT		0x0000_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rx_bq_free_desc_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	rx_bq_free_desc_cnt	接收方向的 buff 描述子队列可写入的描述子个数。						

### RX\_BQ\_ALEMPY\_TH

RX\_BQ\_ALEMPY\_TH 为 rx\_buff 描述子队列几乎空水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000534		RX_BQ_ALEMPY_TH		0x0010_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_bq_pause_low_th				rx_bq_alempy_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	rx_bq_pause_low_th	rx_bq 队列流控低水线。当可写入的描述子个数小于等于 bq_pause_low_th 时，产生发送流控帧的指示信号。						



[15:0]	RW	rx_bq_alempty_th	接收方向的 buff 描述子队列几乎空水线。
--------	----	------------------	------------------------

## RX\_BQ\_REG\_EN

RX\_BQ\_REG\_EN 为与接收方向 buff 描述子队列有关的使能寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x00000538	RX_BQ_REG_EN	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved															rx_bq_start_addr_en	rx_bq_depth_en	rx_bq_wr_addr_en
Reset	0 0																	
Bits	Access	Name	Description															
[31:3]	RO	reserved	保留。															
[2]	RW	rx_bq_start_addr_en	RX_BQ_START_ADDR 寄存器，软件可写使能。0: RX_BQ_START_ADDR 寄存器被保护，软件不能写；1: 软件可写 RX_BQ_START_ADDR。															
[1]	RW	rx_bq_depth_en	RX_BQ_DEPTH 寄存器，软件可写使能。0: RX_BQ_DEPTH 寄存器被保护，软件不能写；1: 软件可写 RX_BQ_DEPTH 寄存器。															
[0]	RW	rx_bq_wr_addr_en	RX_BQ 写地址寄存器，软件可写使能。0: RX_BQ 的写地址寄存器被保护，软件不能写；1: 软件可写 RX_BQ 写地址寄存器。															

## RX\_BQ\_ALFULL\_TH

RX\_BQ\_ALFULL\_TH 为 rx\_buff 描述子队列几乎满水线寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000053C		RX_BQ_ALFULL_TH		0x0010_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_bq_pause_hi_th				rx_bq_alfull_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	rx_bq_pause_hi_th	rx_bq 队列流控高水位。当可写入的描述子个数大于等于 bq_pause_hi_th 时，发送流控帧的指示信号置 0，表示 TX 方向停止发送流控帧。						
[15:0]	RW	rx_bq_alfull_th	接收方向，buff 描述子队列几乎满水位。						

## TX\_BQ\_START\_ADDR

TX\_BQ\_START\_ADDR 为 tx\_buff 描述子队列起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000580		TX_BQ_START_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_bq_start_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tx_bq_start_addr	发送方向的 buff 描述子队列的起始地址，当 TX_BQ_REG_EN 寄存器中的 tx_bq_start_addr_en 为 1 时，可读可写；当配置为 0 时，只可读，只支持 Word 地址。					

## TX\_BQ\_DEPTH

TX\_BQ\_DEPTH 为 tx\_buff 描述子队列深度寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000584		TX_BQ_DEPTH		0x0000_0400					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_bq_depth				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	RO	reserved	保留。						



[18:0]	RW	tx_bq_depth	发送方向的 buff 描述子队列的深度(word 个数, 非描述子个数), 当 TX_BQ_REG_EN 寄存器中的 tx_bq_depth_en 为 1 时, 可读可写; 当配置为 0 时, 只可读, 深度设置为 8 的整数倍。 建议配置至少 0x400。
--------	----	-------------	---

## TX\_BQ\_WR\_ADDR

TX\_BQ\_WR\_ADDR 为 tx\_buff 描述子队列写地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000588	TX_BQ_WR_ADDR	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		tx_bq_wr_addr
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RW	tx_bq_wr_addr	发送方向的 buff 描述子队列写地址。

## TX\_BQ\_RD\_ADDR

TX\_BQ\_RD\_ADDR 为 tx\_buff 描述子队列读地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0000058C	TX_BQ_RD_ADDR	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		tx_bq_rd_addr
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RW	tx_bq_rd_addr	发送方向的 buff 描述子队列读地址, 当 TX_BQ_REG_EN 寄存器中的 tx_bq_rd_addr_en 为 1 时, 可读可写; 当配置为 0 时, 只可读。

## TX\_BQ\_VLDDESC\_CNT

TX\_BQ\_VLDDESC\_CNT 为 tx\_buff 描述子队列有效描述子个数寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000590		TX_BQ_VLDDESC_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_bq_vlddesc_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	tx_bq_vlddesc_cnt	发送方向的 buff 描述子队列有效描述子个数。						

### TX\_BQ\_ALEEMPTY\_TH

TX\_BQ\_ALEEMPTY\_TH 为 tx\_buff 描述子队列几乎空流水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000594		TX_BQ_ALEEMPTY_TH		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_bq_alempty_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	tx_bq_alempty_th	发送方向的 buff 描述子队列几乎空流水线。						

### TX\_BQ\_REG\_EN

TX\_BQ\_REG\_EN 为与发送方向 buff 描述子队列有关的使能寄存器。



Offset Address		Register Name		Total Reset Value						
0x00000598		TX_BQ_REG_EN		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tx_bq_start_addr_en	tx_bq_depth_en	tx_bq_rd_addr_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	tx_bq_start_addr_en	TX_BQ_START_ADDR 寄存器，软件可写使能。 0: TX_BQ_START_ADDR 寄存器被保护，软件不能写； 1: 软件可写 TX_BQ_START_ADDR。							
[1]	RW	tx_bq_depth_en	TX_BQ_DEPTH 寄存器，软件可写使能。 0: TX_BQ_DEPTH 寄存器被保护，软件不能写； 1: 软件可写 TX_BQ_DEPTH 寄存器。							
[0]	RW	tx_bq_rd_addr_en	TX_BQ 读地址寄存器，软件可写使能。 0: TX_BQ 的读地址寄存器被保护，软件不能写； 1: 软件可写 TX_BQ 读地址寄存器。							

## BQ1\_ALFULL\_TH

BQ1\_ALFULL\_TH 为 buff1 描述子队列几乎满流水线寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000059C		BQ1_ALFULL_TH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				bq1_alfull_th			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	bq1_alfull_th	发送方向，buff1 描述子队列几乎满流水线。					



## TX\_RQ\_START\_ADDR

TX\_RQ\_START\_ADDR 为 tx\_rq 描述子队列起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x000005A0		TX_RQ_START_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_rq_start_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tx_rq_start_addr	发送方向的回收描述子队列的起始地址，当 TX_RQ_REG_EN 寄存器中的 tx_rq_start_addr_en 为 1 时，可读可写；当配置为 0 时，只可读，只支持 Word 地址。					

## TX\_RQ\_DEPTH

TX\_RQ\_DEPTH 为 tx\_rq 描述子队列深度寄存器。

Offset Address		Register Name		Total Reset Value				
0x000005A4		TX_RQ_DEPTH		0x0000_0400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			tx_rq_depth				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:19]	RO	reserved	保留。					
[18:0]	RW	tx_rq_depth	发送方向的回收描述子队列的深度(word 个数，非描述子个数)，当 TX_RQ_REG_EN 寄存器中的 tx_rq_depth_en 为 1 时，可读可写；当配置为 0 时，只可读，深度设置为 8 的整数倍。建议配置至少 0x400。					

## TX\_RQ\_WR\_ADDR

TX\_RQ\_WR\_ADDR 为 tx\_rq 描述子队列写地址寄存器。





Offset Address		Register Name		Total Reset Value					
0x000005A8		TX_RQ_WR_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_rq_wr_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	tx_rq_wr_addr	发送方向的回收描述子队列写地址，当 TX_RQ_REG_EN 寄存器中的 tx_rq_wr_addr_en 为 1 时，可读可写；当配置为 0 时，只可读。						

## TX\_RQ\_RD\_ADDR

TX\_RQ\_RD\_ADDR 为 tx\_rq 描述子队列读地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x000005AC		TX_RQ_RD_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_rq_rd_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	tx_rq_rd_addr	发送方向的回收描述子队列读地址						

## TX\_RQ\_FREE\_DESC\_CNT

TX\_RQ\_FREE\_DESC\_CNT 为 tx\_rq 描述子队列可写入的描述子个数寄存器。

Offset Address		Register Name		Total Reset Value					
0x000005B0		TX_RQ_FREE_DESC_CNT		0x0000_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_rq_free_desc_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	tx_rq_free_desc_cnt	发送方向的回收描述子队列可写入的描述子个数。
--------	----	---------------------	------------------------

## TX\_RQ\_ALEMPY\_TH

TX\_RQ\_ALEMPY\_TH 为 tx\_rq 描述子队列几乎空水线寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000005B4	TX_RQ_ALEMPY_TH	0x0000_0010
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		tx_rq_alempy_th
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 1
	0 0 0 0		0 0 0 0
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	tx_rq_alempy_th	发送方向的回收描述子队列几乎空水线。

## TX\_RQ\_REG\_EN

TX\_RQ\_REG\_EN 为与 tx\_rq 描述子队列有关的使能寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000005B8	TX_RQ_REG_EN	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		tx_rq_start_addr_en tx_rq_depth_en tx_rq_wr_addr_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0		0 0 0 0
Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2]	RW	tx_rq_start_addr_en	TX_RQ_START_ADDR 寄存器，软件可写使能。 0: TX_RQ_START_ADDR 寄存器被保护，软件不能写； 1: 软件可写 TX_RQ_START_ADDR。



[1]	RW	tx_rq_depth_en	TX_RQ_DEPTH 寄存器，软件可写使能。 0: TX_RQ_DEPTH 寄存器被保护，软件不能写； 1: 软件可写 TX_RQ_DEPTH 寄存器。
[0]	RW	tx_rq_wr_addr_en	TX_RQ 写地址寄存器，软件可写使能。 0: TX_RQ 的写地址寄存器被保护，软件不能写； 1: 软件可写 TX_RQ 写地址寄存器。

## TX\_RQ\_ALFULL\_TH

TX\_RQ\_ALFULL\_TH 为 tx\_rq 描述子队列几乎满流水线寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x000005BC	TX_RQ_ALFULL_TH	0x0000_0010	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 1   0 0 0 0			
Bits	Access	Name	Description	
[31:16]	RO	reserved	保留。	
[15:0]	RW	tx_rq_alfull_th	发送方向，回收描述子队列几乎满流水线。	

## RAW\_PMU\_INT

RAW\_PMU\_INT 为 PMU 模块原始中断状态寄存器。



		Offset Address 0x000005C0								Register Name RAW_PMU_INT								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved	raw_mac_fifo_err_int	raw_tx_rq_in_timeout_int	raw_rx_bq_in_timeout_int	raw_txoutcff_full_int	raw_txoutcff_empty_int	raw_txcff_full_int	raw_txcff_empty_int	raw_rxoutcff_full_int	raw_rxoutcff_empty_int	raw_rxcff_full_int	raw_rxcff_empty_int	raw_tx_rq_in_int	raw_tx_bq_out_int	raw_rx_bq_in_int	raw_rx_fq_out_int	raw_tx_rq_empty_int	raw_tx_rq_full_int	raw_tx_rq_alempy_int	raw_tx_rq_alfull_int	raw_tx_bq_empty_int	raw_tx_bq_full_int	raw_tx_bq_alempy_int	raw_tx_bq_alfull_int	raw_rx_bq_empty_int	raw_rx_bq_full_int	raw_rx_bq_alempy_int	raw_rx_bq_alfull_int	raw_rx_fq_empty_int	raw_rx_fq_full_int	raw_rx_fq_alempy_int	raw_rx_fq_alfull_int
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31]	RO	reserved		保留。																													
[30]	RW	raw_mac_fifo_err_int		MAC 内部 FIFO 又空又满错误原始中断状态，写 1 清中断。 0: 无原始中断。 1: 有原始中断；																													
[29]	RW	raw_tx_rq_in_timeout_int		发送方向的 RQ 队列描述子入队超时原始中断，写 1 清中断。 1: 有原始中断； 0: 无原始中断。																													
[28]	RW	raw_rx_bq_in_timeout_int		接收方向的 BQ 队列描述子入队超时原始中断，写 1 清中断。 0: 无原始中断； 1: 有原始中断。																													
[27]	RW	raw_txoutcff_full_int		发送方向 DESC_OUTCFF 满原始中断，写 1 清中断， 0: 无原始中断； 1: 有原始中断。																													
[26]	RW	raw_txoutcff_empty_int		发送方向 DESC_OUTCFF 空原始中断，写 1 清中断， 0: 无原始中断； 1: 有原始中断。																													
[25]	RW	raw_txcff_full_int		发送方向 DESC_FIFO 满原始中断，写 1 清中断， 0: 无原始中断； 1: 有原始中断。																													
[24]	RW	raw_txcff_empty_int		发送方向 DESC_FIFO 空原始中断，写 1 清中断。 0: 无原始中断； 1: 有原始中断。																													



[23]	RW	raw_rxoutcff_full_int	接收方向 DESC_OUTCFF 满原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[22]	RW	raw_rxoutcff_empty_int	接收方向 DESC_OUTCFF 空原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[21]	RW	raw_rxcff_full_int	接收方向 DESC_FIFO 满原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[20]	RW	raw_rxcff_empty_int	接收方向 DESC_FIFO 空原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[19]	RW	raw_tx_rq_in_int	发送方向 tx_rq 队列的描述子入队(多个或者单个描述子入队)中断，写 1 清中断。 1: 有原始中断; 0: 无原始中断。
[18]	RW	raw_tx_bq_out_int	发送方向 tx_bq 队列的描述子出队(多个或者单个描述子出队)中断，写 1 清中断， 0: 无原始中断; 1: 有原始中断。
[17]	RW	raw_rx_bq_in_int	接收方向 rx_bq 队列的描述子入队(多个或者单个描述子入队)中断，写 1 清中断， 0: 无原始中断; 1: 有原始中断。
[16]	RW	raw_rx_fq_out_int	接收方向 rx_fq 的描述子出队(多个或者单个描述子出队)中断，写 1 清中断， 1: 有原始中断; 0: 无原始中断。
[15]	RW	raw_tx_rq_empty_int	发送方向的回收描述子队列空原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[14]	RW	raw_tx_rq_full_int	发送方向的回收描述子队列满原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。



[13]	RW	raw_tx_rq_alempy_int	发送方向的回收描述子队列几乎空原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[12]	RW	raw_tx_rq_alfull_int	发送方向的回收描述子队列几乎满原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[11]	RW	raw_tx_bq_empty_int	发送方向的 buff 描述子队列空原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[10]	RW	raw_tx_bq_full_int	发送方向的 buff 描述子队列满原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[9]	RW	raw_tx_bq_alempy_int	发送方向的 buff 描述子队列几乎空原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[8]	RW	raw_tx_bq_alfull_int	发送方向的 buff 描述子队列几乎满原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[7]	RW	raw_rx_bq_empty_int	接收方向的 buff 描述子队列空原始中断，写 1 清中断。 1: 有原始中断; 0: 无原始中断。
[6]	RW	raw_rx_bq_full_int	接收方向的 buff 描述子队列满原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[5]	RW	raw_rx_bq_alempy_int	接收方向的 buff 描述子队列几乎空原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[4]	RW	raw_rx_bq_alfull_int	接收方向的 buff 描述子队列几乎满原始中断，写 1 清中断。 1: 有原始中断; 0: 无原始中断。
[3]	RW	raw_rx_fq_empty_int	接收方向的空闲描述子队列空原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。



[2]	RW	raw_rx_fq_full_int	接收方向的空闲描述子队列满原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[1]	RW	raw_rx_fq_alempy_int	接收方向的空闲描述子队列几乎空原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。
[0]	RW	raw_rx_fq_alfull_int	接收方向的空闲描述子队列几乎满原始中断，写 1 清中断。 0: 无原始中断; 1: 有原始中断。

## ENA\_PMU\_INT

ENA\_PMU\_INT 为 PMU 模块原始中断使能寄存器。

Offset Address		Register Name		Total Reset Value	
0x000005C4		ENA_PMU_INT		0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0				
Name	reserved ena_mac_fifo_err_int ena_tx_rq_in_timeout_int ena_rx_bq_in_timeout_int ena_txoutcf_full_int ena_txoutcf_empty_int ena_txcff_full_int ena_txcff_empty_int ena_rxoutcf_full_int ena_rxoutcf_empty_int ena_rxcff_full_int ena_rxcff_empty_int ena_tx_rq_in_int ena_tx_bq_out_int ena_rx_bq_in_int ena_rx_fq_out_int ena_tx_rq_empty_int ena_tx_rq_full_int ena_tx_rq_alempy_int ena_tx_rq_alfull_int ena_tx_bq_empty_int ena_tx_bq_full_int ena_tx_bq_alempy_int ena_tx_bq_alfull_int ena_rx_bq_empty_int ena_rx_bq_full_int ena_rx_bq_alempy_int ena_rx_bq_alfull_int ena_rx_fq_empty_int ena_rx_fq_full_int ena_rx_fq_alempy_int ena_rx_fq_alfull_int				
Reset	0 0				
Bits	Access	Name	Description		
[31]	RO	reserved	保留。		
[30]	RW	ena_mac_fifo_err_int	MAC 内部 FIFO 又空又满错误中断使能。 0: 不使能; 1: 使能。		
[29]	RW	ena_tx_rq_in_timeout_int	发送方向的 RQ 队列描述子入队超时中断使能。 0: 不使能; 1: 使能。		



[28]	RW	ena_rx_bq_in_time_out_int	接收方向的 BQ 队列描述子入队超时中断使能。 0: 不使能; 1: 使能。
[27]	RW	ena_txoutcff_full_int	发送方向 DESC_OUTCFF 满中断使能。 0: 不使能; 1: 使能。
[26]	RW	ena_txoutcff_empty_int	发送方向 DESC_OUTCFF 空中断使能。 0: 不使能; 1: 使能。
[25]	RW	ena_txcff_full_int	发送方向 DESC_FIFO 满中断使能。 0: 不使能; 1: 使能。
[24]	RW	ena_txcff_empty_int	发送方向 DESC_FIFO 空中断使能。 0: 不使能; 1: 使能。
[23]	RW	ena_rxoutcff_full_int	接收方向 DESC_OUTCFF 满中断使能。 0: 不使能; 1: 使能。
[22]	RW	ena_rxoutcff_empty_int	接收方向 DESC_OUTCFF 空中断使能。 0: 不使能; 1: 使能。
[21]	RW	ena_rxcff_full_int	接收方向 DESC_FIFO 满中断使能。 0: 不使能; 1: 使能。
[20]	RW	ena_rxcff_empty_int	接收方向 DESC_FIFO 空中断使能。 0: 不使能; 1: 使能。
[19]	RW	ena_tx_rq_in_int	发送方向 tx_rq 队列的描述子入队(多个或者单个描述子入队)中断使能。 0: 不使能; 1: 使能。
[18]	RW	ena_tx_bq_out_int	发送方向 tx_bq 队列的描述子出队(多个或者单个描述子出队)中断使能。 0: 不使能; 1: 使能。





[17]	RW	ena_rx_bq_in_int	接收方向 rx_bq 队列的描述子入队(多个或者单个描述子入队)中断使能。 0: 不使能; 1: 使能。
[16]	RW	ena_rx_fq_out_int	接收方向 rx_fq 队列的描述子出队(多个或者单个描述子出队)中断使能。 1: 使能; 0: 不使能。
[15]	RW	ena_tx_rq_empty_int	发送方向的回收描述子队列空中断使能。 0: 不使能; 1: 使能。
[14]	RW	ena_tx_rq_full_int	发送方向的回收描述子队列满中断使能。 0: 不使能; 1: 使能。
[13]	RW	ena_tx_rq_alempty_int	发送方向的回收描述子队列几乎空中断使能。 0: 不使能; 1: 使能。
[12]	RW	ena_tx_rq_alfull_int	发送方向的回收描述子队列几乎满中断使能。 0: 不使能; 1: 使能。
[11]	RW	ena_tx_bq_empty_int	发送方向的 buff 描述子队列空中断使能。 0: 不使能; 1: 使能。
[10]	RW	ena_tx_bq_full_int	发送方向的 buff 描述子队列满中断使能。 0: 不使能; 1: 使能;
[9]	RW	ena_tx_bq_alempty_int	发送方向的 buff 描述子队列几乎空中断使能。 0: 不使能; 1: 使能。
[8]	RW	ena_tx_bq_alfull_int	发送方向的 buff 描述子队列几乎满中断使能。 0: 不使能; 1: 使能。
[7]	RW	ena_rx_bq_empty_int	接收方向的 buff 描述子队列空中断使能。 0: 不使能; 1: 使能。



[6]	RW	ena_rx_bq_full_int	接收方向的 buff 描述子队列满中断使能。 0: 不使能; 1: 使能。
[5]	RW	ena_rx_bq_alempty_int	接收方向的 buff 描述子队列几乎空中断使能。 0: 不使能; 1: 使能。
[4]	RW	ena_rx_bq_alfull_int	接收方向的 buff 描述子队列几乎满中断使能。 0: 不使能; 1: 使能。
[3]	RW	ena_rx_fq_empty_int	接收方向的空闲描述子队列空中断使能。 0: 不使能; 1: 使能。
[2]	RW	ena_rx_fq_full_int	接收方向的空闲描述子队列满中断使能。 0: 不使能; 1: 使能。
[1]	RW	ena_rx_fq_alempty_int	接收方向的空闲描述子队列几乎空中断使能。 0: 不使能; 1: 使能。
[0]	RW	ena_rx_fq_alfull_int	接收方向的空闲描述子队列几乎满中断使能。 0: 不使能; 1: 使能。

## STATUS\_PMU\_INT

STATUS\_PMU\_INT 为 PMU 模块中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x000005C8		STATUS_PMU_INT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	status_mac_fifo_err_int	status_tx_rq_in_timeout_int	status_rx_bq_in_timeout_int	status_txoutcff_full_int	status_txoutcff_empty_int	status_txcff_full_int	status_txcff_empty_int	status_rxoutcff_full_int	status_rxoutcff_empty_int	status_rxcff_full_int	status_rxcff_empty_int	status_tx_rq_in_int	status_tx_bq_out_int	status_rx_bq_in_int	status_rx_fq_out_int	status_tx_rq_empty_int	status_tx_rq_full_int	status_tx_rq_alempy_int	status_tx_rq_alfull_int	status_tx_bq_empty_int	status_tx_bq_full_int	status_tx_bq_alempy_int	status_tx_bq_alfull_int	status_rx_bq_empty_int	status_rx_bq_full_int	status_rx_bq_alempy_int	status_rx_bq_alfull_int	status_rx_fq_empty_int	status_rx_fq_full_int	status_rx_fq_alempy_int	status_rx_fq_alfull_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RO	reserved	保留。																													
[30]	RW	status_mac_fifo_err_int	MAC 内部 FIFO 又空又满错误中断状态。 0: 无中断状态; 1: 有中断状态。																													
[29]	RW	status_tx_rq_in_timeout_int	发送方向的 RQ 队列描述子入队超时中断状态。 0: 无中断状态; 1: 有中断状态。																													
[28]	RW	status_rx_bq_in_timeout_int	接收方向的 BQ 队列描述子入队超时中断状态。 0: 无中断状态; 1: 有中断状态。																													
[27]	RW	status_txoutcff_full_int	发送方向 DESC_OUTCFF 满中断状态。 0: 无中断状态; 1: 有中断状态。																													
[26]	RW	status_txoutcff_empty_int	发送方向 DESC_OUTCFF 空中断状态。 0: 无中断状态; 1: 有中断状态。																													
[25]	RW	status_txcff_full_int	发送方向 DESC_FIFO 满中断状态。 0: 无中断状态; 1: 有中断状态。																													



[24]	RW	status_txcff_empty_int	发送方向 DESC_FIFO 空中断状态。 0: 无中断状态; 1: 有中断状态。
[23]	RW	status_rxoutcff_full_int	接收方向 DESC_OUTCFF 满中断状态。 0: 无中断状态; 1: 有中断状态。
[22]	RW	status_rxoutcff_empty_int	接收方向 DESC_OUTCFF 空中断状态。 0: 无中断状态; 1: 有中断状态。
[21]	RW	status_rxcff_full_int	接收方向 DESC_FIFO 满中断状态。 0: 无中断状态; 1: 有中断状态。
[20]	RW	status_rxcff_empty_int	接收方向 DESC_FIFO 空中断状态。 0: 无中断状态; 1: 有中断状态。
[19]	RW	status_tx_rq_in_int	发送方向 tx_rq 队列的描述子入队(多个或者单个描述子入队)中断状态。 0: 无中断状态; 1: 有中断状态。
[18]	RW	status_tx_bq_out_int	发送方向 tx_bq 队列的描述子出队(多个或者单个描述子出队)中断状态。 0: 无中断状态; 1: 有中断状态。
[17]	RW	status_rx_bq_in_int	接收方向 rx_bq 队列的描述子入队(多个或者单个描述子入队)中断状态。 0: 无中断状态; 1: 有中断状态。
[16]	RW	status_rx_fq_out_int	接收方向 rx_fq 队列的描述子出队(多个或者单个描述子出队)中断状态。 0: 无中断状态; 1: 有中断状态。
[15]	RW	status_tx_rq_empty_int	发送方向的回收描述子队列空中断状态。 0: 无中断状态; 1: 有中断状态。



[14]	RW	status_tx_rq_full_int	发送方向的回收描述子队列满中断状态。 0: 无中断状态; 1: 有中断状态。
[13]	RW	status_tx_rq_alempy_int	发送方向的回收描述子队列几乎空中断状态。 0: 无中断状态; 1: 有中断状态。
[12]	RW	status_tx_rq_alfull_int	发送方向的回收描述子队列几乎满中断状态。 0: 无中断状态; 1: 有中断状态。
[11]	RW	status_tx_bq_empty_int	发送方向的 buff 描述子队列空中断状态。 0: 无中断状态; 1: 有中断状态。
[10]	RW	status_tx_bq_full_int	发送方向的 buff 描述子队列满中断状态。 0: 无中断状态; 1: 有中断状态。
[9]	RW	status_tx_bq_alempy_int	发送方向的 buff 描述子队列几乎空中断状态。 0: 无中断状态; 1: 有中断状态。
[8]	RW	status_tx_bq_alfull_int	发送方向的 buff 描述子队列几乎满中断状态。 1: 有中断状态; 0: 无中断状态。
[7]	RW	status_rx_bq_empty_int	接收方向的 buff 描述子队列空中断状态。 1: 有中断状态; 0: 无中断状态。
[6]	RW	status_rx_bq_full_int	接收方向的 buff 描述子队列满中断状态。 0: 无中断状态; 1: 有中断状态。
[5]	RW	status_rx_bq_alempy_int	接收方向的 buff 描述子队列几乎空中断状态。 0: 无中断状态; 1: 有中断状态。
[4]	RW	status_rx_bq_alfull_int	接收方向的 buff 描述子队列几乎满中断状态。 0: 无中断状态; 1: 有中断状态。



[3]	RW	status_rx_fq_empty_int	接收方向的空闲描述子队列空中断状态。 0: 无中断状态; 1: 有中断状态。
[2]	RW	status_rx_fq_full_int	接收方向的空闲描述子队列满中断状态。 0: 无中断状态; 1: 有中断状态。
[1]	RW	status_rx_fq_alempy_int	接收方向的空闲描述子队列几乎空中断状态。 0: 无中断状态; 1: 有中断状态。
[0]	RW	status_rx_fq_alfull_int	接收方向的空闲描述子队列几乎满中断状态。 0: 无中断状态; 1: 有中断状态。

## DESC\_WR\_RD\_ENA

DESC\_WR\_RD\_ENA 为 cff 读写描述子使能寄存器。

Offset Address	Register Name	Total Reset Value									
0x000005CC	DESC_WR_RD_ENA	0x0000_0000									
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0										
Name	reserved							rx_outcff_wr_desc_ena	rx_cff_rd_desc_ena	tx_outcff_wr_desc_ena	tx_cff_rd_desc_ena
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0										
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	rx_outcff_wr_desc_ena	接收方向的 RX_OUTCFF 向 RX_BQ 中写入 desc 使能。 0: 不使能; 1: 使能。								



[2]	RW	rx_cff_rd_desc_ena	接收方向的 RX_CFF 从空闲描述子队列中读取 desc 使能。 0: 不使能; 1: 使能。
[1]	RW	tx_outcff_wr_desc_ena	发送方向的 TX_OUTCFF 向 TX_RQ 中写入 desc 使能。 0: 不使能; 1: 使能。
[0]	RW	tx_cff_rd_desc_ena	发送方向的 TX_CFF 从 TX_BQ 中读取 desc 使能。 0: 不使能; 1: 使能。

## IN\_QUEUE\_TH

IN\_QUEUE\_TH 为 rx\_bq、tx\_rq 入队中断流水线寄存器。

	Offset Address	Register Name	Total Reset Value
	0x05D8	IN_QUEUE_TH	0x0001_0001
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved	tx_rq_in_th	reserved   rx_bq_in_th
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 1   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 1		
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	tx_rq_in_th	发送方向，上报描述子入队中断的水线，至少配置为 1。
[15:8]	RO	reserved	保留。
[7:0]	RW	rx_bq_in_th	接收方向，上报描述子入队中断的水线，至少配置为 1。

## OUT\_QUEUE\_TH

OUT\_QUEUE\_TH 为 rx\_fq、tx\_bq 出队中断流水线寄存器。



Offset Address		Register Name		Total Reset Value					
0x05DC		OUT_QUEUE_TH		0x0001_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		tx_bq_out_th		reserved		rx_fq_out_th		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:16]	RW	tx_bq_out_th	发送方向，上报描述子出队中断的水线。						
[15:8]	RO	reserved	保留。						
[7:0]	RW	rx_fq_out_th	接收方向，上报描述子出队中断的水线。						

## RX\_BQ\_IN\_TIMEOUT\_TH

RX\_BQ\_IN\_TIMEOUT\_TH 为 rx\_bq 入队超时原始中断水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x05E0		RX_BQ_IN_TIMEOUT_TH		0x0000_8000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		rx_bq_in_timeout_th						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	rx_bq_in_timeout_th	接收方向的 BQ 队列，描述子入队超时中断水线。						

## TX\_RQ\_IN\_TIMEOUT\_TH

TX\_RQ\_IN\_TIMEOUT\_TH 为 tx\_rq 入队超时原始中断水线寄存器。





Offset Address		Register Name		Total Reset Value					
0x05E4		TX_RQ_IN_TIMEOUT_TH		0x0000_8000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_rq_in_timeout_th					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	tx_rq_in_timeout_th	发送方向的 RQ 队列，描述子入队超时中断流水线。						

## STOP\_CMD

STOP\_CMD 为停止收、发包控制寄存器寄存器。

Offset Address		Register Name		Total Reset Value					
0x05E8		STOP_CMD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							tx_stop_en	rx_stop_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	tx_stop_en	发送方向的停止发包使能。 0: 不使能; 1: 使能。						
[0]	RW	rx_stop_en	接收方向的停止收包使能。 0: 不使能; 1: 使能。						

## FLUSH\_CMD

FLUSH\_CMD 为回收描述子使能寄存器。



Offset Address		Register Name		Total Reset Value									
0x05EC		FLUSH_CMD		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved							tx_flush_cmd	rx_flush_cmd	tx_flush_flag_down	tx_flush_flag_up	rx_flush_flag_down	rx_flush_flag_up
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:6]	RO	reserved	保留。										
[5]	RW	tx_flush_cmd	发送方向的回收描述子命令，描述子进入 tx_rq 队列。 0:配置回收描述子命令无效； 1:配置回收描述子命令有效。										
[4]	RW	rx_flush_cmd	接收方向的回收描述子命令，描述子进入 rx_bq 队列。 0:配置回收描述子命令无效； 1:配置回收描述子命令有效。										
[3]	RW	tx_flush_flag_down	发送方向的回收描述子结束指示，当描述子回收完成，逻辑将 tx_flush_flag 置 1，软件写 1 清零。										
[2]	RW	tx_flush_flag_up	发送方向的回收描述子指示，当停止发收包后，逻辑将 tx_flush_flag 置 1，表示软件可以进行回收描述子操作，软件写 1 清零。										
[1]	RW	rx_flush_flag_down	接收方向的回收描述子结束指示。当逻辑完成描述子回收操作，将 rx_flush_flag_down 置 1，软件写 1 清零。										
[0]	RW	rx_flush_flag_up	接收方向的回收描述子指示。当停止接收包后，逻辑将 rx_flush_flag_up 置 1，表示软件可以进行回收描述子操作，软件写 1 清 0。										

## U\_EEE\_INTR\_SRC

U\_EEE\_INTR\_SRC 为 rx 和 tx 方向 lpi 状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0800		U_EEE_INTR_SRC		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															tx_lpi_cond	rx_leave_lpi	rx_entry_lpi	tx_leave_lpi	tx_entry_lpi												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	tx_lpi_cond	tx 方向 lpi 状态。 0: tx fifo 和 tx 描述子不同时为空; 1: tx fifo 和 tx 描述子同时为空。																													
[3]	RW	rx_leave_lpi	rx 方向离开 lpi 状态 0: 未离开 1: 离开																													
[2]	RW	rx_entry_lpi	rx 方向进入 lpi 状态 0: 未进入 1: 进入																													
[1]	RW	tx_leave_lpi	tx 方向离开 lpi 状态 0: 未离开 1: 离开																													
[0]	RW	tx_entry_lpi	tx 方向进入 lpi 状态 0: 未进入 1: 进入																													

## U\_EEE\_INTR\_EN

U\_EEE\_INTR\_EN 为 rx 和 tx 方向中断屏蔽和使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0804		U_EEE_INTR_EN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				tx_lpi_cond_msk	rx_leave_lpi_msk	rx_entry_lpi_msk	tx_leave_lpi_msk	tx_entry_lpi_msk	tx_lpi_cond_en	rx_leave_lpi_en	rx_entry_lpi_en	tx_leave_lpi_en	tx_entry_lpi_en		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	tx_lpi_cond_msk	tx 方向 lpi 状态中断屏蔽寄存器。 0: 关闭中断屏蔽功能; 1: 打开中断屏蔽功能。																													
[8]	RW	rx_leave_lpi_msk	rx 方向离开 lpi 状态中断屏蔽寄存器 0: 关闭中断屏蔽功能; 1: 打开中断屏蔽功能。																													
[7]	RW	rx_entry_lpi_msk	rx 方向进入 lpi 状态中断屏蔽寄存器 0: 关闭中断屏蔽功能; 1: 打开中断屏蔽功能。																													
[6]	RW	tx_leave_lpi_msk	tx 方向离开 lpi 状态中断屏蔽寄存器 0: 关闭中断屏蔽功能; 1: 打开中断屏蔽功能。																													
[5]	RW	tx_entry_lpi_msk	tx 方向进入 lpi 状态中断屏蔽寄存器 0: 关闭中断屏蔽功能; 1: 打开中断屏蔽功能。																													
[4]	RW	tx_lpi_cond_en	tx 方向 lpi 状态中断使能寄存器。 0: 关闭中断使能; 1: 打开中断使能。																													
[3]	RW	rx_leave_lpi_en	rx 方向离开 lpi 状态中断使能寄存器 0: 关闭中断使能; 1: 打开中断使能。																													
[2]	RW	rx_entry_lpi_en	rx 方向进入 lpi 状态中断使能寄存器 0: 关闭中断使能; 1: 打开中断使能。																													



[1]	RW	tx_leave_lpi_en	tx 方向离开 lpi 状态中断使能寄存器 0: 关闭中断使能; 1: 打开中断使能。
[0]	RW	tx_entry_lpi_en	tx 方向进入 lpi 状态中断使能寄存器 0: 关闭中断使能; 1: 打开中断使能。

## U\_EEE\_ENABLE

U\_EEE\_ENABLE 为 EEE 模块使能信号寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0808				U_EEE_ENABLE				0x00F4_2400																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	eee_ls_timer																gmi_mode	cond_intr_keep	tx_lpi_assert	eee_enable												
Reset	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:4]	RW		eee_ls_timer		PHY link=1 后缓冲软件使能硬件进入 lpi 的缓冲时间，默认为 1s。																											
[3]	RW		gmi_mode		GMII 模式选择。 0: 10M、100M 速率模式; 1: 1000M 速率模式。																											
[2]	RW		cond_intr_keep		中断信号发送频次配置 0: 硬件发送 tx_lpi_cond 中断仅一次; 1: tx 方向 lpi 下，每个时钟上升沿都使能一下中断信号。																											
[1]	RW		tx_lpi_assert		软件配置硬件进入 LPI 状态。 0: 不进入; 1: 进入。																											
[0]	RW		eee_enable		EEE 模块使能。 0: 不使能; 1: 使能。																											



## U\_EEE\_TIMER

U\_EEE\_TIMER 为 LPI 时间计数器寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x080C	U_EEE_TIMER	0x001E_000A	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	lpi_tw_timer   lpi_cond_timer			
Reset	0 0 0 0   0 0 0 0   0 0 0 1   1 1 1 0   0 0 0 0   0 0 0 0   0 0 0 0   1 0 1 0			
Bits	Access	Name	Description	
[31:16]	RW	lpi_tw_timer	从 LPI 到正常模式的唤醒时间,默认 30us。	
[15:0]	RW	lpi_cond_timer	记录 TXFIFO 和 EX_DESC 同时为空的条件持续时间, 当持续时间等于 lpi_cond_timer,则可进入 LPI	

## U\_EEE\_LINK\_STATUS

U\_EEE\_LINK\_STATUS 为 EEE 状态寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0810	U_EEE_LINK_STATUS	0x0000_3F20	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	intr_cnt   eee_tx_lpi_stay   eee_rx_lpi_stay_ff3   version   reserved   eee_auto   eee_hold_txdesc_read   phy_link_sts			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 1 1   1 1 1 1   0 0 1 0   0 0 0 0			
Bits	Access	Name	Description	
[31:16]	RW	intr_cnt	EEE 中断计数器。	
[15]	RO	eee_tx_lpi_stay	TX 处于 LPI 状态。 0: 没有处于 LPI 状态; 1: 处于 LPI 状态。	
[14]	RO	eee_rx_lpi_stay_ff3	RX 处于 LPI 状态。 0: 没有处于 LPI 状态; 1: 处于 LPI 状态。	
[13:4]	RO	version	逻辑版本号。	



[3]	RO	reserved	保留。
[2]	RW	eee_auto	自动进入和退出 EEE 开关。 0: 要软件和逻辑中断配合进入和退出 EEE; 1: 逻辑自动进入和退出 EEE, 不需要软件参与。
[1]	RW	eee_hold_txdesc_read	LPI 状态时, 是否可以从 TXFIFO 取包 0: LPI 状态时, 可以从 TXFIFO 取包; 1: LPI 时控制 MAC 不从 TXFIFO 读取包。
[0]	RW	phy_link_sts	PHY 连接状态。 0: link_down; 1: link_up。

## U\_EEE\_TIME\_CLK\_CNT

U\_EEE\_TIME\_CLK\_CNT 为计时脉冲计数寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x0814				U_EEE_TIME_CLK_CNT								0x0000_007D																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	clk_period_cnt																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1				
Bits	Access		Name		Description																															
[31:0]	RW		clk_period_cnt		计数器用来在硬件中产生一个 1us 的计时脉冲单位, 125M 下时钟周期 8ns。																															

## PMT\_CTRL\_STAUTS

PMT\_CTRL\_STAUTS 为 PMT 控制与状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0A00		PMT_CTRL_STAUTS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																scr_wkupfrm_glbucast	reserved	rcvd_wkup_frm	rcvd_mgk_pkt	reserved	scr_intr_en	scr_wkupfrm_en	scr_mgkpkt_en	scr_power_down							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	scr_wkupfrm_glbucast	配置 MAC 地址的单播帧是否为唤醒帧 0: 不认为是唤醒帧; 1: MAC 地址匹配的单播帧被认为是有效的唤醒帧。																													
[8:7]	RO	reserved	保留																													
[6]	RW	rcvd_wkup_frm	是否接收到唤醒帧。 0: 没有接收到 wake_up frame; 1: 接收到 wake_up frame。																													
[5]	RW	rcvd_mgk_pkt	是否接收到 magic packet。 0: 没有接收到 magic packet; 1: 接收到 magic packet。																													
[4]	RO	reserved	保留																													
[3]	RW	scr_intr_en	PMT 中断使能开关。 0: 关闭; 1: 打开使能。																													
[2]	RW	scr_wkupfrm_en	接收 wake_up frame 使能。 0: 关闭; 1: 打开使能。																													
[1]	RW	scr_mgkpkt_en	magic packet 接收使能。 0: 关闭; 1: 打开使能。																													
[0]	RW	scr_power_down	powerdown 模式使能。 0: 退出 power_down 模式; 1: 进入 power_down 模式。																													





## FILTER\_0\_BYTE\_MASK

FILTER\_0\_BYTE\_MASK 为 PMT 第 0 套有效 byte 选择寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A04		FILTER_0_BYTE_MASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wkupfrm_filter0bytemsk							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wkupfrm_filter0bytemsk	bit[31]必须设置为低，表示 mask 有效，bit[30:0]做 byte mask。bit 位为 1 表示对应 byte 为有效。					

## FILTER\_1\_BYTE\_MASK

FILTER\_1\_BYTE\_MASK 为 PMT 第 1 套有效 byte 选择寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A08		FILTER_1_BYTE_MASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wkupfrm_filter1bytemsk							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wkupfrm_filter1bytemsk	bit[31]必须设置为低，表示 mask 有效，bit[30:0]做 byte mask。					

## FILTER\_2\_BYTE\_MASK

FILTER\_2\_BYTE\_MASK 为 PMT 第 2 套有效 byte 选择寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A0C		FILTER_2_BYTE_MASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wkupfrm_filter2bytemsk							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wkupfrm_filter2bytemsk	bit[31]必须设置为低，表示 mask 有效，bit[30:0]做 byte mask。					

### FILTER\_3\_BYTE\_MASK

FILTER\_3\_BYTE\_MASK 为 PMT 第 3 套有效 byte 选择寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A10		FILTER_3_BYTE_MASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wkupfrm_filter3bytemsk							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wkupfrm_filter3bytemsk	bit[31]必须设置为低，表示 mask 有效，bit[30:0]做 byte mask。					

### FILTER\_COMMAND

FILTER\_COMMAND 为 PMT 模板选择和组播使能寄存器。



Offset Address		Register Name		Total Reset Value																																				
0x0A14		FILTER_COMMAND		0x0000_0000																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved				wkupfrm_filter3mcast	reserved				wkupfrm_filter3en	reserved				wkupfrm_filter2mcast	reserved				wkupfrm_filter2en	reserved				wkupfrm_filter1mcast	reserved				wkupfrm_filter1en	reserved				wkupfrm_filter0mcast	reserved				wkupfrm_filter0en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																					
[31:28]	RO	reserved	保留。																																					
[27]	RW	wkupfrm_filter3mcast	模板 3 指定地址类型。 0: 根据对应模板有效 byte 和 CRC 偏移地址判断是否成功匹配; 1: 只要 DA 是有效的组播地址, 则地址过滤就是成功的。																																					
[26:25]	RO	reserved	保留。																																					
[24]	RW	wkupfrm_filter3en	第 3 套过滤模板使能。 0: 不使能; 1: 使能。																																					
[23:20]	RO	reserved	保留。																																					
[19]	RW	wkupfrm_filter2mcast	模板 2 指定地址类型。 0: 根据对应模板有效 byte 和 CRC 偏移地址判断是否成功匹配; 1: 只要 DA 是有效的组播地址, 则地址过滤就是成功的。																																					
[18:17]	RO	reserved	保留																																					
[16]	RW	wkupfrm_filter2en	第 2 套过滤模板使能。 0: 不使能; 1: 使能。																																					
[15:12]	RO	reserved	保留。																																					
[11]	RW	wkupfrm_filter1mcast	模板 1 指定地址类型。 0: 根据对应模板有效 byte 和 CRC 偏移地址判断是否成功匹配; 1: 只要 DA 是有效的组播地址, 则地址过滤就是成功的。																																					



[10:9]	RO	reserved	保留。
[8]	RW	wkupfrm_filter1en	第 1 套过滤模板使能。 0: 不使能; 1: 使能。
[7:4]	RO	reserved	保留。
[3]	RW	wkupfrm_filter0mc ast	模板 0 指定地址类型。 0: 根据对应模板有效 byte 和 CRC 偏移地址判断是否成功匹 配; 1: 只要 DA 是有效的组播地址, 则地址过滤就是成功的。
[2:1]	RO	reserved	保留。
[0]	RW	wkupfrm_filter0en	第 0 套过滤模板使能。 0: 不使能; 1: 使能。

## FILTER\_OFFSET

FILTER\_OFFSET 为计算 CRC 的位置偏移寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0A18				FILTER_OFFSET				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wkupfrm_filter3offset				wkupfrm_filter2offset				wkupfrm_filter1offset				wkupfrm_filter0offset																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	wkupfrm_filter3offset	共有 4 套模板, 第 3 套模板, 计算 CRC 的位置偏移。																													
[23:16]	RW	wkupfrm_filter2offset	共有 4 套模板, 第 2 套模板, 计算 CRC 的位置偏移。																													
[15:8]	RW	wkupfrm_filter1offset	共有 4 套模板, 第 1 套模板, 计算 CRC 的位置偏移。																													
[7:0]	RW	wkupfrm_filter0offset	共有 4 套模板, 第 0 套模板, 计算 CRC 的位置偏移。																													

## FILTER0\_1\_CRC

FILTER0\_1\_CRC 为软件期望 CRC 值 0 和 1 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A1C		FILTER0_1_CRC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wkupfrm_filter1crc				wkupfrm_filter0crc			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	wkupfrm_filter1crc	共有 4 套模板，模板 1 软件期望的 CRC 值寄存器。					
[15:0]	RW	wkupfrm_filter0crc	模板 0 软件期望的 CRC 值寄存器。					

### FILTER2\_3\_CRC

FILTER2\_3\_CRC 为软件期望 CRC 值 2 和 3 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A20		FILTER2_3_CRC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wkupfrm_filter3crc				wkupfrm_filter2crc			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	wkupfrm_filter3crc	模板 3 软件期望的 CRC 值寄存器。					
[15:0]	RW	wkupfrm_filter2crc	模板 2 软件期望的 CRC 值寄存器。					



---

# 目 录

---

<b>6 视频编码</b> .....	<b>6-1</b>
6.1 总概述.....	6-1
6.2 VEDU.....	6-1
6.2.1 概述 .....	6-1
6.2.2 特点 .....	6-1
6.2.3 功能描述 .....	6-2
6.3 JPGE.....	6-4
6.3.1 概述 .....	6-4
6.3.2 特点 .....	6-4
6.3.3 功能描述 .....	6-4



---

## 插图目录

---

图 6-1 VEDU 编码功能框图.....	6-3
图 6-2 JPGE 功能框图 .....	6-5



# 6 视频编码

## 6.1 总概述

视频编码器是一个支持 H.264/H.265/JPEG/MJPEG 的多协议编码器，包括 VEDU 和 JPGE 两部分，其中，VEDU 实现 H.265 和 H.264 协议的编码，JPGE 实现 JPEG/MJPEG 协议的编码。

## 6.2 VEDU

### 6.2.1 概述

VEDU（Video Encode Decode Unit）是一个硬件实现的支持 H.265/H.264 视频标准的编码器。VEDU 具有 CPU 占用率低、总线带宽占用小、低延时、低功耗等优点。

### 6.2.2 特点

VEDU 编码器具有以下特点：

- 支持 ITU-T H.265 Main Profile @Level 6.1 Main Tier 编码
  - 支持 1/2、1/4 像素精度运动补偿
  - 帧间预测支持 64x64、32x32、16x16、8x8 四种 PU 类型
  - 帧内预测支持 32x32、16x16、8x8、4x4 四种 PU 类型
  - 支持最多候选数目为 2 的 Merge/SKIP 模式
  - 支持 32x32、16x16、8x8、4x4 四种 TU 类型
  - 支持 CABAC 熵编码
  - 支持 De-blocking 滤波
  - 支持 SAO
  - 支持 IPCM 编码
- 支持 ITU-T H.264 High Profile/Main Profile/Baseline Profile@Level 5 编码
  - 支持 1/2、1/4 像素精度运动补偿
  - 支持帧间预测 16x16、8x8 两种子块类型





- 支持所有 Intra4x4、Intra8x8、Intra16x16 预测模式
- 支持 Trans4x4、Trans8x8
- 支持 CABAC、CAVLC 熵编码
- 支持 De-blocking 滤波
- 支持 IPCM 编码
- 支持 H.264 SVC 时域分层 (SVC-T)
- 支持如下输入图像格式
  - Semi-Planar YCbCr4:2:0
- H.265 / H.264 多码流编码性能:
  - 8M (3840x2160) @30fps + 720P@30fps 编码
- 支持图像分辨率可配置
  - 最小图像分辨率: 128x128 (H.265), 192x128 (H.264)
  - 最大图像分辨率: 4608x4608
  - 图像宽度/高度的配置步长为 2
- 支持感兴趣区域编码
  - 支持最多 8 个区域的感兴趣区域编码
  - 每个感兴趣区域编码功能可独立使能/禁止
- 支持 OSD 区域编码保护  
OSD 区域编码保护功能可使能/禁止
- 支持视频前端 OSD 叠加处理
  - 支持最多 8 个区域的编码前 OSD 叠加
  - 支持任意位置、最大为图像大小的 OSD 叠加
  - 支持 129 级的 alpha 叠加
  - OSD 叠加功能可使能/禁止
- 支持彩转灰编码功能
- 支持 CBR/VBR/FIXQP 三种码率控制模式
- 输出码率范围: 2kbps~100Mbps



### 注意

VEDU 的区域编码保护功能只对 VEDU 叠加的 OSD 起作用。

## 6.2.3 功能描述

VEDU 功能框图如图 6-1 所示。

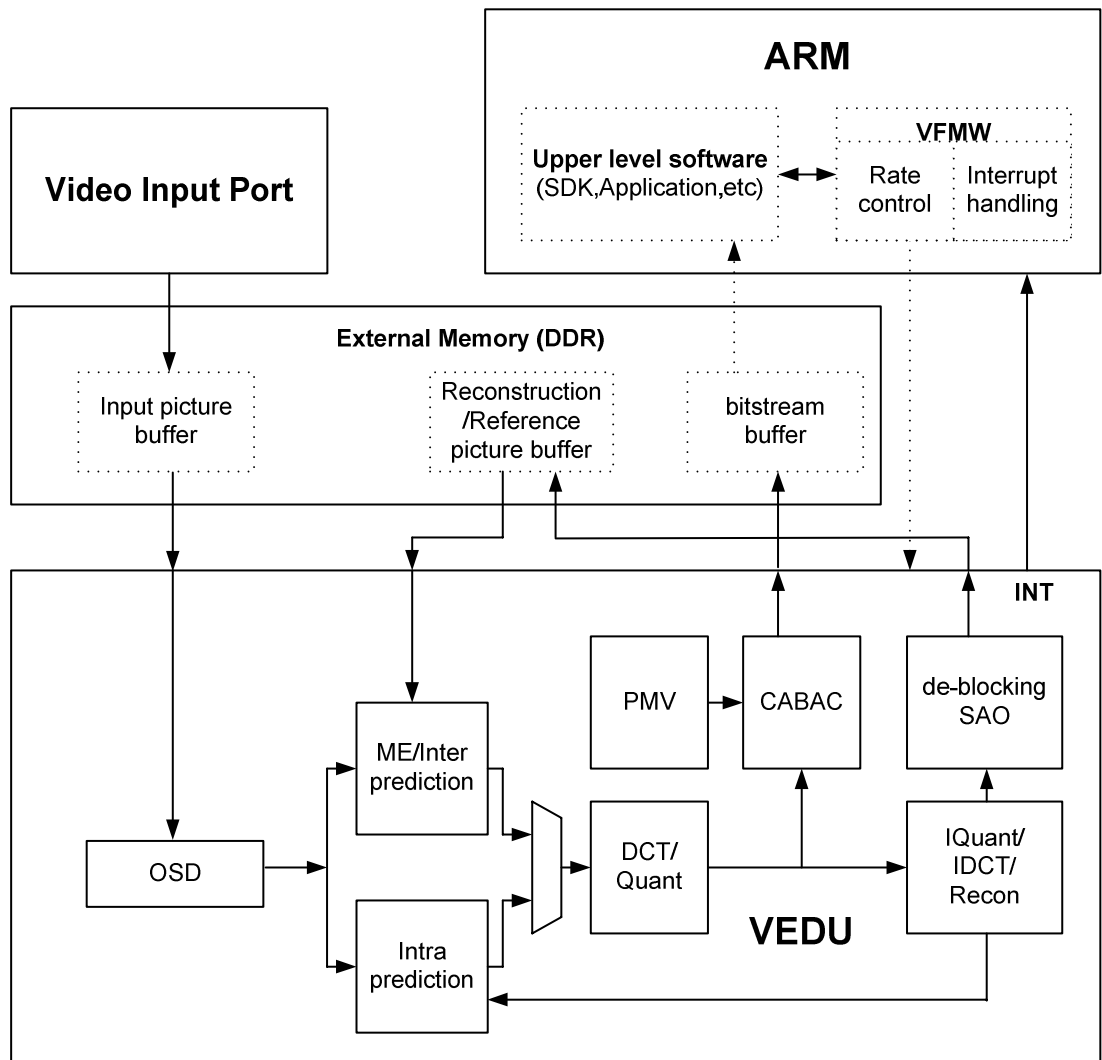
VEDU 编码实现了运动估计/帧间预测、帧内预测、运动矢量预测、变换/量化、反量化/反变换、CABAC 编码及码流生成、de-blocking 滤波、SAO 等协议/算法处理 (H.265)，ARM 软件则完成码率控制和中断处理等编码控制处理。



在启动 VEDU 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下三种类型的缓冲区。

- 输入图像缓冲区  
VEDU 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 重构图像/参考图像缓冲区  
VEDU 在编码过程中会向该缓冲区中写入重构图像、以作为后续图像的参考图像，在进行 P 帧编码时会从该缓冲区读取参考图像。
- 码流缓冲区  
该缓冲区用于存放编码输出的码流。VEDU 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。

图6-1 VEDU 编码功能框图





## 6.3 JPGE

### 6.3.1 概述

JPGE (JPEG Encoder) 是一个硬件实现的高性能 JPEG 编码器, 可实现高达 67.1M 像素的图片抓拍或高清图像 MJPEG 编码业务。

### 6.3.2 特点

JPGE 具有以下特点:

- 支持 ISO/IEC 10918-1(CCITT T.81) Baseline Process(DCT Sequential)编码
- 支持 YCbCr4:2:0、YCbCr4:2:2 两种色度采样格式的图像编码
- 支持如下几种输入图像格式:
  - Semi-Planar YCbCr4:2:0
  - Semi-Planar YCbCr4:2:2
- JPEG 编码性能:
  - 8M (3840x2160) @30fps
  - 12M (4224x2816) @20fps
  - 16M (4608x3456) @15fps
- 支持图像分辨率可配置
  - 最小图像分辨率: 32x32
  - 最大图像分辨率: 8192x8192
- 图像宽度/高度的配置步长为 2
- 量化表可配置
  - Y、Cb、Cr 三个分量, 提供两张量化表(Cb 和 Cr 共用)
- 支持彩转灰功能

### 6.3.3 功能描述

JPGE 功能如图 6-2 所示。

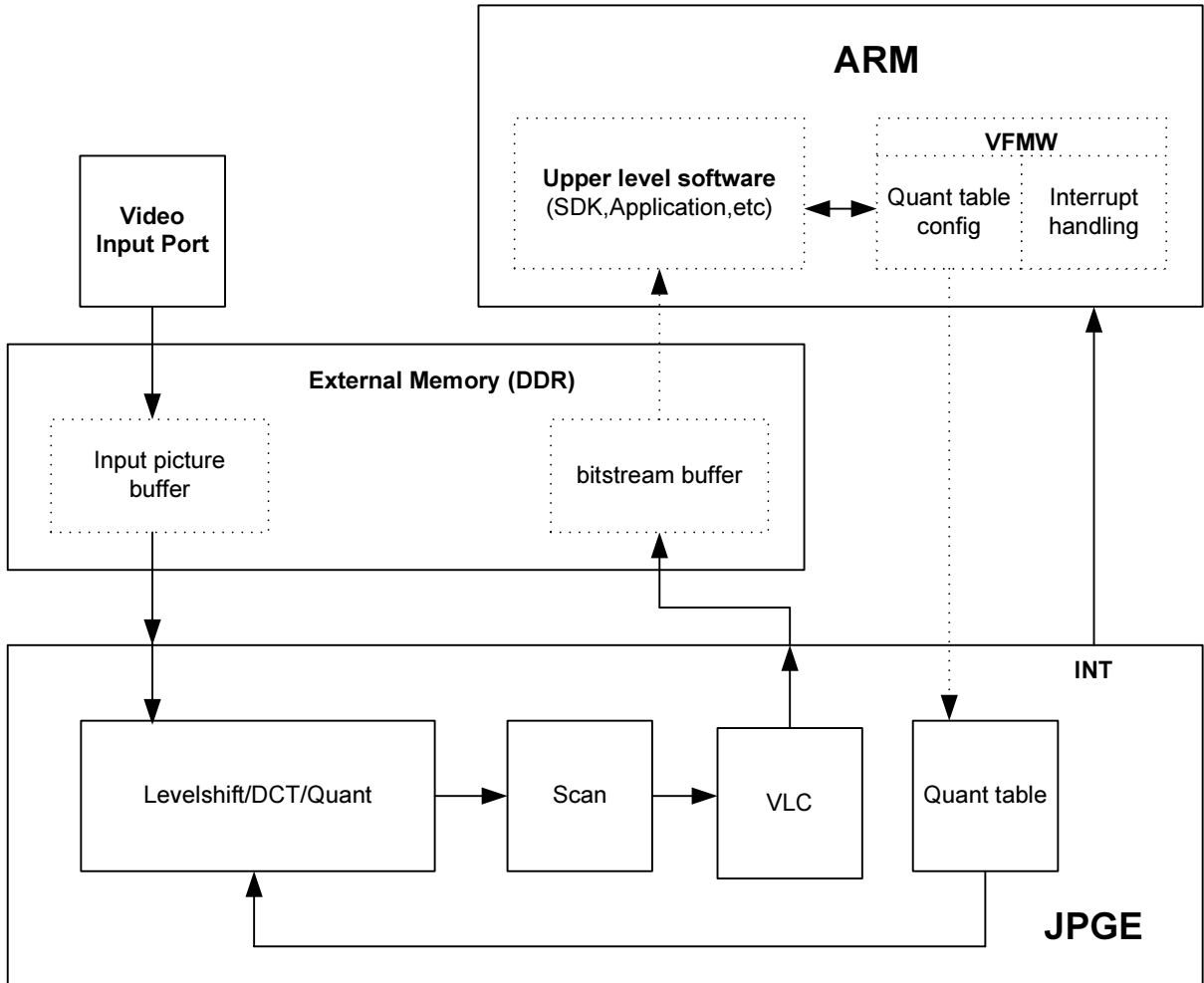
由图可见, JPGE 硬件实现了 level shift、DCT、量化、扫描、VLC 编码及码流生成等运算量较大的协议处理, 而 ARM 软件则完成量化表配置和中断处理等编码控制处理。

在启动 JPGE 进行视频编码前, 软件需要为其在外部存储器 (DDR SDRAM) 中分配以下两种类型的缓冲区:

- 输入图像缓冲区  
JPGE 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 码流缓冲区  
该缓冲区用于存放编码输出的码流。JPGE 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。



图6-2 JPGE 功能框图





# 目 录

<b>7 视频及图形处理</b> .....	<b>7-1</b>
7.1 TDE.....	7-1
7.1.1 概述.....	7-1
7.1.2 功能描述.....	7-1
7.2 VPSS.....	7-2
7.2.1 概述.....	7-2
7.2.2 特点.....	7-2
7.3 VGS.....	7-3
7.3.1 概述.....	7-3
7.3.2 特点.....	7-3
7.4 GDC.....	7-3
7.4.1 概述.....	7-3
7.4.2 特点.....	7-4



# 7 视频及图形处理

## 7.1 TDE

### 7.1.1 概述

2D 图形加速引擎 TDE (Two Dimensional Engine) 利用硬件进行图形绘制, 可以大大减少对 CPU 的占用, 同时提高了内存带宽的资源利用率。TDE 通过 AXI Master 总线接口读写位图数据、滤波缩放系数、链表节点参数信息以及一些链表信息等; 通过 APB Slave 总线接口获得 CPU 的寄存器配置信息。

图形数据接口包括两条通路, 其功能如下:

- 通路 1 在单源操作时完成直接拷贝与直接填充的功能。
- 通路 2 在单源操作时可完成各种复杂的操作, 如图像缩放等。
- 通路 1 与通路 2 协同工作时可以完成颜色混合等操作。

### 7.1.2 功能描述

TDE 模块有以下功能特点:

- 通路 1 支持 ARGB4444、ARGB1555、ARGB8888、RGB444、RGB565、RGB888、ARGB8565、CLUT1、CLUT4、CLUT8、A1、A8、byte、halfword 的格式。
- 通路 2 支持 ARGB4444、ARGB1555、ARGB8888、RGB444、RGB565、RGB888、ARGB8565、CLUT1、CLUT4、CLUT8、A1、A8 的格式。
- 输出图像支持 ARGB4444、ARGB1555、ARGB8888、RGB444、RGB565、RGB888、ARGB8565、CLUT1、CLUT4、CLUT8、A1、A8、byte、halfword 的格式。
- 只支持小端系统。
- 支持源位图 1、源位图 2 和输出位图格式分别可配。
- 支持 Gamma 校正、亮度对比度的调节。
- 支持直接拷贝。
- 支持直接填充。
- 支持 2D-resize 操作。



- 支持 clip 操作。
- 支持 alpha blending 操作。
- 支持 colorkey 操作。
- 支持 clip mask 功能。
- 支持反向扫描。
- 提供状态中断。

## 7.2 VPSS

### 7.2.1 概述

视频处理子系统 VPSS（Video Processing Sub System）实现视频处理功能。包含高斯噪声 3D 自适应降噪、视频遮挡、视频裁剪、缩放、亮度单分量处理、mirror、flip 功能。

VPSS 特性如下：

- 支持单帧在线或离线处理 4096 宽度视频源。
- 支持最多四个通道视频输出，分别为三个编码通道和一个显示通道。
- 输出支持 8 个区域的视频任意四边形实心遮挡，其中凹四边形处理成三角形。
- 支持三个输出通道的视频裁剪，分别为两个编码通道和一个显示通道。
- 支持视频数据压缩。
- 离线模式支持寄存器链表配置功能，在线模式支持 APB 配置寄存器功能。
- 支持跨 4K 边界。
- 输入输出数据格式为 Semiplanar 420/422。
- 支持 outstanding 配置。
- 支持 MEM 的 clock gate 低功耗模式。
- 支持低延时。
- 支持亮度单分量处理。

### 7.2.2 特点

- 去高斯噪声功能：NR 模块（noise reduction），能通过参数配置，把图像中的高斯噪声去除，使得图像变得平滑，同时降低了编码码率。
- 缩放功能：输入输出分辨率不同的低频滤波处理。在线模式下，大码流通道只支持 1:1，其余通道支持缩小或者 1:1，不支持放大。离线模式下仅大码流通道支持放大（最大为 16 倍放大），其余通道支持缩小（最大为 15 倍缩小）。



## 7.3 VGS

### 7.3.1 概述

视频图形系统 VGS (Video Graphics System) 实现视频及图形处理功能。包含 OSD 叠加、缩放、亮度区域统计、视频裁剪、视频遮挡、旋转功能。

VGS 特性如下:

- 支持单帧离线处理 4096 宽度视频源
- 支持一个通道视频输出
- 支持 1 个区域的 OSD 与视频叠加
- OSD 的输入格式为 ARGB1555/ ARGB4444/ ARGB8888
- 支持寄存器链表配置功能
- 支持跨 4K 边界
- 输入/输出数据支持 linear 存储
- 支持视频数据压缩
- 支持 90° 或 270° 旋转
- 支持 1 区域的视频遮挡, 遮挡形状可支持实心或空心的任意四边形, 凹四边形处理成三角形。
- 支持视频裁剪
- 支持 outstanding 配置
- 支持 MEM 的 clock gate 低功耗模式
- 支持区域亮度和统计
- 支持亮度单分量处理

### 7.3.2 特点

- 视频遮挡: 视频遮挡的形状可以为实心或空心的任意四边形, 凹四边形处理成三角形。
- 缩放功能: 输入输出分辨率不同的低频滤波处理。缩放倍数为缩小 15 倍, 放大 16 倍。

## 7.4 GDC

### 7.4.1 概述

GDC (Geometric Distortion Correction) 实现图像畸变矫正功能。

GDC 特性如下:

- 支持单帧离线处理最大 16M 视频源
- 最大支持单模式 8M 30fps 的处理性能





- 支持 YUV semi planer420 格式输入输出图像
- 支持 360/180/normal 三种鱼眼矫正模型
- 支持顶装，壁装，桌装三种安装方式
- 支持鱼眼三种矫正方式下的 PTZ 功能
- 支持寄存器链表配置功能
- 支持跨 4K 边界
- 输入/输出数据支持 linear 存储
- 支持视频图像非压缩输入，支持视频数据压缩输出
- 支持 outstanding 配置
- 支持 MEM 的 clock gate 低功耗模式

## 7.4.2 特点

- 鱼眼矫正功能：在鱼眼功能打开时，可根据当前选取的可视区域及矫正模型，配置合适的输出分辨率以保证矫正后的图像效果最佳；
- 安装方式：支持 3 种安装方式，实际使用中需要根据当前需求选择合适的安装方式和矫正模型，以使得矫正效果最佳；



---

# 目 录

---

<b>8 智能加速引擎</b> .....	<b>8-1</b>
8.1 IVE.....	8-1
8.1.1 概述 .....	8-1
8.1.2 功能描述 .....	8-2
8.1.3 工作方式 .....	8-3
8.1.4 IVE 寄存器概览.....	8-17



## 插图目录

图 8-1 IVE 在系统中的位置图 .....	8-1
图 8-2 SP422 存储格式 .....	8-3
图 8-3 SP420 存储格式 .....	8-4
图 8-4 8bit 单分量数据在 Memory 中的存储 .....	8-4
图 8-5 Package 存储格式 .....	8-4
图 8-6 Plannar 存储格式 .....	8-5
图 8-7 16bit 单分量数据在 Memory 中的存储 .....	8-5
图 8-8 32bit 单分量数据在 Memory 中的存储 .....	8-6
图 8-9 64bit 单分量数据在 Memory 中的存储 .....	8-6
图 8-10 NCC 输出数据在 Memory 中的存储 .....	8-6
图 8-11 CCL 统计信息在 Memory 中的存储（顺序存放） .....	8-6
图 8-12 16bit 水平和垂直方向的间插数据在 Memory 中的存储 .....	8-7



---

## 表格目录

---

表 8-1 IVE 寄存器概览（基址是 0x1104\_0000） .....8-17



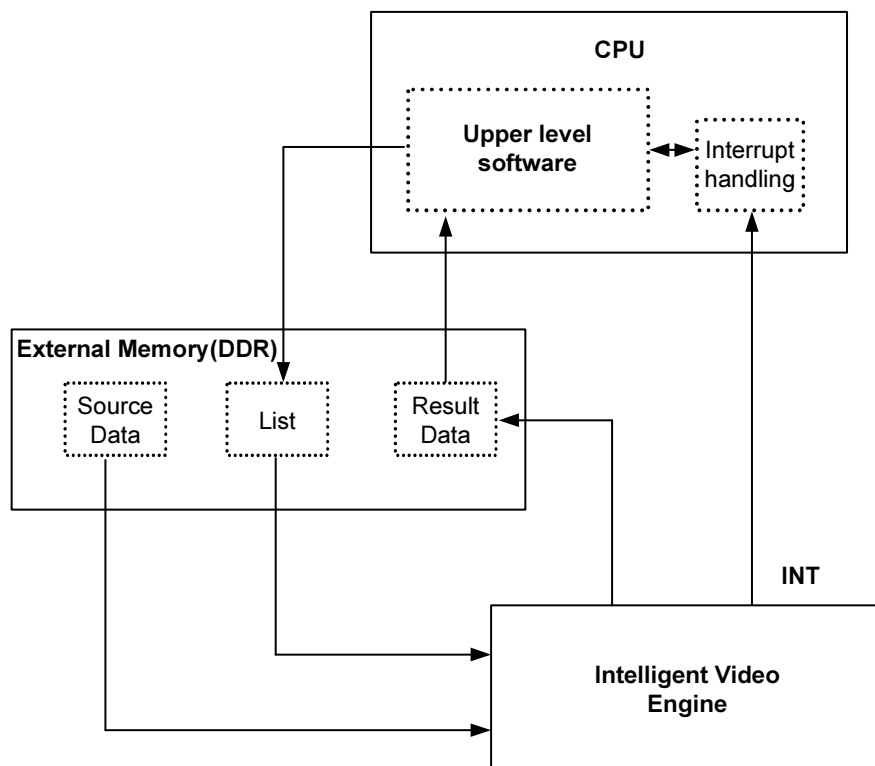
# 8 智能加速引擎

## 8.1 IVE

### 8.1.1 概述

IVE (Intelligent Video Engine)模块提供智能分析算法中所用到的一系列基础运算功能，以及部分耗时较大的特殊功能，是智能分析系统中的硬件加速模块。IVE 在系统中的位置如图 8-1 所示。

图8-1 IVE 在系统中的位置图





## 8.1.2 功能描述

IVE 模块支持如下功能特点：

- DMA：支持直接拷贝、间隔拷贝、内存填充。
- Filter：支持 5x5 模板滤波。
- CSC：支持 YUV2RGB、YUV2HSV、YUV2LAB、RGB2YUV 颜色空间转换。
- FilterAndCSC：支持 5x5 模板滤波和 CSC 的复合功能。
- Sobel：支持 5x5 模板 Sobel-like 梯度计算。
- MagAndAng\Canny：支持 5x5 模板梯度幅值和幅角计算、Canny 边缘提取。
- Erode：支持 5x5 模板腐蚀。
- Dilate：支持 5x5 模板膨胀。
- Thresh\Thresh\_S16\Thresh\_U16：支持图像阈值化处理。
- And\Or\Xor：支持两幅图像相与、或、异或。
- Add\Sub：支持两幅图像相加加权加、减。
- Integ：支持积分图计算。
- Hist：支持直方图统计。
- Map：支持对图像通过 256 级 map 映射赋值。
- 16BitTo8Bit：支持 16bit 数据到 8bit 数据线性转换。
- OrdStatFilter：支持顺序统计量滤波：中值滤波、最大值滤波、最小值滤波。
- NCC：支持两相同大小图像互相关系数计算。
- CCL：支持连通区域标记。
- GMM：支持灰度图与 RGB 图的混合高斯背景建模。
- LBP：支持简单局部二值模式计算。
- NormGrad：支持归一化梯度计算。
- LKOpticalFlow：支持 LK 光流跟踪。
- STCorner：支持 ShiTomasi 角点检测。
- GradFg：支持梯度前景运算。
- MatchBgModel\UpdateBgModel：支持背景匹配、背景更新。
- ANN\_MLP\_Predict：支持 ANN\_MLP 预测。
- SVM\_Predict：支持 SVM 预测。
- Resize：支持双线性、区域图像缩放。
- GMM2：支持灰度图、RGB 图的快速混合高斯背景建模。
- CNN：支持卷积神经网络计算。
- SAD：分块计算两幅图像对应像素差值绝对值的累加和。
- 支持单独进行软复位。
- 支持 128bit AXI 总线和 32 bit APB 总线。
- 支持链表级中断、节点级中断和超时中断。



- 支持 SP 400、SP420 (semi-plannar 420)、SP422 (semi-plannar 422)、package、planar 等输入格式。
- 支持 SP 400、SP420、SP422、package、plannar 等输出格式。
- 部分算子支持读写地址非 16-byte 对齐。

## 8.1.3 工作方式

### 8.1.3.1 输入、输出数据格式

图 8-2~图 8-12 中的 w、h 均指的是图像以像素为单位的宽、高。如无特别说明，数据存放顺序均是在小端系统（little endian）的内存存放顺序，为了方便描述，统一使用 word 作为存储单位进行描述，实际应用中不同的算子对数据存储对齐格式有特殊要求。8.1.3.2 支持的功能中所描述的不同算子功能，对应的输入输出格式也不相同。

图8-2 SP422 存储格式

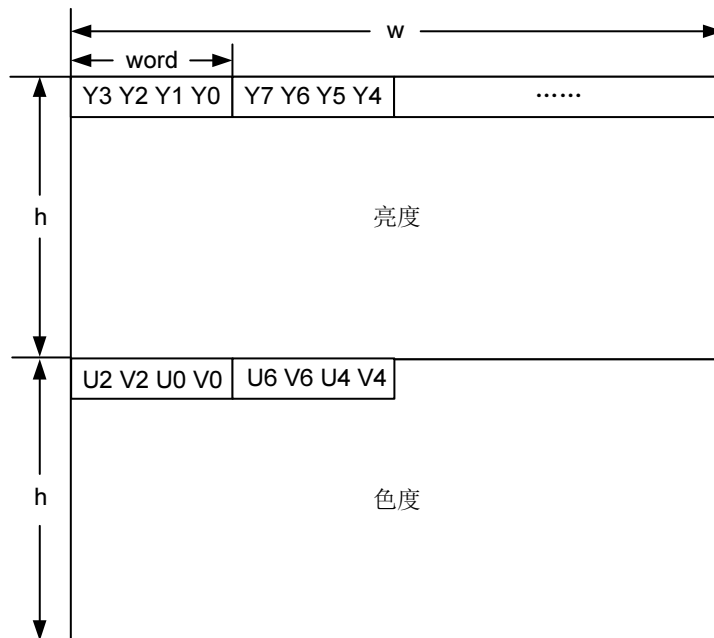




图8-3 SP420 存储格式

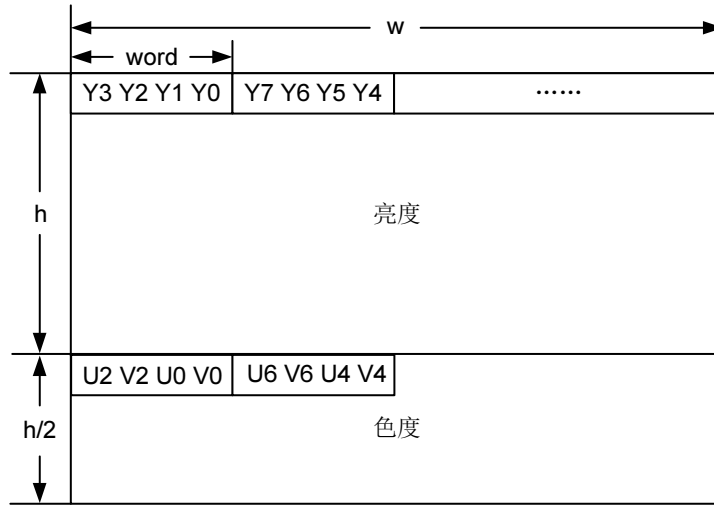


图8-4 8bit 单分量数据在 Memory 中的存储

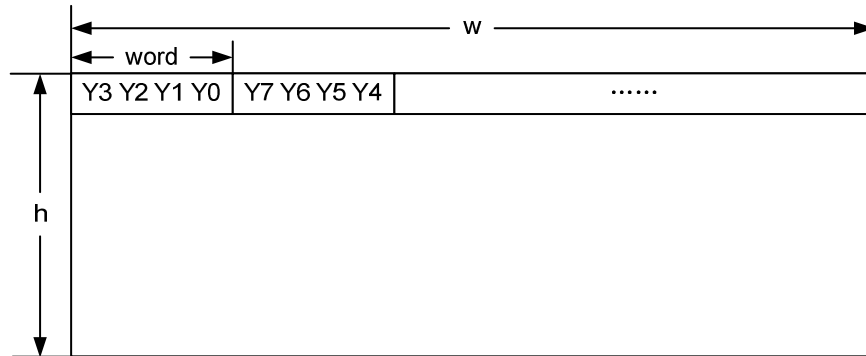


图8-5 Package 存储格式

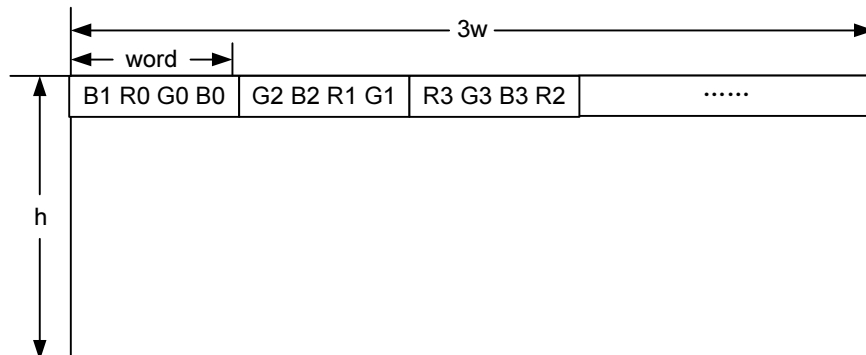






图8-6 Plannar 存储格式

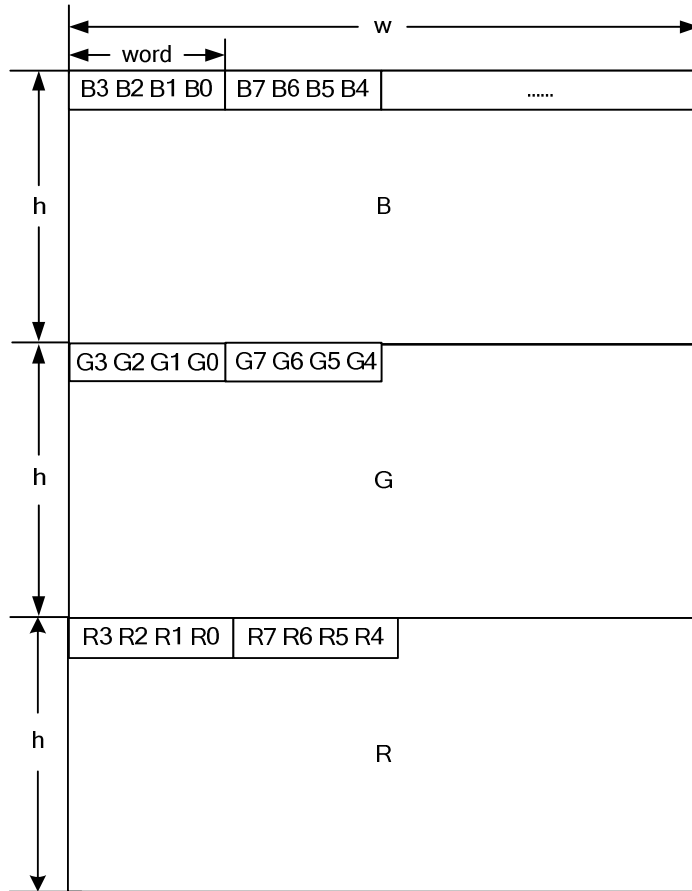


图8-7 16bit 单分量数据在 Memory 中的存储

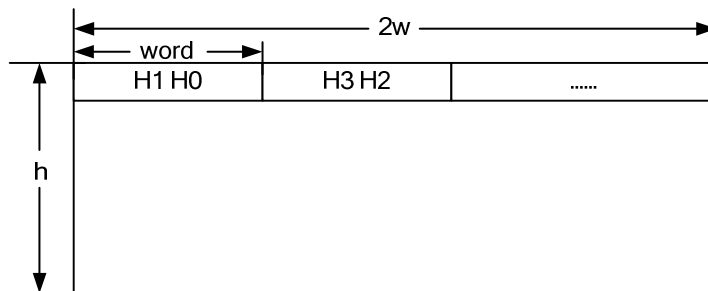




图8-8 32bit 单分量数据在 Memory 中的存储

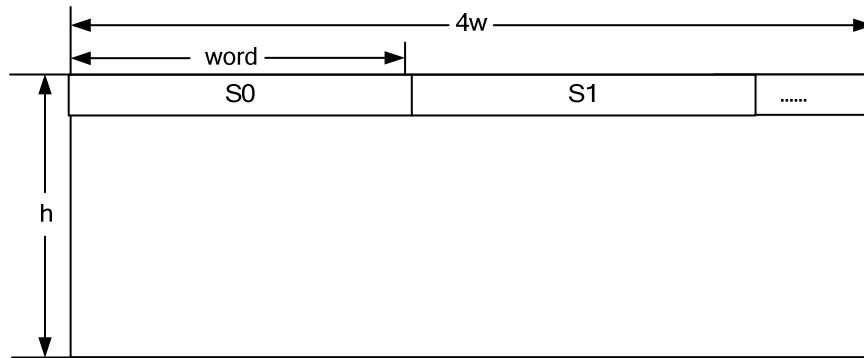


图8-9 64bit 单分量数据在 Memory 中的存储

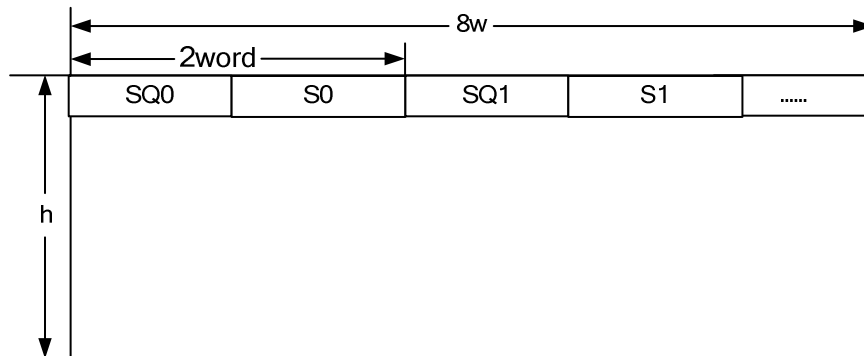


图8-10 NCC 输出数据在 Memory 中的存储

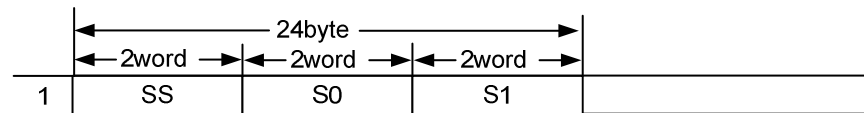


图8-11 CCL 统计信息在 Memory 中的存储（顺序存放）

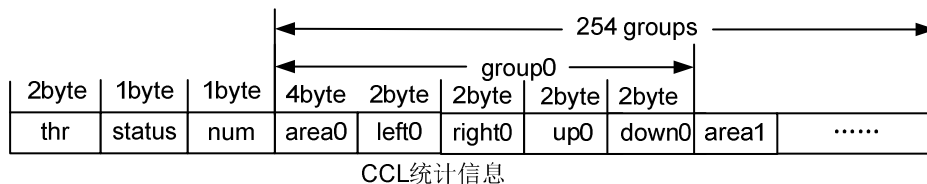
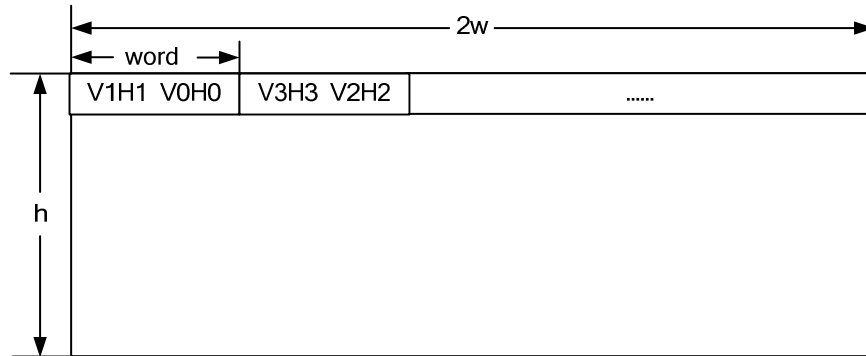




图8-12 16bit 水平和垂直方向的间插数据在 Memory 中的存储



### 8.1.3.2 支持的功能



说明

本章节描述的各算子的支持分辨率请参考《HiIVE API 参考》。

#### DMA

##### (1) 直接拷贝模式

实现矩形数据区域的快速搬移功能。源数据在此模式下将会直接通过 IVE 内部快速通路，搬移到目的区域，并直接覆盖目标区域数据。

- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 要求 16byte 对齐
- 输入输出格式：输入和输出都是 8bit 单分量数据，如图 8-4 所示

##### (2) 间隔拷贝模式

实现矩形区域的数据间隔搬移的功能。源数据在该模式下将在水平和垂直方向上都间隔给定的距离搬运固定大小数据到目的区域。

- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 要求 16byte 对齐
- 输入输出格式：输入和输出都是 8bit 单分量数据，如图 8-4 所示
- 其他：源数据宽 width 必须为 distance 的整数倍

##### (3) 3 字节 memset 模式

实现矩形数据区域的 memory set 功能，以 3 字节为单位填充目的区域。

- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 要求 16byte 对齐
- 输入输出格式：无输入数据，输出 8bit 单分量数据，如图 8-4 所示

##### (4) 8 字节 memset 模式

实现矩形数据区域的 memory set 功能，以 8 字节为单位填充目的区域。

- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 要求 16byte 对齐
- 输入输出格式：无输入数据，输出 8bit 单分量数据，如图 8-4 所示



## Filter

将源图像以 5x5 模板作滤波后输出。

- 地址对齐方式：输入输出地址与 stride 都要求 16-byte 对齐，输出各分量配置相同 stride
- 输入输出格式有 3 种不同情况：
  - 输入和输出都是 8bit 单分量数据，如图 8-4 所示
  - 输入和输出都是 SP420 数据，如图 8-3 所示
  - 输入和输出都是 SP422 数据，如图 8-2 所示

## CSC

颜色空间转换，支持 YUV2RGB, YUV2HSV, YUV2LAB, RGB2YUV 空间的转换。

- 地址对齐方式：输入输出地址与 stride 都要求 16-byte 对齐，输出各分量配置相同 stride
- 输入输出格式：
  - SP420 --> package; SP420 --> plannar
  - SP422 --> package; SP422 --> plannar
  - package-->SP420; package-->SP422
  - plannar-->SP420; plannar-->SP422SP420 或 SP422 格式时，如图 8-3 和图 8-2 所示。  
package 格式时，如图 8-5 所示。  
plannar 格式时，如图 8-6 所示。

## FilterAndCSC

将 YUV SP420/SP422 图像以 5X5 模板作滤波，然后再作 YUV2RGB 的颜色空间转换后输出。

- 地址对齐方式：输入输出地址与 stride 都要求 16-byte 对齐，输出各分量配置相同 stride
- 输入输出格式：
  - SP420 --> package; SP420 --> plannar
  - SP422 --> package; SP422 --> plannarSP420 或 SP422 格式时，如图 8-2 和图 8-3 所示； package 格式时，如图 8-5 所示； plannar 格式时，如图 8-6 所示

## Sobel

对垂直和水平方向做 5x5 模板的 sobel 滤波。

- 地址对齐方式：输入输出地址与 stride 都要求 16-byte 对齐，输出各分量配置相同 stride
- 输入输出格式：



- 输入为 8bit 单分量图，如图 8-4 所示
- 只输出 H 或 V 时，如图 8-7 所示
- H 和 V 都输出时，如图 8-7 所示

## MagAndAng

计算图像梯度的幅值、幅角，支持对幅值图 TO\_ZERO thresh 操作。

- 地址对齐方式：输入输出地址与 stride 都要求 16-byte 对齐，输出各分量配置相同 stride
- 输入输出格式：
  - 输入为 8bit 单分量图，如图 8-5 所示
  - 输出为 16bit 单分量幅值图，如图 8-7 所示
  - 输出为 8bit 单分量幅角图，如图 8-4 所示

## Dilate

二值图像 5x5 模板膨胀。

- 地址对齐方式：输入输出地址都要求 16-byte 对齐
- 输入输出格式：输入和输出都是 8bit 单分量数据，如图 8-4 所示

## Erode

二值图像 5x5 模板腐蚀。

- 地址对齐方式：输入输出地址都要求 16-byte 对齐
- 输入输出格式：输入和输出都是 8bit 单分量数据，如图 8-4 所示

## Thresh

使用固定阈值对图像进行阈值化操作，共有 8 种可配置模式。

- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 要求 16byte 对齐
- 输入输出格式：输入和输出都为 8bit 单分量数据，如图 8-4 所示

## And

源 2 数据与源 1 数据进行与运算，并将结果输出到目的区域。

- 图像分辨率：要求输入的两图像分辨率相同
- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 要求 16byte 对齐
- 输入输出格式：
  - 输入为源 1 8bit 单分量数据
  - 输入为源 2 8bit 单分量数据
  - 输出为运算后的结果数据，为 8bit 单分量数据，如图 8-4 所示



## Sub

源 2 数据与源 1 数据进行减运算，并将结果输出到目的区域。

- 图像分辨率：要求输入的两图像分辨率相同
- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 要求 16byte 对齐
- 输入输出格式：
  - 被减数 8bit 单分量
  - 减数 8bit 单分量
  - 结果数据 8bit 单分量，如图 8-4 所示

## Or

源图 2 数据与源图 1 数据进行进行或运算，并将结果输出到目的区域。

- 图像分辨率：要求输入的两图像分辨率相同
- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 要求 16byte 对齐
- 输入输出格式：
  - 输入两幅图都是 8bit 单分量图
  - 输出 8bit 单分量图，如图 8-4 所示

## Integral

对图像求积分图、平方和积分图，支持和积分图单独输出、平方和积分图单独输出、和积分图与平方和积分图拼在一起输出（分量累加和占低 28 比特，分量平方累加和占高 36 比特）。

- 地址对齐方式：输入输出地址与 stride 都要求 16byte 对齐
- 输入输出格式：
  - 输入为 8bit 单分量图，如图 8-4 所示
  - 和积分图单独输出时，输入为 32bit 单分量图，如图 8-8 所示；平方和积分图单独输出或者和积分图与平方和积分图拼在一起输出时，输出为 64bit 单分量图，如图 8-9 所示

## Histogram

256 级直方图统计，输入为单分量，输出为位宽为 32bit 的 256 级直方图统计值。

- 地址对齐方式：输入输出地址与 stride 都要求 16byte 对齐
- 输入输出格式：
  - 输入为 8bit 单分量，如图 8-4 所示
  - 输出统计结果 32bit 单分量数据，如图 8-8 所示

## Thresh\_S16

Signed 16bit 数据到 8bit 数据阈值化，支持 4 种比较模式。

- 地址对齐方式：输入输出地址与 stride 都要求 16byte 对齐



- 输入输出格式：
  - 输入 16bit 单分量数据，如[图 8-7](#)
  - 输出转换后的 8bit 单分量数据，如[图 8-4](#)

## Thresh\_U16

Unsigned 16bit 数据到 unsigned 8bit 数据阈值化，支持 2 种比较模式。

- 地址对齐方式：输入输出地址与 stride 都要求 16byte 对齐
- 输入输出格式：
  - 输入 16bit 单分量数据，如[图 8-7](#) 所示
  - 输出转换后的 8bit 单分量数据，如[图 8-4](#) 所示

## 16BitTo8Bit

16bit 数据到 8bit 的线性转化，支持 4 种比较模式。

- 地址对齐方式：输入输出地址与 stride 都要求 16byte 对齐
- 输入输出格式：
  - 输入 16bit 数据，如[图 8-7](#) 所示
  - 输出转换后的 8bit 数据，如[图 8-4](#) 所示

## OrdStatFilter

3x3 模板顺序统计量滤波，支持中值滤波、最大值、最小值。

- 地址对齐方式：输入输出地址与 stride 都要求 16byte 对齐
- 输入输出格式：输入和输出都为 8bit 单分量图，如[图 8-4](#) 所示

## Map

数据映射赋值，将源数据通过用户配置的 256 级 unsigned 8bit Map、unsigned 16bit Map 或 signed 16bit Map 表赋予新的值输出。

- 地址对齐方式：所有输入输出地址和 stride 都要求 16byte 对齐。
- 输入输出数据格式：
  - 输入 8bit 单分量数据，如[图 8-4](#) 所示
  - 输入 8bit 或 16bit 位宽的映射表，表项长度固定 256 项。
  - 输出映射后的 8bit 单分量或 16bit 数据。如[图 8-4](#) 和[图 8-7](#) 所示

## Add

两幅灰度图像的加权和，可分别配置各自的权重。

- 图像分辨率：要求输入的两图像分辨率相同
- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 都要求 16byte 对齐



- 输入输出数据格式：
  - 输入两幅 8bit 单分量图像数据，如图 8-4 所示
  - 输出相加后的 8bit 单分量图像数据。如图 8-4 所示

## Xor

两幅二值图像对应数据相异或。

- 图像分辨率：要求输入的两图像分辨率相同
- 地址对齐方式：输入输出地址都要求 byte 对齐，输入输出 stride 都要求 16byte 对齐
- 输入输出数据格式：
  - 输入两幅 8bit 单分量图像数据如图 8-4 所示
  - 输出异或后的 8bit 单分量图像数据，如图 8-4 所示

## NCC

求取两相同分辨率灰度图像的归一化互相关系数。

- 图像分辨率：要求输入的两图像分辨率相同
- 地址对齐方式：输入地址都要求 byte 对齐，输出地址和输入输出 stride 都要求 16byte 对齐
- 输入输出数据格式：
  - 输入两幅 8bit 单分量图像数据，如图 8-4 所示
  - 输出共有 3 个数据，按先后顺序分别为两图像乘积累加值、图像 1 的平方和累加值、图像 2 的平方和累加值，如图 8-10 所示

## CCL

二值图的 8-连通/4-连通区域标记。

- 图像分辨率：widthxheight < 1024x1024
- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐
- 输入输出数据格式：
  - 输入 8bit 单分量图像，如图 8-4 所示，输出 16bit 数据表示输出的有效连通区域最小面积
  - 输出 8bit 数据表示检测到的连通区域是否超出阈值
  - 输出各个连通区域的外接矩形坐标及面积，如图 8-11 所示，同时将原图改写为连通区域标记后的 8bit 单分量图像，如图 8-4 所示

## GMM

GMM 背景建模，支持灰度图、RGB package 图像输入的 GMM 背景建模，Gauss 模型个数为 3 或者 5。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐





- 输入输出数据格式：
  - 输入 8bit 单分量图像或者 RGB package 图像，如图 8-4 和图 8-5 所示
  - 输入模型数据
  - 输出 8bit 单分量前景二值图，如图 8-4 所示
  - 输出更新后的模型数据
  - 输出背景数据，对应输入分别为 8bit 单分量图像或者 RGB package 图像，如图 8-4 和图 8-5 所示

## CannyHysEdge

Canny 边缘检测的磁滞阈值化、非极大抑制部分，输出强弱边缘图及强边缘坐标信息。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐
- 输入输出数据格式：
  - 输入 8bit 单分量幅角图，如图 8-4 所示
  - 输入 16bit 单分量幅值图，如图 8-7 所示
  - 输出 8bit 单分量边缘标记图，如图 8-4 所示
  - 输出 32bit 单分量数据表示的栈，如图 8-8 所示
  - 输出栈大小，用一个 32bit 数据表示

## LBP

LBP 局部二值模式，提取图像局部的纹理信息。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐
- 输入数据格式：
  - 输入 8bit 单分量数据
  - 输出 8bit 单分量 8bit 结果数据，如图 8-4 所示

## NormGrad

归一化梯度计算，梯度分量均归一化到 8bit。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐，要求输出各分量配置相同 stride
- 输入输出数据格式：
  - 输入 8bit 单分量数据，如图 8-4 所示
  - 当 out\_fmt 为 0x00、0x01 或 0x02 时，输出为 8bit 单分量数据，如图 8-4 所示；当 out\_fmt 为 0x03 时，输出为 16bit H 和 V 间插数据，如图 8-12 所示

## LKOpticalFlow

LK 光流运动估计，支持多层金字塔输入，1~4 层可配，支持最多 500 个角点。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐



- 输入输出数据格式：
  - 输入前一帧 8bit 单分量 单/多层金字塔图像，每层图像如图 8-4 所示
  - 输入当前帧 8bit 单分量 单/多层金字塔图像，每层图像如图 8-4 所示
  - 输入前一帧角点坐标，每个坐标用两个 32bit 表示，分别表示水平坐标、垂直坐标，有效位[21:0]
  - 当前帧角点坐标既作为输入（仅在使用初始光流情况下），也作为输出
  - 输出模式可配，0 为只输出当前帧角点坐标，1 为输出当前帧角点坐标和 status 信息，2 为输出当前帧角点坐标，status 信息，err 信息

## STBoxFltAndEigCalc

Shi-tamosi-like 角点计算过程中的盒子滤波、求取角点响应值及最大角点响应值。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐
- 输入输出数据格式：
  - 输入 16bit 水平与垂直方向间插数据，如图 8-12 所示
  - 输出 16bit 单分量数据，如图 8-7 所示
  - 输出 16bit 的 maxEig

## STCandiCorner

实现从 Shi-Tomasi-like 候选角点筛选出角点。

- 图像分辨率：要求输入两图像的分辨率相同
- 地址对齐方式：所有输入输出地址要求 byte 对齐，stride 要求 16byte 对齐
- 输入输出数据格式：
  - 输入为 8bit 单分量图像
  - 输出为 8bit 单分量图像，如图 8-4 所示

## GradFg

根据背景图像和当前帧图像的梯度信息计算梯度前景图像。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐
- 输入输出数据格式：
  - 输入背景差分前景图像，如图 8-4 所示
  - 输入当前梯度间插图像
  - 输入背景梯度间插图像，如图 8-12 所示
  - 输出梯度前景图像，如图 8-4 所示

## MatchBgModel

基于 CodeBook 的背景模型匹配。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐，要求输出各分量配置相同 stride



- 输入输出数据格式：
  - 输入 8bit 单分量当前灰度图像
  - 输入 8bit 单分量前景状态标志图像，如图 8-4 所示
  - 输入 24byte 模型数据；
  - 输出 8bit 单分量背景差分前景图像
  - 输出 8bit 单分量帧间差分图
  - 输出 8bit 单分量前景状态标志图，如图 8-4 所示
  - 输出 24byte 模型数据
  - 输出 64bit 数据统计值

## UpdateBgModel

基于 CodeBook 的背景模型更新。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐，要求输出各分量配置相同 stride
- 输入输出数据格式：
  - 输入 8bit 单分量前景状态标志图像，如图 8-4 所示
  - 输入 24byte 模型数据；
  - 输出 8bit 单分量前景状态标志图像
  - 输出 8bit 单分量背景灰度图
  - 输出 8bit 单分量变化状态灰度图
  - 输出 8bit 单分量变化状态前景图像，如图 8-4 所示
  - 输出 16bit 单分量变化状态像素生命时间，如图 8-7 所示
  - 输出 24byte 模型数据
  - 输出 64bit 数据统计值

## ANN\_MLP\_Predict

单个特征样本的 ANN\_MLP 预测任务，支持最多 6 个隐藏层，支持最多 64 个样本向量输入，输入层最大 1024 个神经元，其余每层不超过 256 个神经元。

- 地址对齐方式：所有输入输出地址要求 16byte 对齐
- 输入输出数据格式：
  - 输入 32bit 的输入层特征向量数据，如图 8-8 所示
  - 输入 8bit 模型数据，如图 8-4 所示
  - 输入 16bit 查找表数据，如图 8-7 所示
  - 输出 32bit 输出层数据，如图 8-8 所示

## SVM\_Predict

单个特征样本 SVM 预测，最大支持 1024 维输入向量。

- 地址对齐方式：所有输入输出地址都要求 16byte 对齐



- 输入输出数据格式：
  - 输入 32bit 特征向量数据，如图 8-8 所示
  - 输入支持向量，8bit 单分量，如图 8-4 所示
  - 输入 16bit 查找表数据，如图 8-7 所示
  - 输入 8bit 决策函数，如图 8-4 所示
  - 输出 16bit 预测投票结果向量，如图 8-7 所示

## Resize

支持双线性插值(bilinear)和区域插值(area)缩放，支持最多 64 张图像输入，水平缩放倍数[1, 16]、垂直缩放倍数[1, 16]，但水平垂直方向缩放倍数不能同时为 1。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐
- 输入输出数据格式：
  - 输入 8bit 单分量图像或 RGB Plannar 图像，如图 8-4 和图 8-6 所示。
  - 输出缩放后的图像，对应于输入图像格式。
- 缩放模式：
  - 一次任务中的图像缩放模式必须相同

## GMM2

GMM 背景建模，支持灰度图、RGB package 图像输入，Gauss 模型个数支持 1-5 个。

- 地址对齐方式：所有输入输出地址与 stride 都要求 16byte 对齐
- 输入输出数据格式：
  - 输入 8bit 单分量图像或 RGB package 图像，如图 8-4 和图 8-5 所示
  - 输入 16bit 像素因子图，像素因子包含高 8bit 更新时长、低 8bit 灵敏度 sensitivity 信息，如图 8-7 所示
  - 输入模型数据
  - 输出 8bit 单分量前景二值图，如图 8-4 所示
  - 输出更新后的模型数据
  - 输出背景图像，对应于输入图像类型
  - 输出 8bit 模型命中信息，如图 8-4 所示，低 1 比特表示模型命中与否，高 7bit 表示命中模型索引

## CNN

卷积神经网络，支持数组图像处理，每次运算最多支持 64 个图像块输入。

- 地址对齐方式：所有输入输出地址、stride 要求 16byte 对齐
- 输入输出数据格式：
  - 输入 8bit 图像数据或 RGB\_Planar 图像数据，分别如图 8-4、图 8-6 示，数组中所有图像类型、分辨率必须与模型相同
  - 输入模型数据



- 输出 N 个最大 1024 维的特征向量，N 与输入图像张数相同，特征向量是作为 CNN 全连接层的输入。

## SAD

分块计算两幅图像对应像素差值绝对值的累加和。

- 图像分辨率：宽高要求配置为块大小的整数倍。
- 地址对齐方式：所有输入地址与 stride 要求 byte 对齐，输出地址要求 byte 对齐
- 输入输出数据格式：
  - 输入为 2 帧相同分辨率 8bit 单分量图像，如图 8-4 所示。
  - 输出结果取决于输出模式（out\_fmt）配置：
    - (1) 复合 16bit SAD 输出模式，按照指定的分块大小输出 16bit SAD 值图，同时输出经过二值化处理的 8bit SAD 二值图，分别如图 8-7 和图 8-4 所示。
    - (2) 复合 8bit SAD 输出模式，按照指定的分块大小输出 8bit SAD 值图，同时输出经过二值化处理后的 8bit SAD 二值图，如图 8-4 所示。
    - (3) 单 16bit SAD 输出模式，按照指定的分块大小输出 16bit SAD 值图，如图 8-7 所示。
    - (4) 单 8bit SAD 输出模式，按照指定的分块大小输出 8bit SAD 值图，如图 8-4 所示。
    - (5) 单二值图 SAD 输出模式，按照指定的分块大小输出经过二值化处理后的 8bitSAD 二值图，如图 8-4 所示。

### 8.1.4 IVE 寄存器概览

IVE 寄存器概览如表 8-1 所示。

表8-1 IVE 寄存器概览（基址是 0x1104\_0000）

偏移地址	名称	描述
0x0000	IVE_START	IVE 启动配置寄存器
0x0004	INT_EN	IVE 中断使能寄存器
0x0008	INT_RW	IVE 清中断寄存器
0x000C	INT_STATUS	IVE 中断状态寄存器
0x0010	LIST_POINTER	链表首地址寄存器
0x0014	IVE_STATUS	IVE 工作状态寄存器
0x0018	IVE_TASK_ID	IVE 上次完成的 task ID 号寄存器
0x0030	NODE_CLK_VALUE	上一个节点消耗的 cycle 数寄存器
0x0034	CLK_GT_EN	IVE 内部模块的时钟门控寄存器



偏移地址	名称	描述
0x0040	NODE_DONE_CNT	完成的节点数寄存器
0x0044	LIST_DONE_CNT	完成的链表数寄存器
0x0054	AXI_INFO	读写 outstanding 数寄存器
0x0060	IVE_OVER_TIME_THR	超时中断门限寄存器
0x0064	IVE_OVER_TIME_CNT	算子工作 cycle 数动态计数寄存器
0x0068	CHAIN_STAT_CLK_VALUE	上一个链表消耗的 cycle 数寄存器
0x006C	CHAIN_CYCLE_CNT	当前链表 cycle 数实时计数寄存器



# 目 录

<b>9 视频接口</b> .....	<b>9-1</b>
9.1 VICAP.....	9-1
9.1.1 概述.....	9-1
9.1.2 特点.....	9-1
9.1.3 功能描述.....	9-2
9.1.4 工作方式.....	9-11
9.1.5 VICAP 寄存器概览.....	9-13
9.1.6 VICAP 寄存器描述.....	9-18
9.2 VDP.....	9-86
9.2.1 概述.....	9-86
9.2.2 架构描述.....	9-86
9.2.3 工作方式.....	9-87
9.2.4 功能描述.....	9-89
9.2.5 VDP 寄存器概览.....	9-92
9.2.6 VDP 寄存器描述.....	9-97
9.3 MIPI Rx.....	9-167
9.3.1 概述.....	9-167
9.3.2 特点.....	9-168
9.3.3 功能描述.....	9-168
9.3.4 MIPI Rx 控制器工作方式.....	9-181
9.3.5 MIPI Rx 寄存器概览.....	9-183
9.3.6 MIPI 寄存器描述.....	9-199



## 插图目录

图 9-1 VICAP 功能框图.....	9-1
图 9-2 525 行 60 场/秒视频系统垂直时序.....	9-4
图 9-3 625 行 50 场/秒视频系统垂直时序.....	9-5
图 9-4 高清接口输入时序水平时序.....	9-5
图 9-5 高清接口输入时序垂直时序.....	9-6
图 9-6 ITU-R BT.601 水平时序图 .....	9-6
图 9-7 NTSC 制式垂直同步时序图 .....	9-7
图 9-8 PAL 制式垂直同步时序图 .....	9-7
图 9-9 数字摄像头水平时序.....	9-8
图 9-10 数字摄像头垂直时序脉冲方式.....	9-8
图 9-11 数字摄像头垂直时序行有效方式.....	9-9
图 9-12 有效图像区域与水平垂直消隐关系图.....	9-9
图 9-13 YCbCr4:2:2 的存储模式 .....	9-10
图 9-14 RAW DATA 的存储模式 .....	9-11
图 9-15 big endian 和 little endian 图像存储模式 .....	9-11
图 9-16 VICAP 的硬件工作流程.....	9-12
图 9-17 软件操作流程 .....	9-13
图 9-17 VDP 总体框图.....	9-86
图 9-18 MIPI Rx 功能框图及在系统中的位置.....	9-167
图 9-19 CSI-2 数据包的传输机制 .....	9-169
图 9-20 CSI-2 长包的格式 .....	9-170
图 9-21 CSI-2 短包的格式 .....	9-170
图 9-22 MIPI 接口图像格式 .....	9-171
图 9-23 MIPI 接口宽动态数据传输（使用 VC） .....	9-172
图 9-24 MIPI 接口宽动态数据传输（使用 DT） .....	9-172





图 9-25 MIPI DOL 数据传输 .....	9-173
图 9-26 LVDS 同步码和图像传输模式 1 .....	9-175
图 9-27 LVDS 同步码和图像传输方式 2 .....	9-176
图 9-28 LVDS 单个像素点时序 .....	9-176
图 9-29 LVDS 同步方式 1 .....	9-177
图 9-30 LVDS 同步方式 2 .....	9-178
图 9-31 LVDS 宽动态模式 1 (2 帧) .....	9-179
图 9-32 LVDS 宽动态模式 2 (2 帧) .....	9-179
图 9-33 HiSPi Packetized-SP 数据格式 .....	9-180
图 9-34 HiSPi 宽动态模式 .....	9-181
图 9-35 MIPI Rx MIPI 模式软件配置流程 .....	9-182
图 9-36 MIPI Rx LVDS 和 HiSPi 模式软件配置流程 .....	9-183



## 表格目录

表 9-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式.....	9-2
表 9-2 SAV/EAV 格式 .....	9-3
表 9-3 有效 SAV/EAV 值 .....	9-3
表 9-4 ITU-R BT.656 纠错码表 .....	9-3
表 9-5 VICAP 寄存器概览（基址是 0x1138_0000） .....	9-13
表 9-6 VDP 寄存器概览（基址是 0x1100_0000） .....	9-92
表 9-7 MIPI Rx 支持的接口类型 .....	9-168
表 9-8 LVDS 同步码格式 .....	9-174
表 9-9 LVDS 同步码第 4 个字段举例.....	9-174
表 9-10 HiSPi 传输模式 .....	9-180
表 9-11 MIPI 寄存器概览（基址是 0x1130_0000） .....	9-183



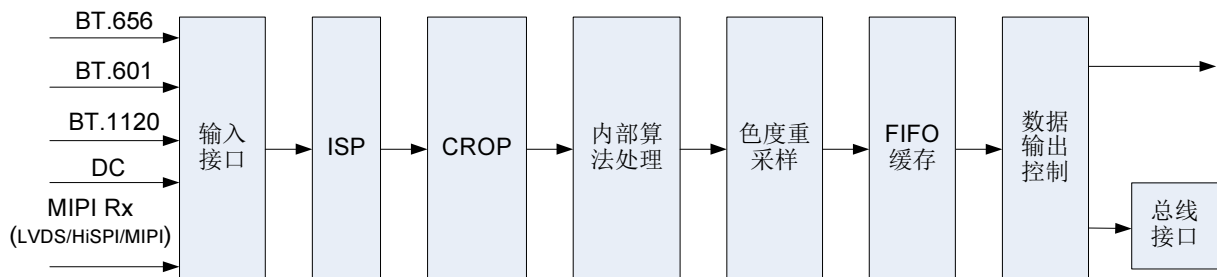
# 9 视频接口

## 9.1 VICAP

### 9.1.1 概述

视频捕获单元 VICAP (Video capture)，可以通过 BT.656/601、BT.1120 接口和 DC (Digital Camera)、MIPI Rx (包含 MIPI、LVDS、HiSPi) 接口接收视频数据，存入指定的内存区域或直接送给 VPSS 模块。VICAP 支持内嵌 ISP 处理单元，可以直接对接外部原始数据 (BAYER RGB 数据)，VICAP 的功能框图如图 9-1 所示。

图9-1 VICAP 功能框图



### 9.1.2 特点

VICAP 有以下特点：

- 输入最大分辨率为 4608x3456
- 外部支持 1 个接口，最大数据位宽为 16bit
- 内部支持 1 个端口和 1 路通道视频处理，通道支持隔行和逐行输入模式
- 支持 BT.656、BT.601、BT.1120 和 DC、MIPI、LVDS、HiSPi 等时序
- 支持 SMPTE293M/ITU-R BT.1358 时序 (480P/576P)
- 支持 flash trigger



- 支持 shutter trigger
- 支持 sensor 主从模式
- 支持内嵌 ISP 处理功能
- 支持在一个指定窗口内获取数据
- 支持离线输出数据到 DDR 和在线输出数据到 VPSS
- 输出格式支持存储模式：
  - SPYCbCr 4:2:2 模式
  - SPYCbCr 4:2:0 模式

## 9.1.3 功能描述

### 9.1.3.1 典型应用

VICAP 是一个支持多种时序输入的视频输入采集单元，将采集到的视频数据存储到 DDR 中或者在线送给 VPSS，系统可以配置不同的功能模式，使之可以灵活地适应不同的外部输入视频接口，支持多种外部输入设备。

VICAP 总共占有 23 个管脚，1 个时钟，2 个外同步信号（有管脚复用），16 个数据线，1 个快门触发信号（有管脚复用），1 个闪光灯触发信号（有管脚复用），2 个 sensor 从模式时序输出引脚。

VICAP 模块总共有 1 个端口，1 个通道。1 个端口可以解析 1 个对接芯片的时序，1 个通道可以处理 1 路视频信号。

VICAP 的典型输入有以下 2 种：

- 1 路 8M
- 1 路 2M

### 9.1.3.2 功能原理

#### ITU-R BT.656 YCbCr4:2:2

##### (1) 水平时序

在 ITU-R BT.656 协议中，同步信号集成在数据流中，在数据流中的特殊字节 SAV 和 EAV 分别表示有效行数据的开始和结束。在视频数据流中，由 FF 00 00（FF、00 为图像编码数据的保留值，为非图像数据）构成的定时基准码字的码头来标志紧接着的一个字节为 SAV 或者 EAV，ITU-R BT. 656 的行数据流格式如表 9-1 所示。

表9-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式

定时基准码				行消隐区				定时基准码				720 有效像素 YCbCr 4:2:2							
FF	00	00	EAV	80	10	...	80	10	FF	00	00	SAV	Cb0	Y0	Cr0	Y1	...	Cr718	Y719

SAV 和 EAV 的相互区别由 SAV/EAV 的特殊比特位“H”区分，SAV/EAV 还包含了垂直消隐位“V”和场指示位“F”。SAV/EAV 的具体描述见表 9-2 所示。



表9-2 SAV/EAV 格式

bit[7]	bit[6](F)	bit[5](V)	bit[4](H)	bit[3:0](P3~P0)
固定值 1	场指示位 1st field: F=0 2nd field: F=1	垂直消隐位 VBI: V=1 Active video: V=0	SAV: H=0 EAV: H=1	校验位

ITU-R BT.656 协议采用了 8 个有效保留位用来定义有效的 SAV 和 EAV，4 个校验位可纠正 1bit 出错，检测 2bit 出错。有效的 SAV/EAV 值如表 9-3 所示。

表9-3 有效 SAV/EAV 值

编码	二进制值	场号	垂直消隐期
SAV	10000000	1	-
EAV	10011101	1	-
SAV	10101011	1	是
EAV	10110110	1	是
SAV	11000111	2	-
EAV	11011010	2	-
SAV	11101100	2	是
EAV	11110001	2	是

4 个有效保留位还起到纠错的作用，P0、P1、P2、P3 由 F、V 和 H 位来确定的，如表 9-4 所示。

表9-4 ITU-R BT.656 纠错码表

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1



其中:

$P0=F^{\wedge}V^{\wedge}H$

$P1=F^{\wedge}V$

$P2=F^{\wedge}H$

$P3=V^{\wedge}H$

### (2) 垂直时序

垂直时序也是通过定时基准码 SAV/EAV 的“F”和“V”来实现，典型的 525 行和 625 行视频系统垂直时序如图 9-2 和图 9-3 所示。

图9-2 525 行 60 场/秒视频系统垂直时序

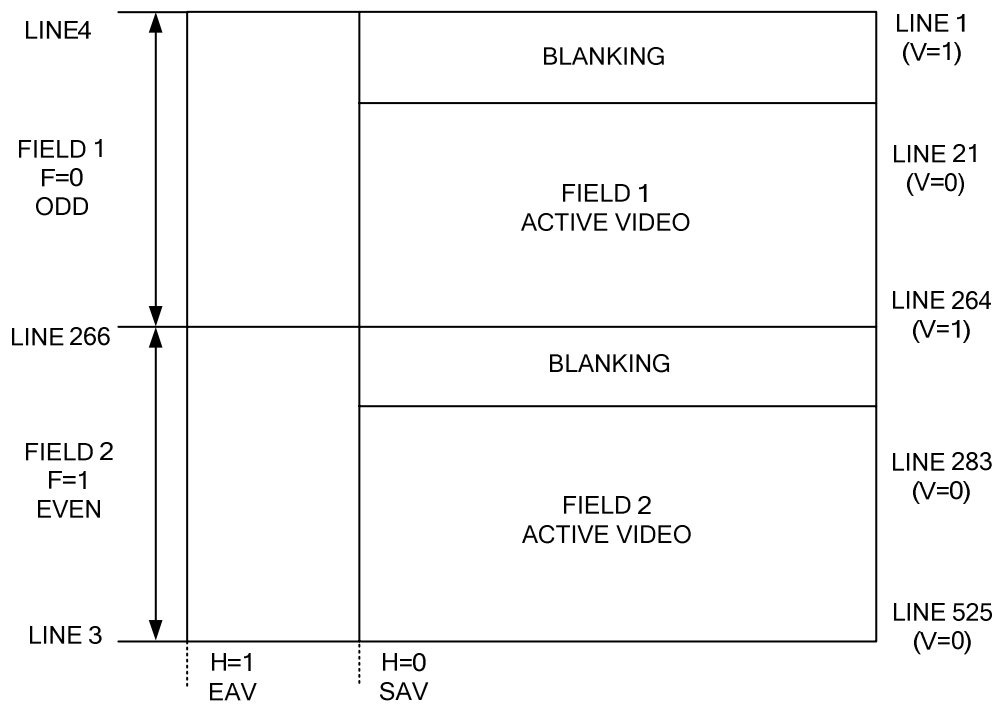
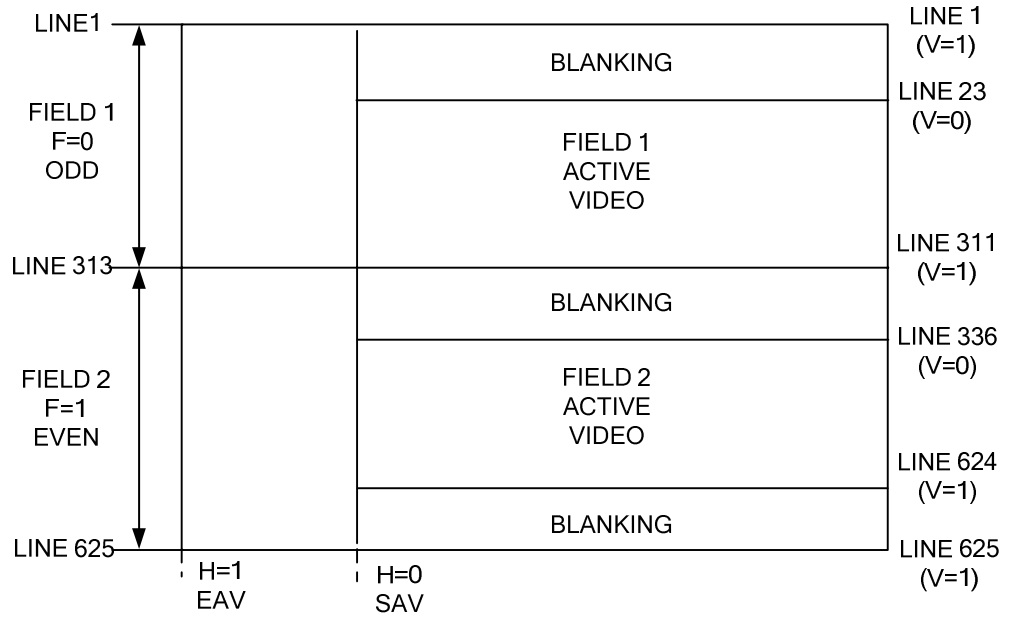




图9-3 625 行 50 场/秒视频系统垂直时序



注：VICAP 内部只根据 SAV/EAV 来识别垂直时序，不会限制具体在哪一行。

## BT 1120（高清）接口时序

VICAP 支持 Y/C 分开输入的高清接口时序，此时需要用到 2 个数据端口，一个端口用来传输亮度，另一个端口用来传输色度，如图 9-4 和图 9-5 所示。

图9-4 高清接口输入时序水平时序

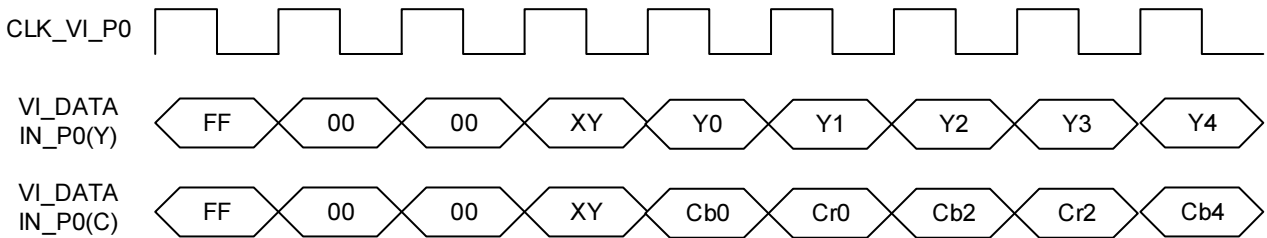
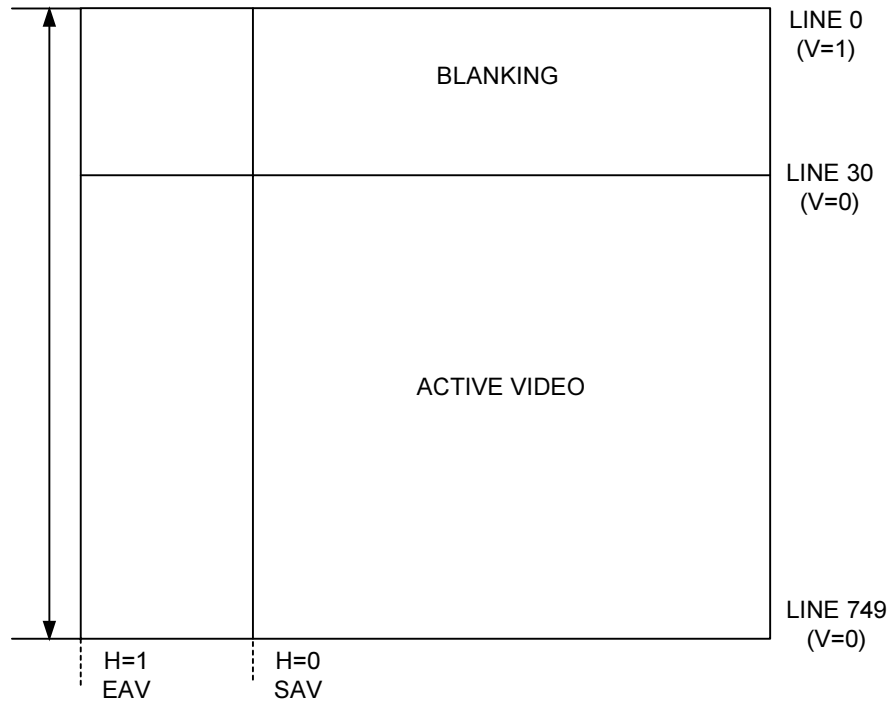




图9-5 高清接口输入时序垂直时序

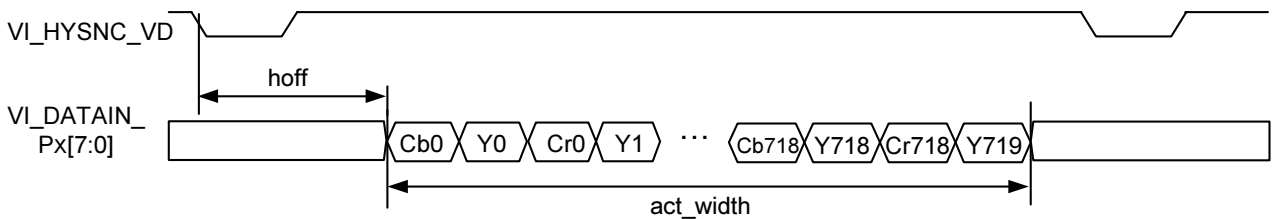


## ITU-R BT.601 YCbCr4:2:2

### (1) 水平时序

水平脉冲表示新的一行开始如图 9-6 所示。经过  $hoff$ （可配，NTSC525 行系统该值为 244，PAL625 行系统该值为 264 个时钟）后，行前消隐区结束，进入行有效数据区，经过  $act\_width$ （可配，典型值为 720 或 704）个时钟后行有效区域结束，进入行后消隐区。水平同步极性可配。

图9-6 ITU-R BT.601 水平时序图



### (2) 垂直时序

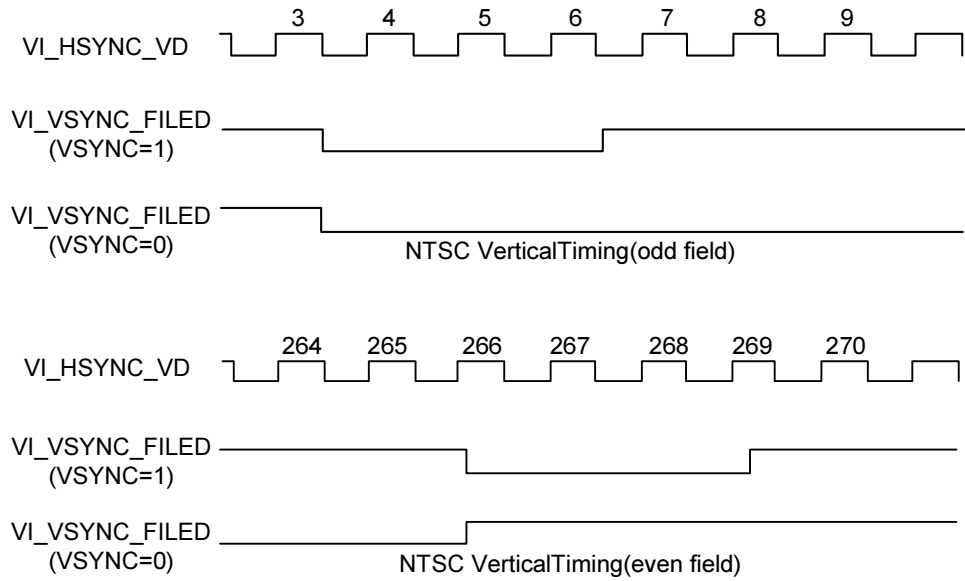
ITU-R BT.601 建议：信号  $VSYNC/FIELD$  作为垂直同步信号。 $VSYNC$  的脉冲或者  $FIELD$  的跳变标志奇偶场的开始，VICAP 支持以下 2 种垂直同步方法。

VI 在 NTSC 制式（525 行）和 PAL 制式（625 行）的垂直时序关系图如图 9-7 和图 9-8 所示，其中  $VI\_HSYNC\_VD$  为水平同步脉冲， $VI\_VSYNC\_FIELD$  在  $VSYNC=1$  时为垂直同步脉冲；在  $VSYNC=0$  时为场同步信号。



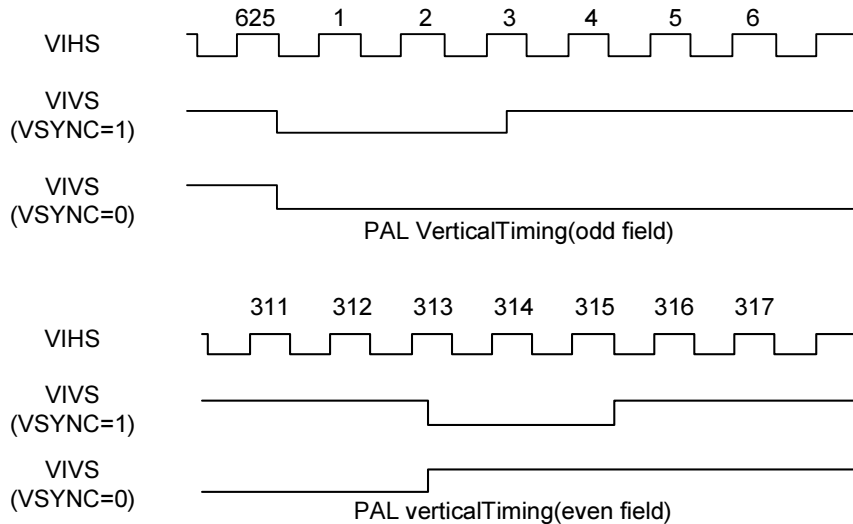


图9-7 NTSC 制式垂直同步时序图



在 NTSC 隔行扫描制式下，第 1 场的垂直同步信号在第 4 行的起始位置变为低电平，持续 3 行低电平后，在第 7 行的起始位置变为高电平。VICAP 接收从第 22 行开始到第 261 行结束的 240 行数据。第 2 场的垂直同步信号在第 266 行的中间位置变为低电平，持续 3 行低电平后，在第 269 行中间位置变为高电平。VICAP 接收从第 285 行开始第 524 行结束的 240 行数据。

图9-8 PAL 制式垂直同步时序图



在 PAL 隔行扫描制式下，第 1 场的垂直同步信号在第 1 行起始位置变为低电平，持续 2.5 行低电平后，在第 3 行的中间位置变为高电平。VICAP 接收从第 24 行开始到第 310 行结束的 288 行数据。第 2 场的垂直同步信号在第 313 行的中间位置变为低电平，



持续 2.5 行低电平后，在第 316 行的起始位置变为高电平。VICAP 接收从第 336 行开始到第 623 行结束的 288 行数据。

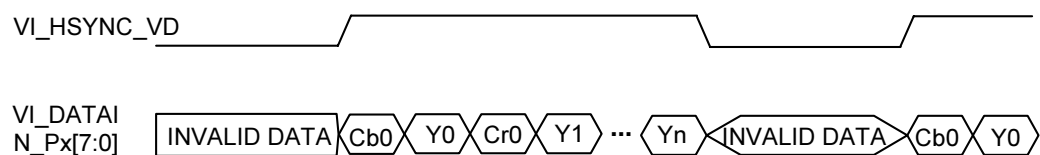
上面两种为典型的 BT.601 垂直时序，VICAP 内部支持场开始到场有效行开始之间的行数可配，场有效行的行数可配，垂直同步的极性可配。

## 数字摄像头接口时序

### (1) 水平时序

VICAP 接数字摄像头时，VI\_HSYNC\_VD 表示数据有效信号，数据有效信号极性可配，水平时序如图 9-9 所示。

图9-9 数字摄像头水平时序



### (2) 垂直时序

VICAP 支持两种垂直时序脉冲方式和行有效方式，如图 9-10 和图 9-11 所示。垂直同步极性可配。

图9-10 数字摄像头垂直时序脉冲方式

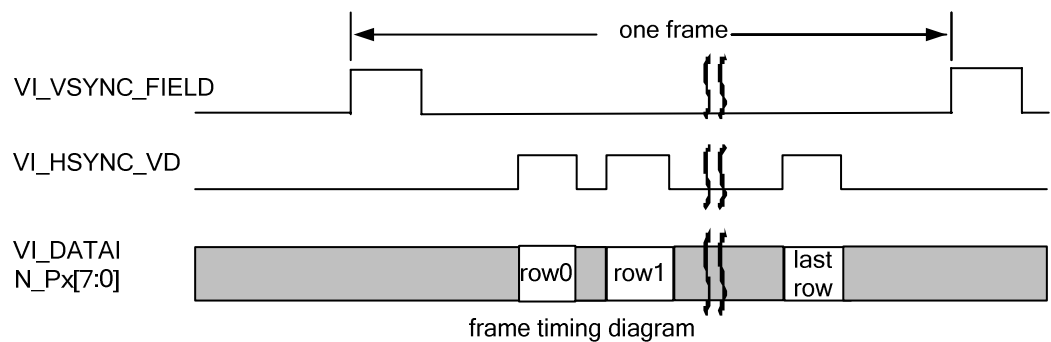
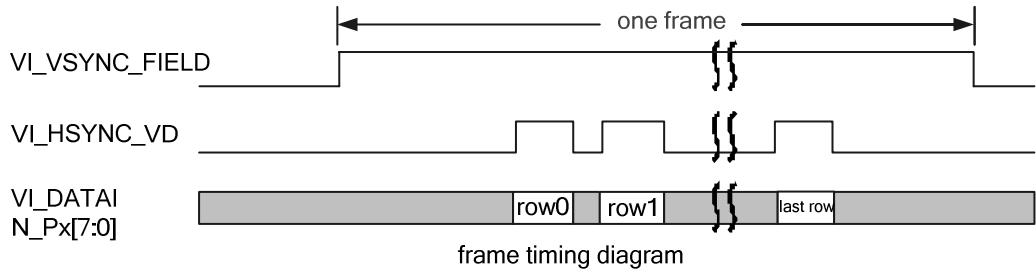




图9-11 数字摄像头垂直时序行有效方式

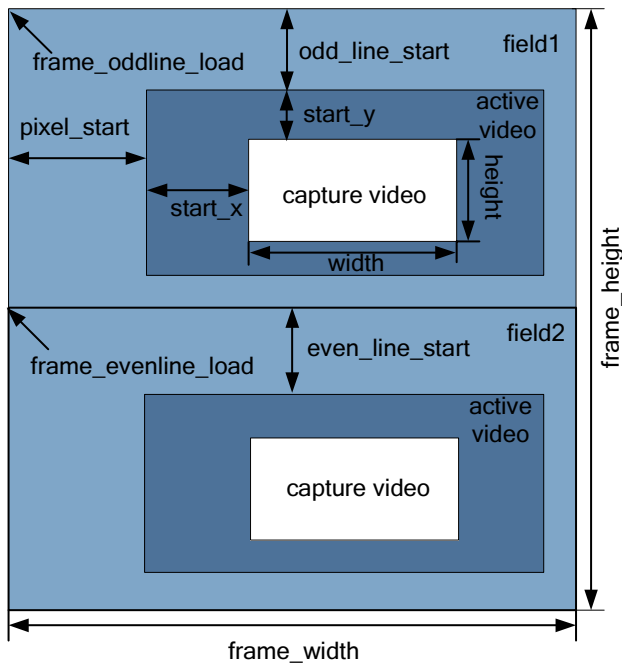


对于 VICAP 内部处理来说，这两种时序相同，VICAP 内部检测到一个上升沿或下降沿，这认为是一帧的开始，然后检测数据有效信号，来判断当前数据是否有效。

### 9.1.3.3 图像 CROP

有效视频范围如图 9-12 所示。开始于水平消隐和垂直消隐之后。而实际显示的视图区域常常包含在有效视频范围之内，相对有效视频的边界有一点点缩小，其目的是避免边缘效应。

图9-12 有效图像区域与水平垂直消隐关系图



### 9.1.3.4 图像存储模式

图像存储模式包括：

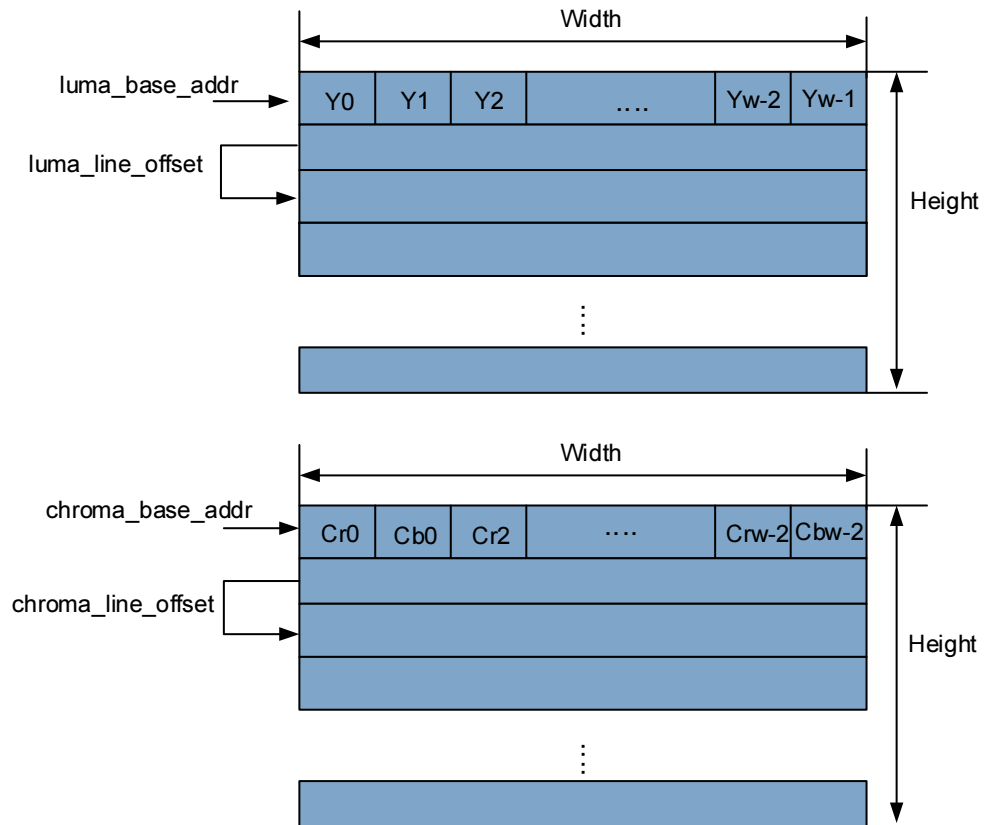
1. YUV 数据存储
  - semi-planar YCbCr 存储。



系统设定了视图区域后，对读入数据按照 semi-planar 方式存储，即亮度分量和色度分量分别存储在 DDR 中的亮度存储空间和色度存储空间。

- 在 1 行内，亮度、色度分量各自连续存储。
- 连续 2 行之间的存储，可以通过系统定义的行首与行首之间的存储间隔参数 offset 定义。
- 亮度和色度分量在 DDR 中的存储位置由起始地址 base\_addr 来指示。VI 捕获的 YCbCr4:2:2 数据的存储结构如图 9-13 所示。

图9-13 YCbCr4:2:2 的存储模式



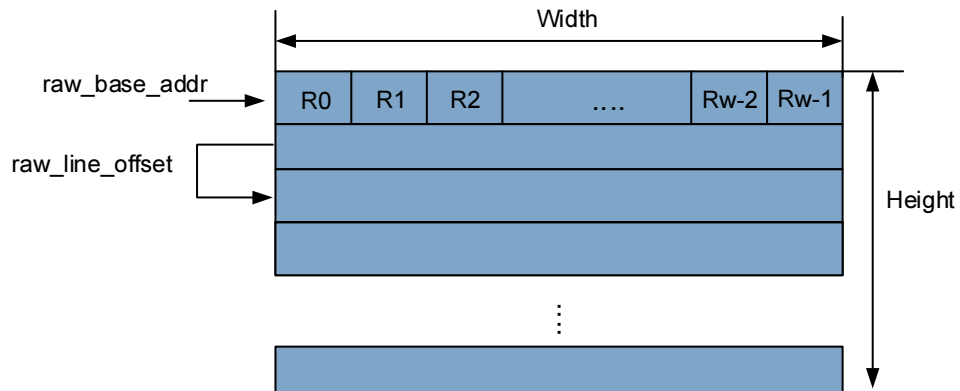
## 2. RAW 数据存储

- 按单分量方式存储。
- 1 行内，RAW 数据连续存储。
- 连续 2 行之间的存储，可以通过系统定义的行首与行首之间的存储间隔参数 offset 定义。
- DDR 中的存储位置由起始地址 base\_addr 来指示。

VI 捕获的 RAW 数据的存储结构如图 9-14 所示。

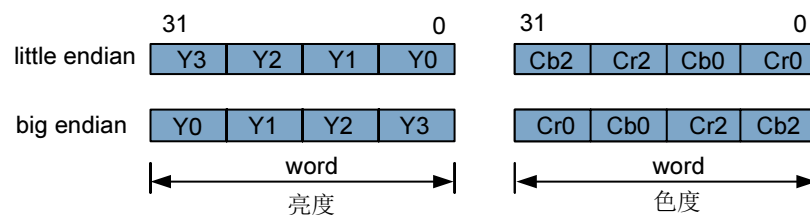


图9-14 RAW DATA 的存储模式



在 DDR 中，数据的存储是以 word（32bit）为单位。由 4 个 8bit 像素组成一个 32bit 的 word，在 4 个字节构成一个 word 时有 2 种方式：big endian 和 little endian。图 9-15 是以亮度和色度分量为例来说明 big endian 和 little endian 的存储方式。

图9-15 big endian 和 little endian 图像存储模式



VICAP 只支持 little endian 方式存储数据到 DDR，存储地址为 16byte 对齐。

## 9.1.4 工作方式

### 9.1.4.1 VICAP 的 reg\_newer 功能

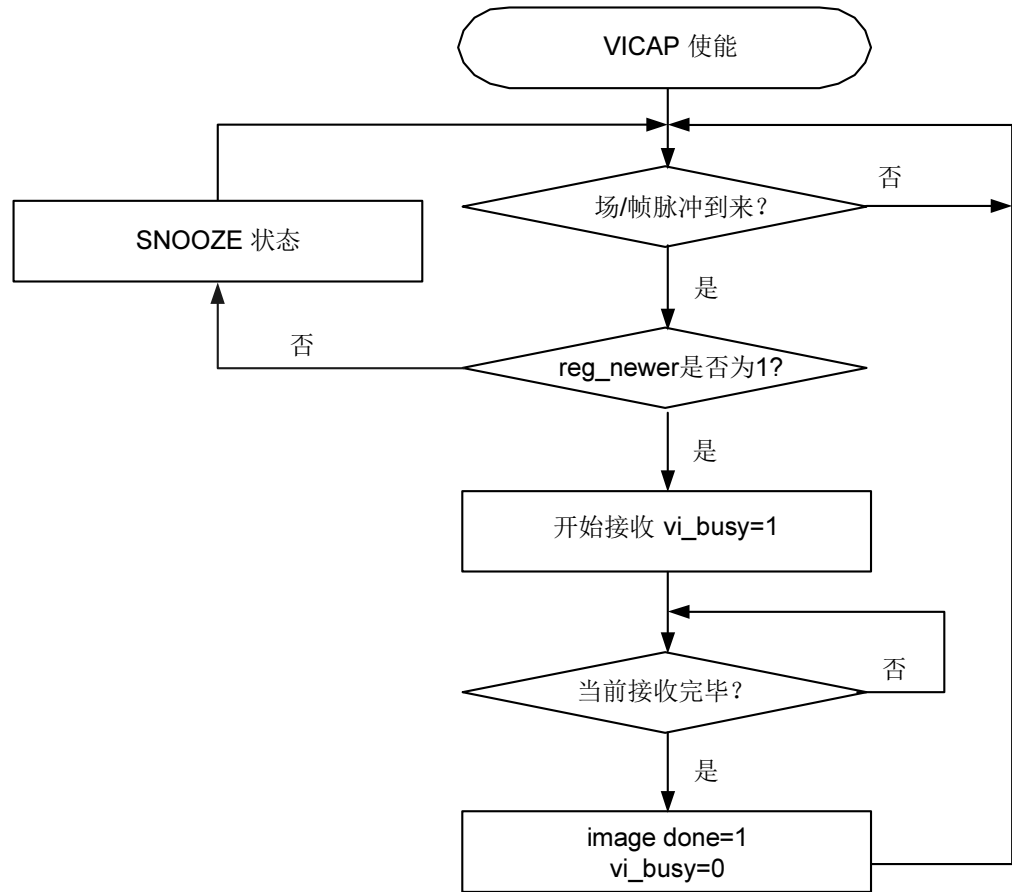
- 在软件使能 VICAP 某个通道之前，软件应该完成以下操作：
  - 完成对 VICAP 的属性寄存器的配置操作。
  - 写 reg\_newer 位为“1”，通知 VICAP 模块当前的寄存器已经准备就绪。
- 使能 VICAP 后，VICAP 逻辑开始工作，当一场/帧到来的时候，则有：
  - 如果 reg\_newer 为 0，则 VICAP 将不会接收数据，置硬件状态为 SNOOZE（以下各硬件状态为图 9-16 所用），等待下一场/帧的数据的到来。
  - 如果 reg\_newer 为 1，则开始接收数据，同时给出寄存器更新中断 (reg\_update\_int)，并设置硬件状态为 busy。
- 当接收完毕当前数据后，清除硬件 busy 状态。等到下一场/帧到来的时候，则：
  - 如果 reg\_newer 为 0，则放弃下一场/帧数据的接收。
  - 如果 reg\_newer 为 1，则可以紧接着前一次数据继续接收下一场/帧的数据。



### 9.1.4.2 硬件工作流程

VICAP 的硬件工作流程如图 9-16 所示。

图9-16 VICAP 的硬件工作流程



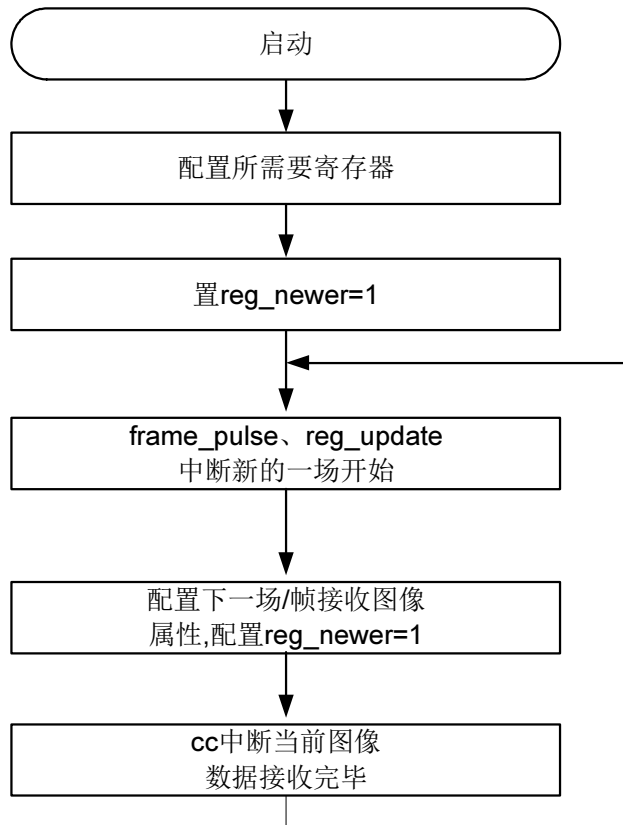
在 VICAP 工作时，每接收完一场/帧数据，在下一场的到来时，VICAP 将检测 reg\_newer 位。如果 reg\_newer 位为 1（表示软件已经更新或者确认 VICAP 的寄存器），VICAP 将自动 load 软件所配置的寄存器值到工作寄存器（工作寄存器软件不可访问），然后将 reg\_newer 位清 0，并开始接收下一场/帧数据。否则，只有等到 reg\_newer 为 1 且新的一场/帧到来时开始接收数据。

### 9.1.4.3 软件配置流程

在中断方式下，软件的操作流程如图 9-17 所示。



图9-17 软件操作流程



在使用 BT.656 模式、BT.1120 模式、MIPI Rx 和 digital camera 接口情况下，不需要配置时序寄存器。在 BT.601 模式下，还需要配置时序寄存器，时序寄存器包括垂直同步寄存器和水平同步寄存器。

### 9.1.5 VICAP 寄存器概览

VICAP 寄存器概览如表 9-5 所示。

表9-5 VICAP 寄存器概览（基址是 0x1138\_0000）

偏移地址	名称	描述	页码
0x0000	WK_MODE	全局工作配置寄存器	9-18
0x0010	AXI_CFG	总线配置寄存器	9-19
0x0014	MAC_CFG	MAC 配置寄存器	9-19
0x0030	CH_SEL	通道输入数据选择寄存器	9-20
0x0040	DES_SEL	DES 输入数据选择寄存器	9-21
0x0050	ISP_SEL	ISP 输入数据选择寄存器	9-22



偏移地址	名称	描述	页码
0x0060	CHN_MODE	总线读写速率控制模式寄存器	9-23
0x0070	BUF_MODE	LINE_BUF 输入数据选择寄存器	9-24
0x00A0	SLAVE_MODE_CFG	SENSOR 从模式配置寄存器	9-25
0x00B0	SLAVE_MODE_VS_TIME	SENSOR 从模式输出 VSYNC 的周期配置寄存器	9-25
0x00B4	SLAVE_MODE_HS_TIME	SENSOR 从模式输出 HSYNC 的周期配置寄存器	9-26
0x00B8	SLAVE_MODE_VS_CYC	SENSOR 从模式输出 VSYNC 脉冲有效信号持续时间配置寄存器	9-26
0x00BC	SLAVE_MODE_HS_CYC	SENSOR 从模式输出 HSYNC 脉冲有效信号持续时间配置寄存器	9-27
0x00E0	APB_TIMEOUT	APB 超时寄存器	9-27
0x00F0	VICAP_INT	中断指示寄存器	9-27
0x00F8	VICAP_INT_MASK	中断指示寄存器	9-29
0x0100	PT_INTF_MOD	接口模式寄存器	9-31
0x0110	PT_OFFSET0	0 分量 offset 寄存器	9-31
0x0114	PT_OFFSET1	1 分量 offset 寄存器	9-32
0x0118	PT_OFFSET2	2 分量 offset 寄存器	9-32
0x0120	PT_BT656_CFG	BT656 配置寄存器	9-33
0x0130	PT_UNIFY_TIMING_CFG	时序配置寄存器	9-34
0x0134	PT_GEN_TIMING_CFG	时序恢复模块配置寄存器	9-36
0x0140	PT_UNIFY_DATA_CFG	数据配置寄存器	9-37
0x0144	PT_GEN_DATA_CFG	数据产生模块配置寄存器	9-37
0x0148	PT_GEN_DATA_COEF	数据产生模块系数寄存器	9-39
0x014C	PT_GEN_DATA_INIT	数据产生模块初始值配置寄存器	9-39
0x0150	PT_YUV444_CFG	YUV444 配置寄存器	9-40
0x0160	PT_FSTART_DLY	端口 fstart 中断延时寄存器	9-40





偏移地址	名称	描述	页码
0x0180	PT_INTF_HFB	水平前消隐区宽度寄存器	9-40
0x0184	PT_INTF_HACT	水平有效区宽度寄存器	9-41
0x0188	PT_INTF_HBB	水平后消隐区宽度寄存器	9-41
0x018C	PT_INTF_VFB	垂直 前消隐区宽度寄存器	9-42
0x0190	PT_INTF_VACT	垂直有效区宽度寄存器	9-42
0x0194	PT_INTF_VBB	垂直后消隐区宽度寄存器	9-42
0x0198	PT_INTF_VBFB	垂直底场前消隐区宽度寄存器	9-43
0x019C	PT_INTF_VBACT	垂直底场有效区宽度寄存器	9-43
0x01A0	PT_INTF_VBBB	垂直底场后消隐区宽度寄存器	9-44
0x01A4	PT_ID_CFG	ID 配置寄存器	9-44
0x01B0	PT_FLASH_CFG	闪光灯配置寄存器	9-45
0x01C0	PT_FLASH_CYC0	闪光灯时序 0 宽度寄存器	9-46
0x01C4	PT_FLASH_CYC1	闪光灯时序 1 宽度寄存器	9-46
0x01D0	PT_SHUTTER_CYC 0	快门时序 0 宽度寄存器	9-46
0x01D4	PT_SHUTTER_CYC 1	快门时序 1 宽度寄存器	9-47
0x01D8	PT_SHUTTER_CYC 2	快门时序 2 宽度寄存器	9-47
0x01DC	PT_SHUTTER_CYC 3	快门时序 3 宽度寄存器	9-48
0x01E0	PT_STATUS	端口状态寄存器	9-48
0x01E4	PT_BT656_STATUS	BT656 状态寄存器	9-48
0x01EC	PT_SIZE	输入大小指示寄存器	9-49
0x01F0	PT_INT	端口中断指示寄存器	9-49
0x01F8	PT_INT_MASK	端口中断屏蔽寄存器	9-50
0x0200	DES_CTRL	DES 控制寄存器	9-51
0x0204	DES_REG_NEWER	采集控制寄存器	9-52
0x0210	DES_ID_CFG	DES 接收 ID 选择寄存器	9-52
0x0220	DES_CROP_CFG	CROP 使能寄存器	9-53



偏移地址	名称	描述	页码
0x0230	DES_CROP0_START	0 区域 CROP 起始位置寄存器	9-53
0x0234	DES_CROP0_SIZE	0 区域 CROP 大小置寄存器	9-54
0x0270	DES_CFG	DES 配置寄存器	9-54
0x0284	DES_SIZE	DES 存储大小寄存器	9-55
0x0290	DES_FADDR	DES 存储基地址寄存器	9-55
0x0294	DES_STRIDE	DES 存储行间距寄存器	9-55
0x029C	DES_BUF_CFG	DES 总线 BUF 控制寄存器	9-56
0x02F0	DES_INT	DES 原始中断寄存器	9-56
0x02F8	DES_MASK	DES 中断屏蔽寄存器	9-57
0x0500	LINE_BUF_CFG	LINE_BUF 控制寄存器	9-58
0x0504	LINE_BUF_REG_NEWER	LINE_BUF 更新寄存器	9-59
0x0510	LINE_BUF_ID_CFG	LINE_BUF 接收 ID 选择寄存器	9-60
0x0520	LINE_BUF_CROP_CFG	CROP 使能寄存器，即时寄存器	9-60
0x0530	LINE_BUF_CROP0_START	0 区域 CROP 起始位置寄存器，即时寄存器	9-61
0x0534	LINE_BUF_CROP0_SIZE	0 区域 CROP 大小置寄存器，即时寄存器	9-61
0x0550	LINE_BUF_WIDTH	LINE_BUF 图像宽度寄存器	9-62
0x0554	LINE_BUF_HEIGHT	LINE_BUF 图像高度寄存器	9-62
0x05F0	LINE_BUF_INT	LINE_BUF 原始中断寄存器	9-62
0x05F8	LINE_BUF_MASK	LINE_BUF 中断屏蔽寄存器	9-63
0x0600	SRC_CTRL	SRC 控制寄存器	9-64
0x0604	SRC_REG_NEWER	采集控制寄存器	9-65
0x0670	SRC_CFG	配置寄存器	9-66
0x0684	SRC_SIZE	SRC 存储大小寄存器	9-66
0x0690	SRC_FADDR	SRC 存储基地址寄存器	9-67
0x0694	SRC_STRIDE	SRC 存储行间距寄存器	9-67
0x069C	SRC_BUF_CFG	SRC 总线 BUF 控制寄存器	9-68



偏移地址	名称	描述	页码
0x06F0	SRC_INT	SRC 原始中断寄存器	9-68
0x06F8	SRC_MASK	SRC 中断屏蔽寄存器	9-69
0x1000	CH_CTRL	通道控制寄存器	9-70
0x1004	CH_REG_NEWER	采集控制寄存器	9-71
0x1034	CH_DLY_CFG	通道输入图像起始中断延迟配置寄存器	9-72
0x1080	CH_WCH_Y_CFG	WCH 模块 Y 分量配置寄存器	9-72
0x1084	CH_WCH_Y_SIZE	WCH 模块 Y 分量存储大小寄存器	9-73
0x1090	CH_WCH_Y_FADDR	WCH 模块 Y 分量存储基地址寄存器	9-74
0x1094	CH_WCH_Y_HADDR	WCH 模块 Y 分量头信息存储基地址寄存器	9-74
0x1098	CH_WCH_Y_STRIDE	WCH 模块 Y 分量行偏移寄存器	9-75
0x109C	CH_WCH_Y_BUF_CFG	CH_DES 总线 BUF 控制寄存器	9-75
0x10A0	CH_WCH_C_CFG	WCH 模块 C 分量配置寄存器	9-76
0x10A4	CH_WCH_C_SIZE	WCH 模块 C 分量存储大小寄存器	9-77
0x10B0	CH_WCH_C_FADDR	WCH 模块 C 分量存储基地址寄存器	9-77
0x10B4	CH_WCH_C_HADDR	WCH 模块 C 分量头信息存储基地址寄存器	9-78
0x10B8	CH_WCH_C_STRIDE	WCH 模块 C 分量行偏移寄存器	9-78
0x10BC	CH_WCH_C_BUF_CFG	CH_WCH 总线 BUF 控制寄存器	9-79
0x10E8	CH_Y_OUT_SIZE	通道亮度输出图像大小指示寄存器	9-79
0x10EC	CH_C_OUT_SIZE	通道色度输出图像大小指示寄存器	9-79
0x10F0	CH_INT	通道原始中断寄存器	9-80
0x10F8	CH_INT_MASK	通道中断屏蔽寄存器	9-81
0x1100	CH_Y_CROP_CFG	通道亮度 CROP 使能寄存器	9-82
0x1110	CH_Y_CROP0_START	通道亮度 0 区域 CROP 起始位置寄存器	9-82
0x1114	CH_Y_CROP0_SIZE	通道亮度 0 区域 CROP 大小置寄存器	9-83



偏移地址	名称	描述	页码
0x1120	CH_C_CROP_CFG	通道色度 CROP 使能寄存器	9-83
0x1130	CH_C_CROP0_START	通道色度 0 区域 CROP 起始位置寄存器	9-84
0x1134	CH_C_CROP0_SIZE	通道色度 0 区域 CROP 大小置寄存器	9-84

## 9.1.6 VICAP 寄存器描述

### WK\_MODE

WK\_MODE 为全局工作配置寄存器。

	Offset Address	Register Name	Total Reset Value																
	0x0000	WK_MODE	0x0000_DB58																
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																		
Name	reserved											ros_mem_ema	rft_mem_emab	rft_mem_ema	rfs_mem_emaw	rfs_mem_ema	reserved	mem_power_mode	power_mode
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 0 1 1 0 1 1 0 1 0 1 1 0 0 0																		
Bits	Access	Name	Description																
[31:17]	RO	reserved	保留。																
[16:14]	RW	ros_mem_ema	只读 MEM Q 端调速配置。																
[13:11]	RW	rft_mem_emab	双口 MEM D 端调速配置。																
[10:8]	RW	rft_mem_ema	双口 MEM Q 端调速配置。																
[7:6]	RW	rfs_mem_emaw	单口 MEM D 端调速配置。																
[5:3]	RW	rfs_mem_ema	单口 MEM Q 端调速配置。																
[2]	RO	reserved	保留。																
[1]	RW	mem_power_mode	MEM 空闲掉电模式。 0: MEM 空闲掉电模式关闭; 1: MEM 空闲掉电模式打开。																



[0]	RW	power_mode	时钟模式。 0: 低功耗关闭; 1: 低功耗打开。
-----	----	------------	---------------------------------

## AXI\_CFG

AXI\_CFG 为总线配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0010				AXI_CFG								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								r_outstanding				reserved		w_outstanding				reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:17]	RO		reserved		保留。																											
[16:12]	RW		r_outstanding		读请求 outstanding 个数。 outstanding 的取值范围为[1, 16]。																											
[11:9]	RO		reserved		保留。																											
[8:4]	RW		w_outstanding		写请求 outstanding 个数。 outstanding 的取值范围为[1, 8]。																											
[3:0]	RO		reserved		保留。																											

## MAC\_CFG

MAC\_CFG 为 MAC 配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0014				MAC_CFG								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								r_req_prio				w_req_prio																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											



Offset Address		Register Name		Total Reset Value					
0x0014		MAC_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				r_req_prio			w_req_prio	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[15:8]	RW	r_req_prio	读请求仲裁优先级。 0: 低优先级; 1: 高优先级。 bit[8] : SRC0 读请求优先级; bit[9]: SRC1 读请求优先级; bit[10]: SRC2 读请求优先级; bit[11]: SRC3 读请求优先级; bit[12]: 保留; bit[13]: 保留; bit[14]: 保留; bit[15]: 保留。						
[7:0]	RW	w_req_prio	写请求仲裁优先级。 0: 低优先级; 1: 高优先级。 bit[0]: DES0 写请求优先级; bit[1]: DES1 写请求优先级; bit[2]: DES2 写请求优先级; bit[3]: WCH_Y 写请求优先级; bit[4]: WCH_C 写请求优先级; bit[5]: 保留; bit[6]: 保留; bit[7]: 保留。						

## CH\_SEL

CH\_SEL 为通道输入数据选择寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0030		CH_SEL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								ch_sel							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:3]	RO	reserved	保留。																													
[2:0]	RW	ch_sel	通道输入数据选择。 000: 通道与 ISP_BE 连接; 001: 通道与 PT 连接; (DEBUG 使用) 010: 通道与 LINE_BUF 连接; (DEBUG 使用) 011: 通道与 ISP_FE 连接; (DEBUG 使用) 其他: 保留。																													

## DES\_SEL

DES\_SEL 为 DES 输入数据选择寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0040		DES_SEL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											des2_sel	reserved	des1_sel	reserved	des0_sel																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:11]	RO	reserved	保留。																													
[10:8]	RW	des2_sel	DES2 输入数据选择。 000: DES 与端口连接; 001: DES 与 LINE_BUF 连接; 010: DES 与 FPN 连接; 011: DES 与 FSP_FE 输出连接。 其他: 保留。																													
[7]	RO	reserved	保留。																													



[6:4]	RW	des1_sel	DES1 输入数据选择。 000: DES 与端口连接; 001: DES 与 LINE_BUF 连接; 010: DES 与 FPN 连接; 011: DES 与 FSP_FE 输出连接。 其他: 保留。
[3]	RO	reserved	保留。
[2:0]	RW	des0_sel	DES0 输入数据选择。 000: DES 与端口连接; 001: DES 与 LINE_BUF 连接; 010: DES 与 FPN 连接; 011: DES 与 FSP_FE 输出连接。 其他: 保留。

## ISP\_SEL

ISP\_SEL 为 ISP 输入数据选择寄存器。

	Offset Address 0x0050								Register Name ISP_SEL								Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved								af_sel	reserved								isp_be_sel	reserved	isp_fe_sel																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
	Bits	Access	Name	Description																																				
	[31:17]	RO	reserved	保留。																																				
	[16]	RW	af_sel	AF 输入数据选择。 0: AF 与 ISP_FE 连接; 1: AF 与 ISP_BE 连接; 其他: 保留。																																				
	[15:7]	RO	reserved	保留。																																				





[6:4]	RW	isp_be_sel	ISP_BE 输入数据选择。 000: ISP_BE 与 ISP_FE 连接(RAW 输入时); 001: ISP_BE 与 LINE_BUF 连接(YUV 输入时); 011: ISP_BE 与 SRC0 连接(DEBUG 使用); 100: ISP_BE 与 SRC1 连接(DEBUG 使用); 101: ISP_BE 与 SRC2 连接(DEBUG 使用); 110: ISP_BE 与 SRC3 连接(DEBUG 使用); 其他: 保留。
[3]	RO	reserved	保留。
[2:0]	RW	isp_fe_sel	ISP_FE 输入数据选择。 000: ISP_FE 与 LINE_BUF 连接(RAW 输入时); 001: ISP_FE 与 SRC0 连接; 010: ISP_FE 与 SRC1 连接; 011: ISP_FE 与 SRC2 连接; 100: ISP_FE 与 SRC3 连接; 其他: 保留。

## CHN\_MODE

CHN\_MODE 为总线读写速率控制模式寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0060				CHN_MODE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								chn2_mode	chn1_mode	chn0_mode					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											



[5:4]	RW	chn2_mode	SRC2/DES2 总线读写速率控制模式寄存器(共用 buf 时使用)。 00: 不做任何控制; 01: 控制 SRC2 的速率, 使其不能追上 DES2 的写速率(先写后读)。 10: 控制 DES2 的速率, 使其不能追上 SRC2 的读速率(先读后写)。 11: 保留。
[3:2]	RW	chn1_mode	SRC1/DES1 总线读写速率控制模式寄存器(共用 buf 时使用)。 00: 不做任何控制; 01: 控制 SRC1 的速率, 使其不能追上 DES1 的写速率(先写后读)。 10: 控制 DES1 的速率, 使其不能追上 SRC1 的读速率(先读后写)。 11: 保留。
[1:0]	RW	chn0_mode	SRC0/DES0 总线读写速率控制模式寄存器(共用 buf 时使用)。 00: 不做任何控制; 01: 控制 SRC0 的速率, 使其不能追上 DES0 的写速率(先写后读)。 10: 控制 DES0 的速率, 使其不能追上 SRC0 的读速率(先读后写)。 11: 保留。

## BUF\_MODE

BUF\_MODE 为 LINE\_BUF 输入数据选择寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0070				BUF_MODE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										buf_mode					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	RO	reserved	保留。																												



[0]	RW	buf_mode	line_buf 输入数据模式。 0: RAW 数据; 1: YUV422;
-----	----	----------	--

## SLAVE\_MODE\_CFG

SLAVE\_MODE\_CFG 为 SENSOR 从模式配置寄存器。

	Offset Address 0x00A0								Register Name SLAVE_MODE_CFG								Total Reset Value 0x0000_0000																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	vs_enable	hs_enable	reserved														vs_inv	hs_inv	hs_dly_cyc																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
Bits	Access		Name		Description																																	
[31]	RW		vs_enable		VS 输出使能。 0: 关闭; 1: 使能。																																	
[30]	RW		hs_enable		HS 输出使能。 0: 关闭; 1: 使能。																																	
[29:18]	RO		reserved		保留。																																	
[17]	RW		vs_inv		VS 输出极性。 0: 高有效; 1: 低有效。																																	
[16]	RW		hs_inv		HS 输出极性。 0: 高有效; 1: 低有效。																																	
[15:0]	RW		hs_dly_cyc		HS 输出相对 VS 的延迟周期配置(单位: CYC)。																																	

## SLAVE\_MODE\_VS\_TIME

SLAVE\_MODE\_VS\_TIME 为 SENSOR 从模式输出 VSYNC 的周期配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x00B0		SLAVE_MODE_VS_TIME		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vs_time							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vs_time	VS 输出周期配置(单位: CYC)。					

### SLAVE\_MODE\_HS\_TIME

SLAVE\_MODE\_HS\_TIME 为 SENSOR 从模式输出 HSYNC 的周期配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x00B4		SLAVE_MODE_HS_TIME		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hs_time							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	hs_time	HS 输出周期配置(单位: CYC)。					

### SLAVE\_MODE\_VS\_CYC

SLAVE\_MODE\_VS\_CYC 为 SENSOR 从模式输出 VSYNC 脉冲有效信号持续时间配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x00B8		SLAVE_MODE_VS_CYC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vs_cyc							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vs_cyc	VS 输出有效信号持续时间配置(单位: CYC)。					



## SLAVE\_MODE\_HS\_CYC

SLAVE\_MODE\_HS\_CYC 为 SENSOR 从模式输出 HSYNC 脉冲有效信号持续时间配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x00BC		SLAVE_MODE_HS_CYC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hs_cyc							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	hs_cyc	HS 输出有效信号持续时间配置(单位: CYC)。					

## APB\_TIMEOUT

APB\_TIMEOUT 为 APB 超时寄存器。

Offset Address		Register Name		Total Reset Value				
0x00E0		APB_TIMEOUT		0x8000_0180				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	enable	reserved			timeout			
Reset	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	enable	超时使能。 0: 关闭; 1: 使能。					
[30:16]	RO	reserved	保留。					
[15:0]	RW	timeout	超时门限, 单位为 APB 总线时钟。					

## VICAP\_INT

VICAP\_INT 为中断指示寄存器。



	Offset Address 0x00F0				Register Name VICAP_INT				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								int_isp_be	int_isp_fe	reserved				int_buf	int_src3	int_src2	int_src1	int_src0	int_des2	int_des1	int_des0	int_ch	int_pt								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	RO	reserved	保留。																													
[17]	RO	int_isp_be	ISP_BE 中断指示。 0: 无中断; 1: 有中断。																													
[16]	RO	int_isp_fe	ISP_FE 中断指示。 0: 无中断; 1: 有中断。																													
[15:10]	RO	reserved	保留。																													
[9]	RO	int_buf	LINE_BUF 中断指示。 0: 无中断; 1: 有中断。																													
[8]	RO	int_src3	SRC3 中断指示。 0: 无中断; 1: 有中断。																													
[7]	RO	int_src2	SRC2 中断指示。 0: 无中断; 1: 有中断。																													
[6]	RO	int_src1	SRC1 中断指示。 0: 无中断; 1: 有中断。																													
[5]	RO	int_src0	SRC0 中断指示。 0: 无中断; 1: 有中断。																													



[4]	RO	int_des2	DES2 中断指示。 0: 无中断; 1: 有中断。
[3]	RO	int_des1	DES1 中断指示。 0: 无中断; 1: 有中断。
[2]	RO	int_des0	DES0 中断指示。 0: 无中断; 1: 有中断。
[1]	RO	int_ch	通道中断指示。 0: 无中断; 1: 有中断。
[0]	RO	int_pt	端口中断指示。 0: 无中断; 1: 有中断。

## VICAP\_INT\_MASK

VICAP\_INT\_MASK 为中断指示寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x00F8				VICAP_INT_MASK								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								int_isp_be	int_isp_fe	reserved								int_buf	int_src3	int_src2	int_src1	int_src0	int_des2	int_des1	int_des0	int_ch	int_pt								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:18]	RO		reserved		保留。																															
[17]	RW		int_isp_be		ISP_BE 中断使能。 0: 屏蔽中断; 1: 使能中断。																															



[16]	RW	int_isp_fe	ISP_FE 中断使能。 0: 屏蔽中断; 1: 使能中断。
[15:10]	RO	reserved	保留。
[9]	RW	int_buf	LINE_BUF 中断使能。 0: 屏蔽中断; 1: 使能中断。
[8]	RW	int_src3	SRC3 中断使能。 0: 屏蔽中断; 1: 使能中断。
[7]	RW	int_src2	SRC2 中断使能。 0: 屏蔽中断; 1: 使能中断。
[6]	RW	int_src1	SRC1 中断使能。 0: 屏蔽中断; 1: 使能中断。
[5]	RW	int_src0	SRC0 中断使能。 0: 屏蔽中断; 1: 使能中断。
[4]	RW	int_des2	DES2 中断使能。 0: 屏蔽中断; 1: 使能中断。
[3]	RW	int_des1	DES1 中断使能。 0: 屏蔽中断; 1: 使能中断。
[2]	RW	int_des0	DES0 中断使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	int_ch	通道中断使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	int_pt	端口中断使能。 0: 屏蔽中断; 1: 使能中断。





## PT\_INTF\_MOD

PT\_INTF\_MOD 为接口模式寄存器。

Offset Address		Register Name		Total Reset Value				
0x0100		PT_INTF_MOD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	enable	reserved						mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	enable	端口使能。 0: 关闭; 1: 使能。					
[30:1]	RO	reserved	保留。					
[0]	RW	mode	时序模式配置。 0: 外同步; 1: BT.656。					

## PT\_OFFSET0

PT\_OFFSET0 为 0 分量 offset 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0110		PT_OFFSET0		0xFFFF0_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	mask				rev	reserved			offset
Reset	1 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	mask	0 分量 mask。						
[15]	RW	rev	数据线是否翻转。 0: 不反转; 1: 反转。						
[14:6]	RO	reserved	保留。						



[5:0]	RW	offset	0 分量偏移。
-------	----	--------	---------

## PT\_OFFSET1

PT\_OFFSET1 为 1 分量 offset 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0114		PT_OFFSET1		0xFFFF0_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	mask				rev	reserved			offset
Reset	1 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	mask	1 分量 mask。						
[15]	RW	rev	数据线是否翻转。 0: 不反转; 1: 反转。						
[14:6]	RO	reserved	保留。						
[5:0]	RW	offset	1 分量偏移。						

## PT\_OFFSET2

PT\_OFFSET2 为 2 分量 offset 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0118		PT_OFFSET2		0xFFFF0_0020					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	mask				rev	reserved			offset
Reset	1 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	mask	2 分量 mask。						
[15]	RW	rev	数据线是否翻转。 0: 不反转; 1: 反转。						
[14:6]	RO	reserved	保留。						
[5:0]	RW	offset	2 分量偏移。						



## PT\_BT656\_CFG

PT\_BT656\_CFG 为 BT656 配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0120				PT_BT656_CFG				0x0000_0303																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	enable	reserved											field_inv	vsync_inv	hsync_inv	reserved				mode												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31]	RW	enable	BT.656 使能寄存器。 0: 关闭; 1: 使能。																													
[30:11]	RO	reserved	保留。																													
[10]	RW	field_inv	field 反向控制。 0: 不反向; 1: 反向。																													
[9]	RW	vsync_inv	vsync 反向控制。 0: 不反向; 1: 反向。																													
[8]	RW	hsync_inv	hsync 反向控制。 0: 不反向; 1: 反向。																													
[7:4]	RO	reserved	保留。																													



[3:0]	RW	mode	<p>模式选择寄存器。</p> <p>mode[0] 0: hsync 不作为有效信号; 1: hsync 作为有效信号。</p> <p>mode[1] 0: hsync 输出低有效; 1: hsync 输出高有效。</p> <p>mode[3:2] 00: 解析 0 分量; 01: 解析 1 分量; 10: 解析 2 分量; 11: 保留。</p>
-------	----	------	--

### PT\_UNIFY\_TIMING\_CFG

PT\_UNIFY\_TIMING\_CFG 为时序配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0130	PT_UNIFY_TIMING_CFG	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
Name	reserved	field_inv field_sel	reserved vsync_mode vsync_inv vsync_sel reserved hsync_mode hsync_and hsync_inv hsync_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	7 6 5 4	3 2 1 0	
	reserved	de_inv de_sel	
	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name
	[31:27]	RO	reserved
	[26]	RW	field_inv
	[25:24]	RW	field_sel
	[23:21]	RO	reserved
			Description
			保留。
			field 是否反相(field 第 1 级处理)。 0: 不反相; 1: 反相。
			field 来源选择 (field 第 0 级处理)。 00: 输入 field; 01: 输入 vsync; 10: 跟据 vsync 和 hsync 的关系检测; 11: 恒为 0。
			保留。



[20:19]	RW	vsync_mode	vsync 处理模式(vsync 第 2 级处理)。 00: 不处理; 01: 取上升沿; 10: 取上升沿和下降沿; 11: 保留。
[18]	RW	vsync_inv	vsync 是否反相(vsync 第 1 级处理)。 0: 不反相; 1: 反相。
[17:16]	RW	vsync_sel	vsync 来源选择 (vsync 第 0 级处理) 00: 输入 vsync; 01: 输入 field; 10: 恒为 0; 11: 保留。
[15]	RO	reserved	保留。
[14:13]	RW	hsync_mode	hsync 处理模式(hsync 第 3 级处理)。 0: 不处理; 1: 取上升沿。
[12:11]	RW	hsync_and	hsync 是否与 vsync 第 1 级处理的结果进行运算(hsync 第 2 级处理)。 00: 不处理; 01: 相与; 10: 异或; 11: 保留。
[10]	RW	hsync_inv	hsync 是否反相(hsync 第 1 级处理)。 0: 不反相; 1: 反相。
[9:8]	RW	hsync_sel	hsync 来源选择 (hsync 第 0 级处理)。 00: 输入 hsync; 01: 输入 de; 10: 恒为 0; 11: 保留。
[7:3]	RO	reserved	保留。
[2]	RW	de_inv	de 是否反相 (de 第 1 级处理)。 0: 不反相; 1: 反相。



[1:0]	RW	de_sel	de 来源选择 (de 第 0 级处理)。 00: 输入 de; 01: hsync 第 2 级处理的结果; 10: 恒为 1; 11: 恒为 0。
-------	----	--------	--

## PT\_GEN\_TIMING\_CFG

PT\_GEN\_TIMING\_CFG 为时序恢复模块配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0134	PT_GEN_TIMING_CFG	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	enable mode	reserved	vsync_mode hsync_mode reserved
Reset	0 0		
Bits	Access	Name	Description
[31]	RW	enable	时序恢复使能，根据时序参数恢复时序。 0: 关闭; 1: 使能。
[30]	RW	mode	时序恢复模式，根据时序参数恢复时序。 0: 依赖 PT 输入的 Valid 信号来产生时序; 1: 内部自动计算产生时序。
[29:3]	RO	reserved	保留。
[2]	RW	vsync_mode	是否恢复 vsync。 0: 不恢复; 1: 恢复。
[1]	RW	hsync_mode	是否恢复 hsync。 0: 不恢复; 1: 恢复。
[0]	RO	reserved	保留。



## PT\_UNIFY\_DATA\_CFG

PT\_UNIFY\_DATA\_CFG 为数据配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0140				PT_UNIFY_DATA_CFG				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	enable	reserved																												uv_seq	yc_seq	comp_num
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	enable	数据分离使能。 0: 关闭; 1: 使能。																													
[30:4]	RO	reserved	保留。																													
[3]	RW	uv_seq	CbCr 顺序。 0: CbCr; 1: CrCb。																													
[2]	RW	yc_seq	YC 顺序。 0: CY; 1: YC。																													
[1:0]	RW	comp_num	数据分量选择。 00: 1 分量; 01: 2 分量; 10: 3 分量; 11: 保留。																													

## PT\_GEN\_DATA\_CFG

PT\_GEN\_DATA\_CFG 为数据产生模块配置寄存器。



Offset Address		Register Name		Total Reset Value																																				
0x0144		PT_GEN_DATA_CFG		0x0000_00E9																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	enable																								reserved								data0_move	data1_move	data2_move	vsync_reset	hsync_reset	vsync_move	hsync_move	de_move
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	0	0	1								
Bits	Access	Name	Description																																					
[31]	RW	enable	数据产生使能，根据数据产生参数产生数据。 0：关闭； 1：使能。																																					
[30:8]	RO	reserved	保留。																																					
[7]	RW	data0_move	data0 是否递增。 0：不递增； 1：递增。																																					
[6]	RW	data1_move	data1 是否递增。 0：不递增； 1：递增。																																					
[5]	RW	data2_move	data2 是否递增。 0：不递增； 1：递增。																																					
[4]	RW	vsync_reset	数据是否根据 vsync 信号复位。 0：不复位； 1：复位。																																					
[3]	RW	hsync_reset	数据是否根据 hsync 信号复位。 0：不复位； 1：复位。																																					
[2]	RW	vsync_move	数据是否根据 vsync 递增。 0：不递增； 1：递增。																																					
[1]	RW	hsync_move	数据是否根据 hsync 递增。 0：不递增； 1：递增。																																					





[0]	RW	de_move	数据是否根据 de 递增。 0: 不递增; 1: 递增。
-----	----	---------	------------------------------------

## PT\_GEN\_DATA\_COEF

PT\_GEN\_DATA\_COEF 为数据产生模块系数寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0148	PT_GEN_DATA_COEF	0x0100_0100
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	inc_frame		step_frame
	inc_space		step_space
Reset	0 0 0 0	0 0 0 0 1	0 0 0 0 0
	0 0 0 0 0	0 0 0 0 0	0 0 0 0 1
	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0
	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0
Bits	Access	Name	Description
[31:24]	RW	inc_frame	数据帧间递增值，递增值累加在数据的高 8bit。
[23:16]	RW	step_frame	数据帧间递增的间隔。配置值为实际值减 1，配为 0 表示每帧递增。
[15:8]	RW	inc_space	数据像素间递增值，递增值累加在数据的高 10bit。
[7:0]	RW	step_space	数据像素间递增的间隔，为 0 是每像素递增。

## PT\_GEN\_DATA\_INIT

PT\_GEN\_DATA\_INIT 为数据产生模块初始值配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x014C	PT_GEN_DATA_INIT	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		data2
	data1		data0
Reset	0 0 0 0	0 0 0 0 0	0 0 0 0 0
	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0
	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0
	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RW	data2	V/B 的初始值。
[15:8]	RW	data1	U/G 的初始值。
[7:0]	RW	data0	Y/R 的初始值。



## PT\_YUV444\_CFG

PT\_YUV444\_CFG 为 YUV444 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0150		PT_YUV444_CFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	enable reserved																															
Reset	0 0																															
Bits	Access	Name		Description																												
[31]	RW	enable		YUV 使能，将 YUV422 信号调整为 YUV444 信号。 0: 关闭； 1: 使能。																												
[30:0]	RO	reserved		保留。																												

## PT\_FSTART\_DLY

PT\_FSTART\_DLY 为端口 fstart 中断延时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0160		PT_FSTART_DLY		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	fstart_dly																															
Reset	0 0																															
Bits	Access	Name		Description																												
[31:0]	RW	fstart_dly		fstart 中断延时时间，以端口时钟为单位。																												

## PT\_INTF\_HFB

PT\_INTF\_HFB 为水平前消隐区宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x0180		PT_INTF_HFB		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	hfb	水平前消隐区宽度。						

### PT\_INTF\_HACT

PT\_INTF\_HACT 为水平有效区宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x0184		PT_INTF_HACT		0x0000_0010				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hact							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	hact	水平有效区宽度(单位: 时钟周期)。					

### PT\_INTF\_HBB

PT\_INTF\_HBB 为水平后消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0188		PT_INTF_HBB		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hbb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	hbb	水平后消隐区宽度。						



## PT\_INTF\_VFB

PT\_INTF\_VFB 为垂直 前消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x018C		PT_INTF_VFB		0x0000_0010				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vfb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	vfb	垂直前消隐区宽度。					

## PT\_INTF\_VACT

PT\_INTF\_VACT 为垂直有效区宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x0190		PT_INTF_VACT		0x0000_0010				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vact			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	vact	垂直有效区宽度。					

## PT\_INTF\_VBB

PT\_INTF\_VBB 为垂直后消隐区宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x0194		PT_INTF_VBB		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vbb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	vbb	垂直后消隐区宽度。						

### PT\_INTF\_VBFB

PT\_INTF\_VBFB 为垂直底场前消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0198		PT_INTF_VBFB		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vbfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	vbfb	垂直底场前消隐区宽度。						

### PT\_INTF\_VBACT

PT\_INTF\_VBACT 为垂直底场有效区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x019C		PT_INTF_VBACT		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vbact				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	vbact	垂直底场有效区宽度。						



## PT\_INTF\_VBBB

PT\_INTF\_VBBB 为垂直底场后消隐区宽度寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x01A0	PT_INTF_VBBB	0x0000_0010							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						vbbb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[31:16]	RO	reserved	保留。							
[15:0]	RW	vbbb	垂直底场后消隐区宽度。							

## PT\_ID\_CFG

PT\_ID\_CFG 为 ID 配置寄存器。

	Offset Address	Register Name	Total Reset Value									
	0x01A4	PT_ID_CFG	0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	enable	mode	reset	reserved						id_det	id_max	id
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description									
[31]	RW	enable	生成 ID 功能使能。 0: 不使能; 1: 使能。									
[30]	RW	mode	生成 ID 模式选择。 0: 自动模式, ID 每帧自动增加; 1: 非自动模式, ID 由配置值决定。									
[29]	WO	reset	自动模式时, 配置寄存器为 1 可使下一帧的 ID 恢复初始值, 恢复后自动清 0。									
[28:6]	RO	reserved	保留。									
[5:4]	RW	id_det	宽高检测对应帧的 ID 号。									



[3:2]	RW	id_max	自动模式时为 ID 增加的时最大值。
[1:0]	RW	id	自动模式时为 ID 初始值，非自动模式时为生成的 ID 值。

## PT\_FLASH\_CFG

PT\_FLASH\_CFG 为闪光灯配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x01B0	PT_FLASH_CFG	0x1000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	id_sel	reserved	shutter_times shutter_phase shutter_en
			reserved
			flash_phase flash_en
Reset	0 0 0 1	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:28]	RW	id_sel	触发帧 ID 选择寄存器。 0x1: 通过 ID 为 0 的帧起始中断触发; 0x2: 通过 ID 为 1 的帧起始中断触发; 0x4: 通过 ID 为 2 的帧起始中断触发; 0x8: 通过 ID 为 3 的帧起始中断触发; 其他: 保留。
[27:19]	RO	reserved	保留。
[18]	RW	shutter_times	快门脉冲次数。 0: 2 次; 1: 1 次。
[17]	RW	shutter_phase	快门信号是否反向。 0: 不反向; 1: 反向。
[16]	WO	shutter_en	触发快门控制, 自动清零。 0: 关闭; 1: 使能。
[15:2]	RO	reserved	保留。



[1]	RW	flash_phase	闪光灯信号是否反向。 0: 不反向; 1: 反向。
[0]	WO	flash_en	触发闪光灯控制, 自动清零。 0: 关闭; 1: 使能。

## PT\_FLASH\_CYC0

PT\_FLASH\_CYC0 为闪光灯时序 0 宽度寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x01C0				PT_FLASH_CYC0								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	cyc																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RW	cyc		闪光灯时序 0 的时间, 以 PT 时钟为单位, 配置值为实际值减 1。																															

## PT\_FLASH\_CYC1

PT\_FLASH\_CYC1 为闪光灯时序 1 宽度寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x01C4				PT_FLASH_CYC1								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	cyc																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RW	cyc		闪光灯时序 1 的时间, 以 PT 时钟为单位, 配置值为实际值减 1。																															

## PT\_SHUTTER\_CYC0

PT\_SHUTTER\_CYC0 为快门时序 0 宽度寄存器。





Offset Address		Register Name		Total Reset Value				
0x01D0		PT_SHUTTER_CYC0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cyc							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cyc	快门时序 0 的时间，以 PT 时钟为单位，配置值为实际值减 1。					

### PT\_SHUTTER\_CYC1

PT\_SHUTTER\_CYC1 为快门时序 1 宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x01D4		PT_SHUTTER_CYC1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cyc							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cyc	快门时序 1 的时间，以 PT 时钟为单位，配置值为实际值减 1。					

### PT\_SHUTTER\_CYC2

PT\_SHUTTER\_CYC2 为快门时序 2 宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x01D8		PT_SHUTTER_CYC2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cyc							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cyc	快门时序 2 的时间，以 PT 时钟为单位，配置值为实际值减 1。					



## PT\_SHUTTER\_CYC3

PT\_SHUTTER\_CYC3 为快门时序 3 宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x01DC		PT_SHUTTER_CYC3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cyc							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cyc	快门时序 3 的时间，以 PT 时钟为单位，配置值为实际值减 1。					

## PT\_STATUS

PT\_STATUS 为端口状态寄存器。

Offset Address		Register Name		Total Reset Value							
0x01E0		PT_STATUS		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						id	field	vsync	hsync	de
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description								
[31:6]	RO	reserved	保留。								
[5:4]	RO	id	端口输出的 id。								
[3]	RO	field	端口输出的 field。								
[2]	RO	vsync	端口输出的 vsync。								
[1]	RO	hsync	端口输出的 hsync。								
[0]	RO	de	端口输出的 de。								

## PT\_BT656\_STATUS

PT\_BT656\_STATUS 为 BT656 状态寄存器。



Offset Address		Register Name		Total Reset Value								
0x01E4		PT_BT656_STATUS		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				seav				reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:16]	RO	reserved	保留。									
[15:8]	RO	seav	同步码。									
[7:0]	RO	reserved	保留。									

## PT\_SIZE

PT\_SIZE 为输入大小指示寄存器。

Offset Address		Register Name		Total Reset Value				
0x01EC		PT_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	height				width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	height	图像高度。					
[15:0]	RO	width	图像宽度。					

## PT\_INT

PT\_INT 为端口中断指示寄存器。



Offset Address		Register Name		Total Reset Value						
0x01F0		PT_INT		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							height_err	width_err	fstart
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	WC	height_err	图像高度变化中断状态，写 1 清零。 0: 无中断； 1: 有中断。							
[1]	WC	width_err	图像宽度变化中断状态，写 1 清零。 0: 无中断； 1: 有中断。							
[0]	WC	fstart	帧/场起始中断状态，写 1 清零。 0: 无中断； 1: 有中断。							

## PT\_INT\_MASK

PT\_INT\_MASK 为端口中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value						
0x01F8		PT_INT_MASK		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							height_err	width_err	fstart
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							



[2]	RW	height_err	图像高度变化中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	width_err	图像宽度变化中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	fstart	帧/场起始中断状态使能。 0: 屏蔽中断; 1: 使能中断。

## DES\_CTRL

DES\_CTRL 为 DES 控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0200		DES_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	enable	reserved						bit_width	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	enable	DES 使能寄存器。 0: 不使能; 1: 使能。 0x0200~0x02FF: DES0 寄存器地址空间。 0x0300~0x03FF: DES1 寄存器地址空间。 0x0400~0x04FF: DES2 寄存器地址空间(仅 vicap0 有)。						
[30:6]	RO	reserved	保留。						
[5:0]	RW	bit_width	数据位宽。 0x08: 8bit; 0x0A: 10bit; 0x0C: 12bit; 0x0E: 14bit; 0x10: 16bit; 其他: 保留。						



## DES\_REG\_NEWER

DES\_REG\_NEWER 为采集控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0204		DES_REG_NEWER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								reg_newer
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	reg_newer	DES 更新寄存器，每帧自动清 0。 0: 不更新（丢帧）； 1: 更新。						

## DES\_ID\_CFG

DES\_ID\_CFG 为 DES 接收 ID 选择寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0210		DES_ID_CFG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							id_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	id_sel	ID 选择寄存器。 0: 过滤该 ID 的数据； 1: 接收该 ID 的数据。 bit[0]: DES 接收 ID 为 0 的数据使能； bit[1]: DES 接收 ID 为 1 的数据使能； bit[2]: DES 接收 ID 为 2 的数据使能； bit[3]: DES 接收 ID 为 3 的数据使能。					



## DES\_CROP\_CFG

DES\_CROP\_CFG 为 CROP 使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0220				DES_CROP_CFG				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												n0_en			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RO	reserved		保留。																											
	[0]	RW	n0_en		0 区域使能。 0: 禁止; 1: 使能。																											

## DES\_CROP0\_START

DES\_CROP0\_START 为 0 区域 CROP 起始位置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0230				DES_CROP0_START				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				y_start								reserved				x_start															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:29]	RO	reserved		保留。																											
	[28:16]	RW	y_start		开始获取图像的行号。																											
	[15:13]	RO	reserved		保留。																											
	[12:0]	RW	x_start		开始获取图像的像素号。																											



## DES\_CROP0\_SIZE

DES\_CROP0\_SIZE 为 0 区域 CROP 大小置寄存器。

Offset Address		Register Name		Total Reset Value						
0x0234		DES_CROP0_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	height				reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	height	获取图像的高度(以行为单位), 配置值为实际值减 1。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	width	获取图像的宽度(以像素为单位), 配置值为实际值减 1。							

## DES\_CFG

DES\_CFG 为 DES 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0270		DES_CFG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cmp_en	k_coef_range	reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	cmp_en	DES 通道帧压缩使能寄存器。 0: 不使能; 1: 使能。 0x300~0x3FF: DES1 寄存器地址空间。 0x400~0x4FF: DES2 寄存器地址空间。					
[30:27]	RW	k_coef_range	DES 通道帧压缩率控制寄存器。取值范围[7,12],典型配置为数据位宽减一。(14bit 位宽时配 12)					
[26:0]	RO	reserved	保留。					





## DES\_SIZE

DES\_SIZE 为 DES 存储大小寄存器。

Offset Address		Register Name		Total Reset Value						
0x0284		DES_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	height				reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	height	存储图像的高度(以行为单位)，配置值为实际值减 1。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	width	存储图像的宽度(以像素为单位)，配置值为实际值减 1。							

## DES\_FADDR

DES\_FADDR 为 DES 存储基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0290		DES_FADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	faddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	faddr	DES 存储基地址。					

## DES\_STRIDE

DES\_STRIDE 为 DES 存储行间距寄存器。



Offset Address		Register Name		Total Reset Value					
0x0294		DES_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	stride	DES 通道帧行间距。						

## DES\_BUF\_CFG

DES\_BUF\_CFG 为 DES 总线 BUF 控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x029C		DES_BUF_CFG		0x0000_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				buf_thd				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	buf_thd	总线 buf 的深度。						

## DES\_INT

DES\_INT 为 DES 原始中断寄存器。



	Offset Address 0x02F0								Register Name DES_INT								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								update_cfg	field_throw	buf_ovf	cc_int	fstart			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	WC	update_cfg	寄存器更新中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[3]	WC	field_throw	场/帧丢失中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[2]	WC	buf_ovf	内部 FIFO 溢出错误中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[1]	WC	cc_int	获取完毕中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[0]	WC	fstart	场/帧起始中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													

## DES\_MASK

DES\_MASK 为 DES 中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value																												
0x02F8		DES_MASK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															update_cfg	field_throw	buf_ovf	cc_int	fstart												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	update_cfg	寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[3]	RW	field_throw	场/帧丢失中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[2]	RW	buf_ovf	内部 FIFO 溢出错误中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[1]	RW	cc_int	获取完毕中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[0]	RW	fstart	场/帧起始中断使能。 0: 屏蔽中断; 1: 使能中断。																													

## LINE\_BUF\_CFG

LINE\_BUF\_CFG 为 LINE\_BUF 控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x0500		LINE_BUF_CFG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	enable	reserved						vsync_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	enable	LINE_BUF 使能寄存器。 0: 禁止; 1: 使能。					
[30:1]	RO	reserved	保留。					
[0]	RW	vsync_mode	丢帧模式控制信号。 0: 丢帧时, 丢数据同时丢 vsync。 1: 丢帧时, 只丢数据不丢 vsync。					

## LINE\_BUF\_REG\_NEWER

LINE\_BUF\_REG\_NEWER 为 LINE\_BUF 更新寄存器。

Offset Address		Register Name		Total Reset Value				
0x0504		LINE_BUF_REG_NEWER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							reg_newer
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	WO	reg_newer	LINE_BUF 更新寄存器, 每帧自动清 0。 0: 不更新 (丢帧); 1: 更新。					



## LINE\_BUF\_ID\_CFG

LINE\_BUF\_ID\_CFG 为 LINE\_BUF 接收 ID 选择寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0510		LINE_BUF_ID_CFG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							id_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	id_sel	ID 选择寄存器。 0: 过滤该 ID 的数据; 1: 接收该 ID 的数据。 bit[0]: LINE_BUF 接收 ID 为 0 的数据使能; bit[1]: LINE_BUF 接收 ID 为 1 的数据使能; bit[2]: LINE_BUF 接收 ID 为 2 的数据使能; bit[3]: LINE_BUF 接收 ID 为 3 的数据使能。					

## LINE\_BUF\_CROP\_CFG

LINE\_BUF\_CROP\_CFG 为 CROP 使能寄存器，即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0520		LINE_BUF_CROP_CFG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							n0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RW	n0_en	0 区域使能。 0: 禁止; 1: 使能。					



## LINE\_BUF\_CROP0\_START

LINE\_BUF\_CROP0\_START 为 0 区域 CROP 起始位置寄存器，即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x0530		LINE_BUF_CROP0_START		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	y_start				reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	y_start	开始获取图像的行号。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	x_start	开始获取图像的像素号。							

## LINE\_BUF\_CROP0\_SIZE

LINE\_BUF\_CROP0\_SIZE 为 0 区域 CROP 大小置寄存器，即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x0534		LINE_BUF_CROP0_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	height				reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	height	获取图像的高度(以行为单位)，配置值为实际值减 1。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	width	获取图像的宽度(以像素为单位)，配置值为实际值减 1。							



## LINE\_BUF\_WIDTH

LINE\_BUF\_WIDTH 为 LINE\_BUF 图像宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0550		LINE_BUF_WIDTH		0x077F_077F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		line_buf_thd		reserved		line_buf_width		
Reset	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	line_buf_thd	LINE_BUF RAM 读操作启动阈值。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	line_buf_width	LINE_BUF 图像宽度。						

## LINE\_BUF\_HEIGHT

LINE\_BUF\_HEIGHT 为 LINE\_BUF 图像高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0554		LINE_BUF_HEIGHT		0x0000_0437					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					line_buf_height			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 1 1	0 1 1 1	
Bits	Access	Name	Description						
[31:13]	RO	reserved	保留。						
[12:0]	RW	line_buf_height	LINE_BUF 图像高度。						

## LINE\_BUF\_INT

LINE\_BUF\_INT 为 LINE\_BUF 原始中断寄存器。





Offset Address		Register Name		Total Reset Value																												
0x05F0		LINE_BUF_INT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															update_cfg	field_throw	reserved	reserved	fstart												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	WC	update_cfg	寄存器更新中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[3]	WC	field_throw	场/帧丢失中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[2]	RO	reserved	保留。																													
[1]	RO	reserved	保留。																													
[0]	WC	fstart	场/帧起始中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													

## LINE\_BUF\_MASK

LINE\_BUF\_MASK 为 LINE\_BUF 中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value																												
0x05F8		LINE_BUF_MASK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															update_cfg	field_throw	reserved	reserved	fstart												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:5]	RO	reserved	保留。																													
[4]	RW	update_cfg	寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[3]	RW	field_throw	场/帧丢失中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[2]	RO	reserved	保留。																													
[1]	RO	reserved	保留。																													
[0]	RW	fstart	场/帧起始中断使能。 0: 屏蔽中断; 1: 使能中断。																													

## SRC\_CTRL

SRC\_CTRL 为 SRC 控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0600		SRC_CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	enable														reserved												bit_width					
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	RW	enable	SRC 使能寄存器。 0: 不使能; 1: 使能。 0x600~0x6FF: SRC0 寄存器地址空间。 0x700~0x7FF: SRC1 寄存器地址空间。 0x800~0x8FF: SRC2 寄存器地址空间。 0x900~0x9FF: SRC3 寄存器地址空间。																													
[30:6]	RO	reserved	保留。																													
[5:0]	RW	bit_width	SRC 读取数据位宽。 0x08: 8bit; 0x0A: 10bit; 0x0C: 12bit; 0x0E: 14bit; 0x10: 16bit; 其他: 保留。																													

## SRC\_REG\_NEWER

SRC\_REG\_NEWER 为采集控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0604		SRC_REG_NEWER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								reg_newer
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	reg_newer	SRC 更新寄存器，每帧自动清 0。 0: 不更新（丢帧）； 1: 更新。						

## SRC\_CFG

SRC\_CFG 为配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0670		SRC_CFG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_en	k_coef_range	reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	dcmp_en	SRC 读通道帧解压使能寄存器。 0: 不使能； 1: 使能。					
[30:27]	RW	k_coef_range	SRC 通道帧压缩率控制寄存器。取值范围[7,12]。需要和压缩时配置一致。典型配置为位宽减一(14bit 位宽时配置 12)。					
[26:0]	RO	reserved	保留。					

## SRC\_SIZE

SRC\_SIZE 为 SRC 存储大小寄存器。



Offset Address		Register Name		Total Reset Value					
0x0684		SRC_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	height			reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	height	存储图像的高度(以行为单位)，配置值为实际值减 1。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	width	存储图像的宽度(以像素为单位)，配置值为实际值减 1。						

## SRC\_FADDR

SRC\_FADDR 为 SRC 存储基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0690		SRC_FADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	faddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	faddr	SRC 存储基地址。					

## SRC\_STRIDE

SRC\_STRIDE 为 SRC 存储行间距寄存器。



Offset Address		Register Name		Total Reset Value					
0x0694		SRC_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	stride	SRC 通道帧行间距。						

## SRC\_BUF\_CFG

SRC\_BUF\_CFG 为 SRC 总线 BUF 控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x069C		SRC_BUF_CFG		0x0000_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				buf_thd				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	buf_thd	总线 buf 的深度。						

## SRC\_INT

SRC\_INT 为 SRC 原始中断寄存器。



Offset Address		Register Name		Total Reset Value																												
0x06F0		SRC_INT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														dcmp_wrong	update_cfg	field_throw	buf_ovf	cc_int	fstart												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5]	WC	dcmp_wrong	解压错误中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[4]	WC	update_cfg	寄存器更新中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[3]	WC	field_throw	场/帧丢失中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[2]	WC	buf_ovf	内部 FIFO 溢出错误中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[1]	WC	cc_int	获取完毕中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													
[0]	WC	fstart	场/帧起始中断状态，写 1 清零。 0: 无中断； 1: 有中断。																													

## SRC\_MASK

SRC\_MASK 为 SRC 中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value																												
0x06F8		SRC_MASK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														dcmp_wrong	update_cfg	field_throw	buf_ovf	cc_int	fstart												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5]	RW	dcmp_wrong	解压错误中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[4]	RW	update_cfg	寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[3]	RW	field_throw	场/帧丢失中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[2]	RW	buf_ovf	内部 FIFO 溢出错误中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[1]	RW	cc_int	获取完毕中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[0]	RW	fstart	场/帧起始中断使能。 0: 屏蔽中断; 1: 使能中断。																													

## CH\_CTRL

CH\_CTRL 为通道控制寄存器。





Offset Address		Register Name		Total Reset Value				
0x1000		CH_CTRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	enable	reserved						mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	enable	通道使能寄存器。 0: 不使能; 1: 使能。					
[30:2]	RO	reserved	保留。					
[1:0]	RW	mode	通道模式寄存器。 00: 正常模式; 01: 单分量(亮度)模式; 10: 单分量(色度)模式; 其他: 保留。					

## CH\_REG\_NEWER

CH\_REG\_NEWER 为采集控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x1004		CH_REG_NEWER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							reg_newer
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RW	reg_newer	通道更新寄存器，每帧自动清 0。					



## CH\_DLY\_CFG

CH\_DLY\_CFG 为通道输入图像起始中断延迟配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1034		CH_DLY_CFG		0x0010_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	v_dly_cfg				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	v_dly_cfg	垂直行数 delay 寄存器。						
[15:0]	RO	reserved	保留。						

## CH\_WCH\_Y\_CFG

CH\_WCH\_Y\_CFG 为 WCH 模块 Y 分量配置寄存器。

Offset Address		Register Name		Total Reset Value									
0x1080		CH_WCH_Y_CFG		0x0000_0002									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	enable	reserved		interleave	bfield	bit_width	reserved		flip	mirror	head_twoid	cmp_mode	cmp_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0					
Bits	Access	Name	Description										
[31]	RW	enable	CH 写通道使能寄存器。 0: 不使能; 1: 使能。										
[30:20]	RO	reserved	保留。										
[19]	RW	interleave	逐隔行标志。 0: 输出数据为逐行, 或输出数据为隔行, 且不需要间插成帧存储; 1: 输出数据为隔行, 且需要间插成帧存储。										



[18]	RW	bfield	顶底场标志，输出数据为隔行，且需要间插成帧存储时使用。 0: 顶场; 1: 底场。
[17:16]	RW	bit_width	数据位宽。 00: 8bit; 10: 16bit; 其他: 保留。
[15:5]	RO	reserved	保留。
[4]	RW	flip	通道 FLIP 功能使能。 0: 关闭 flip 功能; 1: 开启 flip 功能。
[3]	RW	mirror	通道 MIRROR 功能使能。 0: 关闭 mirror 功能; 1: 开启 mirror 功能。
[2]	RW	head_tword	头信息 stride 选择。 0: 128 比特(128bit/line); 1: 256 比特(256bit/line)。
[1]	RW	cmp_mode	压缩段长。 0: 128 像素; 1: 256 像素。
[0]	RW	cmp_en	压缩使能。 0: 禁止; 1: 使能。

## CH\_WCH\_Y\_SIZE

CH\_WCH\_Y\_SIZE 为 WCH 模块 Y 分量存储大小寄存器。



Offset Address		Register Name		Total Reset Value																												
0x1084		CH_WCH_Y_SIZE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				height								reserved				width															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:16]	RW		height		存储图像的高度(以行为单位), 配置值为实际值减 1。																											
[15:13]	RO		reserved		保留。																											
[12:0]	RW		width		存储图像的宽度(以像素为单位), 配置值为实际值减 1。																											

### CH\_WCH\_Y\_FADDR

CH\_WCH\_Y\_FADDR 为 WCH 模块 Y 分量存储基地址寄存器。

Offset Address		Register Name		Total Reset Value																												
0x1090		CH_WCH_Y_FADDR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	faddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:0]	RW		faddr		Y 分量存储基地址。																											

### CH\_WCH\_Y\_HADDR

CH\_WCH\_Y\_HADDR 为 WCH 模块 Y 分量头信息存储基地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x1094		CH_WCH_Y_HADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	haddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	haddr	Y 分量头信息存储基地址。					

## CH\_WCH\_Y\_STRIDE

CH\_WCH\_Y\_STRIDE 为 WCH 模块 Y 分量行偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x1098		CH_WCH_Y_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	stride	图像存储 Y 分量的 stride，以 byte 为单位。					

## CH\_WCH\_Y\_BUF\_CFG

CH\_WCH\_Y\_BUF\_CFG 为 CH\_DES 总线 BUF 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x109C		CH_WCH_Y_BUF_CFG		0x0000_0080				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				buf_thd			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	buf_thd	总线 buf 的深度。					



## CH\_WCH\_C\_CFG

CH\_WCH\_C\_CFG 为 WCH 模块 C 分量配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x10A0		CH_WCH_C_CFG		0x0000_0002																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	enable				reserved								interleave	bfield	bit_width	reserved								flip	mirror	head_twoid	cmp_mode	cmp_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name		Description																											
[31]	RW		enable		CH 写通道使能寄存器。 0: 不使能; 1: 使能。																											
[30:20]	RO		reserved		保留。																											
[19]	RW		interleave		逐隔行标志。 0: 输出数据为逐行, 或输出数据为隔行, 且不需要间插成帧存储; 1: 输出数据为隔行, 且需要间插成帧存储。																											
[18]	RW		bfield		顶底场标志, 输出数据为隔行, 且需要间插成帧存储时使用。 0: 顶场; 1: 底场。																											
[17:16]	RW		bit_width		数据位宽。 00: 8bit; 10: 16bit; 其他: 保留。																											
[15:5]	RO		reserved		保留。																											
[4]	RW		flip		通道 FLIP 功能使能。 0:关闭 flip 功能; 1:开启 flip 功能。																											
[3]	RW		mirror		通道 MIRROR 功能使能。 0:关闭 mirror 功能; 1:开启 mirror 功能。																											



[2]	RW	head_tword	头信息 stride 选择。 0: 128 比特(128bit/line); 1: 256 比特(256bit/line)。
[1]	RW	cmp_mode	压缩段长。 0: 128 像素; 1: 256 像素。
[0]	RW	cmp_en	压缩使能。 0: 不使能; 1: 使能。

## CH\_WCH\_C\_SIZE

CH\_WCH\_C\_SIZE 为 WCH 模块 C 分量存储大小寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x10A4				CH_WCH_C_SIZE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				height								reserved				width															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:16]	RW		height		存储图像的高度(以行为单位)，配置值为实际值减 1。																											
[15:13]	RO		reserved		保留。																											
[12:0]	RW		width		存储图像的宽度(以像素为单位)，配置值为实际值减 1。																											

## CH\_WCH\_C\_FADDR

CH\_WCH\_C\_FADDR 为 WCH 模块 C 分量存储基地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x10B0		CH_WCH_C_FADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	faddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	faddr	C 分量存储基地址。					

## CH\_WCH\_C\_HADDR

CH\_WCH\_C\_HADDR 为 WCH 模块 C 分量头信息存储基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x10B4		CH_WCH_C_HADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	haddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	haddr	C 分量头信息存储基地址。					

## CH\_WCH\_C\_STRIDE

CH\_WCH\_C\_STRIDE 为 WCH 模块 C 分量行偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x10B8		CH_WCH_C_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	stride	图像存储 C 分量的 stride，以 byte 为单位。					





## CH\_WCH\_C\_BUF\_CFG

CH\_WCH\_C\_BUF\_CFG 为 CH\_WCH 总线 BUF 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x10BC		CH_WCH_C_BUF_CFG		0x0000_0080				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				buf_thd			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	buf_thd	总线 buf 的深度。					

## CH\_Y\_OUT\_SIZE

CH\_Y\_OUT\_SIZE 为通道亮度图像输出大小指示寄存器。

Offset Address		Register Name		Total Reset Value				
0x10E8		CH_Y_OUT_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	height				width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	height	图像高度。					
[15:0]	RO	width	图像宽度。					

## CH\_C\_OUT\_SIZE

CH\_C\_OUT\_SIZE 为通道色度图像输出大小指示寄存器。



Offset Address		Register Name		Total Reset Value					
0x10EC		CH_C_OUT_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	height				width				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	height	图像高度。						
[15:0]	RO	width	图像宽度。						

## CH\_INT

CH\_INT 为通道原始中断寄存器。

Offset Address		Register Name		Total Reset Value					
0x10F0		CH_INT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fstart_dly	reserved			update_cfg field_throw buf_ovf cc_int fstart
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15]	WC	fstart_dly	delay 后的场/帧起始中断状态，写 1 清零。 0: 无中断; 1: 有中断。						
[14:5]	RO	reserved	保留。						
[4]	WC	update_cfg	寄存器更新中断状态，写 1 清零。 0: 无中断; 1: 有中断。						
[3]	WC	field_throw	场/帧丢失中断状态，写 1 清零。 0: 无中断; 1: 有中断。						



[2]	WC	buf_ovf	内部 FIFO 溢出错误中断状态，写 1 清零。 0: 无中断; 1: 有中断。
[1]	WC	cc_int	获取完毕中断状态，写 1 清零。 0: 无中断; 1: 有中断。
[0]	WC	fstart	场/帧起始中断状态，写 1 清零。 0: 无中断; 1: 有中断。

## CH\_INT\_MASK

CH\_INT\_MASK 为通道中断屏蔽寄存器。

	Offset Address 0x10F8								Register Name CH_INT_MASK								Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved								fstart_dly	reserved								update_cfg	field_throw	buf_ovf	cc_int	fstart																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
Bits	Access		Name		Description																																			
[31:16]	RO		reserved		保留。																																			
[15]	RW		fstart_dly		delay 后的场/帧起始中断使能。 0: 无中断; 1: 有中断。																																			
[14:5]	RO		reserved		保留。																																			
[4]	RW		update_cfg		寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。																																			
[3]	RW		field_throw		场/帧丢失中断使能。 0: 屏蔽中断; 1: 使能中断。																																			



[2]	RW	buf_ovf	内部 FIFO 溢出错误中断使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	cc_int	获取完毕中断使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	fstart	场/帧起始中断使能。 0: 屏蔽中断; 1: 使能中断。

## CH\_Y\_CROP\_CFG

CH\_Y\_CROP\_CFG 为通道亮度 CROP 使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1100				CH_Y_CROP_CFG				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										n0_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	RO	reserved	保留。																												
	[0]	RW	n0_en	0 区域使能。 0: 禁止; 1: 使能。																												

## CH\_Y\_CROP0\_START

CH\_Y\_CROP0\_START 为通道亮度 0 区域 CROP 起始位置寄存器。



Offset Address		Register Name		Total Reset Value						
0x1110		CH_Y_CROP0_START		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	y_start				reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	y_start	开始获取图像的行号。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	x_start	开始获取图像的像素号。							

## CH\_Y\_CROP0\_SIZE

CH\_Y\_CROP0\_SIZE 为通道亮度 0 区域 CROP 大小置寄存器。

Offset Address		Register Name		Total Reset Value						
0x1114		CH_Y_CROP0_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	height				reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	height	获取图像的高度(以行为单位)，配置值为实际值减 1。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	width	获取图像的宽度(以像素为单位)，配置值为实际值减 1。							

## CH\_C\_CROP\_CFG

CH\_C\_CROP\_CFG 为通道色度 CROP 使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x1120		CH_C_CROP_CFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															n0_en																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:1]	RO	reserved		保留。																												
[0]	RW	n0_en		0 区域使能。 0: 禁止; 1: 使能。																												

### CH\_C\_CROP0\_START

CH\_C\_CROP0\_START 为通道色度 0 区域 CROP 起始位置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x1130		CH_C_CROP0_START		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		y_start								reserved		x_start																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:29]	RO	reserved		保留。																												
[28:16]	RW	y_start		开始获取图像的行号。																												
[15:13]	RO	reserved		保留。																												
[12:0]	RW	x_start		开始获取图像的像素号。																												

### CH\_C\_CROP0\_SIZE

CH\_C\_CROP0\_SIZE 为通道色度 0 区域 CROP 大小置寄存器。



	Offset Address								Register Name								Total Reset Value															
	0x1134								CH_C_CROP0_SIZE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				height								reserved				width															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:16]	RW		height		获取图像的高度(以行为单位), 配置值为实际值减 1。																											
[15:13]	RO		reserved		保留。																											
[12:0]	RW		width		获取图像的宽度(以像素为单位), 配置值为实际值减 1。																											



## 9.2 VDP

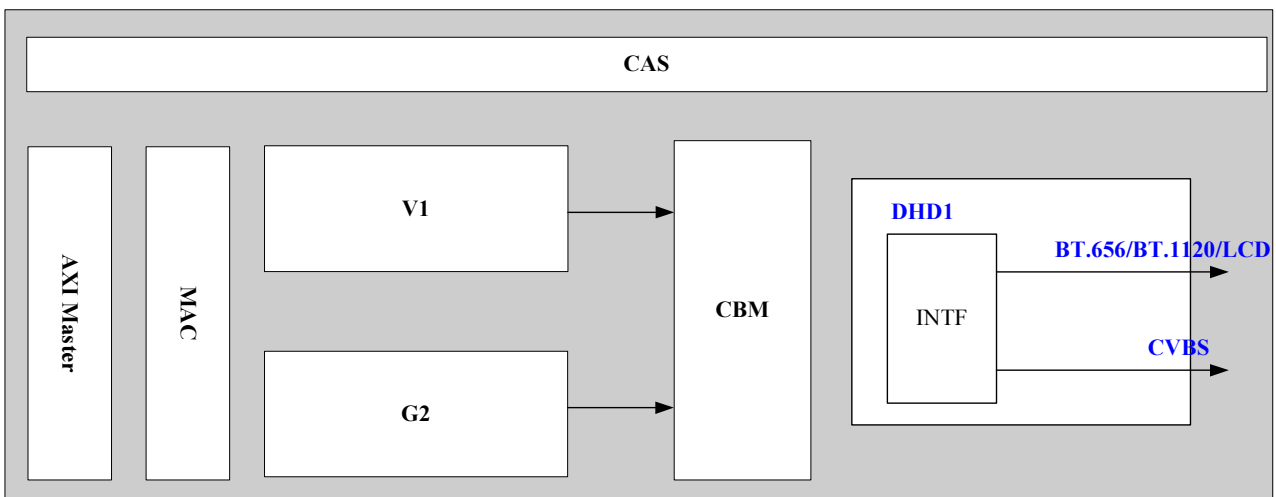
### 9.2.1 概述

VDP（Video Display Processor）模块主动从内存相应位置读取视频和图形数据，将视频层和图形层数据叠加后通过显示通道送出。

### 9.2.2 架构描述

VDP 的总体框图如图 9-17 所示。

图9-17 VDP 总体框图



- **Surface**: 总线输入的数据通路。其功能包括单个图层的总线数据读取、数据处理。Surface 包括：视频层 V1、图形层 G2。
- **Display Channel**: 显示通道。包括高清显示通道 DHD1。
- **CBM** (CrossBar and Mixer, 选通叠加器): 视频层/图形层叠加。
- **MAC** (Memory Access Controller, 内存访问控制器): 各 Surface 的总线申请仲裁模块。各模块通过 AXI (Advanced eXtensible Interface, 高级扩展接口) 总线从内存中读取数据, 该模块对各 Surface 提出的申请进行仲裁。
- **CAS** (Control And Status, 控制和状态): 该模块主要是通过 APB (Advanced Peripheral Bus, 高级外围总线) 总线完成对寄存器的配置, 并且各模块的状态信息通过该模块上报给 CPU。

VDP 寄存器主要按照模块全局、Surface 和 Display Channel 来分配:

- **模块全局寄存器**  
包括总线相关配置、中断、版本寄存器。
- **Surface 寄存器**  
包括视频层、图形层配置寄存器。





- Display Channel 寄存器  
包括 DHD1 配置寄存器。

VDP 的特点如下：

- 数字输出接口：支持 ITU-R BT.656 输出，支持 LCD16bit 并行/6bit 串行/8bit 串行输出，支持 ITU-R BT.1120 输出。
- 视频层（Video Surface）
- 图形层（Graphics Surface）
- 叠加特性
- VDP 包含 1 个视频通道，该通道有独立的垂直时序中断，标志帧/场的结束标志，以及 1 个低带宽中断。
- 模拟输出接口：支持 CVBS 输出。

## 9.2.3 工作方式

### 9.2.3.1 时钟配置

VDP 的可配时钟源共有 1 个：

接口输出时钟源：U\_VPLL

具体寄存器参见 **第三章 3.2.7 小节** CRG 寄存器描述 PERI\_CRG17、PERI\_CRG18。

### 9.2.3.2 复位

VDP 的复位包括 1 个硬件复位、1 个软件复位。



#### 注意

在进行 AXI 总线复位之前：

- 将所有的层关闭。
- 在下一帧/场中断起来（到达更新点）后，再配置总线复位请求。

### 9.2.3.3 总线相关配置

#### AXI Master

VDP 包括一个 Master 接口，可提高总线访问效率：

VDP 支持 AXI Master，V1 和 G2 层的数据读写请求可通过 MASTER 进行总线操作。

VDP 支持多 ID，但不可动态切换。



## APB 寄存器配置

VDP 寄存器通过 APB 接口进行读写操作。在 HI3519V100 中，VDP 的基地址为 0x1100\_0000，寄存器寻址空间 64KB，相应的地址偏移范围为：0x0000~0xFFFF。

## Outstanding 配置

AXI Master 的 Outstanding 深度可配置为 0、1、2、3、4、5、6、7。其中，outstanding 为 0 时，AXI Master 不对总线进行任何操作。

### 9.2.3.4 数字输出接口

VDP 支持以下三种数字接口输出：ITU-R BT.656、ITU-R BT.1120、LCD RGB 模式

### 9.2.3.5 中断

VDP 中断分 3 类：

- 垂直时序中断
- 低带宽中断
- DAC 无负载中断

#### 垂直时序中断

VDP 支持垂直时序中断，中断产生位置可灵活配置：

- VDP 包含 1 个垂直时序中断，标志帧/场的结束标志。
- 中断的产生方式可选：帧中断、场中断。
- 逐行显示，垂直时序中断只能配置为帧中断模式。
- 隔行显示，垂直时序中断可配置为帧中断模式或场中断模式（建议隔行时高清按照场产生中断，标清按照帧产生中断）。
- 支持中断屏蔽可配。
- 支持垂直时序中断门限可配。
- 每个中断源可单独打开与关闭，写 1 清 0。

#### 低带宽中断

VDP 支持以中断方式上报低带宽状态：

- VDP 包含 1 个低带宽中断，标志帧/场的低带宽信息。
- 支持中断屏蔽可配。
- 每个中断源可单独打开与关闭，写 1 清 0。



## 9.2.4 功能描述

### 9.2.4.1 视频层功能

#### 视频层特性

- 支持非压缩、无损压缩两种数据源
- 支持的输入像素格式：semi-plannar420、semi-plannar422、semi-plannar400
- 最小输入分辨率 32x32，最大输入分辨率为 1920x1080
- 最小输出分辨率 32x32，最大输出分辨率为 1920x1080
- 输入的水平分辨率为 2 的倍数
- 隔行 420 输入垂直分辨率为 4 的倍数，其他情况为 2 的倍数
- 支持逐行模式、隔行模式
- 源起始地址可配（分亮度、色度地址），非压缩数据源，地址为 2byte 对齐；压缩数据源，地址为 16byte 对齐
- 源 stride 可配（分亮度、色度地址），为 16byte 对齐
- 支持垂直色度上采样，复制模式。
- 支持水平色度上采样 IFIR，复制模式、双线性插值、16 阶半带滤波模式可选。
- 支持色彩空间转换，支持对比度/色调/饱和度调节
- 支持显示位置可配：在屏幕的任意位置显示
- 支持全局 alpha 可配置，配置范围 0~255

#### DCMP：解压

为了降低带宽，VDP 读入的源可能是压缩数据。V1 将压缩数据进行解压，还原成原始的 YcbCr 像素点。

#### CROP：水平裁减

支持对输入宽度做水平裁减。

#### 420-422：垂直色度上采样

当输入的图像数据是 420 时，需要对色度在垂直方向上放大 2 倍将数据格式转换为 422。V1 转换数据格式方式为复制方式。

#### 422-444：水平色度上采样

水平色度上采样的主要功能是对色度在水平方向上进行上采样，将 422 的数据格式转换为 444。

实现色度水平上采样的方式有 3 种，可配置：

- 复制
- 双线性插值



- 16 阶半带阶滤波

## CSC：色彩空间转换

- 实现 YCbCr BT.601、BT.709 和 RGB 色彩空间的转换
- 支持亮度、色调、饱和度调节。

### 9.2.4.2 图形层功能

#### 图形层特性：

- 支持的输入像素格式：ARGB1555、ARGB4444、ARGB8888
- 最小输入分辨率 32x32，最大输入分辨率为 1920x1080
- 最小输出分辨率 32x32，最大输出分辨率为 1920x1080
- 输入水平垂直分辨率为 2 的倍数
- 支持逐行模式、隔行模式
- 支持帧更新、场更新
- 源起始地址可配，地址为 128bit（16byte）对齐
- 源 stride 可配，为 128bit（16byte）对齐
- 支持色彩空间转换
- 支持显示位置可配：在屏幕的任意位置显示
- 支持全局 alpha 可配置，配置范围 0~255
- 像素 alpha 使能可配，对于像素格式 ARGB1555 中像素 Alpha 值的图形，选择 ALPHA0 或 ALPHA1
- 支持 colorkey 处理
- 支持预乘处理

#### CSC 功能描述

支持色彩空间转换，包括：RGB2YCbCr601、RGB2YCbCr709 之间的相互转换。

#### alpha 处理

图形层的 Alpha 值可以有两个来源：

- 像素 Alpha 值：表示某一个像素的叠加属性。
- 全局 Alpha 值：表示某一层的叠加属性。

像素 Alpha 值有一种特殊情况，在 ARGB1555 格式时，Alpha 值仅有 1bit，该 bit 不是真实的 Alpha 值，仅是 alpha 的索引，真实的 Alpha 值是根据该索引值选择 Alpha 寄存器中的值得到，当索引值为 0 时，取值 ALPHA0，否则，取值为 ALPHA1。

#### Colorkey 功能

- Key 的模式可选，配置范围外或范围内的像素做 key 处理。
- Key 的 bit 可屏蔽。



## 预乘功能

支持输入数据为预乘的数据。当输入为预乘数据时，Colorkey 功能必须关闭。

### 9.2.4.3 叠加处理

VDP 支持 V1、G2 两层叠加的功能。

#### 叠加特性

- 支持 bottom-to-top 的叠加方式
- 叠加背景色可配
- 叠加 surface 的优先级可配

### 9.2.4.4 显示通道

#### 视频通道特性

- DHD1 可作为高清、标清的输出通道
- 在同一场景下只能输出一种时序，高清、标清时序不能同时输出
- 支持以下典型输出时序：1080p、1080i、720p、PAL、NTSC

#### 时序配置

VDP 的输出接口支持配置各种典型及非典型时序，以适应不同的对接芯片接口。



#### 注意

所有时序参数配置时，接口都应该关闭，配置完成后再打开接口。

### 9.2.4.5 高清输出接口 BT.1120

#### BT.1120 特性

- 支持 10bit 转 8bit dither
- 支持 YCbCr444 转 YCbCr422 的水平色度下采样 dfir
- 支持数据钳位的 clip，根据接口协议，Y 钳位范围 16~235，C 钳位范围 16~240
- 支持以下典型输出时序：720p、1080p、1080i
- 支持 bypass 模式，dither、dfir 分别采用截位、丢点的方式处理。
- 16bit 数据，默认 Y 在高位，C 在低位，YC 位置可互换



### 9.2.4.6 标清输出接口 BT.656

#### BT.656 特性

- 支持 10bit 转 8bit dither
- 支持 YCbCr444 转 YCbCr422 的水平色度下采样 dfr
- 支持数据钳位的 clip，根据接口协议，Y 钳位范围 16~235，C 钳位范围 16~240
- 支持以下典型输出时序：NTSC、PAL

### 9.2.4.7 标清输出接口 CVBS

#### CVBS 特性

- 支持数据钳位的 clip，Y 钳位范围 64~940，C 钳位范围 64~960
- 支持数字模拟化处理的 DATE
- DATE 支持 VDAC 自动检测功能
- 支持以下典型输出时序：NTSC、PAL

### 9.2.4.8 LCD 输出接口 RGB

- 支持 8bit/6bit 串行 RGB 输出 bit 位顺序、倒序可调。
- 支持 16bit 并行 RGB 输出，默认 RGB 顺序，BGR 顺序输出可选。
- 支持 RGB 串行输出，输出顺序 R、G、B，16bit 中的低 8bit 输出。
- 最大输出时钟 27MHz。

## 9.2.5 VDP 寄存器概览

VDP 寄存器概览如表 9-6 所示。

表9-6 VDP 寄存器概览（基址是 0x1100\_0000）

偏移地址	名称	描述	页码
0x0000	VOCTRL	VO 控制寄存器	9-97
0x0004	VOINTSTA	VO 中断状态，只读寄存器	9-98
0x0008	VOMSKINTSTA	VO 经过 Mask 的中断状态寄存器	9-99
0x000C	VOINTMSK	VDP 中断屏蔽寄存器	9-100
0x0010	VDPVERSION1	VDP 版本 1 寄存器	9-101
0x0014	VDPVERSION2	VDP 版本 2 寄存器	9-101
0x0020	VOMEM_CTRL	VDP MEM 调试控制寄存器	9-101
0x0034	VOAXICTRL	VO AXI 总线配置寄存器	9-102
0x0100	VO_MUX	VO 输出接口复选寄存器	9-103



偏移地址	名称	描述	页码
0x0108	VO_MUX_TESTSY NC	VO 输出接口测试寄存器	9-103
0x010C	VO_MUX_TESTDA TA	VO 输出接口测试数据寄存器	9-104
0x0120	VO_DAC_CTRL	VO DAC 控制寄存器	9-105
0x0134	VO_DAC_0_CTRL	VO DAC 0 通道控制寄存器	9-106
0x0140	VO_DAC_STAT0	VO DAC 状态 0 寄存器	9-106
0x1000	V1_CTRL	该寄存器可以配置层的相关信息，为非即时寄存器	9-107
0x1004	V1_UPD	v1 通道更新使能寄存器	9-109
0x1028	V1_IRESO	输入分辨率寄存器，为非即时寄存器	9-109
0x102C	V1_ORES0	输出分辨率寄存器，为非即时寄存器	9-110
0x1034	V1_DCMP_SGMT_ CROP	输入段解压 crop 寄存器，为非即时寄存器	9-110
0x1038	V1_CBMPARA	叠加相关参数，为非即时寄存器	9-110
0x1044	V1_CPOS	源图的水平裁减坐标寄存器	9-111
0x1060	V1_DFPOS	Surface 在显示窗口的起始位置（First POSition），非即时寄存器	9-111
0x1064	V1_DLPOS	Surface 在显示窗口的结束位置（Last POSition），以像素为单位，非即时寄存器	9-112
0x1080	V1_CSC_IDC	色彩空间转换输入直流分量寄存器，为即时寄存器	9-112
0x1084	V1_CSC_ODC	色彩空间转换输出直流分量寄存器，为即时寄存器	9-113
0x1088	V1_CSC_IODC	色彩空间转换输入/输出直流分量寄存器，为即时寄存器	9-113
0x108C	V1_CSC_P0	色彩空间转换参数 0，为即时寄存器	9-114
0x1090	V1_CSC_P1	色彩空间转换参数 1，为即时寄存器	9-114
0x1094	V1_CSC_P2	色彩空间转换参数 2，为即时寄存器	9-115
0x1098	V1_CSC_P3	色彩空间转换参数 3，为即时寄存器	9-116
0x109C	V1_CSC_P4	色彩空间转换参数 4，为即时寄存器	9-116
0x1204	V1_P0LADDR	视频层亮度地址寄存器	9-116



偏移地址	名称	描述	页码
0x1208	V1_P0CADDR	视频层色度地址寄存器	9-117
0x120C	V1_P0STRIDE	视频层 stride 寄存器	9-117
0x1640	V1_LADDROFFSET	亮度压缩数据地址相对于头信息地址偏移寄存器,解压缩使能时有效, 为非即时寄存器	9-118
0x1644	V1_CADDROFFSET	色度压缩数据地址相对于头信息地址偏移寄存器,解压缩使能时有效, 为非即时寄存器	9-118
0x1720	V1_DCMP_LSTATE 0	视频层亮度通道解压缩状态寄存器 0	9-118
0x1724	V1_DCMP_LSTATE 1	视频层亮度通道解压缩状态寄存器 1	9-119
0x1728	V1_DCMP_CSTATE 0	视频层色度通道解压缩状态寄存器 0	9-119
0x172C	V1_DCMP_CSTATE 1	视频层色度通道解压缩状态寄存器 1	9-119
0x1730	V1_DCMPERRCLR	视频层解压错误状态的清零寄存器	9-120
0x1734	V1_DCMP_ERR	视频层解压缩错误信号寄存器	9-120
0x7000	G2_CTRL	该寄存器可以配置层的相关信息寄存器	9-121
0x7004	G2_UPD	图形层更新使能寄存器	9-122
0x7010	G2_ADDR	图形层地址寄存器	9-123
0x701C	G2_STRIDE	图形层的 stride 寄存器	9-123
0x7020	G2_IRESO	输入分辨率寄存器, 为非即时寄存器	9-124
0x7024	G2_SFPOS	Surface 需要读取数据在源位图中的起始位置, 非即时寄存器	9-124
0x7030	G2_CBMPARA	叠加相关参数, 为非即时寄存器	9-125
0x7034	G2_CKEYMAX	color key 最大值, 为非即时寄存器	9-126
0x7038	G2_CKEYMIN	color key 最小值, 为非即时寄存器	9-126
0x703C	G2_CMASK	color key mask 值, 为非即时寄存器	9-127
0x7080	G2_DFPOS	Surface 在显示窗口的起始位置 (First POSition), 以像素为单位, 非即时寄存器	9-127





偏移地址	名称	描述	页码
0x7084	G2_DLPOS	Surface 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器	9-128
0x70C0	G2_CSC_IDC	色彩空间转换输入直流分量寄存器，为即时寄存器	9-128
0x70C4	G2_CSC_ODC	色彩空间转换输出直流分量寄存器，为即时寄存器	9-129
0x70C8	G2_CSC_IODC	色彩空间转换输入/输出直流分量寄存器，为即时寄存器	9-130
0x70CC	G2_CSC_P0	色彩空间转换参数 0，为即时寄存器	9-130
0x70D0	G2_CSC_P1	色彩空间转换参数 1，为即时寄存器	9-131
0x70D4	G2_CSC_P2	色彩空间转换参数 2，为即时寄存器	9-131
0x70D8	G2_CSC_P3	色彩空间转换参数 3，为即时寄存器	9-132
0x70DC	G2_CSC_P4	色彩空间转换参数 4，为即时寄存器	9-132
0xB420	CBM_BKG2	CBM Mixer2 叠加背景色寄存器	9-133
0xB428	CBM_MIX2	CBM Mixer2 优先级配置寄存器	9-133
0xC400	DHD1_CTRL	显示通道的总体控制寄存器	9-134
0xC404	DHD1_VSYNC	隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序	9-135
0xC408	DHD1_HSYNC1	隔行或逐行输出情况下，水平同步配置寄存器	9-135
0xC40C	DHD1_HSYNC2	隔行或逐行输出情况下，水平同步配置寄存器，非即时寄存器	9-136
0xC410	DHD1_VPLUS	隔行输出时，该寄存器表示底场垂直同步时序，非即时寄存器	9-136
0xC414	DHD1_PWR	同步信号脉冲宽度，非即时寄存器	9-137
0xC418	DHD1_VTTHD3	垂直时序门限值 (Vertical Timing Threshold)，为即时寄存器	9-137
0xC41C	DHD1_VTTHD	垂直时序门限值 (Vertical Timing Threshold)，为即时寄存器	9-138
0xC4B0	DHD1_PARATHD	PARA 系数更新点阈值寄存器	9-139
0xC4C0	DHD1_START_POS	DHD 通道 start 信号起始位置寄存器	9-139



偏移地址	名称	描述	页码
0xC4F0	DHD1_STATE	DHD1 状态寄存器	9-139
0xD200	BT_CTRL	BT.656/BT.1120 控制寄存器	9-140
0xD210	BT_CLIP0_L	BT.656/BT.1120 Clip 处理最低门限值寄存器，为即时寄存器	9-141
0xD214	BT_CLIP0_H	BT.656/BT.1120 Clip 处理最高门限值寄存器，为即时寄存器	9-142
0xD280	BT_DITHER0_CTRL	BT.656/BT.1120 Dither 控制寄存器	9-142
0xD284	BT_DITHER0_COEF0	BT.656/BT.1120 Dither 系数 0 寄存器	9-143
0xD288	BT_DITHER0_COEF1	BT.656/BT.1120 Dither 系数 1 寄存器	9-144
0xD400	LCD_CTRL	LCD 控制寄存器	9-144
0xD408	LCD_SYNC_INV	LCD 外同步时序输入时，同步信号极性配置寄存器	9-145
0xF200	DATE_COEFF0	制式参数配置寄存器	9-146
0xF204	DATE_COEFF1	幅度配置寄存器	9-149
0xF208	DATE_COEFF2	DATE 系数 2 寄存器	9-151
0xF20C	DATE_COEFF3	DATE 系数 3 寄存器	9-151
0xF210	DATE_COEFF4	DATE 系数 4 寄存器	9-151
0xF214	DATE_COEFF5	DATE 系数 5 寄存器	9-152
0xF218	DATE_COEFF6	DATE 系数 6 寄存器	9-152
0xF254	DATE_COEFF21	输出矩阵控制寄存器	9-153
0xF258	DATE_COEFF22	DTO 初始相位配置寄存器	9-154
0xF25C	DATE_COEFF23	VIDEO_OUT 延时配置寄存器	9-154
0xF260	DATE_COEFF24	ColorBurst 起始位置寄存器	9-155
0xF280	DATE_ISRMASK	中断屏蔽寄存器	9-155
0xF284	DATE_ISRSTATE	中断状态寄存器	9-156
0xF288	DATE_ISR	中断寄存器	9-156
0xF294	DATE_COEFF37	上采样滤波系数 1 寄存器	9-157
0xF298	DATE_COEFF38	上采样滤波系数 2 寄存器	9-157



偏移地址	名称	描述	页码
0xF29C	DATE_COEFF39	上采样滤波系数 3 寄存器	9-158
0xF2A0	DATE_COEFF40	上采样滤波系数 4 寄存器	9-158
0xF2A4	DATE_COEFF41	上采样滤波系数 5 寄存器	9-159
0xF2A8	DATE_COEFF42	上采样滤波系数 6 寄存器	9-159
0xF2C0	DATE_DACDET1	DAC 自动检测 1 寄存器	9-160
0xF2C4	DATE_DACDET2	DAC 自动检测 2 寄存器	9-160
0xF2C8	DATE_COEFF50	过采样滤波系数 1 寄存器	9-161
0xF2CC	DATE_COEFF51	过采样滤波系数 2 寄存器	9-161
0xF2D0	DATE_COEFF52	过采样滤波系数 3 寄存器	9-162
0xF2D4	DATE_COEFF53	过采样滤波系数 4 寄存器	9-162
0xF2D8	DATE_COEFF54	过采样滤波系数 5 寄存器	9-162
0xF2DC	DATE_COEFF55	过采样滤波系数 6 寄存器	9-163
0xF2E0	DATE_COEFF56	过采样四舍五入寄存器	9-163
0xF2E4	DATE_COEFF57	CVBS 增益控制寄存器	9-164
0xF2E8	DATE_COEFF58	分量增益控制寄存器	9-165
0xF2EC	DATE_COEFF59	clip 控制位寄存器	9-165

## 9.2.6 VDP 寄存器描述

### VOCTRL

VOCTRL 为 VO 控制寄存器。surface 总线申请仲裁模式。



Offset Address		Register Name		Total Reset Value					
0x0000		VOCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							m0_arb_mode	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	vo_ck_gt_en	VDP 时钟门控使能。 0: 时钟门控关闭; 1: VDP 的内部时钟门控打开。						
[30:4]	RO	reserved	保留。						
[3:0]	RW	m0_arb_mode	VO MAC0 内部各 surface 总线数据申请的仲裁模式。 0x0: 轮询; 0x1: 图形层优先; 其他: 保留。						

## VOINTSTA

VOINTSTA 为 VO 中断状态，只读寄存器。

Offset Address		Register Name		Total Reset Value								
0x0004		VOINTSTA		0x0000_0040								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved							dhdIuf_int	reserved	reserved	dhdIvthdI_int	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:8]	RO	reserved	保留。									



[7]	RO	dhd1uf_int	DHD1 通道低带宽告警中断。 0: 无中断; 1: 上报中断。
[6]	RO	reserved	保留。
[5]	RO	reserved	保留。
[4]	RO	dhd1vtthd1_int	DHD1 通道垂直时序中断 1。 0: 无中断; 1: 上报中断。
[3:0]	RO	reserved	保留。

## VOMSKINTSTA

VOMSKINTSTA 为 VO 经过 Mask 的中断状态寄存器。写 1 清零。

	Offset Address				Register Name				Total Reset Value																							
	0x0008				VOMSKINTSTA				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vdac0_unload_int	reserved				dhd1uf_clr	reserved	reserved	dhd1vtthd1_clr	reserved	reserved	reserved	reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:13]		[12]		[11:8]		[7]		[6]		[5]																					
Access	RO		WC		RO		WC		RO		RO																					
Name	reserved		vdac0_unload_int		reserved		dhd1uf_clr		reserved		reserved																					
Description	保留。		DAC0 无负载中断。 0: 无中断; 1: 上报中断。		保留。		DHD1 通道低带宽告警中断。 0: 无中断; 1: 上报中断。		保留。		保留。																					



[4]	WC	dhd1vtthd1_clr	DHD1 通道垂直时序中断 1。 0: 无中断; 1: 上报中断。
[3]	RO	reserved	保留。
[2]	RO	reserved	保留。
[1]	RO	reserved	保留。
[0]	RO	reserved	保留。

## VOINTMSK

VOINTMSK 为 VDP 中断屏蔽寄存器。与 VOINTSTA 对应。相应比特为 1 表示中断打开，为 0 表示中断屏蔽。

	Offset Address 0x000C								Register Name VOINTMSK								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								dhd1uf_intmsk	reserved	reserved	dhd1vtthd1_intmsk	reserved	reserved	reserved	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7]	RW		dhd1uf_intmsk		DHD1 通道低带宽告警中断。 0: 中断屏蔽; 1: 中断打开。																											
[6]	RO		reserved		保留。																											
[5]	RO		reserved		保留。																											
[4]	RW		dhd1vtthd1_intmsk		DHD1 通道垂直时序中断 1。 0: 中断屏蔽; 1: 中断打开。																											
[3]	RO		reserved		保留。																											



[2]	RO	reserved	保留。
[1]	RO	reserved	保留。
[0]	RO	reserved	保留。

## VDPVERSION1

VDPVERSION1 为 VDP 版本 1 寄存器。

	Offset Address	Register Name	Total Reset Value				
	0x0010	VDPVERSION1	0x7675_6F76				
Bit	31 30 29 28	27 26 25 24	23 22 21 20				
			19 18 17 16				
			15 14 13 12				
			11 10 9 8				
			7 6 5 4				
			3 2 1 0				
Name	vdpversion1						
Reset	0 1 1 1	0 1 1 0	0 1 1 1				
			0 1 0 1				
			0 1 1 0				
			1 1 1 1				
			0 1 1 1				
			0 1 1 0				
Bits	Access	Name	Description				
[31:0]	RO	vdpversion1	VDP 版本寄存器 1。				

## VDPVERSION2

VDPVERSION2 为 VDP 版本 2 寄存器。

	Offset Address	Register Name	Total Reset Value				
	0x0014	VDPVERSION2	0x3031_3134				
Bit	31 30 29 28	27 26 25 24	23 22 21 20				
			19 18 17 16				
			15 14 13 12				
			11 10 9 8				
			7 6 5 4				
			3 2 1 0				
Name	vdpversion2						
Reset	0 0 1 1	0 0 0 0	0 0 1 1				
			0 0 0 1				
			0 0 1 1				
			0 0 0 1				
			0 0 1 1				
			0 1 0 0				
Bits	Access	Name	Description				
[31:0]	RO	vdpversion2	VDP 版本寄存器 2。				

## VOMEM\_CTRL

VOMEM\_CTRL 为 VDP MEM 调试控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0024		VOMEM_CTRL		0x0000_1B0B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rft_emab	rft_ema	reserved	rfs_emaw	rfs_ema
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 1 1	0 0 0 0	1 0 1 1	
Bits	Access	Name	Description						
[31:14]	RO	reserved	保留						
[13:11]	RW	rft_emab	RFT MEM 的 EMAB 端调速寄存器。						
[10:8]	RW	rft_ema	RFT MEM 的 EMAA 端调速寄存器。						
[7:5]	RO	reserved	保留。						
[4:3]	RW	rfs_emaw	RFS MEM 的 EMAW 端调速寄存器。						
[2:0]	RW	rfs_ema	RFS MEM 的 EMA 端调速寄存器。						

## VOAXICTRL

VOAXICTRL 为 VO AXI 总线配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0034		VOAXICTRL		0x1110_0111					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				m0_v0_id_sel	reserved			m0_outstd_rid 0
Reset	0 0 0 1	0 0 0 1	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15]	RW	m0_v0_id_sel	m0 读多 ID 输出使能。 0: 一个 ID 输出; 1: 多个 ID 输出。						
[14:4]	RO	reserved	保留。						





[3:0]	RW	m0_outstd_rid0	axi master 0 读 ID0 outstanding 配置，配置范围 0~7。
-------	----	----------------	---

## VO\_MUX

VO\_MUX 为 VO 输出接口复选寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0100				VO_MUX								0x0001_6540																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	digital_sel				reserved																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	1	0	1	0	1	0	0	0	0	0	0
	<b>Bits</b>	<b>Access</b>	<b>Name</b>		<b>Description</b>																											
	[31:28]	RW	digital_sel		数字口数据选择(默认 0)。 0: BT.1120; 1: BT.656; 2: LCD; 其他: 保留。																											
	[27:0]	RO	reserved		保留。																											

## VO\_MUX\_TESTSYNC

VO\_MUX\_TESTSYNC 为 VO 输出接口测试寄存器。(VOPINTEST)



Offset Address		Register Name		Total Reset Value																												
0x0108		VO_MUX_TESTSYNC		0x0110_0104																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vo_test_en	reserved														test_field	test_vsync	test_hsync	test_dv													
Reset	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0
Bits	Access	Name	Description																													
[31]	RW	vo_test_en	VDP 输出接口测试模式使能。 0: 不使能; 1: 使能。																													
[30:4]	RO	reserved	保留。																													
[3]	RW	test_field	field 信号测试值。																													
[2]	RW	test_vsync	vsync 信号测试值。																													
[1]	RW	test_hsync	hsync 信号测试值。																													
[0]	RW	test_dv	dv 信号测试值。																													

## VO\_MUX\_TESTDATA

VO\_MUX\_TESTDATA 为 VO 输出接口测试数据寄存器。(VOPINTEST)

Offset Address		Register Name		Total Reset Value																												
0x010C		VO_MUX_TESTDATA		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	test_data																														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:30]	RO	reserved	保留。																													



[29:0]	RW	test_data	测试模式时的 data 输出值寄存器。 DAC (CVBS) 通道输出为寄存器的低 10bit, BT.1120 通道输出为寄存器的低 16bit, LCD 通道输出为寄存器的 {29~22,19~12,9~2}bit, 其他通道输出为寄存器值, 顺序由高到低为 RGB 或 YUV。
--------	----	-----------	---

## VO\_DAC\_CTRL

VO\_DAC\_CTRL 为 VO DAC 控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0120	VO_DAC_CTRL	0x2000_4000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	envbg pdchopper enxtref	enctr dac_reg_rev
Reset	0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:23]	RO	reserved	保留。
[22]	RW	envbg	VBG 参考电压使能。 0: 关闭; 1: 打开。
[21]	RW	pdchopper	VBG 的 Chopper 使能。 0: 开启 chopper 功能; 1: 关闭 chopper 功能。
[20]	RW	enxtref	VBG 的输出测试使能。 0: 使用内部 VBG, VBG 不输出到测试管脚; 1: VBG 输出到外部进行测试。
[19:16]	RW	enctr	VBG 的输出测试使能。 0: 使用内部 VBG, VBG 不输出到测试管脚; 1: VBG 输出到外部进行测试。
[15:0]	RW	dac_reg_rev	保留测试。



## VO\_DAC\_0\_CTRL

VO\_DAC\_0\_CTRL 为 VO DAC 0 通道控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0134		VO_DAC_0_CTRL		0x1000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dac0en	reserved																dac0gc				reserved		cablectr0								
Reset	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		dac0en		DAC 使能端。 0: 不使能; 1: 使能。																											
[30:10]	RO		reserved		保留。																											
[9:4]	RW		dac0gc		DAC 输出幅度控制寄存器。 满幅输出电压范围覆盖 0.52RO1.37V，输出幅度分成 64 阶调节，调节的精度为 1%，计算公式为 $I_{fs}=13.9+GAIN*0.358(m A)$ ; 000000: 0.52V ... 111111:1.37V																											
[3:2]	RO		reserved		保留。																											
[1:0]	RW		cablectr0		DAC 的 VREF_CABLE 参考电压调节。 00: 默认正常; 01: -10%; 10: -20%; 11: +10%。																											

## VO\_DAC\_STAT0

VO\_DAC\_STAT0 为 VO DAC 状态 0 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0140		VO_DAC_STAT0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cableout0	reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	RO	reserved	保留。						
[16]	RO	cableout0	cableout0 反馈信号						
[15:0]	RO	reserved	保留。						

## V1\_CTRL

V1\_CTRL 为该寄存器可以配置层的相关信息，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x1000		V1_CTRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_en reserved die_rd_en reserved	crop_en reserved precharge_en precharge_mode	ifir_mode reserved reserved	lm_rmode chm_rmode	reserved dcmp_en reserved	ifmt		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	surface_en	surface 使能。非即时寄存器。 0: 不使能; 1: 使能。					
[30:29]	RO	reserved	保留。					
[28]	RW	die_rd_en	色度通道重复读使能(仅输入 420 有效)。 0: 禁止; 1: 使能。					



[27:24]	RO	reserved	保留。
[23]	RW	crop_en	crop 使能，非即时寄存器。 0: 禁止； 1: 使能。
[22]	RO	reserved	保留。
[21]	RW	precharge_en	PreCharge 状态使能，PreCharge 模式为 1(软件模式)时有效。 0: 禁止； 1: 使能。
[20]	RW	precharge_mode	FDR FIFO PreCharge 模式： 0: 硬件模式，硬件在帧尾自动进入 precharge 状态； 1: 软件模式，由软件控制进入/撤离 precharge 状态。
[19:18]	RW	ifir_mode	水平色度 IFIR 模式。 00: 保留； 01: 色度 IFIR 拷贝模式； 10: 双线性插值； 11: 16 阶半带滤波。
[17]	RO	reserved	保留。
[16]	RO	reserved	保留。
[15:14]	RW	lm_rmode	亮度逐隔行读取模式。 00: 读取模式跟接口绑定； 01: 逐行读取帧 buffer 数据； 10: 隔行读取时，读入顶场； 11: 隔行读取时，读入底场。
[13:12]	RW	chm_rmode	色度逐隔行读取模式。 00: 读取模式跟接口绑定； 01: 逐行读取帧 buffer 数据； 10: 隔行读取时，读入顶场； 11: 隔行读取时，读入底场。
[11:9]	RO	reserved	保留。
[8]	RW	dcmp_en	解压使能。 0: 不使能； 1: 使能。
[7:4]	RO	reserved	保留。



[3:0]	RW	ifmt	输入数据格式。 0x1: SPYCbCr400; 0x3: SPYCbCr420; 0x4: SPYCbCr422; 其他: 保留。
-------	----	------	--

## V1\_UPD

V1\_UPD 为 V1 通道更新使能寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1004	V1_UPD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		regup
Reset	0 0		
Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	WC	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

## V1\_IRESO

V1\_IRESO 为输入分辨率寄存器，为非即时寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1028	V1_IRESO	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	ih	iw
Reset	0 0		
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 以帧高度为参考，以行为单位。
[11:0]	RW	iw	宽度，像素单位。实际宽度减 1。



## V1\_ORESO

V1\_ORESO 为输出分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x102C		V1_ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 以帧高度为参考，以行为单位。						
[11:0]	RW	ow	宽度，像素单位。实际宽度减 1。						

## V1\_DCMP\_SGMT\_CROP

V1\_DCMP\_SGMT\_CROP 为输入段解压 crop 寄存器，为非即时寄存器

Offset Address		Register Name		Total Reset Value				
0x1034		V1_DCMP_SGMT_CROP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						dcmp_xlsgmt	dcmp_xfsgmt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	dcmp_xlsgmt	段解压终点段；					
[3:0]	RW	dcmp_xfsgmt	段解压起始段；					

## V1\_CBMPARA

V1\_CBMPARA 为叠加相关参数，为非即时寄存器。





Offset Address		Register Name		Total Reset Value					
0x1038		V1_CBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						galpha		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255，255 为全不透明，0 为全透明。						

## V1\_CPOS

V1\_CPOS 为源图的水平裁减坐标寄存器

Offset Address		Register Name		Total Reset Value				
0x1044		V1_CPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		src_xlpos			src_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	src_xlpos	源图水平 crop 结束坐标。					
[11:0]	RW	src_xfpos	源图水平 crop 起始坐标。					

## V1\_DFPOS

V1\_DFPOS 为 Surface 在显示窗口的起始位置 (First POSition)，非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x1060		V1_DFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		disp_yfpos			disp_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					



[23:12]	RW	disp_yfpos	显示列起始坐标， 以帧高度为参考，以行为单位。
[11:0]	RW	disp_xfpos	显示行起始坐标。

## V1\_DLPOS

V1\_DLPOS 为 Surface 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x1064		V1_DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			disp_ylpos			disp_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	disp_ylpos	显示列结束坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	disp_xlpos	显示行结束坐标。						

## V1\_CSC\_IDC

V1\_CSC\_IDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x1080		V1_CSC_IDC		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			csc_en	cscidl			cscidc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:23]	RO	reserved	保留。							
[22]	RW	csc_en	CSC 使能控制信号。 0: CSC 不使能； 1: CSC 使能。							



Offset Address		Register Name		Total Reset Value						
0x1080		V1_CSC_IDC		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			csc_en	cscidc1			cscidc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[21:11]	RW	cscidc1	输入 U/G 分量直流参数，MSB 为符号位。补码表示。							
[10:0]	RW	cscidc0	输入 V/B 分量直流参数，MSB 为符号位。补码表示。							

## V1\_CSC\_ODC

V1\_CSC\_ODC 为色彩空间转换输出直流分量寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x1084		V1_CSC_ODC		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			csc_sign_mode	cscodc1			cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:23]	RO	reserved	保留。							
[22]	RW	csc_sign_mode	CSC 输出模式控制信号。 0: CSC 输出 10bit 无符号数； 1: CSC 输出 12bit 有符号数。							
[21:11]	RW	cscodc1	输出 U/G 分量直流参数，MSB 为符号位。补码表示。							
[10:0]	RW	cscodc0	输出 Y/R 分量直流参数，MSB 为符号位。补码表示。							

## V1\_CSC\_IODC

V1\_CSC\_IODC 为色彩空间转换输入/输出直流分量寄存器，为即时寄存器。



Offset Address		Register Name		Total Reset Value								
0x1088		V1_CSC_IODC		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				cscodc2				cscidc2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:22]	RO	reserved	保留。									
[21:11]	RW	cscodc2	输出 V/B 分量直流参数，MSB 为符号位。补码表示。									
[10:0]	RW	cscidc2	输入 Y/R 分量直流参数，MSB 为符号位。补码表示。									

## V1\_CSC\_P0

V1\_CSC\_P0 为色彩空间转换参数 0，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x108C		V1_CSC_P0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp01				reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RO	reserved	保留。							
[30:16]	RW	cscp01	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。							
[15]	RO	reserved	保留。							
[14:0]	RW	cscp00	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。							

## V1\_CSC\_P1

V1\_CSC\_P1 为色彩空间转换参数 1，为即时寄存器。



Offset Address		Register Name		Total Reset Value								
0x1090		V1_CSC_P1		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved			cscp10			reserved			cscp02		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31]	RO	reserved	保留。									
[30:16]	RW	cscp10	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									
[15]	RO	reserved	保留。									
[14:0]	RW	cscp02	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									

## V1\_CSC\_P2

V1\_CSC\_P2 为色彩空间转换参数 2，为即时寄存器。

Offset Address		Register Name		Total Reset Value								
0x1094		V1_CSC_P2		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved			cscp12			reserved			cscp11		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31]	RO	reserved	保留。									
[30:16]	RW	cscp12	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									
[15]	RO	reserved	保留。									
[14:0]	RW	cscp11	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									



## V1\_CSC\_P3

V1\_CSC\_P3 为色彩空间转换参数 3，为即时寄存器。

Offset Address		Register Name		Total Reset Value															
0x1098		V1_CSC_P3		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	reserved				cscp21					reserved					cscp20				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																
[31]	RO	reserved	保留。																
[30:16]	RW	cscp21	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。																
[15]	RO	reserved	保留。																
[14:0]	RW	cscp20	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。																

## V1\_CSC\_P4

V1\_CSC\_P4 为色彩空间转换参数 4，为即时寄存器。

Offset Address		Register Name		Total Reset Value														
0x109C		V1_CSC_P4		0x0000_0000														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0										
Name	reserved				cscp22													
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0										
Bits	Access	Name	Description															
[31:15]	RO	reserved	保留。															
[14:0]	RW	cscp22	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。															

## V1\_P0LADDR

V1\_P0LADDR 为视频层亮度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x1204		V1_P0LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层亮度首地址寄存器。					

## V1\_P0CADDR

V1\_P0CADDR 为视频层色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x1208		V1_P0CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层色度首地址寄存器。					

## V1\_P0STRIDE

V1\_P0STRIDE 为视频层 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x120C		V1_P0STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层亮度 buffer 的 stride。(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。					



## V1\_LADDROFFSET

V1\_LADDROFFSET 为亮度压缩数据地址相对于头信息地址偏移寄存器,解压缩使能时有效, 为非即时寄存器

Offset Address		Register Name		Total Reset Value				
0x1640		V1_LADDROFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	laddr_offset							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	laddr_offset	亮度压缩数据地址相对于头信息地址偏移。					

## V1\_CADDROFFSET

V1\_CADDROFFSET 为色度压缩数据地址相对于头信息地址偏移寄存器,解压缩使能时有效, 为非即时寄存器

Offset Address		Register Name		Total Reset Value				
0x1644		V1_CADDROFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	caddr_offset							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	caddr_offset	色度压缩数据地址相对于头信息地址偏移。					

## V1\_DCOMP\_LSTATE0

V1\_DCOMP\_LSTATE0 为视频层亮度通道解压缩状态寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x1720		V1_DCOMP_LSTATE0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_l_state0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dcmp_l_state0	视频层亮度通道解压缩状态寄存器 0。					





## V1\_DCMP\_LSTATE1

V1\_DCMP\_LSTATE1 为视频层亮度通道解压缩状态寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x1724		V1_DCMP_LSTATE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_l_state1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dcmp_l_state1	视频层亮度通道解压缩状态寄存器 1。					

## V1\_DCMP\_CSTATE0

V1\_DCMP\_CSTATE0 为视频层色度通道解压缩状态寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x1728		V1_DCMP_CSTATE0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_c_state0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dcmp_c_state0	视频层色度通道解压缩状态寄存器 0。					

## V1\_DCMP\_CSTATE1

V1\_DCMP\_CSTATE1 为视频层色度通道解压缩状态寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x172C		V1_DCMP_CSTATE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_c_state1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dcmp_c_state1	视频层色度通道解压缩状态寄存器 1。					



## V1\_DCMPEERRCLR

V1\_DCMPEERRCLR 为视频层解压错误状态的清零寄存器。写 1 清零。

	Offset Address	Register Name	Total Reset Value	
	0x1730	V1_DCMPEERRCLR	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved		dcmp_c_errclr dcmp_l_errclr	
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
	Bits	Access	Name	Description
	[31:2]	RO	reserved	保留。
	[1]	WC	dcmp_c_errclr	色度通道解压错误状态清零寄存器。 0: 不清零; 1: 清零。
	[0]	WC	dcmp_l_errclr	亮度通道解压错误状态清零寄存器。 0: 不清零; 1: 清零。

## V1\_DCMP\_ERR

V1\_DCMP\_ERR 为视频层解压缩错误信号寄存器。



Offset Address		Register Name		Total Reset Value																												
0x1734		V1_DCOMP_ERR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																dcmp_c_wrong		dcmp_l_wrong													
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留																													
[1]	RO	dcmp_c_wrong	色度通道解压错误信号。 0: 解压正确; 1: 解压错误。																													
[0]	RO	dcmp_l_wrong	亮度通道解压错误信号。 0: 解压正确; 1: 解压错误。																													

## G2\_CTRL

G2\_CTRL 为该寄存器可以配置层的相关信息寄存器。为非即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x7000		G2_CTRL		0x4000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	nosec_flag	reserved	reserved	upd_mode	read_mode	reserved				precharge_en	precharge_mode	reserved				bitext	ifmt														
Reset	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	surface_en	surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																													



[30]	RW	nosec_flag	总线接口标示操作安全属性信号。 0: 安全属性; 1: 非安全属性。
[29]	RO	reserved	保留。
[28]	RO	reserved	保留。
[27]	RW	upd_mode	更新模式。 0: 帧更新; 1: 场更新。
[26]	RW	read_mode	数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。
[25:22]	RO	reserved	保留。
[21]	RW	precharge_en	PreCharge 状态使能, PreCharge 模式为 1(软件模式)时有效。 0: 不使能; 1: 使能。
[20]	RW	precharge_mode	FDR FIFO PreCharge 模式。 0: 硬件模式, 硬件在帧尾自动进入 precharge 状态; 1: 软件模式, 由软件控制进入/撤离 precharge 状态。
[19:10]	RO	reserved	保留。
[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 00: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。
[7:0]	RW	ifmt	输入数据格式。 0x48: ARGB4444; 0x49: ARGB1555; 其他: 保留。

## G2\_UPD

G2\_UPD 为图形层更新使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x7004		G2_UPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。						

## G2\_ADDR

G2\_ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G2SFPOS 说明。

Offset Address		Register Name		Total Reset Value				
0x7010		G2_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

## G2\_STRIDE

G2\_STRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x701C		G2_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留；					



Offset Address		Register Name		Total Reset Value					
0x701C		G2_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				surface_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[15:0]	RW	surface_stride	帧 buffer 的 stride。						

## G2\_IRESO

G2\_IRESO 为输入分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x7020		G2_IRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	iw	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

## G2\_SFPOS

G2\_SFPOS 为 Surface 需要读取数据在源位图中的起始位置，非即时寄存器。当读取位置不是 128-bit-word 对齐时，该寄存器表示补齐整个 128-bit-word 所需的像素个数。请注意：起始位置的偏移不能超出一个 128-bit-word，超出 128-bit-word 的部分由地址表示。

具体计算方法如下：

设原始图像的图形层的起始地址为 `addr_ori`，配置给逻辑的图形层地址为 `addr_offset`，图形层的偏移为 `offsetp` 像素，图形层的数据格式为 `bpp`（比如 ARGB8888 的 `bpp=32`），则

$$G2ADDR=addr\_offset = addr\_ori + \text{int}(\text{offsetp} * \text{bpp} / 128);$$



G2SFPOS=offset%128;

其中，int 表示取整运算，%表示取模运算。

Offset Address		Register Name		Total Reset Value					
0x7024		G2_SFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							src_xfpos	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:7]	RO	reserved	保留。						
[6:0]	RW	src_xfpos	源起始 X 坐标值，0 为一行第一个像素。						

## G2\_CBMPARA

G2\_CBMPARA 为叠加相关参数，为非即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x7030		G2_CBMPARA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				key_mode	key_en	premult_en	palpha_en	reserved	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:16]	RO	reserved	保留。							
[15]	RW	key_mode	color key 模式。 0: 满足 $\text{Keymin} \leq \text{Pixel} \leq \text{Keymax}$ 时，处理为关键色； 1: 满足 $\text{Pixel} \leq \text{Keymin}$ 或者 $\text{Pixel} \geq \text{Keymax}$ 时处理为关键色。							
[14]	RW	key_en	color key 使能。 0: 禁止； 1: 使能。							
[13]	RW	premult_en	输入位图为预乘图。 0: 非预乘图； 1: 预乘图。							



[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。
[11:8]	RO	reserved	保留。
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。

## G2\_CKEYMAX

G2\_CKEYMAX 为 color key 最大值, 为非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x7034				G2_CKEYMAX				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	va0				keyr_max				keyg_max				keyb_max																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	va0		alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时, 用该值替换。																											
	[23:16]	RW	keyr_max		colry key R 分量最大值。																											
	[15:8]	RW	keyg_max		color key G 分量最大值。																											
	[7:0]	RW	keyb_max		color key B 分量最大值。																											

## G2\_CKEYMIN

G2\_CKEYMIN 为 color key 最小值, 为非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x7038				G2_CKEYMIN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	va1				keyr_min				keyg_min				keyb_min																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	va1		alpha1 值。当数据格式为 alphaRGB1555 时, alpha 值为 1 时, 用该值替换。																											





[23:16]	RW	keyr_min	colry key R 分量最小值。
[15:8]	RW	keyg_min	color key G 分量最小值。
[7:0]	RW	keyb_min	color key B 分量最小值。

## G2\_CMASK

G2\_CMASK 为 color key mask 值，为非即时寄存器。相应 bit 为 1 表示在 Key 的比较过程中，pixel 的相应 bit 不变；相应 bit 为 0 表示在 Key 的比较过程中，pixel 的相应 bit 不管是 0 还是 1，都强制设置为 0

Offset Address		Register Name		Total Reset Value					
0x703C		G2_CMASK		0xFFFF_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		kmsk_r		kmsk_g		kmsk_b		
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:16]	RW	kmsk_r	color key mask 的 R 分量。						
[15:8]	RW	kmsk_g	color key mask 的 G 分量。						
[7:0]	RW	kmsk_b	color key mask 的 B 分量。						

## G2\_DFPOS

G2\_DFPOS 为 Surface 在显示窗口的起始位置（First POSition），以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x7080		G2_DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						



## G2\_DLPOS

G2\_DLPOS 为 Surface 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x7084		G2_DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_ylpos			disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	disp_ylpos	列结束坐标。						
[11:0]	RW	disp_xlpos	行结束坐标。						

## G2\_CSC\_IDC

G2\_CSC\_IDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x70C0		G2_CSC_IDC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		esc_mode	csc_en	cscidc1			cscidc0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						



[25:23]	RW	csc_mode	仅当 G2 层 CSC 系数固化时有效。 000: reserved; 001: YUV2YUV; 010: YUV601_RGB; 011: YUV709_RGB; 100: YUV2YUV_709_601; 101: YUV2YUV_601_709; 110: RGB2YUV_601; 111: RGB2YUV_709。
[22]	RW	csc_en	CSC 使能控制信号。 0: CSC 不使能; 1: CSC 使能。
[21:11]	RO	cscidc1	输入 U/G 分量直流参数, MSB 为符号位。补码表示。
[10:0]	RO	cscidc0	输入 V/B 分量直流参数, MSB 为符号位。补码表示。

## G2\_CSC\_ODC

G2\_CSC\_ODC 为色彩空间转换输出直流分量寄存器, 为即时寄存器。

	Offset Address	Register Name	Total Reset Value
	0x70C4	G2_CSC_ODC	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		csc_sign_mode
			cscidc1
			cscidc0
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:23]	RO	reserved	保留。
[22]	RO	csc_sign_mode	CSC 输出模式控制信号。 0: CSC 输出 10bit 无符号数; 1: CSC 输出 12bit 有符号数。
[21:11]	RO	cscidc1	输出 U/G 分量直流参数, MSB 为符号位。补码表示。
[10:0]	RO	cscidc0	输出 Y/R 分量直流参数, MSB 为符号位。补码表示。



## G2\_CSC\_IODC

G2\_CSC\_IODC 为色彩空间转换输入/输出直流分量寄存器，为即时寄存器。

	Offset Address	Register Name	Total Reset Value
	0x70C8	G2_CSC_IODC	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		cscodc2
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:22]	RO	reserved	保留。
[21:11]	RO	cscodc2	输出 V/B 分量直流参数，MSB 为符号位。补码表示。
[10:0]	RO	cscidc2	输入 Y/R 分量直流参数，MSB 为符号位。补码表示。

## G2\_CSC\_P0

G2\_CSC\_P0 为色彩空间转换参数 0，为即时寄存器。

	Offset Address	Register Name	Total Reset Value
	0x70CC	G2_CSC_P0	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved	cscp01	reserved
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31]	RO	reserved	保留。
[30:16]	RO	cscp01	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。
[15]	RO	reserved	保留。
[14:0]	RO	cscp00	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。



## G2\_CSC\_P1

G2\_CSC\_P1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x70D0		G2_CSC_P1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RO	reserved	保留。							
[30:16]	RO	cscp10	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。							
[15]	RO	reserved	保留。							
[14:0]	RO	cscp02	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。							

## G2\_CSC\_P2

G2\_CSC\_P2 为色彩空间转换参数 2，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x70D4		G2_CSC_P2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp12				reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RO	reserved	保留。							
[30:16]	RO	cscp12	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。							
[15]	RO	reserved	保留。							



[14:0]	RO	cscp11	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。
--------	----	--------	---

## G2\_CSC\_P3

G2\_CSC\_P3 为色彩空间转换参数 3，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x70D8		G2_CSC_P3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cscp21			reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	reserved	保留。						
[30:16]	RO	cscp21	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。						
[15]	RO	reserved	保留。						
[14:0]	RO	cscp20	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。						

## G2\_CSC\_P4

G2\_CSC\_P4 为色彩空间转换参数 4，为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x70DC		G2_CSC_P4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:15]	RO	reserved	保留。					
[14:0]	RO	cscp22	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。					



## CBM\_BKG2

CBM\_BKG2 为 CBM Mixer2 叠加背景色寄存器。

Offset Address		Register Name		Total Reset Value					
0xB420		CBM_BKG2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cbm_bkgy2		cbm_bkgcb2		cbm_bkgcr2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:20]	RW	cbm_bkgy2	CBM Mixer2 叠加背景色，Y 分量。						
[19:10]	RW	cbm_bkgcb2	CBM Mixer2 叠加背景色，Cb 分量。						
[9:0]	RW	cbm_bkgcr2	CBM Mixer2 叠加背景色，Cr 分量。						

## CBM\_MIX2

CBM\_MIX2 为 CBM Mixer2 优先级配置寄存器。在 vsync 处更新有效。mixer\_prio\_x 表示第 x 个优先级所配置的层。

该寄存器为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xB428		CBM_MIX2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:4]	RW	mixer_prio1	CBM Mixer2 的叠加层优先级配置，表示优先级 1 的驱动层。 0x0: 表示没有层驱动； 0x9: v1； 0xA: g2； 其他: 保留。					



[3:0]	RW	mixer_prio0	CBM Mixer2 的叠加层优先级配置，表示优先级 0 的驱动层。 0x0: 表示没有层驱动； 0x9: v1； 0xA: g2； 其他：保留。
-------	----	-------------	---

## DHD1\_CTRL

DHD1\_CTRL 为显示通道的总体控制寄存器。该寄存器的所有比特的配置必须不晚于 DHD1\_CTRL.intf\_en 比特，否则配置无法生效。

Offset Address		Register Name		Total Reset Value					
0xC400		DHD1_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	intf_en cbar_en cbar_sel	reserved				precharge_en precharge_mode	reserved	iop	reserved regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。为即时寄存器。 0: 不使能； 1: 使能。						
[30]	RW	cbar_en	color bar 使能。使能时，接口输出 color bar。 0: 禁止； 1: 使能。						
[29]	RW	cbar_sel	输出 color bar 色彩空间选择信号，即时寄存器。 0: VGA； 1: YPbPr。						
[28:11]	RO	reserved	保留。						
[10]	RW	precharge_en	PreCharge 状态使能，PreCharge 模式为 1(软件模式)时有效。 0: 不使能； 1: 使能。						





[9]	RW	precharge_mode	AFIFO PreCharge 模式。 0: 硬件模式，硬件在垂直消隐区自动进入 precharge 状态； 1: 软件模式，由软件控制进入/撤离 precharge 状态。
[8:5]	RO	reserved	保留。
[4]	RW	iop	逐行或者隔行显示，非即时寄存器。 0: 隔行显示； 1: 逐行显示。
[3:1]	RO	reserved	保留。
[0]	WC	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

## DHD1\_VSYNC

DHD1\_VSYNC 为隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xC404		DHD1_VSYNC		0x0011_321B				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	vfb		vbb		vact		
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 1	1 0 1 1
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。					
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。					
[11:0]	RW	vact	隔行输出时：顶场的活动图象的高度； 逐行输出时：一帧的活动图象的高度。该寄存器值为实际值减 1。					

## DHD1\_HSYNC1

DHD1\_HSYNC1 为隔行或逐行输出情况下，水平同步配置寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xC408		DHD1_HSYNC1		0x00BF_077F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hbb				hact				
Reset	0 0 0 0	0 0 0 0	1 0 1 1	1 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RW	hbb	水平消隐后肩，单位为像素。						
[15:0]	RW	hact	活动区域水平像素数。						

## DHD1\_HSYNC2

DHD1\_HSYNC2 为隔行或逐行输出情况下，水平同步配置寄存器，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xC40C		DHD1_HSYNC2		0x0000_020F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hmid				hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RW	hmid	底场垂直同步有效像素值(有效数据区)。						
[15:0]	RW	hfb	水平消隐前肩，单位为像素。						

## DHD1\_VPLUS

DHD1\_VPLUS 为隔行输出时，该寄存器表示底场垂直同步时序，非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xC410		DHD1_VPLUS		0x0021_321B				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	bvfb		bvbb		bvact		
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 1	1 0 1 1
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:20]	RW	bvfb	隔行输出时：底场垂直消隐前肩。					



[19:12]	RW	bvbb	隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。
[11:0]	RW	bvact	隔行输出时：底场的活动图象的高度。 该寄存器值为实际值减 1。

## DHD1\_PWR

DHD1\_PWR 为同步信号脉冲宽度，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xC414		DHD1_PWR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vpw		hpw				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:16]	RW	vpw	垂直脉冲宽度减 1。						
[15:0]	RW	hpw	水平脉冲宽度减 1。						

## DHD1\_VTTHD3

DHD1\_VTTHD3 为垂直时序门限值（Vertical Timing Threshold），为即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value				
0xC418		DHD1_VTTHD3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	thd4_mode reserved	vtmgthd4			thd3_mode reserved	vtmgthd3		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	thd4_mode	门限 4 产生的模式。 0：帧模式，以帧为单位做门限计数； 1：场模式，在隔行显示时以场为单位做门限计数。					
[30:29]	RO	reserved	保留。					



[28:16]	RW	vtmgthd4	垂直时序门限值 4，用于 DHD 和 DSD 的同步触发，DSD 的接口时序启动晚于 DHD 的时间等于 vtmgthd4 所配置的行数。
[15]	RW	thd3_mode	门限 3 中断产生的模式： 0：帧模式，以帧为单位做门限计数； 1：场模式，在隔行显示时以场为单位做门限计数。
[14:13]	RO	reserved	保留。
[12:0]	RW	vtmgthd3	垂直时序门限值 3，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd3_int]中断。

## DHD1\_VTTHD

DHD1\_VTTHD 为垂直时序门限值（Vertical Timing Threshold），为即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value						
0xC41C		DHD1_VTTHD		0x0001_0001						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	thd2_mode reserved	vtmgthd2				thd1_mode reserved	vtmgthd1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1		
Bits	Access	Name	Description							
[31]	RW	thd2_mode	门限 2 中断产生的模式。 0：帧模式，以帧为单位做门限计数； 1：场模式，在隔行显示时以场为单位做门限计数。							
[30:29]	RO	reserved	保留。							
[28:16]	RW	vtmgthd2	垂直时序门限值 2，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd2_int]中断。							
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数； 1：场模式，在隔行显示时以场为单位做门限计数。							
[14:13]	RO	reserved	保留。							
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd_int1]中断。							



## DHD1\_PARATHD

DHD1\_PARATHD 为 PARA 系数更新点阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0xC4B0		DHD1_PARATHD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dfs_en	reserved						para_thd	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	dfs_en	DFS 使能控制位。 0: 不使能; 1: 使能。						
[30:6]	RO	reserved	保留。						
[5:0]	RW	para_thd	PARA 系数更新点阈值寄存器,表示垂直后消隐的第几行产生该更新点(只在 DFS 使能后该控制位才有效)。						

## DHD1\_START\_POS

DHD1\_START\_POS 为 DHD 通道 start 信号起始位置寄存器。

Offset Address		Register Name		Total Reset Value					
0xC4C0		DHD1_START_POS		0x0000_0805					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			timing_start_pos			start_pos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 1 0 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:8]	RW	timing_start_pos	timing_gen 的状态机在有效区的前几行开始工作。						
[7:0]	RW	start_pos	在线模式下,在有效区的前几行产生 start 信号。						

## DHD1\_STATE

DHD1\_STATE 为 DHD1 状态寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0xC4F0				DHD1_STATE				0x0000_0006																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				count_int				vcnt								bottom_field	vblank	vback_blank													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:16]	RO		count_int		DHD1 中断统计计数器。每上报一次垂直时序中断加 1。																											
[15:3]	RO		vcnt		DHD1 显示行有效计数。																											
[2]	RO		bottom_field		DHD1 显示顶底场标识。 0: 顶场; 1: 底场。																											
[1]	RO		vblank		DHD1 显示消隐区标识。 0: 有效区; 1: 消隐区。																											
[0]	RO		vback_blank		DHD1 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。																											

## BT\_CTRL

BT\_CTRL 为 BT656/BT1120 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0xD200		BT_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved bt1120_bypass	reserved	yc_mode	reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	reserved	保留。						
[30]	RW	bt1120_bypass	BT.1120 bypass 模式。 0: 禁止; 1: 使能。						
[29:25]	RO	reserved	保留。						
[24]	RW	yc_mode	BT.1120 yc 互换寄存器。 0: Y 在高位, C 在低位; 1: Y 在低位, C 在高位。						
[23:0]	RO	reserved	保留。						

## BT\_CLIP0\_L

BT\_CLIP0\_L 为 BT.656/BT.1120 Clip 处理最低门限值寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xD210		BT_CLIP0_L		0x0100_4010				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	clip_cl2	clip_cl1			clip_cl0		
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29:20]	RW	clip_cl2	分量 2 最低门限值 Y/R，无符号整数。					



[19:10]	RW	clip_cl1	分量 1 最低门限值 Cb/G, 无符号整数。
[9:0]	RW	clip_cl0	分量 0 最低门限值 Cr/B, 无符号整数。

## BT\_CLIP0\_H

BT\_CLIP0\_H 为 BT656/BT1120 Clip 处理最高门限值寄存器, 为即时寄存器。

例如 BT.656 标准输出时需要对输出数据做 CLIP 处理。

	Offset Address	Register Name	Total Reset Value
	0xD214	BT_CLIP0_H	0x0EB3_C0F0
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved clip_ch2	clip_ch1	clip_ch0
Reset	0 0 0 0 1 1 1 0 1 0 1 1 0 0 1 1 1 1 0 0 0 0 0 0 1 1 1 1 0 0 0 0		
Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	clip_ch2	分量 2 最高门限值 Y/R, 无符号整数。
[19:10]	RW	clip_ch1	分量 1 最高门限值 Cb/G, 无符号整数。
[9:0]	RW	clip_ch0	分量 0 最高门限值 Cr/B, 无符号整数。

## BT\_DITHER0\_CTRL

BT\_DITHER0\_CTRL 为 BT.656/BT.1120 Dither 控制寄存器。





Offset Address		Register Name		Total Reset Value				
0xD280		BT_DITHER0_CTRL		0x2000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dither_md reserved							
Reset	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RW	dither_md	Dither 模式选择寄存器。 000: 12bit 输入, 10bit 输出, 不做 dither, 直接截位; 001: 12bit 输入, 10bit 输出, 时域 dither; 010: 12bit 输入, 10bit 输出, 空域 dither; 011: 12bit 输入, 8bit 输出, 时域与空域 dither; 100: 12bit 输入, 10bit 输出, 四舍五入; 101: 12bit 输入, 8bit 输出, 四舍五入。 其他: 保留。					
[28:0]	RO	reserved	保留。					

## BT\_DITHER0\_COEF0

BT\_DITHER0\_COEF0 为 BT656/BT1120 Dither 系数 0 寄存器。

Offset Address		Register Name		Total Reset Value				
0xD284		BT_DITHER0_COEF0		0xDD66_4400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dither_coef3		dither_coef2		dither_coef1		dither_coef0	
Reset	1 1 0 1	1 1 0 1	0 1 1 0	0 1 1 0	0 1 0 0	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	dither_coef3	时域模式 Dither 使用的系数 3。					
[23:16]	RW	dither_coef2	时域模式 Dither 使用的系数 2。					
[15:8]	RW	dither_coef1	时域模式 Dither 使用的系数 1。					
[7:0]	RW	dither_coef0	时域模式 Dither 使用的系数 0。					



## BT\_DITHER0\_COEF1

BT\_DITHER0\_COEF1 为 BT656/BT1120 Dither 系数 1 寄存器。

Offset Address		Register Name		Total Reset Value				
0xD288		BT_DITHER0_COEF1		0xDD66_4400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dither_coef7		dither_coef6		dither_coef5		dither_coef4	
Reset	1 1 0 1	1 1 0 1	0 1 1 0	0 1 1 0	0 1 0 0	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	dither_coef7	时域模式 Dither 使用的系数 7。					
[23:16]	RW	dither_coef6	时域模式 Dither 使用的系数 6。					
[15:8]	RW	dither_coef5	时域模式 Dither 使用的系数 5。					
[7:0]	RW	dither_coef4	时域模式 Dither 使用的系数 4。					

## LCD\_CTRL

LCD\_CTRL 为 LCD 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0xD400		LCD_CTRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	reserved	lcd_serial_mode	lcd_serial_perd	lcd_parallel_order	lcd_data_inv	lcd_parallel_mode	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30]	RO	reserved	保留。					
[29]	RW	lcd_serial_mode	LCD 串行模式。 0: 并行; 1: 串行。					



[28]	RW	lcd_serial_perd	LCD 串行输出单像素时钟周期数。 0: 3 个周期; 1: 4 个周期。
[27]	RW	lcd_parallel_order	LCD 并行输出顺序。 0: RGB; 1: BGR。
[26]	RW	lcd_data_inv	LCD 输出 bit 反相。 0: 高位到低位 15~0bit/23~0bit; 1: 高位到低位 0~15bit/0~23bit。
[25]	RW	lcd_parallel_mode	LCD 并行输出位宽模式。 0: RGB565; 1: RGB888。
[24]	RO	reserved	保留。
[23:0]	RO	reserved	保留。

## LCD\_SYNC\_INV

LCD\_SYNC\_INV 为 LCD 外同步时序输入时，同步信号极性配置寄存器。该寄存器配置后立即生效，将马上影响到对应同步信号的极性。

	Offset Address	Register Name	Total Reset Value															
	0xD408	LCD_SYNC_INV	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved														f_inv	vs_inv	hs_inv	dv_inv
Reset	0 0																	
Bits	Access	Name	Description															
[31:4]	RO	reserved	保留。															
[3]	RW	f_inv	奇偶场指示信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。															
[2]	RW	vs_inv	垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。															



[1]	RW	hs_inv	水平同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。
[0]	RW	dv_inv	数据有效信号输出反相使能，即时寄存器。 0：禁止； 1：使能。

## DATE\_COEFF0

DATE\_COEFF0 为制式参数配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xF200				DATE_COEFF0								0x5284_14FC																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel	dis_ire	reserved	pal_half_en	pbpr_lpf_en	scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	syip_en	chgain_en	tt_seq			
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	[31:30]		[29]	[28]	[27]																											
Access	RW		RW	RO	RW																											
Name	clpf_sel		dis_ire	reserved	pal_half_en																											
Description	色度低通滤波器带宽选择。 00： 1.1MHz 带宽(NTSC)； 01： 1.3MHz 带宽(PAL)； 10： 1.6MHz 带宽(测试)； 11： 保留。		对于(M)NTSC 和(M, N)PAL 制式，黑电平高于消隐电平 7.5IRE；对于其它制式，黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0： 黑电平高于消隐电平 7.5IRE； 1： 黑电平等于消隐电平。	保留。	PAL 值半行削减使能。 0： 不使能； 1： 使能。																											



[26]	RW	pbpr_lpf_en	分量色度低通滤波使能。 0: 不使能; 1: 使能。
[25]	RW	scanline	根据在不同制式下每帧包含的扫描行数进行设置。对于(M)NTSC、NTSC-J、(M)PAL, 每帧包含 525 行; 对于(B、D、J、H、I)PAL, (N)PAL, (Nc)PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。
[24]	RW	rgb_en	在 intf_sel 配置为 100 时, 该位决定分量信号是选用 RGB 还是选用 YPbPr。 0: 分量信号选用 YPbPr; 1: 分量信号选用 RGB。
[23]	RW	vbi_lpf_en	Vbi 数据低通滤波使能控制。 0: 不滤波处理; 1: 滤波处理。
[22]	RW	fm_sel	FMsecam 调频选择。 0: secam 调频采用 sin; 1: secam 调频采用 cos。
[21:18]	RW	style_sel	与 scanline 配合, 设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0, 即每帧包含 525 行时, 含义如下: 0x1: (M)NTSC 制式; 0x2: NTSC-J 制式; 0x4: (M)PAL 制式。 其他: 保留。 当 scanline 为 1, 即每帧包含 625 行时, 含义如下: 0x1: (B、D、G、H、I)PAL 制式; 0x2: (N)PAL 制式; 0x4: (Nc)PAL 制式; 0x8: SECAM 制式。 其他: 保留。



[17:16]	RW	sync_mode_sel	<p>高位指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。</p> <p>高位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0：分量输出时，只在一个通道上包含同步信号； 1：分量输出时，在三个通道上都包含同步信号。在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。</p> <p>低位指明 RGB 输出有无消隐基数。低位只在 intf_sel 设为 100，rgb_en 设为 1 时有效，含义为： 0：RGB 输出时无消隐基数； 1：RGB 输出时有消隐基数。</p>
[15]	RW	sync_mode_scart	<p>此位指明下分量 3 个通道均不叠加同步</p> <p>0：分量同步输出根据 sync_mode_sel[1]配置； 1：分量 3 个通道均不叠加同步，此时 sync_mode_sel[1]需配置为 0。</p>
[14]	RW	length_sel	<p>说明每个视频行包含的以像素数为单位的行有效宽度。</p> <p>0：按照 BT.601 模式的行有效像素宽度输出； 1：按照 BT.470 模式的行有效像素宽度输出。</p> <p>当该位为 0 时，行有效宽度为 720 个像素。当该位配置为 1 时，对于 625 行制式，行有效宽度为 704 个像素；对于 525 行制式，行有效宽度为 712 个像素。</p> <p>目前版本不支持 BT.601 模式和 BT.470 模式动态配置，复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT.601 模式，即采用上电复位值。</p>
[13]	RW	agc_amp_sel	<p>AGC 脉冲选择控制位。</p> <p>0：参照片内默认值产生 AGC 脉冲(推荐)； 1：参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。</p>
[12:9]	RW	luma_dl	<p>以半个像素宽度为单位，相对于亮度信号，色度信号超前或滞后的位移量。</p> <p>最高位表示色度信号相对亮度信号位移量的方向。</p> <p>0：色度信号滞后于亮度信号； 1：色度信号超前于色度信号。</p> <p>低 3 位表示色度信号相对亮度信号位移量的绝对值，二进制表示，取值范围为从 0~7。</p> <p>000：色度与亮度对齐，不作调整； 001~111：色度信号相对亮度信号超前或滞后 1~7 个单位。</p>
[8]	RO	reserved	保留。



[7:6]	RW	oversam_en	第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。 高位为亮度过采样开关控制位。 0：亮度过采样关闭； 1：亮度过采样打开。 低位为色度过采样开关控制位。 0：色度过采样关闭； 1：色度过采样打开。
[5]	RW	lunt_en	亮度陷波功能开关控制位。 0：亮度陷波功能关闭； 1：亮度陷波功能打开。
[4]	RW	oversam2_en	第二级过采样开关控制位，同时控制亮度通路和色度通路。 0：亮度过采样关闭； 1：亮度过采样打开。
[3]	RW	chlp_en	色度低通滤波功能开关控制位。 0：色度低通滤波功能关闭； 1：色度低通滤波功能打开。
[2]	RW	sylyp_en	同步低通滤波功能开关控制位。 0：同步低通滤波功能关闭； 1：同步低通滤波功能打开。
[1]	RW	chgain_en	色度增益开关控制位。 0：色度增益关闭； 1：色度增益打开。
[0]	RW	tt_seq	配置 Teletext 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。

## DATE\_COEFF1

DATE\_COEFF1 为幅度配置寄存器。



		Offset Address 0xF204								Register Name DATE_COEFF1				Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside				date_test_en	date_test_mode	dac_test															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31:29]	RW	c_gain		色同步增益幅度调节。																													
[28]	RW	cvbs_limit_en		CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。																													
[27]	RW	wss_seq		配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[26]	RW	vps_seq		配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[25]	RW	cgms_seq		配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[24]	RW	cc_seq		配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[23]	RW	c_limit_en		色度限幅开关控制位。 0: 不限幅; 1: 限幅。																													
[22:13]	RW	amp_outside		外部 AGC 脉冲幅度输入。																													
[12]	RW	date_test_en		测试有效信号。																													
[11:10]	RW	date_test_mode		测试模式信号。																													
[9:0]	RW	dac_test		DAC 测试值输入。																													





## DATE\_COEFF2

DATE\_COEFF2 为 DATE 系数 2 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF208		DATE_COEFF2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef02							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef02	DATE 系数 2 寄存器。					

## DATE\_COEFF3

DATE\_COEFF3 为 DATE 系数 3 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF20C		DATE_COEFF3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef03					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:26]	RO	reserved	保留。					
[25:0]	RW	coef03	DATE 系数 3 寄存器。					

## DATE\_COEFF4

DATE\_COEFF4 为 DATE 系数 4 寄存器。



Offset Address		Register Name		Total Reset Value				
0xF210		DATE_COEFF4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef04					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29:0]	RW	coef04	DATE 系数 4 寄存器。					

## DATE\_COEFF5

DATE\_COEFF5 为 DATE 系数 5 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF214		DATE_COEFF5		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef05					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RO	reserved	保留。					
[28:0]	RW	coef05	DATE 系数 5 寄存器。					

## DATE\_COEFF6

DATE\_COEFF6 为 DATE 系数 6 寄存器。



Offset Address		Register Name		Total Reset Value											
0xF218		DATE_COEFF6		0x8000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	coef06_0			reserved						coef06_1					
Reset	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0							
Bits	Access	Name	Description												
[31]	RW	coef06_0	DATE 系数 6 寄存器 0。												
[30:23]	RO	reserved	保留。												
[22:0]	RW	coef06_1	DATE 系数 6 寄存器 1。												

## DATE\_COEFF21

DATE\_COEFF21 为输出矩阵控制寄存器。

Offset Address		Register Name		Total Reset Value					
0xF254		DATE_COEFF21		0x0065_1432					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dac0_in_sel	
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 0 0 1	0 1 0 0	0 0 1 1	0 0 1 0	
Bits	Access	Name	Description						
[31:3]	RO	reserved	保留。						



[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100 R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
-------	----	-------------	--

## DATE\_COEFF22

DATE\_COEFF22 为 DTO 初始相位配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xF258				DATE_COEFF22								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																video_phase_delta															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:11]	RO	reserved		保留。																											
	[10:0]	RW	video_phase_delta		DTO 初始相位配置寄存器。																											

## DATE\_COEFF23

DATE\_COEFF23 为 VIDEO\_OUT 延时配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xF25C		DATE_COEFF23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dac0_out_dly	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	RO	reserved	保留。						
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。						

## DATE\_COEFF24

DATE\_COEFF24 为 ColorBurst 起始位置寄存器。

Offset Address		Register Name		Total Reset Value				
0xF260		DATE_COEFF24		0x0001_2C99				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	burst_start							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	1 1 0 0	1 0 0 1	1 0 0 1
Bits	Access	Name	Description					
[31:0]	RW	burst_start	ColorBurst 起始位置寄存器。					

## DATE\_ISRMASK

DATE\_ISRMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0xF280		DATE_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

## DATE\_ISRSTATE

DATE\_ISRSTATE 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0xF284		DATE_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	WC	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

## DATE\_ISR

DATE\_ISR 为中断寄存器。



Offset Address		Register Name		Total Reset Value					
0xF288		DATE_ISR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	tt_int	Teletext 中断寄存器， tt_status 在经过 tt_mask 屏蔽后的中断状态。						

### DATE\_COEFF37

DATE\_COEFF37 为上采样滤波系数 1 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF294		DATE_COEFF37		0x19EF_0CF9				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fir_y1_coeff3		fir_y1_coeff2		fir_y1_coeff1		fir_y1_coeff0	
Reset	0 0 0 1	1 0 0 1	1 1 1 0	1 1 1 1	0 0 0 0	1 1 0 0	1 1 1 1	1 0 0 1
Bits	Access	Name	Description					
[31:24]	RW	fir_y1_coeff3	亮度上采样滤波系数 13。					
[23:16]	RW	fir_y1_coeff2	亮度上采样滤波系数 12。					
[15:8]	RW	fir_y1_coeff1	亮度上采样滤波系数 11。					
[7:0]	RW	fir_y1_coeff0	亮度上采样滤波系数 10。					

### DATE\_COEFF38

DATE\_COEFF38 为上采样滤波系数 2 寄存器。



Offset Address		Register Name		Total Reset Value					
0xF298		DATE_COEFF38		0x003A_FFDA					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fir_y2_coeff1				fir_y2_coeff0				
Reset	0 0 0 0	0 0 0 0	0 0 1 1	1 0 1 0	1 1 1 1	1 1 1 1	1 1 0 1	1 0 1 0	
Bits	Access	Name	Description						
[31:16]	RW	fir_y2_coeff1	亮度上采样滤波系数 21。						
[15:0]	RW	fir_y2_coeff0	亮度上采样滤波系数 20。						

### DATE\_COEFF39

DATE\_COEFF39 为上采样滤波系数 3 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF29C		DATE_COEFF39		0x0148_FF97					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fir_y2_coeff3				fir_y2_coeff2				
Reset	0 0 0 0	0 0 0 1	0 1 0 0	1 0 0 0	1 1 1 1	1 1 1 1	1 0 0 1	0 1 1 1	
Bits	Access	Name	Description						
[31:16]	RW	fir_y2_coeff3	亮度上采样滤波系数 23。						
[15:0]	RW	fir_y2_coeff2	亮度上采样滤波系数 22。						

### DATE\_COEFF40

DATE\_COEFF40 为上采样滤波系数 4 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF2A0		DATE_COEFF40		0x19EF_0CF9				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fir_c1_coeff3		fir_c1_coeff2		fir_c1_coeff1		fir_c1_coeff0	
Reset	0 0 0 1	1 0 0 1	1 1 1 0	1 1 1 1	0 0 0 0	1 1 0 0	1 1 1 1	1 0 0 1
Bits	Access	Name	Description					
[31:24]	RW	fir_c1_coeff3	色度上采样滤波系数 13。					
[23:16]	RW	fir_c1_coeff2	色度上采样滤波系数 12。					





Offset Address		Register Name		Total Reset Value				
0xF2A0		DATE_COEFF40		0x19EF_0CF9				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fir_c1_coeff3		fir_c1_coeff2		fir_c1_coeff1		fir_c1_coeff0	
Reset	0 0 0 1	1 0 0 1	1 1 1 0	1 1 1 1	0 0 0 0	1 1 0 0	1 1 1 1	1 0 0 1
Bits	Access	Name	Description					
[15:8]	RW	fir_c1_coeff1	色度上采样滤波系数 11。					
[7:0]	RW	fir_c1_coeff0	色度上采样滤波系数 10。					

## DATE\_COEFF41

DATE\_COEFF41 为上采样滤波系数 5 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF2A4		DATE_COEFF41		0x003A_FFDA				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fir_c2_coeff1				fir_c2_coeff0			
Reset	0 0 0 0	0 0 0 0	0 0 1 1	1 0 1 0	1 1 1 1	1 1 1 1	1 1 0 1	1 0 1 0
Bits	Access	Name	Description					
[31:16]	RW	fir_c2_coeff1	色度上采样滤波系数 21。					
[15:0]	RW	fir_c2_coeff0	色度上采样滤波系数 20。					

## DATE\_COEFF42

DATE\_COEFF42 为上采样滤波系数 6 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF2A8		DATE_COEFF42		0x0148_FF97				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fir_c2_coeff3				fir_c2_coeff2			
Reset	0 0 0 0	0 0 0 1	0 1 0 0	1 0 0 0	1 1 1 1	1 1 1 1	1 0 0 1	0 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	fir_c2_coeff3	色度上采样滤波系数 23。					
[15:0]	RW	fir_c2_coeff2	色度上采样滤波系数 22。					



## DATE\_DACDET1

DATE\_DACDET1 为 DAC 自动检测 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2C0		DATE_DACDET1		0x000D_0303					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	det_line			reserved	vdac_det_high			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	0 0 1 1	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	det_line	检测电平所在行。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	vdac_det_high	检测电平值。						

## DATE\_DACDET2

DATE\_DACDET2 为 DAC 自动检测 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2C4		DATE_DACDET2		0x0030_0118					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vdac_det_en	reserved	det_pixel_wid		reserved	det_pixel_sta			
Reset	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	1 0 0 0	
Bits	Access	Name	Description						
[31]	RW	vdac_det_en	DAC 自动检测使能。 0: 不使能; 1: 使能。						
[30:27]	RO	reserved	保留。						
[26:16]	RW	det_pixel_wid	电平宽度。						
[15:11]	RO	reserved	保留。						



[10:0]	RW	det_pixel_sta	在一行的起始位置。
--------	----	---------------	-----------

## DATE\_COEFF50

DATE\_COEFF50 为过采样滤波系数 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2C8		DATE_COEFF50		0x07FF_07FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	ovs_coeff1			reserved	ovs_coeff0			
Reset	0 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	ovs_coeff1	亮度过采样滤波系数 11。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	ovs_coeff0	亮度过采样滤波系数 10。						

## DATE\_COEFF51

DATE\_COEFF51 为过采样滤波系数 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2CC		DATE_COEFF51		0x07FF_0204					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	ovs_coeff1			reserved	ovs_coeff0			
Reset	0 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 0 1 0	0 0 0 0	0 1 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	ovs_coeff1	亮度过采样滤波系数 21。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	ovs_coeff0	亮度过采样滤波系数 20。						



## DATE\_COEFF52

DATE\_COEFF52 为过采样滤波系数 3 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2D0		DATE_COEFF52		0x0000_07FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	ovs_coeff1			reserved	ovs_coeff0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	ovs_coeff1	亮度过采样滤波系数 31。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	ovs_coeff0	亮度过采样滤波系数 30。						

## DATE\_COEFF53

DATE\_COEFF53 为过采样滤波系数 4 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2D4		DATE_COEFF53		0x07BF_000C					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	ovs_coeff1			reserved	ovs_coeff0			
Reset	0 0 0 0	0 1 1 1	1 0 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	ovs_coeff1	亮度过采样滤波系数 41。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	ovs_coeff0	亮度过采样滤波系数 40。						

## DATE\_COEFF54

DATE\_COEFF54 为过采样滤波系数 5 寄存器。



Offset Address		Register Name		Total Reset Value				
0xF2D8		DATE_COEFF54		0x0135_0135				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	ovs_coeff1		reserved	ovs_coeff0			
Reset	0 0 0 0	0 0 0 1	0 0 1 1	0 1 0 1	0 0 0 0	0 0 0 1	0 0 1 1	0 1 0 1
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:16]	RW	ovs_coeff1	亮度过采样滤波系数 51。					
[15:11]	RO	reserved	保留。					
[10:0]	RW	ovs_coeff0	亮度过采样滤波系数 50。					

## DATE\_COEFF55

DATE\_COEFF55 为过采样滤波系数 6 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF2DC		DATE_COEFF55		0x000C_07BF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	ovs_coeff1		reserved	ovs_coeff0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	0 0 0 0	0 1 1 1	1 0 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:16]	RW	ovs_coeff1	亮度过采样滤波系数 61。					
[15:11]	RO	reserved	保留。					
[10:0]	RW	ovs_coeff0	亮度过采样滤波系数 60。					

## DATE\_COEFF56

DATE\_COEFF56 为过采样四舍五入寄存器。



Offset Address		Register Name		Total Reset Value					
0xF2E0		DATE_COEFF56		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								oversam2_round_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	oversam2_round_en	二倍上采样四舍五入。 0: 不使能; 1: 使能。						

## DATE\_COEFF57

DATE\_COEFF57 为 CVBS 增益控制寄存器。

Offset Address		Register Name		Total Reset Value				
0xF2E4		DATE_COEFF57		0x0080_8080				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cvbs_gain_en	reserved	ycvbs_gain	reserved	u_gain	reserved	v_gain	reserved
Reset	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	cvbs_gain_en	CVBS 增益使能。 0: 不使能; 1: 使能。					
[30:24]	RO	reserved	保留。					
[23:16]	RW	ycvbs_gain	亮度 Y 增益控制寄存器。					



[15:8]	RW	u_gain	色度分量 U 增益控制寄存器。
[7:0]	RW	v_gain	色度分量 V 增益控制寄存器。

## DATE\_COEFF58

DATE\_COEFF58 为分量增益控制寄存器。

	Offset Address 0xF2E8				Register Name DATE_COEFF58								Total Reset Value 0x0080_8080																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	comp_gain_en	reserved				ycomp_gain								pb_gain				pr_gain														
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31]	RW	comp_gain_en		分量增益使能。 0: 不使能; 1: 使能。																											
	[30:24]	RO	reserved		保留。																											
	[23:16]	RW	ycomp_gain		亮度 Y 增益控制寄存器。																											
	[15:8]	RW	pb_gain		色度分量 U 增益控制寄存器。																											
	[7:0]	RW	pr_gain		色度分量 V 增益控制寄存器。																											

## DATE\_COEFF59

DATE\_COEFF59 为 clip 控制位寄存器。



Offset Address		Register Name		Total Reset Value																																												
0xF2EC		DATE_COEFF59		0x0001_0000																																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved												cb_gain_polar	reserved	cr_os_clip_fullrange	cb_os_clip_fullrange	reserved	v_os_clip_fullrange	u_os_clip_fullrange	reserved	y_os_clip_fullrange	reserved	clipf_clip_fullrange	ynotch_clip_fullrange																								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																													
[31:17]	RO	reserved	保留。																																													
[16]	RW	cb_gain_polar	色副载波极性控制。 0: 负向增益; 1: 正向增益。																																													
[15:14]	RO	reserved	保留。																																													
[13]	RW	cr_os_clip_fullrange	CR 分量在上采样模块 clip 使能。 0: 不使能; 1: 使能。																																													
[12]	RW	cb_os_clip_fullrange	CB 分量在上采样模块 clip 使能。 0: 不使能; 1: 使能。																																													
[11:10]	RO	reserved	保留。																																													
[9]	RW	v_os_clip_fullrange	V 上采样模块 clip 使能。 0: 不使能; 1: 使能。																																													
[8]	RW	u_os_clip_fullrange	U 上采样模块 clip 使能。 0: 不使能; 1: 使能。																																													
[7:5]	RO	reserved	保留。																																													
[4]	RW	y_os_clip_fullrange	Y 上采样模块 clip 使能。 0: 不使能; 1: 使能。																																													





[3:2]	RO	reserved	保留。
[1]	RW	clpf_clip_fullrange	色度低通模块 clip 使能。 0: 不使能; 1: 使能。
[0]	RW	ynotch_clip_fullrange	亮度陷波模块 clip 使能。 0: 不使能; 1: 使能。

## 9.3 MIPI Rx

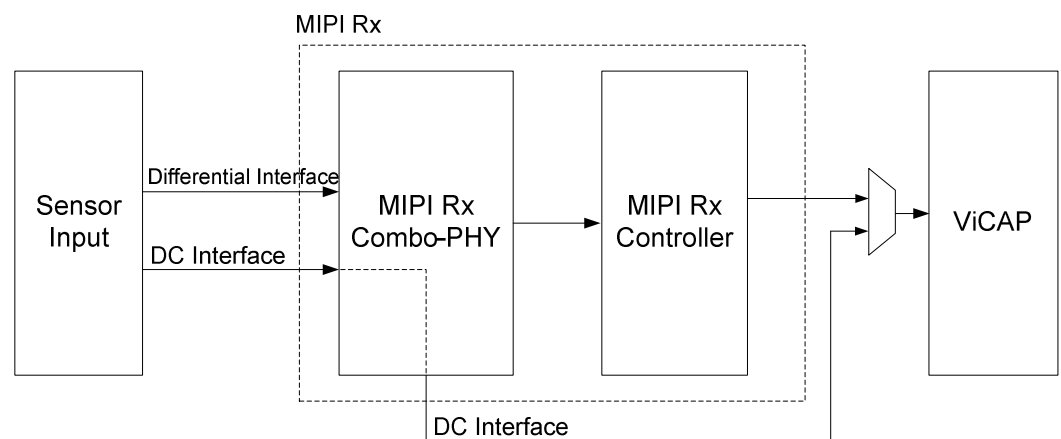
### 9.3.1 概述

移动行业处理器接口 MIPI Rx (Mobile Industry Processor Interface Receiver)，通过低电压差分信号接收原始视频数据 (BAYER RGB 数据)，并将其转化为 DC (Digital Camera) 时序后传递给下一级模块 ViCAP (Video Capture)。

MIPI Rx 支持 MIPI D-PHY、LVDS (Low-Voltage Differential Signal)、HiSPi (High-Speed Serial Pixel Interface) 等串行视频信号输入，串行视频接口可以提供更高的传输带宽，增强传输的稳定性。MIPI Rx 同时兼容 DC 视频接口，支持 3.3V/1.8V DC parallel (Digital Camera) 输入，节省了芯片管脚数量，提供更好的兼容性。

MIPI Rx 包含 combo-PHY 和 Controller 两部分，功能框图及在系统中的位置如图 9-18 所示。

图9-18 MIPI Rx 功能框图及在系统中的位置





## 9.3.2 特点

MIPI Rx 有以下特点:

- 最多支持 8-Lane MIPI D-PHY 接口, 最大支持 1.5Gbps/Lane
- 最多支持 12-Lane LVDS/ sub-LVDS /HiSPi 接口, 最大支持 1.5Gbps/Lane
- 支持 CMOS Parallel 1.8V/3.3V 输入
- 支持 RAW8/ RAW10/ RAW12/ RAW14/ RAW16 数据类型的解析
- 支持 4 帧 WDR, 支持多种 WDR 时序
- 支持 LVDS/HiSPi 模式像素/同步码大小端配置
- 支持通道数和通道顺序可配置

## 9.3.3 功能描述

### 9.3.3.1 典型应用

MIPI Rx 是一个支持多种差分视频输入接口的采集单元, 主要功能是接口时序的转换。通过不同的功能配置, MIPI Rx 可以接收 MIPI/LVDS/sub-LVDS/HiSPi/DC 接口的数据, 并且支持多种速度和分辨率的传输需求, 兼容多种图像传感器。

MIPI Rx 最大支持 2Link/8Lane MIPI 输入、3Link/12Lane LVDS/ sub-LVDS/ HiSPi 输入, 每一个 link 可以采用各自外部输入的时钟, link1 和 link2 还可以通过寄存器配置选择使用来自 link0 的时钟。以上输入管脚可复用为单端 DC/BT.1120 通道输入, 从而可以用更少的芯片管脚提供更好的兼容性。

MIPI Rx 支持的接口类型如表 9-7 所示。

表9-7 MIPI Rx 支持的接口类型

Interface Type	Common mode voltage	Differential mode voltage	Maximum clock frequency	Maximum data rate per lane
D-PHY	200mV	200mV	750MHz	1.5Gbps
sub-LVDS	900mV	150mV	750MHz	1.5Gbps
LVDS	1.25V	350mV	750MHz	1.5Gbps
HiSPi(HiVCM)	900mV	280mV	750MHz	1.5Gbps
HiSPi(SLVS)	200mV	200mV	750MHz	1.5Gbps
CMOS Parallel	1.8V	1.8V	150MHz	150Mbps
CMOS Parallel	3.3V	3.3V	150MHz	150Mbps

MIPI Rx 只完成接口的时序转换, 不处理图像的数据格式。在满足带宽的前提下可以支持任意分辨率和帧率。MIPI Rx 的带宽有两部分限制: combo-PHY 的接口数据率和内部处理速度。接口最大支持 1.5Gbps/Lane, 内部处理速度最大 600Mpixels/s。

## 说明

combo-PHY 接口上最大支持的带宽为 1.5Gbps\*通道数，内部最大处理能力为 600M\*像素位宽。实际应用中，MIPI Rx 的最大工作速率受二者中的最小值限制。

### 9.3.3.2 功能原理

#### MIPI 接口数据格式

MIPI 规范由不同的工作组负责开发和维护，涵盖了不同的应用需求，分别面向不同领域的应用。MIPI Rx 支持 D-PHY 和 CSI-2 (Camera Serial Interface)。D-PHY 规定了物理层传输规范，CSI-2 规定了 Camera 输出数据包的格式和协议。

- D-PHY

D-PHY 是 MIPI 联盟发布的高速物理层标准，规定了主机和外设的物理层的物理特性及传输协议。D-PHY 采用 200mV 源同步的低压差分信令技术，每个通道的数据率范围为 80~1500Mbps。D-PHY 可以工作在低功耗 (Low Power, LP) 和高速 (High Speed, HS) 两种模式下。

- CSI-2

CSI-2 是针对摄像头的的数据协议，规定了主机与外设通信的数据包格式。

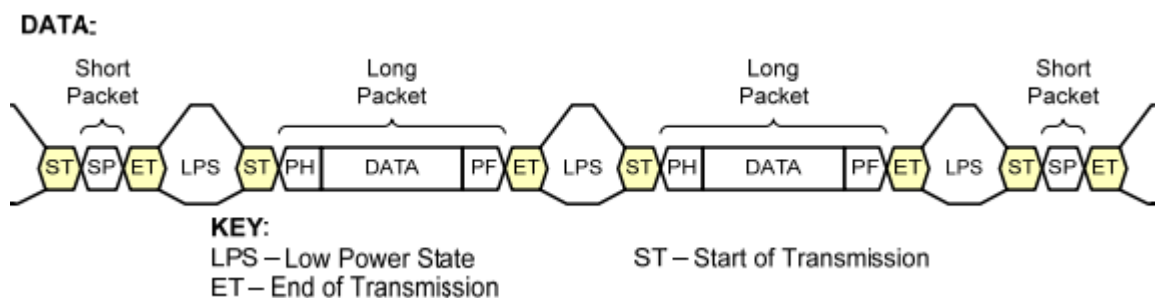
CSI-2 可以支持不同像素格式的图像应用，数据传输的最小粒度是字节。为增加 CSI-2 性能，可以选择数据通道的数量，CSI-2 协议规定了发送端将像素数据打包成字节的机制，并指明多个数据通道分配和管理的方式。字节数据以数据包的形式组织，数据包在 SoT 和 EoT 之间传输。接收端根据协议解析相应的数据包，恢复出原始的像素数据。

MIPI Rx 支持 RAW8/RAW10/RAW12/RAW14/RAW16 格式的像素数据解析。

CSI-2 的数据包分为长包和短包两种，包含有校验码，能进行误码纠正和错误检测。

长包和短包都是在 SoT 和 EoT 之间传输，在数据传送的间隙，D-PHY 处于 LP 模式。CSI-2 数据包的传输机制如图 9-19 所示。PH 和 PF 分别表示 Packet Header 和 Packet Footer。

图9-19 CSI-2 数据包的传输机制



长包用于传输有效像素数据，分为五部分：Data ID, Word Count, ECC, PAYLOAD, Checksum。



Data ID 包含 Virtual Channel 和 Data Type。Virtual Channel 控制传输所用的通道，可以指定通道的复用，让不同的通道传输不同的数据。Data Type 指定数据的类型。

Word Count 指示接收端需要接收到的数据量。

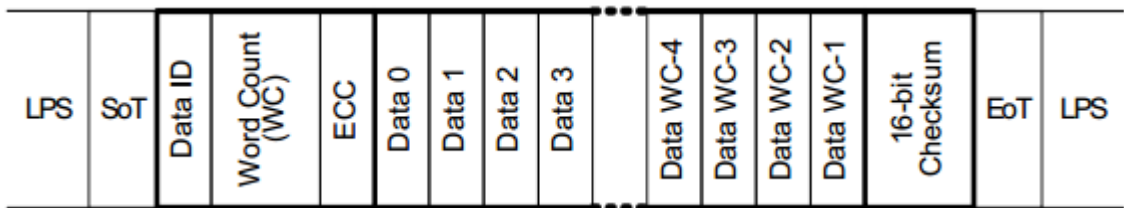
ECC 是 8 位纠错码，可以纠正或检测 Data Type 和 Word Count 的误码。

Payload Data 是需要传输的像素数据。

Checksum 是利用线性反馈移位寄存器产生的校验和，用于 Payload 数据的校验。

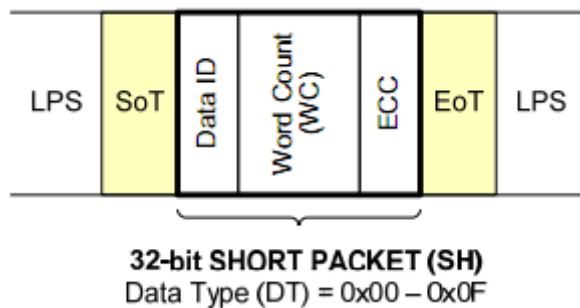
长包的结构如图 9-20 所示。

图9-20 CSI-2 长包的格式



短包的作用是传输同步信息，包含 Data ID, Word Count 和 ECC 三部分。其格式如图 9-21 所示。

图9-21 CSI-2 短包的格式

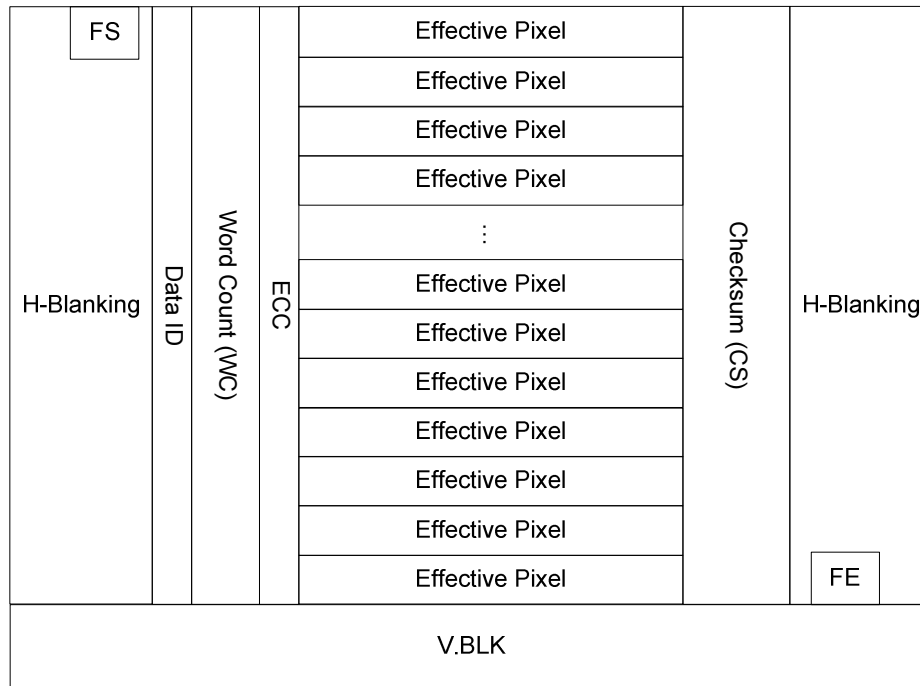


## MIPI 接口线性模式

MIPI 接口的线性模式视频传输格式如图 9-22 所示。Frame Start(FS)表示帧起始，Frame End(FE)表示帧结束。每一行的数据包头是 32-bit，包含当前行的 Virtual Channel 和 Data Type 等信息。



图9-22 MIPI 接口图像格式



## MIPI 接口宽动态模式

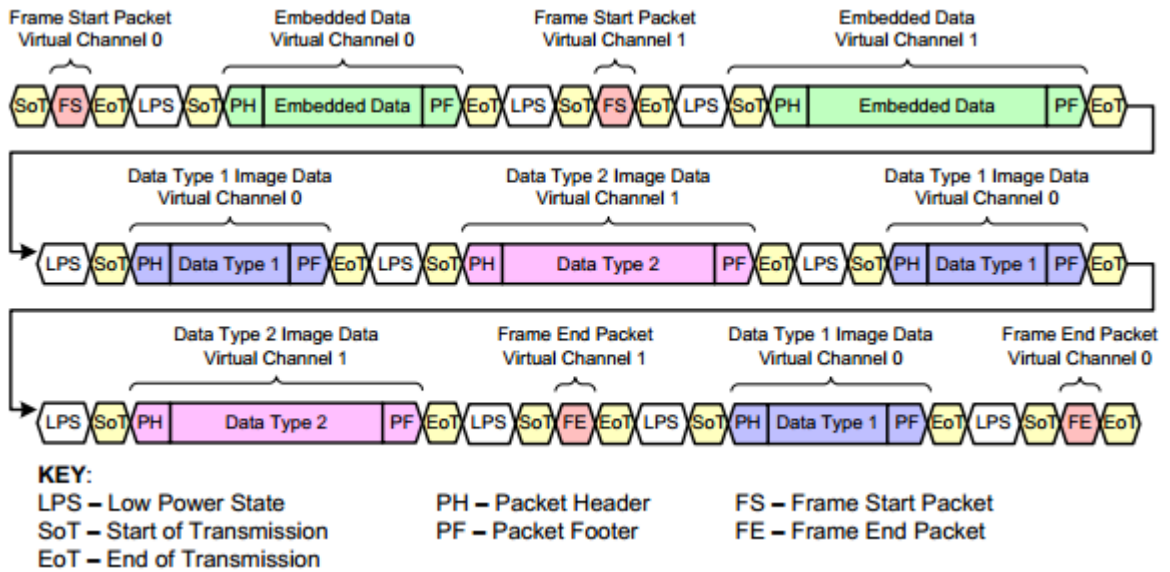
MIPI Rx 支持 3 种 MIPI 接口的宽动态（WDR）模式，分别为：

- 1) MIPI 宽动态模式 1：使用 VC（Virtual Channel）区分长/短曝光数据。
- 2) MIPI 宽动态模式 2：使用 DT（Data Type）区分长/短曝光数据。
- 3) MIPI 宽动态模式 3：DOL 宽动态传输格式。

使用 VC 的 WDR 传输方式如图 9-23 所示，FS/FE 短包和数据长包里都包含有 VC 信息。MIPI Rx 控制器根据短包/长包里的 VC 值检测出长/短曝光数据，并把每一行数据都加上 2-bit 信号标识，伴随 DC 时序输出到 VICAP，在 VICAP 内实现解复用。

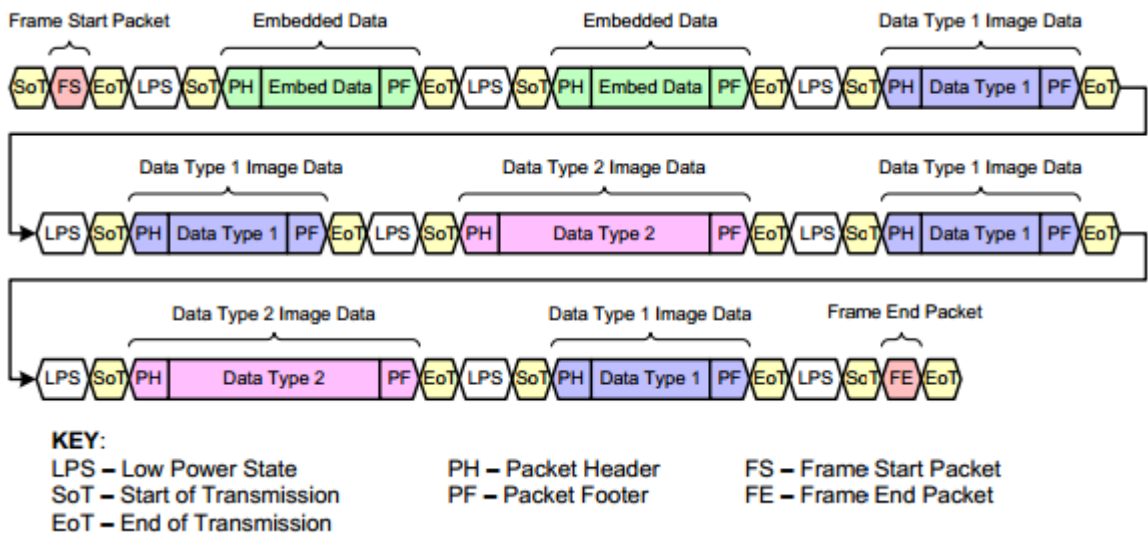


图9-23 MIPI 接口宽动态数据传输（使用 VC）



使用 DT 的 WDR 传输方式如图 9-24 所示，不同曝光长度的同一帧共用一组 FS/FE 短包，长包的包头有 DT 信息。DT0 和 DT1 的 RAW DATA 位宽可以不同。MIPI Rx 控制器根据 DT 值区分出长/短曝光数据，并把每一行数据都加上 2-bit 信号标识，伴随 DC 时序输出到 VICAP，在 VICAP 内实现解复用。

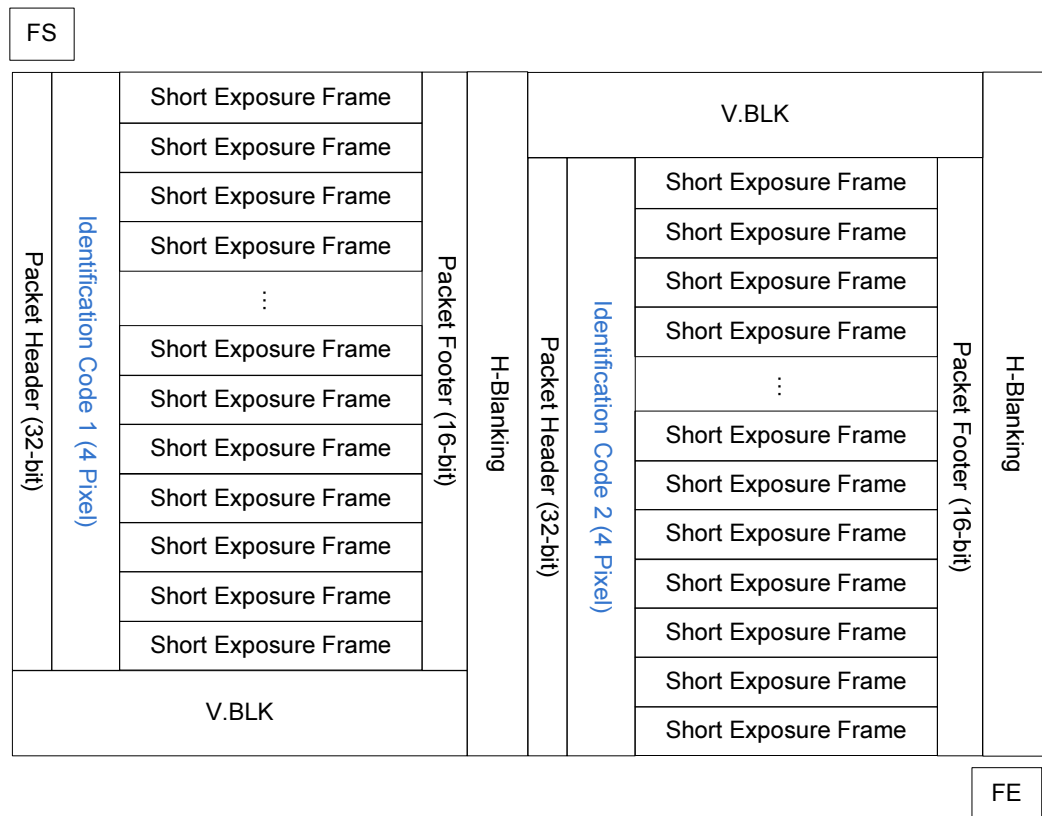
图9-24 MIPI 接口宽动态数据传输（使用 DT）



MIPI DOL 宽动态传输格式如图 9-25 所示。长短曝光数据共用一组 FS/FE 短包，每行起始的 4 个像素点作为识别码（Identification Code）用于区分长/短曝光的数据。



图9-25 MIPI DOL 数据传输



说明

图像传感器有两种宽动态模式，帧间插模式与行间插模式。帧模式的宽动态在时序和数据格式上与线性模式相同，这里介绍的宽动态都是针对行间插模式。

## LVDS 接口数据格式

低电压差分信号 LVDS (Low-Voltage Differential Signal) 普遍应用于前端摄像头。通过同步码区分消隐区和有效区的数据。

说明

LVDS 只约束了电气传输规范，没有时序和数据格式方面的标准协议。sub-LVDS 是一种超低压摆幅的差分信号技术，共模/差模电压比 LVDS 更低，更适合图像传感器的应用。可以把 sub-LVDS 看作是 LVDS 的一种，在此统称为 LVDS。

MIPI Rx 的 combo-PHY 将差分串行数据转换为并行数据，MIPI Rx 控制器把并行数据拆分、拼接，然后提取同步码、解析出像素数据。

在 LVDS 传输模式中，帧/行同步信号集成在数据流中，在数据流中的特殊码型 SOF 和 EOF 分别表示帧的起始和结束，SOL 和 EOL 分别表示行的起始和结束。在数据流中，SOF/EOF/SOL/EOL 由 4 个字段构成，每个字段的位宽与像素数据保持一致，前 3 个字段为固定的基准码字，根据第 4 个字段来区分帧/行的起始或结束。LVDS 同步码格式如表 9-8 所示。



表9-8 LVDS 同步码格式

Field	Bit Width	Sync code			
		SOL/SAV (Valid line)	EOL/EAV (Valid line)	SOF/SAV (Invalid line)	EOF/EAV (Invalid line)
1st code	8bit	FFh	FFh	FFh	FFh
	10bit	3FFh	3FFh	3FFh	3FFh
	12bit	FFFh	FFFh	FFFh	FFFh
	14bit	3FFFh	3FFFh	3FFFh	3FFFh
	16bit	FFFFh	FFFFh	FFFFh	FFFFh
2nd code	8bit	00h	00h	00h	00h
	10bit	000h	000h	000h	000h
	12bit	000h	000h	000h	000h
	14bit	0000h	0000h	0000h	0000h
	16bit	0000h	0000h	0000h	0000h
3rd code	8bit	00h	00h	00h	00h
	10bit	000h	000h	000h	000h
	12bit	000h	000h	000h	000h
	14bit	0000h	0000h	0000h	0000h
	16bit	0000h	0000h	0000h	0000h
4th code	8bit	XXh	XXh	XXh	XXh
	10bit	XXXh	XXXh	XXXh	XXXh
	12bit	XXXh	XXXh	XXXh	XXXh
	14bit	XXXXh	XXXXh	XXXXh	XXXXh
	16bit	XXXXh	XXXXh	XXXXh	XXXXh

说明

同步码前三个字段固定，第 4 个字段标识帧/行的起始或结束。第 4 个字段的值由图像传感器厂商确定，不同的厂商会使用不同的数值。表 9-9 是其中一种实现方式。

表9-9 LVDS 同步码第 4 个字段举例

Field	Bit Width	Sync code			
		SAV(Valid line)	EAV(Valid line)	SAV(Invalid line)	EAV(Invalid line)

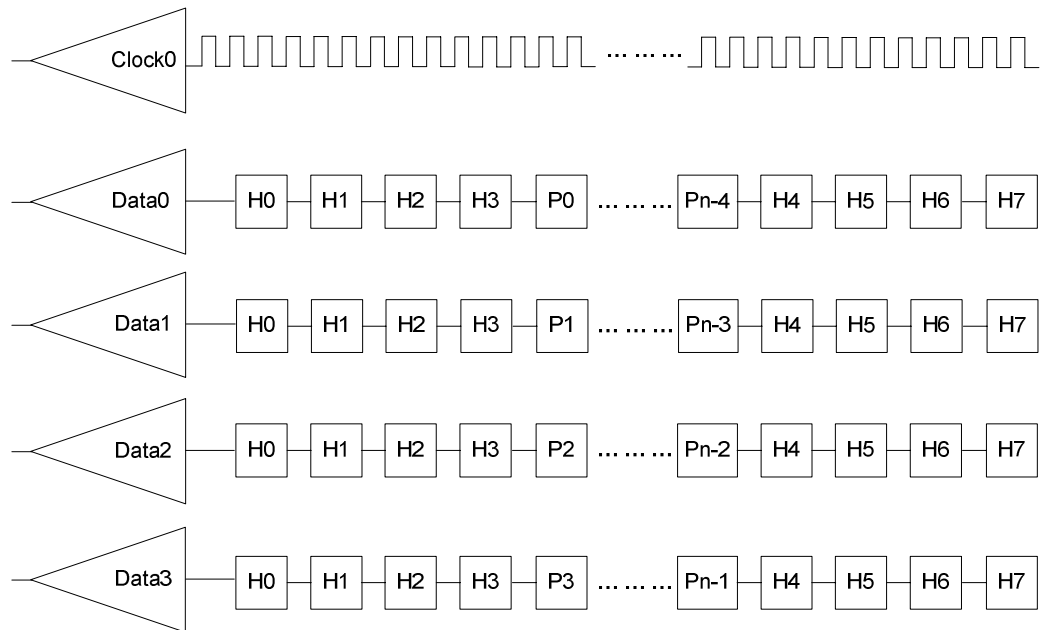




Field	Bit Width	Sync code			
		SAV(Valid line)	EAV(Valid line)	SAV(Invalid line)	EAV(Invalid line)
4th code	8bit	80h	9Dh	ABh	B6h
	10bit	200h	274h	2ACh	2D8h
	12bit	800h	9D0h	AB0h	B60h
	14bit	2000h	2740h	2AC0h	2D80h
	16bit	8000h	9D00h	AB00h	B600h

以 4 个通道为例，LVDS 同步码和像素数据在各个通道上传输方式如图 9-26 所示，图中 H 表示同步码，P 表示像素，H 和 P 的位宽与图像传感器输出单个像素的位宽一致。各个数据通道首先传输 4 个像素位宽的同步码，紧接着是像素数据，像素数据的分布与通道数有关。

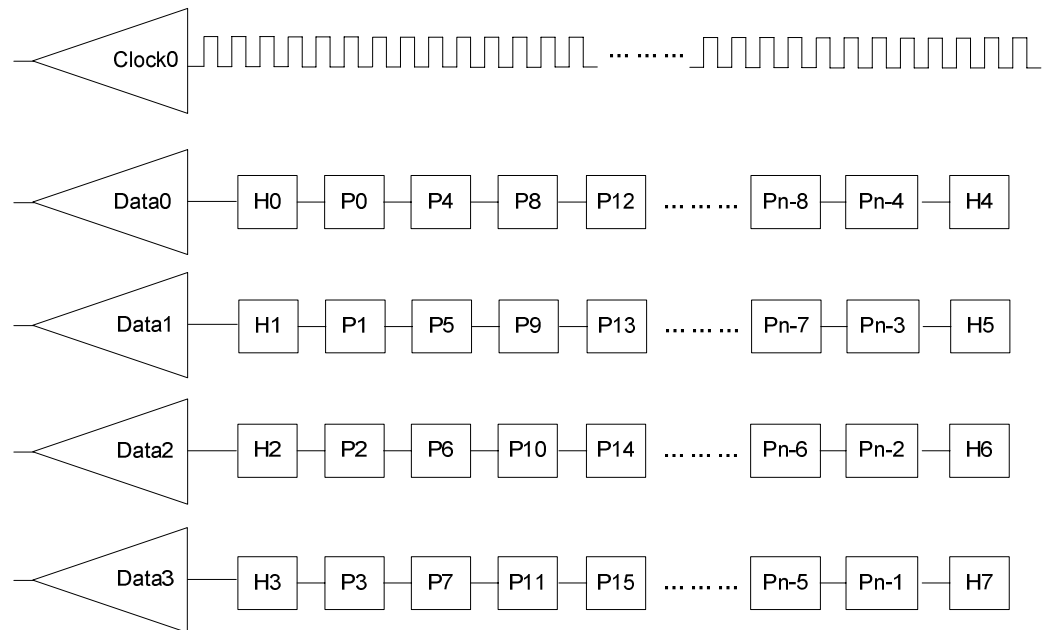
图9-26 LVDS 同步码和图像传输模式 1



LVDS 还有另外一种传输模式：同步码分配到各个通道的传输。如图 9-27 所示。H0、H1、H2、H3 分别在四个数据通道上同时传输，像素数据的传输方式与图 9-26 相同。

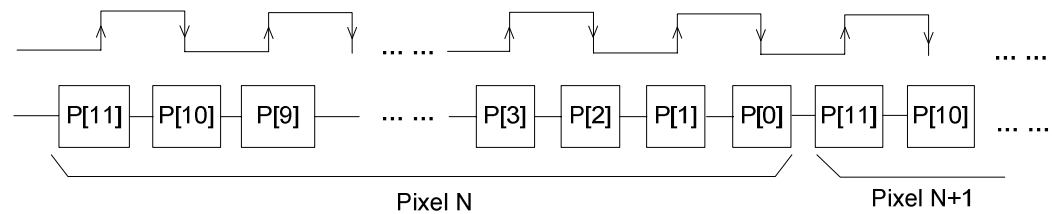


图9-27 LVDS 同步码和图像传输方式 2



同步码和像素数据的传输是串行的，MIPI Rx 支持数据的大小端可配置。以 RAW12、大端模式为例，图像传感器输出单个像素点的时序如图 9-28 所示。

图9-28 LVDS 单个像素点时序



## LVDS 接口线性模式

LVDS 有两种同步方式，其中一种用 SAV(Invalid)和 EAV(Invalid)标识消隐区的无效数据，使用 SAV(Valid)和 EAV(Valid)标识有效区像素数据，这种同步方式如图 9-29 所示。



图9-29 LVDS 同步方式 1

H.BLK	SAV (Invalid line)	V.BLK	EAV (Invalid line)	H.BLK
H.BLK		V.BLK		H.BLK
H.BLK		V.BLK		H.BLK
H.BLK	SAV (Valid line)	Effective Pixel	EAV (Valid line)	H.BLK
H.BLK		Effective Pixel		H.BLK
⋮		⋮		⋮
⋮		⋮		⋮
H.BLK		Effective Pixel		H.BLK
H.BLK		Effective Pixel		H.BLK
H.BLK		Effective Pixel		H.BLK
H.BLK		Effective Pixel		H.BLK
H.BLK	SAV (Invalid line)	V.BLK	EAV (Invalid line)	H.BLK
⋮		⋮		⋮
H.BLK		V.BLK		H.BLK
H.BLK		V.BLK		H.BLK

另一种同步方式用 SOF 标识有效区的第一行起始，用 EOF 标识有效区最后一行的结束，其他有效区分别用 SOL 和 EOL 作为起始和结束，这种同步方式如图 9-30 所示。



图9-30 LVDS 同步方式 2

V.BLK					
H.BLK	SOF	Effective Pixel	EOL	H.BLK	
H.BLK	SOL	Effective Pixel		H.BLK	
H.BLK		Effective Pixel		H.BLK	
H.BLK		Effective Pixel		H.BLK	
⋮		⋮		⋮	⋮
H.BLK		Effective Pixel		H.BLK	
H.BLK		Effective Pixel		H.BLK	
H.BLK		Effective Pixel		H.BLK	
H.BLK		Effective Pixel		H.BLK	
H.BLK		Effective Pixel		H.BLK	
H.BLK		Effective Pixel		H.BLK	
H.BLK		Effective Pixel		EOF	H.BLK
V.BLK					

## LVDS 接口宽动态模式

MIPI Rx 支持 3 种 LVDS 的宽动态传输模式，分别为：

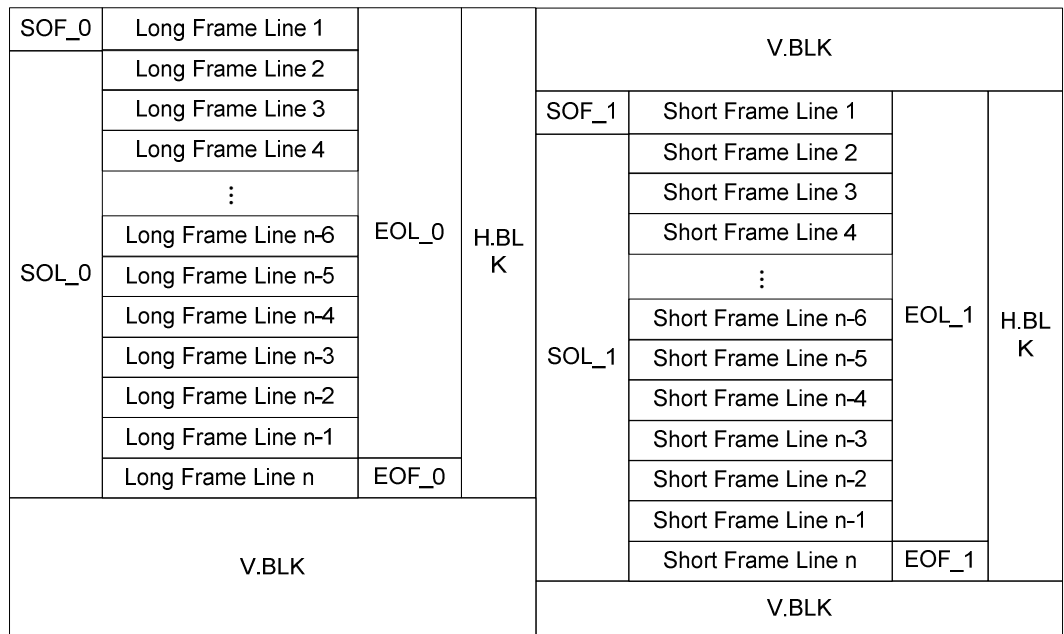
- 1) LVDS 宽动态模式 1：SOF-EOF 标识，长短曝光帧有独立的同步码。
- 2) LVDS 宽动态模式 2：SAV-EAV 标识，DOL 模式，四个字段的同步码，长短曝光帧有独立的同步码。
- 3) LVDS 宽动态模式 3：SAV-EAV 标识，DOL 模式，五个字段的同步码，长短曝光帧有独立的同步码。

MIPI Rx 根据不同的模式配置，将接收到的同步码的值与寄存器中的预设值比对，从而区分出接收到的图像属于长/短曝光并以特定的方式将其标识出，在 VICAP 内实现解复用。

LVDS 宽动态模式 1 如图 9-31 所示。长/短曝光视频数据同步码的码型不同，利用同步码区分不同曝光长度的数据。



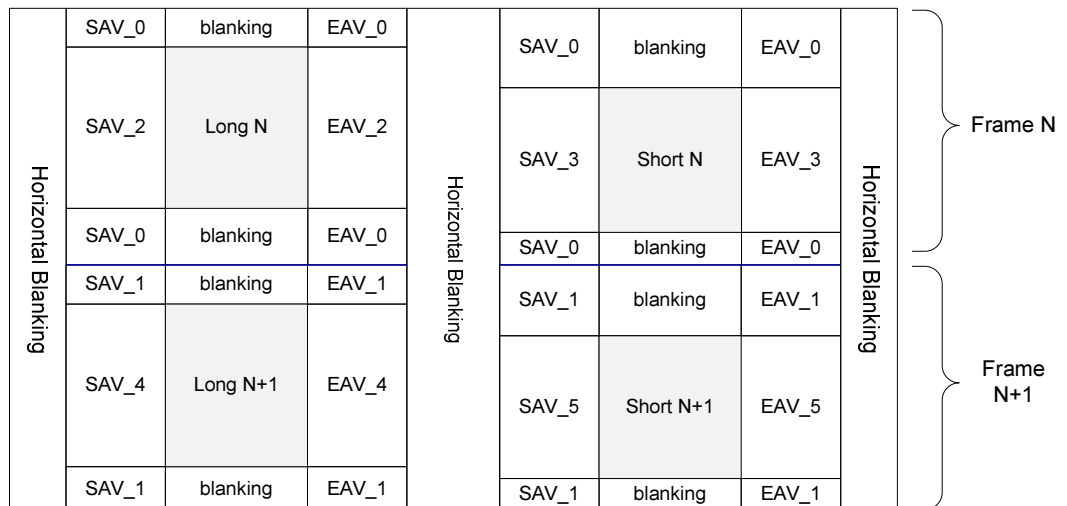
图9-31 LVDS 宽动态模式 1 (2 帧)



LVDS 宽动态模式 2 如图 9-32 所示。使用 SAV-EAV 作为同步方式，长短曝光有独立的同步码，第 N 帧和第 N+1 帧的同步码也不同。

LVDS 宽动态模式 3 与模式 2 基本相同，区别仅仅在于模式 3 的同步码为 5 个字段。

图9-32 LVDS 宽动态模式 2 (2 帧)



## HiSPi 接口数据格式

High-Speed Serial Pixel (HiSPi)协议包括两部分：HiSPi 物理层协议和 HiSPi 规范。HiSPi 物理层协议中规定了电气特性和时序等参数，HiSPi 规范中规定了数据的打包方式。



HiSPi 规范中包含两种物理层电气标准和四种不同的数据传输方式。电气标准分别为：HiVCM 和 SLVS；数据传输方式分别为：Packetized-SP、Streaming-SP、Streaming-S 和 ActiveStart-SP8。

MIPI Rx 同时支持 HiVCM 和 SLVS 电气标准，支持 Packetized-SP 和 Streaming-SP 数据传输方式。

## HiSPi 接口线性模式

Packetized-SP 模式下，图像传感器用 SOF 标识图像有效区的第一行起始，用 EOF 标识有效区最后一行的结束，其他有效区分别用 SOL 和 EOL 作为起始和结束。这种同步方式与图 9-30 类似，区别在于 Packetized-SP 模式的数据包内可以添加 CRC 和 FLR。其数据格式如图 9-33 所示。

MIPI Rx 可以校验 SOF-EOF、SOL-EOL 的配对是否正常，但不处理 CRC 和 FLR 数据。

图9-33 HiSPi Packetized-SP 数据格式

SOF		Effective Pixel			
		Effective Pixel			
		Effective Pixel			
		Effective Pixel			
		⋮			
	FLR	Effective Pixel	EOL		
SOL		Effective Pixel		CRC	H.BLK
		Effective Pixel			
		Effective Pixel			
		Effective Pixel			
		Effective Pixel			
		Effective Pixel			
		Effective Pixel	EOF		
V.BLK					

HiSPi 另外 3 种模式（Streaming-SP, Streaming-S, ActiveStart-SP8）的传输方式与 Packetized-SP 类似，区别在于同步码的标定方式不同。他们之间的区别如表 9-10 所示。其中，SOF 和 EOF 分别表示图像有效区的帧起始和帧结束；SOL 和 EOL 分别表示图像有效区的行起始和行结束；SAV 表示图像消隐区的行起始。

表9-10 HiSPi 传输模式

同步码	Packetized-SP	Streaming-SP	Streaming-S	ActiveStart-SP8
SOF	Required	Required	Unsupported	Required
SOL	Required	Required	Required	Required



同步码	Packetized-SP	Streaming-SP	Streaming-S	ActiveStart-SP8
EOF	Required	Unsupported	Unsupported	Unsupported
EOL	Required	Unsupported	Unsupported	Unsupported
SAV	Unsupported	Required	Required	Unsupported

MIPI Rx 可以支持以上 4 种模式，同时支持所有通道都传输 4 个字段的同步码或同步码分配到各通道传输（如图 9-26 和图 9-27 所示）。

## HiSPi 接口宽动态模式

HiSPi 接口宽动态模式的同步码与线性模式相同，长曝光与短曝光数据之间是消隐区。短曝光的起始几行不是有效像素区，而是以固定值填充。HiSPi 接口宽动态模式的时序如所示。

图9-34 HiSPi 宽动态模式

SOF	Long Frame Line 1	EOL	H.BLK	SOL	T2 Padding	EOL	H.BLK
	Long Frame Line 2				Short Frame Line 1		
	Long Frame Line 3				Short Frame Line 2		
	Long Frame Line 4				Short Frame Line 3		
	⋮				Short Frame Line 4		
	Long Frame Line n-3				⋮		
	Long Frame Line n-2				Short Frame Line n-3		
	Long Frame Line n-1				Short Frame Line n-2		
	Long Frame Line n				Short Frame Line n-1		
	T1 Padding				Short Frame Line n		
SOV	V.BLK	EOV		SOV	V.BLK	EOV	

## 9.3.4 MIPI Rx 控制器工作方式

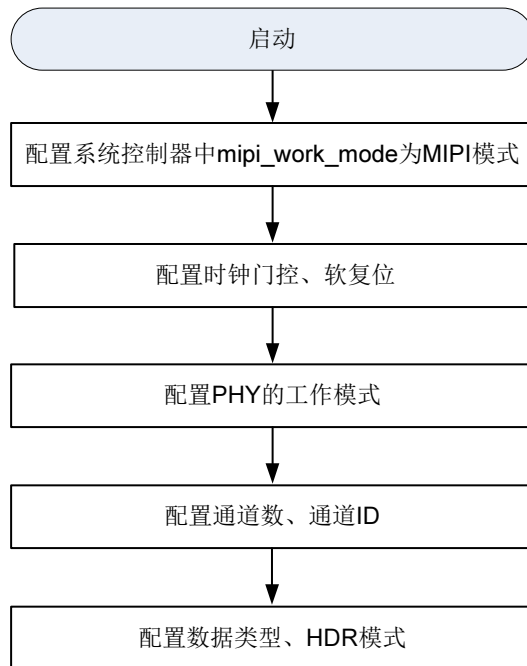
MIPI Rx 控制器支持 MIPI、LVDS 和 HiSPi 模式，每种模式下的软件配置包含两部分：控制器和 combo-PHY。

### 9.3.4.1 MIPI 模式配置流程

MIPI 模式下需要配置 PHY 的工作模式、数据传输所用的通道数、数据类型及宽动态模式。MIPI 模式的帧/行同步信息包含于数据包中，由控制器完成数据包的解析，从而恢复出像素数据。MIPI 模式软件操作流程如图 9-35 所示。



图9-35 MIPI Rx MIPI 模式软件配置流程



### 9.3.4.2 LVDS 和 HiSPi 模式配置流程

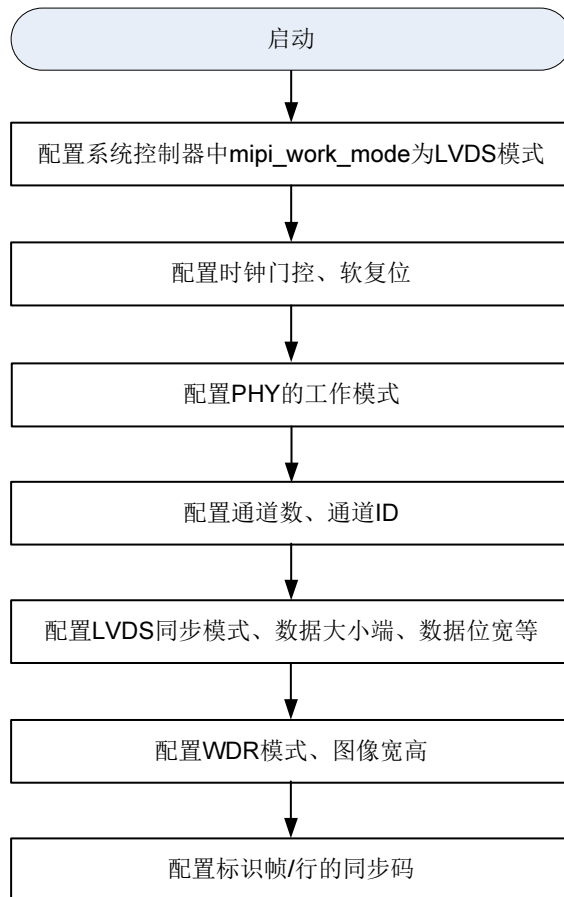
LVDS/HiSPi 模式下需要配置 RAW DATA 类型、数据大小端、同步方式、WDR 类型和图像宽高等寄存器。LVDS 模式依靠同步码识别帧/行同步信息，根据 RAW DATA 类型的不同，同步码可以为 8/10/12/14/16-bit。

LVDS 和 HiSPi 模式软件的操作流程如图 9-36 所示。





图9-36 MIPI Rx LVDS 和 HiSPi 模式软件配置流程



### 9.3.5 MIPI Rx 寄存器概览

MIPI Rx 寄存器概览如表 9-11 所示。

表9-11 MIPI 寄存器概览（基址是 0x1130\_0000）

偏移地址	名称	描述	页码
0x0000	PHY_MODE_LINK0	Link0 PHY 工作模式寄存器	9-199
0x0004	PHY_SKEW_LINK0	Link0 PHY 通道延迟调节寄存器	9-200
0x0008	PHY_EN_LINK0	Link0 PHY 通道使能寄存器	9-201
0x0018	PHY_DATA_LINK0	Link0 PHY 输出的并行数据寄存器	9-202
0x001C	PHY_PH_MIPI_LINK0	Link0 MIPI 数据包头寄存器	9-203
0x0020	PHY_DATA_MIPI_LINK0	Link0 MIPI 模式数据寄存器	9-203



偏移地址	名称	描述	页码
0x0024	PHY_SYNC_DCT_LINK0	Link0 PHY LVDS 模式同步头检测控制寄存器	9-204
0x0030	PHY_SYNC_CODE0_LINK0	Link0 PHY LVDS 模式同步头寄存器 0	9-205
0x0034	PHY_SYNC_CODE1_LINK0	Link0 PHY LVDS 模式同步头寄存器 1	9-205
0x0038	PHY_SYNC_CODE2_LINK0	Link0 PHY LVDS 模式同步头寄存器 2	9-206
0x003C	PHY_SYNC_CODE3_LINK0	Link0 PHY LVDS 模式同步头寄存器 3	9-206
0x01F0	MIPI_CIL_INT_RAW_LINK0	Link0 MIPI CIL 原始中断状态寄存器	9-207
0x01F4	MIPI_CIL_INT_LINK0	Link0 MIPI CIL 中断状态寄存器	9-208
0x01F8	MIPI_CIL_INT_MASK_LINK0	Link0 MIPI CIL 中断屏蔽寄存器	9-209
0x0200	PHY_MODE_LINK1	Link1 PHY 工作模式寄存器	9-211
0x0204	PHY_SKEW_LINK1	Link1 PHY 通道延迟调节寄存器	9-212
0x0208	PHY_EN_LINK1	Link1 PHY 通道使能寄存器	9-213
0x0218	PHY_DATA_LINK1	Link1 PHY 输出的并行数据寄存器	9-214
0x021C	PHY_PH_MIPI_LINK1	Link1 MIPI 数据包头寄存器	9-215
0x0220	PHY_DATA_MIPI_LINK1	Link1 MIPI 模式数据寄存器	9-215
0x0224	PHY_SYNC_DCT_LINK1	Link1 PHY LVDS 模式同步头检测控制寄存器	9-216
0x0230	PHY_SYNC_CODE0_LINK1	Link1 PHY LVDS 模式同步头寄存器 0	9-217
0x0234	PHY_SYNC_CODE1_LINK1	Link1 PHY LVDS 模式同步头寄存器 1	9-217
0x0238	PHY_SYNC_CODE2_LINK1	Link1 PHY LVDS 模式同步头寄存器 2	9-218
0x023C	PHY_SYNC_CODE3_LINK1	Link1 PHY LVDS 模式同步头寄存器 3	9-218
0x03F0	MIPI_CIL_INT_RAW_LINK1	Link1 MIPI CIL 原始中断状态寄存器	9-219



偏移地址	名称	描述	页码
0x03F4	MIPI_CIL_INT_LINK1	Link1 MIPI CIL 中断状态寄存器	9-220
0x03F8	MIPI_CIL_INT_MSK_LINK1	Link1 MIPI CIL 中断屏蔽寄存器	9-222
0x0400	PHY_MODE_LINK2	Link2 PHY 工作模式寄存器	9-223
0x0404	PHY_SKEW_LINK2	Link2 PHY 通道延迟调节寄存器	9-225
0x0408	PHY_EN_LINK2	Link2 PHY 通道使能寄存器	9-226
0x0418	PHY_DATA_LINK2	Link2 PHY 输出的并行数据寄存器	9-227
0x041C	PHY_PH_MIPI_LINK2	Link2 MIPI 数据包头寄存器	9-227
0x0420	PHY_DATA_MIPI_LINK2	Link2 MIPI 模式数据寄存器	9-228
0x0424	PHY_SYNC_DCT_LINK2	Link2 PHY LVDS 模式同步头检测控制寄存器	9-228
0x0430	PHY_SYNC_CODE0_LINK2	Link2 PHY LVDS 模式同步头寄存器 0	9-229
0x0434	PHY_SYNC_CODE1_LINK2	Link2 PHY LVDS 模式同步头寄存器 1	9-230
0x0438	PHY_SYNC_CODE2_LINK2	Link2 PHY LVDS 模式同步头寄存器 2	9-230
0x043C	PHY_SYNC_CODE3_LINK2	Link2 PHY LVDS 模式同步头寄存器 3	9-231
0x05F0	MIPI_CIL_INT_RAW_LINK2	Link2 MIPI CIL 原始中断状态寄存器	9-231
0x05F4	MIPI_CIL_INT_LINK2	Link2 MIPI CIL 中断状态寄存器	9-232
0x05F8	MIPI_CIL_INT_MSK_LINK2	Link2 MIPI CIL 中断屏蔽寄存器	9-234
0x0800	PHY_CHN_CTRL	PHY 通道控制选择寄存器	9-235
0x0804	PHY_LP_SELECT	PHY1 LP 模式信号选择寄存器	9-236
0x080C	MIPI_MEM_CTRL	MEMORY 控制寄存器	9-237
0x0810	LANE_EN	LANE_EN 使能寄存器	9-238
0x0814	MIPI_PHYCFG_MODE	MIPI PHY 配置模式寄存器	9-239
0x0818	MIPI_PHYCFG_EN	MIPI PHY 配置使能寄存器	9-240



偏移地址	名称	描述	页码
0x081C	MIPI_CIL_CTRL	MIPI CIL 控制寄存器	9-240
0x0820	MIPI_SRST_CFG	MIPI CORE 软复位寄存器	9-241
0x0EF0	MIPI_CHN0_INT_RAW	MIPI 通道 0 原始中断状态寄存器	9-242
0x0EF4	MIPI_CHN0_INT	MIPI 通道 0 中断状态寄存器	9-243
0x0EF8	MIPI_CHN0_INT_MSK	MIPI 通道 0 中断屏蔽寄存器	9-244
0x1004	MIPI0_LANES_NUM	MIPI0 数据通道数使能寄存器	9-246
0x100C	MIPI0_MAIN_INT_ST	MIPI0 总中断状态寄存器	9-246
0x1010	MIPI0_DI_1	MIPI0 控制器 Data ID 1 寄存器	9-247
0x1014	MIPI0_DI_2	MIPI0 控制器 Data ID 2 寄存器	9-249
0x1060	MIPI0_PKT_INTR_ST	MIPI0 包中断状态寄存器	9-250
0x1064	MIPI0_PKT_INTR_MSK	MIPI0 包中断屏蔽寄存器	9-251
0x1070	MIPI0_PKT_INTR2_ST	MIPI0 包中断状态寄存器 2	9-252
0x1074	MIPI0_PKT_INTR2_MSK	MIPI0 包中断屏蔽寄存器 2	9-253
0x1080	MIPI0_FRAME_INTR_ST	MIPI0 帧中断状态寄存器	9-255
0x1084	MIPI0_FRAME_INTR_MSK	MIPI0 帧中断屏蔽寄存器	9-257
0x1090	MIPI0_LINE_INTR_ST	MIPI0 行中断状态寄存器	9-258
0x1094	MIPI0_LINE_INTR_MSK	MIPI0 行中断屏蔽寄存器	9-260
0x1100	MIPI0_USERDEF_DT	MIPI0 用户自定义 data type 对应的像素位宽配置寄存器	9-262
0x1104	MIPI0_USER_DEF	MIPI0 用户自定义 data type 的类型使能配置寄存器	9-264
0x1108	MIPI0_CTRL_MODE_HS	MIPI0 工作模式使能寄存器	9-265
0x1200	MIPI0_DOL_ID_CODE0	MIPI0 DOL 模式帧识别寄存器 0	9-265



偏移地址	名称	描述	页码
0x1204	MIPI0_DOL_ID_CODE1	MIPI0 DOL 模式帧识别寄存器 1	9-266
0x1208	MIPI0_DOL_ID_CODE2	MIPI0 DOL 模式帧识别寄存器 2	9-266
0x1230	MIPI0_CTRL_MODE_PIXEL	MIPI0 输出工作模式使能寄存器	9-267
0x1240	MIPI0_DUMMY_PIXEL_REG	MIPI0 dummy 行像素值寄存器	9-268
0x1250	MIPI0_IMGSIZE0_STATIS	MIPI0 VC0 传输的图像宽高寄存器	9-268
0x1254	MIPI0_IMGSIZE1_STATIS	MIPI0 VC1 传输的图像宽高寄存器	9-268
0x1258	MIPI0_IMGSIZE2_STATIS	MIPI0 VC2 传输的图像宽高寄存器	9-269
0x125C	MIPI0_IMGSIZE3_STATIS	MIPI0 VC3 传输的图像宽高寄存器	9-269
0x12F0	MIPI0_CTRL_INT_RAW	MIPI0 读数据错误原始中断状态寄存器	9-270
0x12F4	MIPI0_CTRL_INT	MIPI0 读数据错误中断状态寄存器	9-271
0x12F8	MIPI0_CTRL_INT_MSK	MIPI0 读数据错误中断屏蔽寄存器	9-272
0x1300	LVDS0_WDR	LVDS WDR 控制寄存器	9-273
0x130C	LVDS0_IMGSIZE	LVDS 图像宽高寄存器	9-274
0x1310	LVDS0_CTRL	LVDS 控制寄存器	9-274
0x1314	LVDS0_CROP_START	LVDS 裁剪寄存器	9-275
0x1320	LVDS0_LANE0_SOF_01	LVDS/HiSPi 模式下, lane0 帧起始同步码配置寄存器	9-276
0x1324	LVDS0_LANE0_SOF_23	LVDS/HiSPi 模式下, lane0 帧起始同步码配置寄存器	9-276
0x1328	LVDS0_LANE0_EOF_01	LVDS/HiSPi 模式下, lane0 帧结束同步码配置寄存器	9-277
0x132C	LVDS0_LANE0_EOF_23	LVDS/HiSPi 模式下, lane0 帧结束同步码配置寄存器	9-277
0x1330	LVDS0_LANE0_SOL_01	LVDS/HiSPi 模式下, lane0 行起始同步码配置寄存器	9-278



偏移地址	名称	描述	页码
0x1334	LVDS0_LANE0_SOL_23	LVDS/HiSPi 模式下, lane0 行起始同步码配置寄存器	9-278
0x1338	LVDS0_LANE0_EOL_01	LVDS/HiSPi 模式下, lane0 行结束同步码配置寄存器	9-279
0x133C	LVDS0_LANE0_EOL_23	LVDS/HiSPi 模式下, lane0 行结束同步码配置寄存器	9-279
0x1340	LVDS0_LANE1_SOF_01	LVDS/HiSPi 模式下, lane1 帧起始同步码配置寄存器	9-280
0x1344	LVDS0_LANE1_SOF_23	LVDS/HiSPi 模式下, lane1 帧起始同步码配置寄存器	9-280
0x1348	LVDS0_LANE1_EOF_01	LVDS/HiSPi 模式下, lane1 帧结束同步码配置寄存器	9-281
0x134C	LVDS0_LANE1_EOF_23	LVDS/HiSPi 模式下, lane1 帧结束同步码配置寄存器	9-281
0x1350	LVDS0_LANE1_SOL_01	LVDS/HiSPi 模式下, lane1 行起始同步码配置寄存器	9-282
0x1354	LVDS0_LANE1_SOL_23	LVDS/HiSPi 模式下, lane1 行起始同步码配置寄存器	9-282
0x1358	LVDS0_LANE1_EOL_01	LVDS/HiSPi 模式下, lane1 行结束同步码配置寄存器	9-283
0x135C	LVDS0_LANE1_EOL_23	LVDS/HiSPi 模式下, lane1 行结束同步码配置寄存器	9-283
0x1360	LVDS0_LANE2_SOF_01	LVDS/HiSPi 模式下, lane2 帧起始同步码配置寄存器	9-284
0x1364	LVDS0_LANE2_SOF_23	LVDS/HiSPi 模式下, lane2 帧起始同步码配置寄存器	9-284
0x1368	LVDS0_LANE2_EOF_01	LVDS/HiSPi 模式下, lane2 帧结束同步码配置寄存器	9-285
0x136C	LVDS0_LANE2_EOF_23	LVDS/HiSPi 模式下, lane2 帧结束同步码配置寄存器	9-285
0x1370	LVDS0_LANE2_SOL_01	LVDS/HiSPi 模式下, lane2 行起始同步码配置寄存器	9-286
0x1374	LVDS0_LANE2_SOL_23	LVDS/HiSPi 模式下, lane2 行起始同步码配置寄存器	9-286
0x1378	LVDS0_LANE2_EOL_01	LVDS/HiSPi 模式下, lane2 行结束同步码配置寄存器	9-287



偏移地址	名称	描述	页码
0x137C	LVDS0_LANE2_EO L_23	LVDS/HiSPi 模式下, lane2 行结束同步 码配置寄存器	9-287
0x1380	LVDS0_LANE3_SO F_01	LVDS/HiSPi 模式下, lane3 帧起始同步 码配置寄存器	9-288
0x1384	LVDS0_LANE3_SO F_23	LVDS/HiSPi 模式下, lane3 帧起始同步 码配置寄存器	9-288
0x1388	LVDS0_LANE3_EO F_01	LVDS/HiSPi 模式下, lane3 帧结束同步 码配置寄存器	9-289
0x138C	LVDS0_LANE3_EO F_23	LVDS/HiSPi 模式下, lane3 帧结束同步 码配置寄存器	9-289
0x1390	LVDS0_LANE3_SO L_01	LVDS/HiSPi 模式下, lane3 行起始同步 码配置寄存器	9-290
0x1394	LVDS0_LANE3_SO L_23	LVDS/HiSPi 模式下, lane3 行起始同步 码配置寄存器	9-290
0x1398	LVDS0_LANE3_EO L_01	LVDS/HiSPi 模式下, lane3 行结束同步 码配置寄存器	9-291
0x139C	LVDS0_LANE3_EO L_23	LVDS/HiSPi 模式下, lane3 行结束同步 码配置寄存器	9-291
0x13A0	LVDS0_LANE4_SO F_01	LVDS/HiSPi 模式下, lane4 帧起始同步 码配置寄存器	9-292
0x13A4	LVDS0_LANE4_SO F_23	LVDS/HiSPi 模式下, lane4 帧起始同步 码配置寄存器	9-292
0x13A8	LVDS0_LANE4_EO F_01	LVDS/HiSPi 模式下, lane4 帧结束同步 码配置寄存器	9-293
0x13AC	LVDS0_LANE4_EO F_23	LVDS/HiSPi 模式下, lane4 帧结束同步 码配置寄存器	9-293
0x13B0	LVDS0_LANE4_SO L_01	LVDS/HiSPi 模式下, lane4 行起始同步 码配置寄存器	9-294
0x13B4	LVDS0_LANE4_SO L_23	LVDS/HiSPi 模式下, lane4 行起始同步 码配置寄存器	9-294
0x13B8	LVDS0_LANE4_EO L_01	LVDS/HiSPi 模式下, lane4 行结束同步 码配置寄存器	9-295
0x13BC	LVDS0_LANE4_EO L_23	LVDS/HiSPi 模式下, lane4 行结束同步 码配置寄存器	9-295
0x13C0	LVDS0_LANE5_SO F_01	LVDS/HiSPi 模式下, lane5 帧起始同步 码配置寄存器	9-296



偏移地址	名称	描述	页码
0x13C4	LVDS0_LANE5_SO F_23	LVDS/HiSPi 模式下, lane5 帧起始同步 码配置寄存器	9-296
0x13C8	LVDS0_LANE5_EO F_01	LVDS/HiSPi 模式下, lane5 帧结束同步 码配置寄存器	9-297
0x13CC	LVDS0_LANE5_EO F_23	LVDS/HiSPi 模式下, lane5 帧结束同步 码配置寄存器	9-297
0x13D0	LVDS0_LANE5_SO L_01	LVDS/HiSPi 模式下, lane5 行起始同步 码配置寄存器	9-298
0x13D4	LVDS0_LANE5_SO L_23	LVDS/HiSPi 模式下, lane5 行起始同步 码配置寄存器	9-298
0x13D8	LVDS0_LANE5_EO L_01	LVDS/HiSPi 模式下, lane5 行结束同步 码配置寄存器	9-299
0x13DC	LVDS0_LANE5_EO L_23	LVDS/HiSPi 模式下, lane5 行结束同步 码配置寄存器	9-299
0x13E0	LVDS0_LANE6_SO F_01	LVDS/HiSPi 模式下, lane6 帧起始同步 码配置寄存器	9-300
0x13E4	LVDS0_LANE6_SO F_23	LVDS/HiSPi 模式下, lane6 帧起始同步 码配置寄存器	9-300
0x13E8	LVDS0_LANE6_EO F_01	LVDS/HiSPi 模式下, lane6 帧结束同步 码配置寄存器	9-301
0x13EC	LVDS0_LANE6_EO F_23	LVDS/HiSPi 模式下, lane6 帧结束同步 码配置寄存器	9-301
0x13F0	LVDS0_LANE6_SO L_01	LVDS/HiSPi 模式下, lane6 行起始同步 码配置寄存器	9-302
0x13F4	LVDS0_LANE6_SO L_23	LVDS/HiSPi 模式下, lane6 行起始同步 码配置寄存器	9-302
0x13F8	LVDS0_LANE6_EO L_01	LVDS/HiSPi 模式下, lane6 行结束同步 码配置寄存器	9-303
0x13FC	LVDS0_LANE6_EO L_23	LVDS/HiSPi 模式下, lane6 行结束同步 码配置寄存器	9-303
0x1400	LVDS0_LANE7_SO F_01	LVDS/HiSPi 模式下, lane7 帧起始同步 码配置寄存器	9-304
0x1404	LVDS0_LANE7_SO F_23	LVDS/HiSPi 模式下, lane7 帧起始同步 码配置寄存器	9-304
0x1408	LVDS0_LANE7_EO F_01	LVDS/HiSPi 模式下, lane7 帧结束同步 码配置寄存器	9-305





偏移地址	名称	描述	页码
0x140C	LVDS0_LANE7_EO F_23	LVDS/HiSPi 模式下, lane7 帧结束同步 码配置寄存器	9-305
0x1410	LVDS0_LANE7_SO L_01	LVDS/HiSPi 模式下, lane7 行起始同步 码配置寄存器	9-306
0x1414	LVDS0_LANE7_SO L_23	LVDS/HiSPi 模式下, lane7 行起始同步 码配置寄存器	9-306
0x1418	LVDS0_LANE7_EO L_01	LVDS/HiSPi 模式下, lane7 行结束同步 码配置寄存器	9-307
0x141C	LVDS0_LANE7_EO L_23	LVDS/HiSPi 模式下, lane7 行结束同步 码配置寄存器	9-307
0x1420	LVDS0_LANE8_SO F_01	LVDS/HiSPi 模式下, lane8 帧起始同步 码配置寄存器	9-308
0x1424	LVDS0_LANE8_SO F_23	LVDS/HiSPi 模式下, lane8 帧起始同步 码配置寄存器	9-308
0x1428	LVDS0_LANE8_EO F_01	LVDS/HiSPi 模式下, lane8 帧结束同步 码配置寄存器	9-309
0x142C	LVDS0_LANE8_EO F_23	LVDS/HiSPi 模式下, lane8 帧结束同步 码配置寄存器	9-309
0x1430	LVDS0_LANE8_SO L_01	LVDS/HiSPi 模式下, lane8 行起始同步 码配置寄存器	9-310
0x1434	LVDS0_LANE8_SO L_23	LVDS/HiSPi 模式下, lane8 行起始同步 码配置寄存器	9-310
0x1438	LVDS0_LANE8_EO L_01	LVDS/HiSPi 模式下, lane8 行结束同步 码配置寄存器	9-311
0x143C	LVDS0_LANE8_EO L_23	LVDS/HiSPi 模式下, lane8 行结束同步 码配置寄存器	9-311
0x1440	LVDS0_LANE9_SO F_01	LVDS/HiSPi 模式下, lane9 帧起始同步 码配置寄存器	9-312
0x1444	LVDS0_LANE9_SO F_23	LVDS/HiSPi 模式下, lane9 帧起始同步 码配置寄存器	9-312
0x1448	LVDS0_LANE9_EO F_01	LVDS/HiSPi 模式下, lane9 帧结束同步 码配置寄存器	9-313
0x144C	LVDS0_LANE9_EO F_23	LVDS/HiSPi 模式下, lane9 帧结束同步 码配置寄存器	9-313
0x1450	LVDS0_LANE9_SO L_01	LVDS/HiSPi 模式下, lane9 行起始同步 码配置寄存器	9-314



偏移地址	名称	描述	页码
0x1454	LVDS0_LANE9_S L_23	LVDS/HiSPi 模式下, lane9 行起始同步 码配置寄存器	9-314
0x1458	LVDS0_LANE9_EO L_01	LVDS/HiSPi 模式下, lane9 行结束同步 码配置寄存器	9-315
0x145C	LVDS0_LANE9_EO L_23	LVDS/HiSPi 模式下, lane9 行结束同步 码配置寄存器	9-315
0x1460	LVDS0_LANE10_S OF_01	LVDS/HiSPi 模式下, lane10 帧起始同步 码配置寄存器	9-316
0x1464	LVDS0_LANE10_S OF_23	LVDS/HiSPi 模式下, lane10 帧起始同步 码配置寄存器	9-316
0x1468	LVDS0_LANE10_E OF_01	LVDS/HiSPi 模式下, lane10 帧结束同步 码配置寄存器	9-317
0x146C	LVDS0_LANE10_E OF_23	LVDS/HiSPi 模式下, lane10 帧结束同步 码配置寄存器	9-317
0x1470	LVDS0_LANE10_S OL_01	LVDS/HiSPi 模式下, lane10 行起始同步 码配置寄存器	9-318
0x1474	LVDS0_LANE10_S OL_23	LVDS/HiSPi 模式下, lane10 行起始同步 码配置寄存器	9-318
0x1478	LVDS0_LANE10_E OL_01	LVDS/HiSPi 模式下, lane10 行结束同步 码配置寄存器	9-319
0x147C	LVDS0_LANE10_E OL_23	LVDS/HiSPi 模式下, lane10 行结束同步 码配置寄存器	9-319
0x1480	LVDS0_LANE11_S OF_01	LVDS/HiSPi 模式下, lane11 帧起始同步 码配置寄存器	9-320
0x1484	LVDS0_LANE11_S OF_23	LVDS/HiSPi 模式下, lane11 帧起始同步 码配置寄存器	9-320
0x1488	LVDS0_LANE11_E OF_01	LVDS/HiSPi 模式下, lane11 帧结束同步 码配置寄存器	9-321
0x148C	LVDS0_LANE11_E OF_23	LVDS/HiSPi 模式下, lane11 帧结束同步 码配置寄存器	9-321
0x1490	LVDS0_LANE11_S OL_01	LVDS/HiSPi 模式下, lane11 行起始同步 码配置寄存器	9-322
0x1494	LVDS0_LANE11_S OL_23	LVDS/HiSPi 模式下, lane11 行起始同步 码配置寄存器	9-322
0x1498	LVDS0_LANE11_E OL_01	LVDS/HiSPi 模式下, lane11 行结束同步 码配置寄存器	9-323



偏移地址	名称	描述	页码
0x149C	LVDS0_LANE11_EOL_23	LVDS/HiSPi 模式下, lane11 行结束同步码配置寄存器	9-323
0x14A0	LVDS0_LANE0_NXT_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane0 帧起始同步码配置寄存器	9-324
0x14A4	LVDS0_LANE0_NXT_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane0 帧起始同步码配置寄存器	9-324
0x14A8	LVDS0_LANE0_NXT_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane0 帧结束同步码配置寄存器	9-325
0x14AC	LVDS0_LANE0_NXT_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane0 帧结束同步码配置寄存器	9-325
0x14B0	LVDS0_LANE0_NXT_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane0 行起始同步码配置寄存器	9-326
0x14B4	LVDS0_LANE0_NXT_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane0 行起始同步码配置寄存器	9-326
0x14B8	LVDS0_LANE0_NXT_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane0 行结束同步码配置寄存器	9-327
0x14BC	LVDS0_LANE0_NXT_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane0 行结束同步码配置寄存器	9-327
0x14C0	LVDS0_LANE1_NXT_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane1 帧起始同步码配置寄存器	9-328
0x14C4	LVDS0_LANE1_NXT_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane1 帧起始同步码配置寄存器	9-328
0x14C8	LVDS0_LANE1_NXT_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane1 帧结束同步码配置寄存器	9-329
0x14CC	LVDS0_LANE1_NXT_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane1 帧结束同步码配置寄存器	9-329
0x14D0	LVDS0_LANE1_NXT_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane1 行起始同步码配置寄存器	9-330
0x14D4	LVDS0_LANE1_NXT_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane1 行起始同步码配置寄存器	9-330
0x14D8	LVDS0_LANE1_NXT_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane1 行结束同步码配置寄存器	9-331
0x14DC	LVDS0_LANE1_NXT_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane1 行结束同步码配置寄存器	9-331
0x14E0	LVDS0_LANE2_NXT_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane2 帧起始同步码配置寄存器	9-332



偏移地址	名称	描述	页码
0x14E4	LVDS0_LANE2_NX T_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane2 帧 起始同步码配置寄存器	9-332
0x14E8	LVDS0_LANE2_NX T_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane2 帧 结束同步码配置寄存器	9-333
0x14EC	LVDS0_LANE2_NX T_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane2 帧 结束同步码配置寄存器	9-333
0x14F0	LVDS0_LANE2_NX T_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane2 行 起始同步码配置寄存器	9-334
0x14F4	LVDS0_LANE2_NX T_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane2 行 起始同步码配置寄存器	9-334
0x14F8	LVDS0_LANE2_NX T_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane2 行 结束同步码配置寄存器	9-335
0x14FC	LVDS0_LANE2_NX T_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane2 行 结束同步码配置寄存器	9-335
0x1500	LVDS0_LANE3_NX T_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane3 帧 起始同步码配置寄存器	9-336
0x1504	LVDS0_LANE3_NX T_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane3 帧 起始同步码配置寄存器	9-336
0x1508	LVDS0_LANE3_NX T_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane3 帧 结束同步码配置寄存器	9-337
0x150C	LVDS0_LANE3_NX T_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane3 帧 结束同步码配置寄存器	9-337
0x1510	LVDS0_LANE3_NX T_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane3 行 起始同步码配置寄存器	9-338
0x1514	LVDS0_LANE3_NX T_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane3 行 起始同步码配置寄存器	9-338
0x1518	LVDS0_LANE3_NX T_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane3 行 结束同步码配置寄存器	9-339
0x151C	LVDS0_LANE3_NX T_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane3 行 结束同步码配置寄存器	9-339
0x1520	LVDS0_LANE4_NX T_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane4 帧 起始同步码配置寄存器	9-340
0x1524	LVDS0_LANE4_NX T_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane4 帧 起始同步码配置寄存器	9-340
0x1528	LVDS0_LANE4_NX T_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane4 帧 结束同步码配置寄存器	9-341



偏移地址	名称	描述	页码
0x152C	LVDS0_LANE4_NX T_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane4 帧 结束同步码配置寄存器	9-341
0x1530	LVDS0_LANE4_NX T_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane4 行 起始同步码配置寄存器	9-342
0x1534	LVDS0_LANE4_NX T_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane4 行 起始同步码配置寄存器	9-342
0x1538	LVDS0_LANE4_NX T_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane4 行 结束同步码配置寄存器	9-343
0x153C	LVDS0_LANE4_NX T_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane4 行 结束同步码配置寄存器	9-343
0x1540	LVDS0_LANE5_NX T_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane5 帧 起始同步码配置寄存器	9-344
0x1544	LVDS0_LANE5_NX T_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane5 帧 起始同步码配置寄存器	9-344
0x1548	LVDS0_LANE5_NX T_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane5 帧 结束同步码配置寄存器	9-345
0x154C	LVDS0_LANE5_NX T_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane5 帧 结束同步码配置寄存器	9-345
0x1550	LVDS0_LANE5_NX T_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane5 行 起始同步码配置寄存器	9-346
0x1554	LVDS0_LANE5_NX T_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane5 行 起始同步码配置寄存器	9-346
0x1558	LVDS0_LANE5_NX T_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane5 行 结束同步码配置寄存器	9-347
0x155C	LVDS0_LANE5_NX T_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane5 行 结束同步码配置寄存器	9-347
0x1560	LVDS0_LANE6_NX T_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane6 帧 起始同步码配置寄存器	9-348
0x1564	LVDS0_LANE6_NX T_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane6 帧 起始同步码配置寄存器	9-348
0x1568	LVDS0_LANE6_NX T_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane6 帧 结束同步码配置寄存器	9-349
0x156C	LVDS0_LANE6_NX T_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane6 帧 结束同步码配置寄存器	9-349
0x1570	LVDS0_LANE6_NX T_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane6 行 起始同步码配置寄存器	9-350



偏移地址	名称	描述	页码
0x1574	LVDS0_LANE6_NX T_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane6 行 起始同步码配置寄存器	9-350
0x1578	LVDS0_LANE6_NX T_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane6 行 结束同步码配置寄存器	9-351
0x157C	LVDS0_LANE6_NX T_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane6 行 结束同步码配置寄存器	9-351
0x1580	LVDS0_LANE7_NX T_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane7 帧 起始同步码配置寄存器	9-352
0x1584	LVDS0_LANE7_NX T_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane7 帧 起始同步码配置寄存器	9-352
0x1588	LVDS0_LANE7_NX T_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane7 帧 结束同步码配置寄存器	9-353
0x158C	LVDS0_LANE7_NX T_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane7 帧 结束同步码配置寄存器	9-353
0x1590	LVDS0_LANE7_NX T_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane7 行 起始同步码配置寄存器	9-354
0x1594	LVDS0_LANE7_NX T_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane7 行 起始同步码配置寄存器	9-354
0x1598	LVDS0_LANE7_NX T_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane7 行 结束同步码配置寄存器	9-355
0x159C	LVDS0_LANE7_NX T_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane7 行 结束同步码配置寄存器	9-355
0x15A0	LVDS0_LANE8_NX T_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane8 帧 起始同步码配置寄存器	9-356
0x15A4	LVDS0_LANE8_NX T_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane8 帧 起始同步码配置寄存器	9-356
0x15A8	LVDS0_LANE8_NX T_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane8 帧 结束同步码配置寄存器	9-357
0x15AC	LVDS0_LANE8_NX T_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane8 帧 结束同步码配置寄存器	9-357
0x15B0	LVDS0_LANE8_NX T_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane8 行 起始同步码配置寄存器	9-358
0x15B4	LVDS0_LANE8_NX T_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane8 行 起始同步码配置寄存器	9-358
0x15B8	LVDS0_LANE8_NX T_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane8 行 结束同步码配置寄存器	9-359



偏移地址	名称	描述	页码
0x15BC	LVDS0_LANE8_NX T_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane8 行 结束同步码配置寄存器	9-359
0x15C0	LVDS0_LANE9_NX T_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane9 帧 起始同步码配置寄存器	9-360
0x15C4	LVDS0_LANE9_NX T_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane9 帧 起始同步码配置寄存器	9-360
0x15C8	LVDS0_LANE9_NX T_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane9 帧 结束同步码配置寄存器	9-361
0x15CC	LVDS0_LANE9_NX T_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane9 帧 结束同步码配置寄存器	9-361
0x15D0	LVDS0_LANE9_NX T_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane9 行 起始同步码配置寄存器	9-362
0x15D4	LVDS0_LANE9_NX T_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane9 行 起始同步码配置寄存器	9-362
0x15D8	LVDS0_LANE9_NX T_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane9 行 结束同步码配置寄存器	9-363
0x15DC	LVDS0_LANE9_NX T_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane9 行 结束同步码配置寄存器	9-363
0x15E0	LVDS0_LANE10_N XT_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane10 帧起始同步码配置寄存器	9-364
0x15E4	LVDS0_LANE10_N XT_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane10 帧起始同步码配置寄存器	9-364
0x15E8	LVDS0_LANE10_N XT_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane10 帧结束同步码配置寄存器	9-365
0x15EC	LVDS0_LANE10_N XT_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane10 帧结束同步码配置寄存器	9-365
0x15F0	LVDS0_LANE10_N XT_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane10 行起始同步码配置寄存器	9-366
0x15F4	LVDS0_LANE10_N XT_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane10 行起始同步码配置寄存器	9-366
0x15F8	LVDS0_LANE10_N XT_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane10 行结束同步码配置寄存器	9-367
0x15FC	LVDS0_LANE10_N XT_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane10 行结束同步码配置寄存器	9-367
0x1600	LVDS0_LANE11_N XT_SOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane11 帧起始同步码配置寄存器	9-368



偏移地址	名称	描述	页码
0x1604	LVDS0_LANE11_N XT_SOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane11 帧起始同步码配置寄存器	9-368
0x1608	LVDS0_LANE11_N XT_EOF_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane11 帧结束同步码配置寄存器	9-369
0x160C	LVDS0_LANE11_N XT_EOF_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane11 帧结束同步码配置寄存器	9-369
0x1610	LVDS0_LANE11_N XT_SOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane11 行起始同步码配置寄存器	9-370
0x1614	LVDS0_LANE11_N XT_SOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane11 行起始同步码配置寄存器	9-370
0x1618	LVDS0_LANE11_N XT_EOL_01	LVDS/HiSPi 模式下, 第 N+1 帧 lane11 行结束同步码配置寄存器	9-371
0x161C	LVDS0_LANE11_N XT_EOL_23	LVDS/HiSPi 模式下, 第 N+1 帧 lane11 行结束同步码配置寄存器	9-371
0x1620	LVDS0_LI_WORD0	LVDS DOL 模式第 0 帧 LI 寄存器	9-372
0x1624	LVDS0_LI_WORD1	LVDS DOL 模式第 1 帧 LI 寄存器	9-372
0x1628	LVDS0_LI_WORD2	LVDS DOL 模式第 2 帧 LI 寄存器	9-373
0x162C	LVDS0_LI_WORD3	LVDS DOL 模式第 3 帧 LI 寄存器	9-373
0x1680	LVDS0_IMGSIZE0_ STATIS	LVDS LEF 图像宽高统计寄存器	9-374
0x1684	LVDS0_IMGSIZE1_ STATIS	LVDS SEF1 图像宽高统计寄存器	9-374
0x1688	LVDS0_IMGSIZE2_ STATIS	LVDS SEF2 图像宽高统计寄存器	9-374
0x168C	LVDS0_IMGSIZE3_ STATIS	LVDS SEF3 图像宽高统计寄存器	9-375
0x16F0	LVDS0_CTRL_INT_ RAW	LVDS 读数据原始中断状态寄存器	9-375
0x16F4	LVDS0_CTRL_INT	LVDS 读数据中断状态寄存器	9-378
0x16F8	LVDS0_CTRL_INT_ MSK	LVDS 读数据中断屏蔽寄存器	9-381
0x1700	LANE_ID0_CHN0	Link0 各个 LANE 优先级配置寄存器	9-384
0x1704	LANE_ID1_CHN0	Link1 各个 LANE 优先级配置寄存器	9-385
0x1708	LANE_ID2_CHN0	Link2 各个 LANE 优先级配置寄存器	9-386





偏移地址	名称	描述	页码
0x17F0	ALIGN0_INT_RAW	MIPI_ALIGN 原始中断状态寄存器	9-386
0x17F4	ALIGN0_INT	MIPI_ALIGN 中断状态寄存器	9-388
0x17F8	ALIGN0_INT_MSK	MIPI_ALIGN 中断屏蔽寄存器	9-390

### 9.3.6 MIPI 寄存器描述

#### PHY\_MODE\_LINK0

PHY\_MODE\_LINK0 为 Link0 PHY 工作模式寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0000	PHY_MODE_LINK0	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	phy0_rg_mipi_mode reserved phy0_rg_ext_clk_en reserved phy0_rg_facclk_en reserved phy0_rg_en_lp reserved phy0_rg_en_cmos reserved phy0_rg_en_clk phy0_rg_en_d	
Reset	0 0		
Bits	Access	Name	Description
[31:25]	RO	reserved	保留。
[24]	RW	phy0_rg_mipi_mode	MIPI/LVDS 输入模式选择。当 PHY 工作于 LVDS 模式且 Common voltage 大于等于 1.25V 时设置为 0。 0: Common voltage 在 1.25V 以上; 1: Common voltage 在 1.25V 或以下。
[23:21]	RO	reserved	保留。
[20]	RW	phy0_rg_ext_clk_en	差分时钟源选择。 0: 选择 PAD 输入差分时钟; 1: 选择其他 Link 的差分时钟。
[19:17]	RO	reserved	保留。
[16]	RW	phy0_rg_facclk_en	PHY 输出数据的随路时钟相位。 0: 时钟上升沿输出数据; 1: 时钟下降沿输出数据。



[15:13]	RO	reserved	保留。
[12]	RW	phy0_rg_en_lp	LP 模式使能。MIPI 模式时使能，其他模式时禁止。 0: 关闭 PHY 的 LP 模式； 1: 使能 PHY 的 LP 模式。
[11:9]	RO	reserved	保留。
[8]	RW	phy0_rg_en_cmos	CMOS 模式使能。 0: 不使能 PHY 的 CMOS 模式； 1: 使能 PHY 的 CMOS 模式。
[7:5]	RO	reserved	保留。
[4]	RW	phy0_rg_en_clk	Clock Lane 使能。 0: 禁止 Clock Lane； 1: 使能 Clock Lane。
[3:0]	RW	phy0_rg_en_d	Data Lane 使能。 0: 禁止相应的 Data Lane； 1: 使能相应的 Data Lane。

## PHY\_SKEW\_LINK0

PHY\_SKEW\_LINK0 为 Link0 PHY 通道延迟调节寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				PHY_SKEW_LINK0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								phy0_d3_skew	reserved	phy0_d2_skew	reserved	phy0_d1_skew	reserved	phy0_d0_skew	reserved	phy0_clk_skew															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:19]			[18:16]			[15]																									
Access	RO			RW			RO																									
Name	reserved			phy0_d3_skew			reserved																									
Description	保留。			Data lane 3 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。			保留。																									



[14:12]	RW	phy0_d2_skew	Data lane 2 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。
[11]	RO	reserved	保留。
[10:8]	RW	phy0_d1_skew	Data lane 1 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。
[7]	RO	reserved	保留。
[6:4]	RW	phy0_d0_skew	Data lane 0 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。
[3]	RO	reserved	保留。
[2:0]	RW	phy0_clk_skew	Clock Lane 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。

## PHY\_EN\_LINK0

PHY\_EN\_LINK0 为 Link0 PHY 通道使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0008				PHY_EN_LINK0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																phy0_clk_term_en	phy0_d3_term_en	phy0_d2_term_en	phy0_d1_term_en	phy0_d0_term_en	phy0_da_d3_valid	phy0_da_d2_valid	phy0_da_d1_valid	phy0_da_d0_valid							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:9]	RO		reserved		保留。																											
[8]	RW		phy0_clk_term_en		Clock Lane 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。																											
[7]	RW		phy0_d3_term_en		Data lane3 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。																											



[6]	RW	phy0_d2_term_en	Data lane2 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。
[5]	RW	phy0_d1_term_en	Data lane1 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。
[4]	RW	phy0_d0_term_en	Data lane0 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。
[3]	RW	phy0_da_d3_valid	Data lane3 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。
[2]	RW	phy0_da_d2_valid	Data lane2 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。
[1]	RW	phy0_da_d1_valid	Data lane1 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。
[0]	RW	phy0_da_d0_valid	Data lane0 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。

## PHY\_DATA\_LINK0

PHY\_DATA\_LINK0 为 Link0 PHY 输出的并行数据寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0018				PHY_DATA_LINK0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	phy0_data3_mipi				phy0_data2_mipi				phy0_data1_mipi				phy0_data0_mipi																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		phy0_data3_mipi		Data Lane3 接收到的数据。																											
[23:16]	RO		phy0_data2_mipi		Data Lane2 接收到的数据。																											
[15:8]	RO		phy0_data1_mipi		Data Lane1 接收到的数据。																											



Offset Address		Register Name		Total Reset Value					
0x0018		PHY_DATA_LINK0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	phy0_data3_mipi		phy0_data2_mipi		phy0_data1_mipi		phy0_data0_mipi		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[7:0]	RO	phy0_data0_mipi	Data Lane0 接收到的数据。						

## PHY\_PH\_MIPI\_LINK0

PHY\_PH\_MIPI\_LINK0 为 Link0 MIPI 数据包头寄存器。

Offset Address		Register Name		Total Reset Value					
0x001C		PHY_PH_MIPI_LINK0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	phy0_ph3_mipi		phy0_ph2_mipi		phy0_ph1_mipi		phy0_ph0_mipi		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	phy0_ph3_mipi	Data Lane3 接收到的数据包头。						
[23:16]	RO	phy0_ph2_mipi	Data Lane2 接收到的数据包头。						
[15:8]	RO	phy0_ph1_mipi	Data Lane1 接收到的数据包头。						
[7:0]	RO	phy0_ph0_mipi	Data Lane0 接收到的数据包头。						

## PHY\_DATA\_MIPI\_LINK0

PHY\_DATA\_MIPI\_LINK0 为 Link0 MIPI 模式数据寄存器。

Offset Address		Register Name		Total Reset Value					
0x0020		PHY_DATA_MIPI_LINK0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	phy0_data3_mipi_hs		phy0_data2_mipi_hs		phy0_data1_mipi_hs		phy0_data0_mipi_hs		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	phy0_data3_mipi_h s	Data Lane3 MIPI 格式的数据。						



Offset Address		Register Name		Total Reset Value				
0x0020		PHY_DATA_MIPI_LINK0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	phy0_data3_mipi_hs		phy0_data2_mipi_hs		phy0_data1_mipi_hs		phy0_data0_mipi_hs	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[23:16]	RO	phy0_data2_mipi_hs	Data Lane2 MIPI 格式的数据。					
[15:8]	RO	phy0_data1_mipi_hs	Data Lane1 MIPI 格式的数据。					
[7:0]	RO	phy0_data0_mipi_hs	Data Lane0 MIPI 格式的数据。					

## PHY\_SYNC\_DCT\_LINK0

PHY\_SYNC\_DCT\_LINK0 为 Link0 PHY LVDS 模式同步头检测控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x0024		PHY_SYNC_DCT_LINK0		0x0000_0101							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						ci10_code_big_endian	reserved	ci10_split_mode	reserved	ci10_raw_type
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1			
Bits	Access	Name	Description								
[31:9]	RO	reserved	保留。								
[8]	RW	ci10_code_big_endian	LVDS/HiSPi 模式下，传输的 RAW data 同步码(sync_code)的串行比特位传输顺序。 0: LSB，低比特先传，实际收到的同步码(sync_code)串行数据顺序为 bit0, bit1, ...bit11; 1: MSB，高比特先传，实际收到的同步码(sync_code)串行数据顺序为 bit11, bit10, ...bit0。								
[7]	RO	reserved	保留。								



[6:4]	RW	cil0_split_mode	LVDS/HiSPi Sync Code 传输类型。 000: Per Lane 模式; 其他: 保留。
[3]	RO	reserved	保留。
[2:0]	RW	cil0_raw_type	LVDS/HiSPi 模式下, 传输的 RAW data type。 001: Raw 8bit; 010: Raw 10bit; 011: Raw 12bit; 100: Raw 14bit; 101: Raw 16bit。 其他: 保留。

### PHY\_SYNC\_CODE0\_LINK0

PHY\_SYNC\_CODE0\_LINK0 为 Link0 PHY LVDS 模式同步头寄存器 0。

	Offset Address	Register Name	Total Reset Value	
	0x0030	PHY_SYNC_CODE0_LINK0	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	cil0_sof1_word4_0			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
Bits	Access	Name	Description	
[31:16]	RW	cil0_sof1_word4_0	Lane0 帧起始同步码(N+1 Frame)。	
[15:0]	RW	cil0_sof0_word4_0	Lane0 帧起始同步码(N Frame)。	

### PHY\_SYNC\_CODE1\_LINK0

PHY\_SYNC\_CODE1\_LINK0 为 Link0 PHY LVDS 模式同步头寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x0034		PHY_SYNC_CODE1_LINK0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cil0_sof1_word4_1				cil0_sof0_word4_1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cil0_sof1_word4_1	Lane1 帧起始同步码(N+1 Frame)。					
[15:0]	RW	cil0_sof0_word4_1	Lane1 帧起始同步码(N Frame)。					

### PHY\_SYNC\_CODE2\_LINK0

PHY\_SYNC\_CODE2\_LINK0 为 Link0 PHY LVDS 模式同步头寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0038		PHY_SYNC_CODE2_LINK0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cil0_sof1_word4_2				cil0_sof0_word4_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cil0_sof1_word4_2	Lane2 帧起始同步码(N+1 Frame)。					
[15:0]	RW	cil0_sof0_word4_2	Lane2 帧起始同步码(N Frame)。					

### PHY\_SYNC\_CODE3\_LINK0

PHY\_SYNC\_CODE3\_LINK0 为 Link0 PHY LVDS 模式同步头寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x003C		PHY_SYNC_CODE3_LINK0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cil0_sof1_word4_3				cil0_sof0_word4_3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cil0_sof1_word4_3	Lane3 帧起始同步码(N+1 Frame)。					
[15:0]	RW	cil0_sof0_word4_3	Lane3 帧起始同步码(N Frame)。					





## MIPI\_CIL\_INT\_RAW\_LINK0

MIPI\_CIL\_INT\_RAW\_LINK0 为 Link0 MIPI CIL 原始中断状态寄存器。

Offset Address		Register Name		Total Reset Value											
0x01F0		MIPI_CIL_INT_RAW_LINK0		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				err0_timeout_ck_raw	err0_timeout_d3_raw	err0_timeout_d2_raw	err0_timeout_d1_raw	err0_timeout_d0_raw	reserved	err0_escape_ck_raw	err0_escape_d3_raw	err0_escape_d2_raw	err0_escape_d1_raw	err0_escape_d0_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description												
[31:13]	RO	reserved	保留。												
[12]	WC	err0_timeout_ck_raw	Clock Lane FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[11]	WC	err0_timeout_d3_raw	Data Lane3 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[10]	WC	err0_timeout_d2_raw	Data Lane2 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[9]	WC	err0_timeout_d1_raw	Data Lane1 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[8]	WC	err0_timeout_d0_raw	Data Lane0 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[7:5]	RO	reserved	保留。												



[4]	WC	err0_escape_ck_raw	Clock Lane escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[3]	WC	err0_escape_d3_raw	Data Lane3 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[2]	WC	err0_escape_d2_raw	Data Lane2 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[1]	WC	err0_escape_d1_raw	Data Lane1 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[0]	WC	err0_escape_d0_raw	Data Lane0 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。

## MIPI\_CIL\_INT\_LINK0

MIPI\_CIL\_INT\_LINK0 为 Link0 MIPI CIL 中断状态寄存器。

	Offset Address 0x01F4				Register Name MIPI_CIL_INT_LINK0								Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												err0_timeout_ck_st	err0_timeout_d3_st	err0_timeout_d2_st	err0_timeout_d1_st	err0_timeout_d0_st	reserved				err0_escape_ck_st	err0_escape_d3_st	err0_escape_d2_st	err0_escape_d1_st	err0_escape_d0_st										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:13]	RO		reserved		保留。																															
[12]	RO		err0_timeout_ck_st		Clock Lane FSM timeout 中断状态。 0: 无中断; 1: 有中断。																															



[11]	RO	err0_timeout_d3_st	Data Lane3 FSM timeout 中断状态。 0: 无中断; 1: 有中断。
[10]	RO	err0_timeout_d2_st	Data Lane2 FSM timeout 中断状态。 0: 无中断; 1: 有中断。
[9]	RO	err0_timeout_d1_st	Data Lane1 FSM timeout 中断状态。 0: 无中断; 1: 有中断。
[8]	RO	err0_timeout_d0_st	Data Lane0 FSM timeout 中断状态。 0: 无中断; 1: 有中断。
[7:5]	RO	reserved	保留。
[4]	RO	err0_escape_ck_st	Clock Lane escape 序列中断状态。 0: 无中断; 1: 有中断。
[3]	RO	err0_escape_d3_st	Data Lane3 escape 序列中断状态。 0: 无中断; 1: 有中断。
[2]	RO	err0_escape_d2_st	Data Lane2 escape 序列中断状态。 0: 无中断; 1: 有中断。
[1]	RO	err0_escape_d1_st	Data Lane1 escape 序列中断状态。 0: 无中断; 1: 有中断。
[0]	RO	err0_escape_d0_st	Data Lane0 escape 序列中断状态。 0: 无中断; 1: 有中断。

## MIPI\_CIL\_INT\_MSK\_LINK0

MIPI\_CIL\_INT\_MSK\_LINK0 为 Link0 MIPI CIL 中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value																																																				
0x01F8		MIPI_CIL_INT_MSK_LINK0		0x0000_0000																																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																								
Name	reserved												err0_timeout_ck_msk				err0_timeout_d3_msk				err0_timeout_d2_msk				err0_timeout_d1_msk				err0_timeout_d0_msk				reserved				err0_escape_ck_msk				err0_escape_d3_msk				err0_escape_d2_msk				err0_escape_d1_msk				err0_escape_d0_msk			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0															
Bits	Access	Name	Description																																																					
[31:13]	RO	reserved	保留。																																																					
[12]	RW	err0_timeout_ck_msk	Clock Lane FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																																					
[11]	RW	err0_timeout_d3_msk	Data Lane3 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																																					
[10]	RW	err0_timeout_d2_msk	Data Lane2 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																																					
[9]	RW	err0_timeout_d1_msk	Data Lane1 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																																					
[8]	RW	err0_timeout_d0_msk	Data Lane0 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																																					
[7:5]	RO	reserved	保留。																																																					
[4]	RW	err0_escape_ck_msk	Clock Lane escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																																					
[3]	RW	err0_escape_d3_msk	Data Lane3 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																																					



[2]	RW	err0_escape_d2_mask	Data Lane2 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	err0_escape_d1_mask	Data Lane1 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	err0_escape_d0_mask	Data Lane0 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。

## PHY\_MODE\_LINK1

PHY\_MODE\_LINK1 为 Link1 PHY 工作模式寄存器。

	Offset Address 0x0200				Register Name PHY_MODE_LINK1								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				phy1_rg_mipi_mode	reserved			phy1_rg_ext_clk_en	reserved	phy1_rg_facclk_en	reserved	phy1_rg_en_lp	reserved	phy1_rg_en_emos	reserved	phy1_rg_en_clk	phy1_rg_en_d														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:25]	RO		reserved		保留。																											
[24]	RW		phy1_rg_mipi_mode		MIPI/LVDS 输入模式选择。当 PHY 工作于 LVDS 模式且 Common voltage 大于等于 1.25V 时设置为 0。 0: Common voltage 在 1.25V 以上; 1: Common voltage 在 1.25V 或以下。																											
[23:21]	RO		reserved		保留。																											
[20]	RW		phy1_rg_ext_clk_en		差分时钟源选择。 0: 选择 PAD 输入差分时钟; 1: 选择其他 Link 的差分时钟。																											
[19:17]	RO		reserved		保留。																											



[16]	RW	phy1_rg_facclk_en	PHY 输出数据的随路时钟相位。 0: 时钟上升沿输出数据; 1: 时钟下降沿输出数据。
[15:13]	RO	reserved	保留。
[12]	RW	phy1_rg_en_lp	LP 模式使能。MIPI 模式时使能, 其他模式时禁止。 0: 关闭 PHY 的 LP 模式; 1: 使能 PHY 的 LP 模式。
[11:9]	RO	reserved	保留。
[8]	RW	phy1_rg_en_cmos	CMOS 模式使能。 0: 不使能 PHY 的 CMOS 模式; 1: 使能 PHY 的 CMOS 模式。
[7:5]	RO	reserved	保留。
[4]	RW	phy1_rg_en_clk	Clock Lane 使能。 0: 禁止 Clock Lane; 1: 使能 Clock Lane。
[3:0]	RW	phy1_rg_en_d	Data Lane 使能。 0: 禁止相应的 Data Lane; 1: 使能相应的 Data Lane。

## PHY\_SKEW\_LINK1

PHY\_SKEW\_LINK1 为 Link1 PHY 通道延迟调节寄存器。

	Offset Address	Register Name	Total Reset Value										
	0x0204	PHY_SKEW_LINK1	0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				phy1_d3_skew	reserved	phy1_d2_skew	reserved	phy1_d1_skew	reserved	phy1_d0_skew	reserved	phy1_clk_skew
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description									
	[31:19]	RO	reserved	保留。									



[18:16]	RW	phy1_d3_skew	Data lane 3 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。
[15]	RO	reserved	保留。
[14:12]	RW	phy1_d2_skew	Data lane 2 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。
[11]	RO	reserved	保留。
[10:8]	RW	phy1_d1_skew	Data lane 1 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。
[7]	RO	reserved	保留。
[6:4]	RW	phy1_d0_skew	Data lane 0 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。
[3]	RO	reserved	保留。
[2:0]	RW	phy1_clk_skew	Clock Lane 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。

## PHY\_EN\_LINK1

PHY\_EN\_LINK1 为 Link1 PHY 通道使能寄存器。

	Offset Address	Register Name	Total Reset Value																	
	0x0208	PHY_EN_LINK1	0x0000_0000																	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																			
Name	reserved											phy1_clk_term_en	phy1_d3_term_en	phy1_d2_term_en	phy1_d1_term_en	phy1_d0_term_en	phy1_da_d3_valid	phy1_da_d2_valid	phy1_da_d1_valid	phy1_da_d0_valid
Reset	0 0																			
Bits	Access	Name	Description																	
[31:9]	RO	reserved	保留。																	
[8]	RW	phy1_clk_term_en	Clock Lane 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。																	



[7]	RW	phy1_d3_term_en	Data lane3 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。
[6]	RW	phy1_d2_term_en	Data lane2 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。
[5]	RW	phy1_d1_term_en	Data lane1 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。
[4]	RW	phy1_d0_term_en	Data lane0 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。
[3]	RW	phy1_da_d3_valid	Data lane3 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。
[2]	RW	phy1_da_d2_valid	Data lane2 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。
[1]	RW	phy1_da_d1_valid	Data lane1 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。
[0]	RW	phy1_da_d0_valid	Data lane0 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。

## PHY\_DATA\_LINK1

PHY\_DATA\_LINK1 为 Link1 PHY 输出的并行数据寄存器。





	Offset Address				Register Name				Total Reset Value																							
	0x0218				PHY_DATA_LINK1				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	phy1_data3_mipi				phy1_data2_mipi				phy1_data1_mipi				phy1_data0_mipi																			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0															
Bits	Access	Name	Description																													
[31:24]	RO	phy1_data3_mipi	Data Lane3 接收到的数据。																													
[23:16]	RO	phy1_data2_mipi	Data Lane2 接收到的数据。																													
[15:8]	RO	phy1_data1_mipi	Data Lane1 接收到的数据。																													
[7:0]	RO	phy1_data0_mipi	Data Lane0 接收到的数据。																													

### PHY\_PH\_MIPI\_LINK1

PHY\_PH\_MIPI\_LINK1 为 Link1 MIPI 数据包头寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x021C				PHY_PH_MIPI_LINK1				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	phy1_ph3_mipi				phy1_ph2_mipi				phy1_ph1_mipi				phy1_ph0_mipi																			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0															
Bits	Access	Name	Description																													
[31:24]	RO	phy1_ph3_mipi	Data Lane3 接收到的数据包头。																													
[23:16]	RO	phy1_ph2_mipi	Data Lane2 接收到的数据包头。																													
[15:8]	RO	phy1_ph1_mipi	Data Lane1 接收到的数据包头。																													
[7:0]	RO	phy1_ph0_mipi	Data Lane0 接收到的数据包头。																													

### PHY\_DATA\_MIPI\_LINK1

PHY\_DATA\_MIPI\_LINK1 为 Link1 MIPI 模式数据寄存器。



Offset Address		Register Name		Total Reset Value					
0x0220		PHY_DATA_MIPI_LINK1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	phy1_data3_mipi_hs		phy1_data2_mipi_hs		phy1_data1_mipi_hs		phy1_data0_mipi_hs		
Reset	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		
Bits	Access	Name	Description						
[31:24]	RO	phy1_data3_mipi_hs	Data Lane3 MIPI 格式的数据。						
[23:16]	RO	phy1_data2_mipi_hs	Data Lane2 MIPI 格式的数据。						
[15:8]	RO	phy1_data1_mipi_hs	Data Lane1 MIPI 格式的数据。						
[7:0]	RO	phy1_data0_mipi_hs	Data Lane0 MIPI 格式的数据。						

## PHY\_SYNC\_DCT\_LINK1

PHY\_SYNC\_DCT\_LINK1 为 Link1 PHY LVDS 模式同步头检测控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x0224		PHY_SYNC_DCT_LINK1		0x0000_0101							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						cil1_code_big_endian	reserved	cil1_split_mode	reserved	cil1_raw_type
Reset	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 1		
Bits	Access	Name	Description								
[31:9]	RO	reserved	保留。								
[8]	RW	cil1_code_big_endian	LVDS/HiSPi 模式下，传输的 RAW data 同步码(sync_code)的串行比特位传输顺序。 0: LSB, 低比特先传，实际收到的同步码(sync_code)串行数据顺序为 bit0, bit1, ...bit11; 1: MSB, 高比特先传，实际收到的同步码(sync_code)串行数据顺序为 bit11, bit10, ...bit0。								



[7]	RO	reserved	保留。
[6:4]	RW	cil1_split_mode	LVDS/HiSPi Sync Code 传输类型。 000: Per Lane 模式; 其他: 保留。
[3]	RO	reserved	保留。
[2:0]	RW	cil1_raw_type	LVDS/HiSPi 模式下, 传输的 RAW data type。 001: Raw 8bit; 010: Raw 10bit; 011: Raw 12bit; 100: Raw 14bit; 101: Raw 16bit。 其他: 保留。

### PHY\_SYNC\_CODE0\_LINK1

PHY\_SYNC\_CODE0\_LINK1 为 Link1 PHY LVDS 模式同步头寄存器 0。

	Offset Address	Register Name	Total Reset Value	
	0x0230	PHY_SYNC_CODE0_LINK1	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	cil1_sof1_word4_0			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
Bits	Access	Name	Description	
[31:16]	RW	cil1_sof1_word4_0	Lane0 帧起始同步码(N+1 Frame)。	
[15:0]	RW	cil1_sof0_word4_0	Lane0 帧起始同步码(N Frame)。	

### PHY\_SYNC\_CODE1\_LINK1

PHY\_SYNC\_CODE1\_LINK1 为 Link1 PHY LVDS 模式同步头寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x0234		PHY_SYNC_CODE1_LINK1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cil1_sof1_word4_1				cil1_sof0_word4_1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cil1_sof1_word4_1	Lane1 帧起始同步码(N+1 Frame)。					
[15:0]	RW	cil1_sof0_word4_1	Lane1 帧起始同步码(N Frame)。					

### PHY\_SYNC\_CODE2\_LINK1

PHY\_SYNC\_CODE2\_LINK1 为 Link1 PHY LVDS 模式同步头寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0238		PHY_SYNC_CODE2_LINK1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cil1_sof1_word4_2				cil1_sof0_word4_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cil1_sof1_word4_2	Lane2 帧起始同步码(N+1 Frame)。					
[15:0]	RW	cil1_sof0_word4_2	Lane2 帧起始同步码(N Frame)。					

### PHY\_SYNC\_CODE3\_LINK1

PHY\_SYNC\_CODE3\_LINK1 为 Link1 PHY LVDS 模式同步头寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x023C		PHY_SYNC_CODE3_LINK1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cil1_sof1_word4_3				cil1_sof0_word4_3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cil1_sof1_word4_3	Lane3 帧起始同步码(N+1 Frame)。					
[15:0]	RW	cil1_sof0_word4_3	Lane3 帧起始同步码(N Frame)。					



## MIPI\_CIL\_INT\_RAW\_LINK1

MIPI\_CIL\_INT\_RAW\_LINK1 为 Link1 MIPI CIL 原始中断状态寄存器。

	Offset Address	Register Name	Total Reset Value												
	0x03F0	MIPI_CIL_INT_RAW_LINK1	0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				err1_timeout_ck_raw	err1_timeout_d3_raw	err1_timeout_d2_raw	err1_timeout_d1_raw	err1_timeout_d0_raw	reserved	err1_escape_ck_raw	err1_escape_d3_raw	err1_escape_d2_raw	err1_escape_d1_raw	err1_escape_d0_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description												
[31:13]	RO	reserved	保留。												
[12]	WC	err1_timeout_ck_raw	Clock Lane FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[11]	WC	err1_timeout_d3_raw	Data Lane3 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[10]	WC	err1_timeout_d2_raw	Data Lane2 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[9]	WC	err1_timeout_d1_raw	Data Lane1 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[8]	WC	err1_timeout_d0_raw	Data Lane0 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												
[7:5]	RO	reserved	保留。												



[4]	WC	err1_escape_ck_raw	Clock Lane escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[3]	WC	err1_escape_d3_raw	Data Lane3 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[2]	WC	err1_escape_d2_raw	Data Lane2 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[1]	WC	err1_escape_d1_raw	Data Lane1 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[0]	WC	err1_escape_d0_raw	Data Lane0 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。

## MIPI\_CIL\_INT\_LINK1

MIPI\_CIL\_INT\_LINK1 为 Link1 MIPI CIL 中断状态寄存器。

	Offset Address 0x03F4				Register Name MIPI_CIL_INT_LINK1								Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												err1_timeout_ck_st	err1_timeout_d3_st	err1_timeout_d2_st	err1_timeout_d1_st	err1_timeout_d0_st	reserved	err1_escape_ck_st	err1_escape_d3_st	err1_escape_d2_st	err1_escape_d1_st	err1_escape_d0_st													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																																
	[31:13]	RO	reserved	保留。																																
	[12]	RO	err1_timeout_ck_st	Clock Lane FSM timeout 中断状态。 0: 无中断; 1: 有中断。																																



Offset Address		Register Name		Total Reset Value																												
0x03F4		MIPI_CIL_INT_LINK1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												err1_timeout_ck_st	err1_timeout_d3_st	err1_timeout_d2_st	err1_timeout_d1_st	err1_timeout_d0_st	reserved	err1_escape_ck_st	err1_escape_d3_st	err1_escape_d2_st	err1_escape_d1_st	err1_escape_d0_st									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[11]	RO	err1_timeout_d3_st	Data Lane3 FSM timeout 中断状态。 0: 无中断; 1: 有中断。																													
[10]	RO	err1_timeout_d2_st	Data Lane2 FSM timeout 中断状态。 0: 无中断; 1: 有中断。																													
[9]	RO	err1_timeout_d1_st	Data Lane1 FSM timeout 中断状态。 0: 无中断; 1: 有中断。																													
[8]	RO	err1_timeout_d0_st	Data Lane0 FSM timeout 中断状态。 0: 无中断; 1: 有中断。																													
[7:5]	RO	reserved	保留。																													
[4]	RO	err1_escape_ck_st	Clock Lane escape 序列中断状态。 0: 无中断; 1: 有中断。																													
[3]	RO	err1_escape_d3_st	Data Lane3 escape 序列中断状态。 0: 无中断; 1: 有中断。																													
[2]	RO	err1_escape_d2_st	Data Lane2 escape 序列中断状态。 0: 无中断; 1: 有中断。																													



Offset Address		Register Name		Total Reset Value											
0x03F4		MIPI_CIL_INT_LINK1		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				err1_timeout_ck_st	err1_timeout_d3_st	err1_timeout_d2_st	err1_timeout_d1_st	err1_timeout_d0_st	reserved	err1_escape_ck_st	err1_escape_d3_st	err1_escape_d2_st	err1_escape_d1_st	err1_escape_d0_st
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description												
[1]	RO	err1_escape_d1_st	Data Lane1 escape 序列中断状态。 0: 无中断; 1: 有中断。												
[0]	RO	err1_escape_d0_st	Data Lane0 escape 序列中断状态。 0: 无中断; 1: 有中断。												

### MIPI\_CIL\_INT\_MSK\_LINK1

MIPI\_CIL\_INT\_MSK\_LINK1 为 Link1 MIPI CIL 中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value											
0x03F8		MIPI_CIL_INT_MSK_LINK1		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				err1_timeout_ck_msk	err1_timeout_d3_msk	err1_timeout_d2_msk	err1_timeout_d1_msk	err1_timeout_d0_msk	reserved	err1_escape_ck_msk	err1_escape_d3_msk	err1_escape_d2_msk	err1_escape_d1_msk	err1_escape_d0_msk
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description												
[31:13]	RO	reserved	保留。												





[12]	RW	err1_timeout_ck_msk	Clock Lane FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[11]	RW	err1_timeout_d3_msk	Data Lane3 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[10]	RW	err1_timeout_d2_msk	Data Lane2 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[9]	RW	err1_timeout_d1_msk	Data Lane1 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[8]	RW	err1_timeout_d0_msk	Data Lane0 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[7:5]	RO	reserved	保留。
[4]	RW	err1_escape_ck_msk	Clock Lane escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[3]	RW	err1_escape_d3_msk	Data Lane3 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[2]	RW	err1_escape_d2_msk	Data Lane2 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	err1_escape_d1_msk	Data Lane1 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	err1_escape_d0_msk	Data Lane0 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。

## PHY\_MODE\_LINK2

PHY\_MODE\_LINK2 为 Link2 PHY 工作模式寄存器。



Offset Address		Register Name		Total Reset Value									
0x0400		PHY_MODE_LINK2		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved	phy2_rg_mipi_mode	reserved	phy2_rg_ext_clk_en	reserved	phy2_rg_facclk_en	reserved	phy2_rg_en_lp	reserved	phy2_rg_en_cmos	reserved	phy2_rg_en_clk	phy2_rg_en_d
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:25]	RO	reserved	保留。										
[24]	RW	phy2_rg_mipi_mode	MIPI/LVDS 输入模式选择。当 PHY 工作于 LVDS 模式且 Common voltage 大于等于 1.25V 时设置为 0。 0: Common voltage 在 1.25V 以上; 1: Common voltage 在 1.25V 或以下。										
[23:21]	RO	reserved	保留。										
[20]	RW	phy2_rg_ext_clk_en	差分时钟源选择。 0: 选择 PAD 输入差分时钟; 1: 选择其他 Link 的差分时钟。										
[19:17]	RO	reserved	保留。										
[16]	RW	phy2_rg_facclk_en	PHY 输出数据的随路时钟相位。 0: 时钟上升沿输出数据; 1: 时钟下降沿输出数据。										
[15:13]	RO	reserved	保留。										
[12]	RW	phy2_rg_en_lp	LP 模式使能。MIPI 模式时使能, 其他模式时禁止。 0: 关闭 PHY 的 LP 模式; 1: 使能 PHY 的 LP 模式。										
[11:9]	RO	reserved	保留。										
[8]	RW	phy2_rg_en_cmos	CMOS 模式使能。 0: 不使能 PHY 的 CMOS 模式; 1: 使能 PHY 的 CMOS 模式。										
[7:5]	RO	reserved	保留。										



[4]	RW	phy2_rg_en_clk	Clock Lane 使能。 0: 禁止 Clock Lane; 1: 使能 Clock Lane。
[3:0]	RW	phy2_rg_en_d	Data Lane 使能。 0: 禁止相应的 Data Lane; 1: 使能相应的 Data Lane。

## PHY\_SKEW\_LINK2

PHY\_SKEW\_LINK2 为 Link2 PHY 通道延迟调节寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x0404	PHY_SKEW_LINK2	0x0000_0000							
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0									
Name	reserved									
		phy2_d3_skew	reserved	phy2_d2_skew	reserved	phy2_d1_skew	reserved	phy2_d0_skew	reserved	phy2_clk_skew
Reset	0 0									
Bits	Access	Name	Description							
[31:19]	RO	reserved	保留。							
[18:16]	RW	phy2_d3_skew	Data lane 3 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。							
[15]	RO	reserved	保留。							
[14:12]	RW	phy2_d2_skew	Data lane 2 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。							
[11]	RO	reserved	保留。							
[10:8]	RW	phy2_d1_skew	Data lane 1 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。							
[7]	RO	reserved	保留。							
[6:4]	RW	phy2_d0_skew	Data lane 0 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。							
[3]	RO	reserved	保留。							



[2:0]	RW	phy2_clk_skew	Clock Lane 的时序延迟调节。此寄存器的值每加 1，相位向后延迟约 62.5ps。
-------	----	---------------	---

## PHY\_EN\_LINK2

PHY\_EN\_LINK2 为 Link2 PHY 通道使能寄存器。

	Offset Address	Register Name	Total Reset Value																						
	0x0408	PHY_EN_LINK2	0x0000_0000																						
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																								
Name	reserved																phy2_clk_term_en	phy2_d3_term_en	phy2_d2_term_en	phy2_d1_term_en	phy2_d0_term_en	phy2_da_d3_valid	phy2_da_d2_valid	phy2_da_d1_valid	phy2_da_d0_valid
Reset	0 0																								
Bits	Access	Name	Description																						
[31:9]	RO	reserved	保留。																						
[8]	RW	phy2_clk_term_en	Clock Lane 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。																						
[7]	RW	phy2_d3_term_en	Data lane3 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。																						
[6]	RW	phy2_d2_term_en	Data lane2 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。																						
[5]	RW	phy2_d1_term_en	Data lane1 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。																						
[4]	RW	phy2_d0_term_en	Data lane0 终接匹配阻抗使能。 0: 关闭内部匹配电阻; 1: 打开内部匹配电阻。																						



[3]	RW	phy2_da_d3_valid	Data lane3 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。
[2]	RW	phy2_da_d2_valid	Data lane2 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。
[1]	RW	phy2_da_d1_valid	Data lane1 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。
[0]	RW	phy2_da_d0_valid	Data lane0 高速模式使能。 0: 高速模式关闭; 1: 高速模式使能。

## PHY\_DATA\_LINK2

PHY\_DATA\_LINK2 为 Link2 PHY 输出的并行数据寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0418	PHY_DATA_LINK2	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
Name	phy2_data3_mipi	phy2_data2_mipi	phy2_data1_mipi
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	7 6 5 4	3 2 1 0	
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:24]	RO	phy2_data3_mipi	Data Lane3 接收到的数据。
[23:16]	RO	phy2_data2_mipi	Data Lane2 接收到的数据。
[15:8]	RO	phy2_data1_mipi	Data Lane1 接收到的数据。
[7:0]	RO	phy2_data0_mipi	Data Lane0 接收到的数据。

## PHY\_PH\_MIPI\_LINK2

PHY\_PH\_MIPI\_LINK2 为 Link2 MIPI 数据包头寄存器。



Offset Address		Register Name		Total Reset Value				
0x041C		PHY_PH_MIPI_LINK2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	phy2_ph3_mipi		phy2_ph2_mipi		phy2_ph1_mipi		phy2_ph0_mipi	
Reset	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0	
Bits	Access	Name	Description					
[31:24]	RO	phy2_ph3_mipi	Data Lane3 接收到的数据包头。					
[23:16]	RO	phy2_ph2_mipi	Data Lane2 接收到的数据包头。					
[15:8]	RO	phy2_ph1_mipi	Data Lane1 接收到的数据包头。					
[7:0]	RO	phy2_ph0_mipi	Data Lane0 接收到的数据包头。					

## PHY\_DATA\_MIPI\_LINK2

PHY\_DATA\_MIPI\_LINK2 为 Link2 MIPI 模式数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x0420		PHY_DATA_MIPI_LINK2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	phy2_data3_mipi_hs		phy2_data2_mipi_hs		phy2_data1_mipi_hs		phy2_data0_mipi_hs	
Reset	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0	
Bits	Access	Name	Description					
[31:24]	RO	phy2_data3_mipi_h s	Data Lane3 MIPI 格式的数据。					
[23:16]	RO	phy2_data2_mipi_h s	Data Lane2 MIPI 格式的数据。					
[15:8]	RO	phy2_data1_mipi_h s	Data Lane1 MIPI 格式的数据。					
[7:0]	RO	phy2_data0_mipi_h s	Data Lane0 MIPI 格式的数据。					

## PHY\_SYNC\_DCT\_LINK2

PHY\_SYNC\_DCT\_LINK2 为 Link2 PHY LVDS 模式同步头检测控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0424		PHY_SYNC_DCT_LINK2		0x0000_0101																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															cil2_code_big_endian	reserved	cil2_split_mode			reserved	cil2_raw_type										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:9]	RO	reserved	保留。																													
[8]	RW	cil2_code_big_endian	LVDS/HiSPi 模式下，传输的 RAW data 同步码(sync_code)的串行比特位传输顺序。 0: LSB, 低比特先传, 实际收到的同步码(sync_code)串行数据顺序为 bit0, bit1, ...bit11; 1: MSB, 高比特先传, 实际收到的同步码(sync_code)串行数据顺序为 bit11, bit10, ...bit0。																													
[7]	RO	reserved	保留。																													
[6:4]	RW	cil2_split_mode	LVDS/HiSPi Sync Code 传输类型。 000: Per Lane 模式; 其他: 保留。																													
[3]	RO	reserved	保留。																													
[2:0]	RW	cil2_raw_type	LVDS/HiSPi 模式下，传输的 RAW data type。 001: Raw 8bit; 010: Raw 10bit; 011: Raw 12bit; 100: Raw 14bit; 101: Raw 16bit。 其他: 保留。																													

## PHY\_SYNC\_CODE0\_LINK2

PHY\_SYNC\_CODE0\_LINK2 为 Link2 PHY LVDS 模式同步头寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0430		PHY_SYNC_CODE0_LINK2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cil2_sof1_word4_0				cil2_sof0_word4_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cil2_sof1_word4_0	Lane0 帧起始同步码(N+1 Frame)。					
[15:0]	RW	cil2_sof0_word4_0	Lane0 帧起始同步码(N Frame)。					

### PHY\_SYNC\_CODE1\_LINK2

PHY\_SYNC\_CODE1\_LINK2 为 Link2 PHY LVDS 模式同步头寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0434		PHY_SYNC_CODE1_LINK2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cil2_sof1_word4_1				cil2_sof0_word4_1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cil2_sof1_word4_1	Lane1 帧起始同步码(N+1 Frame)。					
[15:0]	RW	cil2_sof0_word4_1	Lane1 帧起始同步码(N Frame)。					

### PHY\_SYNC\_CODE2\_LINK2

PHY\_SYNC\_CODE2\_LINK2 为 Link2 PHY LVDS 模式同步头寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0438		PHY_SYNC_CODE2_LINK2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cil2_sof1_word4_2				cil2_sof0_word4_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cil2_sof1_word4_2	Lane2 帧起始同步码(N+1 Frame)。					
[15:0]	RW	cil2_sof0_word4_2	Lane2 帧起始同步码(N Frame)。					





## PHY\_SYNC\_CODE3\_LINK2

PHY\_SYNC\_CODE3\_LINK2 为 Link2 PHY LVDS 模式同步头寄存器 3。

Offset Address		Register Name		Total Reset Value					
0x043C		PHY_SYNC_CODE3_LINK2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	cil2_sof1_word4_3				cil2_sof0_word4_3				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	cil2_sof1_word4_3	Lane3 帧起始同步码(N+1 Frame)。						
[15:0]	RW	cil2_sof0_word4_3	Lane3 帧起始同步码(N Frame)。						

## MIPI\_CIL\_INT\_RAW\_LINK2

MIPI\_CIL\_INT\_RAW\_LINK2 为 Link2 MIPI CIL 原始中断状态寄存器。

Offset Address		Register Name		Total Reset Value											
0x05F0		MIPI_CIL_INT_RAW_LINK2		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				err2_timeout_ck_raw	err2_timeout_d3_raw	err2_timeout_d2_raw	err2_timeout_d1_raw	err2_timeout_d0_raw	reserved	err2_escape_ck_raw	err2_escape_d3_raw	err2_escape_d2_raw	err2_escape_d1_raw	err2_escape_d0_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description												
[31:13]	RO	reserved	保留。												
[12]	WC	err2_timeout_ck_raw	Clock Lane FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。												



[11]	WC	err2_timeout_d3_raw	Data Lane3 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[10]	WC	err2_timeout_d2_raw	Data Lane2 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[9]	WC	err2_timeout_d1_raw	Data Lane1 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[8]	WC	err2_timeout_d0_raw	Data Lane0 FSM timeout 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[7:5]	RO	reserved	保留。
[4]	WC	err2_escape_ck_raw	Clock Lane escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[3]	WC	err2_escape_d3_raw	Data Lane3 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[2]	WC	err2_escape_d2_raw	Data Lane2 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[1]	WC	err2_escape_d1_raw	Data Lane1 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。
[0]	WC	err2_escape_d0_raw	Data Lane0 escape 序列原始中断状态。 0: 无原始中断; 1: 有原始中断。

## MIPI\_CIL\_INT\_LINK2

MIPI\_CIL\_INT\_LINK2 为 Link2 MIPI CIL 中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x05F4		MIPI_CIL_INT_LINK2		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												err2_timeout_ck_st	err2_timeout_d3_st	err2_timeout_d2_st	err2_timeout_d1_st	err2_timeout_d0_st	reserved	err2_escape_ck_st	err2_escape_d3_st	err2_escape_d2_st	err2_escape_d1_st	err2_escape_d0_st									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:13]	RO	reserved	保留。																													
[12]	RO	err2_timeout_ck_st	Clock Lane FSM timeout 中断状态。 0: 无中断; 1: 有中断。																													
[11]	RO	err2_timeout_d3_st	Data Lane3 FSM timeout 中断状态。 0: 无中断; 1: 有中断。																													
[10]	RO	err2_timeout_d2_st	Data Lane2 FSM timeout 中断状态。 0: 无中断; 1: 有中断。																													
[9]	RO	err2_timeout_d1_st	Data Lane1 FSM timeout 中断状态。 0: 无中断; 1: 有中断。																													
[8]	RO	err2_timeout_d0_st	Data Lane0 FSM timeout 中断状态。 0: 无中断; 1: 有中断。																													
[7:5]	RO	reserved	保留。																													
[4]	RO	err2_escape_ck_st	Clock Lane escape 序列中断状态。 0: 无中断; 1: 有中断。																													
[3]	RO	err2_escape_d3_st	Data Lane3 escape 序列中断状态。 0: 无中断; 1: 有中断。																													



[2]	RO	err2_escape_d2_st	Data Lane2 escape 序列中断状态。 0: 无中断; 1: 有中断。
[1]	RO	err2_escape_d1_st	Data Lane1 escape 序列中断状态。 0: 无中断; 1: 有中断。
[0]	RO	err2_escape_d0_st	Data Lane0 escape 序列中断状态。 0: 无中断; 1: 有中断。

## MIPI\_CIL\_INT\_MSK\_LINK2

MIPI\_CIL\_INT\_MSK\_LINK2 为 Link2 MIPI CIL 中断屏蔽寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x05F8								MIPI_CIL_INT_MSK_LINK2								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																err2_timeout_ck_msk	err2_timeout_d3_msk	err2_timeout_d2_msk	err2_timeout_d1_msk	err2_timeout_d0_msk	reserved				err2_escape_ck_msk	err2_escape_d3_msk	err2_escape_d2_msk	err2_escape_d1_msk	err2_escape_d0_msk						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:13]	RO		reserved		保留。																															
[12]	RW		err2_timeout_ck_msk		Clock Lane FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																															
[11]	RW		err2_timeout_d3_msk		Data Lane3 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																															
[10]	RW		err2_timeout_d2_msk		Data Lane2 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																															



[9]	RW	err2_timeout_d1_mask	Data Lane1 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[8]	RW	err2_timeout_d0_mask	Data Lane0 FSM timeout 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[7:5]	RO	reserved	保留。
[4]	RW	err2_escape_ck_mask	Clock Lane escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[3]	RW	err2_escape_d3_mask	Data Lane3 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[2]	RW	err2_escape_d2_mask	Data Lane2 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	err2_escape_d1_mask	Data Lane1 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	err2_escape_d0_mask	Data Lane0 escape 序列中断状态使能。 0: 屏蔽中断; 1: 使能中断。

## PHY\_CHN\_CTRL

PHY\_CHN\_CTRL 为 PHY 通道控制选择寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0800		PHY_CHN_CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy2_en	phy1_en	phy0_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:3]	RO	reserved		保留。																												
[2]	RW	phy2_en		PHY2 使能控制。 0: PHY2 未使能; 1: PHY2 工作使能。																												
[1]	RW	phy1_en		PHY1 使能控制。 0: PHY1 未使能; 1: PHY1 工作使能。																												
[0]	RW	phy0_en		PHY0 使能控制。 0: PHY0 未使能; 1: PHY0 工作使能。																												

## PHY\_LP\_SELECT

PHY\_LP\_SELECT 为 PHY1 LP 模式信号选择寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0804		PHY_LP_SELECT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								phy1_lp_sel							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:1]	RO	reserved		保留。																												



Offset Address		Register Name		Total Reset Value																												
0x0804		PHY_LP_SELECT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															phy1_lp_sel																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[0]	RW	phy1_lp_sel	PHY1 LP 模式信号选择。 0: PHY1 LP 信号来自于 PHY1; 1: PHY1 LP 信号来自于 PHY0。																													

### MIPI\_MEM\_CTRL

MIPI\_MEM\_CTRL 为 MEMORY 控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x080C		MIPI_MEM_CTRL		0x0000_0331																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											mem_ck_gt	reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	0	1
Bits	Access	Name	Description																													
[31:13]	RO	reserved	保留。																													
[12]	RW	mem_ck_gt	MIPI memory 时钟门控配置寄存器。 0: 关闭时钟门控; 1: 开启时钟门控, 未对 MEMORY 读写时, MEMORY 端口时钟不翻转。																													
[11:0]	RO	reserved	保留。																													



## LANE\_EN

LANE\_EN 为 LANE\_EN 使能寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0x0810				LANE_EN				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																lane11_en	lane10_en	lane9_en	lane8_en	lane7_en	lane6_en	lane5_en	lane4_en	lane3_en	lane2_en	lane1_en	lane0_en								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:12]	RO	reserved	保留。																																	
[11]	RW	lane11_en	Lane11 工作使能。 0: 不使能; 1: 使能。																																	
[10]	RW	lane10_en	Lane10 工作使能。 0: 不使能; 1: 使能。																																	
[9]	RW	lane9_en	Lane9 工作使能。 0: 不使能; 1: 使能。																																	
[8]	RW	lane8_en	Lane8 工作使能。 0: 不使能; 1: 使能。																																	
[7]	RW	lane7_en	Lane7 工作使能。 0: 不使能; 1: 使能。																																	
[6]	RW	lane6_en	Lane6 工作使能。 0: 不使能; 1: 使能。																																	
[5]	RW	lane5_en	Lane5 工作使能。 0: 不使能; 1: 使能。																																	





[4]	RW	lane4_en	Lane4 工作使能。 0: 不使能; 1: 使能。
[3]	RW	lane3_en	Lane3 工作使能。 0: 不使能; 1: 使能。
[2]	RW	lane2_en	Lane2 工作使能。 0: 不使能; 1: 使能。
[1]	RW	lane1_en	Lane1 工作使能。 0: 不使能; 1: 使能。
[0]	RW	lane0_en	Lane0 工作使能。 0: 不使能; 1: 使能。

## MIPI\_PHYCFG\_MODE

MIPI\_PHYCFG\_MODE 为 MIPI PHY 配置模式寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0814				MIPI_PHYCFG_MODE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								mipi0_phycfg_mode							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:2]	RO	reserved		保留。																											



[2:0]	RW	mipi0_phycfg_mod	MIPI0 PHY 配置模式。 000: PHY 的配置受控于 PHYCFG_EN 和 FSM; 001: PHY 的配置受控于 PHYCFG_EN; 010: PHY 的配置直接受控于寄存器的值; 011: PHY 的配置受控于寄存器的值和 FSM。 100: PHY 的配置受控于 PHYCRG_EN 和 FSM, 时钟通道的使能受控于 PHYCFG_EN。 其他: 保留。
-------	----	------------------	---

## MIPI\_PHYCFG\_EN

MIPI\_PHYCFG\_EN 为 MIPI PHY 配置使能寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0818	MIPI_PHYCFG_EN	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		chn0_phycfg_en
Reset	0 0		
Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	WO	chn0_phycfg_en	MIPI0 PHY 配置使能寄存器。 0: 不使能 PHY 的配置; 1: 使能 PHY 的配置。

## MIPI\_CIL\_CTRL

MIPI\_CIL\_CTRL 为 MIPI CIL 控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x081C		MIPI_CIL_CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														clr_en_align	clr_en_lvds	reserved	phycil2_cken	phycil1_cken	phycil0_cken												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5]	RW	clr_en_align	LVDS PRE SYNC 模块的强制置位控制。 0: 关闭 ALIGN 的置位请求; 1: 使能 ALIGN 的置位请求;																													
[4]	RW	clr_en_lvds	LVDS PRE SYNC 模块的强制置位控制。 0: 关闭 LVDS CTRL 的置位请求; 1: 使能 LVDS CTRL 的置位请求;																													
[3]	RO	reserved	保留。																													
[2]	RW	phycil2_cken	PHYCIL2 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[1]	RW	phycil1_cken	PHYCIL1 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	phycil0_cken	PHYCIL0 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													

## MIPI\_SRST\_CFG

MIPI\_SRST\_CFG 为 MIPI CORE 软复位寄存器。



Offset Address		Register Name		Total Reset Value					
0x0820		MIPI_SRST_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								mipi_srst_aux
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	mipi_srst_aux	MIPI CORE 软复位请求。 0: 不复位; 1: 请求软复位。 此复位信号不会影响寄存器的值。						

## MIPI\_CHN0\_INT\_RAW

MIPI\_CHN0\_INT\_RAW 为 MIPI 通道 0 原始中断状态寄存器。

Offset Address		Register Name		Total Reset Value									
0x0EF0		MIPI_CHN0_INT_RAW		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						int_data_align_raw	int_mipi_ctrl_raw	int_mipi_csi_raw	int_lvds_ctrl_raw	int_phycil2_raw	int_phycil1_raw	int_phycil0_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:7]	RO	reserved	保留。										
[6]	WC	int_data_align_raw	MIPI ALIGN 原始中断状态。 0: 无原始中断; 1: 有原始中断。										



[5]	WC	int_mipi_ctrl_raw	MIPI CTRL 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[4]	WC	int_mipi_csi_raw	MIPI CSI2 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[3]	WC	int_lvds_ctrl_raw	LVDS CTRL 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[2]	WC	int_phycil2_raw	PHYCIL2 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[1]	WC	int_phycil1_raw	PHYCIL1 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[0]	WC	int_phycil0_raw	PHYCIL0 原始中断状态。 0: 无原始中断; 1: 有原始中断。

## MIPI\_CHN0\_INT

MIPI\_CHN0\_INT 为 MIPI 通道 0 中断状态寄存器。

	Offset Address	Register Name	Total Reset Value											
	0x0EF4	MIPI_CHN0_INT	0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20											
			19 18 17 16											
			15 14 13 12											
			11 10 9 8											
			7 6 5 4											
			3 2 1 0											
Name	reserved							int_data_align_st	int_mipi_ctrl_st	int_mipi_csi_st	int_lvds_ctrl_st	int_phycil2_st	int_phycil1_st	int_phycil0_st
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description										
	[31:7]	RO	reserved	保留。										



[6]	RO	int_data_align_st	MIPI ALIGN 中断状态。 0: 无中断; 1: 有中断。
[5]	RO	int_mipi_ctrl_st	MIPI CTRL 中断状态。 0: 无中断; 1: 有中断。
[4]	RO	int_mipi_csi_st	MIPI CSI2 中断状态。 0: 无中断; 1: 有中断。
[3]	RO	int_lvds_ctrl_st	LVDS CTRL 中断状态。 0: 无中断; 1: 有中断。
[2]	RO	int_phycil2_st	PHYCIL2 中断状态。 0: 无中断; 1: 有中断。
[1]	RO	int_phycil1_st	PHYCIL1 中断状态。 0: 无中断; 1: 有中断。
[0]	RO	int_phycil0_st	PHYCIL0 中断状态。 0: 无中断; 1: 有中断。

## MIPI\_CHN0\_INT\_MSK

MIPI\_CHN0\_INT\_MSK 为 MIPI 通道 0 中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value																																		
0x0EF8		MIPI_CHN0_INT_MSK		0x0000_0000																																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved																							int_data_align_msk	int_mipi_ctrl_msk	int_mipi_csi_msk	int_lvds_ctrl_msk	int_phycil2_msk	int_phycil1_msk	int_phycil0_msk								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
Bits	Access	Name	Description																																			
[31:7]	RO	reserved	保留。																																			
[6]	RW	int_data_align_msk	MIPI ALIGN 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																			
[5]	RW	int_mipi_ctrl_msk	MIPI CTRL 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																			
[4]	RW	int_mipi_csi_msk	MIPI CSI2 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																			
[3]	RW	int_lvds_ctrl_msk	LVDS CTRL 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																			
[2]	RW	int_phycil2_msk	PHYCIL2 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																			
[1]	RW	int_phycil1_msk	PHYCIL1 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																			
[0]	RW	int_phycil0_msk	PHYCIL0 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																																			



## MIPI0\_LANES\_NUM

MIPI0\_LANES\_NUM 为 MIPI0 数据通道数使能寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x1004								MIPI0_LANES_NUM								0x0000_0003															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								lane_num							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
	<b>Bits</b>	<b>Access</b>	<b>Name</b>		<b>Description</b>																											
	[31:3]	RO	reserved		保留。																											
	[2:0]	RW	lane_num		使能的数据通道数。 000: 数据通道数为 1; 001: 数据通道数为 2; 010: 数据通道数为 3; 011: 数据通道数为 4。 100: 数据通道数为 5; 101: 数据通道数为 6; 110: 数据通道数为 7; 111: 数据通道数为 8。																											

## MIPI0\_MAIN\_INT\_ST

MIPI0\_MAIN\_INT\_ST 为 MIPI0 总中断状态寄存器。





Offset Address		Register Name		Total Reset Value							
0x100C		MIPI0_MAIN_INT_ST		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved			status_int_line	status_int_pkt	reserved			status_int_frame_fatal	status_int_pkt_fatal	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:19]	RO	reserved	保留。								
[18]	RC	status_int_line	行中断状态寄存器，若寄存器 MIPI0_LINE_INTR_ST 有任意一位置 1，则该位置 1，读清 0。若要清掉上报的中断，则应清掉该位及 MIPI0_LINE_INTR_ST。								
[17]	RC	status_int_pkt	包中断状态寄存器，若寄存器 MIPI0_PKT_INTR2_ST 有任意一位置 1，则该位置 1，读清 0。若要清掉上报的中断，则应清掉该位及 MIPI0_PKT_INTR2_ST。								
[16:3]	RO	reserved	保留。								
[2]	RC	status_int_frame_fatal	帧中断状态寄存器，若寄存器 MIPI0_FRAME_INTR_ST 有任意一位置 1，则该位置 1，读清 0。若要清掉上报的中断，则应清掉该位及 MIPI0_FRAME_INTR_ST。								
[1]	RC	status_int_pkt_fatal	包中断状态寄存器，若寄存器 MIPI0_PKT_INTR_ST 有任意一位置 1，则该位置 1，读清 0。若要清掉上报的中断，则应清掉该位及 MIPI0_PKT_INTR_ST。								
[0]	RO	reserved	保留。								

## MIPI0\_DI\_1

MIPI0\_DI\_1 为 MIPI0 控制器 Data ID 1 寄存器。



Offset Address		Register Name		Total Reset Value				
0x1010		MPIO0_DI_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	di3_vc	di3_dt	di2_vc	di2_dt	di1_vc	di1_dt	di0_vc	di0_dt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RW	di3_vc	Data ID3 的虚拟通道号。					
[29:24]	RW	di3_dt	Data ID3 的数据类型。 0x2A: RAW8; 0x2B: RAW10; 0x2C: RAW12; 0x2D: RAW14; 其他: 保留。					
[23:22]	RW	di2_vc	Data ID2 的虚拟通道号。					
[21:16]	RW	di2_dt	Data ID2 的数据类型。 0x2A: RAW8; 0x2B: RAW10; 0x2C: RAW12; 0x2D: RAW14; 其他: 保留。					
[15:14]	RW	di1_vc	Data ID1 的虚拟通道号。					
[13:8]	RW	di1_dt	Data ID1 的数据类型。 0x2A: RAW8; 0x2B: RAW10; 0x2C: RAW12; 0x2D: RAW14; 其他: 保留。					
[7:6]	RW	di0_vc	Data ID0 的虚拟通道号。					



[5:0]	RW	di0_dt	Data ID0 的数据类型。 0x2A: RAW8; 0x2B: RAW10; 0x2C: RAW12; 0x2D: RAW14; 其他: 保留。
-------	----	--------	---

## MIPI0\_DI\_2

MIPI0\_DI\_2 为 MIPI0 控制器 Data ID 2 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1014				MIPI0_DI_2				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	di7_vc		di7_dt				di6_vc		di6_dt				di5_vc		di5_dt				di4_vc		di4_dt											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:30]	RW	di7_vc	Data ID7 的虚拟通道号。																													
[29:24]	RW	di7_dt	Data ID7 的数据类型。 0x2A: RAW8; 0x2B: RAW10; 0x2C: RAW12; 0x2D: RAW14; 其他: 保留。																													
[23:22]	RW	di6_vc	Data ID6 的虚拟通道号。																													
[21:16]	RW	di6_dt	Data ID6 的数据类型。 0x2A: RAW8; 0x2B: RAW10; 0x2C: RAW12; 0x2D: RAW14; 其他: 保留。																													
[15:14]	RW	di5_vc	Data ID5 的虚拟通道号。																													



[13:8]	RW	di5_dt	Data ID5 的数据类型。 0x2A: RAW8; 0x2B: RAW10; 0x2C: RAW12; 0x2D: RAW14; 其他: 保留。
[7:6]	RW	di4_vc	Data ID4 的虚拟通道号。
[5:0]	RW	di4_dt	Data ID4 的数据类型。 0x2A: RAW8; 0x2B: RAW10; 0x2C: RAW12; 0x2D: RAW14; 其他: 保留。

## MIPI0\_PKT\_INTR\_ST

MIPI0\_PKT\_INTR\_ST 为 MIPI0 包中断状态寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x1060	MIPI0_PKT_INTR_ST	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 40%; text-align: center;">reserved</div> <div style="width: 5%; text-align: center; color: blue;">err_ecc_double</div> <div style="width: 40%; text-align: center;">reserved</div> <div style="width: 15%; text-align: center;">vc3_err_crc</div> <div style="width: 5%; text-align: center;">vc2_err_crc</div> <div style="width: 5%; text-align: center;">vc1_err_crc</div> <div style="width: 5%; text-align: center;">vc0_err_crc</div> </div>			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
Bits	Access	Name	Description	
[31:17]	RO	reserved	保留。	
[16]	RC	err_ecc_double	Header 至少 2 个错误, ECC 无法纠错。读清零。 0: 无 ECC 错误; 1: 有 ECC 错误。	
[15:4]	RO	reserved	保留。	



Offset Address			Register Name	Total Reset Value
0x1060			MIPI0_PKT_INTR_ST	0x0000_0000
[3]	RC	vc3_err_crc	VC3 数据 CRC 错误。读清零。 0: VC3 数据无 CRC 错误; 1: VC3 数据有 CRC 错误。	
[2]	RC	vc2_err_crc	VC2 数据 CRC 错误。读清零。 0: VC2 数据无 CRC 错误; 1: VC2 数据有 CRC 错误。	
[1]	RC	vc1_err_crc	VC1 数据 CRC 错误。读清零。 0: VC1 数据无 CRC 错误; 1: VC1 数据有 CRC 错误。	
[0]	RC	vc0_err_crc	VC0 数据 CRC 错误。读清零。 0: VC0 数据无 CRC 错误; 1: VC0 数据有 CRC 错误。	

## MIPI0\_PKT\_INTR\_MSK

MIPI0\_PKT\_INTR\_MSK 为 MIPI0 包中断屏蔽寄存器。

Offset Address			Register Name	Total Reset Value									
0x1064			MIPI0_PKT_INTR_MSK	0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				mask_err_ecc_double	reserved				mask_vc3_err_crc	mask_vc2_err_crc	mask_vc1_err_crc	mask_vc0_err_crc
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:17]	RO	reserved	保留。										
[16]	RW	mask_err_ecc_double	err_ecc_double 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。										
[15:4]	RO	reserved	保留。										



[3]	RW	mask_vc3_err_crc	vc3_err_crc 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[2]	RW	mask_vc2_err_crc	vc2_err_crc 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	mask_vc1_err_crc	vc1_err_crc 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	mask_vc0_err_crc	vc0_err_crc 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。

## MIPI0\_PKT\_INTR2\_ST

MIPI0\_PKT\_INTR2\_ST 为 MIPI0 包中断状态寄存器 2。

Offset Address		Register Name		Total Reset Value																																								
0x1070		MIPI0_PKT_INTR2_ST		0x0000_0000																																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Name	reserved								vc3_err_ecc_corrected				vc2_err_ecc_corrected				vc1_err_ecc_corrected				vc0_err_ecc_corrected				reserved				err_id_vc3				err_id_vc2				err_id_vc1				err_id_vc0			
Reset	0 0 0 0								0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																																							
[31:20]	RO		reserved		保留。																																							
[19]	RC		vc3_err_ecc_corrected		VC3 通道 Header 错误，ECC 已纠正。读清零。 0: VC3 通道 Header 无 ECC 错误; 1: VC3 通道 Header 有 ECC 错误并已纠正。																																							



[18]	RC	vc2_err_ecc_corrected	VC2 通道 Header 错误，ECC 已纠正。读清零。 0: VC2 通道 Header 无 ECC 错误； 1: VC2 通道 Header 有 ECC 错误并已纠正。
[17]	RC	vc1_err_ecc_corrected	VC1 通道 Header 错误，ECC 已纠正。读清零。 0: VC1 通道 Header 无 ECC 错误； 1: VC1 通道 Header 有 ECC 错误并已纠正。
[16]	RC	vc0_err_ecc_corrected	VC0 通道 Header 错误，ECC 已纠正。读清零。 0: VC0 通道 Header 无 ECC 错误； 1: VC0 通道 Header 有 ECC 错误并已纠正。
[15:4]	RO	reserved	保留。
[3]	RC	err_id_vc3	VC3 通道数据类型。读清零。 0: 支持的数据类型； 1: 不支持的数据类型。
[2]	RC	err_id_vc2	VC2 通道数据类型。读清零。 0: 支持的数据类型； 1: 不支持的数据类型。
[1]	RC	err_id_vc1	VC1 通道数据类型。读清零。 0: 支持的数据类型； 1: 不支持的数据类型。
[0]	RC	err_id_vc0	VC0 通道数据类型。读清零。 0: 支持的数据类型； 1: 不支持的数据类型。

## MIPI0\_PKT\_INTR2\_MSK

MIPI0\_PKT\_INTR2\_MSK 为 MIPI0 包中断屏蔽寄存器 2。



Offset Address		Register Name		Total Reset Value																												
0x1074		MIPI0_PKT_INTR2_MSK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												mask_vc3_err_ecc_corrected	mask_vc2_err_ecc_corrected	mask_vc1_err_ecc_corrected	mask_vc0_err_ecc_corrected	reserved								mask_err_id_vc3	mask_err_id_vc2	mask_err_id_vc1	mask_err_id_vc0				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:20]	RO	reserved	保留。																													
[19]	RW	mask_vc3_err_ecc_corrected	vc3_err_ecc_corrected 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。																													
[18]	RW	mask_vc2_err_ecc_corrected	vc2_err_ecc_corrected 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。																													
[17]	RW	mask_vc1_err_ecc_corrected	vc1_err_ecc_corrected 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。																													
[16]	RW	mask_vc0_err_ecc_corrected	vc0_err_ecc_corrected 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。																													
[15:4]	RO	reserved	保留。																													
[3]	RW	mask_err_id_vc3	err_id_vc3 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。																													
[2]	RW	mask_err_id_vc2	err_id_vc2 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。																													





[1]	RW	mask_err_id_vc1	err_id_vc1 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	mask_err_id_vc0	err_id_vc0 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。

## MIPI0\_FRAME\_INTR\_ST

MIPI0\_FRAME\_INTR\_ST 为 MIPI0 帧中断状态寄存器。

	Offset Address 0x1080	Register Name MIPI0_FRAME_INTR_ST	Total Reset Value 0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved	err_frame_data_vc3 err_frame_data_vc2 err_frame_data_vc1 err_frame_data_vc0 reserved	err_f_seq_vc3 err_f_seq_vc2 err_f_seq_vc1 err_f_seq_vc0 reserved err_f_bndry_match_vc3 err_f_bndry_match_vc2 err_f_bndry_match_vc1 err_f_bndry_match_vc0
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:20]	RO	reserved	保留。
[19]	RC	err_frame_data_vc3	最后一帧数据中，VC3 通道数据至少有一个 CRC 错误。 读清零。 0: 无 CRC 错误; 1: 有 CRC 错误。
[18]	RC	err_frame_data_vc2	最后一帧数据中，VC2 通道数据至少有一个 CRC 错误。 读清零。 0: 无 CRC 错误; 1: 有 CRC 错误。



[17]	RC	err_frame_data_vc1	最后一帧数据中，VC1 通道数据至少有一个 CRC 错误。 读清零。 0: 无 CRC 错误； 1: 有 CRC 错误。
[16]	RC	err_frame_data_vc0	最后一帧数据中，VC0 通道数据至少有一个 CRC 错误。 读清零。 0: 无 CRC 错误； 1: 有 CRC 错误。
[15:12]	RO	reserved	保留。
[11]	RC	err_f_seq_vc3	VC3 的帧序出错。读清零。 0: 帧序无误； 1: 帧序有误。
[10]	RC	err_f_seq_vc2	VC2 的帧序出错。读清零。 0: 帧序无误； 1: 帧序有误。
[9]	RC	err_f_seq_vc1	VC1 的帧序出错。读清零。 0: 帧序无误； 1: 帧序有误。
[8]	RC	err_f_seq_vc0	VC0 的帧序出错。读清零。 0: 帧序无误； 1: 帧序有误。
[7:4]	RO	reserved	保留。
[3]	RC	err_f_bndry_match_vc3	VC3 通道的帧起始和帧结束不匹配。读清零。 0: 帧起始和帧结束短包匹配； 1: 帧起始和帧结束短包不匹配。
[2]	RC	err_f_bndry_match_vc2	VC2 通道的帧起始和帧结束不匹配。读清零。 0: 帧起始和帧结束短包匹配； 1: 帧起始和帧结束短包不匹配。
[1]	RC	err_f_bndry_match_vc1	VC1 通道的帧起始和帧结束不匹配。读清零。 0: 帧起始和帧结束短包匹配； 1: 帧起始和帧结束短包不匹配。
[0]	RC	err_f_bndry_match_vc0	VC0 通道的帧起始和帧结束不匹配。读清零。 0: 帧起始和帧结束短包匹配； 1: 帧起始和帧结束短包不匹配。



## MIPI0\_FRAME\_INTR\_MSK

MIPI0\_FRAME\_INTR\_MSK 为 MIPI0 帧中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value				
0x1084		MIPI0_FRAME_INTR_MSK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			mask_err_frame_data_vc3 mask_err_frame_data_vc2 mask_err_frame_data_vc1 mask_err_frame_data_vc0	reserved	mask_err_f_seq_vc3 mask_err_f_seq_vc2 mask_err_f_seq_vc1 mask_err_f_seq_vc0	reserved	mask_err_f_bndry_match_vc3 mask_err_f_bndry_match_vc2 mask_err_f_bndry_match_vc1 mask_err_f_bndry_match_vc0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19]	RW	mask_err_frame_data_vc3	err_frame_data_vc3 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					
[18]	RW	mask_err_frame_data_vc2	err_frame_data_vc2 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					
[17]	RW	mask_err_frame_data_vc1	err_frame_data_vc1 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					
[16]	RW	mask_err_frame_data_vc0	err_frame_data_vc0 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					
[15:12]	RO	reserved	保留。					
[11]	RW	mask_err_f_seq_vc3	err_f_seq_vc3 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					



[10]	RW	mask_err_f_seq_vc2	err_f_seq_vc2 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[9]	RW	mask_err_f_seq_vc1	err_f_seq_vc1 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[8]	RW	mask_err_f_seq_vc0	err_f_seq_vc0 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[7:4]	RO	reserved	保留。
[3]	RW	mask_err_f_bndry_match_vc3	err_f_bndry_match_vc3 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[2]	RW	mask_err_f_bndry_match_vc2	err_f_bndry_match_vc2 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	mask_err_f_bndry_match_vc1	err_f_bndry_match_vc1 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	mask_err_f_bndry_match_vc0	err_f_bndry_match_vc0 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。

## MIPI0\_LINE\_INTR\_ST

MIPI0\_LINE\_INTR\_ST 为 MIPI0 行中断状态寄存器。



Offset Address		Register Name		Total Reset Value				
0x1090		MIPI0_LINE_INTR_ST		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		err_l_seq_di7 err_l_seq_di6 err_l_seq_di5 err_l_seq_di4	err_l_seq_di3 err_l_seq_di2 err_l_seq_di1 err_l_seq_di0	reserved		err_l_bndry_match_di7 err_l_bndry_match_di6 err_l_bndry_match_di5 err_l_bndry_match_di4	err_l_bndry_match_di3 err_l_bndry_match_di2 err_l_bndry_match_di1 err_l_bndry_match_di0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23]	RC	err_l_seq_di7	VC7 和 DT7 行序出错。读清零。 0: 行序正常; 1: 行序出错。					
[22]	RC	err_l_seq_di6	VC6 和 DT6 行序出错。读清零。 0: 行序正常; 1: 行序出错。					
[21]	RC	err_l_seq_di5	VC5 和 DT5 行序出错。读清零。 0: 行序正常; 1: 行序出错。					
[20]	RC	err_l_seq_di4	VC4 和 DT4 行序出错。读清零。 0: 行序正常; 1: 行序出错。					
[19]	RC	err_l_seq_di3	VC3 和 DT3 行序出错。读清零。 0: 行序正常; 1: 行序出错。					
[18]	RC	err_l_seq_di2	VC2 和 DT2 行序出错。读清零。 0: 行序正常; 1: 行序出错。					
[17]	RC	err_l_seq_di1	VC1 和 DT1 行序出错。读清零。 0: 行序正常; 1: 行序出错。					



[16]	RC	err_l_seq_di0	VC0 和 DT0 行序出错。读清零。 0: 行序正常; 1: 行序出错。
[15:8]	RO	reserved	保留。
[7]	RC	err_l_bndry_match_di7	VC7 和 DT7 的行起始和行结束不匹配。读清零。 0: 行起始和行结束短包匹配; 1: 行起始和行结束短包不匹配。
[6]	RC	err_l_bndry_match_di6	VC6 和 DT6 的行起始和行结束不匹配。读清零。 0: 行起始和行结束短包匹配; 1: 行起始和行结束短包不匹配。
[5]	RC	err_l_bndry_match_di5	VC5 和 DT5 的行起始和行结束不匹配。读清零。 0: 行起始和行结束短包匹配; 1: 行起始和行结束短包不匹配。
[4]	RC	err_l_bndry_match_di4	VC4 和 DT4 的行起始和行结束不匹配。读清零。 0: 行起始和行结束短包匹配; 1: 行起始和行结束短包不匹配。
[3]	RC	err_l_bndry_match_di3	VC3 和 DT3 的行起始和行结束不匹配。读清零。 0: 行起始和行结束短包匹配; 1: 行起始和行结束短包不匹配。
[2]	RC	err_l_bndry_match_di2	VC2 和 DT2 的行起始和行结束不匹配。读清零。 0: 行起始和行结束短包匹配; 1: 行起始和行结束短包不匹配。
[1]	RC	err_l_bndry_match_di1	VC1 和 DT1 的行起始和行结束不匹配。读清零。 0: 行起始和行结束短包匹配; 1: 行起始和行结束短包不匹配。
[0]	RC	err_l_bndry_match_di0	VC0 和 DT0 的行起始和行结束不匹配。读清零。 0: 行起始和行结束短包匹配; 1: 行起始和行结束短包不匹配。

## MIPI0\_LINE\_INTR\_MSK

MIPI0\_LINE\_INTR\_MSK 为 MIPI0 行中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value				
0x1094		MPI0_LINE_INTR_MSK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		mask_err_1_seq_di7 mask_err_1_seq_di6 mask_err_1_seq_di5 mask_err_1_seq_di4	mask_err_1_seq_di3 mask_err_1_seq_di2 mask_err_1_seq_di1 mask_err_1_seq_di0	reserved		mask_err_1_bndry_match_di7 mask_err_1_bndry_match_di6 mask_err_1_bndry_match_di5 mask_err_1_bndry_match_di4	mask_err_1_bndry_match_di3 mask_err_1_bndry_match_di2 mask_err_1_bndry_match_di1 mask_err_1_bndry_match_di0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23]	RW	mask_err_1_seq_di7	err_1_seq_di7 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					
[22]	RW	mask_err_1_seq_di6	err_1_seq_di6 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					
[21]	RW	mask_err_1_seq_di5	err_1_seq_di5 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					
[20]	RW	mask_err_1_seq_di4	err_1_seq_di4 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					
[19]	RW	mask_err_1_seq_di3	err_1_seq_di3 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					
[18]	RW	mask_err_1_seq_di2	err_1_seq_di2 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。					



[17]	RW	mask_err_1_seq_di1	err_1_seq_di1 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[16]	RW	mask_err_1_seq_di0	err_1_seq_di0 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[15:8]	RO	reserved	保留。
[7]	RW	mask_err_1_bndry_match_di7	err_1_bndry_match_di7 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[6]	RW	mask_err_1_bndry_match_di6	err_1_bndry_match_di6 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[5]	RW	mask_err_1_bndry_match_di5	err_1_bndry_match_di5 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[4]	RW	mask_err_1_bndry_match_di4	err_1_bndry_match_di4 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[3]	RW	mask_err_1_bndry_match_di3	err_1_bndry_match_di3 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[2]	RW	mask_err_1_bndry_match_di2	err_1_bndry_match_di2 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	mask_err_1_bndry_match_di1	err_1_bndry_match_di1 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	mask_err_1_bndry_match_di0	err_1_bndry_match_di0 中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。

## MIPI0\_USERDEF\_DT

MIPI0\_USERDEF\_DT 为 MIPI0 用户自定义 data type





对应的像素位宽配置寄存器。

Offset Address		Register Name		Total Reset Value							
0x1100		MPI0_USERDEF_DT		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				user_def3_dt	reserved	user_def2_dt	reserved	user_def1_dt	reserved	user_def0_dt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description								
[31:15]	RO	reserved	保留。								
[14:12]	RW	user_def3_dt	data type 为 user_def3 时传输的像素位宽。 000: 8bit; 001: 10bit; 010: 12bit; 011: 14bit; 100: 16bit; 其他: 保留。								
[11]	RO	reserved	保留								
[10:8]	RW	user_def2_dt	data type 为 user_def2 时传输的像素位宽。 000: 8bit; 001: 10bit; 010: 12bit; 011: 14bit; 100: 16bit; 其他: 保留。								
[7]	RO	reserved	保留								
[6:4]	RW	user_def1_dt	data type 为 user_def1 时传输的像素位宽。 000: 8bit; 001: 10bit; 010: 12bit; 011: 14bit; 100: 16bit; 其他: 保留。								



Offset Address		Register Name		Total Reset Value							
0x1100		MIPI0_USERDEF_DT		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved			user_def3_dt	reserved	user_def2_dt	reserved	user_def1_dt	reserved	user_def0_dt	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[3]	RO	reserved	保留。								
[2:0]	RW	user_def0_dt	data type 为 user_def0 时传输的像素位宽。 000: 8bit; 001: 10bit; 010: 12bit; 011: 14bit; 100: 16bit; 其他: 保留。								

## MIPI0\_USER\_DEF

MIPI0\_USER\_DEF 为 MIPI0 用户自定义 data type 的类型使能配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1104		MIPI0_USER_DEF		0x1036_3534				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	user_def3	reserved	user_def2	reserved	user_def1	reserved	user_def0
Reset	0 0 0 1	0 0 0 0	0 0 1 1	0 1 1 0	0 0 1 1	0 1 0 1	0 0 1 1	0 1 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29:24]	RW	user_def3	用户自定义数据类型 3。 此寄存器的值用于匹配传感器输出的数据类型，与 <a href="#">MIPI0_USERDEF_DT[user_def3_dt]</a> 配合使用。					



[23:22]	RO	reserved	保留。
[21:16]	RW	user_def2	用户自定义数据类型 2。 此寄存器的值用于匹配传感器输出的数据类型，与 <a href="#">MIPI0_USERDEF_DT[user_def2_dt]</a> 配合使用。
[15:14]	RO	reserved	保留。
[13:8]	RW	user_def1	用户自定义数据类型 1。 此寄存器的值用于匹配传感器输出的数据类型，与 <a href="#">MIPI0_USERDEF_DT[user_def1_dt]</a> 配合使用。
[7:6]	RO	reserved	保留。
[5:0]	RW	user_def0	用户自定义数据类型 0。 此寄存器的值用于匹配传感器输出的数据类型，与 <a href="#">MIPI0_USERDEF_DT[user_def0_dt]</a> 配合使用。

## MIPI0\_CTRL\_MODE\_HS

MIPI0\_CTRL\_MODE\_HS 为 MIPI0 工作模式使能寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x1108	MIPI0_CTRL_MODE_HS	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved											user_def_en	reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description															
[31:9]	RO	reserved	保留。															
[8]	RW	user_def_en	User Define 模式使能。 0: 不使能; 1: 使能。															
[7:0]	RO	reserved	保留。															

## MIPI0\_DOL\_ID\_CODE0

MIPI0\_DOL\_ID\_CODE0 为 MIPI0 DOL 模式帧识别寄存器 0。



Offset Address		Register Name		Total Reset Value					
0x1200		MIPI0_DOL_ID_CODE0		0x0242_0241					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	id_code_reg1				id_code_reg0				
Reset	0 0 0 0	0 0 1 0	0 1 0 0	0 0 1 0	0 0 0 0	0 0 1 0	0 1 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RW	id_code_reg1	mipi dol 模式第 N 帧 SEF1 帧 ID 码。						
[15:0]	RW	id_code_reg0	mipi dol 模式第 N 帧 LEF 帧 ID 码。						

### MIPI0\_DOL\_ID\_CODE1

MIPI0\_DOL\_ID\_CODE1 为 MIPI0 DOL 模式帧识别寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x1204		MIPI0_DOL_ID_CODE1		0x0251_0244					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	id_code_reg3				id_code_reg2				
Reset	0 0 0 0	0 0 1 0	0 1 0 1	0 0 0 1	0 0 0 0	0 0 1 0	0 1 0 0	0 1 0 0	
Bits	Access	Name	Description						
[31:16]	RW	id_code_reg3	mipi dol 模式第 N+1 帧 LEF 帧 ID 码。						
[15:0]	RW	id_code_reg2	mipi dol 模式第 N 帧 SEF2 帧 ID 码。						

### MIPI0\_DOL\_ID\_CODE2

MIPI0\_DOL\_ID\_CODE2 为 MIPI0 DOL 模式帧识别寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x1208		MIPI0_DOL_ID_CODE2		0x0254_0252					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	id_code_reg5				id_code_reg4				
Reset	0 0 0 0	0 0 1 0	0 1 0 1	0 1 0 0	0 0 0 0	0 0 1 0	0 1 0 1	0 0 1 0	
Bits	Access	Name	Description						
[31:16]	RW	id_code_reg5	mipi dol 模式第 N+1 帧 SEF2 帧 ID 码。						
[15:0]	RW	id_code_reg4	mipi dol 模式第 N+1 帧 SEF1 帧 ID 码。						



## MIPI0\_CTRL\_MODE\_PIXEL

MIPI0\_CTRL\_MODE\_PIXEL 为 MIPI0 输出工作模式使能寄存器。

Offset Address		Register Name		Total Reset Value							
0x1230		MIPI0_CTRL_MODE_PIXEL		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				stagger_frm_num	stagger_hdr_mode	reserved		mipi_dol_mode	reserved	crop_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:15]	RO	reserved	保留。								
[14:13]	RW	stagger_frm_num	STAGGER HDR MODE 帧数。 01: 两帧 hdr; 10: 三帧 hdr; 11: 四帧 hdr; 其他: 保留。								
[12]	RW	stagger_hdr_mode	Omnivision Stagger Hdr Mode 模式使能。 0: 不使能; 1: 使能。								
[11:5]	RO	reserved	保留。								
[4]	RW	mipi_dol_mode	MIPI DOL 模式使能。 0: 不使能; 1: 使能。								
[3:1]	RO	reserved	保留。								
[0]	RW	crop_en	裁剪使能。 0: 不使能; 1: 使能;								



## MIPI0\_DUMMY\_PIX\_REG

MIPI0\_DUMMY\_PIX\_REG 为 MIPI0 dummy 行像素值寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x1240	MIPI0_DUMMY_PIX_REG	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
	Bits	Access	Name	Description
	[31:16]	RO	reserved	保留。
	[15:0]	RW	dummy_pix_reg	stagger hdr 模式 dummy 行像素值。

## MIPI0\_IMGSIZE0\_STATIS

MIPI0\_IMGSIZE0\_STATIS 为 MIPI0 VC0 传输的图像宽高寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x1250	MIPI0_IMGSIZE0_STATIS	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	imgheight_statisc0			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
	Bits	Access	Name	Description
	[31:16]	RO	imgheight_statisc0	MIPI 模式下， virtual channel0 传输的上一帧图像高度。
	[15:0]	RO	imgwidth_statisc0	MIPI 模式下， virtual channel0 传输的上一帧图像宽度。

## MIPI0\_IMGSIZE1\_STATIS

MIPI0\_IMGSIZE1\_STATIS 为 MIPI0 VC1 传输的图像宽高寄存器。



Offset Address		Register Name		Total Reset Value					
0x1254		MIPI0_IMGSIZE1_STATIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	imgheight_statis_vc1				imgwidth_statis_vc1				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	imgheight_statis_vc1	MIPI 模式下, virtual channel1 传输的上一帧图像高度。						
[15:0]	RO	imgwidth_statis_vc1	MIPI 模式下, virtual channel1 传输的上一帧图像宽度。						

### MIPI0\_IMGSIZE2\_STATIS

MIPI0\_IMGSIZE2\_STATIS 为 MIPI0 VC2 传输的图像宽高寄存器。

Offset Address		Register Name		Total Reset Value					
0x1258		MIPI0_IMGSIZE2_STATIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	imgheight_statis_vc2				imgwidth_statis_vc2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	imgheight_statis_vc2	MIPI 模式下, virtual channel2 传输的上一帧图像高度。						
[15:0]	RO	imgwidth_statis_vc2	MIPI 模式下, virtual channel2 传输的上一帧图像宽度。						

### MIPI0\_IMGSIZE3\_STATIS

MIPI0\_IMGSIZE3\_STATIS 为 MIPI0 VC3 传输的图像宽高寄存器。



Offset Address		Register Name		Total Reset Value					
0x125C		MIPI0_IMGSIZE3_STATIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	imgheight_statis_vc3				imgwidth_statis_vc3				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	imgheight_statis_vc3	MIPI 模式下, virtual channel3 传输的上一帧图像高度。						
[15:0]	RO	imgwidth_statis_vc3	MIPI 模式下, virtual channel3 传输的上一帧图像宽度。						

## MIPI0\_CTRL\_INT\_RAW

MIPI0\_CTRL\_INT\_RAW 为 MIPI0 读数据错误原始中断状态寄存器。

Offset Address		Register Name		Total Reset Value						
0x12F0		MIPI0_CTRL_INT_RAW		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				int_dfifo_rderr_raw	int_cfifo_rderr_raw	reserved		int_dfifo_wrerr_raw	int_cfifo_wrerr_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:18]	RO	reserved	保留。							
[17]	WC	int_dfifo_rderr_raw	MIPI CTRL 读数据 FIFO 原始中断状态。 0: 无原始中断; 1: 有原始中断。							
[16]	WC	int_cfifo_rderr_raw	MIPI CTRL 读命令 FIFO 原始中断状态。 0: 无原始中断; 1: 有原始中断。							
[15:2]	RO	reserved	保留。							





[1]	WC	int_dfifo_wrerr_raw	MIPI CTRL 写数据 FIFO 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[0]	WC	int_cfifo_wrerr_raw	MIPI CTRL 写命令 FIFO 原始中断状态。 0: 无原始中断; 1: 有原始中断。

## MIPI0\_CTRL\_INT

MIPI0\_CTRL\_INT 为 MIPI0 读数据错误中断状态寄存器。

	Offset Address 0x12F4	Register Name MIPI0_CTRL_INT	Total Reset Value 0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved	int_dfifo_rderr_st int_cfifo_rderr_st	reserved int_dfifo_wrerr_st int_cfifo_wrerr_st
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:18]	RO	reserved	保留。
[17]	RO	int_dfifo_rderr_st	MIPI CTRL 读数据 FIFO 中断状态。 0: 无中断; 1: 有中断。
[16]	RO	int_cfifo_rderr_st	MIPI CTRL 读命令 FIFO 中断状态。 0: 无中断; 1: 有中断。
[15:2]	RO	reserved	保留。
[1]	RO	int_dfifo_wrerr_st	MIPI CTRL 写数据 FIFO 中断状态。 0: 无中断; 1: 有中断。



[0]	RO	int_cfifo_wrerr_st	MIPI CTRL 写命令 FIFO 中断状态。 0: 无中断; 1: 有中断。
-----	----	--------------------	--

## MIPIO\_CTRL\_INT\_MSK

MIPIO\_CTRL\_INT\_MSK 为 MIPIO 读数据错误中断屏蔽寄存器。

	Offset Address	Register Name	Total Reset Value																													
	0x12F8	MIPIO_CTRL_INT_MSK	0x0000_0000																													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																															
Name	<table border="1" style="width:100%; text-align:center;"> <tr> <td colspan="12">reserved</td> <td>int_dfifo_rderr_msk</td> <td>int_cfifo_rderr_msk</td> <td colspan="12">reserved</td> <td>int_dfifo_wrerr_msk</td> <td>int_cfifo_wrerr_msk</td> </tr> </table>				reserved												int_dfifo_rderr_msk	int_cfifo_rderr_msk	reserved												int_dfifo_wrerr_msk	int_cfifo_wrerr_msk
reserved												int_dfifo_rderr_msk	int_cfifo_rderr_msk	reserved												int_dfifo_wrerr_msk	int_cfifo_wrerr_msk					
Reset	0 0																															
Bits	Access	Name	Description																													
[31:18]	RO	reserved	保留。																													
[17]	RW	int_dfifo_rderr_msk	MIPI CTRL 读数据 FIFO 中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[16]	RW	int_cfifo_rderr_msk	MIPI CTRL 读命令 FIFO 中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[15:2]	RO	reserved	保留。																													
[1]	RW	int_dfifo_wrerr_msk	MIPI CTRL 写数据 FIFO 中断使能。 0: 屏蔽中断; 1: 使能中断。																													
[0]	RW	int_cfifo_wrerr_msk	MIPI CTRL 写命令 FIFO 中断使能。 0: 屏蔽中断; 1: 使能中断。																													



## LVDS0\_WDR

LVDS0\_WDR 为 LVDS WDR 控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1300				LVDS0_WDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												lvds_wdr_mode		reserved	lvds_wdr_num		reserved	lvds_wdr_en													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:12]	RO	reserved	保留。																													
[11:8]	RW	lvds_wdr_mode	LVDS WDR 模式选择。 0x0: SOF-EOF 标识的 WDR，长短曝光都有独立的同步码。 0x2: HiSPi 接口的 WDR 模式，长短曝光共用一对 SOF-EOF 标识，短曝光的起始几行用 0x04 填充。 0x4: SONY DOL 模式，4 个字段的同步码，SAV-EAV 标识方式，长短曝光有独立的同步码。 0x6: SONY DOL 模式，5 个字段的同步码，图像信息中不包含 Frame Information Line。 0xC: SONY DOL 模式，5 个字段的同步码，图像信息中不包含 Frame Information Line。																													
[7:6]	RO	reserved	保留。																													
[5:4]	RW	lvds_wdr_num	WDR 模式配置信号。 00: 保留； 01: 2 帧 WDR； 10: 3 帧 WDR； 11: 4 帧 WDR。																													
[3:1]	RO	reserved	保留。																													
[0]	RW	lvds_wdr_en	WDR 使能信号。 0: Linear 模式； 1: WDR 模式。																													



## LVDS0\_IMGSIZE

LVDS0\_IMGSIZE 为 LVDS 图像宽高寄存器。

Offset Address		Register Name		Total Reset Value					
0x130C		LVDS0_IMGSIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lvds_imgheight				lvds_imgwidth_lane				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lvds_imgheight	图像高度减 1。						
[15:0]	RW	lvds_imgwidth_lane	每个通道传输的图像宽度减 1。						

## LVDS0\_CTRL

LVDS0\_CTRL 为 LVDS 控制寄存器。

Offset Address		Register Name		Total Reset Value									
0x1310		LVDS0_CTRL		0x0000_0310									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved			lvds_split_mode	reserved	lvds_crop_en	reserved	lvds_code_big_endian	lvds_pix_big_endian	reserved	lvds_raw_type	reserved	lvds_sync_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 1	0 0 0 0					
Bits	Access	Name	Description										
[31:19]	RO	reserved	保留。										
[18:16]	RW	lvds_split_mode	LVDS/HiSPi Sync Code 传输类型。 000: Per Lane 模式; 其他: 保留。										
[15:13]	RO	reserved	保留。										



[12]	RW	lvds_crop_en	LVDS/HiSPi 图像裁剪使能。 0: 不使能; 1: 使能。
[11:10]	RO	reserved	保留。
[9]	RW	lvds_code_big_endian	LVDS/HiSPi 模式下, 传输的 RAW data 同步码(sync_code)的串行比特位传输顺序。 0: LSB, 低比特先传, 实际收到的同步码(sync_code)串行数据顺序为 bit0, bit1, ...bit11; 1: MSB, 高比特先传, 实际收到的同步码(sync_code)串行数据顺序为 bit11, bit10, ...bit0。
[8]	RW	lvds_pix_big_endian	LVDS/HiSPi 模式下, 传输的 RAW data 有效像素 pixel 的串行比特位的传输顺序。 0: LSB, 低比特先传, 实际收到的有效像素 pixel 串行数据顺序为 bit0, bit1, ...bit11; 1: MSB, 高比特先传, 实际收到有效像素 pixel 串行数据顺序为 bit11, bit10, ...bit0。
[7]	RO	reserved	保留。
[6:4]	RW	lvds_raw_type	LVDS/HiSPi 模式下, 传输的 RAW data type。 001: Raw 8bit; 010: Raw 10bit; 011: Raw 12bit; 100: Raw 14bit; 101: Raw 16bit; 其他: 保留。
[3:1]	RO	reserved	保留。
[0]	RW	lvds_sync_mode	LVDS 模式下, 帧/行同步模式。 0: 同步方式为 SOF/EOF/SOL/EOL 模式; SOF 标识有效区的第一行起始, 用 EOF 标识有效区最后一行的结束, 其他有效区分别用 SOL 和 EOL 作为起始和结束。 1: 同步方式为 SAV/EAV 模式; 用 SAV(Invalid)和 EAV(Invalid)标识消隐区的无效数据, 使用 SAV(Valid)和 EAV(Valid)标识有效区像素数据。

## LVDS0\_CROP\_START

LVDS0\_CROP\_START 为 LVDS 裁剪寄存器。



Offset Address		Register Name		Total Reset Value					
0x1314		LVDS0_CROP_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lvds_start_y				lvds_start_x_lane				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lvds_start_y	裁剪起始点高度。						
[15:0]	RW	lvds_start_x_lane	裁剪起始点宽度。配置值为需要裁剪的起始像素点除以通道数。						

### LVDS0\_LANE0\_SOF\_01

LVDS0\_LANE0\_SOF\_01 为 LVDS/HiSPi 模式下，lane0 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1320		LVDS0_LANE0_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_sof_1				lane0_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane0 SOF of frame1； 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane0_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane0 SOF of frame0； WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

### LVDS0\_LANE0\_SOF\_23

LVDS0\_LANE0\_SOF\_23 为 LVDS/HiSPi 模式下，lane0 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1324		LVDS0_LANE0_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_sof_3				lane0_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码， lane0 SOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码， lane0 SOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE0\_EOF\_01

LVDS0\_LANE0\_EOF\_01 为 LVDS/HiSPi 模式下， lane0 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1328		LVDS0_LANE0_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_eof_1				lane0_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码， lane0 EOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_eof_0	LVDS、HiSPi 模式下帧 0 的 0 帧结束同步码， lane0 EOF of frame0; WDR 模式下为第 0 帧 EOF， linear 模式下为 EOF。						

## LVDS0\_LANE0\_EOF\_23

LVDS0\_LANE0\_EOF\_23 为 LVDS/HiSPi 模式下， lane0 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x132C		LVDS0_LANE0_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_eof_3				lane0_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码， lane0 EOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码， lane0 EOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

### LVDS0\_LANE0\_SOL\_01

LVDS0\_LANE0\_SOL\_01 为 LVDS/HiSPi 模式下， lane0 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1330		LVDS0_LANE0_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_sol_1				lane0_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码， lane0 SOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码， lane0 SOL of frame0; WDR 模式下为第 0 帧 SOL， linear 模式下为 SOL。						

### LVDS0\_LANE0\_SOL\_23

LVDS0\_LANE0\_SOL\_23 为 LVDS/HiSPi 模式下， lane0 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x1334		LVDS0_LANE0_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_sol_3				lane0_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码， lane0 SOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码， lane0 SOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE0\_EOL\_01

LVDS0\_LANE0\_EOL\_01 为 LVDS/HiSPi 模式下， lane0 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1338		LVDS0_LANE0_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_eol_1				lane0_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码， lane0 EOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码， lane0 EOL of frame0; WDR 模式下为第 0 帧 EOL， linear 模式下为 EOL。						

## LVDS0\_LANE0\_EOL\_23

LVDS0\_LANE0\_EOL\_23 为 LVDS/HiSPi 模式下， lane0 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x133C		LVDS0_LANE0_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_eol_3				lane0_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane0 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane0_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane0 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE1\_SOF\_01

LVDS0\_LANE1\_SOF\_01 为 LVDS/HiSPi 模式下，lane1 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1340		LVDS0_LANE1_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_sof_1				lane1_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane1 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane1_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane1 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

## LVDS0\_LANE1\_SOF\_23

LVDS0\_LANE1\_SOF\_23 为 LVDS/HiSPi 模式下，lane1 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1344		LVDS0_LANE1_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_sof_3				lane1_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane1 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane1_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane1 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE1\_EOF\_01

LVDS0\_LANE1\_EOF\_01 为 LVDS/HiSPi 模式下，lane1 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1348		LVDS0_LANE1_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_eof_1				lane1_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane1 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane1_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane1 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE1\_EOF\_23

LVDS0\_LANE1\_EOF\_23 为 LVDS/HiSPi 模式下，lane1 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x134C		LVDS0_LANE1_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_eof_3				lane1_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane1 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane1_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane1 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE1\_SOL\_01

LVDS0\_LANE1\_SOL\_01 为 LVDS/HiSPi 模式下，lane1 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1350		LVDS0_LANE1_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_sol_1				lane1_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane1 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane1_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane1 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

## LVDS0\_LANE1\_SOL\_23

LVDS0\_LANE1\_SOL\_23 为 LVDS/HiSPi 模式下，lane1 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1354		LVDS0_LANE1_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_sol_3				lane1_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane1 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane1_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane1 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE1\_EOL\_01

LVDS0\_LANE1\_EOL\_01 为 LVDS/HiSPi 模式下，lane1 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1358		LVDS0_LANE1_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_eol_1				lane1_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane1 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane1_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane1 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

### LVDS0\_LANE1\_EOL\_23

LVDS0\_LANE1\_EOL\_23 为 LVDS/HiSPi 模式下，lane1 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x135C		LVDS0_LANE1_EOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane1_eol_3				lane1_eol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane1_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane1 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane1_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane1 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE2\_SOF\_01

LVDS0\_LANE2\_SOF\_01 为 LVDS/HiSPi 模式下，lane2 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1360		LVDS0_LANE2_SOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane2_sof_1				lane2_sof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane2_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane2 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane2_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane2 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。					

## LVDS0\_LANE2\_SOF\_23

LVDS0\_LANE2\_SOF\_23 为 LVDS/HiSPi 模式下，lane2 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x1364		LVDS0_LANE2_SOF_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane2_sof_3				lane2_sof_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane2_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane2 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane2_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane2 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE2\_EOF\_01

LVDS0\_LANE2\_EOF\_01 为 LVDS/HiSPi 模式下，lane2 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1368		LVDS0_LANE2_EOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane2_eof_1				lane2_eof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane2_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane2 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane2_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane2 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。					

## LVDS0\_LANE2\_EOF\_23

LVDS0\_LANE2\_EOF\_23 为 LVDS/HiSPi 模式下，lane2 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x136C		LVDS0_LANE2_EOF_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane2_eof_3				lane2_eof_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane2_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane2 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane2_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane2 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE2\_SOL\_01

LVDS0\_LANE2\_SOL\_01 为 LVDS/HiSPi 模式下，lane2 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1370		LVDS0_LANE2_SOL_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane2_sol_1				lane2_sol_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane2_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane2 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane2_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane2 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。					

## LVDS0\_LANE2\_SOL\_23

LVDS0\_LANE2\_SOL\_23 为 LVDS/HiSPi 模式下，lane2 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x1374		LVDS0_LANE2_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane2_sol_3				lane2_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane2_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane2 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane2_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane2 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE2\_EOL\_01

LVDS0\_LANE2\_EOL\_01 为 LVDS/HiSPi 模式下，lane2 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1378		LVDS0_LANE2_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane2_eol_1				lane2_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane2_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane2 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane2_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane2 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

### LVDS0\_LANE2\_EOL\_23

LVDS0\_LANE2\_EOL\_23 为 LVDS/HiSPi 模式下，lane2 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x137C		LVDS0_LANE2_EOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane2_eol_3				lane2_eol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane2_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane2 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane2_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane2 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE3\_SOF\_01

LVDS0\_LANE3\_SOF\_01 为 LVDS/HiSPi 模式下，lane3 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1380		LVDS0_LANE3_SOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane3_sof_1				lane3_sof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane3_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane3 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane3_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane3 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。					

## LVDS0\_LANE3\_SOF\_23

LVDS0\_LANE3\_SOF\_23 为 LVDS/HiSPi 模式下，lane3 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1384		LVDS0_LANE3_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_sof_3				lane3_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane3 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane3_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane3 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE3\_EOF\_01

LVDS0\_LANE3\_EOF\_01 为 LVDS/HiSPi 模式下，lane3 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1388		LVDS0_LANE3_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_eof_1				lane3_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane3 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane3_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane3 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE3\_EOF\_23

LVDS0\_LANE3\_EOF\_23 为 LVDS/HiSPi 模式下，lane3 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x138C		LVDS0_LANE3_EOF_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane3_eof_3				lane3_eof_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane3_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane3 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane3_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane3 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

### LVDS0\_LANE3\_SOL\_01

LVDS0\_LANE3\_SOL\_01 为 LVDS/HiSPi 模式下，lane3 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1390		LVDS0_LANE3_SOL_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane3_sol_1				lane3_sol_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane3_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane3 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane3_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane3 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。					

### LVDS0\_LANE3\_SOL\_23

LVDS0\_LANE3\_SOL\_23 为 LVDS/HiSPi 模式下，lane3 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1394		LVDS0_LANE3_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_sol_3				lane3_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane3 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane3_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane3 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE3\_EOL\_01

LVDS0\_LANE3\_EOL\_01 为 LVDS/HiSPi 模式下，lane3 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1398		LVDS0_LANE3_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_eol_1				lane3_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane3 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane3_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane3 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

### LVDS0\_LANE3\_EOL\_23

LVDS0\_LANE3\_EOL\_23 为 LVDS/HiSPi 模式下，lane3 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x139C		LVDS0_LANE3_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_eol_3				lane3_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane3 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane3_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane3 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE4\_SOF\_01

LVDS0\_LANE4\_SOF\_01 为 LVDS/HiSPi 模式下，lane4 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x13A0		LVDS0_LANE4_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane4_sof_1				lane4_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane4_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane4 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane4_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane4 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

## LVDS0\_LANE4\_SOF\_23

LVDS0\_LANE4\_SOF\_23 为 LVDS/HiSPi 模式下，lane4 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x13A4		LVDS0_LANE4_SOF_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane4_sof_3				lane4_sof_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane4_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane4 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane4_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane4 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE4\_EOF\_01

LVDS0\_LANE4\_EOF\_01 为 LVDS/HiSPi 模式下，lane4 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x13A8		LVDS0_LANE4_EOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane4_eof_1				lane4_eof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane4_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane4 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane4_eof_0	LVDS、HiSPi 模式下帧 0 的 0 帧结束同步码，lane4 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。					

## LVDS0\_LANE4\_EOF\_23

LVDS0\_LANE4\_EOF\_23 为 LVDS/HiSPi 模式下，lane4 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x13AC		LVDS0_LANE4_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane4_eof_3				lane4_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane4_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane4 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane4_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane4 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE4\_SOL\_01

LVDS0\_LANE4\_SOL\_01 为 LVDS/HiSPi 模式下，lane4 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x13B0		LVDS0_LANE4_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane4_sol_1				lane4_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane4_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane4 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane4_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane4 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

### LVDS0\_LANE4\_SOL\_23

LVDS0\_LANE4\_SOL\_23 为 LVDS/HiSPi 模式下，lane4 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value				
0x13B4		LVDS0_LANE4_SOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane4_sol_3				lane4_sol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane4_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane4 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane4_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane4 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

### LVDS0\_LANE4\_EOL\_01

LVDS0\_LANE4\_EOL\_01 为 LVDS/HiSPi 模式下，lane4 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x13B8		LVDS0_LANE4_EOL_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane4_eol_1				lane4_eol_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane4_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane4 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane4_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane4 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。					

### LVDS0\_LANE4\_EOL\_23

LVDS0\_LANE4\_EOL\_23 为 LVDS/HiSPi 模式下，lane4 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x13BC		LVDS0_LANE4_EOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane4_eol_3				lane4_eol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane4_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane4 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane4_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane4 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE5\_SOF\_01

LVDS0\_LANE5\_SOF\_01 为 LVDS/HiSPi 模式下，lane5 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x13C0		LVDS0_LANE5_SOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane5_sof_1				lane5_sof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane5_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane5 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane5_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane5 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。					

## LVDS0\_LANE5\_SOF\_23

LVDS0\_LANE5\_SOF\_23 为 LVDS/HiSPi 模式下，lane5 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x13C4		LVDS0_LANE5_SOF_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane5_sof_3				lane5_sof_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane5_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane5 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane5_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane5 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE5\_EOF\_01

LVDS0\_LANE5\_EOF\_01 为 LVDS/HiSPi 模式下，lane5 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x13C8		LVDS0_LANE5_EOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane5_eof_1				lane5_eof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane5_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane5 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane5_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane5 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。					

## LVDS0\_LANE5\_EOF\_23

LVDS0\_LANE5\_EOF\_23 为 LVDS/HiSPi 模式下，lane5 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x13CC		LVDS0_LANE5_EOF_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane5_eof_3				lane5_eof_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane5_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane5 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane5_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane5 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

### LVDS0\_LANE5\_SOL\_01

LVDS0\_LANE5\_SOL\_01 为 LVDS/HiSPi 模式下，lane5 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x13D0		LVDS0_LANE5_SOL_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane5_sol_1				lane5_sol_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane5_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane5 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane5_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane5 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。					

### LVDS0\_LANE5\_SOL\_23

LVDS0\_LANE5\_SOL\_23 为 LVDS/HiSPi 模式下，lane5 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x13D4		LVDS0_LANE5_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_sol_3				lane5_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane5 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane5_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane5 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE5\_EOL\_01

LVDS0\_LANE5\_EOL\_01 为 LVDS/HiSPi 模式下，lane5 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x13D8		LVDS0_LANE5_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_eol_1				lane5_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane5 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane5_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane5 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

### LVDS0\_LANE5\_EOL\_23

LVDS0\_LANE5\_EOL\_23 为 LVDS/HiSPi 模式下，lane5 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x13DC		LVDS0_LANE5_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_eol_3				lane5_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane5 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane5_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane5 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE6\_SOF\_01

LVDS0\_LANE6\_SOF\_01 为 LVDS/HiSPi 模式下，lane6 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x13E0		LVDS0_LANE6_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_sof_1				lane6_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane6 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane6 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

## LVDS0\_LANE6\_SOF\_23

LVDS0\_LANE6\_SOF\_23 为 LVDS/HiSPi 模式下，lane6 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x13E4		LVDS0_LANE6_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_sof_3				lane6_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane6 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane6 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE6\_EOF\_01

LVDS0\_LANE6\_EOF\_01 为 LVDS/HiSPi 模式下，lane6 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x13E8		LVDS0_LANE6_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_eof_1				lane6_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane6 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane6 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE6\_EOF\_23

LVDS0\_LANE6\_EOF\_23 为 LVDS/HiSPi 模式下，lane6 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x13EC		LVDS0_LANE6_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_eof_3				lane6_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane6 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane6 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE6\_SOL\_01

LVDS0\_LANE6\_SOL\_01 为 LVDS/HiSPi 模式下，lane6 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x13F0		LVDS0_LANE6_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_sol_1				lane6_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane6 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane6 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

### LVDS0\_LANE6\_SOL\_23

LVDS0\_LANE6\_SOL\_23 为 LVDS/HiSPi 模式下，lane6 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x13F4		LVDS0_LANE6_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_sol_3				lane6_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane6 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane6 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE6\_EOL\_01

LVDS0\_LANE6\_EOL\_01 为 LVDS/HiSPi 模式下，lane6 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x13F8		LVDS0_LANE6_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_eol_1				lane6_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane6 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane6 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

## LVDS0\_LANE6\_EOL\_23

LVDS0\_LANE6\_EOL\_23 为 LVDS/HiSPi 模式下，lane6 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x13FC		LVDS0_LANE6_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_eol_3				lane6_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane6 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane6 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE7\_SOF\_01

LVDS0\_LANE7\_SOF\_01 为 LVDS/HiSPi 模式下，lane7 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1400		LVDS0_LANE7_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_sof_1				lane7_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane7 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane7 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

## LVDS0\_LANE7\_SOF\_23

LVDS0\_LANE7\_SOF\_23 为 LVDS/HiSPi 模式下，lane7 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x1404		LVDS0_LANE7_SOF_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane7_sof_3				lane7_sof_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane7_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane7 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane7_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane7 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE7\_EOF\_01

LVDS0\_LANE7\_EOF\_01 为 LVDS/HiSPi 模式下，lane7 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1408		LVDS0_LANE7_EOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane7_eof_1				lane7_eof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane7_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane7 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane7_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane7 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。					

## LVDS0\_LANE7\_EOF\_23

LVDS0\_LANE7\_EOF\_23 为 LVDS/HiSPi 模式下，lane7 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x140C		LVDS0_LANE7_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_eof_3				lane7_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane7 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane7 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE7\_SOL\_01

LVDS0\_LANE7\_SOL\_01 为 LVDS/HiSPi 模式下，lane7 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1410		LVDS0_LANE7_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_sol_1				lane7_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane7 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane7 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

### LVDS0\_LANE7\_SOL\_23

LVDS0\_LANE7\_SOL\_23 为 LVDS/HiSPi 模式下，lane7 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1414		LVDS0_LANE7_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_sol_3				lane7_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane7 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane7 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE7\_EOL\_01

LVDS0\_LANE7\_EOL\_01 为 LVDS/HiSPi 模式下，lane7 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1418		LVDS0_LANE7_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_eol_1				lane7_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane7 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane7 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

### LVDS0\_LANE7\_EOL\_23

LVDS0\_LANE7\_EOL\_23 为 LVDS/HiSPi 模式下，lane7 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x141C		LVDS0_LANE7_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_eol_3				lane7_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane7 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane7 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE8\_SOF\_01

LVDS0\_LANE8\_SOF\_01 为 LVDS/HiSPi 模式下，lane8 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1420		LVDS0_LANE8_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_sof_1				lane8_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane8 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane8 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

## LVDS0\_LANE8\_SOF\_23

LVDS0\_LANE8\_SOF\_23 为 LVDS/HiSPi 模式下，lane8 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1424		LVDS0_LANE8_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_sof_3				lane8_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane8 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane8 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE8\_EOF\_01

LVDS0\_LANE8\_EOF\_01 为 LVDS/HiSPi 模式下，lane8 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1428		LVDS0_LANE8_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_eof_1				lane8_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane8 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_eof_0	LVDS、HiSPi 模式下帧 0 的 0 帧结束同步码，lane8 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE8\_EOF\_23

LVDS0\_LANE8\_EOF\_23 为 LVDS/HiSPi 模式下，lane8 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x142C		LVDS0_LANE8_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_eof_3				lane8_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane8 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane8 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE8\_SOL\_01

LVDS0\_LANE8\_SOL\_01 为 LVDS/HiSPi 模式下，lane8 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1430		LVDS0_LANE8_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_sol_1				lane8_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane8 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane8 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

## LVDS0\_LANE8\_SOL\_23

LVDS0\_LANE8\_SOL\_23 为 LVDS/HiSPi 模式下，lane8 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x1434		LVDS0_LANE8_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_sol_3				lane8_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane8 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane8 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE8\_EOL\_01

LVDS0\_LANE8\_EOL\_01 为 LVDS/HiSPi 模式下，lane8 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1438		LVDS0_LANE8_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_eol_1				lane8_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane8 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane8 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

### LVDS0\_LANE8\_EOL\_23

LVDS0\_LANE8\_EOL\_23 为 LVDS/HiSPi 模式下，lane8 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x143C		LVDS0_LANE8_EOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane8_eol_3				lane8_eol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane8_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane8 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane8_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane8 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE9\_SOF\_01

LVDS0\_LANE9\_SOF\_01 为 LVDS/HiSPi 模式下，lane9 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1440		LVDS0_LANE9_SOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane9_sof_1				lane9_sof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane9_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane9 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane9_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane9 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。					

## LVDS0\_LANE9\_SOF\_23

LVDS0\_LANE9\_SOF\_23 为 LVDS/HiSPi 模式下，lane9 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1444		LVDS0_LANE9_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_sof_3				lane9_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane9 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane9_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane9 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE9\_EOF\_01

LVDS0\_LANE9\_EOF\_01 为 LVDS/HiSPi 模式下，lane9 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1448		LVDS0_LANE9_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_eof_1				lane9_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane9 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane9_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane9 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

### LVDS0\_LANE9\_EOF\_23

LVDS0\_LANE9\_EOF\_23 为 LVDS/HiSPi 模式下，lane9 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x144C		LVDS0_LANE9_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_eof_3				lane9_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane9 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane9_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane9 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE9\_SOL\_01

LVDS0\_LANE9\_SOL\_01 为 LVDS/HiSPi 模式下，lane9 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1450		LVDS0_LANE9_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_sol_1				lane9_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane9 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane9_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane9 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

### LVDS0\_LANE9\_SOL\_23

LVDS0\_LANE9\_SOL\_23 为 LVDS/HiSPi 模式下，lane9 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1454		LVDS0_LANE9_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_sol_3				lane9_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane9 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane9_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane9 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE9\_EOL\_01

LVDS0\_LANE9\_EOL\_01 为 LVDS/HiSPi 模式下，lane9 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1458		LVDS0_LANE9_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_eol_1				lane9_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane9 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane9_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane9 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

## LVDS0\_LANE9\_EOL\_23

LVDS0\_LANE9\_EOL\_23 为 LVDS/HiSPi 模式下，lane9 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x145C		LVDS0_LANE9_EOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane9_eol_3				lane9_eol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane9_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane9 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane9_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane9 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE10\_SOF\_01

LVDS0\_LANE10\_SOF\_01 为 LVDS/HiSPi 模式下，lane10 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1460		LVDS0_LANE10_SOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane10_sof_1				lane10_sof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane10_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane10 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane10_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane10 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。					

## LVDS0\_LANE10\_SOF\_23

LVDS0\_LANE10\_SOF\_23 为 LVDS/HiSPi 模式下，lane10 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1464		LVDS0_LANE10_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_sof_3				lane10_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane10 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane10 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE10\_EOF\_01

LVDS0\_LANE10\_EOF\_01 为 LVDS/HiSPi 模式下，lane10 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1468		LVDS0_LANE10_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_eof_1				lane10_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane10 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane10 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE10\_EOF\_23

LVDS0\_LANE10\_EOF\_23 为 LVDS/HiSPi 模式下，lane10 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x146C		LVDS0_LANE10_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_eof_3				lane10_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane10 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane10 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE10\_SOL\_01

LVDS0\_LANE10\_SOL\_01 为 LVDS/HiSPi 模式下，lane10 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1470		LVDS0_LANE10_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_sol_1				lane10_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane10 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane10 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

### LVDS0\_LANE10\_SOL\_23

LVDS0\_LANE10\_SOL\_23 为 LVDS/HiSPi 模式下，lane10 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x1474		LVDS0_LANE10_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_sol_3				lane10_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane10 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane10 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE10\_EOL\_01

LVDS0\_LANE10\_EOL\_01 为 LVDS/HiSPi 模式下，lane10 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1478		LVDS0_LANE10_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_eol_1				lane10_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane10 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane10 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

## LVDS0\_LANE10\_EOL\_23

LVDS0\_LANE10\_EOL\_23 为 LVDS/HiSPi 模式下，lane10 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x147C		LVDS0_LANE10_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_eol_3				lane10_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane10 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane10 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE11\_SOF\_01

LVDS0\_LANE11\_SOF\_01 为 LVDS/HiSPi 模式下，lane11 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1480		LVDS0_LANE11_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_sof_1				lane11_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane11 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane11 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

## LVDS0\_LANE11\_SOF\_23

LVDS0\_LANE11\_SOF\_23 为 LVDS/HiSPi 模式下，lane11 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1484		LVDS0_LANE11_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_sof_3				lane11_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane11 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane11 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE11\_EOF\_01

LVDS0\_LANE11\_EOF\_01 为 LVDS/HiSPi 模式下，lane11 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1488		LVDS0_LANE11_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_eof_1				lane11_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane11 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane11 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE11\_EOF\_23

LVDS0\_LANE11\_EOF\_23 为 LVDS/HiSPi 模式下，lane11 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x148C		LVDS0_LANE11_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_eof_3				lane11_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane11 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane11 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE11\_SOL\_01

LVDS0\_LANE11\_SOL\_01 为 LVDS/HiSPi 模式下，lane11 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1490		LVDS0_LANE11_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_sol_1				lane11_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane11 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane11 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

## LVDS0\_LANE11\_SOL\_23

LVDS0\_LANE11\_SOL\_23 为 LVDS/HiSPi 模式下，lane11 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1494		LVDS0_LANE11_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_sol_3				lane11_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane11 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane11 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE11\_EOL\_01

LVDS0\_LANE11\_EOL\_01 为 LVDS/HiSPi 模式下，lane11 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1498		LVDS0_LANE11_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_eol_1				lane11_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane11 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane11 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

### LVDS0\_LANE11\_EOL\_23

LVDS0\_LANE11\_EOL\_23 为 LVDS/HiSPi 模式下，lane11 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x149C		LVDS0_LANE11_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_eol_3				lane11_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane11 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane11 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE0\_NXT\_SOF\_01

LVDS0\_LANE0\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane0 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14A0		LVDS0_LANE0_NXT_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_nxt_sof_1				lane0_nxt_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane0 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane0_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane0 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

### LVDS0\_LANE0\_NXT\_SOF\_23

LVDS0\_LANE0\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane0 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x14A4		LVDS0_LANE0_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_nxt_sof_3				lane0_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码， lane0 SOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码， lane0 SOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE0\_NXT\_EOF\_01

LVDS0\_LANE0\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane0 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14A8		LVDS0_LANE0_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_nxt_eof_1				lane0_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码， lane0 EOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的 0 帧结束同步码， lane0 EOF of frame0; WDR 模式下为第 0 帧 EOF， linear 模式下为 EOF。						

## LVDS0\_LANE0\_NXT\_EOF\_23

LVDS0\_LANE0\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane0 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x14AC		LVDS0_LANE0_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_nxt_eof_3				lane0_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码， lane0 EOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码， lane0 EOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE0\_NXT\_SOL\_01

LVDS0\_LANE0\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane0 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14B0		LVDS0_LANE0_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_nxt_sol_1				lane0_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码， lane0 SOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码， lane0 SOL of frame0; WDR 模式下为第 0 帧 SOL， linear 模式下为 SOL。						

## LVDS0\_LANE0\_NXT\_SOL\_23

LVDS0\_LANE0\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane0 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x14B4		LVDS0_LANE0_NXT_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_nxt_sol_3				lane0_nxt_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码， lane0 SOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码， lane0 SOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

### LVDS0\_LANE0\_NXT\_EOL\_01

LVDS0\_LANE0\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane0 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14B8		LVDS0_LANE0_NXT_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_nxt_eol_1				lane0_nxt_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码， lane0 EOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码， lane0 EOL of frame0; WDR 模式下为第 0 帧 EOL， linear 模式下为 EOL。						

### LVDS0\_LANE0\_NXT\_EOL\_23

LVDS0\_LANE0\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane0 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x14BC		LVDS0_LANE0_NXT_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane0_nxt_eol_3				lane0_nxt_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane0_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码， lane0 EOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane0_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码， lane0 EOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE1\_NXT\_SOF\_01

LVDS0\_LANE1\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane1 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14C0		LVDS0_LANE1_NXT_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_nxt_sof_1				lane1_nxt_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码， lane1 SOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane1_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码， lane1 SOF of frame0; WDR 模式下为第 0 帧 SOF， linear 模式下为 SOF。						

## LVDS0\_LANE1\_NXT\_SOF\_23

LVDS0\_LANE1\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane1 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x14C4		LVDS0_LANE1_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_nxt_sof_3				lane1_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane1 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane1_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane1 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE1\_NXT\_EOF\_01

LVDS0\_LANE1\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane1 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14C8		LVDS0_LANE1_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_nxt_eof_1				lane1_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane1 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane1_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane1 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE1\_NXT\_EOF\_23

LVDS0\_LANE1\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane1 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x14CC		LVDS0_LANE1_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_nxt_eof_3				lane1_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码， lane1 EOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane1_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码， lane1 EOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE1\_NXT\_SOL\_01

LVDS0\_LANE1\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane1 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14D0		LVDS0_LANE1_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_nxt_sol_1				lane1_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码， lane1 SOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane1_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码， lane1 SOL of frame0; WDR 模式下为第 0 帧 SOL， linear 模式下为 SOL。						

## LVDS0\_LANE1\_NXT\_SOL\_23

LVDS0\_LANE1\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane1 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x14D4		LVDS0_LANE1_NXT_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_nxt_sol_3				lane1_nxt_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码， lane1 SOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane1_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码， lane1 SOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

### LVDS0\_LANE1\_NXT\_EOL\_01

LVDS0\_LANE1\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane1 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14D8		LVDS0_LANE1_NXT_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane1_nxt_eol_1				lane1_nxt_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane1_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码， lane1 EOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane1_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码， lane1 EOL of frame0; WDR 模式下为第 0 帧 EOL， linear 模式下为 EOL。						

### LVDS0\_LANE1\_NXT\_EOL\_23

LVDS0\_LANE1\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane1 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x14DC		LVDS0_LANE1_NXT_EOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane1_nxt_eol_3				lane1_nxt_eol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane1_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane1 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane1_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane1 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE2\_NXT\_SOF\_01

LVDS0\_LANE2\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane2 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x14E0		LVDS0_LANE2_NXT_SOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane2_nxt_sof_1				lane2_nxt_sof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane2_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane2 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane2_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane2 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。					

## LVDS0\_LANE2\_NXT\_SOF\_23

LVDS0\_LANE2\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane2 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x14E4		LVDS0_LANE2_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane2_nxt_sof_3				lane2_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane2_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码， lane2 SOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane2_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码， lane2 SOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE2\_NXT\_EOF\_01

LVDS0\_LANE2\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane2 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14E8		LVDS0_LANE2_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane2_nxt_eof_1				lane2_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane2_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码， lane2 EOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane2_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码， lane2 EOF of frame0; WDR 模式下为第 0 帧 EOF， linear 模式下为 EOF。						

## LVDS0\_LANE2\_NXT\_EOF\_23

LVDS0\_LANE2\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane2 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x14EC		LVDS0_LANE2_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane2_nxt_eof_3				lane2_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane2_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码， lane2 EOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane2_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码， lane2 EOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE2\_NXT\_SOL\_01

LVDS0\_LANE2\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane2 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14F0		LVDS0_LANE2_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane2_nxt_sol_1				lane2_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane2_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码， lane2 SOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane2_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码， lane2 SOL of frame0; WDR 模式下为第 0 帧 SOL， linear 模式下为 SOL。						

## LVDS0\_LANE2\_NXT\_SOL\_23

LVDS0\_LANE2\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane2 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x14F4		LVDS0_LANE2_NXT_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane2_nxt_sol_3				lane2_nxt_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane2_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码， lane2 SOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane2_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码， lane2 SOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE2\_NXT\_EOL\_01

LVDS0\_LANE2\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane2 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x14F8		LVDS0_LANE2_NXT_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane2_nxt_eol_1				lane2_nxt_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane2_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码， lane2 EOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane2_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码， lane2 EOL of frame0; WDR 模式下为第 0 帧 EOL， linear 模式下为 EOL。						

## LVDS0\_LANE2\_NXT\_EOL\_23

LVDS0\_LANE2\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane2 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x14FC		LVDS0_LANE2_NXT_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane2_nxt_eol_3				lane2_nxt_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane2_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane2 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane2_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane2 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE3\_NXT\_SOF\_01

LVDS0\_LANE3\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane3 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1500		LVDS0_LANE3_NXT_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_nxt_sof_1				lane3_nxt_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane3 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane3_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane3 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

## LVDS0\_LANE3\_NXT\_SOF\_23

LVDS0\_LANE3\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane3 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1504		LVDS0_LANE3_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_nxt_sof_3				lane3_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane3 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane3_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane3 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE3\_NXT\_EOF\_01

LVDS0\_LANE3\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane3 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1508		LVDS0_LANE3_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_nxt_eof_1				lane3_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane3 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane3_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane3 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE3\_NXT\_EOF\_23

LVDS0\_LANE3\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane3 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x150C		LVDS0_LANE3_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_nxt_eof_3				lane3_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码， lane3 EOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane3_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码， lane3 EOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE3\_NXT\_SOL\_01

LVDS0\_LANE3\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane3 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1510		LVDS0_LANE3_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_nxt_sol_1				lane3_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码， lane3 SOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane3_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码， lane3 SOL of frame0; WDR 模式下为第 0 帧 SOL， linear 模式下为 SOL。						

## LVDS0\_LANE3\_NXT\_SOL\_23

LVDS0\_LANE3\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane3 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1514		LVDS0_LANE3_NXT_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_nxt_sol_3				lane3_nxt_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码， lane3 SOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane3_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码， lane3 SOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

### LVDS0\_LANE3\_NXT\_EOL\_01

LVDS0\_LANE3\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane3 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1518		LVDS0_LANE3_NXT_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_nxt_eol_1				lane3_nxt_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码， lane3 EOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane3_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码， lane3 EOL of frame0; WDR 模式下为第 0 帧 EOL， linear 模式下为 EOL。						

### LVDS0\_LANE3\_NXT\_EOL\_23

LVDS0\_LANE3\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane3 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x151C		LVDS0_LANE3_NXT_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane3_nxt_eol_3				lane3_nxt_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane3_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane3 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane3_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane3 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE4\_NXT\_SOF\_01

LVDS0\_LANE4\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane4 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1520		LVDS0_LANE4_NXT_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane4_nxt_sof_1				lane4_nxt_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane4_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane4 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane4_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane4 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

## LVDS0\_LANE4\_NXT\_SOF\_23

LVDS0\_LANE4\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane4 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1524		LVDS0_LANE4_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane4_nxt_sof_3				lane4_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane4_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码， lane4 SOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane4_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码， lane4 SOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE4\_NXT\_EOF\_01

LVDS0\_LANE4\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane4 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1528		LVDS0_LANE4_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane4_nxt_eof_1				lane4_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane4_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码， lane4 EOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane4_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的 0 帧结束同步码， lane4 EOF of frame0; WDR 模式下为第 0 帧 EOF， linear 模式下为 EOF。						

## LVDS0\_LANE4\_NXT\_EOF\_23

LVDS0\_LANE4\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane4 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x152C		LVDS0_LANE4_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane4_nxt_eof_3				lane4_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane4_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码， lane4 EOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane4_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码， lane4 EOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE4\_NXT\_SOL\_01

LVDS0\_LANE4\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane4 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1530		LVDS0_LANE4_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane4_nxt_sol_1				lane4_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane4_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码， lane4 SOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane4_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码， lane4 SOL of frame0; WDR 模式下为第 0 帧 SOL， linear 模式下为 SOL。						

## LVDS0\_LANE4\_NXT\_SOL\_23

LVDS0\_LANE4\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane4 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value				
0x1534		LVDS0_LANE4_NXT_SOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane4_nxt_sol_3				lane4_nxt_sol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane4_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane4 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane4_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane4 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE4\_NXT\_EOL\_01

LVDS0\_LANE4\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane4 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1538		LVDS0_LANE4_NXT_EOL_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane4_nxt_eol_1				lane4_nxt_eol_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane4_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane4 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane4_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane4 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。					

## LVDS0\_LANE4\_NXT\_EOL\_23

LVDS0\_LANE4\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane4 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x153C		LVDS0_LANE4_NXT_EOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane4_nxt_eol_3				lane4_nxt_eol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane4_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码， lane4 EOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。					
[15:0]	RW	lane4_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码， lane4 EOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。					

## LVDS0\_LANE5\_NXT\_SOF\_01

LVDS0\_LANE5\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane5 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1540		LVDS0_LANE5_NXT_SOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane5_nxt_sof_1				lane5_nxt_sof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane5_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码， lane5 SOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。					
[15:0]	RW	lane5_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码， lane5 SOF of frame0; WDR 模式下为第 0 帧 SOF， linear 模式下为 SOF。					

## LVDS0\_LANE5\_NXT\_SOF\_23

LVDS0\_LANE5\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane5 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1544		LVDS0_LANE5_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_nxt_sof_3				lane5_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane5 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane5_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane5 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE5\_NXT\_EOF\_01

LVDS0\_LANE5\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane5 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1548		LVDS0_LANE5_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_nxt_eof_1				lane5_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane5 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane5_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane5 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE5\_NXT\_EOF\_23

LVDS0\_LANE5\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane5 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x154C		LVDS0_LANE5_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_nxt_eof_3				lane5_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane5 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane5_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane5 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE5\_NXT\_SOL\_01

LVDS0\_LANE5\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane5 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1550		LVDS0_LANE5_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_nxt_sol_1				lane5_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane5 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane5_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane5 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

## LVDS0\_LANE5\_NXT\_SOL\_23

LVDS0\_LANE5\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane5 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1554		LVDS0_LANE5_NXT_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_nxt_sol_3				lane5_nxt_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane5 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane5_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane5 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE5\_NXT\_EOL\_01

LVDS0\_LANE5\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane5 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1558		LVDS0_LANE5_NXT_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_nxt_eol_1				lane5_nxt_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane5 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane5_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane5 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

## LVDS0\_LANE5\_NXT\_EOL\_23

LVDS0\_LANE5\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane5 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x155C		LVDS0_LANE5_NXT_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane5_nxt_eol_3				lane5_nxt_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane5_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码， lane5 EOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane5_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码， lane5 EOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

### LVDS0\_LANE6\_NXT\_SOF\_01

LVDS0\_LANE6\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane6 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1560		LVDS0_LANE6_NXT_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_nxt_sof_1				lane6_nxt_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码， lane6 SOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane6_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码， lane6 SOF of frame0; WDR 模式下为第 0 帧 SOF， linear 模式下为 SOF。						

### LVDS0\_LANE6\_NXT\_SOF\_23

LVDS0\_LANE6\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane6 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1564		LVDS0_LANE6_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_nxt_sof_3				lane6_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码， lane6 SOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane6_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码， lane6 SOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE6\_NXT\_EOF\_01

LVDS0\_LANE6\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane6 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1568		LVDS0_LANE6_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_nxt_eof_1				lane6_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码， lane6 EOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane6_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码， lane6 EOF of frame0; WDR 模式下为第 0 帧 EOF， linear 模式下为 EOF。						

## LVDS0\_LANE6\_NXT\_EOF\_23

LVDS0\_LANE6\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane6 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x156C		LVDS0_LANE6_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_nxt_eof_3				lane6_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane6 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane6 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE6\_NXT\_SOL\_01

LVDS0\_LANE6\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane6 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1570		LVDS0_LANE6_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_nxt_sol_1				lane6_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane6 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane6 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

### LVDS0\_LANE6\_NXT\_SOL\_23

LVDS0\_LANE6\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane6 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x1574		LVDS0_LANE6_NXT_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_nxt_sol_3				lane6_nxt_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane6 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane6 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE6\_NXT\_EOL\_01

LVDS0\_LANE6\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane6 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1578		LVDS0_LANE6_NXT_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_nxt_eol_1				lane6_nxt_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane6 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane6 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

### LVDS0\_LANE6\_NXT\_EOL\_23

LVDS0\_LANE6\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane6 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x157C		LVDS0_LANE6_NXT_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane6_nxt_eol_3				lane6_nxt_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane6_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane6 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane6_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane6 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE7\_NXT\_SOF\_01

LVDS0\_LANE7\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane7 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1580		LVDS0_LANE7_NXT_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_nxt_sof_1				lane7_nxt_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码，lane7 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码，lane7 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

### LVDS0\_LANE7\_NXT\_SOF\_23

LVDS0\_LANE7\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane7 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1584		LVDS0_LANE7_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_nxt_sof_3				lane7_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane7 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane7 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE7\_NXT\_EOF\_01

LVDS0\_LANE7\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane7 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1588		LVDS0_LANE7_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_nxt_eof_1				lane7_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane7 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane7 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE7\_NXT\_EOF\_23

LVDS0\_LANE7\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane7 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x158C		LVDS0_LANE7_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_nxt_eof_3				lane7_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane7 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane7 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE7\_NXT\_SOL\_01

LVDS0\_LANE7\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane7 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1590		LVDS0_LANE7_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_nxt_sol_1				lane7_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane7 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane7 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

### LVDS0\_LANE7\_NXT\_SOL\_23

LVDS0\_LANE7\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane7 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1594		LVDS0_LANE7_NXT_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_nxt_sol_3				lane7_nxt_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane7 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane7 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE7\_NXT\_EOL\_01

LVDS0\_LANE7\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane7 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1598		LVDS0_LANE7_NXT_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_nxt_eol_1				lane7_nxt_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane7 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane7_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane7 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。						

## LVDS0\_LANE7\_NXT\_EOL\_23

LVDS0\_LANE7\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane7 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x159C		LVDS0_LANE7_NXT_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane7_nxt_eol_3				lane7_nxt_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane7_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码， lane7 EOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane7_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码， lane7 EOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE8\_NXT\_SOF\_01

LVDS0\_LANE8\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane8 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15A0		LVDS0_LANE8_NXT_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_nxt_sof_1				lane8_nxt_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码， lane8 SOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane8_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码， lane8 SOF of frame0; WDR 模式下为第 0 帧 SOF， linear 模式下为 SOF。						

## LVDS0\_LANE8\_NXT\_SOF\_23

LVDS0\_LANE8\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane8 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x15A4		LVDS0_LANE8_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_nxt_sof_3				lane8_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane8 SOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane8 SOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE8\_NXT\_EOF\_01

LVDS0\_LANE8\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane8 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15A8		LVDS0_LANE8_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_nxt_eof_1				lane8_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane8 EOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的 0 帧结束同步码，lane8 EOF of frame0; WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE8\_NXT\_EOF\_23

LVDS0\_LANE8\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane8 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x15AC		LVDS0_LANE8_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_nxt_eof_3				lane8_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane8 EOF of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane8 EOF of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

### LVDS0\_LANE8\_NXT\_SOL\_01

LVDS0\_LANE8\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane8 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15B0		LVDS0_LANE8_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_nxt_sol_1				lane8_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane8 SOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane8_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane8 SOL of frame0; WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

### LVDS0\_LANE8\_NXT\_SOL\_23

LVDS0\_LANE8\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane8 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value					
0x15B4		LVDS0_LANE8_NXT_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_nxt_sol_3				lane8_nxt_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码， lane8 SOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane8_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码， lane8 SOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

### LVDS0\_LANE8\_NXT\_EOL\_01

LVDS0\_LANE8\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane8 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15B8		LVDS0_LANE8_NXT_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane8_nxt_eol_1				lane8_nxt_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane8_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码， lane8 EOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane8_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码， lane8 EOL of frame0; WDR 模式下为第 0 帧 EOL， linear 模式下为 EOL。						

### LVDS0\_LANE8\_NXT\_EOL\_23

LVDS0\_LANE8\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane8 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x15BC		LVDS0_LANE8_NXT_EOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane8_nxt_eol_3				lane8_nxt_eol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane8_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码， lane8 EOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。					
[15:0]	RW	lane8_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码， lane8 EOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。					

## LVDS0\_LANE9\_NXT\_SOF\_01

LVDS0\_LANE9\_NXT\_SOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane9 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x15C0		LVDS0_LANE9_NXT_SOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane9_nxt_sof_1				lane9_nxt_sof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane9_nxt_sof_1	LVDS、HiSPi 模式下帧 1 的帧起始同步码， lane9 SOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。					
[15:0]	RW	lane9_nxt_sof_0	LVDS、HiSPi 模式下帧 0 的帧起始同步码， lane9 SOF of frame0; WDR 模式下为第 0 帧 SOF， linear 模式下为 SOF。					

## LVDS0\_LANE9\_NXT\_SOF\_23

LVDS0\_LANE9\_NXT\_SOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane9 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x15C4		LVDS0_LANE9_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_next_sof_3				lane9_next_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_next_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码， lane9 SOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane9_next_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码， lane9 SOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE9\_NXT\_EOF\_01

LVDS0\_LANE9\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane9 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15C8		LVDS0_LANE9_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_next_eof_1				lane9_next_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_next_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码， lane9 EOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane9_next_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码， lane9 EOF of frame0; WDR 模式下为第 0 帧 EOF， linear 模式下为 EOF。						

## LVDS0\_LANE9\_NXT\_EOF\_23

LVDS0\_LANE9\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane9 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x15CC		LVDS0_LANE9_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_nxt_eof_3				lane9_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码， lane9 EOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane9_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码， lane9 EOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE9\_NXT\_SOL\_01

LVDS0\_LANE9\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane9 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15D0		LVDS0_LANE9_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_nxt_sol_1				lane9_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码， lane9 SOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane9_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码， lane9 SOL of frame0; WDR 模式下为第 0 帧 SOL， linear 模式下为 SOL。						

## LVDS0\_LANE9\_NXT\_SOL\_23

LVDS0\_LANE9\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane9 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x15D4		LVDS0_LANE9_NXT_SOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_nxt_sol_3				lane9_nxt_sol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码， lane9 SOL of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane9_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码， lane9 SOL of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE9\_NXT\_EOL\_01

LVDS0\_LANE9\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane9 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15D8		LVDS0_LANE9_NXT_EOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_nxt_eol_1				lane9_nxt_eol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码， lane9 EOL of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane9_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码， lane9 EOL of frame0; WDR 模式下为第 0 帧 EOL， linear 模式下为 EOL。						

## LVDS0\_LANE9\_NXT\_EOL\_23

LVDS0\_LANE9\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane9 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x15DC		LVDS0_LANE9_NXT_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane9_nxt_eol_3				lane9_nxt_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane9_nxt_eol_3	LVDS、HiSpi 模式下帧 3 的行结束同步码，lane9 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane9_nxt_eol_2	LVDS、HiSpi 模式下帧 2 的行结束同步码，lane9 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE10\_NXT\_SOF\_01

LVDS0\_LANE10\_NXT\_SOF\_01 为 LVDS/HiSpi 模式下，第 N+1 帧 lane10 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15E0		LVDS0_LANE10_NXT_SOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_nxt_sof_1				lane10_nxt_sof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_nxt_sof_1	LVDS、HiSpi 模式下帧 1 的帧起始同步码，lane10 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_nxt_sof_0	LVDS、HiSpi 模式下帧 0 的帧起始同步码，lane10 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。						

## LVDS0\_LANE10\_NXT\_SOF\_23

LVDS0\_LANE10\_NXT\_SOF\_23 为 LVDS/HiSpi 模式下，第 N+1 帧 lane10 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x15E4		LVDS0_LANE10_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_nxt_sof_3				lane10_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码， lane10 SOF of frame3; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane10_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码， lane10 SOF of frame2; 仅在 WDR 模式下可配置， linear 模式下配置无效。						

## LVDS0\_LANE10\_NXT\_EOF\_01

LVDS0\_LANE10\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane10 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15E8		LVDS0_LANE10_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_nxt_eof_1				lane10_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码， lane10 EOF of frame1; 仅在 WDR 模式下可配置， linear 模式下配置无效。						
[15:0]	RW	lane10_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码， lane10 EOF of frame0; WDR 模式下为第 0 帧 EOF， linear 模式下为 EOF。						

## LVDS0\_LANE10\_NXT\_EOF\_23

LVDS0\_LANE10\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下， 第 N+1 帧 lane10 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x15EC		LVDS0_LANE10_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_nxt_eof_3				lane10_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane10 EOF of frame3； 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane10 EOF of frame2； 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE10\_NXT\_SOL\_01

LVDS0\_LANE10\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane10 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x15F0		LVDS0_LANE10_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane10_nxt_sol_1				lane10_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane10_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane10 SOL of frame1； 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane10_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane10 SOL of frame0； WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

## LVDS0\_LANE10\_NXT\_SOL\_23

LVDS0\_LANE10\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane10 行起始同步码配置寄存器。





Offset Address		Register Name		Total Reset Value				
0x15F4		LVDS0_LANE10_NXT_SOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane10_nxt_sol_3				lane10_nxt_sol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane10_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane10 SOL of frame3； 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane10_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane10 SOL of frame2； 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE10\_NXT\_EOL\_01

LVDS0\_LANE10\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane10 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x15F8		LVDS0_LANE10_NXT_EOL_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane10_nxt_eol_1				lane10_nxt_eol_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane10_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane10 EOL of frame1； 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane10_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane10 EOL of frame0； WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。					

## LVDS0\_LANE10\_NXT\_EOL\_23

LVDS0\_LANE10\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane10 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x15FC		LVDS0_LANE10_NXT_EOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane10_nxt_eol_3				lane10_nxt_eol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane10_nxt_eol_3	LVDS、HiSpi 模式下帧 3 的行结束同步码，lane10 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane10_nxt_eol_2	LVDS、HiSpi 模式下帧 2 的行结束同步码，lane10 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE11\_NXT\_SOF\_01

LVDS0\_LANE11\_NXT\_SOF\_01 为 LVDS/HiSpi 模式下，第 N+1 帧 lane11 帧起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1600		LVDS0_LANE11_NXT_SOF_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane11_nxt_sof_1				lane11_nxt_sof_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane11_nxt_sof_1	LVDS、HiSpi 模式下帧 1 的帧起始同步码，lane11 SOF of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane11_nxt_sof_0	LVDS、HiSpi 模式下帧 0 的帧起始同步码，lane11 SOF of frame0; WDR 模式下为第 0 帧 SOF，linear 模式下为 SOF。					

## LVDS0\_LANE11\_NXT\_SOF\_23

LVDS0\_LANE11\_NXT\_SOF\_23 为 LVDS/HiSpi 模式下，第 N+1 帧 lane11 帧起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x1604		LVDS0_LANE11_NXT_SOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_nxt_sof_3				lane11_nxt_sof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_nxt_sof_3	LVDS、HiSPi 模式下帧 3 的帧起始同步码，lane11 SOF of frame3； 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_nxt_sof_2	LVDS、HiSPi 模式下帧 2 的帧起始同步码，lane11 SOF of frame2； 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE11\_NXT\_EOF\_01

LVDS0\_LANE11\_NXT\_EOF\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane11 帧结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1608		LVDS0_LANE11_NXT_EOF_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_nxt_eof_1				lane11_nxt_eof_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_nxt_eof_1	LVDS、HiSPi 模式下帧 1 的帧结束同步码，lane11 EOF of frame1； 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_nxt_eof_0	LVDS、HiSPi 模式下帧 0 的帧结束同步码，lane11 EOF of frame0； WDR 模式下为第 0 帧 EOF，linear 模式下为 EOF。						

## LVDS0\_LANE11\_NXT\_EOF\_23

LVDS0\_LANE11\_NXT\_EOF\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane11 帧结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x160C		LVDS0_LANE11_NXT_EOF_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_nxt_eof_3				lane11_nxt_eof_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_nxt_eof_3	LVDS、HiSPi 模式下帧 3 的帧结束同步码，lane11 EOF of frame3； 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_nxt_eof_2	LVDS、HiSPi 模式下帧 2 的帧结束同步码，lane11 EOF of frame2； 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LANE11\_NXT\_SOL\_01

LVDS0\_LANE11\_NXT\_SOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane11 行起始同步码配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1610		LVDS0_LANE11_NXT_SOL_01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_nxt_sol_1				lane11_nxt_sol_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_nxt_sol_1	LVDS、HiSPi 模式下帧 1 的行起始同步码，lane11 SOL of frame1； 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_nxt_sol_0	LVDS、HiSPi 模式下帧 0 的行起始同步码，lane11 SOL of frame0； WDR 模式下为第 0 帧 SOL，linear 模式下为 SOL。						

## LVDS0\_LANE11\_NXT\_SOL\_23

LVDS0\_LANE11\_NXT\_SOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane11 行起始同步码配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x1614		LVDS0_LANE11_NXT_SOL_23		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane11_nxt_sol_3				lane11_nxt_sol_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane11_nxt_sol_3	LVDS、HiSPi 模式下帧 3 的行起始同步码，lane11 SOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane11_nxt_sol_2	LVDS、HiSPi 模式下帧 2 的行起始同步码，lane11 SOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。					

## LVDS0\_LANE11\_NXT\_EOL\_01

LVDS0\_LANE11\_NXT\_EOL\_01 为 LVDS/HiSPi 模式下，第 N+1 帧 lane11 行结束同步码配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1618		LVDS0_LANE11_NXT_EOL_01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lane11_nxt_eol_1				lane11_nxt_eol_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	lane11_nxt_eol_1	LVDS、HiSPi 模式下帧 1 的行结束同步码，lane11 EOL of frame1; 仅在 WDR 模式下可配置，linear 模式下配置无效。					
[15:0]	RW	lane11_nxt_eol_0	LVDS、HiSPi 模式下帧 0 的行结束同步码，lane11 EOL of frame0; WDR 模式下为第 0 帧 EOL，linear 模式下为 EOL。					

## LVDS0\_LANE11\_NXT\_EOL\_23

LVDS0\_LANE11\_NXT\_EOL\_23 为 LVDS/HiSPi 模式下，第 N+1 帧 lane11 行结束同步码配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x161C		LVDS0_LANE11_NXT_EOL_23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lane11_nxt_eol_3				lane11_nxt_eol_2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	lane11_nxt_eol_3	LVDS、HiSPi 模式下帧 3 的行结束同步码，lane11 EOL of frame3; 仅在 WDR 模式下可配置，linear 模式下配置无效。						
[15:0]	RW	lane11_nxt_eol_2	LVDS、HiSPi 模式下帧 2 的行结束同步码，lane11 EOL of frame2; 仅在 WDR 模式下可配置，linear 模式下配置无效。						

## LVDS0\_LI\_WORD0

LVDS0\_LI\_WORD0 为 LVDS DOL 模式第 0 帧 LI 寄存器。

Offset Address		Register Name		Total Reset Value					
0x1620		LVDS0_LI_WORD0		0x0211_0201					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	li_word0_1				li_word0_0				
Reset	0 0 0 0	0 0 1 0	0 0 0 1	0 0 0 1	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RW	li_word0_1	DOL 模式 LEF 的 Line Information 的值(N+1 Frame)。						
[15:0]	RW	li_word0_0	DOL 模式 LEF 的 Line Information 的值(N Frame)。						

## LVDS0\_LI\_WORD1

LVDS0\_LI\_WORD1 为 LVDS DOL 模式第 1 帧 LI 寄存器。



Offset Address		Register Name		Total Reset Value				
0x1624		LVDS0_LI_WORD1		0x0212_0202				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	li_word1_1				li_word1_0			
Reset	0 0 0 0	0 0 1 0	0 0 0 1	0 0 1 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 1 0
Bits	Access	Name	Description					
[31:16]	RW	li_word1_1	DOL 模式 SEF1 的 Line Information 的值(N+1 Frame)。					
[15:0]	RW	li_word1_0	DOL 模式 SEF1 的 Line Information 的值(N Frame)。					

## LVDS0\_LI\_WORD2

LVDS0\_LI\_WORD2 为 LVDS DOL 模式第 2 帧 LI 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1628		LVDS0_LI_WORD2		0x0214_0204				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	li_word2_1				li_word2_0			
Reset	0 0 0 0	0 0 1 0	0 0 0 1	0 1 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 1 0 0
Bits	Access	Name	Description					
[31:16]	RW	li_word2_1	DOL 模式 SEF2 的 Line Information 的值(N+1 Frame)。					
[15:0]	RW	li_word2_0	DOL 模式 SEF2 的 Line Information 的值(N Frame)。					

## LVDS0\_LI\_WORD3

LVDS0\_LI\_WORD3 为 LVDS DOL 模式第 3 帧 LI 寄存器。

Offset Address		Register Name		Total Reset Value				
0x162C		LVDS0_LI_WORD3		0x0218_0208				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	li_word3_1				li_word3_0			
Reset	0 0 0 0	0 0 1 0	0 0 0 1	1 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	li_word3_1	DOL 模式 SEF3 的 Line Information 的值(N+1 Frame)。					
[15:0]	RW	li_word3_0	DOL 模式 SEF3 的 Line Information 的值(N Frame)。					



## LVDS0\_IMGSIZE0\_STATIS

LVDS0\_IMGSIZE0\_STATIS 为 LVDS LEF 图像宽高统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x1680		LVDS0_IMGSIZE0_STATIS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lvds_imgheight0				lvds_imgwidth0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	lvds_imgheight0	LVDS/HiSPi 模式下, virtual channel0 传输的图像高度。					
[15:0]	RO	lvds_imgwidth0	LVDS/HiSPi 模式下, virtual channel0 传输的图像宽度。					

## LVDS0\_IMGSIZE1\_STATIS

LVDS0\_IMGSIZE1\_STATIS 为 LVDS SEF1 图像宽高统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x1684		LVDS0_IMGSIZE1_STATIS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lvds_imgheight1				lvds_imgwidth1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	lvds_imgheight1	LVDS/HiSPi 模式下, virtual channel1 传输的图像高度。					
[15:0]	RO	lvds_imgwidth1	LVDS/HiSPi 模式下, virtual channel1 传输的图像宽度。					

## LVDS0\_IMGSIZE2\_STATIS

LVDS0\_IMGSIZE2\_STATIS 为 LVDS SEF2 图像宽高统计寄存器。





Offset Address		Register Name		Total Reset Value				
0x1688		LVDS0_IMGSIZE2_STATIS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lvds_imgheight2				lvds_imgwidth2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	lvds_imgheight2	LVDS/HiSPi 模式下, virtual channel2 传输的图像高度。					
[15:0]	RO	lvds_imgwidth2	LVDS/HiSPi 模式下, virtual channel2 传输的图像宽度。					

### LVDS0\_IMGSIZE3\_STATIS

LVDS0\_IMGSIZE3\_STATIS 为 LVDS SEF3 图像宽高统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x168C		LVDS0_IMGSIZE3_STATIS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	lvds_imgheight3				lvds_imgwidth3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	lvds_imgheight3	LVDS/HiSPi 模式下, virtual channel3 传输的图像高度。					
[15:0]	RO	lvds_imgwidth3	LVDS/HiSPi 模式下, virtual channel3 传输的图像宽度。					

### LVDS0\_CTRL\_INT\_RAW

LVDS0\_CTRL\_INT\_RAW 为 LVDS 读数据原始中断状态寄存器。



Offset Address		Register Name																Total Reset Value														
0x16F0		LVDS0_CTRL_INT_RAW																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				link2_rderr_raw	link1_rderr_raw	link0_rderr_raw	reserved	lvds_stat_err_raw	lane11_sync_err_raw	lane10_sync_err_raw	lane9_sync_err_raw	lane8_sync_err_raw	lane7_sync_err_raw	lane6_sync_err_raw	lane5_sync_err_raw	lane4_sync_err_raw	lane3_sync_err_raw	lane2_sync_err_raw	lane1_sync_err_raw	lane0_sync_err_raw	link2_hsync_err_raw	link2_vsync_err_raw	link2_wrerr_raw	link1_hsync_err_raw	link1_vsync_err_raw	link1_wrerr_raw	link0_hsync_err_raw	link0_vsync_err_raw	link0_wrerr_raw		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:27]	RO	reserved	保留。																													
[26]	WC	link2_rderr_raw	Link2 读数据错误原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[25]	WC	link1_rderr_raw	Link1 读数据错误原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[24]	WC	link0_rderr_raw	Link0 读数据错误原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[23:22]	RO	reserved	保留。																													
[21]	WC	lvds_stat_err_raw	LVDS 状态错误原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[20]	WC	lane11_sync_err_raw	Lane11 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[19]	WC	lane10_sync_err_raw	Lane10 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[18]	WC	lane9_sync_err_raw	Lane9 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。																													



[17]	WC	lane8_sync_err_raw	Lane8 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[16]	WC	lane7_sync_err_raw	Lane7 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[15]	WC	lane6_sync_err_raw	Lane6 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[14]	WC	lane5_sync_err_raw	Lane5 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[13]	WC	lane4_sync_err_raw	Lane4 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[12]	WC	lane3_sync_err_raw	Lane3 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[11]	WC	lane2_sync_err_raw	Lane2 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[10]	WC	lane1_sync_err_raw	Lane1 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[9]	WC	lane0_sync_err_raw	Lane0 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[8]	WC	link2_hsync_err_raw	Link2 hsync 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[7]	WC	link2_vsync_err_raw	Link2 vsync 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。



[6]	WC	link2_wrerr_raw	Link2 写数据错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[5]	WC	link1_hsync_err_raw	Link1 hsync 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[4]	WC	link1_vsync_err_raw	Link1 vsync 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[3]	WC	link1_wrerr_raw	Link1 写数据错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[2]	WC	link0_hsync_err_raw	Link0 hsync 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[1]	WC	link0_vsync_err_raw	Link0 vsync 同步错误原始中断状态。 0: 无原始中断; 1: 有原始中断。
[0]	WC	link0_wrerr_raw	Link0 写数据错误原始中断状态。 0: 无原始中断; 1: 有原始中断。

## LVDS0\_CTRL\_INT

LVDS0\_CTRL\_INT 为 LVDS 读数据中断状态寄存器。



Offset Address		Register Name																Total Reset Value																		
0x16F4		LVDS0_CTRL_INT																0x0000_0000																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				link2_rderr_st	link1_rderr_st	link0_rderr_st	reserved	lvds_stat_err_st	lane11_sync_err_st	lane10_sync_err_st	lane9_sync_err_st	lane8_sync_err_st	lane7_sync_err_st	lane6_sync_err_st	lane5_sync_err_st	lane4_sync_err_st	lane3_sync_err_st	lane2_sync_err_st	lane1_sync_err_st	lane0_sync_err_st	link2_hsync_err_st	link2_vsync_err_st	link2_wrerr_st	link1_hsync_err_st	link1_vsync_err_st	link1_wrerr_st	link0_hsync_err_st	link0_vsync_err_st	link0_wrerr_st						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:27]	RO	reserved	保留。																																	
[26]	RO	link2_rderr_st	Link2 读数据错误中断状态。 0: 无中断; 1: 有中断。																																	
[25]	RO	link1_rderr_st	Link1 读数据错误中断状态。 0: 无中断; 1: 有中断。																																	
[24]	RO	link0_rderr_st	Link0 读数据错误中断状态。 0: 无中断; 1: 有中断。																																	
[23:22]	RO	reserved	保留。																																	
[21]	RO	lvds_stat_err_st	LVDS 状态错误中断状态。 0: 无中断; 1: 有中断。																																	
[20]	RO	lane11_sync_err_st	Lane11 同步错误中断状态。 0: 无中断; 1: 有中断。																																	
[19]	RO	lane10_sync_err_st	Lane10 同步错误中断状态。 0: 无中断; 1: 有中断。																																	
[18]	RO	lane9_sync_err_st	Lane9 同步错误中断状态。 0: 无中断; 1: 有中断。																																	



[17]	RO	lane8_sync_err_st	Lane8 同步错误中断状态。 0: 无中断; 1: 有中断。
[16]	RO	lane7_sync_err_st	Lane7 同步错误中断状态。 0: 无中断; 1: 有中断。
[15]	RO	lane6_sync_err_st	Lane6 同步错误中断状态。 0: 无中断; 1: 有中断。
[14]	RO	lane5_sync_err_st	Lane5 同步错误中断状态。 0: 无中断; 1: 有中断。
[13]	RO	lane4_sync_err_st	Lane4 同步错误中断状态。 0: 无中断; 1: 有中断。
[12]	RO	lane3_sync_err_st	Lane3 同步错误中断状态。 0: 无中断; 1: 有中断。
[11]	RO	lane2_sync_err_st	Lane2 同步错误中断状态。 0: 无中断; 1: 有中断。
[10]	RO	lane1_sync_err_st	Lane1 同步错误中断状态。 0: 无中断; 1: 有中断。
[9]	RO	lane0_sync_err_st	Lane0 同步错误中断状态。 0: 无中断; 1: 有中断。
[8]	RO	link2_hsync_err_st	Link2 hsync 同步错误中断状态。 0: 无中断; 1: 有中断。
[7]	RO	link2_vsync_err_st	Link2 vsync 同步错误中断状态。 0: 无中断; 1: 有中断。



[6]	RO	link2_wrerr_st	Link2 写数据错误中断状态。 0: 无中断; 1: 有中断。
[5]	RO	link1_hsync_err_st	Link1 hsync 同步错误中断状态。 0: 无中断; 1: 有中断。
[4]	RO	link1_vsync_err_st	Link1 vsync 同步错误中断状态。 0: 无中断; 1: 有中断。
[3]	RO	link1_wrerr_st	Link1 写数据错误中断状态。 0: 无中断; 1: 有中断。
[2]	RO	link0_hsync_err_st	Link0 hsync 同步错误中断状态。 0: 无中断; 1: 有中断。
[1]	RO	link0_vsync_err_st	Link0 vsync 同步错误中断状态。 0: 无中断; 1: 有中断。
[0]	RO	link0_wrerr_st	Link0 写数据错误中断状态。 0: 无中断; 1: 有中断。

## LVDS0\_CTRL\_INT\_MSK

LVDS0\_CTRL\_INT\_MSK 为 LVDS 读数据中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value				
0x16F8		LVDS0_CTRL_INT_MSK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	link2_rderr_msk link1_rderr_msk link0_rderr_msk	reserved lvds_stat_err_st_msk lane11_sync_err_msk	lane10_sync_err_msk lane9_sync_err_msk lane8_sync_err_msk lane7_sync_err_msk	lane6_sync_err_msk lane5_sync_err_msk lane4_sync_err_msk lane3_sync_err_msk	lane2_sync_err_msk lane1_sync_err_msk lane0_sync_err_msk link2_hsync_err_msk	link2_vsync_err_msk link2_wrrer_msk link1_hsync_err_msk link1_vsync_err_msk	link1_wrrer_msk link0_hsync_err_msk link0_vsync_err_msk link0_wrrer_msk
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26]	RW	link2_rderr_msk	Link2 读数据错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[25]	RW	link1_rderr_msk	Link1 读数据错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[24]	RW	link0_rderr_msk	Link0 读数据错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[23:22]	RO	reserved	保留。					
[21]	RW	lvds_stat_err_st_msk	LVDS 状态错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[20]	RW	lane11_sync_err_msk	Lane11 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[19]	RW	lane10_sync_err_msk	Lane10 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					





[18]	RW	lane9_sync_err_mask	Lane9 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[17]	RW	lane8_sync_err_mask	Lane8 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[16]	RW	lane7_sync_err_mask	Lane7 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[15]	RW	lane6_sync_err_mask	Lane6 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[14]	RW	lane5_sync_err_mask	Lane5 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[13]	RW	lane4_sync_err_mask	Lane4 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[12]	RW	lane3_sync_err_mask	Lane3 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[11]	RW	lane2_sync_err_mask	Lane2 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[10]	RW	lane1_sync_err_mask	Lane1 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[9]	RW	lane0_sync_err_mask	Lane0 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[8]	RW	link2_hsync_err_mask	Link2 hsync 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。



[7]	RW	link2_vsync_err_msk	Link2 vsync 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[6]	RW	link2_wrerr_msk	Link2 写数据错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[5]	RW	link1_hsync_err_msk	Link1 hsync 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[4]	RW	link1_vsync_err_msk	Link1 vsync 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[3]	RW	link1_wrerr_msk	Link1 写数据错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[2]	RW	link0_hsync_err_msk	Link0 hsync 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	link0_vsync_err_msk	Link0 vsync 同步错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	link0_wrerr_msk	Link0 写数据错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。

## LANE\_ID0\_CHN0

LANE\_ID0\_CHN0 为 Link0 各个 LANE 优先级配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x1700		LANE_ID0_CHN0		0x0000_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				lane3_id	lane2_id	lane1_id	lane0_id
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:12]	RW	lane3_id	指示 Lane3 的通道号，取值范围为 0~11。 取值表示为连接到 Lane3 的图像传感器的实际通道号。					
[11:8]	RW	lane2_id	指示 Lane2 的通道号，取值范围为 0~11。 取值表示为连接到 Lane2 的图像传感器的实际通道号。					
[7:4]	RW	lane1_id	指示 Lane1 的通道号，取值范围为 0~11。 取值表示为连接到 Lane1 的图像传感器的实际通道号。					
[3:0]	RW	lane0_id	指示 Lane0 的通道号，取值范围为 0~11。 取值表示为连接到 Lane0 的图像传感器的实际通道号。					

## LANE\_ID1\_CHN0

LANE\_ID1\_CHN0 为 Link1 各个 LANE 优先级配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x1704		LANE_ID1_CHN0		0x0000_7654				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				lane7_id	lane6_id	lane5_id	lane4_id
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	0 1 1 0	0 1 0 1	0 1 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:12]	RW	lane7_id	指示 Lane7 的通道号，取值范围为 0~11。 取值表示为连接到 Lane7 的图像传感器的实际通道号。					
[11:8]	RW	lane6_id	指示 Lane6 的通道号，取值范围为 0~11。 取值表示为连接到 Lane6 的图像传感器的实际通道号。					
[7:4]	RW	lane5_id	指示 Lane5 的通道号，取值范围为 0~11。 取值表示为连接到 Lane5 的图像传感器的实际通道号。					



[3:0]	RW	lane4_id	指示 Lane4 的通道号，取值范围为 0~11。 取值表示为连接到 Lane4 的图像传感器的实际通道号。
-------	----	----------	---

## LANE\_ID2\_CHN0

LANE\_ID2\_CHN0 为 Link2 各个 LANE 优先级配置寄存器。

	Offset Address 0x1708								Register Name LANE_ID2_CHN0								Total Reset Value 0x0000_BA98															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																lane11_id	lane10_id	lane9_id	lane8_id												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	1	0	1	0	0	1	1	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:12]	RW	lane11_id		指示 Lane11 的通道号，取值范围为 0~11。 取值表示为连接到 Lane11 的图像传感器的实际通道号。																											
	[11:8]	RW	lane10_id		指示 Lane10 的通道号，取值范围为 0~11。 取值表示为连接到 Lane10 的图像传感器的实际通道号。																											
	[7:4]	RW	lane9_id		指示 Lane9 的通道号，取值范围为 0~11。 取值表示为连接到 Lane9 的图像传感器的实际通道号。																											
	[3:0]	RW	lane8_id		指示 Lane8 的通道号，取值范围为 0~11。 取值表示为连接到 Lane8 的图像传感器的实际通道号。																											

## ALIGN0\_INT\_RAW

ALIGN0\_INT\_RAW 为 MIPI\_ALIGN 原始中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x17F0		ALIGN0_INT_RAW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												err_lane11_raw	err_lane10_raw	err_lane9_raw	err_lane8_raw	err_lane7_raw	err_lane6_raw	err_lane5_raw	err_lane4_raw	err_lane3_raw	err_lane2_raw	err_lane1_raw	err_lane0_raw	err_full_raw							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:13]	RO	reserved	保留。																													
[12]	WC	err_lane11_raw	MIPI_ALIGN lane11 原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[11]	WC	err_lane10_raw	MIPI_ALIGN lane10 原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[10]	WC	err_lane9_raw	MIPI_ALIGN lane9 原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[9]	WC	err_lane8_raw	MIPI_ALIGN lane8 原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[8]	WC	err_lane7_raw	MIPI_ALIGN lane7 原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[7]	WC	err_lane6_raw	MIPI_ALIGN lane6 原始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[6]	WC	err_lane5_raw	MIPI_ALIGN lane5 原始中断状态。 0: 无原始中断; 1: 有原始中断。																													



[5]	WC	err_lane4_raw	MIPI_ALIGN lane4 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[4]	WC	err_lane3_raw	MIPI_ALIGN lane3 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[3]	WC	err_lane2_raw	MIPI_ALIGN lane2 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[2]	WC	err_lane1_raw	MIPI_ALIGN lane1 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[1]	WC	err_lane0_raw	MIPI_ALIGN lane0 原始中断状态。 0: 无原始中断; 1: 有原始中断。
[0]	WC	err_full_raw	MIPI_ALIGN FIFO 原始中断状态。 0: 无原始中断; 1: 有原始中断。

## ALIGN0\_INT

ALIGN0\_INT 为 MIPI\_ALIGN 中断状态寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x17F4				ALIGN0_INT								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												err_lane11_st	err_lane10_st	err_lane9_st	err_lane8_st	err_lane7_st	err_lane6_st	err_lane5_st	err_lane4_st	err_lane3_st	err_lane2_st	err_lane1_st	err_lane0_st	err_full_st							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	RO		reserved		保留。																											



[12]	RO	err_lane11_st	MIPI_ALIGN lane11 中断状态。 0: 无中断; 1: 有中断。
[11]	RO	err_lane10_st	MIPI_ALIGN lane10 中断状态。 0: 无中断; 1: 有中断。
[10]	RO	err_lane9_st	MIPI_ALIGN lane9 中断状态。 0: 无中断; 1: 有中断。
[9]	RO	err_lane8_st	MIPI_ALIGN lane8 中断状态。 0: 无中断; 1: 有中断。
[8]	RO	err_lane7_st	MIPI_ALIGN lane7 中断状态。 0: 无中断; 1: 有中断。
[7]	RO	err_lane6_st	MIPI_ALIGN lane6 中断状态。 0: 无中断; 1: 有中断。
[6]	RO	err_lane5_st	MIPI_ALIGN lane5 中断状态。 0: 无中断; 1: 有中断。
[5]	RO	err_lane4_st	MIPI_ALIGN lane4 中断状态。 0: 无中断; 1: 有中断。
[4]	RO	err_lane3_st	MIPI_ALIGN lane3 中断状态。 0: 无中断; 1: 有中断。
[3]	RO	err_lane2_st	MIPI_ALIGN lane2 中断状态。 0: 无中断; 1: 有中断。
[2]	RO	err_lane1_st	MIPI_ALIGN lane1 中断状态。 0: 无中断; 1: 有中断。



[1]	RO	err_lane0_st	MIPI_ALIGN lane0 中断状态。 0: 无中断; 1: 有中断。
[0]	RO	err_full_st	MIPI_ALIGN FIFO 中断状态。 0: 无中断; 1: 有中断。

## ALIGN0\_INT\_MSK

ALIGN0\_INT\_MSK 为 MIPI\_ALIGN 中断屏蔽寄存器。

	Offset Address	Register Name	Total Reset Value																					
	0x17F8	ALIGN0_INT_MSK	0x0000_0000																					
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
Name	reserved											err_lane11_mask	err_lane10_mask	err_lane9_mask	err_lane8_mask	err_lane7_mask	err_lane6_mask	err_lane5_mask	err_lane4_mask	err_lane3_mask	err_lane2_mask	err_lane1_mask	err_lane0_mask	err_full_mask
Reset	0 0																							
Bits	Access	Name	Description																					
[31:13]	RO	reserved	保留。																					
[12]	RW	err_lane11_mask	MIPI_ALIGN lane11 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																					
[11]	RW	err_lane10_mask	MIPI_ALIGN lane10 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																					
[10]	RW	err_lane9_mask	MIPI_ALIGN lane9 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																					
[9]	RW	err_lane8_mask	MIPI_ALIGN lane8 中断状态使能。 0: 屏蔽中断; 1: 使能中断。																					





[8]	RW	err_lane7_mask	MIPI_ALIGN lane7 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[7]	RW	err_lane6_mask	MIPI_ALIGN lane6 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[6]	RW	err_lane5_mask	MIPI_ALIGN lane5 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[5]	RW	err_lane4_mask	MIPI_ALIGN lane4 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[4]	RW	err_lane3_mask	MIPI_ALIGN lane3 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[3]	RW	err_lane2_mask	MIPI_ALIGN lane2 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[2]	RW	err_lane1_mask	MIPI_ALIGN lane1 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	err_lane0_mask	MIPI_ALIGN lane0 中断状态使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	err_full_mask	MIPI_ALIGN FIFO 中断状态使能。 0: 屏蔽中断; 1: 使能中断。



---

# 目 录

---

<b>10 ISP .....</b>	<b>10-1</b>
10.1 功能简介 .....	10-1
10.2 总体概要 .....	10-2
10.3 ISP 中断系统 .....	10-7
10.4 模块功能 .....	10-11
10.5 ISP 寄存器概览 .....	10-19
10.5.2 ISP 寄存器描述 .....	10-50



## 插图目录

图 10-1 ISP 结构图.....	10-3
图 10-2 中断时序示意图.....	10-10
图 10-3 有效图像区域与水平垂直消隐关系图.....	10-12
图 10-4 Video_test_gen 纯色图像.....	10-12
图 10-5 Video_test_gen 水平 4 条彩色条纹图像.....	10-13
图 10-6 Video_test_gen 垂直 4 条彩色条纹图像.....	10-13
图 10-7 Video_test_gen 垂直 8 条条纹图像.....	10-13
图 10-8 Video_test_gen 纯色目标图像.....	10-14
图 10-9 锐化、过冲说明.....	10-18
图 10-10 亮度控制锐化增益说明.....	10-18



## 表格目录

表 10-1 外接 ISP 关键参数.....	10-4
表 10-2 模块位置可调关键参数.....	10-5
表 10-3 模块直接读写 MEM 地址映射 .....	10-6
表 10-4 模块间接读写 MEM 地址映射 .....	10-6
表 10-5 中断指示寄存器.....	10-7
表 10-6 可选中断事件源.....	10-9
表 10-7 可选中断源关键参数.....	10-10
表 10-8 中断时序 .....	10-10
表 10-9 ISP 寄存器概览（基址是 0x1138_0000） .....	10-19



# 10 ISP

## 10.1 功能简介

Hi3519V100 ISP 模块支持标准的 Sensor 图像数据处理，包括自动白平衡、自动曝光、Demosaic、坏点矫正及数字防抖等基本功能，也支持 WDR、DRC、降噪等高级处理功能。Hi3519V100 ISP 主要支持的图像处理功能如下：

- 支持黑电平校正
- 支持静态以及动态坏点校正，坏点簇矫正
- 支持 bayer 降噪
- 支持固定噪声消除
- 高级 demosaic 处理
- 支持 gamma 校正
- 支持动态范围压缩（DRC）
- 支持 Sensor 内部合成宽动态功能（WDR）
- 支持 4 合 1、3 合 1、2 合 1 宽动态功能(WDR)
- 支持自动白平衡
- 支持自动曝光
- 支持自动对焦
- 支持 3A 相关统计信息输出
- 支持镜头阴影校正
- 支持图像锐化
- 支持数字防抖
- 支持自动去雾处理
- 支持色彩管理以及增强

处理能力以及其他功能：

- 最大支持 14 bit bayer 数据输入
- 最大支持图像分辨率 4608×3456
- 支持最小图像分辨率 480×240



- 4608×3456 分辨率支持最大帧率 15fps
- 4152×2174 分辨率支持最大帧率 30fps
- 最小水平消隐区 64 像素
- 最小垂直消隐区 30 行

## 10.2 总体概要

### 功能框图

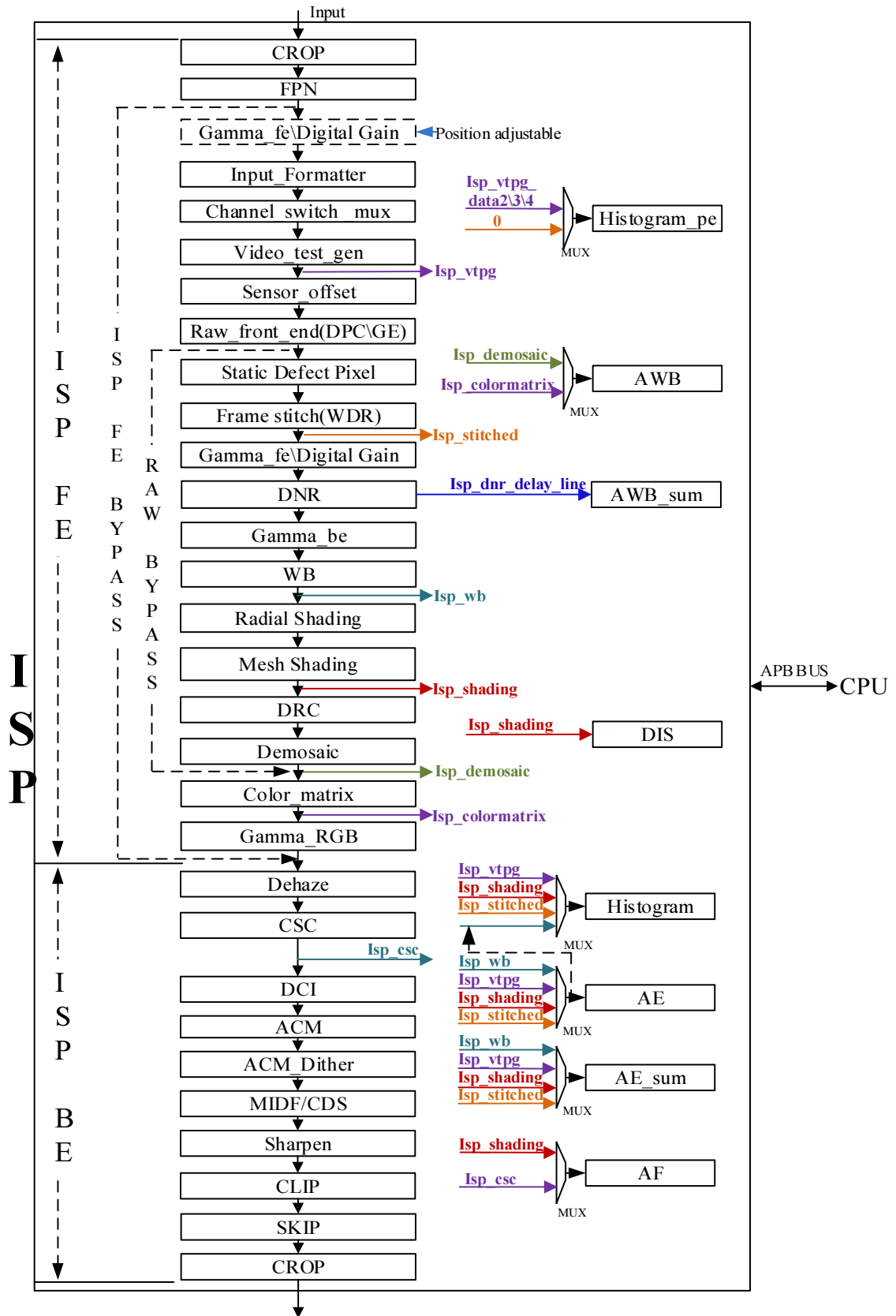
ISP 的寄存器基地址为 0x11380000，ISP 采用基地址加偏移地址来定位寄存器地址。ISP 的功能结构图如图 10-1 所示。此图与本文中提到的 ISP\_FE 均代指 ISP pipeline 中 Dehaze（不包含）之前的部分，ISP\_BE 均代指 ISP pipeline 中 Dehaze（包含）之后的部分。

#### 说明

本文中 ISP 采用 U\*.\*、S\*.\*表示无符号数和有符号数。如：U8.8 表示数据类型为无符号数，整数部分 8bit，小数部分 8bit；同理，S8.8 表示数据类型为有符号数，整数部分 8bit（包括 1bit 符号位），小数部分 8bit。



图10-1 ISP 结构图





## 工作模式

- 支持最大 raw 14bit RGB bayer 数据输入**  
 当输入数据位宽小于 14bit，自动对输入图像数据进行高位对齐、低位补零处理。此模式下支持任意 RG<sub>r</sub>G<sub>b</sub>B 顺序，需要匹配这三个寄存器 [ISPFE\\_RGGB\\_START](#)、[ISP\\_DIS\\_CTRL\\_F](#)、[ISP\\_FPN\\_CTRL\\_F](#)。
- 支持 4 合 1、3 合 1、2 合 1 WDR**
  - (1) 2 合 1 支持最大分辨率到 4152×2174。
  - (2) 3 合 1、4 合 1 支持最大分辨率到 1920×1080。
- 支持红外模式**  
 此模式需要将 Skip 模块 [ISP\\_SKIP\\_C\\_CFG](#) 配置为 0x00000000，丢掉 C (U、V) 分量，使 ISP 只输出 Y 分量图像数据。
- 支持外接 ISP**  
 外接 ISP 模式下，可支持 YUV 数据格式输入，关键参数如表 10-1 所示。

表10-1 外接 ISP 关键参数

参数名称	描述
BUF_MODE (0x11380070)	视频接口 VICAP 内的寄存器，line_buf 输入数据模式。 0: RAW 数据； 1: YUV422。
ISP_SEL[6:4] (0x11380050)	ISP_BE 输入数据选择选择。 000: ISP_BE 与 ISP_FE 连接(RAW 输入时)； 001: ISP_BE 与 LINE_BUF 连接(YUV 输入时)； 011: ISP_BE 与 SRC0 连接 (DEBUG 使用)； 100: ISP_BE 与 SRC1 连接 (DEBUG 使用)； 101: ISP_BE 与 SRC2 连接 (DEBUG 使用)； 110: ISP_BE 与 SRC3 连接 (DEBUG 使用)； 其余：保留。

外接 ISP 模式需要将 ISP\_SEL[6:4]寄存器置 0x1，使 ISP 的 raw 域模块屏蔽掉；并且视频接口 VICAP 的 BUF\_MODE 也需置为 0x1，表明 VICAP 的 line\_buf 输入数据为 YUV422，并关闭 Dehaze 模块。

- 支持部分模块位置可调**  
 模块 Gamma\_fe\Digital Gain、AWB、AF、Histogram、AE、AE\_SUM 支持位置可调，相关参数如表 10-2 所示。





表10-2 模块位置可调关键参数

ISP_MODULE_POS	描述
ISPFE_AE_SWITCH[1:0]	AE 统计信息位置选择寄存器。 00: 在 static white balance 之后; 01: 在 video test gen(channel 1)之后; 10: 在 shading 之后; 11: 在 WDR Frame Stitch 之后。
ISPFE_AE_SWITCH[17:16]	AE SUM 统计信息位置选择寄存器。 00: 在 static white balance 之后; 01: 在 video test gen(channel 1)之后; 10: 在 shading 之后; 11: 在 WDR Frame Stitch 之后。
ISPFE_AWB_SWITCH[0]	RGB 域 AWB 统计模块位置选择寄存器。 0: 在 colour matrix 之前; 1: 在 colour matrix 之后。
ISPFE_HISTOGRAM_SWITCH[1:0]	AE global histogram 位置选择寄存器。 00: 和 AE 在同一位置; 01: 在 video test gen(channel 1)之后; 10: 在 shading 之后; 11: 在 WDR Frame Stitch 之后。
ISPFE_MODULE_BYPASS[0]	模块 Gamma <sub>fe</sub> Digital Gain 位置选择寄存器。 0: 在 WDR stitching 后面; 1: 在 ISP FE 靠前位置。
ISPFE_MODULE_BYPASS[1]	Digital gain 位置选择寄存器。 0: 在模块 FE gamma LUTs 后面; 1: 在模块 FE gamma LUTs 前面。
ISP_SEL[16](0x11380050)	AF 输入数据选择。 0: AF 与 ISP_FE 连接; 1: AF 与 ISP_BE 连接;



## Memory 读写方案

表10-3 模块直接读写 MEM 地址映射

MEM 偏移地址范围	MEM 所属模块
0x21200~0x2127C、0x21280~0x212FC、 0x21300~0x2137C、0x21380~0x213FC	NOISE_PROFILE_FRAME_STITCH
0x21540~0x21560	DNR_SHADING
0x21580~0x215FC、0x21600~0x2167C、 0x21680~0x216FC、0x21700~0x2177C	NOISE_PROFILE_RAW_FRONTEND
0x21800~0x2187C	NOISE_PROFILE_LUT
0x21880~0x218FC	NOISE_PROFILE_DEMOSAIC
0x21900~0x219FC	AEXP_WEIGHT
0x21B00~0x21EFC	AWB_WEIGHT
0x22800~0x22880、0x23000~0x23400	GAMMA_FE
0x24800~0x24880、0x25000~0x25400	GAMMA_BE
0x26000~0x26200、0x26400~0x26600、 0x26800~0x26A00	RADIAL_SHADING
0x28000~0x2DFFC	METERING_MEM
0x30000~0x33FFC	DEFECT_PIXEL_MEM
0x34000~0x34FFC、0x35000~0x353FC、 0x35400~0x357FC、0x35800~0x35BFC	HISTOGRAM1_MEM
0x37000~0x37400	GAMMA_RGB_MEM
0x38000~0x38200、0x38800~0x38A00	DRC
0x39000~0x393FC	CMD_QUEUES
0x3C000~0x3EFC	MESH_SHADING

表10-4 模块间接读写 MEM 地址映射

MEM 偏移地址范围	MEM 所属模块
0x62488~0x6249C	DIS
0x63a80~0x63a8C	FPN
0x46280~0x462BC	DEHAZE



如表 10-3 中所示 ISP Memory 采用直接读写，其读写方式和普通寄存器读写方式一样；表 10-4 中所示 ISP Memory 读写采用间接读写方式，模块 Memory 地址段内包含读数据寄存器（RDATA）、读地址寄存器（RADDR）、写数据寄存器（WDATA）、写地址寄存器（WADDR），ISP Memory 间接读写方式如下：

- 读 Memory 步骤如下：

步骤 1. 向读地址寄存器（RADDR）写入要读取的数据在 Memory 内的起始地址；

步骤 2. 连续读取读数据寄存器（RDATA），每读一次，逻辑内部会自动进行地址增 1。

---结束

- 写 Memory 步骤如下：

步骤 3. 向写地址寄存器（WADDR）写入数据存入 Memory 内的起始地址；

步骤 4. 连续向写数据寄存器（WADDR）写入数据，每写一次，逻辑内部会自动进行地址增 1。

---结束

## 10.3 ISP 中断系统

### 功能描述

支持 23 个独立的中断，其中 16 个独立的中断（表 10-5 所示，int0~int15）可从 22 个中断源中选择，这 22 个中断源包括 AE、AWB 和直方图的统计信息完成中断、pipeline 上部分模块的帧起始中断、pipeline 上部分模块的帧结束中断，详细见表 10-6 所示。

如表 10-7 所示，通过对寄存器 interrupt0\_source~ interrupt15\_source 按表 10-6 中所描述，配入 22 个中断源对应的中断向量，即可上报对应中断。

表10-5 中断指示寄存器

偏移地址	事件名称	32BIT 位分布	描述（写 1 清零，0：无中断 1：有中断）
0x400F0	reserved	31:17	保留。
	acm_para_finish	16	ACM 查找表载入完成中断状态。
	reserved	15:4	保留。
	fstart_delay	3	触发延时可配中断。
	cfg_loss	2	寄存器配置丢失中断状态。



偏移地址	事件名称	32BIT 位分布	描述（写 1 清零，0：无中断 1：有中断）
	update_cfg	1	寄存器更新中断状态。
	fstart	0	ISP 帧起始中断指示寄存器。
0x600F0	reserved	31:18	保留。
	fe_fstart	17	ISP FE 帧起始中断。
	int_dis_stat	16	DIS 当前帧统计完成中断。
	int15	15	ISP 15 号中断指示寄存器。
	int14	14	ISP 14 号中断指示寄存器。
	int13	13	ISP 13 号中断指示寄存器。
	int12	12	ISP 12 号中断指示寄存器。
	int11	11	ISP 11 号中断指示寄存器。
	int10	10	ISP 10 号中断指示寄存器。
	int9	9	ISP 9 号中断指示寄存器。
	int8	8	ISP 8 号中断指示寄存器。
	int7	7	ISP 7 号中断指示寄存器。
	int6	6	ISP 6 号中断指示寄存器。
	int5	5	ISP 5 号中断指示寄存器。
	int4	4	ISP 4 号中断指示寄存器。
int3	3	ISP 3 号中断指示寄存器。	
int2	2	ISP 2 号中断指示寄存器。	
int1	1	ISP 1 号中断指示寄存器。	



偏移地址	事件名称	32BIT 位分布	描述（写 1 清零，0：无中断 1：有中断）
	int0	0	ISP 0 号中断指示寄存器。

表10-6 可选中断事件源

类型	中断事件源	中断向量
统计信息完成中断	auto exposure	8
	auto white balance	9
	auto exposure histogram	11
	per exposure auto exposure histograms	12
	auto exposure sum	13
	auto white balance sum	14
帧起始中断	isp input	24
	wdr stitch	25
	static defect pixel	26
	dnr	27
	shading	28
	drc	29
	demosaic	30
	isp output	31
帧完成中断	isp input	16
	wdr stitch	17
	static defect pixel	18
	dnr	19
	shading	20
	drc	21
	demosaic	22
	isp output	23



表10-7 可选中断源关键参数

参数名称	描述
interrupt0_source~ interrupt15_source (0x20080~0x2009C)	16 个独立的中断选择寄存器，中断源可从表 10-6 描述的 22 个中断源中选择，写入对应的中断向量即可。

## 中断时序

很多中断的位置是由 ISP 模块开关、寄存器配置决定。图 10-2 为各个中断位置的示意图，注意图中中断位置是以一帧内时间前后关系排列。表 10-8 为图 10-2 中断序号与中断事件的对应表格，并列出了中断相对于 VALID\_I 第一个上升沿相距行数、VALID\_I 最后一个下降沿相距行数。

图10-2 中断时序示意图

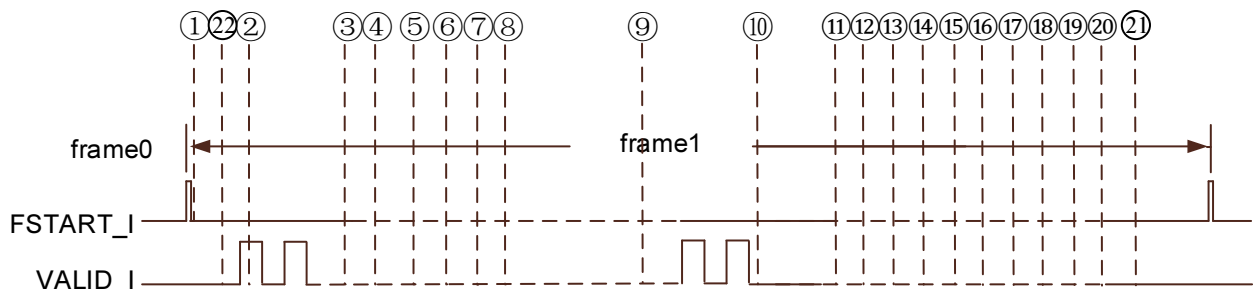


表10-8 中断时序

序号	中断事件	VALID_I 第一个上升沿相距行数	VALID_I 最后一个下降沿相距行数
①	fe_fstart/be_fstart/be_update_cfg/be_cfg_loss	NA	NA
②	isp input (24)	0	NA
③	static defect pixel (26)	2	NA
④	wdr stitch (25)	3	NA
⑤	dnr (27) shading (28)	11	NA
⑥	drc (29)	12	NA
⑦	demosaic (30)	16	NA
⑧	isp output (31)	18	NA



序号	中断事件	VALID_I 第一个上升沿相距行数	VALID_I 最后一个下降沿相距行数
⑨	int_dis_stat	NA	NA
⑩	isp input (16)	NA	0
⑪	per exposure auto exposure histograms (12)	NA	1
⑫	static defect pixel (18)	NA	2
⑬	wdr stitch (17)	NA	3
⑭	dnr (19) shading (20)	NA	11
⑮	drc (21)	NA	12
⑯	auto exposure sum (13) auto exposure (8)	NA	14
⑰	auto exposure histogram (11)	NA	15
⑱	demosaic (22)	NA	16
⑲	isp output (23) auto white balance (9)	NA	18
⑳	auto white balance sum (14)	NA	21
㉑	be_fstart_delay	NA	NA
㉒	acm_para_finish	NA	NA

## 10.4 模块功能

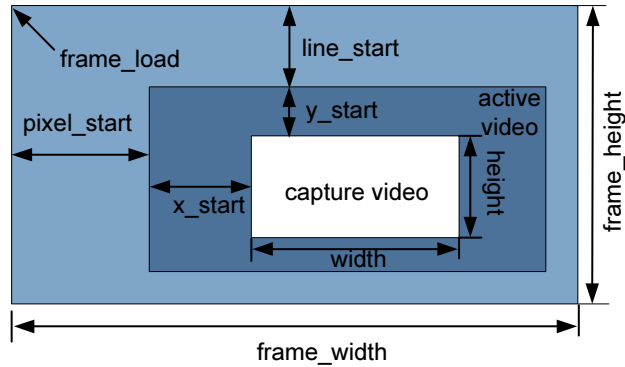
### CROP 模块

该模块实现对输入图像裁剪的功能。实际显示的视图区域常常包含在有效视频范围之内，相对有效视频的边界有若干像素缩小。

如图 10-3 所示，该模块通过配置寄存器 `y_start`、`x_start`、`height`、`width`，实现有效图像区域的裁剪。



图10-3 有效图像区域与水平垂直消隐关系图



## FPN 模块

本模块通过标定的黑帧或黑行对 Sensor 输入的图像进行校正，达到去除 Sensor FPN 的目的。

FPN 支持帧模式的标定和校正，以及行模式的标定和校正。在对接 FPN 比较明显的 Sensor 需要开启，Sensor 如果 FPN 不明显，则不需要开。

## Video test gen 模块

Video test gen 支持产生五种类型的图像：

- 纯色图像（如图 10-4），由 `VIDEO_TEST_R_BACKGND[rbackgnd]`，`VIDEO_TEST_G_BACKGND[gbackgnd]`，`VIDEO_TEST_B_BACKGND[bbackgnd]` 配置。

图10-4 Video\_test\_gen 纯色图像

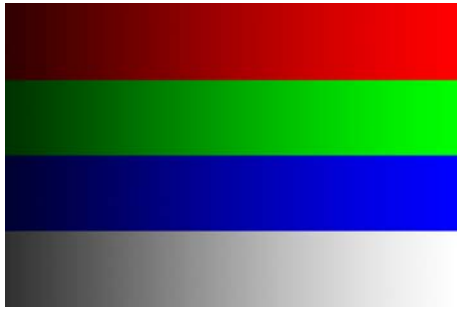


- 水平 4 条彩色条纹（如图 10-5），从左到右亮度可变，起始值和递增量可配。



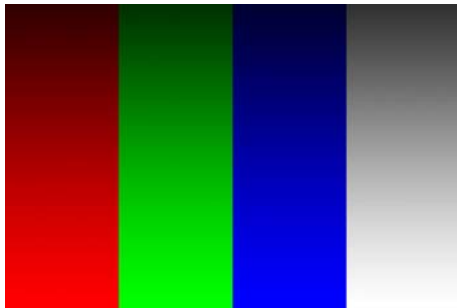


图10-5 Video\_test\_gen 水平 4 条彩色条纹图像



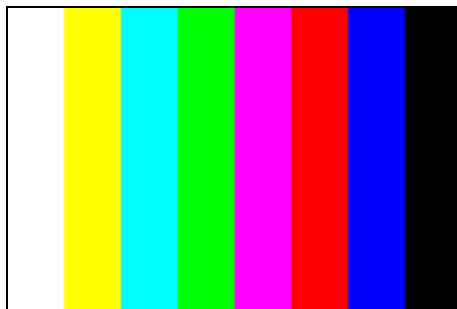
- 垂直 4 条彩色条纹（如图 10-6），从上到下亮度可变，起始值和递增量可配。

图10-6 Video\_test\_gen 垂直 4 条彩色条纹图像



- 垂直 8 条彩色条纹（如图 10-7），亮度可配，由 VIDEO\_TEST\_R\_BACKGND[rbackgnd]，VIDEO\_TEST\_G\_BACKGND[gbackgnd]，VIDEO\_TEST\_B\_BACKGND[bbackgnd] 配置。

图10-7 Video\_test\_gen 垂直 8 条条纹图像



- 在纯色背景上产生矩形纯色目标(如图 10-8)，背景由 VIDEO\_TEST\_R\_BACKGND[rbackgnd]，VIDEO\_TEST\_G\_BACKGND[gbackgnd]，VIDEO\_TEST\_B\_BACKGND[bbackgnd] 配置，目标由 VIDEO\_TEST\_R\_FOREGND[rforegnd]，



`VIDEO_TEST_G_FOREGND`[gforegnd], `VIDEO_TEST_B_FOREGND`[bforegnd]  
配置。

图10-8 Video\_test\_gen 纯色目标图像



## Sensor offset 模块

提供 Sensor 的黑电平校正，通过 4 个独立的参数 `black00`、`black01`、`black10`、`black11`，分别对 4 个 Bayer 颜色通道（R、Gr、Gb、B）进行补偿。

## DPC 模块

用于校正 Sensor 的坏点，分动态坏点和静态坏点，静态坏点最多校正 4096 个坏点，需要事先标定得到坏点坐标再校正，动态坏点没有数量限制，也不需要事先标定，但静态坏点更准确。

## GE 模块

这个模块校正 Gr 与 Gb 两个通道的失衡，提高部分场景的图像质量。

## WDR 模块

提供多帧合成宽动态功能。在动态范围较大的场景仍然可以看到亮区和暗区细节。

## Gamma\_fe 模块

该模块主要用于图像数据的位宽压缩。提供两种压缩方式：（1）压缩曲线使用 2 个 LUT 表示。LUT0 包含 33 个点，精度为 20bit，LUT1 包含 257 个点，精度为 20bit。（2）压缩曲线使用公式表示：

$$y = \frac{2^{32} \times x}{\alpha_{\text{companding}} \times 2^{24} + (4096 - \alpha_{\text{companding}})}$$

其中  $x$  为输入图像数据， $y$  为输出图像数据，且  $\alpha_{\text{companding}} \leq 4096$ 。



## Digital Gain 模块

提供数字增益，并提供 U5.8bit 的增益设置。

## DNR 模块

该模块在 Bayer domain 中实现对图像的去噪，目的是去除噪声的同时，保留细节。该模块可根据用户提供的噪声模型有针对性的对 Sensor 进行噪声消除。

## Gamma\_be 模块

该模块主要用于图像数据的位宽扩展。提供两种扩展方式：（1）扩展曲线使用 2 个 LUT 表示。LUT0 包含 33 个点，精度为 20bit，LUT1 包含 257 个点，精度为 20bit。（2）扩展曲线使用公式表示：

$$y = \frac{2^{32} \times x}{\alpha_{decompanding} \times 2^{24} + (4096 - \alpha_{decompanding})}$$
$$\alpha_{decompanding} = \frac{2^{24}}{\alpha_{companding}}$$

其中 x 为输入图像数据，y 为输出图像数据，且  $\alpha_{decompanding} \geq 4096$ 。

## WB 模块

提供白平衡功能。分别提供 4 个分量（R，Gr，Gb，B）的增益和偏移量设置。

## Mesh shading 模块

用于镜头阴影校正。每个像素点，分别提供 3 个分量（R，G，B）的增益，增益由 8bit 的数据表示，总共可设置  $3 \times 64 \times 64 = 12288$  个增益系数，其余的增益系数通过插值得到。

## Radial shading 模块

Radial shading 是 Mesh shading 的一种备用方案，Radial shading 采用的是一种径向模型，而区别于 Mesh shading 的网格模型。Radial shading 每个颜色通道（R，G，B）分别提供 1 组校正系数。

## DRC 模块

该模块用于图像动态范围进行压缩（Dynamic Range Compression）。用于调整图像的显示动态范围，使之在显示设备上的显示效果与人眼感知一致。

## Demosaic 模块

将输入的 Bayer 数据转换成 RGB 域的数据。



## Color\_matrix 模块

该模块通过标准  $3 \times 3$  的矩阵将输入  $\{R, G, B\}$  进行线性校正，通过动态的调整矩阵的系数，可实现饱和度调节，颜色校正等功能。

$$\begin{pmatrix} R' \\ G' \\ B' \end{pmatrix} = \begin{pmatrix} m_{RR} & m_{RG} & m_{RB} \\ m_{GR} & m_{GG} & m_{GB} \\ m_{BR} & m_{BG} & m_{BB} \end{pmatrix} \cdot \begin{pmatrix} R \\ G \\ B \end{pmatrix}$$

## Gamma\_RGB 模块

这个模块应用于  $(R, G, B)$  三个颜色通道，输出 Gamma 调节结果。Gamma 曲线由 257 个结点组成，每个点由 16bit 的数据表示，两个结点之间的点通过线性插值得到。Gamma 曲线要求  $\text{gamma}[0]=0x0000$ ， $\text{gamma}[256]=0xFFFF$ 。

## AF 模块

该模块支持图像清晰度评价信息统计，用于完成支持自动对焦功能。图像区块数目可配，区块个数最大  $17 \times 15$ ，区块宽高最小  $32 \times 32$ ，最大  $511 \times 511$ ，每个区域分别提供清晰度评价信息。

## AE 模块

实现自动曝光信息的统计，软件根据统计信息调节 Sensor 可实现自动曝光的功能。图像分成  $17 \times 15$ （17 行 15 列）的区域，区域可设权重，每个区域分 5 段统计直方图信息，直方图信息被归一化为  $0xFFFF$ ，因此只存储第 0, 1, 3, 4 段的统计信息。可读取加权后的最终的统计信息，也可读取每个区域的统计信息。

同时提供全局直方图统计信息。如图 10-1 所示，Histogram 提供 1 路数据通道的 1024 段直方图统计，Histogram pe 提供 3 路数据通道的 256 段直方图统计。

## AWB 模块

提供 RGB 域白点统计信息，软件根据统计信息调节  $(R, G, B)$  三个通道增益 (Rgain, Ggain, Bgain) 可实现自动白平衡功能。RGB 域统计信息在 Demosaic 模块后，图像分成  $32 \times 32$ （32 行 32 列）的区域，每个区域分别统计符合白点条件的像素个数，以及白点的 G/R, G/B 均值。

## AWB sum 模块

提供 Bayer 域白点统计信息，软件根据统计信息调节  $(R, G, B)$  三个通道增益 (Rgain, Ggain, Bgain) 可实现自动白平衡功能。Bayer 域统计信息在 WB 增益前，图像分成  $32 \times 32$ （32 行 32 列）的区域，每个区域分别统计符合白点条件的像素个数，以及白点的 R、G、B 均值。



## Dehaze 模块

本模块提供强大的分区域去雾能力以改善雾霾场景下视频的局部对比度。用户可通过 ISP\_DEHAZE\_BLK\_NUM 将图像划分为多个区域，最大支持 32×32 个区域。

模块对区域内的图像特性进行分析，得到各区域内的对比度指标，然后对区域内的像素进行增强处理，每个像素的增强强度取决于本区域以及周边区域的对比度指标。

## CSC 模块

CSC 通过标准 3×3 的矩阵和矢量偏移量将输入 { R, G, B } 转换为 { Y, U, V }，通过动态的调整矩阵的系数。

$$\begin{pmatrix} Y \\ U \\ V \end{pmatrix} = \begin{pmatrix} \text{Coeff11} & \text{Coeff12} & \text{Coeff13} \\ \text{Coeff21} & \text{Coeff22} & \text{Coeff23} \\ \text{Coeff31} & \text{Coeff32} & \text{Coeff33} \end{pmatrix} \cdot \begin{pmatrix} R \\ G \\ B \end{pmatrix} + \begin{pmatrix} \text{Coeff01} \\ \text{Coeff02} \\ \text{Coeff03} \end{pmatrix}$$

可根据对转换格式的需求改变参数。

## DCI 模块

该模块实现动态增强图像对比度。通过统计图像的亮度情况自动调节图像的亮度和对比度，改善图像偏暗、偏亮及对比度过小、过大等问题，使图像在显示设备上呈现较好的显示效果。

## ACM 模块

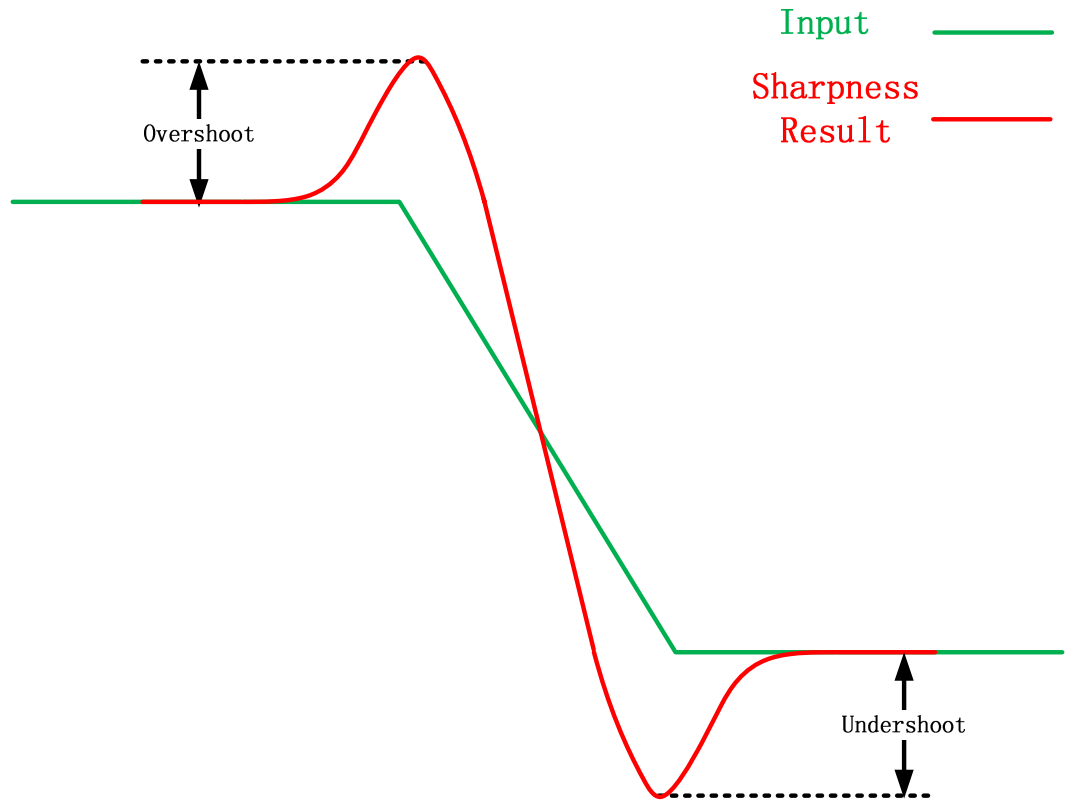
实现对颜色的自动管理。校正色调偏移和饱和度损失；补偿不同色域之间的表现差异；并可以根据用户的喜好和风格对特定颜色进行增强，如肤色、绿色、蓝色。

## Sharpen 模块

Sharpen 模块实现图像的锐化，提高图像的清晰度。通过控制参数 edge\_amt 和 sharp\_amt，可以调节锐化强度，但是太强的锐化可能会放大噪声。软件根据 ISO 值调整参数配置，达到清晰度和抑制噪声的平衡，提升图像的视觉效果。

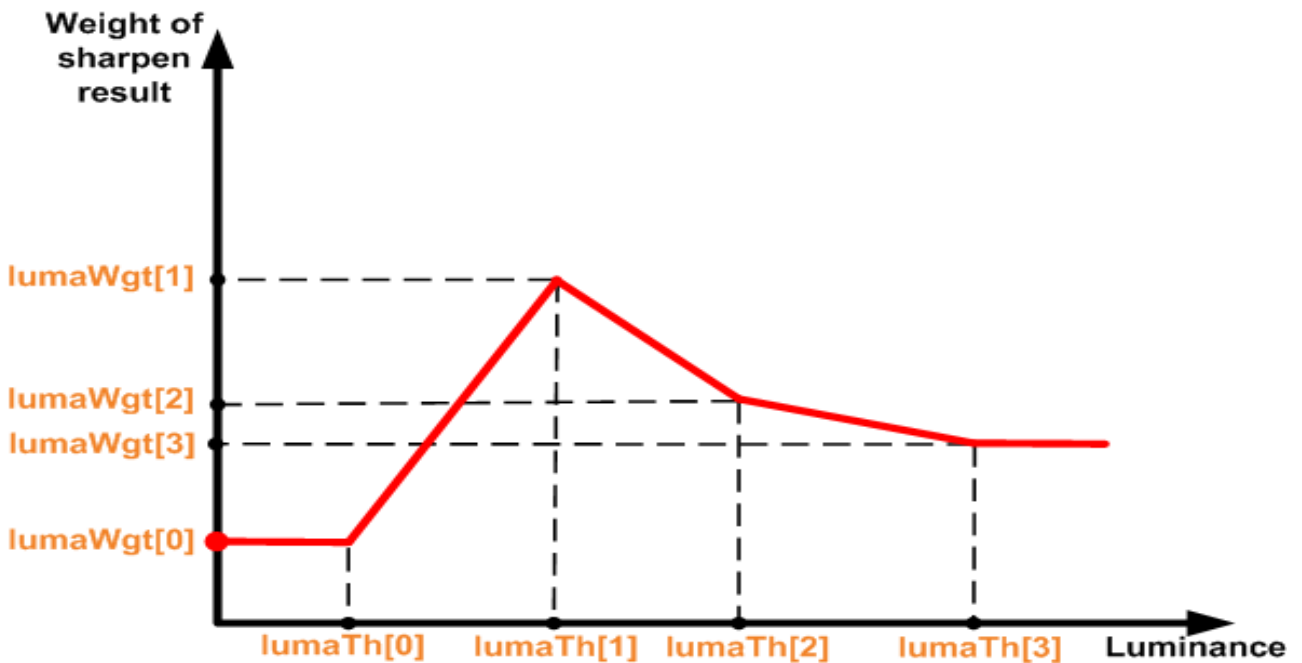


图10-9 锐化、过冲说明



另外，锐化可能造成边沿正向、负向增幅过大，出现白边和黑边现象，如图 10-9 所示。通过调整 overshoot 和 undershoot 控制参数，能够抑制白边、黑边现象。

图10-10 亮度控制锐化增益说明





如图 10-10 所示，可以根据通过亮度控制锐化增益曲线来分别控制图像的亮区和暗区的锐化增益，从而达到提高亮区清晰度和抑制暗区噪声的目的。

此外，sharpen 模块还能单独控制锐化后的图像的边缘锯齿的强弱以及细节纹理的锐化强度。

## MCDS 模块

MCDS 模块既可以实现 YUV444 转换到 YUV422 或 YUV420，也可以实现图像的色度噪声降噪。

MCDS 对色度水平方向进行多阶滤波，当需要输出 YUV420 时，MCDS 对色度垂直方向进行平均下采样。通过配置合适的滤波参数，使图像转换的视觉损失最小。

MCDS 只对图像的色度分量进行降噪处理，不影响图像亮度。该模块的降噪强度可调，可以平衡色噪去除程度和颜色细节保留的程度。

## 10.5 ISP 寄存器概览

ISP 寄存器概览如表 10-9 所示。

表10-9 ISP 寄存器概览（基址是 0x1138\_0000）

偏移地址	名称	描述	页码
0x12000	ISP_AF_CFG	AF 控制寄存器	10-50
0x12010	ISP_AF_ZONE	AF 区块分配寄存器	10-52
0x12014	ISP_AF_CROP_START	AF 图像 CROP 起始坐标寄存器	10-53
0x12018	ISP_AF_CROP_SIZE	AF 图像 CROP SIZE 寄存器	10-54
0x1201C	ISP_AF_MEAN_THRESHOLD	AF 中值滤波阈值寄存器	10-54
0x12020	ISP_AF_IIRG0	AF IIR 滤波参数 0 寄存器	10-54
0x12024	ISP_AF_IIRG1	AF IIR 滤波参数 1 寄存器	10-55
0x12028	ISP_AF_IIRG2	AF IIR 滤波参数 2 寄存器	10-55
0x1202C	ISP_AF_IIRG3	AF IIR 滤波参数 3 寄存器	10-56
0x12030	ISP_AF_IIRG4	AF IIR 滤波参数 4 寄存器	10-56
0x12034	ISP_AF_IIRG5	AF IIR 滤波参数 5 寄存器	10-57
0x12038	ISP_AF_IIRG6	AF IIR 滤波参数 6 寄存器	10-57
0x1203C	ISP_AF_IIRPL	AF IIR 滤波器预设寄存器	10-58



偏移地址	名称	描述	页码
0x12040	ISP_AF_SHIFT	AF IIR 滤波移位参数寄存器	10-59
0x12050	ISP_AF_FIRH0	AF FIR 滤波参数 0 寄存器	10-60
0x12054	ISP_AF_FIRH1	AF FIR 滤波参数 1 寄存器	10-60
0x12058	ISP_AF_FIRH2	AF FIR 滤波参数 2 寄存器	10-61
0x1205C	ISP_AF_FIRH3	AF FIR 滤波参数 3 寄存器	10-61
0x12060	ISP_AF_FIRH4	AF FIR 滤波参数 4 寄存器	10-62
0x12078	ISP_AF_ACC_SHIFT	AF 累加统计值移位寄存器	10-62
0x1207C	ISP_AF_CNT_SHIFT	AF 计数统计值移位寄存器	10-63
0x12088	ISP_AF_STAT_IND_RADDR	AF 各区块统计信息间接读地址寄存器	10-63
0x1208C	ISP_AF_STAT_IND_RDATA	AF 各区块统计信息间接读数据寄存器	10-64
0x120E4	ISP_AF_CTRL_I	立即更新控制寄存器	10-65
0x120EC	ISP_AF_UPDATE	配置更新寄存器	10-66
0x120F0	ISP_AF_SIZE	AF 图像大小寄存器	10-66
0x12100	ISP_AF_IIRTHRE	AF IIR 滤波阈值寄存器	10-67
0x12104	ISP_AF_IIRGAIN	AF IIR 滤波增益寄存器	10-67
0x12108	ISP_AF_IIRSLOPE	AF IIR 滤波斜率寄存器	10-68
0x1210C	ISP_AF_IIRDILATE	AF IIR 滤波 DILATE 寄存器	10-68
0x12110	ISP_AF_FIRTHRE	AF FIR 滤波阈值寄存器	10-69
0x12114	ISP_AF_FIRGAIN	AF FIR 滤波增益寄存器	10-70
0x12118	ISP_AF_FIRSLOPE	AF FIR 滤波斜率寄存器	10-70
0x12120	ISP_AF_IIRTHRE_CORING	AF IIR 滤波 CORING 阈值寄存器	10-71
0x12124	ISP_AF_IIRPEAK_CORING	AF IIR 滤波 CORING 峰值寄存器	10-71
0x12128	ISP_AF_IIRSLOPE_CORING	AF IIR 滤波 CORING 斜率寄存器	10-72
0x12130	ISP_AF_FIRTHRE_CORING	AF FIR 滤波 CORING 阈值寄存器	10-72





偏移地址	名称	描述	页码
0x12134	ISP_AF_FIRPEAK_CORING	AF FIR 滤波 CORING 峰值寄存器	10-73
0x12138	ISP_AF_FIRSLOPE_CORING	AF FIR 滤波 CORING 斜率寄存器	10-73
0x12140	ISP_AF_HILIGHT	AF 高亮阈值寄存器	10-74
0x12144	ISP_AF_OFFSET	AF 偏移配置寄存器	10-74
0x20010	ISPFE_ACTIVE_WIDTH	图像宽度寄存器	10-75
0x20014	ISPFE_ACTIVE_HEIGHT	图像高度寄存器	10-75
0x20018	ISPFE_RGGB_START	RGGB 模式寄存器	10-76
0x20020	ISPFE_CHANNEL_SELECT	模块 Video Test Gen 和 Raw FE 输入数据通道选择寄存器	10-76
0x20024	ISPFE_DELAY_LINE_MEMORY	模块 DNR 行延迟寄存器	10-78
0x20028	ISPFE_FLUSH_HBLANK	行消隐时序配置寄存器	10-78
0x2002C	ISPFE_FS_CHANNEL_SELECT	WDR 输入数据通道选择	10-79
0x20030	ISPFE_CONFIG_BUFFER_MODE	配置更新模式寄存器	10-80
0x20040	ISPFE_MODULE_BYPASS	ISP FE 模块 BYPASS 寄存器	10-80
0x20044	ISPFE_BYPASS_MODE	ISP FE Bypass 模式选择寄存器	10-82
0x20048	ISPFE_AE_SWITCH	AE 统计信息位置控制寄存器	10-83
0x2004C	ISPFE_AWB_SWITCH	RGB 域 AWB 统计模块位置控制寄存器	10-84
0x20050	ISPFE_HISTOGRAM_SWITCH	AE global histogram 位置控制寄存器	10-84
0x20058	ISPFE_HISTOGRAM_PE_SWITCH	Per exposure AE global histogram 控制寄存器	10-85
0x20078	ISPFE_GLOBAL_FSM_RESET	状态机复位寄存器	10-86
0x2007C	ISPFE_FIELD_STATUS	场信号状态寄存器	10-86



偏移地址	名称	描述	页码
0x20080	ISPFE_INTERRUPT_01	0、1 中断选择寄存器	10-87
0x20084	ISPFE_INTERRUPT_23	2、3 中断选择寄存器	10-87
0x20088	ISPFE_INTERRUPT_45	4、5 中断选择寄存器	10-88
0x2008C	ISPFE_INTERRUPT_67	6、7 中断选择寄存器	10-88
0x20090	ISPFE_INTERRUPT_89	8、9 中断选择寄存器	10-89
0x20094	ISPFE_INTERRUPT_1011	10、11 中断选择寄存器	10-89
0x20098	ISPFE_INTERRUPT_1213	12、13 中断选择寄存器	10-90
0x2009C	ISPFE_INTERRUPT_1415	14、15 中断选择寄存器	10-90
0x200A0	ISPFE_INTERRUPT_STATUS	中断状态寄存器	10-91
0x200A4	ISPFE_INTERRUPT_CLEAR	清中断寄存器	10-91
0x200C0	SENSOR_OFFSET_WDR_1_BLACK00	WDR_1 BLC R 分量黑电平值寄存器	10-92
0x200C4	SENSOR_OFFSET_WDR_1_BLACK01	WDR_1 BLC Gr 分量黑电平值寄存器	10-92
0x200C8	SENSOR_OFFSET_WDR_1_BLACK10	WDR_1 BLC Gb 分量黑电平值寄存器	10-93
0x200CC	SENSOR_OFFSET_WDR_1_BLACK11	WDR_1 BLC B 分量黑电平值寄存器	10-93
0x200D0	SENSOR_OFFSET_WDR_2_BLACK00	WDR_2 BLC R 分量黑电平值寄存器	10-93
0x200D4	SENSOR_OFFSET_WDR_2_BLACK01	WDR_2 BLC Gr 分量黑电平值寄存器	10-94
0x200D8	SENSOR_OFFSET_WDR_2_BLACK10	WDR_2 BLC Gb 分量黑电平值寄存器	10-94
0x200DC	SENSOR_OFFSET_WDR_2_BLACK11	WDR_2 BLC B 分量黑电平值寄存器	10-95
0x200E0	SENSOR_OFFSET_WDR_3_BLACK00	WDR_3 BLC R 分量黑电平值寄存器	10-95



偏移地址	名称	描述	页码
0x200E4	SENSOR_OFFSET_WDR_3_BLACK01	WDR_3 BLC Gr 分量黑电平值寄存器	10-95
0x200E8	SENSOR_OFFSET_WDR_3_BLACK10	WDR_3 BLC Gb 分量黑电平值寄存器	10-96
0x200EC	SENSOR_OFFSET_WDR_3_BLACK11	WDR_3 BLC B 分量黑电平值寄存器	10-96
0x200F0	SENSOR_OFFSET_WDR_4_BLACK00	WDR_4 BLC R 分量黑电平值寄存器	10-97
0x200F4	SENSOR_OFFSET_WDR_4_BLACK01	WDR_4 BLC Gr 分量黑电平值寄存器	10-97
0x200F8	SENSOR_OFFSET_WDR_4_BLACK10	WDR_4 BLC Gb 分量黑电平值寄存器	10-97
0x200FC	SENSOR_OFFSET_WDR_4_BLACK11	WDR_4 BLC B 分量黑电平值寄存器	10-98
0x20108	INPUTPORT_HC_LIMIT	Inputport 水平计数限制配置寄存器	10-98
0x2010C	INPUTPORT_HC_START0	Inputport 水平起始寄存器 0	10-99
0x20110	INPUTPORT_HC_SIZE0	Inputport 水平大小寄存器 0	10-99
0x20114	INPUTPORT_HC_START1	Inputport 水平起始寄存器 1	10-99
0x20118	INPUTPORT_HC_SIZE1	Inputport 水平大小寄存器 1	10-100
0x2011C	INPUTPORT_VC_LIMIT	Inputport 垂直计数限制配置寄存器	10-100
0x20120	INPUTPORT_VC_START	Inputport 垂直起始寄存器	10-101
0x20124	INPUTPORT_VC_SIZE	Inputport 垂直大小寄存器	10-101
0x20130	INPUTPORT_CTRL	Inputport 输入接口控制寄存器	10-101
0x20134	INPUTPORT_STATUS	Inputport 状态寄存器	10-102
0x20140	INPUT_FORMATTER_MODE	Input Formatter 模式控制寄存器	10-103
0x20144	INPUT_FORMATTER_FACTORML	Input Formatter 长、中曝光比寄存器	10-104



偏移地址	名称	描述	页码
0x20148	INPUT_FORMATTE R_FACTORMS	Input Formatter 短、中曝光比寄存器	10-104
0x2014C	INPUT_FORMATTE R_BLACKLEVEL	Input Formatter sensor 黑电平寄存器	10-105
0x20150	INPUT_FORMATTE R_KNEEPOINT01	Input Formatter 拐点 0、1 寄存器	10-105
0x20154	INPUT_FORMATTE R_KNEEPOINT2	Input Formatter 拐点 2 寄存器	10-106
0x20158	INPUT_FORMATTE R_SLOPESELECT	Input Formatter 压缩表的斜率寄存器	10-106
0x20160	VIDEO_TEST_GEN _CTRL	VIDEO_TEST_GEN 控制寄存器	10-107
0x20164	VIDEO_TEST_PAT TREN_TYPE	VIDEO_TEST_GEN 模式类型选择寄存器	10-107
0x20168	VIDEO_TEST_R_B ACKGND	VIDEO_TEST_GEN R 分量背景值寄存器	10-108
0x2016C	VIDEO_TEST_G_B ACKGND	VIDEO_TEST_GEN G 分量背景值寄存器	10-108
0x20170	VIDEO_TEST_B_B ACKGND	VIDEO_TEST_GEN B 分量背景值寄存器	10-109
0x20174	VIDEO_TEST_R_FO REGND	VIDEO_TEST_GEN R 分量前景值寄存器	10-109
0x20178	VIDEO_TEST_G_F OREGND	VIDEO_TEST_GEN G 分量前景值寄存器	10-110
0x2017C	VIDEO_TEST_B_FO REGND	VIDEO_TEST_GEN B 分量前景值寄存器	10-110
0x20180	VIDEO_TEST_RGB _GRADIENT	VIDEO_TEST_GEN 第一、二通道 RGB 梯度递增值寄存器	10-110
0x20184	VIDEO_TEST_RGB _GRADIENT_STAR T	VIDEO_TEST_GEN 第三、四通道 RGB 梯度递增值寄存器	10-111
0x20188	VIDEO_TEST_RGB _GRADIENT_STAR T12	VIDEO_TEST_GEN 第一、二通道 RGB 梯度起始值寄存器	10-111
0x2018C	VIDEO_TEST_RGB _GRADIENT_STAR T34	VIDEO_TEST_GEN 第三、四通道 RGB 梯度起始值寄存器	10-112



偏移地址	名称	描述	页码
0x20190	VIDEO_TEST_RECT_TOP	VIDEO_TEST_GEN 矩形顶部、底部所在行数寄存器	10-112
0x20194	VIDEO_TEST_RECT_LEFT	VIDEO_TEST_GEN 矩形左边所在像素点数	10-113
0x20198	VIDEO_TEST_RECT_RIGHT	VIDEO_TEST_GEN 矩形右边所在像素点数	10-113
0x201A0	SENSOR_OFFSET_BLACK00	R 分量黑电平值寄存器	10-114
0x201A4	SENSOR_OFFSET_BLACK01	Gr 分量黑电平值寄存器	10-114
0x201A8	SENSOR_OFFSET_BLACK10	Gb 分量黑电平值寄存器	10-115
0x201AC	SENSOR_OFFSET_BLACK11	B 分量黑电平值寄存器	10-115
0x201B0	NP_RAW_FRONTEND1_EXP_THRESH	NP_RAW_FRONTEND1 噪声阈值寄存器	10-115
0x201B4	NP_RAW_FRONTEND1_SHORT_RATIO	NP_RAW_FRONTEND1 噪声短曝光比率寄存器	10-116
0x201B8	NP_RAW_FRONTEND1_LONG_RATIO	NP_RAW_FRONTEND1 噪声长曝光比率寄存器	10-116
0x201BC	NP_RAW_FRONTEND1_OFF	NP_RAW_FRONTEND1 噪声黑电平偏移寄存器	10-117
0x201C0	NP_RAW_FRONTEND2_EXP_THRESH	NP_RAW_FRONTEND2 噪声阈值寄存器	10-117
0x201C4	NP_RAW_FRONTEND2_SHORT_RATIO	NP_RAW_FRONTEND2 噪声短曝光比率寄存器	10-118
0x201C8	NP_RAW_FRONTEND2_LONG_RATIO	NP_RAW_FRONTEND2 噪声长曝光比率寄存器	10-118
0x201CC	NP_RAW_FRONTEND2_OFF	NP_RAW_FRONTEND2 噪声黑电平偏移寄存器	10-119
0x201D0	NP_RAW_FRONTEND3_EXP_THRESH	NP_RAW_FRONTEND3 噪声阈值寄存器	10-119
0x201D4	NP_RAW_FRONTEND3_SHORT_RATIO	NP_RAW_FRONTEND3 噪声短曝光比率寄存器	10-120



偏移地址	名称	描述	页码
0x201D8	NP_RAW_FRONTEND3_LONG_RATIO	NP_RAW_FRONTEND3 噪声长曝光比率寄存器	10-120
0x201DC	NP_RAW_FRONTEND3_OFF	NP_RAW_FRONTEND3 噪声黑电平偏移寄存器	10-121
0x201E0	NP_RAW_FRONTEND4_EXP_THRESH	NP_RAW_FRONTEND4 噪声阈值寄存器	10-121
0x201E4	NP_RAW_FRONTEND4_SHORT_RATIO	NP_RAW_FRONTEND4 噪声短曝光比率寄存器	10-122
0x201E8	NP_RAW_FRONTEND4_LONG_RATIO	NP_RAW_FRONTEND4 噪声长曝光比率寄存器	10-122
0x201EC	NP_RAW_FRONTEND4_OFF	NP_RAW_FRONTEND4 噪声黑电平偏移寄存器	10-123
0x20200	RAW_FRONTEND1_CTRL1	RAW_FRONTEND1 模块控制寄存器	10-123
0x20204	RAW_FRONTEND1_GE_STRENGTH	RAW_FRONTEND1 GE 强度寄存器	10-125
0x20208	RAW_FRONTEND1_DEBUG_SEL	RAW_FRONTEND1 调试寄存器	10-125
0x2020C	RAW_FRONTEND1_DP_THRESHOLD	RAW_FRONTEND1 动态坏点检测阈值寄存器	10-125
0x20210	RAW_FRONTEND1_GE_THRESHOLD	RAW_FRONTEND1 GE 阈值寄存器	10-126
0x20214	RAW_FRONTEND1_DP_SLOPE	RAW_FRONTEND1 HP 屏蔽功能斜率寄存器	10-126
0x20218	RAW_FRONTEND1_GE_SLOPE	RAW_FRONTEND1 GE 屏蔽功能斜率寄存器	10-127
0x2021C	RAW_FRONTEND1_GE_SENS	RAW_FRONTEND1 GE 模块对边缘敏感性控制寄存器	10-127
0x20220	RAW_FRONTEND1_DPDEV_THRESHOLD	RAW_FRONTEND1 动态坏点校正对边缘影响强度控制寄存器	10-127
0x20224	RAW_FRONTEND1_LINE_THRESH	RAW_FRONTEND1 动态坏点校正近边缘处的方向性控制寄存器	10-128
0x20228	RAW_FRONTEND1_DP_BLEND	RAW_FRONTEND1 动态坏点校正定向与非定向替换值之间的融合控制寄存器	10-128



偏移地址	名称	描述	页码
0x2022C	RAW_FRONTEND1_SIGMA_IN	RAW_FRONTEND1 人工噪声估计寄存器	10-129
0x20230	RAW_FRONTEND1_THRESH_SHORT	RAW_FRONTEND1 短曝光数据的噪声阈值控制寄存器	10-129
0x20234	RAW_FRONTEND1_THRESH_LONG	RAW_FRONTEND1 长曝光数据的噪声阈值控制寄存器	10-130
0x20240	RAW_FRONTEND2_CTRL1	RAW_FRONTEND2 模块控制寄存器 1	10-130
0x20244	RAW_FRONTEND2_GE_STRENGTH	RAW_FRONTEND2 GE 强度寄存器	10-132
0x2024C	RAW_FRONTEND2_DP_THRESHOLD	RAW_FRONTEND2 动态坏点检测阈值寄存器	10-132
0x20250	RAW_FRONTEND2_GE_THRESHOLD	RAW_FRONTEND2 GE 阈值寄存器	10-132
0x20254	RAW_FRONTEND2_DP_SLOPE	RAW_FRONTEND2 HP 屏蔽功能斜率寄存器	10-133
0x20258	RAW_FRONTEND2_GE_SLOPE	RAW_FRONTEND2 GE 屏蔽功能斜率寄存器	10-133
0x2025C	RAW_FRONTEND2_GE_SENS	RAW_FRONTEND2 GE 模块对边缘敏感性控制寄存器	10-134
0x20260	RAW_FRONTEND2_DPDEV_THRESHOLD	RAW_FRONTEND2 动态坏点校正对边缘影响强度控制寄存器	10-134
0x20264	RAW_FRONTEND2_LINE_THRESH	RAW_FRONTEND2 动态坏点校正近边缘处的方向性控制寄存器	10-134
0x20268	RAW_FRONTEND2_DP_BLEND	RAW_FRONTEND2 动态坏点校正定向与非定向替换值之间的融合控制寄存器 10	10-135
0x2026C	RAW_FRONTEND2_SIGMA_IN	RAW_FRONTEND2 人工噪声估计寄存器	10-135
0x20270	RAW_FRONTEND2_THRESH_SHORT	RAW_FRONTEND2 短曝光数据的噪声阈值控制寄存器	10-136
0x20274	RAW_FRONTEND2_THRESH_LONG	RAW_FRONTEND2 长曝光数据的噪声阈值控制寄存器	10-136
0x20280	STATIC_DPC_MUL_TI_CH_MODE	STATIC_DPC 静态坏点校正 4k/2k 模式选择寄存器	10-137



偏移地址	名称	描述	页码
0x20284	STATIC_DPC_CTRL	Static Defect Pixels 模块控制寄存器	10-137
0x20288	STATIC_DPC_OVERFLOW	Static Defect Pixels 模块表溢出标志寄存器	10-139
0x2028C	STATIC_DPC_COUNT	Static Defect Pixels 模块检测到的坏点个数寄存器	10-139
0x20290	STATIC_DPC_TABLE_START	Static Defect Pixels 模块的坏点首地址寄存器	10-140
0x20294	STATIC_DPC_COUNT_IN	Static Defect Pixels 模块的写入的坏点个数寄存器	10-140
0x202A0	WDR_CTRL	WDR 控制寄存器	10-141
0x202A4	WDR_LONG_CTRL1	WDR 长曝光控制寄存器 1	10-142
0x202A8	WDR_LONG_CTRL2	WDR 长曝光控制寄存器 2	10-142
0x202AC	WDR_LONG_STITCH_ERROR_LIMIT	WDR 长曝光强度设置寄存器	10-143
0x202B0	WDR_MED_CTRL1	WDR 中曝光控制寄存器 1	10-143
0x202B4	WDR_MED_CTRL2	WDR 中曝光控制寄存器 2	10-144
0x202B8	WDR_MED_CTRL3	WDR 中曝光控制寄存器 3	10-145
0x202BC	WDR_MED_STITCH_ERROR_LIMIT	WDR 中曝光强度设置	10-145
0x202C0	WDR_SHORT_CTRL1	WDR 短曝光控制寄存器 1	10-145
0x202C4	WDR_SHORT_CTRL2	WDR 短曝光控制寄存器 2	10-146
0x202C8	WDR_SHORT_CTRL3	WDR 短曝光控制寄存器 3	10-147
0x202CC	WDR_SHORT_STITCH_ERROR_LIMIT	WDR 短曝光强度设置寄存器	10-147
0x202D0	WDR_BLACK_LEVEL_LONG	WDR 长曝光输入的黑电平寄存器	10-147
0x202D4	WDR_BLACK_LEVEL_MEDIUM1	WDR 中曝光输入的黑电平寄存器 1	10-148
0x202D8	WDR_BLACK_LEVEL_MEDIUM2	WDR 中曝光输入的黑电平寄存器 2	10-148





偏移地址	名称	描述	页码
0x202DC	WDR_BLACK_LEVEL_SHORT	WDR 短曝光输入的黑电平寄存器	10-149
0x202E0	WDR_BLACK_LEVEL_OUT	WDR 模块输出的黑电平寄存器	10-149
0x202E4	WDR_MODE_IN	WDR 输入模式选择寄存器	10-149
0x20300	FRONTEND_LUT_CTRL	FRONTEND_LUT 控制寄存器	10-150
0x20304	FRONTEND_LUT_MCU_READY	FRONTEND_LUT 状态指示	10-151
0x20308	FRONTEND_LUT_ALPHA	FRONTEND_LUT alpha 参数寄存器	10-152
0x20310	DG_GAIN	sensor 数字增益	10-152
0x20314	DG_OFFSET	DG 黑电平补偿	10-152
0x20320	DNR_CTRL	DNR 控制寄存器	10-153
0x20324	DNR_RM_CENTER_X	DNR 阴影图的横坐标寄存器	10-154
0x20328	DNR_RM_CENTER_Y	DNR 阴影图的纵坐标寄存器	10-154
0x2032C	DNR_RM_OFFSET_CENTER_MULT	DNR 标准化因子寄存器	10-154
0x20330	DNR_THRESH_H01	DNR 水平空域高频下的噪声阈值寄存器	10-155
0x20334	DNR_THRESH_H24	DNR 水平空域低频下的噪声阈值寄存器	10-155
0x20338	DNR_THRESH_V01	DNR 垂直空域高频下的噪声阈值寄存器	10-156
0x2033C	DNR_THRESH_V24	DNR 垂直空域低频下的噪声阈值寄存器	10-156
0x20344	DNR_THRESH_SHORT	DNR 短曝光数据的噪声阈值调节寄存器	10-157
0x20348	DNR_THRESH_LONG	DNR 长曝光数据的噪声阈值调节寄存器	10-157
0x20350	DNR_STRENGTH1	DNR 高空间频率的噪声抑制效应寄存器	10-158
0x20358	DNR_STRENGTH4	DNR 低空间频率的噪声抑制效应寄存器	10-158
0x20360	BACKEND_LUT_CTRL	BACKEND_LUT 控制寄存器	10-158
0x20364	BACKEND_LUT_MCU_READY	BACKEND_LUT 状态指示	10-160



偏移地址	名称	描述	页码
0x20368	BACKEND_LUT_ALPHA	BACKEND_LUT alpha 参数寄存器	10-160
0x20370	NP_FOR_DNR_EXP_THRESH	NP_FOR_DNR_噪声阈值寄存器	10-161
0x20374	NP_FOR_DNR_SHORT_RATIO	NP_FOR_DNR_噪声短曝光比率寄存器	10-161
0x20378	NP_FOR_DNR_LONG_RATIO	NP_FOR_DNR_噪声长曝光比率寄存器	10-161
0x2037C	NP_FOR_DNR_OFF	NP_FOR_DNR_噪声黑电平偏移寄存器	10-162
0x20380	WB_GAIN00	White Balance 模块的 R 分量增益寄存器	10-162
0x20384	WB_GAIN01	White Balance 模块的 Gr 分量增益寄存器	10-163
0x20388	WB_GAIN10	White Balance 模块的 Gb 分量增益寄存器	10-163
0x2038C	WB_GAIN11	White Balance 模块的 B 分量增益寄存器	10-164
0x203A0	BLC_BLACK00	BLC R 分量黑电平偏移值	10-164
0x203A4	BLC_BLACK01	BLC Gr 分量黑电平偏移值	10-164
0x203A8	BLC_BLACK10	BLC Gb 分量黑电平偏移值	10-165
0x203AC	BLC_BLACK11	BLC B 分量黑电平偏移值	10-165
0x203B0	RADIAL_SHADING_CTRL	Radial_Shading 模块控制寄存器	10-166
0x203B4	RADIAL_SHADING_MCU_READY	Radial_Shading LUT 状态寄存器	10-166
0x203B8	RADIAL_SHADING_RX	Radial_Shading R 分量中心点 X 坐标寄存器	10-167
0x203BC	RADIAL_SHADING_RY	Radial_Shading R 分量中心点 Y 坐标寄存器	10-167
0x203C0	RADIAL_SHADING_GX	Radial_Shading G 分量中心点 X 坐标寄存器	10-168
0x203C4	RADIAL_SHADING_GY	Radial_Shading G 分量中心点 Y 坐标寄存器	10-168
0x203C8	RADIAL_SHADING_BX	Radial_Shading B 分量中心点 X 坐标寄存器	10-169
0x203CC	RADIAL_SHADING_BY	Radial_Shading B 分量中心点 Y 坐标寄存器	10-169



偏移地址	名称	描述	页码
0x203D0	RADIAL_SHADING_MULTR	Radial_Shading red radial 表标准化因子	10-169
0x203D4	RADIAL_SHADING_MULTG	Radial_Shading green radial 表标准化因子	10-170
0x203D8	RADIAL_SHADING_MULTB	Radial_Shading blue radial 表标准化因子	10-170
0x203E0	MESH_SHADING_CTRL	Mesh_Shading 控制寄存器	10-171
0x203E4	MESH_SHADING_RELOAD	Mesh_Shading 缓存刷新寄存器	10-172
0x203F0	MESH_SHADING_ALPHAMODE	Mesh_Shading 表项之间的的 $\alpha$ 融合方式寄存器	10-173
0x203F4	MESH_SHADING_ALPHA_BANK	Mesh_Shading 融合 bank 选择寄存器	10-173
0x203F8	MESH_SHADING_ALPHA	Mesh_Shading $\alpha$ 融合系数寄存器	10-175
0x203FC	MESH_SHADING_STRENGTH	Mesh_Shading 校正强度控制寄存器	10-175
0x20400	DRC_ENABLE	DRC 使能寄存器	10-176
0x20408	DRC_CTRL	DRC 模块控制寄存器	10-176
0x20410	DRC_BLACK_LEVEL	DRC 黑电平寄存器	10-177
0x20414	DRC_WHITE_LEVEL	DRC 白电平寄存器	10-177
0x20420	DRC_STRENGTH_INROI	DRC 感兴趣区域内强度寄存器	10-178
0x20424	DRC_STRENGTH_OUTROI	DRC 感兴趣区域内强度及水平起始点寄存器	10-178
0x20428	DRC_ROI_HORIZONTAL_START_END	DRC 感兴趣区域垂直起始点及水平结束点寄存器	10-179
0x2042C	DRC_ROI_VERTICAL_END	DRC 感兴趣区域垂直结束点寄存器	10-179
0x20430	DRC_FILTER_MUX	DRC 算法控制寄存器	10-180
0x20434	DRC_DARK_ENH	DRC Dark_Enhance 参数设置寄存器	10-180
0x20438	DRC_MCU_READY	DRC LUT 状态指示寄存器	10-181



偏移地址	名称	描述	页码
0x20480	DEMOSAIC_VH_SLOPE	DEMOSAIC 垂直/水平混合阈值的斜率寄存器	10-181
0x20484	DEMOSAIC_AA_SLOPE	DEMOSAIC 角度混合阈值的斜率寄存器	10-182
0x20488	DEMOSAIC_VA_SLOPE	DEMOSAIC VH-AA(VA)混合阈值的斜率寄存器	10-182
0x2048C	DEMOSAIC_UU_SLOPE	DEMOSAIC 未定义混合阈值的斜率寄存器	10-183
0x20490	DEMOSAIC_SAT_SLOPE	DEMOSAIC 饱和度混合阈值的斜率寄存器	10-183
0x20494	DEMOSAIC_VH_THRESH	DEMOSAIC 垂直/水平混合范围的阈值寄存器	10-183
0x20498	DEMOSAIC_AA_THRESH	DEMOSAIC 角度混合范围的阈值寄存器	10-184
0x2049C	DEMOSAIC_VA_THRESH	DEMOSAIC VA 混合范围的阈值寄存器	10-184
0x204A0	DEMOSAIC_UU_THRESH	DEMOSAIC 未定义混合范围的阈值寄存器	10-185
0x204A4	DEMOSAIC_SAT_THRESH	DEMOSAIC 饱和度混合范围的阈值寄存器	10-185
0x204A8	DEMOSAIC_VH_OFFSET	DEMOSAIC 垂直/水平混合阈值偏移寄存器	10-185
0x204AC	DEMOSAIC_AA_OFFSET	DEMOSAIC 角度混合阈值偏移寄存器	10-186
0x204B0	DEMOSAIC_VA_OFFSET	DEMOSAIC VA 混合阈值偏移寄存器	10-186
0x204B4	DEMOSAIC_UU_OFFSET	DEMOSAIC 未定义混合阈值偏移寄存器	10-187
0x204B8	DEMOSAIC_SAT_OFFSET	DEMOSAIC 饱和度混合阈值偏移寄存器	10-187
0x204BC	DEMOSAIC_SHARP_ALT_D	DEMOSAIC 方向性化的锐化屏蔽强度寄存器	10-187
0x204C0	DEMOSAIC_SHARP_ALT_UD	DEMOSAIC 非方向性化的锐化屏蔽强度寄存器	10-188
0x204C4	DEMOSAIC_LUM_THRESHOLD	DEMOSAIC 方向性化的锐化亮度阈值寄存器	10-188



偏移地址	名称	描述	页码
0x204C8	DEMOSAIC_NP_OF FSET	DEMOSAIC 噪点配置偏移寄存器	10-189
0x204CC	DEMOSAIC_DMISC _CONFIG	DEMOSAIC 调试输出选择	10-189
0x204D0	DEMOSAIC_AC_TH RESH	DEMOSAIC AC 混合范围的阈值寄存器	10-189
0x204D4	DEMOSAIC_AC_SL OPE	DEMOSAIC AC 混合阈值的斜率寄存器	10-190
0x204D8	DEMOSAIC_AC_OF FSET	DEMOSAIC AC 混合阈值偏移寄存器	10-190
0x204DC	DEMOSAIC_FC_SL POE	DEMOSAIC 伪颜色校正斜率(强度)寄存器	10-191
0x204E0	DEMOSAIC_FC_AL IAS_SLPOE	DEMOSAIC 伪颜色校正斜率(强度)寄存器	10-191
0x204E4	DEMOSAIC_FC_AL IAS_THRESH	DEMOSAIC 去伪彩门限值寄存器	10-191
0x204EC	DEMOSAIC_NP_OF F	DEMOSAIC 噪声黑电平偏移寄存器	10-192
0x204F0	DEMOSAIC_SHARP	DEMOSAIC Sharpen 强度寄存器	10-192
0x204F4	DEMOSAIC_MIN_T HRESHOLD	DEMOSAIC 阈值寄存器	10-193
0x204F8	DEMOSAIC_SHARP EN_ALG_SELECT	DEMOSAIC 新的 Sharpen 算法切换寄存器	10-193
0x20500	COLOR_MATRIX_ COEFFT_RR	COLOR_MATRIX R-R 倍数的矩阵系数寄存器	10-194
0x20504	COLOR_MATRIX_ COEFFT_RG	COLOR_MATRIX R-G 倍数的矩阵系数寄存器	10-194
0x20508	COLOR_MATRIX_ COEFFT_RB	COLOR_MATRIX R-B 倍数的矩阵系数寄存器	10-195
0x2050C	COLOR_MATRIX_ COEFFT_GR	COLOR_MATRIX G-R 倍数的矩阵系数寄存器	10-195
0x20510	COLOR_MATRIX_ COEFFT_GG	COLOR_MATRIX G-G 倍数的矩阵系数寄存器	10-196
0x20514	COLOR_MATRIX_ COEFFT_GB	COLOR_MATRIX G-B 倍数的矩阵系数寄存器	10-196
0x20518	COLOR_MATRIX_ COEFFT_BR	COLOR_MATRIX B-R 倍数的矩阵系数寄存器	10-196



偏移地址	名称	描述	页码
0x2051C	COLOR_MATRIX_COEFFT_BG	COLOR_MATRIX B-G 倍数的矩阵系数寄存器	10-197
0x20520	COLOR_MATRIX_COEFFT_BB	COLOR_MATRIX B-B 倍数的矩阵系数寄存器	10-197
0x20524	COLOR_MATRIX_CTRL	COLOR_MATRIX 使能寄存器	10-198
0x20528	COLOR_MATRIX_COEFFT_WBR	COLOR_MATRIX R 白平衡增益寄存器	10-198
0x2052C	COLOR_MATRIX_COEFFT_WBG	COLOR_MATRIX G 白平衡增益寄存器	10-199
0x20530	COLOR_MATRIX_COEFFT_WBB	COLOR_MATRIX B 白平衡增益寄存器	10-199
0x20534	COLOR_MATRIX_COEFFT_FOG_OFFSETR	COLOR_MATRIX 颜色矩阵 R 偏移	10-199
0x20538	COLOR_MATRIX_COEFFT_FOG_OFFSETG	COLOR_MATRIX 颜色矩阵 G 偏移	10-200
0x2053C	COLOR_MATRIX_COEFFT_FOG_OFFSETB	COLOR_MATRIX 颜色矩阵 B 偏移	10-200
0x20580	GAMMA_RGB_CTRL	GAMMA_RGB 控制寄存器	10-201
0x20584	GAMMA_RGB_MC U_READY	GAMMA_RGB LUT 从 CPU 接收数据状态标志	10-202
0x20680	DITHER_CTRL	DITHER 控制寄存器	10-202
0x20700	STATISTICS_HIST_THRESH_0_1	Bin 0/1 边界的直方图阈值寄存器	10-203
0x20704	STATISTICS_HIST_THRESH_1_2	Bin 1/2 边界的直方图阈值寄存器	10-203
0x20708	STATISTICS_HIST_THRESH_3_4	Bin 2/3 边界的直方图阈值寄存器	10-204
0x2070C	STATISTICS_HIST_THRESH_4_5	Bin 3/4 边界的直方图阈值	10-204
0x20720	STATISTICS_HIST_0	Bin 0 的归一化直方化结果寄存器	10-205
0x20724	STATISTICS_HIST_1	Bin 1 的归一化直方化结果寄存器	10-205



偏移地址	名称	描述	页码
0x20728	STATISTICS_HIST_3	Bin 3 的归一化直方化结果寄存器	10-205
0x2072C	STATISTICS_HIST_4	Bin 4 的归一化直方化结果寄存器	10-206
0x20730	STATISTICS_AEXP_NODES_USED	AE 有效区域寄存器	10-206
0x20740	STATISTICS_WHITE_LEVEL_AWB	RGB 域 AWB 统计白点的亮度上限寄存器	10-207
0x20744	STATISTICS_BLACK_LEVEL_AWB	RGB 域 AWB 统计白点的亮度下限寄存器	10-207
0x20748	STATISTICS_CR_REF_MAX_AWB	RGB 域 AWB 统计白点的色度 R/G 上限寄存器	10-207
0x2074C	STATISTICS_CR_REF_MIN_AWB	RGB 域 AWB 统计白点的色度 R/G 下限寄存器	10-208
0x20750	STATISTICS_CB_REF_MAX_AWB	RGB 域 AWB 统计白点的色度 B/G 上限寄存器	10-208
0x20754	STATISTICS_CB_REF_MIN_AWB	RGB 域 AWB 统计白点的色度 B/G 下限寄存器	10-209
0x20758	STATISTICS_AWB_RG	RGB 域 AWB 统计 G/R 均值寄存器	10-209
0x2075C	STATISTICS_AWB_BG	RGB 域 AWB 统计 G/B 均值寄存器	10-210
0x20760	STATISTICS_AWB_SUM	RGB 域 AWB 统计的白点个数寄存器	10-210
0x20768	STATISTICS_AWB_STATS_MODE	RGB 域 AWB 统计结果输出模式选择寄存器	10-210
0x20770	STATISTICS_AWB_NODES_USED	RGB 域 AWB 统计分区个数寄存器	10-211
0x20780	STATISTICS_CR_REF_HIGH_AWB	RGB 域 AWB 统计白点的色度 R/G 六边形上限寄存器	10-211
0x20784	STATISTICS_CR_REF_LOW_AWB	RGB 域 AWB 统计白点的色度 R/G 六边形下限寄存器	10-212
0x20788	STATISTICS_CB_REF_HIGH_AWB	RGB 域 AWB 统计白点的色度 B/G 六边形上限寄存器	10-212
0x2078C	STATISTICS_CB_REF_LOW_AWB	RGB 域 AWB 统计白点的色度 B/G 六边形下限寄存器	10-213



偏移地址	名称	描述	页码
0x207A0	STATISTICS_PLANE_TOTAL_0	每个平面处理的总像素寄存器 0	10-213
0x207A4	STATISTICS_PLANE_TOTAL_1	每个平面处理的总像素寄存器 1	10-214
0x207A8	STATISTICS_PLANE_TOTAL_2	每个平面处理的总像素寄存器 2	10-214
0x207AC	STATISTICS_PLANE_TOTAL_3	每个平面处理的总像素寄存器 3	10-215
0x207B0	STATISTICS_PLANE_COUNTED_0	每个平面总像素的累加和寄存器 0	10-215
0x207B4	STATISTICS_PLANE_COUNTED_1	每个平面总像素的累加和寄存器 1	10-215
0x207B8	STATISTICS_PLANE_COUNTED_2	每个平面总像素的累加和寄存器 2	10-216
0x207BC	STATISTICS_PLANE_COUNTED_3	每个平面总像素的累加和寄存器 3	10-216
0x207C0	STATISTICS_HISTOGRAM_CTRL	Histogram 控制寄存器	10-217
0x207C4	STATISTICS_SCALE	SCALE 控制寄存器	10-218
0x207C8	STATISTICS_TOTAL_PIXELS	STATISTICS 处理的像素总数寄存器	10-219
0x207CC	STATISTICS_COUNTED_PIXELS	STATISTICS 累加的像素个数寄存器	10-219
0x207D0	STATISTICS_PE_HISTOGRAM_CTRL	PE 控制寄存器	10-220
0x207D4	STATISTICS_PE_SCALE	PE_SCALE 控制寄存器	10-222
0x207D8	STATISTICS_PE_TOTAL_PIXELS	PE 处理的像素总数寄存器	10-222
0x207DC	STATISTICS_PE_COUNTED_PIXELS	PE 累加的像素个数寄存器	10-223
0x207E0	STATISTICS_PLANE_TOTAL_PE_0	PE 每个平面处理的总像素寄存器 0	10-223
0x207E4	STATISTICS_PLANE_TOTAL_PE_1	PE 每个平面处理的总像素寄存器 1	10-224
0x207E8	STATISTICS_PLANE_TOTAL_PE_2	PE 每个平面处理的总像素寄存器 2	10-224





偏移地址	名称	描述	页码
0x207EC	STATISTICS_PLANE_TOTAL_PE_3	PE 每个平面处理的总像素寄存器 3	<a href="#">10-224</a>
0x207F0	STATISTICS_PLANE_COUNTED_PE_0	PE 每个平面总像素的累加和寄存器 0	<a href="#">10-225</a>
0x207F4	STATISTICS_PLANE_COUNTED_PE_1	PE 每个平面总像素的累加和寄存器 1	<a href="#">10-225</a>
0x207F8	STATISTICS_PLANE_COUNTED_PE_2	PE 每个平面总像素的累加和寄存器 2	<a href="#">10-226</a>
0x207FC	STATISTICS_PLANE_COUNTED_PE_3	PE 每个平面总像素的累加和寄存器 3	<a href="#">10-226</a>
0x20800	STATISTICS_SUM_R	归一化的 R 分量像素点和	<a href="#">10-226</a>
0x20804	STATISTICS_SUM_RG	归一化的 Gr 分量像素点和	<a href="#">10-227</a>
0x20808	STATISTICS_SUM_BG	归一化的 Gb 分量像素点和	<a href="#">10-227</a>
0x2080C	STATISTICS_SUM_B	归一化的 B 分量像素点和	<a href="#">10-228</a>
0x20810	STATISTICS_AE_SUM_NODES_USED	AE_SUM 有效区域寄存器	<a href="#">10-228</a>
0x20820	STATISTICS_AVG_R	Bayer 域 AWB SUM 统计 R 分量均值	<a href="#">10-228</a>
0x20824	STATISTICS_AVG_G	Bayer 域 AWB SUM 统计 G 分量均值	<a href="#">10-229</a>
0x20828	STATISTICS_AVG_B	Bayer 域 AWB SUM 统计 B 分量均值	<a href="#">10-229</a>
0x2082C	STATISTICS_COUNT_ALL	Bayer 域 AWB SUM 统计满足白点条件像素个数，已归一化	<a href="#">10-230</a>
0x20830	STATISTICS_COUNT_MIN	Bayer 域 AWB SUM 统计小于亮度下限的像素个数	<a href="#">10-230</a>
0x20834	STATISTICS_COUNT_MAX	Bayer 域 AWB SUM 统计大于亮度上限的像素个数	<a href="#">10-230</a>
0x20838	STATISTICS_AWB_SUM_NODES_USED	AWB_SUM 有效区域寄存器	<a href="#">10-231</a>
0x2083C	STATISTICS_MIN_THRESHOLD	Bayer 域 AWB SUM 统计白点的亮度下限	<a href="#">10-231</a>



偏移地址	名称	描述	页码
0x20840	STATISTICS_MAX_THRESHOLD	Bayer 域 AWB SUM 统计白点的亮度上限	10-232
0x20844	STATISTICS_AWB_SUM_CLIP	AWB SUM 的 clip	10-232
0x20848	STATISTICS_CR_REF	Bayer 域 AWB 统计白点的色度 R/G 上下限	10-233
0x2084C	STATISTICS_CB_REF	Bayer 域 AWB 统计白点的色度 B/G 上下限	10-233
0x20850	STATISTICS_CR_HL_REF	Bayer 域 AWB 统计白点的色度 R/G 六边形限制	10-234
0x20854	STATISTICS_CB_HL_REF	Bayer 域 AWB 统计白点的色度 B/G 六边形限制	10-234
0x20900	FRAME_STATS_STATS_RESET	状态复位寄存器	10-235
0x20904	FRAME_STATS_STATS_HOLD	状态保持寄存器	10-235
0x20910	FRAME_STATS_ACTIVE_WIDTH_MIN	最小宽度寄存器	10-236
0x20914	FRAME_STATS_ACTIVE_WIDTH_MAX	最大宽度寄存器	10-236
0x20918	FRAME_STATS_ACTIVE_WIDTH_SUM	有效宽度和寄存器	10-237
0x2091C	FRAME_STATS_ACTIVE_WIDTH_NUM	有效宽度寄存器	10-237
0x20920	FRAME_STATS_ACTIVE_HEIGHT_MIN	最小高度寄存器	10-238
0x20924	FRAME_STATS_ACTIVE_HEIGHT_MAX	最大高度寄存器	10-238
0x20928	FRAME_STATS_ACTIVE_HEIGHT_SUM	有效高度和寄存器	10-238
0x2092C	FRAME_STATS_ACTIVE_HEIGHT_NUM	有效高度寄存器	10-239
0x20930	FRAME_STATS_HBLANK_MIN	最小水平消隐	10-239
0x20934	FRAME_STATS_HBLANK_MAX	最大水平消隐	10-239



偏移地址	名称	描述	页码
0x20938	FRAME_STATS_HBLANK_SUM	水平消隐和寄存器	10-240
0x2093C	FRAME_STATS_HBLANK_NUM	水平消隐寄存器	10-240
0x20940	FRAME_STATS_VBLANK_MIN	最小垂直消隐	10-240
0x20944	FRAME_STATS_VBLANK_MAX	最大垂直消隐	10-241
0x20948	FRAME_STATS_VBLANK_SUM	垂直消隐和寄存器	10-241
0x2094C	FRAME_STATS_VBLANK_NUM	垂直消隐寄存器	10-241
0x21004	NOISE_PROFILE_WDR_4	WDR 4 噪声偏移	10-242
0x21014	NOISE_PROFILE_WDR_3	WDR 3 噪声偏移	10-242
0x21024	NOISE_PROFILE_WDR_2	WDR 2 噪声偏移	10-243
0x21034	NOISE_PROFILE_WDR_1	WDR 1 噪声偏移	10-243
0x21200~0x2127C	NOISE_PROFILE_FRAME_STITCH_LUT_1	FRAME_STITCH 噪声分布表 1	10-243
0x21280~0x212FC	NOISE_PROFILE_FRAME_STITCH_LUT_2	FRAME_STITCH 噪声分布表 2	10-244
0x21300~0x2137C	NOISE_PROFILE_FRAME_STITCH_LUT_3	FRAME_STITCH 噪声分布表 3	10-244
0x21380~0x213FC	NOISE_PROFILE_FRAME_STITCH_LUT_4	FRAME_STITCH 噪声分布表 4	10-245
0x21540~0x2155C	DNR_SHADING	径向 LUT0	10-245
0x21560	DNR_SHADING_LAST	径向 LUT1	10-246
0x21580~0x215FC	NOISE_PROFILE_RAW_FRONTEND_LUT_1	RAW_FRONTEND 噪声分布表 1	10-246



偏移地址	名称	描述	页码
0x21600~ 0x2167C	NOISE_PROFILE_R AW_FRONTEND_L UT_2	RAW_FRONTEND 噪声分布表 2	<a href="#">10-247</a>
0x21680~ 0x216FC	NOISE_PROFILE_R AW_FRONTEND_L UT_3	RAW_FRONTEND 噪声分布表 3	<a href="#">10-247</a>
0x21700~ 0x2177C	NOISE_PROFILE_R AW_FRONTEND_L UT_4	RAW_FRONTEND 噪声分布表 4	<a href="#">10-248</a>
0x21800~ 0x2187C	NOISE_PROFILE_L UT	DNR 噪声分布表	<a href="#">10-248</a>
0x21880~ 0x218FC	NOISE_PROFILE_D EMOSAIC_LUT	DEMOSAIC 噪声分布表	<a href="#">10-249</a>
0x21900~ 0x219F8	AEXP_WEIGHT	AE 分块权重	<a href="#">10-249</a>
0x219FC	AEXP_WEIGHT_LA ST	AE 最后一个分块权重	<a href="#">10-250</a>
0x21B00~ 0x21EFC	AWB_WEIGHT	AWB 分块权重	<a href="#">10-251</a>
0x22800~ 0x22880	GAMMA_FE0_ME M0	GAMMA_FE0 Bank0 查找表	<a href="#">10-251</a>
0x22900~ 0x22980	GAMMA_FE0_ME M1	GAMMA_FE0 Bank1 查找表	<a href="#">10-252</a>
0x23000~ 0x23400	GAMMA_FE1_ME M0	GAMMA_FE1 Bank0 查找表	<a href="#">10-252</a>
0x23800~ 0x23C00	GAMMA_FE1_ME M1	GAMMA_FE1 Bank1 查找表	<a href="#">10-252</a>
0x24800~ 0x24880	GAMMA_BE0_ME M0	GAMMA_BE0 Bank0 查找表	<a href="#">10-253</a>
0x24900~ 0x24980	GAMMA_BE0_ME M1	GAMMA_BE0 Bank1 查找表	<a href="#">10-253</a>
0x25000~ 0x25400	GAMMA_BE1_ME M0	GAMMA_BE1 Bank0 查找表	<a href="#">10-254</a>
0x25800~ 0x25C00	GAMMA_BE1_ME M1	GAMMA_BE1 Bank1 查找表	<a href="#">10-254</a>
0x26000~ 0x26200	RADIAL_SHADING _MEM_R	RADIAL_SHADING R 分量查找表	<a href="#">10-254</a>
0x26400~ 0x26600	RADIAL_SHADING _MEM_G	RADIAL_SHADING G 分量查找表	<a href="#">10-255</a>



偏移地址	名称	描述	页码
0x26800~ 0x26A00	RADIAL_SHADING _MEM_B	RADIAL_SHADING B 分量查找表	10-255
0x28000~ 0x2DFFC	METERING_MEM	AE stat、AE sum、AWB stat、AWB sum 统计信息	10-256
0x30000~ 0x33FFC	DEFECT_PIXEL_M EM	static defect pixels 坏点表	10-256
0x34000~ 0x34FFC	HISTOGRAM1_ME M	直方图统计信息 1	10-256
0x35000~ 0x353FC	HISTOGRAM2_ME M	直方图统计信息 2	10-257
0x35400~ 0x357FC	HISTOGRAM3_ME M	直方图统计信息 3	10-257
0x35800~ 0x35BFC	HISTOGRAM4_ME M	直方图统计信息 4	10-257
0x37000~ 0x37400	GAMMA_RGB_ME M0	GAMMA_RGB Bank0 查找表	10-258
0x37800~ 0x37C00	GAMMA_RGB_ME M1	GAMMA_RGB Bank1 查找表	10-258
0x38000~ 0x38200	DRC_FWD_MEM	DRC_FWD 表	10-259
0x38800~ 0x38A00	DRC_REV_MEM	DRC_REV 表	10-259
0x39000~ 0x393FC	CMD_QUEUES	CMD 表	10-259
0x3C000~ 0x3EFFF	SHADING_MEM	mesh shading 表	10-260
0x40094	ISP_BE_FSTART_D ELAY	ISP 可调中断触发时间配置	10-260
0x400A0	ISP_BE_USER_DEF INE0	用户自定义寄存器 0	10-260
0x400A4	ISP_BE_USER_DEF INE1	用户自定义寄存器 1	10-261
0x400F0	ISP_BE_INT	ISP 中断指示寄存器	10-261
0x400F8	ISP_BE_INT_MASK	ISP 中断屏蔽寄存器	10-262
0x401E0	ISP_BE_CTRL_F	ISP 普通更新控制寄存器	10-263
0x401E4	ISP_BE_CTRL_I	ISP 立即更新控制寄存器	10-264



偏移地址	名称	描述	页码
0x401E8	ISP_BE_TIMING_CFG	输出时序配置寄存器	10-265
0x401EC	ISP_BE_REG_UPDATE	寄存器更新寄存器	10-265
0x40800	ISP_CLIP_Y_CFG	亮度钳位配置寄存器	10-265
0x40804	ISP_CLIP_C_CFG	色度钳位配置寄存器	10-266
0x40810	ISP_SKIP_Y_CFG	Y 分量 SKIP 配置寄存器	10-266
0x40818	ISP_SKIP_C_CFG	C 分量 SKIP 配置寄存器	10-267
0x40860	ISP_CROP_Y_CFG	Y 分量 CROP 使能寄存器	10-267
0x40868	ISP_CROP_Y_START	Y 分量 CROP 起始位置寄存器	10-267
0x4086C	ISP_CROP_Y_SIZE	Y 分量 CROP 大小置寄存器	10-268
0x40870	ISP_CROP_C_CFG	C 分量 CROP 使能寄存器	10-268
0x40878	ISP_CROP_C_START	C 分量 CROP 起始位置寄存器	10-269
0x4087C	ISP_CROP_C_SIZE	C 分量 CROP 大小置寄存器	10-269
0x40880	ISP_Y_SUM0	输入图像的亮度和低寄存器	10-270
0x40884	ISP_Y_SUM1	输入图像的亮度和高寄存器	10-270
0x41500	ISP_CSC_CFG	CSC 使能寄存器	10-271
0x41510	ISP_CSC_COEF0	CSC 系数寄存器 0	10-271
0x41514	ISP_CSC_COEF1	CSC 系数寄存器 1	10-272
0x41518	ISP_CSC_COEF2	CSC 系数寄存器 2	10-273
0x4151C	ISP_CSC_COEF3	CSC 系数寄存器 3	10-273
0x41520	ISP_CSC_COEF4	CSC 系数寄存器 4	10-274
0x41530	ISP_CSC_IN_DC0	CSC 输入直流分量寄存器 0	10-274
0x41534	ISP_CSC_IN_DC1	CSC 输入直流分量寄存器 1	10-275
0x41540	ISP_CSC_OUT_DC0	CSC 输出直流分量寄存器 0	10-275
0x41544	ISP_CSC_OUT_DC1	CSC 输出直流分量寄存器 1	10-276
0x41800	ISP_MCDS_CFG	MCDS 控制寄存器	10-276
0x41814	ISP_HCDS_SIZE	色度水平下采样输入大小置寄存器	10-277



偏移地址	名称	描述	页码
0x4182C	ISP_MIDF_SIZE	中值滤波输入图像色度宽高	10-278
0x41844	ISP_MCDS_PARA	NR 的融合比例和移位	10-278
0x418F0	ISP_MCDS_SIZE	MCDS 输入图像宽高	10-279
0x45200	ISP_SHARPEN_CFG	SHARPEN 控制寄存器	10-279
0x45210	ISP_SHARPEN_AMT	SHARPEN 强度	10-280
0x4521C	ISP_SHARPEN_SHOOTAMT	SHARPENshootAMT 控制	10-280
0x45224	ISP_SHARPEN_EDGEJAG	锯齿高频参数	10-280
0x45228	ISP_SHARPEN_OSHTJAG	锯齿 overshoot 参数	10-281
0x4522C	ISP_SHARPEN_USHTJAG	锯齿 undershoot 参数	10-281
0x45230	ISP_SHARPEN_MID0	SHARPEN 中频滤波系数	10-282
0x45234	ISP_SHARPEN_MID1	SHARPEN 中频滤波系数	10-282
0x45238	ISP_SHARPEN_MID2	SHARPEN 中频滤波系数	10-283
0x4523C	ISP_SHARPEN_LINE_THD	SHARPEN 线条检测阈值	10-283
0x45240	ISP_SHARPEN_THRESHOLD2	SHARPEN 阈值 2	10-284
0x45244	ISP_SHARPEN_CTRL	SHARPEN 控制	10-284
0x45248	ISP_SHARPEN_LUMATH	LUMATH 参数	10-285
0x4524C	ISP_SHARPEN_LUMAWGT	LUMAWgt 参数	10-286
0x45258	ISP_SHARPEN_OSHTVARTH	方差门限参数 0	10-286
0x4525C	ISP_SHARPEN_OSHTVAR	过冲方差参数 0	10-287
0x45260	ISP_SHARPEN_USHTVARTH	方差门限参数 1	10-287



偏移地址	名称	描述	页码
0x45264	ISP_SHARPEN_USHTVAR	过冲方差参数 1	10-288
0x45268	ISP_SHARPEN_OSHTLUMA	过冲亮度参数 0	10-288
0x4526C	ISP_SHARPEN_USHTLUMA	过冲亮度参数 1	10-289
0x45274	ISP_SHARPEN_SHIFT	SHIFT 参数	10-289
0x452F0	ISP_SHARPEN_SIZE	SHARPEN 图像宽高	10-290
0x46200	ISP_DEHAZE_CFG	DEHAZE 使能寄存器	10-290
0x46210	ISP_DEHAZE_PRE_UPDATE	DEHAZE 统计结果更新寄存器	10-291
0x46214	ISP_DEHAZE_BLK_SIZE	DEHAZE 分块大小配置寄存器	10-291
0x46218	ISP_DEHAZE_BLK_SUM	DEHAZE 分块总数	10-292
0x4621C	ISP_DEHAZE_DC_SIZE	DEHAZE 双线性插值点的个数配置寄存器	10-292
0x46220	ISP_DEHAZE_X	DEHAZE 放大图像像素点之间的水平相位差配置寄存器	10-293
0x46224	ISP_DEHAZE_Y	DEHAZE 放大图像像素点之间的垂直相位差配置寄存器	10-293
0x46228	ISP_DEHAZE_STAT_MODE	DEHAZE 统计模块控制寄存器	10-294
0x4622C	ISP_DEHAZE_NEG_MODE	DEHAZE 取反处理控制寄存器	10-294
0x46230	ISP_DEHAZE_AIR	DEHAZE 大气光配置寄存器	10-295
0x46234	ISP_DEHAZE_THLD	DEHAZE 的 T 阈值系数配置寄存器	10-295
0x46238	ISP_DEHAZE_GSTRTH	DEHAZE 的全局强度系数	10-296
0x4623C	ISP_DEHAZE_BLTHLD	DEHAZE 最小值滤波阈值系数配置寄存器	10-296
0x46240	ISP_DEHAZE_STR_LUT_UPDATE	DEHAZE 强度表更新寄存器	10-297





偏移地址	名称	描述	页码
0x46280	ISP_DEHAZE_MINS TAT_WADDR	DEHAZE 最小值统计信息写地址寄存器	10-297
0x46284	ISP_DEHAZE_MINS TAT_WDATA	DEHAZE 最小值统计信息写数据寄存器	10-298
0x46288	ISP_DEHAZE_MINS TAT_RADDR	DEHAZE 最小值统计信息读地址寄存器	10-298
0x4628C	ISP_DEHAZE_MINS TAT_RDATA	DEHAZE 最小值统计信息读数据寄存器	10-298
0x46290	ISP_DEHAZE_MAX STAT_WADDR	DEHAZE 最大值统计信息写地址寄存器	10-299
0x46294	ISP_DEHAZE_MAX STAT_WDATA	DEHAZE 最大值统计信息写数据寄存器	10-299
0x46298	ISP_DEHAZE_MAX STAT_RADDR	DEHAZE 最大值统计信息读地址寄存器	10-300
0x4629C	ISP_DEHAZE_MAX STAT_RDATA	DEHAZE 最大值统计信息读数据寄存器	10-300
0x462A0	ISP_DEHAZE_PRES TAT_WADDR	DEHAZE 前一帧最小值统计信息写地址寄存器	10-301
0x462A4	ISP_DEHAZE_PRES TAT_WDATA	DEHAZE 前一帧最小值统计信息写数据寄存器	10-301
0x462A8	ISP_DEHAZE_PRES TAT_RADDR	DEHAZE 前一帧最小值统计信息读地址寄存器	10-302
0x462AC	ISP_DEHAZE_PRES TAT_RDATA	DEHAZE 前一帧最小值统计信息读数据寄存器	10-302
0x462B0	ISP_DEHAZE_LUT_ WADDR	DEHAZE 强度 LUT 信息写地址寄存器	10-303
0x462B4	ISP_DEHAZE_LUT_ WDATA	DEHAZE 强度 LUT 信息写数据寄存器	10-303
0x462B8	ISP_DEHAZE_LUT_ RADDR	DEHAZE 强度 LUT 信息读地址寄存器	10-304
0x462BC	ISP_DEHAZE_LUT_ RDATA	DEHAZE 强度 LUT 信息读数据寄存器	10-304
0x462F0	ISP_DEHAZE_SIZE	DEHAZE 图像宽高	10-305
0x51400	ISP_ACM_CTRL	ACM 控制寄存器	10-305
0x51404	ISP_ACM_ADJ	ACM 处理后像素的改变量	10-306
0x51410	ISP_ACM_SIZE	ACM 处理图像大小寄存器	10-307



偏移地址	名称	描述	页码
0x51414	ISP_ACM_PARA_A DDR	ACM 系数配置载入地址寄存器	10-307
0x51420	ISP_ACM_PARA_U P	ACM 系数配置更新寄存器	10-307
0x51C00	ISP_VPDCICTRL	DCI 控制寄存器	10-308
0x51C04	ISP_VPDCIHPOS	DCI 算法水平方向调节区域的寄存器	10-310
0x51C08	ISP_VPDCIVPOS	DCI 算法垂直方向调节区域的寄存器	10-310
0x51C0C	ISP_VPDCIHISBLD	DCI 直方图统计加权系数寄存器	10-311
0x51C10	ISP_VPDCIHISOFT	DCI 直方图统计偏移量寄存器	10-311
0x51C14	ISP_VPDCIHISCOR	DCI 直方图 coring 寄存器	10-312
0x51C18	ISP_VPDCIMERBLD	DCI 调节单元的 blend 值寄存器	10-312
0x51C1C	ISP_VPDCIADJWG T	DCI 手动配置的曲线权重寄存器	10-313
0x51C20	ISP_VPDCICLIP0	DCI 曲线 0 权重范围寄存器	10-313
0x51C24	ISP_VPDCICLIP1	DCI 曲线 1 权重范围寄存器	10-314
0x51C28	ISP_VPDCICLIP2	DCI 曲线 2 权重范围寄存器	10-314
0x51C2C	ISP_VPDCIGLBGAI N	DCI 亮度调节单元全局增益寄存器	10-315
0x51C30	ISP_VPDCIPOSTHR 0	DCI 调节单元正向调节时的阈值 0 寄存器	10-315
0x51C34	ISP_VPDCIPOSTHR 1	DCI 调节单元正向调节时的阈值 1 寄存器	10-316
0x51C38	ISP_VPDCIPOSgai N0	DCI 调节单元正向调节时的增益 0 寄存器	10-316
0x51C3C	ISP_VPDCIPOSgai N1	DCI 调节单元正向调节时的增益 1 寄存器	10-317
0x51C40	ISP_VPDCIPOSSLP 0	DCI 调节单元正向调节时的斜率 0 寄存器	10-317
0x51C44	ISP_VPDCIPOSSLP 1	DCI 调节单元正向调节时的斜率 1 寄存器	10-318
0x51C48	ISP_VPDCIPOSSLP 2	DCI 调节单元正向调节时的斜率 2 寄存器	10-318



偏移地址	名称	描述	页码
0x51C4C	ISP_VPDCINEGTH R0	DCI 调节单元负向调节时的阈值 0 寄存器	10-319
0x51C50	ISP_VPDCINEGTH R1	DCI 调节单元负向调节时的阈值 1 寄存器	10-319
0x51C54	ISP_VPDCINEGGAIN0	DCI 调节单元负向调节时的增益 0 寄存器	10-320
0x51C58	ISP_VPDCINEGGAIN1	DCI 调节单元负向调节时的增益 1 寄存器	10-321
0x51C5C	ISP_VPDCINEGSLP 0	DCI 调节单元负向调节时的斜率 0 寄存器	10-321
0x51C60	ISP_VPDCINEGSLP 1	DCI 调节单元负向调节时的斜率 1 寄存器	10-321
0x51C64	ISP_VPDCINEGSLP 2	DCI 调节单元负向调节时的斜率 2 寄存器	10-322
0x60000	ISPFE_MAX_ADDR	ISP BUFFER 最大地址寄存器	10-322
0x60004	ISPFE_MAX_ADDR 2	ISP BUFFER 最大地址寄存器 2	10-323
0x60008	ISPFE_MAX_ADDR_NR1	ISP NR BUFFER1 最大地址寄存器	10-323
0x6000C	ISPFE_MAX_ADDR_NR2	ISP NR BUFFER2 最大地址寄存器	10-324
0x60010	ISPFE_TIMING	ISP 时序配置寄存器	10-324
0x60014	ISPFE_MAX_ADDR 3	ISP BUFFER 最大地址寄存器 3	10-325
0x60018	ISPFE_MAX_ADDR 4	ISP BUFFER 最大地址寄存器 4	10-325
0x60020	ISPFE_BYTE_EN	ISP BYTE_EN 配置寄存器	10-325
0x60028	ISPFE_CH_SWITCH	ISP 输入转换寄存器	10-326
0x6002C	ISPFE_FE_BYPASS_CFG	ISP FE BYPASS 寄存器	10-328
0x60030	ISPFE_CROP_CFG	CROP 使能寄存器	10-328
0x60034	ISPFE_CROP_WIN	CROP 窗口寄存器	10-329
0x60038	ISPFE_CROP0_START	0 区域 CROP 起始位置寄存器	10-329
0x6003C	ISPFE_CROP0_SIZE	0 区域 CROP 大小置寄存器	10-330



偏移地址	名称	描述	页码
0x600F0	ISPFE_INT	ISP 中断指示寄存器	10-330
0x600F8	ISPFE_INT_MASK	ISP 中断屏蔽寄存器	10-333
0x62400	ISP_DIS_CFG	工作使能寄存器	10-335
0x62404	ISP_DIS_BLK	块配置寄存器	10-336
0x62410	ISP_DIS_V0POS	垂直 PRJ0 块地址	10-336
0x62414	ISP_DIS_V4POS	垂直 PRJ4 块地址	10-337
0x62418	ISP_DIS_V8POS	垂直 PRJ8 块地址	10-337
0x62420	ISP_DIS_V0POSE	垂直 PRJ0 块地址	10-338
0x62424	ISP_DIS_V4POSE	垂直 PRJ4 块地址	10-338
0x62428	ISP_DIS_V8POSE	垂直 PRJ8 块地址	10-339
0x62430	ISP_DIS_H0POS	水平 PRJ0 块地址	10-339
0x62434	ISP_DIS_H4POS	水平 PRJ4 块地址	10-340
0x62438	ISP_DIS_H8POS	水平 PRJ8 块地址	10-340
0x62440	ISP_DIS_H0POSE	水平 PRJ0 块地址	10-341
0x62444	ISP_DIS_H4POSE	水平 PRJ4 块地址	10-341
0x62448	ISP_DIS_H8POSE	水平 PRJ8 块地址	10-342
0x62450	ISP_DIS_RAW_LUMA	数据类型寄存器	10-342
0x62454	ISP_DIS_GAMMA_EN	gamma 使能	10-343
0x62488	ISP_DIS_H_STAT_R_ADDR	水平统计值读地址	10-343
0x6248C	ISP_DIS_H_STAT_R_DATA	水平统计值读数据	10-343
0x62498	ISP_DIS_V_STAT_R_ADDR	垂直统计值读地址	10-344
0x6249C	ISP_DIS_V_STAT_R_DATA	垂直统计值读数据	10-344
0x624E0	ISP_DIS_CTRL_F	DIS 普通控制寄存器	10-345
0x624E4	ISP_DIS_CTRL_I	DIS 立即更新寄存器	10-345
0x624EC	ISP_DIS_UPDATE	DIS 寄存器更新寄存器	10-346
0x63a00	ISP_FPN_CFG	FPN 配置寄存器	10-346



偏移地址	名称	描述	页码
0x63a04	ISP_FPN_CALIB_START	FPN 标定开始标定信号寄存器	10-347
0x63a08	ISP_FPN_CORR_CFG	FPN 校正配置寄存器	10-348
0x63a0C	ISP_FPN_STAT	FPN 标定状态寄存器	10-349
0x63a10	ISP_FPN_WHITE_LEVEL	FPN 标定白点配置寄存器	10-349
0x63a18	ISP_FPN_DIVCOEF	FPN 标定除法系数寄存器	10-350
0x63a1C	ISP_FPN_FRAMELOG2	FPN 标定帧数寄存器	10-350
0x63a20	ISP_FPN_SUM0	FPN 标定累加和低位寄存器	10-351
0x63a24	ISP_FPN_SUM1	FPN 标定累加和高位寄存器	10-351
0x63a30	ISP_FPN_CORR0	FPN 校正配置 0 寄存器	10-352
0x63a34	ISP_FPN_CORR1	FPN 校正配置 1 寄存器	10-352
0x63a38	ISP_FPN_CORR2	FPN 校正配置 2 寄存器	10-353
0x63a3C	ISP_FPN_CORR3	FPN 校正配置 3 寄存器	10-353
0x63a40	ISP_FPN_SHIFT	FPN 移位配置寄存器	10-353
0x63a50	ISP_FPN_MAX_O	FPN 输出最大值寄存器	10-354
0x63a54	ISP_FPN_OVERFLOWTHR	FPN 校正阈值	10-354
0x63a80	ISP_FPN_LINE_WADDR	FPN 行模式黑行写地址寄存器	10-355
0x63a84	ISP_FPN_LINE_WDATA	FPN 行模式黑行写数据寄存器	10-355
0x63a88	ISP_FPN_LINE_READR	FPN 行模式黑行读地址寄存器	10-356
0x63a8C	ISP_FPN_LINE_READATA	FPN 行模式黑行读数据寄存器	10-356
0x63aE0	ISP_FPN_CTRL_F	FPN 普通控制寄存器	10-356
0x63aE4	ISP_FPN_CTRL_I	FPN 立即更新控制寄存器	10-357
0x63aE8	ISP_FPN_TIMING	FPN 输出时序配置寄存器	10-358
0x63aEC	ISP_FPN_UPDATE	FPN 寄存器更新寄存器	10-358
0x63aF0	ISP_FPN_SIZE	FPN 图像宽高寄存器	10-358



## 10.5.2 ISP 寄存器描述

### ISP\_AF\_CFG

ISP\_AF\_CFG 为 AF 控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x12000		ISP_AF_CFG		0x0000_01DA																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ck_gt_en	reserved				fir1_ldg_en	fir0_ldg_en	iir1_ldg_en	iir0_ldg_en	fir1_lpf_en	fir0_lpf_en	iir1_ds_en	iir0_ds_en	bayer_mode	raw_mode	sqrt_en	mean_en	lpf_en	crop_en	offset_en	squ_mode	peak_mode	iir1_en2	iir1_en1	iir1_en0	iir0_en2	iir0_en1	iir0_en0	0			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	1	0	1	0
Bits	Access	Name		Description																												
[31]	RW	ck_gt_en		AF 的时钟门控使能。 0: 禁止; 1: 使能。																												
[30:25]	RO	reserved		保留。																												
[24]	RW	fir1_ldg_en		垂直 FIR 滤波器 LDG(luma dependent gain)使能 1。 0: 禁止; 1: 使能。																												
[23]	RW	fir0_ldg_en		垂直 FIR 滤波器 LDG(luma dependent gain)使能 0。 0: 禁止; 1: 使能。																												
[22]	RW	iir1_ldg_en		水平 IIR 滤波器 LDG(luma dependent gain)使能 1。 0: 禁止; 1: 使能。																												
[21]	RW	iir0_ldg_en		水平 IIR 滤波器 LDG(luma dependent gain)使能 0。 0: 禁止; 1: 使能。																												
[20]	RW	fir1_lpf_en		垂直 FIR 滤波器 LPF(low pass filter)使能 1。 0: 禁止; 1: 使能。																												



[19]	RW	fir0_lpf_en	垂直 FIR 滤波器 LPF(low pass filter)使能 0。 0: 禁止; 1: 使能。
[18]	RW	iir1_ds_en	水平 IIR 滤波器 DS(down sample)使能 1。 0: 禁止; 1: 使能。
[17]	RW	iir0_ds_en	水平 IIR 滤波器 DS(down sample)使能 0。 0: 禁止; 1: 使能。
[16:15]	RW	bayer_mode	AF RAW 格式。 00: RGGB; 01: GRBG; 10: GBRG; 11: BGGR。
[14]	RW	raw_mode	AF 数据格式。 0: YUV 数据; 1: RAW 数据。
[13]	RW	sqrt_en	AF Gamma 使能。 0: 禁止; 1: 使能。
[12]	RW	mean_en	AF 中值滤波使能。 0: 禁止; 1: 使能。
[11]	RW	lpf_en	AF 低通滤波器使能。 0: 禁止; 1: 使能。
[10]	RW	crop_en	AFcrop 裁剪使能。 0: 禁止; 1: 使能。
[9]	RW	offset_en	offset 使能。 0: 禁止; 1: 使能。
[8]	RW	squ_mode	AF 统计平方模式。 0: 统计值直接累加统计; 1: 统计值先进行平方计算再进行累加统计。



[7]	RW	peak_mode	AF 统计峰值模式。 0: 选取区块中的每个值进行统计; 1: 选取区块中每行的最大值进行统计。
[6]	RW	iir1_en2	第二组 3 个 IIR 级联中第 2 个 IIR 的使能。 0: 禁止; 1: 使能。
[5]	RW	iir1_en1	第二组 3 个 IIR 级联中第 1 个 IIR 的使能。 0: 禁止; 1: 使能。
[4]	RW	iir1_en0	第二组 3 个 IIR 级联中第 0 个 IIR 的使能。 0: 禁止; 1: 使能。
[3]	RW	iir0_en2	第一组 3 个 IIR 级联中第 2 个 IIR 的使能。 0: 禁止; 1: 使能。
[2]	RW	iir0_en1	第一组 3 个 IIR 级联中第 1 个 IIR 的使能。 0: 禁止; 1: 使能。
[1]	RW	iir0_en0	第一组 3 个 IIR 级联中第 0 个 IIR 的使能。 0: 禁止; 1: 使能。
[0]	RW	en	AF 使能。 0: 禁止; 1: 使能。

## ISP\_AF\_ZONE

ISP\_AF\_ZONE 为 AF 区块分配寄存器。





Offset Address		Register Name		Total Reset Value					
0x12010		ISP_AF_ZONE		0x0000_0F11					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vnum		reserved	hnum	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 1	0 0 0 1	
Bits	Access	Name	Description						
[31:13]	RO	reserved	保留。						
[12:8]	RW	vnum	AF 垂直方向分窗个数(最大 15)。 crop_en==1, 在 CH_AF_CROP_SIZE 区域分窗; crop_en==0, 在 CH_AF_SIZE 区域分窗。						
[7:5]	RO	reserved	保留。						
[4:0]	RW	hnum	AF 水平方向分窗个数(最大 17)。 crop_en==1, 在 CH_AF_CROP_SIZE 区域分窗; crop_en==0, 在 CH_AF_SIZE 区域分窗。						

## ISP\_AF\_CROP\_START

ISP\_AF\_CROP\_START 为 AF 图像 CROP 起始坐标寄存器。

Offset Address		Register Name		Total Reset Value					
0x12014		ISP_AF_CROP_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	pos_y				reserved	pos_x		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	pos_y	CROP 起始点 纵坐标。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	pos_x	CROP 起始点 横坐标。						



## ISP\_AF\_CROP\_SIZE

ISP\_AF\_CROP\_SIZE 为 AF 图像 CROP SIZE 寄存器。

Offset Address		Register Name		Total Reset Value																												
0x12018		ISP_AF_CROP_SIZE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vsize								reserved				hsize															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:16]	RW		vsize		AF CROP 后图像的高度。 <b>注意：配置为实际值减 1。</b>																											
[15:13]	RO		reserved		保留。																											
[12:0]	RW		hsize		AF CROP 后图像的宽度。 <b>注意：配置为实际值减 1。</b>																											

## ISP\_AF\_MEAN\_THRES

ISP\_AF\_MEAN\_THRES 为 AF 中值滤波阈值寄存器。

Offset Address		Register Name		Total Reset Value																												
0x1201C		ISP_AF_MEAN_THRES		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												mean_thres																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:0]	RW		mean_thres		AF 中值滤波寄存器阈值。																											

## ISP\_AF\_IIRG0

ISP\_AF\_IIRG0 为 AF IIR 滤波参数 0 寄存器。



	Offset Address								Register Name								Total Reset Value															
	0x12020								ISP_AF_IIRG0								0x00A1_00A0															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				iirg0_1				reserved				iirg0_0																			
Reset	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:16]	RW		iirg0_1		AF IIR 滤波 1 组 g0 增益。 <b>注意：影响 ISP_AF_SHIFT 的配置值。</b>																											
[15:8]	RO		reserved		保留。																											
[7:0]	RW		iirg0_0		AF IIR 滤波 0 组 g0 增益。 <b>注意：影响 ISP_AF_SHIFT 的配置值。</b>																											

## ISP\_AF\_IIRG1

ISP\_AF\_IIRG1 为 AF IIR 滤波参数 1 寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x12024								ISP_AF_IIRG1								0x0244_01BC															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				iirg1_1				reserved				iirg1_0																			
Reset	0	0	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1	1	0	0
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:16]	RW		iirg1_1		AF IIR 滤波 1 组 g1 增益。 <b>注意：符号数，不能取负边界-512。</b>																											
[15:10]	RO		reserved		保留。																											
[9:0]	RW		iirg1_0		AF IIR 滤波 0 组 g1 增益。 <b>注意：符号数，不能取负边界-512。</b>																											

## ISP\_AF\_IIRG2

ISP\_AF\_IIRG2 为 AF IIR 滤波参数 2 寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x12028				ISP_AF_IIRG2				0x0328_0328																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				iirg2_1				reserved				iirg2_0																			
Reset	0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	0
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:16]	RW		iirg2_1		AF IIR 滤波 1 组 g2 增益。 <b>注意：符号数，不能取负边界-512。</b>																											
[15:10]	RO		reserved		保留。																											
[9:0]	RW		iirg2_0		AF IIR 滤波 0 组 g2 增益。 <b>注意：符号数，不能取负边界-512。</b>																											

### ISP\_AF\_IIRG3

ISP\_AF\_IIRG3 为 AF IIR 滤波参数 3 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1202C				ISP_AF_IIRG3				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				iirg3_1				reserved				iirg3_0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:16]	RW		iirg3_1		AF IIR 滤波 1 组 g3 增益。 <b>注意：符号数，不能取负边界-512。</b>																											
[15:10]	RO		reserved		保留。																											
[9:0]	RW		iirg3_0		AF IIR 滤波 0 组 g3 增益。 <b>注意：符号数，不能取负边界-512。</b>																											

### ISP\_AF\_IIRG4

ISP\_AF\_IIRG4 为 AF IIR 滤波参数 4 寄存器。



Offset Address		Register Name		Total Reset Value					
0x12030		ISP_AF_IIRG4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		iirg4_1		reserved		iirg4_0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	iirg4_1	AF IIR 滤波 1 组 g4 增益。 <b>注意：符号数，不能取负边界-512。</b>						
[15:10]	RO	reserved	保留。						
[9:0]	RW	iirg4_0	AF IIR 滤波 0 组 g4 增益。 <b>注意：符号数，不能取负边界-512。</b>						

## ISP\_AF\_IIRG5

ISP\_AF\_IIRG5 为 AF IIR 滤波参数 5 寄存器。

Offset Address		Register Name		Total Reset Value					
0x12034		ISP_AF_IIRG5		0x0284_017C					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		iirg5_1		reserved		iirg5_0		
Reset	0 0 0 0	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 1 1 1	1 1 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	iirg5_1	AF IIR 滤波 1 组 g5 增益。 <b>注意：符号数，不能取负边界-512。</b>						
[15:10]	RO	reserved	保留。						
[9:0]	RW	iirg5_0	AF IIR 滤波 0 组 g5 增益。 <b>注意：符号数，不能取负边界-512。</b>						

## ISP\_AF\_IIRG6

ISP\_AF\_IIRG6 为 AF IIR 滤波参数 6 寄存器。



Offset Address		Register Name		Total Reset Value					
0x12038		ISP_AF_IIRG6		0x033C_033C					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		iirg6_1		reserved		iirg6_0		
Reset	0 0 0 0	0 0 1 1	0 0 1 1	1 1 0 0	0 0 0 0	0 0 1 1	0 0 1 1	1 1 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	iirg6_1	AF IIR 滤波 1 组 g6 增益。 注意：符号数，不能取负边界-512。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	iirg6_0	AF IIR 滤波 0 组 g6 增益。 注意：符号数，不能取负边界-512。						

## ISP\_AF\_IIRPL

ISP\_AF\_IIRPL 为 AF IIR 滤波器预设寄存器。

Offset Address		Register Name		Total Reset Value					
0x1203C		ISP_AF_IIRPL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		iirpls_1	iirplg_1		reserved		iirpls_0	iirplg_0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:24]	RW	iirpls_1	AF IIR 滤波器 1 组预设置移位。						
[23:16]	RW	iirplg_1	AF IIR 滤波器 1 组预设置增益。						
[15:11]	RO	reserved	保留。						
[10:8]	RW	iirpls_0	AF IIR 滤波器 0 组预设置移位。						
[7:0]	RW	iirplg_0	AF IIR 滤波器 0 组预设置增益。						



## ISP\_AF\_SHIFT

ISP\_AF\_SHIFT 为 AF IIR 滤波移位参数寄存器。

Offset Address		Register Name		Total Reset Value				
0x12040		ISP_AF_SHIFT		0x0027_1027				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved iirshift1_3	reserved iirshift1_2	reserved iirshift1_1	reserved iirshift1_0	reserved iirshift0_3	reserved iirshift0_2	reserved iirshift0_1	reserved iirshift0_0
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 1 1 1	0 0 0 1	0 0 0 0	0 0 1 0	0 1 1 1
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30:28]	RW	iirshift1_3	AF IIR 滤波 1 组 IIR2 移位调整。					
[27]	RO	reserved	保留。					
[26:24]	RW	iirshift1_2	AF IIR 滤波 1 组 IIR1 移位调整。					
[23]	RO	reserved	保留。					
[22:20]	RW	iirshift1_1	AF IIR 滤波 1 组 IIR0 移位调整。					
[19]	RO	reserved	保留。					
[18:16]	RW	iirshift1_0	AF IIR 滤波 1 组输入移位调整。 注意： iirg0_1>=128, iirshift0_0>=4; iirg0_1>= 64, iirshift0_0>=3; iirg0_1>= 32, iirshift0_0>=2; iirg0_1>= 16, iirshift0_0>=1。					
[15]	RO	reserved	保留。					
[14:12]	RW	iirshift0_3	AF IIR 滤波 0 组 IIR2 移位调整。					
[11]	RO	reserved	保留。					
[10:8]	RW	iirshift0_2	AF IIR 滤波 0 组 IIR1 移位调整。					
[7]	RO	reserved	保留。					
[6:4]	RW	iirshift0_1	AF IIR 滤波 0 组 IIR0 移位调整。					
[3]	RO	reserved	保留。					



[2:0]	RW	iirshift0_0	AF IIR 滤波 0 组输入移位调整。 注意： iirg0_0 >=128, iirshift0_0 >=4; iirg0_0 >= 64, iirshift0_0 >=3; iirg0_0 >= 32, iirshift0_0 >=2; iirg0_0 >= 16, iirshift0_0 >=1。
-------	----	-------------	---

## ISP\_AF\_FIRH0

ISP\_AF\_FIRH0 为 AF FIR 滤波参数 0 寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x12050	ISP_AF_FIRH0	0x0030_0030													
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				firh0_1				reserved				firh0_0			
Reset	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0								
Bits	Access	Name	Description													
[31:22]	RO	reserved	保留。													
[21:16]	RW	firh0_1	AF FIR 滤波 1 组 h0 增益。 注意：符号数，不能取负边界-32。													
[15:6]	RO	reserved	保留。													
[5:0]	RW	firh0_0	AF FIR 滤波 0 组 h0 增益。 注意：符号数，不能取负边界-32。													

## ISP\_AF\_FIRH1

ISP\_AF\_FIRH1 为 AF FIR 滤波参数 1 寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x12054	ISP_AF_FIRH1	0x0015_002B													
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				firh1_1				reserved				firh1_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 1 0 1	0 0 0 0	0 0 0 0	0 0 1 0	1 0 1 1								
Bits	Access	Name	Description													
[31:22]	RO	reserved	保留。													





[21:16]	RW	firh1_1	AF FIR 滤波 1 组 h1 增益。 注意：符号数，不能取负边界-32。
[15:6]	RO	reserved	保留。
[5:0]	RW	firh1_0	AF FIR 滤波 0 组 h1 增益。 注意：符号数，不能取负边界-32。

## ISP\_AF\_FIRH2

ISP\_AF\_FIRH2 为 AF FIR 滤波参数 2 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x12058	ISP_AF_FIRH2	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved      firh2_1      reserved      firh2_0		
Reset	0 0		
Bits	Access	Name	Description
[31:22]	RO	reserved	保留。
[21:16]	RW	firh2_1	AF FIR 滤波 1 组 h2 增益。 注意：符号数，不能取负边界-32。
[15:6]	RO	reserved	保留。
[5:0]	RW	firh2_0	AF FIR 滤波 0 组 h2 增益。 注意：符号数，不能取负边界-32。

## ISP\_AF\_FIRH3

ISP\_AF\_FIRH3 为 AF FIR 滤波参数 3 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1205C	ISP_AF_FIRH3	0x002B_0015
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved      firh3_1      reserved      firh3_0		
Reset	0 0 0 0 0 0 0 0 0 0 1 0 1 0 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 1 0 1		
Bits	Access	Name	Description
[31:22]	RO	reserved	保留。



[21:16]	RW	firh3_1	AF FIR 滤波 1 组 h3 增益。 注意：符号数，不能取负边界-32。
[15:6]	RO	reserved	保留。
[5:0]	RW	firh3_0	AF FIR 滤波 0 组 h3 增益。 注意：符号数，不能取负边界-32。

## ISP\_AF\_FIRH4

ISP\_AF\_FIRH4 为 AF FIR 滤波参数 4 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x12060	ISP_AF_FIRH4	0x0010_0010
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved      firh4_1      reserved      firh4_0		
Reset	0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0		
Bits	Access	Name	Description
[31:22]	RO	reserved	保留。
[21:16]	RW	firh4_1	AF FIR 滤波 1 组 h4 增益。 注意：符号数，不能取负边界-32。
[15:6]	RO	reserved	保留。
[5:0]	RW	firh4_0	AF FIR 滤波 0 组 h4 增益。 注意：符号数，不能取负边界-32。

## ISP\_AF\_ACC\_SHIFT

ISP\_AF\_ACC\_SHIFT 为 AF 累加统计值移位寄存器。

	Offset Address	Register Name	Total Reset Value
	0x12078	ISP_AF_ACC_SHIFT	0x0002_0200
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved      acc_shift_y      acc_shift1_y      acc_shift0_y      acc_shift1_h      acc_shift0_h		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:20]	RO	reserved	保留。



[19:16]	RW	acc_shift_y	亮度 Y 统计值移位寄存器(0-15)，对 CH_AF_STAT_RDATA 中的 Y 进行移位。
[15:12]	RW	acc_shift1_v	1 组垂直 FIR 滤波值统计值移位寄存器(0-15)，对 CH_AF_STAT_RDATA 中的 V2 进行移位。
[11:8]	RW	acc_shift0_v	0 组垂直 FIR 滤波值统计值移位寄存器(0-15)，对 CH_AF_STAT_RDATA 中的 V1 进行移位。
[7:4]	RW	acc_shift1_h	1 组水平 IIR 滤波值统计值移位寄存器(0-15)，对 CH_AF_STAT_RDATA 中的 H2 进行移位。
[3:0]	RW	acc_shift0_h	0 组水平 FIR 滤波值统计值移位寄存器(0-15)，对 CH_AF_STAT_RDATA 中的 H1 进行移位。

## ISP\_AF\_CNT\_SHIFT

ISP\_AF\_CNT\_SHIFT 为 AF 计数统计值移位寄存器。

Offset Address		Register Name		Total Reset Value				
0x1207C		ISP_AF_CNT_SHIFT		0x0000_0200				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cnt_shift_y	cnt_shift1_v	cnt_shift0_v	cnt_shift1_h	cnt_shift0_h
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:16]	RW	cnt_shift_y	亮度 Y 计数值移位寄存器。					
[15:12]	RW	cnt_shift1_v	1 组垂直 FIR 滤波值统计计数移位寄存器(0-15)，对 CH_AF_STAT_RDATA 中的 vcnt2 进行移位。					
[11:8]	RW	cnt_shift0_v	0 组垂直 FIR 滤波值统计值移位寄存器(0-15)，对 CH_AF_STAT_RDATA 中的 vcnt1 进行移位。					
[7:4]	RW	cnt_shift1_h	1 组水平 IIR 滤波值统计值移位寄存器(0-15)，对 CH_AF_STAT_RDATA 中的 hcnt2 进行移位。					
[3:0]	RW	cnt_shift0_h	0 组水平 FIR 滤波值统计值移位寄存器(0-15)，对 CH_AF_STAT_RDATA 中的 hcnt1 进行移位。					

## ISP\_AF\_STAT\_IND\_RADDR

ISP\_AF\_STAT\_IND\_RADDR 为 AF 各区块统计信息间接读地址寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x12088				ISP_AF_STAT_IND_RADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	af_stat_ind_raddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	af_stat_ind_raddr		AF 各区块统计信息间接读地址寄存器。																											

### ISP\_AF\_STAT\_IND\_RDATA

ISP\_AF\_STAT\_IND\_RDATA 为 AF 各区块统计信息间接读数据寄存器。



Offset Address		Register Name		Total Reset Value				
0x1208C		ISP_AF_STAT_IND_RDATA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	af_stat_ind_rdata							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	af_stat_ind_rdata	<p>AF 各区块统计信息间接读数据寄存器。 统计各个区块的 V1, H1, V2, H2, Y hcnt1、hcnt2, vcnt1, vcnt2 ycnt 信息。 每个地址包含信息如下： 0x1: 区块 1 的{V1(16bit), H1(16bit)}; 0x2: 区块 1 的{V2(16bit), H2(16bit)}; 0x3: 区块 1 的{ycnt(16bit), Y(16bit)} 0x4: 区块 1 的{vcnt2(8bit), vcnt1(8bit), hcnt2(8bit), cnt1(8bit)}; 0x5: 区块 2 的{V1(16bit), H1(16bit)}; ……………以此类推。</p> <p>注意：V1 代表第 1 组垂直 FIR 滤波的统计结果。 V2 代表第 2 组垂直 FIR 滤波的统计结果。 H1 代表第 1 组水平 IIR 滤波的统计结果。 H2 代表第 2 组水平 IIR 滤波的统计结果。 Y 代表亮度统计结果。 vcnt1 代表 FIR 滤波值超过阈值的统计计数。 vcnt2 代表 FIR 滤波值超过阈值的统计计数。 hcnt1 代表 IIR 滤波值超过阈值的统计计数。 hcnt2 代表 IIR 滤波值超过阈值的统计计数。 ycnt 代表亮度超过阈值的统计计数。</p>					

### ISP\_AF\_CTRL\_I

ISP\_AF\_CTRL\_I 为立即更新控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x120E4		ISP_AF_CTRL_I		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								update_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	update_mode	ISP 更新模式寄存器。 0: update 更新(通过 <a href="#">ISP_AF_UPDATE</a> 寄存器更新); 1: 帧更新。						

## ISP\_AF\_UPDATE

ISP\_AF\_UPDATE 为配置更新寄存器。

Offset Address		Register Name		Total Reset Value					
0x120EC		ISP_AF_UPDATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								update
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	update	ISP 更新寄存器，每帧自动清 0。						

## ISP\_AF\_SIZE

ISP\_AF\_SIZE 为 AF 图像大小寄存器。



Offset Address		Register Name		Total Reset Value						
0x120F0		ISP_AF_SIZE		0x0437_077F						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	vsize				reserved	hsize			
Reset	0 0 0 0	0 1 0 0	0 0 1 1	0 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	vsize	AF 输入图像的高度(配置为实际值减 1)。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	hsize	AF 输入图像的宽度(配置为实际值减 1)。							

## ISP\_AF\_IIRTHRE

ISP\_AF\_IIRTHRE 为 AF IIR 滤波阈值寄存器。

Offset Address		Register Name		Total Reset Value				
0x12100		ISP_AF_IIRTHRE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	iir_thre1_h		iir_thre1_l		iir_thre0_h		iir_thre0_l	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	iir_thre1_h	AF 1 组 IIR 滤波器 luma dependent 阈值上限。					
[23:16]	RW	iir_thre1_l	AF 1 组 IIR 滤波器 luma dependent 阈值下限。					
[15:8]	RW	iir_thre0_h	AF 0 组 IIR 滤波器 luma dependent 阈值上限。					
[7:0]	RW	iir_thre0_l	AF 0 组 IIR 滤波器 luma dependent 阈值下限。					

## ISP\_AF\_IIRGAIN

ISP\_AF\_IIRGAIN 为 AF IIR 滤波增益寄存器。



	Offset Address								Register Name								Total Reset Value															
	0x12104								ISP_AF_IIRGAIN								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	iir_gain1_h				iir_gain1_l				iir_gain0_h				iir_gain0_l																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	iir_gain1_h		AF 1 组 IIR 滤波器 luma dependent 高增益。																											
	[23:16]	RW	iir_gain1_l		AF 1 组 IIR 滤波器 luma dependent 低增益。																											
	[15:8]	RW	iir_gain0_h		AF 0 组 IIR 滤波器 luma dependent 高增益。																											
	[7:0]	RW	iir_gain0_l		AF 0 组 IIR 滤波器 luma dependent 低增益。																											

## ISP\_AF\_IIRSLOPE

ISP\_AF\_IIRSLOPE 为 AF IIR 滤波斜率寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x12108								ISP_AF_IIRSLOPE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				iir_slope1_h				iir_slope1_l				reserved				iir_slope0_h				iir_slope0_l											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:20]	RW	iir_slope1_h		AF 1 组 IIR 滤波器 luma dependent 高斜率。																											
	[19:16]	RW	iir_slope1_l		AF 1 组 IIR 滤波器 luma dependent 低斜率。																											
	[15:8]	RO	reserved		保留。																											
	[7:4]	RW	iir_slope0_h		AF 0 组 IIR 滤波器 luma dependent 高斜率。																											
	[3:0]	RW	iir_slope0_l		AF 0 组 IIR 滤波器 luma dependent 低斜率。																											

## ISP\_AF\_IIRDILATE

ISP\_AF\_IIRDILATE 为 AF IIR 滤波 DILATE 寄存器。





Offset Address		Register Name		Total Reset Value					
0x1210C		ISP_AF_IIRDILATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						iir_dilate1	reserved	iir_dilate0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:11]	RO	reserved	保留。						
[10:8]	RW	iir_dilate1	获取局部最大值用于计算 IIR1 luma dependent gain。 000: 取附近 8 个像素中的最大值。 001: 取附近 16 个像素中的最大值。 010: 取附近 24 个像素中的最大值。 011: 取附近 32 个像素中的最大值。 100: 取附近 40 个像素中的最大值。 101: 取附近 48 个像素中的最大值。 110: 取附近 56 个像素中的最大值。 111: 取附近 64 个像素中的最大值。						
[7:3]	RO	reserved	保留。						
[2:0]	RW	iir_dilate0	获取局部最大值用于计算 IIR0 luma dependent gain。 000: 取附近 8 个像素中的最大值。 001: 取附近 16 个像素中的最大值。 010: 取附近 24 个像素中的最大值。 011: 取附近 32 个像素中的最大值。 100: 取附近 40 个像素中的最大值。 101: 取附近 48 个像素中的最大值。 110: 取附近 56 个像素中的最大值。 111: 取附近 64 个像素中的最大值。						

## ISP\_AF\_FIRTHRE

ISP\_AF\_FIRTHRE 为 AF FIR 滤波阈值寄存器。



Offset Address		Register Name		Total Reset Value				
0x12110		ISP_AF_FIRTHRE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fir_thre1_h		fir_thre1_l		fir_thre0_h		fir_thre0_l	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	fir_thre1_h	AF 1 组 FIR 滤波器 luma dependent 高阈值。					
[23:16]	RW	fir_thre1_l	AF 1 组 FIR 滤波器 luma dependent 低阈值。					
[15:8]	RW	fir_thre0_h	AF 0 组 FIR 滤波器 luma dependent 高阈值。					
[7:0]	RW	fir_thre0_l	AF 0 组 FIR 滤波器 luma dependent 低阈值。					

## ISP\_AF\_FIRGAIN

ISP\_AF\_FIRGAIN 为 AF FIR 滤波增益寄存器。

Offset Address		Register Name		Total Reset Value				
0x12114		ISP_AF_FIRGAIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fir_gain1_h		fir_gain1_l		fir_gain0_h		fir_gain0_l	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	fir_gain1_h	AF 1 组 FIR 滤波器 luma dependent 高增益。					
[23:16]	RW	fir_gain1_l	AF 1 组 FIR 滤波器 luma dependent 低增益。					
[15:8]	RW	fir_gain0_h	AF 0 组 FIR 滤波器 luma dependent 高增益。					
[7:0]	RW	fir_gain0_l	AF 0 组 FIR 滤波器 luma dependent 低增益。					

## ISP\_AF\_FIRSLOPE

ISP\_AF\_FIRSLOPE 为 AF FIR 滤波斜率寄存器。



Offset Address		Register Name		Total Reset Value				
0x12118		ISP_AF_FIRSLOPE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		fir_slope1_h	fir_slope1_l	reserved		fir_slope0_h	fir_slope0_l
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:20]	RW	fir_slope1_h	AF 1 组 FIR 滤波器 luma dependent 高斜率。					
[19:16]	RW	fir_slope1_l	AF 1 组 FIR 滤波器 luma dependent 低斜率。					
[15:8]	RO	reserved	保留。					
[7:4]	RW	fir_slope0_h	AF 0 组 FIR 滤波器 luma dependent 高斜率。					
[3:0]	RW	fir_slope0_l	AF 0 组 FIR 滤波器 luma dependent 低斜率。					

## ISP\_AF\_IIRTHRE\_CORING

ISP\_AF\_IIRTHRE\_CORING 为 AF IIR 滤波 CORING 阈值寄存器。

Offset Address		Register Name		Total Reset Value				
0x12120		ISP_AF_IIRTHRE_CORING		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		iir_thre1_c		reserved		iir_thre0_c	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:16]	RW	iir_thre1_c	AF 1 组 IIR 滤波器 Coring 阈值。					
[15:11]	RO	reserved	保留。					
[10:0]	RW	iir_thre0_c	AF 0 组 IIR 滤波器 Coring 阈值。					

## ISP\_AF\_IIRPEAK\_CORING

ISP\_AF\_IIRPEAK\_CORING 为 AF IIR 滤波 CORING 峰值寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x12124				ISP_AF_IIRPEAK_CORING				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				iir_peak1_c				reserved				iir_peak0_c																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:27]	RO		reserved		保留。																											
[26:16]	RW		iir_peak1_c		AF 1 组 IIR 滤波器 Coring 峰值。																											
[15:11]	RO		reserved		保留。																											
[10:0]	RW		iir_peak0_c		AF 0 组 IIR 滤波器 Coring 峰值。																											

## ISP\_AF\_IIRSLOPE\_CORING

ISP\_AF\_IIRSLOPE\_CORING 为 AF IIR 滤波 CORING 斜率寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x12128				ISP_AF_IIRSLOPE_CORING				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												iir_slope1_c		reserved		iir_slope0_c															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:8]	RW		iir_slope1_c		AF 1 组 IIR 滤波器 Coring 斜率。																											
[7:4]	RO		reserved		保留。																											
[3:0]	RW		iir_slope0_c		AF 0 组 IIR 滤波器 Coring 斜率。																											

## ISP\_AF\_FIRTHRE\_CORING

ISP\_AF\_FIRTHRE\_CORING 为 AF FIR 滤波 CORING 阈值寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x12130				ISP_AF_FIRTHRE_CORING				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				fir_thre1_c				reserved				fir_thre0_c																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:27]	RO		reserved		保留。																											
[26:16]	RW		fir_thre1_c		AF 1 组 FIR 滤波器 Coring 阈值。																											
[15:11]	RO		reserved		保留。																											
[10:0]	RW		fir_thre0_c		AF 0 组 FIR 滤波器 Coring 阈值。																											

### ISP\_AF\_FIRPEAK\_CORING

ISP\_AF\_FIRPEAK\_CORING 为 AF FIR 滤波 CORING 峰值寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x12134				ISP_AF_FIRPEAK_CORING				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				fir_peak1_c				reserved				fir_peak0_c																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:27]	RO		reserved		保留。																											
[26:16]	RW		fir_peak1_c		AF 1 组 FIR 滤波器 Coring 峰值。																											
[15:11]	RO		reserved		保留。																											
[10:0]	RW		fir_peak0_c		AF 0 组 FIR 滤波器 Coring 峰值。																											

### ISP\_AF\_FIRSLOPE\_CORING

ISP\_AF\_FIRSLOPE\_CORING 为 AF FIR 滤波 CORING 斜率寄存器。



Offset Address		Register Name		Total Reset Value				
0x12138		ISP_AF_FIRSLOPE_CORING		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					fir_slope1_c	reserved	fir_slope0_c
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:8]	RW	fir_slope1_c	AF 1 组 FIR 滤波器 Coring 斜率。					
[7:4]	RO	reserved	保留。					
[3:0]	RW	fir_slope0_c	AF 0 组 FIR 滤波器 Coring 斜率。					

## ISP\_AF\_HILIGHT

ISP\_AF\_HILIGHT 为 AF 高亮阈值寄存器。

Offset Address		Register Name		Total Reset Value				
0x12140		ISP_AF_HILIGHT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						hilight	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RW	hilight	AF 亮度计数阈值。					

## ISP\_AF\_OFFSET

ISP\_AF\_OFFSET 为 AF 偏移配置寄存器。



Offset Address		Register Name		Total Reset Value						
0x12144		ISP_AF_OFFSET		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	offset_gb				reserved	offset_gr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:30]	RO	reserved	保留。							
[29:16]	RW	offset_gb	Gb 分量偏移值。							
[15:14]	RO	reserved	保留。							
[13:0]	RW	offset_gr	Gr 分量偏移值。							

## ISPFE\_ACTIVE\_WIDTH

ISPFE\_ACTIVE\_WIDTH 为图像宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x20010		ISPFE_ACTIVE_WIDTH		0x0000_0780				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				active_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	1 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	active_width	有效视频宽度，单位为像素。					

## ISPFE\_ACTIVE\_HEIGHT

ISPFE\_ACTIVE\_HEIGHT 为图像高度寄存器。



Offset Address		Register Name		Total Reset Value				
0x20014		ISPFE_ACTIVE_HEIGHT		0x0000_0438				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				active_height			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 1 1	1 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	active_height	有效视频高度，单位为行。					

## ISPFE\_RGGB\_START

ISPFE\_RGGB\_START 为 RGGB 模式寄存器。

Offset Address		Register Name		Total Reset Value				
0x20018		ISPFE_RGGB_START		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							rggb_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:2]	RO	reserved	保留。					
[1:0]	RW	rggb_start	RGGB 图像的起始颜色。 00: R Gr Gb B; 01: Gr R B Gb; 10: Gb B R Gr; 11: B Gb Gr R。					

## ISPFE\_CHANNEL\_SELECT

ISPFE\_CHANNEL\_SELECT 为模块 Video Test Gen 和 Raw FE 输入数据通道选择寄存器。





	Offset Address				Register Name								Total Reset Value																			
	0x20020				ISPFE_CHANNEL_SELECT								0x0000_00E4																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				channel4_select	channel3_select	channel2_select	channel1_select								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0	0
	Bits	Access	Name	Description																												
	[31:8]	RO	reserved	保留。																												
	[7:6]	RW	channel4_select	模块 Video Test Gen 和 Raw FE 的第四路输入数据选择。 00: 输入第一路数据; 01: 输入第二路数据; 10: 输入第三路数据; 11: 输入第四路数据。																												
	[5:4]	RW	channel3_select	模块 Video Test Gen 和 Raw FE 的第三路输入数据选择。 00: 输入第一路数据; 01: 输入第二路数据; 10: 输入第三路数据; 11: 输入第四路数据。																												
	[3:2]	RW	channel2_select	模块 Video Test Gen 和 Raw FE 的第二路输入数据选择。 00: 输入第一路数据; 01: 输入第二路数据; 10: 输入第三路数据; 11: 输入第四路数据。																												
	[1:0]	RW	channel1_select	模块 Video Test Gen 和 Raw FE 的第一路输入数据选择。 00: 输入第一路数据; 01: 输入第二路数据; 10: 输入第三路数据; 11: 输入第四路数据。																												



## ISPFE\_DELAY\_LINE\_MEMORY

ISPFE\_DELAY\_LINE\_MEMORY 为模块 DNR 行延迟寄存器。

Offset Address		Register Name		Total Reset Value					
0x20024		ISPFE_DELAY_LINE_MEMORY		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							delay_line_memory_configuration	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1:0]	RW	delay_line_memory_configuration	DNR Memory 行延时控制寄存器。 00: 最大行数, 最短行宽; 01: 3/4 最大行数, 4/3 倍最短行宽; 1X: 1/2 最大行数, 2 倍最短行宽。						

## ISPFE\_FLUSH\_HBLANK

ISPFE\_FLUSH\_HBLANK 为行消隐时序配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x20028		ISPFE_FLUSH_HBLANK		0x0000_0020				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				flush_hblank			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	flush_hblank	复制行的水平消隐控制寄存器。					



## ISPFE\_FS\_CHANNEL\_SELECT

ISPFE\_FS\_CHANNEL\_SELECT 为 WDR 输入数据通道选择。

Offset Address		Register Name		Total Reset Value																												
0x2002C		ISPFE_FS_CHANNEL_SELECT		0x0000_00E4																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								fs_channel4_select	fs_channel3_select	fs_channel2_select	fs_channel1_select				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0	0
Bits	Access	Name	Description																													
[31:8]	RO	reserved	保留。																													
[7:6]	RW	fs_channel4_select	模块 Frame Stitch 的第四路输入数据选择。 00: 输入第一路数据; 01: 输入第二路数据; 10: 输入第三路数据; 11: 输入第四路数据。																													
[5:4]	RW	fs_channel3_select	模块 Frame Stitch 的第三路输入数据选择。 00: 输入第一路数据; 01: 输入第二路数据; 10: 输入第三路数据; 11: 输入第四路数据。																													
[3:2]	RW	fs_channel2_select	模块 Frame Stitch 的第二路输入数据选择。 00: 输入第一路数据; 01: 输入第二路数据; 10: 输入第三路数据; 11: 输入第四路数据。																													
[1:0]	RW	fs_channel1_select	模块 Frame Stitch 的第一路输入数据选择。 00: 输入第一路数据; 01: 输入第二路数据; 10: 输入第三路数据; 11: 输入第四路数据。																													



## ISPFE\_CONFIG\_BUFFER\_MODE

ISPFE\_CONFIG\_BUFFER\_MODE 为配置更新模式寄存器。

	Offset Address	Register Name	Total Reset Value
	0x20030	ISPFE_CONFIG_BUFFER_MODE	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:2]	RO	reserved
	[1:0]	RW	config_buffer_mode
			Description ISP FE 双缓冲模式选择配置。 00: 关闭双缓冲模式，配置立即更新； 01: 阻止配置更新，使配置从不更新； 10: 模块配置在各自模块的垂直消隐区更新； 11: 所有模块配置在 ISP FE 全局的垂直消隐区更新。

## ISPFE\_MODULE\_BYPASS

ISPFE\_MODULE\_BYPASS 为 ISP FE 模块 BYPASS 寄存器。



	Offset Address 0x20040								Register Name ISPFE_MODULE_BYPASS								Total Reset Value 0x0000_4A00															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bypass_sensor_offset_wdr	bypass_sensor_offset	reserved				bypass_gamma_rgb	bypass_color_matrix	bypass_demosaic	bypass_drc	bypass_mesh_shading	bypass_radial_shading	bypass_white_balance	bypass_gamma_be_dl	bypass_gamma_be	bypass_dnr	bypass_fs_channel_switch	bypass_digital_gain	bypass_gamma_fe_dl	bypass_gamma_fe	bypass_frame_stitch	bypass_defect_pixel	bypass_raw_frontend	bypass_video_test_gen	bypass_channel_switch	bypass_input_formatter	position_digital_gain	position_gamma_fe
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28]	RW		bypass_sensor_offset_wdr		配为 1 表示绕过模块 RAW frontend 之前的 Sensor offset。																											
[27]	RW		bypass_sensor_offset		配为 1 表示绕过模块 Frontend lookup 之前的 Sensor offset。																											
[26:22]	RO		reserved		保留。																											
[21]	RW		bypass_gamma_rgb		配为 1 表示绕过模块 RGB gamma LUT。																											
[20]	RW		bypass_color_matrix		配为 1 表示绕过模块 Color matrix。																											
[19]	RW		bypass_demosaic		配为 1 表示绕过模块 Demosaic(输出 RAW data)。																											
[18]	RW		bypass_drc		配为 1 表示绕过模块 DRC。																											
[17]	RW		bypass_mesh_shading		配为 1 表示绕过模块 Mesh Shading。																											
[16]	RW		bypass_radial_shading		配为 1 表示绕过模块 Radial Shading。																											
[15]	RW		bypass_white_balance		配为 1 表示绕过模块 Static white balance。																											
[14]	RW		bypass_gamma_be_dl		配为 1 表示绕过模块 Back end gamma block。																											
[13]	RW		bypass_gamma_be		配为 1 表示绕过模块 Back end gamma LUTs。																											
[12]	RW		bypass_dnr		配为 1 表示绕过模块 DNR。																											



[11]	RW	bypass_fs_channel_switch	配为 1 表示绕过模块 Frame stitch channel switch。
[10]	RW	bypass_digital_gain	配为 1 表示绕过模块 Digital gain。
[9]	RW	bypass_gamma_fe_dl	配为 1 表示绕过模块 front end gamma block。
[8]	RW	bypass_gamma_fe	配为 1 表示绕过模块 front end gamma LUTs。
[7]	RW	bypass_frame_stitch	配为 1 表示绕过模块 frame stitching logic。
[6]	RW	bypass_defect_pixel	配为 1 表示绕过模块 static defect pixel。
[5]	RW	bypass_raw_frontend	配为 1 表示绕过模块 RAW frontend (green equalization and dynamic defect pixel)。
[4]	RW	bypass_video_test_gen	配为 1 表示绕过模块 video test generator。
[3]	RW	bypass_channel_switch	配为 1 表示绕过模块 channel switch。
[2]	RW	bypass_input_formatter	配为 1 表示绕过模块 input formatter。
[1]	RW	position_digital_gain	Digital gain 位置选择寄存器。 0: 在模块 FE gamma LUTs 后面; 1: 在模块 FE gamma LUTs 前面。
[0]	RW	position_gamma_fe	模块 Gamma_fe Digital Gain 位置选择寄存器。 0: 在 WDR stitching 后面; 1: 在 ISP FE 靠前位置。

## ISPFE\_BYPASS\_MODE

ISPFE\_BYPASS\_MODE 为 ISP FE Bypass 模式选择寄存器。



Offset Address		Register Name		Total Reset Value																												
0x20044		ISPFE_BYPASS_MODE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												isp_raw_bypass	reserved																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	isp_raw_bypass	用于正常模式与 RGB\YUV422 输入模式之间的切换，当为 RGB\YUV422 输入模式时，数据将会直接插入到 demosaic 模块后面，且模块 Crop、Scaling、Gamma、color space conversion 只有在 RGB 输入时才有效。 0：正常模式； 1：绕过 ISP RAW 处理模块。																													
[8:0]	RO	reserved	保留。																													

### ISPFE\_AE\_SWITCH

ISPFE\_AE\_SWITCH 为 AE 统计信息位置控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x20048		ISPFE_AE_SWITCH		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ae_sum_switch	reserved												ae_switch						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	RO	reserved	保留。																													



[17:16]	RW	ae_sum_switch	AE SUM 统计信息位置选择寄存器。 00: 在 static white balance 之后; 01: 在 video test gen(channel 1)之后; 10: 在 shading 之后; 11: 在 WDR Frame Stitch 之后。
[15:2]	RO	reserved	保留。
[1:0]	RW	ae_switch	AE 统计信息位置选择寄存器。 00: 在 static white balance 之后; 01: 在 video test gen(channel 1)之后; 10: 在 shading 之后; 11: 在 WDR Frame Stitch 之后。

### ISPFE\_AWB\_SWITCH

ISPFE\_AWB\_SWITCH 为 RGB 域 AWB 统计模块位置控制寄存器。

Offset Address	Register Name	Total Reset Value														
0x2004C	ISPFE_AWB_SWITCH	0x0000_0000														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved															awb_switch
Reset	0 0															
Bits	Access	Name	Description													
[31:1]	RO	reserved	保留。													
[0]	RW	awb_switch	RGB 域 AWB 统计模块位置选择寄存器。 0: 在 colour Matrix 之前; 1: 在 colour Matrix 之后。													

### ISPFE\_HISTOGRAM\_SWITCH

ISPFE\_HISTOGRAM\_SWITCH 为 AE global histogram 位置控制寄存器。





Offset Address		Register Name		Total Reset Value					
0x20050		ISPFE_HISTOGRAM_SWITCH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							histogram_switch	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1:0]	RW	histogram_switch	AE global histogram 位置选择寄存器。 00: 和 AE 在同一位置; 01: 在 video test gen(channel 1)之后; 10: 在 shading 之后; 11: 在 WDR Frame Stitch 之后。						

## ISPFE\_HISTOGRAM\_PE\_SWITCH

ISPFE\_HISTOGRAM\_PE\_SWITCH 为 Per exposure AE global histogram 控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x20058		ISPFE_HISTOGRAM_PE_SWITCH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							histogram_pe_switch	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						



[0]	RW	histogram_pe_switch	每路曝光 AE 全局直方图使能。 0: 使能(在 video test gen 之后的通道 2、3、4); 1: 禁止。
-----	----	---------------------	--

## ISPFE\_GLOBAL\_FSM\_RESET

ISPFE\_GLOBAL\_FSM\_RESET 为状态机复位寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x20078	ISPFE_GLOBAL_FSM_RESET	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
	Bits	Access	Name	Description
	[31:1]	RO	reserved	保留。
	[0]	RW	global_fsm_reset	FSM 同步复位信号。

## ISPFE\_FIELD\_STATUS

ISPFE\_FIELD\_STATUS 为场信号状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x2007C		ISPFE_FIELD_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								field_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	field_status	场信号状态寄存器。						

## ISPFE\_INTERRUPT01

ISPFE\_INTERRUPT01 为 0、1 中断选择寄存器。

Offset Address		Register Name		Total Reset Value				
0x20080		ISPFE_INTERRUPT01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			interrupt1_source	reserved			interrupt0_source
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:22]	RO	reserved	保留。					
[21:16]	RW	interrupt1_source	中断源 1 选择。					
[15:6]	RO	reserved	保留。					
[5:0]	RW	interrupt0_source	中断源 0 选择。					

## ISPFE\_INTERRUPT23

ISPFE\_INTERRUPT23 为 2、3 中断选择寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x20084				ISPFE_INTERRUPT23								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				interrupt3_source				reserved				interrupt2_source																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:22]	RO		reserved		保留。																											
[21:16]	RW		interrupt3_source		中断源 3 选择。																											
[15:6]	RO		reserved		保留。																											
[5:0]	RW		interrupt2_source		中断源 2 选择。																											

## ISPFE\_INTERRUPT45

ISPFE\_INTERRUPT45 为 4、5 中断选择寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20088				ISPFE_INTERRUPT45								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				interrupt5_source				reserved				interrupt4_source																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:22]	RO		reserved		保留。																											
[21:16]	RW		interrupt5_source		中断源 5 选择。																											
[15:6]	RO		reserved		保留。																											
[5:0]	RW		interrupt4_source		中断源 4 选择。																											

## ISPFE\_INTERRUPT67

ISPFE\_INTERRUPT67 为 6、7 中断选择寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x2008C				ISPFE_INTERRUPT67								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				interrupt7_source				reserved				interrupt6_source																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:22]	RO		reserved		保留。																											
[21:16]	RW		interrupt7_source		中断源 7 选择。																											
[15:6]	RO		reserved		保留。																											
[5:0]	RW		interrupt6_source		中断源 6 选择。																											

### ISPFE\_INTERRUPT89

ISPFE\_INTERRUPT89 为 8、9 中断选择寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20090				ISPFE_INTERRUPT89								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				interrupt9_source				reserved				interrupt8_source																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:22]	RO		reserved		保留。																											
[21:16]	RW		interrupt9_source		中断源 9 选择。																											
[15:6]	RO		reserved		保留。																											
[5:0]	RW		interrupt8_source		中断源 8 选择。																											

### ISPFE\_INTERRUPT1011

ISPFE\_INTERRUPT1011 为 10、11 中断选择寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x20094				ISPFE_INTERRUPT1011								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								interrupt11_source				reserved								interrupt10_source											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:22]	RO	reserved		保留。																											
	[21:16]	RW	interrupt11_source		中断源 11 选择。																											
	[15:6]	RO	reserved		保留。																											
	[5:0]	RW	interrupt10_source		中断源 10 选择。																											

### ISPFE\_INTERRUPT1213

ISPFE\_INTERRUPT1213 为 12、13 中断选择寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20098				ISPFE_INTERRUPT1213								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								interrupt13_source				reserved								interrupt12_source											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:22]	RO	reserved		保留。																											
	[21:16]	RW	interrupt13_source		中断源 13 选择。																											
	[15:6]	RO	reserved		保留。																											
	[5:0]	RW	interrupt12_source		中断源 12 选择。																											

### ISPFE\_INTERRUPT1415

ISPFE\_INTERRUPT1415 为 14、15 中断选择寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x2009C				ISPFE_INTERRUPT1415				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								interrupt15_source				reserved								interrupt14_source											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:22]	RO		reserved		保留。																											
[21:16]	RW		interrupt15_source		中断源 15 选择。																											
[15:6]	RO		reserved		保留。																											
[5:0]	RW		interrupt14_source		中断源 14 选择。																											

## ISPFE\_INTERRUPT\_STATUS

ISPFE\_INTERRUPT\_STATUS 为中断状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x200A0				ISPFE_INTERRUPT_STATUS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																interrupt_status															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:0]	RO		interrupt_status		中断事件标志寄存器。																											

## ISPFE\_INTERRUPT\_CLEAR

ISPFE\_INTERRUPT\_CLEAR 为清中断寄存器。



Offset Address		Register Name		Total Reset Value				
0x200A4		ISPFE_INTERRUPT_CLEAR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				interrupt_clear			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	interrupt_clear	中断事件清除寄存器，对某 bit 先写 0 再写 1 可清 0 对应 bit 位的中断。					

## SENSOR\_OFFSET\_WDR\_1\_BLACK00

SENSOR\_OFFSET\_WDR\_1\_BLACK00 为 WDR\_1 BLC R 分量黑电平值寄存器。

Offset Address		Register Name		Total Reset Value				
0x200C0		SENSOR_OFFSET_WDR_1_BLACK00		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				black00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:0]	RW	black00	颜色通道 00 (R) 的黑电平偏移。					

## SENSOR\_OFFSET\_WDR\_1\_BLACK01

SENSOR\_OFFSET\_WDR\_1\_BLACK01 为 WDR\_1 BLC Gr 分量黑电平值寄存器。

Offset Address		Register Name		Total Reset Value				
0x200C4		SENSOR_OFFSET_WDR_1_BLACK01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				black01			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:0]	RW	black01	颜色通道 01(Gr)的黑电平偏移。					





## SENSOR\_OFFSET\_WDR\_1\_BLACK10

SENSOR\_OFFSET\_WDR\_1\_BLACK10 为 WDR\_1 BLC Gb 分量黑电平值寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x200C8	SENSOR_OFFSET_WDR_1_BLACK10	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved										black10					
Reset	0 0															
	Bits	Access	Name	Description												
	[31:12]	RO	reserved	保留。												
	[11:0]	RW	black10	颜色通道 10(Gb)的黑电平偏移。												

## SENSOR\_OFFSET\_WDR\_1\_BLACK11

SENSOR\_OFFSET\_WDR\_1\_BLACK11 为 WDR\_1 BLC B 分量黑电平值寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x200CC	SENSOR_OFFSET_WDR_1_BLACK11	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved										black11					
Reset	0 0															
	Bits	Access	Name	Description												
	[31:12]	RO	reserved	保留。												
	[11:0]	RW	black11	颜色通道 11(B)的黑电平偏移。												

## SENSOR\_OFFSET\_WDR\_2\_BLACK00

SENSOR\_OFFSET\_WDR\_2\_BLACK00 为 WDR\_2 BLC R 分量黑电平值寄存器。



Offset Address		Register Name		Total Reset Value						
0x200D0		SENSOR_OFFSET_WDR_2_BLACK00		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						black00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	black00	颜色通道 00(R)的黑电平偏移。							

### SENSOR\_OFFSET\_WDR\_2\_BLACK01

SENSOR\_OFFSET\_WDR\_2\_BLACK01 为 WDR\_2 BLC Gr 分量黑电平值寄存器。

Offset Address		Register Name		Total Reset Value						
0x200D4		SENSOR_OFFSET_WDR_2_BLACK01		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						black01			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	black01	颜色通道 01(Gr)的黑电平偏移。							

### SENSOR\_OFFSET\_WDR\_2\_BLACK10

SENSOR\_OFFSET\_WDR\_2\_BLACK10 为 WDR\_2 BLC Gb 分量黑电平值寄存器。

Offset Address		Register Name		Total Reset Value						
0x200D8		SENSOR_OFFSET_WDR_2_BLACK10		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						black10			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	black10	颜色通道 10(Gb)的黑电平偏移。							



## SENSOR\_OFFSET\_WDR\_2\_BLACK11

SENSOR\_OFFSET\_WDR\_2\_BLACK11 为 WDR\_2 BLC B 分量黑电平值寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x200DC				SENSOR_OFFSET_WDR_2_BLACK11								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												black11																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:12]	RO		reserved		保留。																															
[11:0]	RW		black11		颜色通道 11(B)的黑电平偏移。																															

## SENSOR\_OFFSET\_WDR\_3\_BLACK00

SENSOR\_OFFSET\_WDR\_3\_BLACK00 为 WDR\_3 BLC R 分量黑电平值寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x200E0				SENSOR_OFFSET_WDR_3_BLACK00								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												black00																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:12]	RO		reserved		保留。																															
[11:0]	RW		black00		颜色通道 00(R)的黑电平偏移。																															

## SENSOR\_OFFSET\_WDR\_3\_BLACK01

SENSOR\_OFFSET\_WDR\_3\_BLACK01 为 WDR\_3 BLC Gr 分量黑电平值寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x200E4				SENSOR_OFFSET_WDR_3_BLACK01								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												black01																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	black01		颜色通道 01(Gr)的黑电平偏移。																											

### SENSOR\_OFFSET\_WDR\_3\_BLACK10

SENSOR\_OFFSET\_WDR\_3\_BLACK10 为 WDR\_3 BLC Gb 分量黑电平值寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x200E8				SENSOR_OFFSET_WDR_3_BLACK10								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												black10																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	black10		颜色通道 10(Gb)的黑电平偏移。																											

### SENSOR\_OFFSET\_WDR\_3\_BLACK11

SENSOR\_OFFSET\_WDR\_3\_BLACK11 为 WDR\_3 BLC B 分量黑电平值寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x200EC				SENSOR_OFFSET_WDR_3_BLACK11								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												black11																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	black11		颜色通道 11(B)的黑电平偏移。																											



## SENSOR\_OFFSET\_WDR\_4\_BLACK00

SENSOR\_OFFSET\_WDR\_4\_BLACK00 为 WDR\_4 BLC R 分量黑电平值寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x200F0				SENSOR_OFFSET_WDR_4_BLACK00								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																black00																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:12]	RO	reserved		保留。																															
	[11:0]	RW	black00		颜色通道 00(R)的黑电平偏移。																															

## SENSOR\_OFFSET\_WDR\_4\_BLACK01

SENSOR\_OFFSET\_WDR\_4\_BLACK01 为 WDR\_4 BLC Gr 分量黑电平值寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x200F4				SENSOR_OFFSET_WDR_4_BLACK01								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																black01																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:12]	RO	reserved		保留。																															
	[11:0]	RW	black01		颜色通道 01(Gr)的黑电平偏移。																															

## SENSOR\_OFFSET\_WDR\_4\_BLACK10

SENSOR\_OFFSET\_WDR\_4\_BLACK10 为 WDR\_4 BLC Gb 分量黑电平值寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x200F8				SENSOR_OFFSET_WDR_4_BLACK10								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												black10																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	black10		颜色通道 10(Gb)的黑电平偏移。																											

### SENSOR\_OFFSET\_WDR\_4\_BLACK11

SENSOR\_OFFSET\_WDR\_4\_BLACK11 为 WDR\_4 BLC B 分量黑电平值寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x200FC				SENSOR_OFFSET_WDR_4_BLACK11								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												black11																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	black11		颜色通道 11(B)的黑电平偏移。																											

### INPUTPORT\_HC\_LIMIT

INPUTPORT\_HC\_LIMIT 为 Inputport 水平计数限制配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20108				INPUTPORT_HC_LIMIT								0x0000_FFFF																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hc_limit																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	hc_limit		水平计数限制值(示例: 0, 1, . . . hc_limit-1, hc_limit, 0, 1, . . .)。																											



## INPUTPORT\_HC\_START0

INPUTPORT\_HC\_START0 为 Inputport 水平起始寄存器 0。

	Offset Address				Register Name				Total Reset Value																							
	0x2010C				INPUTPORT_HC_START0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hcstart0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	hcstart0		ACL 门控信号窗口 0 起始值。																											

## INPUTPORT\_HC\_SIZE0

INPUTPORT\_HC\_SIZE0 为 Inputport 水平大小寄存器 0。

	Offset Address				Register Name				Total Reset Value																							
	0x20110				INPUTPORT_HC_SIZE0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hcsiz0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	hcsiz0		ACL 门控信号窗口 0 大小。																											

## INPUTPORT\_HC\_START1

INPUTPORT\_HC\_START1 为 Inputport 水平起始寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x20114		INPUTPORT_HC_START1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hcstart1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	hcstart1	HS 门控信号窗口 1 起始值。					

## INPUTPORT\_HC\_SIZE1

INPUTPORT\_HC\_SIZE1 为 Inputport 水平大小寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x20118		INPUTPORT_HC_SIZE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hcsizel			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	hcsizel	HS 门控信号窗口 1 大小。					

## INPUTPORT\_VC\_LIMIT

INPUTPORT\_VC\_LIMIT 为 Inputport 垂直计数限制配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x2011C		INPUTPORT_VC_LIMIT		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vclimit			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	vclimit	垂直计数限制值(示例: 0, 1, . . . vclimit-1, vclimit, 0, 1, . . .)。					





## INPUTPORT\_VC\_START

INPUTPORT\_VC\_START 为 Inputport 垂直起始寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x20120				INPUTPORT_VC_START								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																vcstart																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																													
[31:16]	RO		reserved				保留。																													
[15:0]	RW		vcstart				ACL 门控信号窗口 2 起始值。																													

## INPUTPORT\_VC\_SIZE

INPUTPORT\_VC\_SIZE 为 Inputport 垂直大小寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x20124				INPUTPORT_VC_SIZE								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																vcsz																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																													
[31:16]	RO		reserved				保留。																													
[15:0]	RW		vcsz				ACL 门控信号窗口 2 大小。																													

## INPUTPORT\_CTRL

INPUTPORT\_CTRL 为 Inputport 输入接口控制寄存器。



	Offset Address 0x20130								Register Name INPUTPORT_CTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								freezeconfig	reserved				moderequest		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7]	RW	freezeconfig		用于冻结 input port 配置。 0: 正常操作; 1: 保留上次的配置状态。																											
	[6:3]	RO	reserved		保留。																											
	[2:0]	RW	moderequest		用于启动和停止 input port。 000: 安全停止; 001: 安全启动; 010: 紧急停止; 011: 紧急启动; 100: 保留; 101: 更安全启动; 110: 保留; 111: 保留。																											

## INPUTPORT\_STATUS

INPUTPORT\_STATUS 为 Inputport 状态寄存器。



Offset Address		Register Name		Total Reset Value				
0x20134		INPUTPORT_STATUS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							modestatus
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:3]	RO	reserved	保留。					
[2:0]	RO	modestatus	用于监测 input port 状态。 Bit[0]: 1: 启动; 0: 停止。 Bit[2:1]: 保留。					

## INPUT\_FORMATTER\_MODE

INPUT\_FORMATTER\_MODE 为 Input Formatter 模式控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x20140		INPUT_FORMATTER_MODE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			input_bitwidth_select	reserved	mode_out	reserved	mode_in
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:18]	RO	reserved	保留。					



[17:16]	RW	input_bitwidth_select	输入数据位宽选择。 00: 12 bits; 01: 14 bits; 10: 16 bits; 11: 20 bits。
[15:11]	RO	reserved	保留。
[10:8]	RW	mode_out	输出模式选择。 000: 4 通道数据输入; 001: 2 通道数据线性映射; 010: 3 通道数据线性映射; 011: 4 通道数据线性映射; 其他: 保留。
[7:5]	RO	reserved	保留。
[4:0]	RW	mode_in	输入模式。

## INPUT\_FORMATTER\_FACTORML

INPUT\_FORMATTER\_FACTORML 为 Input Formatter 长、中曝光比寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x20144	INPUT_FORMATTER_FACTORML	0x0000_1000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				factorml				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:18]	RO	reserved	保留。						
[17:0]	RW	factorml	长、中曝光比，6.12 定点值。						

## INPUT\_FORMATTER\_FACTORMS

INPUT\_FORMATTER\_FACTORMS 为 Input Formatter 短、中曝光比寄存器。



Offset Address		Register Name		Total Reset Value						
0x20148		INPUT_FORMATTER_FACTORMS		0x0000_1000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						factorms			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:13]	RO	reserved	保留。							
[12:0]	RW	factorms	短、中曝光比，1.12 定点值。							

## INPUT\_FORMATTER\_BLACKLEVEL

INPUT\_FORMATTER\_BLACKLEVEL 为 Input Formatter sensor 黑电平寄存器。

Offset Address		Register Name		Total Reset Value						
0x2014C		INPUT_FORMATTER_BLACKLEVEL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						blacklevel			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	blacklevel	sensor 黑电平。							

## INPUT\_FORMATTER\_KNEEPOINT01

INPUT\_FORMATTER\_KNEEPOINT01 为 Input Formatter 拐点 0、1 寄存器。

Offset Address		Register Name		Total Reset Value						
0x20150		INPUT_FORMATTER_KNEEPOINT01		0x0580_0200						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	kneepoint1						kneepoint0			
Reset	0 0 0 0	0 1 0 1	1 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:16]	RW	kneepoint1	拐点 1。							
[15:0]	RW	kneepoint0	拐点 0。							



## INPUT\_FORMATTER\_KNEEPOINT2

INPUT\_FORMATTER\_KNEEPOINT2 为 Input Formatter 拐点 2 寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x20154	INPUT_FORMATTER_KNEEPOINT2	0x0000_0881						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				kneepoint2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0	0 0 0 1	
	Bits	Access	Name	Description					
	[31:16]	RO	reserved	保留。					
	[15:0]	RW	kneepoint2	拐点 2。					

## INPUT\_FORMATTER\_SLOPESELECT

INPUT\_FORMATTER\_SLOPESELECT 为 Input Formatter 压缩表的斜率寄存器。

	Offset Address	Register Name	Total Reset Value					
	0x20158	INPUT_FORMATTER_SLOPESELEC T	0x0906_0402					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	slope3select	reserved	slope2select	reserved	slope1select	reserved	slope0select
Reset	0 0 0 0	1 0 0 1	0 0 0 0	0 1 1 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 1 0
	Bits	Access	Name	Description				
	[31:28]	RO	reserved	保留。				
	[27:24]	RW	slope3select	压缩表的斜率 3, 4bit。				
	[23:20]	RO	reserved	保留。				
	[19:16]	RW	slope2select	压缩表的斜率 2, 4bit。				
	[15:12]	RO	reserved	保留。				
	[11:8]	RW	slope1select	压缩表的斜率 1, 4bit。				
	[7:4]	RO	reserved	保留。				
	[3:0]	RW	slope0select	压缩表的斜率 0, 4bit。				



## VIDEO\_TEST\_GEN\_CTRL

VIDEO\_TEST\_GEN\_CTRL 为 VIDEO\_TEST\_GEN 控制寄存器。

Offset Address		Register Name		Total Reset Value						
0x20160		VIDEO_TEST_GEN_CTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bayer_rgb_o_sel	bayer_rgb_i_sel	test_pattern_off_on
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	bayer_rgb_o_sel	BAYER 或则 RGB 输出格式选择。 0: BAYER; 1: RGB。							
[1]	RW	bayer_rgb_i_sel	BAYER 或则 RGB 输入格式选择。 0: BAYER; 1: RGB。							
[0]	RW	test_pattern_off_on	TEST PATTERN 使能开关。 0: 禁止; 1: 使能。							

## VIDEO\_TEST\_PATTREN\_TYPE

VIDEO\_TEST\_PATTREN\_TYPE 为 VIDEO\_TEST\_GEN 模式类型选择寄存器。



Offset Address		Register Name		Total Reset Value					
0x20164		VIDEO_TEST_PATTREN_TYPE		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						patterntype		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	patterntype	模式类型选择。 0x00: 纯色; 0x01: 水平梯度; 0x02: 垂直梯度; 0x03: 垂直条; 0x04: 矩形; 其他: 黑底白色目标。						

## VIDEO\_TEST\_R\_BACKGND

VIDEO\_TEST\_R\_BACKGND 为 VIDEO\_TEST\_GEN R 分量背景值寄存器。

Offset Address		Register Name		Total Reset Value				
0x20168		VIDEO_TEST_R_BACKGND		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				rbackgnd			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	rbackgnd	16bit R 分量背景值，与 MSB 对齐。					

## VIDEO\_TEST\_G\_BACKGND

VIDEO\_TEST\_G\_BACKGND 为 VIDEO\_TEST\_GEN G 分量背景值寄存器。





Offset Address		Register Name		Total Reset Value				
0x2016C		VIDEO_TEST_G_BACKGND		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				gbackgnd			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	gbackgnd	16bit G 分量背景值，与 MSB 对齐。					

## VIDEO\_TEST\_B\_BACKGND

VIDEO\_TEST\_B\_BACKGND 为 VIDEO\_TEST\_GEN B 分量背景值寄存器。

Offset Address		Register Name		Total Reset Value				
0x20170		VIDEO_TEST_B_BACKGND		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				bbackgnd			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	bbackgnd	16bit B 分量背景值，与 MSB 对齐。					

## VIDEO\_TEST\_R\_FOREGND

VIDEO\_TEST\_R\_FOREGND 为 VIDEO\_TEST\_GEN R 分量前景值寄存器。

Offset Address		Register Name		Total Reset Value				
0x20174		VIDEO_TEST_R_FOREGND		0x0000_8FFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				rforegnd			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	rforegnd	16bit R 分量前景值，与 MSB 对齐。					



## VIDEO\_TEST\_G\_FOREGND

VIDEO\_TEST\_G\_FOREGND 为 VIDEO\_TEST\_GEN G 分量前景值寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x20178				VIDEO_TEST_G_FOREGND				0x0000_8FFF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gforegnd																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	gforegnd		16bit G 分量前景值，与 MSB 对齐。																											

## VIDEO\_TEST\_B\_FOREGND

VIDEO\_TEST\_B\_FOREGND 为 VIDEO\_TEST\_GEN B 分量前景值寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x2017C				VIDEO_TEST_B_FOREGND				0x0000_8FFF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												bforegnd																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	bforegnd		16bit B 分量前景值，与 MSB 对齐。																											

## VIDEO\_TEST\_RGB\_GRADIENT

VIDEO\_TEST\_RGB\_GRADIENT 为 VIDEO\_TEST\_GEN 第一、二通道 RGB 梯度递增  
值寄存器。



Offset Address		Register Name		Total Reset Value				
0x20180		VIDEO_TEST_RGB_GRADIENT		0x3CAA_3CAA				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rgbgradient2				rgbgradient			
Reset	0 0 1 1	1 1 0 0	1 0 1 0	1 0 1 0	0 0 1 1	1 1 0 0	1 0 1 0	1 0 1 0
Bits	Access	Name	Description					
[31:16]	RW	rgbgradient2	第二通道 RGB 梯度递增值，格式无符号数 4.12bit 定点。					
[15:0]	RW	rgbgradient	第一通道 RGB 梯度每像素的递增值(0~15)，格式无符号数 4.12bit 定点。					

## VIDEO\_TEST\_RGB\_GRADIENT\_START

VIDEO\_TEST\_RGB\_GRADIENT\_START 为 VIDEO\_TEST\_GEN 第三、四通道 RGB 梯度递增值寄存器。

Offset Address		Register Name		Total Reset Value				
0x20184		VIDEO_TEST_RGB_GRADIENT_START		0x3CAA_3CAA				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rgbgradient4				rgbgradient3			
Reset	0 0 1 1	1 1 0 0	1 0 1 0	1 0 1 0	0 0 1 1	1 1 0 0	1 0 1 0	1 0 1 0
Bits	Access	Name	Description					
[31:16]	RW	rgbgradient4	第四通道 RGB 梯度递增值，格式无符号数 4.12bit 定点。					
[15:0]	RW	rgbgradient3	第三通道 RGB 梯度递增值，格式无符号数 4.12bit 定点。					

## VIDEO\_TEST\_RGB\_GRADIENT\_START12

VIDEO\_TEST\_RGB\_GRADIENT\_START12 为 VIDEO\_TEST\_GEN 第一、二通道 RGB 梯度起始值寄存器。



Offset Address		Register Name		Total Reset Value				
0x20188		VIDEO_TEST_RGB_GRADIENT_STA RT12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rgb_gradient_start_2				rgb_gradient_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	rgb_gradient_start_2	第二通道 RGB 梯度起始值。					
[15:0]	RW	rgb_gradient_start	第一通道 RGB 梯度 16bit 起始值，与使用的位宽 MSB 对齐。					

## VIDEO\_TEST\_RGB\_GRADIENT\_START34

VIDEO\_TEST\_RGB\_GRADIENT\_START34 为 VIDEO\_TEST\_GEN 第三、四通道 RGB 梯度起始值寄存器。

Offset Address		Register Name		Total Reset Value				
0x2018C		VIDEO_TEST_RGB_GRADIENT_STA RT34		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rgb_gradient_start_4				rgb_gradient_start_3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	rgb_gradient_start_4	第四通道 RGB 梯度起始值。					
[15:0]	RW	rgb_gradient_start_3	第三通道 RGB 梯度起始值。					

## VIDEO\_TEST\_RECT\_TOP

VIDEO\_TEST\_RECT\_TOP 为 VIDEO\_TEST\_GEN 矩形顶部、底部所在行数寄存器。



Offset Address		Register Name		Total Reset Value						
0x20190		VIDEO_TEST_RECT_TOP		0x0100_0001						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	rect_bot				reserved	rect_top			
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1		
Bits	Access	Name	Description							
[31:30]	RO	reserved	保留。							
[29:16]	RW	rect_bot	矩形底部所在行数。							
[15:14]	RO	reserved	保留。							
[13:0]	RW	rect_top	矩形顶部所在行数。							

## VIDEO\_TEST\_RECT\_LEFT

VIDEO\_TEST\_RECT\_LEFT 为 VIDEO\_TEST\_GEN 矩形左边所在像素点数。

Offset Address		Register Name		Total Reset Value					
0x20194		VIDEO_TEST_RECT_LEFT		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					rectleft			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:14]	RO	reserved	保留。						
[13:0]	RW	rectleft	矩形左边所在像素点数。						

## VIDEO\_TEST\_RECT\_RIGHT

VIDEO\_TEST\_RECT\_RIGHT 为 VIDEO\_TEST\_GEN 矩形右边所在像素点数。



Offset Address		Register Name		Total Reset Value					
0x20198		VIDEO_TEST_RECT_RIGHT		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					rectright			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	RO	reserved	保留。						
[13:0]	RW	rectright	矩形右边所在像素点数。						

## SENSOR\_OFFSET\_BLACK00

SENSOR\_OFFSET\_BLACK00 为 R 分量黑电平值寄存器。

Offset Address		Register Name		Total Reset Value					
0x201A0		SENSOR_OFFSET_BLACK00		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					black00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:0]	RW	black00	颜色通道 00(R)的黑电平偏移。						

## SENSOR\_OFFSET\_BLACK01

SENSOR\_OFFSET\_BLACK01 为 Gr 分量黑电平值寄存器。

Offset Address		Register Name		Total Reset Value					
0x201A4		SENSOR_OFFSET_BLACK01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					black01			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:0]	RW	black01	颜色通道 01(Gr)的黑电平偏移。						



## SENSOR\_OFFSET\_BLACK10

SENSOR\_OFFSET\_BLACK10 为 Gb 分量黑电平值寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x201A8				SENSOR_OFFSET_BLACK10								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												black10																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:20]	RO	reserved		保留。																															
	[19:0]	RW	black10		颜色通道 10(Gb)的黑电平偏移。																															

## SENSOR\_OFFSET\_BLACK11

SENSOR\_OFFSET\_BLACK11 为 B 分量黑电平值寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x201AC				SENSOR_OFFSET_BLACK11								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												black11																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:20]	RO	reserved		保留。																															
	[19:0]	RW	black11		颜色通道 11(B)的黑电平偏移。																															

## NP\_RAW\_FRONTEND1\_EXP\_THRESH

NP\_RAW\_FRONTEND1\_EXP\_THRESH 为 NP\_RAW\_FRONTEND1 噪声阈值寄存器。



Offset Address		Register Name		Total Reset Value				
0x201B0		NP_RAW_FRONTEND1_EXP_THRES H		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				expthresh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	expthresh	长/短曝光数据的阈值。					

## NP\_RAW\_FRONTEND1\_SHORT\_RATIO

NP\_RAW\_FRONTEND1\_SHORT\_RATIO 为 NP\_RAW\_FRONTEND1 噪声短曝光比率寄存器。

Offset Address		Register Name		Total Reset Value				
0x201B4		NP_RAW_FRONTEND1_SHORT_RATIO		0x0000_0020				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						shortratio	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RW	shortratio	短曝光噪声比率，格式为无符号 6.2-bit 定点。					

## NP\_RAW\_FRONTEND1\_LONG\_RATIO

NP\_RAW\_FRONTEND1\_LONG\_RATIO 为 NP\_RAW\_FRONTEND1 噪声长曝光比率寄存器。





Offset Address		Register Name		Total Reset Value					
0x201B8		NP_RAW_FRONTEND1_LONG_RATI 0		0x0000_0004					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						longratio		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	longratio	长曝光噪声比率，格式为无符号 6.2-bit 定点。						

## NP\_RAW\_FRONTEND1\_OFF

NP\_RAW\_FRONTEND1\_OFF 为 NP\_RAW\_FRONTEND1 噪声黑电平偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x201BC		NP_RAW_FRONTEND1_OFF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						np_off_reflect	np_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7]	RW	np_off_reflect	黑电平之下的值获取方式。 0: 重复第一个表的输入; 1: 映射噪声曲线黑电平下的部分。						
[6:0]	RW	np_off	噪声黑电平偏移。						

## NP\_RAW\_FRONTEND2\_EXP\_THRESH

NP\_RAW\_FRONTEND2\_EXP\_THRESH 为 NP\_RAW\_FRONTEND2 噪声阈值寄存器。



Offset Address		Register Name		Total Reset Value				
0x201C0		NP_RAW_FRONTEND2_EXP_THRES H		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				expthresh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	expthresh	长/短曝光数据的阈值。					

### NP\_RAW\_FRONTEND2\_SHORT\_RATIO

NP\_RAW\_FRONTEND2\_SHORT\_RATIO 为 NP\_RAW\_FRONTEND2 噪声短曝光比率寄存器。

Offset Address		Register Name		Total Reset Value				
0x201C4		NP_RAW_FRONTEND2_SHORT_RATIO		0x0000_0020				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						shortratio	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RW	shortratio	短曝光噪声比率，格式为无符号 6.2-bit 定点。					

### NP\_RAW\_FRONTEND2\_LONG\_RATIO

NP\_RAW\_FRONTEND2\_LONG\_RATIO 为 NP\_RAW\_FRONTEND2 噪声长曝光比率寄存器。



Offset Address		Register Name		Total Reset Value						
0x201C8		NP_RAW_FRONTEND2_LONG_RATI 0		0x0000_0004						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						longratio			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	longratio	长曝光噪声比率，格式为无符号 6.2-bit 定点。							

## NP\_RAW\_FRONTEND2\_OFF

NP\_RAW\_FRONTEND2\_OFF 为 NP\_RAW\_FRONTEND2 噪声黑电平偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x201CC		NP_RAW_FRONTEND2_OFF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						np_off_reflect	np_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7]	RW	np_off_reflect	黑电平之下的值获取方式。 0: 重复第一个表的输入; 1: 映射噪声曲线黑电平下的部分。						
[6:0]	RW	np_off	噪声黑电平偏移。						

## NP\_RAW\_FRONTEND3\_EXP\_THRESH

NP\_RAW\_FRONTEND3\_EXP\_THRESH 为 NP\_RAW\_FRONTEND3 噪声阈值寄存器。



Offset Address		Register Name		Total Reset Value				
0x201D0		NP_RAW_FRONTEND3_EXP_THRES H		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				expthresh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	expthresh	长/短曝光数据的阈值。					

### NP\_RAW\_FRONTEND3\_SHORT\_RATIO

NP\_RAW\_FRONTEND3\_SHORT\_RATIO 为 NP\_RAW\_FRONTEND3 噪声短曝光比率寄存器。

Offset Address		Register Name		Total Reset Value				
0x201D4		NP_RAW_FRONTEND3_SHORT_RATIO		0x0000_0020				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						shortratio	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RW	shortratio	短曝光噪声比率，格式为无符号 6.2-bit 定点。					

### NP\_RAW\_FRONTEND3\_LONG\_RATIO

NP\_RAW\_FRONTEND3\_LONG\_RATIO 为 NP\_RAW\_FRONTEND3 噪声长曝光比率寄存器。



Offset Address		Register Name		Total Reset Value					
0x201D8		NP_RAW_FRONTEND3_LONG_RATI 0		0x0000_0004					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						longratio		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	longratio	长曝光噪声比率，格式为无符号 6.2-bit 定点。						

## NP\_RAW\_FRONTEND3\_OFF

NP\_RAW\_FRONTEND3\_OFF 为 NP\_RAW\_FRONTEND3 噪声黑电平偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x201DC		NP_RAW_FRONTEND3_OFF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						np_off_reflect	np_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7]	RW	np_off_reflect	黑电平之下的值获取方式。 0: 重复第一个表的输入; 1: 映射噪声曲线黑电平下的部分。						
[6:0]	RW	np_off	噪声黑电平偏移。						

## NP\_RAW\_FRONTEND4\_EXP\_THRESH

NP\_RAW\_FRONTEND4\_EXP\_THRESH 为 NP\_RAW\_FRONTEND4 噪声阈值寄存器。



Offset Address		Register Name		Total Reset Value				
0x201E0		NP_RAW_FRONTEND4_EXP_THRES H		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				exp_thresh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	exp_thresh	长/短曝光数据的阈值。					

## NP\_RAW\_FRONTEND4\_SHORT\_RATIO

NP\_RAW\_FRONTEND4\_SHORT\_RATIO 为 NP\_RAW\_FRONTEND4 噪声短曝光比率寄存器。

Offset Address		Register Name		Total Reset Value				
0x201E4		NP_RAW_FRONTEND4_SHORT_RATIO		0x0000_0020				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						short_ratio	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RW	short_ratio	短曝光噪声比率，格式为无符号 6.2-bit 定点。					

## NP\_RAW\_FRONTEND4\_LONG\_RATIO

NP\_RAW\_FRONTEND4\_LONG\_RATIO 为 NP\_RAW\_FRONTEND4 噪声长曝光比率寄存器。



Offset Address		Register Name		Total Reset Value						
0x201E8		NP_RAW_FRONTEND4_LONG_RATI 0		0x0000_0004						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						long_ratio			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	long_ratio	长曝光噪声比率，格式为无符号 6.2-bit 定点。							

## NP\_RAW\_FRONTEND4\_OFF

NP\_RAW\_FRONTEND4\_OFF 为 NP\_RAW\_FRONTEND4 噪声黑电平偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x201EC		NP_RAW_FRONTEND4_OFF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						np_off_reflect	np_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7]	RW	np_off_reflect	黑电平之下的值获取方式。 0: 重复第一个表的输入; 1: 映射噪声曲线黑电平下的部分。						
[6:0]	RW	np_off	噪声黑电平偏移。						

## RAW\_FRONTEND1\_CTRL1

RAW\_FRONTEND1\_CTRL1 为 RAW\_FRONTEND1 模块控制寄存器。



Offset Address		Register Name		Total Reset Value									
0x20200		RAW_FRONTEND1_CTRL1		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						bright_disable	dark_disable	reserved	show_dynamic_defect_pixel	dp_enable	reserved	ge_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:8]	RO	reserved	保留。										
[7]	RW	bright_disable	亮点检测控制。 0: 打开; 1: 关闭。										
[6]	RW	dark_disable	暗点检测控制。 0: 打开; 1: 关闭。										
[5:4]	RO	reserved	保留。										
[3]	RW	show_dynamic_defect_pixel	显示检测到的坏点。 0: 关闭; 1: 打开。										
[2]	RW	dp_enable	动态坏点检测使能。 0: 关闭; 1: 打开。										
[1]	RO	reserved	保留。										
[0]	RW	ge_enable	绿平衡使能。 0: 关闭; 1: 打开。										





## RAW\_FRONTEND1\_GE\_STRENGTH

RAW\_FRONTEND1\_GE\_STRENGTH 为 RAW\_FRONTEND1 GE 强度寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20204				RAW_FRONTEND1_GE_STRENGTH								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ge_strength															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7:0]	RW		ge_strength		控制绿色均衡的强度，在校准时设置。																											

## RAW\_FRONTEND1\_DEBUG\_SEL

RAW\_FRONTEND1\_DEBUG\_SEL 为 RAW\_FRONTEND1 调试寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20208				RAW_FRONTEND1_DEBUG_SEL								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												debug_sel																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:0]	RW		debug_sel		调试选择端口。																											

## RAW\_FRONTEND1\_DP\_THRESHOLD

RAW\_FRONTEND1\_DP\_THRESHOLD 为 RAW\_FRONTEND1 动态坏点检测阈值寄存器。



Offset Address                      Register Name                      Total Reset Value  
0x2020C                      RAW\_FRONTEND1\_DP\_THRESHOL  
D                      0x0000\_0040

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dp_threshold																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
Bits	Access		Name			Description																										
[31:12]	RO		reserved			保留。																										
[11:0]	RW		dp_threshold			坏点检测阈值。																										

### RAW\_FRONTEND1\_GE\_THRESHOLD

RAW\_FRONTEND1\_GE\_THRESHOLD 为 RAW\_FRONTEND1 GE 阈值寄存器。

Offset Address                      Register Name                      Total Reset Value  
0x20210                      RAW\_FRONTEND1\_GE\_THRESHOLD  
D                      0x0000\_0400

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ge_threshold																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name			Description																										
[31:12]	RO		reserved			保留。																										
[11:0]	RW		ge_threshold			绿色均衡阈值。																										

### RAW\_FRONTEND1\_DP\_SLOPE

RAW\_FRONTEND1\_DP\_SLOPE 为 RAW\_FRONTEND1 HP 屏蔽功能斜率寄存器。

Offset Address                      Register Name                      Total Reset Value  
0x20214                      RAW\_FRONTEND1\_DP\_SLOPE                      0x0000\_0200

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dp_slope																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
Bits	Access		Name			Description																										
[31:12]	RO		reserved			保留。																										



[11:0]	RW	dp_slope	HP 屏蔽功能斜率。
--------	----	----------	------------

## RAW\_FRONTEND1\_GE\_SLOPE

RAW\_FRONTEND1\_GE\_SLOPE 为 RAW\_FRONTEND1 GE 屏蔽功能斜率寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x20218	RAW_FRONTEND1_GE_SLOPE	0x0000_00AA							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						ge_slope			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	1 0 1 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	ge_slope	GE 屏蔽功能斜率。							

## RAW\_FRONTEND1\_GE\_SENS

RAW\_FRONTEND1\_GE\_SENS 为 RAW\_FRONTEND1 GE 模块对边缘敏感性控制寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x2021C	RAW_FRONTEND1_GE_SENS	0x0000_0080						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						ge_sens		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	ge_sens	绿色均衡模块对边缘的敏感性控制。						

## RAW\_FRONTEND1\_DPDEV\_THRESHOLD

RAW\_FRONTEND1\_DPDEV\_THRESHOLD 为 RAW\_FRONTEND1 动态坏点校正对边缘影响强度控制寄存器。



	Offset Address	Register Name	Total Reset Value	
	0x20220	RAW_FRONTEND1_DPDEV_THRES HOLD	0x0000_0266	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
		19 18 17 16	15 14 13 12	
			11 10 9 8	
			7 6 5 4	
			3 2 1 0	
Name	reserved			
	dpdev_threshold			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
			0 0 0 0	
			0 0 1 0	
			0 1 1 0	
			0 1 1 0	
Bits	Access	Name	Description	
[31:12]	RO	reserved	保留。	
[11:0]	RW	dpdev_threshold	动态坏点校正对边缘影响强度控制。	

## RAW\_FRONTEND1\_LINE\_THRESH

RAW\_FRONTEND1\_LINE\_THRESH 为 RAW\_FRONTEND1 动态坏点校正近边缘处的方向性控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x20224	RAW_FRONTEND1_LINE_THRESH	0x0000_0150	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
		19 18 17 16	15 14 13 12	
			11 10 9 8	
			7 6 5 4	
			3 2 1 0	
Name	reserved			
	line_thresh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
			0 0 0 0	
			0 0 0 1	
			0 1 0 1	
			0 0 0 0	
Bits	Access	Name	Description	
[31:12]	RO	reserved	保留。	
[11:0]	RW	line_thresh	动态坏点校正近边缘处的方向性控制。	

## RAW\_FRONTEND1\_DP\_BLEND

RAW\_FRONTEND1\_DP\_BLEND 为 RAW\_FRONTEND1 动态坏点校正定向与非定向替换值之间的融合控制寄存器 10。



Offset Address		Register Name		Total Reset Value						
0x20228		RAW_FRONTEND1_DP_BLEND		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						dp_blend			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	dp_blend	动态坏点校正定向与非定向替换值之间的融合控制，其中 0x00 表示检测到的缺陷使用非定向替代值替换，0xFF 表示检测到的缺陷使用定向替换值替换。							

## RAW\_FRONTEND1\_SIGMA\_IN

RAW\_FRONTEND1\_SIGMA\_IN 为 RAW\_FRONTEND1 人工噪声估计寄存器。

Offset Address		Register Name		Total Reset Value						
0x2022C		RAW_FRONTEND1_SIGMA_IN		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						sigma_in			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	sigma_in	人工噪声估计。							

## RAW\_FRONTEND1\_THRESH\_SHORT

RAW\_FRONTEND1\_THRESH\_SHORT 为 RAW\_FRONTEND1 短曝光数据的噪声阈值控制寄存器。



	Offset Address	Register Name	Total Reset Value							
	0x20230	RAW_FRONTEND1_THRESH_SHOR T	0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20							
		19 18 17 16	15 14 13 12							
		11 10 9 8	7 6 5 4							
		3 2 1 0								
Name	reserved						thresh_short			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description						
	[31:8]	RO	reserved	保留。						
	[7:0]	RW	thresh_short	短曝光数据的噪声阈值，格式为无符号数 4.4-bit 浮点类型。						

## RAW\_FRONTEND1\_THRESH\_LONG

RAW\_FRONTEND1\_THRESH\_LONG 为 RAW\_FRONTEND1 长曝光数据的噪声阈值控制寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x20234	RAW_FRONTEND1_THRESH_LONG	0x0000_0030							
Bit	31 30 29 28	27 26 25 24	23 22 21 20							
		19 18 17 16	15 14 13 12							
		11 10 9 8	7 6 5 4							
		3 2 1 0								
Name	reserved						thresh_long			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0		
	Bits	Access	Name	Description						
	[31:8]	RO	reserved	保留。						
	[7:0]	RW	thresh_long	长曝光数据的噪声阈值，格式为无符号数 4.4-bit 浮点类型。						

## RAW\_FRONTEND2\_CTRL1

RAW\_FRONTEND2\_CTRL1 为 RAW\_FRONTEND2 模块控制寄存器 1。



Offset Address		Register Name		Total Reset Value																
0x20240		RAW_FRONTEND2_CTRL1		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7	6	5	4	3	2	1	0						
Name	reserved											bright_disable	dark_disable	reserved	show_dynamic_defect_pixel	dp_enable	reserved	ge_enable		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																	
[31:8]	RO	reserved	保留。																	
[7]	RW	bright_disable	亮点检测控制。 0: 打开; 1: 关闭。																	
[6]	RW	dark_disable	暗点检测控制。 0: 打开; 1: 关闭。																	
[5:4]	RO	reserved	保留。																	
[3]	RW	show_dynamic_defect_pixel	显示检测到的坏点。 0: 关闭; 1: 打开。																	
[2]	RW	dp_enable	动态坏点检测使能。 0: 关闭; 1: 打开。																	
[1]	RO	reserved	保留。																	
[0]	RW	ge_enable	绿平衡使能。 0: 关闭; 1: 打开。																	



## RAW\_FRONTEND2\_GE\_STRENGTH

RAW\_FRONTEND2\_GE\_STRENGTH 为 RAW\_FRONTEND2 GE 强度寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20244				RAW_FRONTEND2_GE_STRENGTH								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ge_strength															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7:0]	RW		ge_strength		控制绿色均衡的强度，在校准时设置。																											

## RAW\_FRONTEND2\_DP\_THRESHOLD

RAW\_FRONTEND2\_DP\_THRESHOLD 为 RAW\_FRONTEND2 动态坏点检测阈值寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x2024C				RAW_FRONTEND2_DP_THRESHOLD								0x0000_0040																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																dp_threshold															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:0]	RW		dp_threshold		坏点检测阈值。																											

## RAW\_FRONTEND2\_GE\_THRESHOLD

RAW\_FRONTEND2\_GE\_THRESHOLD 为 RAW\_FRONTEND2 GE 阈值寄存器。





Offset Address                      Register Name                      Total Reset Value  
0x20250                      RAW\_FRONTEND2\_GE\_THRESHOLD  
D                      0x0000\_0400

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ge_threshold																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:0]	RW		ge_threshold		绿色均衡阈值。																											

### RAW\_FRONTEND2\_DP\_SLOPE

RAW\_FRONTEND2\_DP\_SLOPE 为 RAW\_FRONTEND2 HP 屏蔽功能斜率寄存器。

Offset Address                      Register Name                      Total Reset Value  
0x20254                      RAW\_FRONTEND2\_DP\_SLOPE                      0x0000\_0200

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dp_slope																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:0]	RW		dp_slope		HP 屏蔽功能斜率。																											

### RAW\_FRONTEND2\_GE\_SLOPE

RAW\_FRONTEND2\_GE\_SLOPE 为 RAW\_FRONTEND2 GE 屏蔽功能斜率寄存器。

Offset Address                      Register Name                      Total Reset Value  
0x20258                      RAW\_FRONTEND2\_GE\_SLOPE                      0x0000\_00AA

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ge_slope																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:0]	RW		ge_slope		GE 屏蔽功能斜率。																											



## RAW\_FRONTEND2\_GE\_SENS

RAW\_FRONTEND2\_GE\_SENS 为 RAW\_FRONTEND2 GE 模块对边缘敏感性控制寄存器。

Offset Address		Register Name		Total Reset Value						
0x2025C		RAW_FRONTEND2_GE_SENS		0x0000_0080						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						ge_sens			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	ge_sens	绿色均衡模块对边缘的敏感性控制。							

## RAW\_FRONTEND2\_DPDEV\_THRESHOLD

RAW\_FRONTEND2\_DPDEV\_THRESHOLD 为 RAW\_FRONTEND2 动态坏点校正对边缘影响强度控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x20260		RAW_FRONTEND2_DPDEV_THRES HOLD		0x0000_0266					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						dpdev_threshold		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 1 0	0 1 1 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	dpdev_threshold	动态坏点校正对边缘影响强度控制。						

## RAW\_FRONTEND2\_LINE\_THRESH

RAW\_FRONTEND2\_LINE\_THRESH 为 RAW\_FRONTEND2 动态坏点校正近边缘处的方向性控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x20264		RAW_FRONTEND2_LINE_THRESH		0x0000_0150						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						line_thresh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 0 1	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	line_thresh	动态坏点校正近边缘处的方向性控制。							

## RAW\_FRONTEND2\_DP\_BLEND

RAW\_FRONTEND2\_DP\_BLEND 为 RAW\_FRONTEND2 动态坏点校正定向与非定向替换值之间的融合控制寄存器 10。

Offset Address		Register Name		Total Reset Value						
0x20268		RAW_FRONTEND2_DP_BLEND		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						dp_blend			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	dp_blend	动态坏点校正定向与非定向替换值之间的融合控制。其中 0x00 表示检测到的缺陷使用非定向替代值替换，0xFF 表示检测到的缺陷使用定向替代值替换。							

## RAW\_FRONTEND2\_SIGMA\_IN

RAW\_FRONTEND2\_SIGMA\_IN 为 RAW\_FRONTEND2 人工噪声估计寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x2026C				RAW_FRONTEND2_SIGMA_IN								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												sigma_in																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:0]	RW		sigma_in		人工噪声估计。																											

## RAW\_FRONTEND2\_THRESH\_SHORT

RAW\_FRONTEND2\_THRESH\_SHORT 为 RAW\_FRONTEND2 短曝光数据的噪声阈值控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20270				RAW_FRONTEND2_THRESH_SHOR T								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												thresh_short																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7:0]	RW		thresh_short		短曝光数据的噪声阈值，格式为无符号数 4.4-bit 浮点类型。																											

## RAW\_FRONTEND2\_THRESH\_LONG

RAW\_FRONTEND2\_THRESH\_LONG 为 RAW\_FRONTEND2 长曝光数据的噪声阈值控制寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x20274				RAW_FRONTEND2_THRESH_LONG								0x0000_0030																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																thresh_long															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7:0]	RW		thresh_long		长曝光数据的噪声阈值，格式为无符号数 4.4-bit 浮点类型。																											

### STATIC\_DPC\_MULTI\_CH\_MODE

STATIC\_DPC\_MULTI\_CH\_MODE 为 STATIC\_DPC 静态坏点校正 4k/2k 模式选择寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20280				STATIC_DPC_MULTI_CH_MODE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																multi_ch_mode															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:2]	RO		reserved		保留。																											
[1:0]	RW		multi_ch_mode		4k/2k 模式选择寄存器。 00: 模式 4ch 4K; 01: 模式 2ch 4K; 10: 模式 2ch 2K; 11: 保留。																											

### STATIC\_DPC\_CTRL

STATIC\_DPC\_CTRL 为 Static Defect Pixels 模块控制寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x20284				STATIC_DPC_CTRL								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																detection_trigger2	show_static_defect_pixels2	enable2	show_reference2	pointer_reset2	reserved				detection_trigger1	show_static_defect_pixels1	enable1	show_reference1	pointer_reset1		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	RO		reserved		保留。																											
[12]	RW		detection_trigger2		在 0-1 跳变沿时启动坏点检测。																											
[11]	RW		show_static_defect_pixels2		显示检测为坏点的像素。 0: 不显示; 1: 显示。																											
[10]	RW		enable2		坏点校正使能。 0: 关闭; 1: 打开。																											
[9]	RW		show_reference2		显示与实际值进行对比的参考值以检测坏点。																											
[8]	RW		pointer_reset2		每一帧时重置坏点表指针。当从 MCU 写坏点表时设置该域。																											
[7:5]	RO		reserved		保留。																											
[4]	RW		detection_trigger1		在 0-1 跳变沿时启动坏点检测。																											
[3]	RW		show_static_defect_pixels1		显示检测为坏点的像素。 0: 不显示; 1: 显示。																											
[2]	RW		enable1		坏点校正使能。 0: 关闭; 1: 打开。																											



[1]	RW	show_reference1	显示与实际值进行对比的参考值以检测坏点。 0: 不显示; 1: 显示。
[0]	RW	pointer_reset1	每一帧时重置坏点表指针。当从 MCU 写坏点表时设置该域。

## STATIC\_DPC\_OVERFLOW

STATIC\_DPC\_OVERFLOW 为 Static Defect Pixels 模块表溢出标志寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x20288								STATIC_DPC_OVERFLOW								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																overflow2	reserved								overflow1						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:9]	RO	reserved	保留。																												
	[8]	RO	overflow2	表 2 溢出标志。 0: 不溢出; 1: 溢出。																												
	[7:1]	RO	reserved	保留。																												
	[0]	RO	overflow1	表 1 溢出标志。 0: 不溢出; 1: 溢出。																												

## STATIC\_DPC\_COUNT

STATIC\_DPC\_COUNT 为 Static Defect Pixels 模块检测到的坏点个数寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x2028C				STATIC_DPC_COUNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				defect_pixel_count2				reserved				defect_pixel_count1																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:27]	RO	reserved	保留。																												
	[26:16]	RO	defect_pixel_count2	检测到的坏点个数。																												
	[15:12]	RO	reserved	保留。																												
	[11:0]	RO	defect_pixel_count1	检测到的坏点个数。																												

## STATIC\_DPC\_TABLE\_START

STATIC\_DPC\_TABLE\_START 为 Static Defect Pixels 模块的坏点首地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x20290				STATIC_DPC_TABLE_START				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_start2				reserved				table_start1																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:27]	RO	reserved	保留。																												
	[26:16]	RO	table_start2	坏点表中第一个坏点的地址。																												
	[15:12]	RO	reserved	保留。																												
	[11:0]	RO	table_start1	坏点表中第一个坏点的地址。																												

## STATIC\_DPC\_COUNT\_IN

STATIC\_DPC\_COUNT\_IN 为 Static Defect Pixels 模块的写入的坏点个数寄存器。





	Offset Address				Register Name								Total Reset Value																			
	0x20294				STATIC_DPC_COUNT_IN								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				defect_pixel_count_in2								reserved				defect_pixel_count_in1															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:27]	RO	reserved		保留。																											
	[26:16]	RW	defect_pixel_count_in2		写入表中的坏点个数。																											
	[15:12]	RO	reserved		保留。																											
	[11:0]	RW	defect_pixel_count_in1		写入表中的坏点个数。																											

## WDR\_CTRL

WDR\_CTRL 为 WDR 控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x202A0				WDR_CTRL								0x0F00_C001																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				long_short_thresh								rsvd4				reserved				alpha_slope_from_zero	wdr_mode	rsvd3	enable_np	reserved	rsvd2	rsvd1	rsvd0				
Reset	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Bits	Access	Name		Description																											
	[31:28]	RO	reserved		保留。																											
	[27:16]	RW	long_short_thresh		超过这个阈值的数据将从较短的曝光范围内获取。																											
	[15:13]	RW	rsvd4		禁止配置。																											
	[12:8]	RO	reserved		保留。																											



[7]	RW	alpha_slope_from_zero	α 斜率的起点。 0: α 斜率的起点为 1/曝光比; 1: α 斜率的起点为 0。
[6]	RW	wdr_mode	WDR 模式选择。 0: WDR 关闭; 1: 帧切换。
[5]	RW	rsvd3	禁止配置。
[4]	RW	enable_np	禁止配置。
[3]	RO	reserved	保留。
[2]	RW	rsvd2	禁止配置。
[1]	RW	rsvd1	禁止配置。
[0]	RW	rsvd0	禁止配置。

## WDR\_LONG\_CTRL1

WDR\_LONG\_CTRL1 为 WDR 长曝光控制寄存器 1。

	Offset Address				Register Name								Total Reset Value																			
	0x202A4				WDR_LONG_CTRL1								0x0100_0C00																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				long_exposure_ratio								reserved				long_long_thresh															
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27:16]	RW		long_exposure_ratio		曝光比，格式无符号数 6.6bit 定点。																											
[15:12]	RO		reserved		保留。																											
[11:0]	RW		long_long_thresh		低于这个阈值的数据将从较长的曝光范围内获取。																											

## WDR\_LONG\_CTRL2

WDR\_LONG\_CTRL2 为 WDR 长曝光控制寄存器 2。



	Offset Address 0x202A8								Register Name WDR_LONG_CTRL2								Total Reset Value 0x0080_0040															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								long_stitch_correct								reserved								long_stitch_error_thresh							
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:16]	RW	long_stitch_correct		融合区域的传感器曝光比率的误差可调整范围，格式为无符号数 1.7-bit 定点。																											
	[15:8]	RO	reserved		保留。																											
	[7:0]	RW	long_stitch_error_thresh		设置检测由于运动而引起的拼接误差的强度。																											

## WDR\_LONG\_STITCH\_ERROR\_LIMIT

WDR\_LONG\_STITCH\_ERROR\_LIMIT 为 WDR 长曝光强度设置寄存器。

	Offset Address 0x202AC								Register Name WDR_LONG_STITCH_ERROR_LIMIT								Total Reset Value 0x0000_2000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								long_stitch_error_limit																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:20]	RO	reserved		保留。																											
	[19:0]	RW	long_stitch_error_limit		长曝光强度设置，低于此强度的拼接错误检测将被禁用。																											

## WDR\_MED\_CTRL1

WDR\_MED\_CTRL1 为 WDR 中曝光控制寄存器 1。



	Offset Address 0x202B0				Register Name WDR_MED_CTRL1								Total Reset Value 0x0F00_C000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				med_short_thresh								rsvd2				reserved				rsvd1		reserved		rsvd0		reserved					
Reset	0 0 0 0				1 1 1 1				0 0 0 0				0 0 0 0				1 1 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
	Bits	Access	Name		Description																											
	[31:28]	RO	reserved		保留。																											
	[27:16]	RW	med_short_thresh		超过这个阈值的数据将从较短的曝光范围内获取。																											
	[15:13]	RW	rsvd2		禁止配置。																											
	[12:6]	RO	reserved		保留。																											
	[5]	RW	rsvd1		禁止配置。																											
	[4:2]	RO	reserved		保留。																											
	[1]	RW	rsvd0		禁止配置。																											
	[0]	RO	reserved		保留。																											

## WDR\_MED\_CTRL2

WDR\_MED\_CTRL2 为 WDR 中曝光控制寄存器 2。

	Offset Address 0x202B4				Register Name WDR_MED_CTRL2								Total Reset Value 0x0100_0C00																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				med_exposure_ratio								reserved				med_long_thresh															
Reset	0 0 0 0				0 0 0 1				0 0 0 0				0 0 0 0				0 0 0 0				1 1 0 0				0 0 0 0				0 0 0 0			
	Bits	Access	Name		Description																											
	[31:28]	RO	reserved		保留。																											
	[27:16]	RW	med_exposure_ratio		曝光比，格式无符号数 6.6bit 定点。																											
	[15:12]	RO	reserved		保留。																											
	[11:0]	RW	med_long_thresh		低于这个阈值的数据将从较长的曝光范围内获取。																											



## WDR\_MED\_CTRL3

WDR\_MED\_CTRL3 为 WDR 中曝光控制寄存器 3。

	Offset Address				Register Name								Total Reset Value																			
	0x202B8				WDR_MED_CTRL3								0x0080_0040																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				med_stitch_correct				reserved				med_stitch_error_thresh																			
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RO	reserved	保留。																												
	[23:16]	RW	med_stitch_correct	融合区域的传感器曝光比率的误差可调整范围，格式为无符号数 1.7-bit 定点。																												
	[15:8]	RO	reserved	保留。																												
	[7:0]	RW	med_stitch_error_thresh	设置检测由于运动而引起的拼接误差的强度。																												

## WDR\_MED\_STITCH\_ERROR\_LIMIT

WDR\_MED\_STITCH\_ERROR\_LIMIT 为 WDR 中曝光强度设置。

	Offset Address				Register Name								Total Reset Value																			
	0x202BC				WDR_MED_STITCH_ERROR_LIMIT								0x0000_2000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				med_stitch_error_limit																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:20]	RO	reserved	保留。																												
	[19:0]	RW	med_stitch_error_limit	中曝光强度设置，低于此强度的拼接错误检测将被禁用。																												

## WDR\_SHORT\_CTRL1

WDR\_SHORT\_CTRL1 为 WDR 短曝光控制寄存器 1。



	Offset Address				Register Name								Total Reset Value																							
	0x202C0				WDR_SHORT_CTRL1								0x0F00_C000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				short_short_thresh								rsvd2		reserved				rsvd1	reserved		rsvd0	reserved													
Reset	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:28]	RO		reserved		保留。																															
[27:16]	RW		short_short_thresh		超过这个阈值的数据将从较短的曝光范围内获取。																															
[15:13]	RW		rsvd2		禁止配置。																															
[12:6]	RO		reserved		保留。																															
[5]	RW		rsvd1		禁止配置。																															
[4:2]	RO		reserved		保留。																															
[1]	RW		rsvd0		禁止配置。																															
[0]	RO		reserved		保留。																															

## WDR\_SHORT\_CTRL2

WDR\_SHORT\_CTRL2 为 WDR 短曝光控制寄存器 2。

	Offset Address				Register Name								Total Reset Value																							
	0x202C4				WDR_SHORT_CTRL2								0x0100_0C00																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				short_exposure_ratio								reserved				short_long_thresh																			
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:28]	RO		reserved		保留。																															
[27:16]	RW		short_exposure_ratio		曝光比，格式无符号数 6.6bit 定点。																															
[15:12]	RO		reserved		保留。																															
[11:0]	RW		short_long_thresh		低于这个阈值的数据将从较长的曝光范围内获取。																															



## WDR\_SHORT\_CTRL3

WDR\_SHORT\_CTRL3 为 WDR 短曝光控制寄存器 3。

	Offset Address				Register Name				Total Reset Value																							
	0x202C8				WDR_SHORT_CTRL3				0x0080_0040																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				short_stitch_correct				reserved				short_stitch_error_thresh																			
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RO	reserved	保留。																													
[23:16]	RW	short_stitch_correct	融合区域的传感器曝光比率的误差可调整范围，格式为无符号数 1.7-bit 定点。																													
[15:8]	RO	reserved	保留。																													
[7:0]	RW	short_stitch_error_thresh	设置检测由于运动而引起的拼接误差的强度。																													

## WDR\_SHORT\_STITCH\_ERROR\_LIMIT

WDR\_SHORT\_STITCH\_ERROR\_LIMIT 为 WDR 短曝光强度设置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x202CC				WDR_SHORT_STITCH_ERROR_LIMIT				0x0000_2000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				short_stitch_error_limit																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:20]	RO	reserved	保留。																													
[19:0]	RW	short_stitch_error_limit	短曝光强度设置，低于此强度的拼接错误检测将被禁用。																													

## WDR\_BLACK\_LEVEL\_LONG

WDR\_BLACK\_LEVEL\_LONG 为 WDR 长曝光输入的黑电平寄存器。



	Offset Address				Register Name								Total Reset Value																							
	0x202D0				WDR_BLACK_LEVEL_LONG								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												black_level_long																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:12]	RO	reserved	保留。																																	
[11:0]	RW	black_level_long	长曝光输入的黑电平。																																	

### WDR\_BLACK\_LEVEL\_MEDIUM1

WDR\_BLACK\_LEVEL\_MEDIUM1 为 WDR 中曝光输入的黑电平寄存器 1。

	Offset Address				Register Name								Total Reset Value																							
	0x202D4				WDR_BLACK_LEVEL_MEDIUM1								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												black_level_medium1																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:12]	RO	reserved	保留。																																	
[11:0]	RW	black_level_medium1	中曝光输入的黑电平。																																	

### WDR\_BLACK\_LEVEL\_MEDIUM2

WDR\_BLACK\_LEVEL\_MEDIUM2 为 WDR 中曝光输入的黑电平寄存器 2。

	Offset Address				Register Name								Total Reset Value																							
	0x202D8				WDR_BLACK_LEVEL_MEDIUM2								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												black_level_medium2																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:12]	RO	reserved	保留。																																	





[11:0]	RW	black_level_mediu m2	中曝光输入的黑电平。
--------	----	-------------------------	------------

## WDR\_BLACK\_LEVEL\_SHORT

WDR\_BLACK\_LEVEL\_SHORT 为 WDR 短曝光输入的黑电平寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x202DC	WDR_BLACK_LEVEL_SHORT	0x0000_0000	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
	19 18 17 16	15 14 13 12	11 10 9 8	
	7 6 5 4	3 2 1 0		
Name	reserved			
	black_level_short			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description	
[31:12]	RO	reserved	保留。	
[11:0]	RW	black_level_short	短曝光输入的黑电平。	

## WDR\_BLACK\_LEVEL\_OUT

WDR\_BLACK\_LEVEL\_OUT 为 WDR 模块输出的黑电平寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x202E0	WDR_BLACK_LEVEL_OUT	0x0000_0000	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
	19 18 17 16	15 14 13 12	11 10 9 8	
	7 6 5 4	3 2 1 0		
Name	reserved			
	black_level_out			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description	
[31:20]	RO	reserved	保留。	
[19:0]	RW	black_level_out	模块输出的黑电平。	

## WDR\_MODE\_IN

WDR\_MODE\_IN 为 WDR 输入模式选择寄存器。



Offset Address		Register Name		Total Reset Value				
0x202E4		WDR_MODE_IN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							mode_in
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:2]	RO	reserved	保留。					
[1:0]	RW	mode_in	WDR 输入模式选择。 00: 4 channel; 01: 2 channel; 10: 3 channel; 11: 4 channel。					

## FRONTEND\_LUT\_CTRL

FRONTEND\_LUT\_CTRL 为 FRONTEND\_LUT 控制寄存器。

Offset Address		Register Name		Total Reset Value									
0x20300		FRONTEND_LUT_CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	mcu_priority	reserved			bank_select_1	bank_select_0	reserved	offset_mode_1	offset_mode_0	reserved	enable_d1	enable1	enable0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31]	RW	mcu_priority	CPU 端口优先级。 0: 低; 1: 高。										
[30:14]	RO	reserved	保留。										
[13]	RW	bank_select_1	查找表 1 有效 mem bank 切换。										
[12]	RW	bank_select_0	查找表 0 有效 mem bank 切换。										



[11:10]	RO	reserved	保留。
[9]	RW	offset_mode_1	查找表 1 黑电平偏移区域映射模式。 0: 手动曲线映射; 1: 自动曲线映射。
[8]	RW	offset_mode_0	查找表 0 黑电平偏移区域映射模式。 0: 手动曲线映射; 1: 自动曲线映射。
[7:3]	RO	reserved	保留。
[2]	RW	enable_dl	Frontend 查找表 DL 使能寄存器。 0: 禁止; 1: 使能。
[1]	RW	enable1	Frontend 查找表 1 使能寄存器。 0: 禁止; 1: 使能。
[0]	RW	enable0	Frontend 查找表 0 使能寄存器。 0: 禁止; 1: 使能。

## FRONTEND\_LUT\_MCU\_READY

FRONTEND\_LUT\_MCU\_READY 为 FRONTEND\_LUT 状态指示。

	Offset Address	Register Name	Total Reset Value
	0x20304	FRONTEND_LUT_MCU_READY	0x0000_0003
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			mcu_ready_1
			mcu_ready_0
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 1 1
Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RO	mcu_ready_1	LUT1 状态指示, 当为 1 时, 表示 LUT1 准备从 CPU 接收数据。



[0]	RO	mcu_ready_0	LUT0 状态指示，当为 1 时，表示 LUT0 准备从 CPU 接收数据。
-----	----	-------------	--

## FRONTEND\_LUT\_ALPHA

FRONTEND\_LUT\_ALPHA 为 FRONTEND\_LUT alpha 参数寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x20308	FRONTEND_LUT_ALPHA	0x0000_1000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 1   0 0 0 0   0 0 0 0   0 0 0 0			
Bits	Access	Name	Description	
[31:18]	RO	reserved	保留。	
[17:0]	RW	alpha	Front end $\alpha$ 参数，6.12 定点。	

## DG\_GAIN

DG\_GAIN 为 sensor 数字增益。

	Offset Address	Register Name	Total Reset Value	
	0x20310	DG_GAIN	0x0000_0100	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 1   0 0 0 0   0 0 0 0			
Bits	Access	Name	Description	
[31:13]	RO	reserved	保留。	
[12:0]	RW	gain	sensor 数字增益，格式为 5.8 无符号数。	

## DG\_OFFSET

DG\_OFFSET 为 DG 黑电平补偿。



Offset Address		Register Name		Total Reset Value					
0x20314		DG_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:0]	RW	offset	黑电平补偿。						

## DNR\_CTRL

DNR\_CTRL 为 DNR 控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x20320		DNR_CTRL		0x0000_041C							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				int_config		rm_enable	int_select	filter_select	enable	rsvd
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 1	1 1 0 0			
Bits	Access	Name	Description								
[31:12]	RO	reserved	保留。								
[11:8]	RW	int_config	与未处理马赛克进行强度混合。								
[7]	RW	rm_enable	镜头阴影纠正使能。 0: 禁止; 1: 使能。								
[6]	RW	int_select	强度过滤器选择。 0: 禁止; 1: 使能。								
[5]	RW	filter_select	去噪过滤器微调。 0: 禁止; 1: 使能。								



[4]	RW	enable	去噪使能。 0: 禁止; 1: 使能。
[3:0]	RW	rsvd	禁止配置。

## DNR\_RM\_CENTER\_X

DNR\_RM\_CENTER\_X 为 DNR 阴影图的横坐标寄存器。

	Offset Address	Register Name	Total Reset Value
	0x20324	DNR_RM_CENTER_X	0x0000_0280
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		rm_center_x
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 1 0
	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	rm_center_x	阴影图的横坐标。

## DNR\_RM\_CENTER\_Y

DNR\_RM\_CENTER\_Y 为 DNR 阴影图的纵坐标寄存器。

	Offset Address	Register Name	Total Reset Value
	0x20328	DNR_RM_CENTER_Y	0x0000_0168
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		rm_center_y
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 1
	0 1 1 0	1 0 0 0	
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RW	rm_center_y	阴影图的纵坐标。

## DNR\_RM\_OFF\_CENTER\_MULT

DNR\_RM\_OFF\_CENTER\_MULT 为 DNR 标准化因子寄存器。



Offset Address		Register Name		Total Reset Value					
0x2032C		DNR_RM_OFF_CENTER_MULT		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rm_off_center_mult				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	rm_off_center_mult	标准化因子，将 radial 表扩展到图像的边缘，计算方式 $2^{31}/R^2$ ，其中 R 表示从中心坐标到图像边缘像素的最远的距离。						

## DNR\_THRESH\_H01

DNR\_THRESH\_H01 为 DNR 水平空域高频下的噪声阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x20330		DNR_THRESH_H01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		thresh_1h		reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:16]	RW	thresh_1h	水平空域高频下的噪声阈值。						
[15:0]	RO	reserved	保留。						

## DNR\_THRESH\_H24

DNR\_THRESH\_H24 为 DNR 水平空域低频下的噪声阈值寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x20334				DNR_THRESH_H24								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				thresh_4h								reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:16]	RW		thresh_4h		水平空域低频下的噪声阈值。																											
[15:0]	RO		reserved		保留。																											

### DNR\_THRESH\_V01

DNR\_THRESH\_V01 为 DNR 垂直空域高频下的噪声阈值寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20338				DNR_THRESH_V01								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				thresh_1v								reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:16]	RW		thresh_1v		垂直空域高频下的噪声阈值。																											
[15:0]	RO		reserved		保留。																											

### DNR\_THRESH\_V24

DNR\_THRESH\_V24 为 DNR 垂直空域低频下的噪声阈值寄存器。





	Offset Address								Register Name								Total Reset Value															
	0x2033C								DNR_THRESH_V24								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								thresh_4v								reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:16]	RW		thresh_4v		垂直空域低频下的噪声阈值。																											
[15:0]	RO		reserved		保留。																											

## DNR\_THRESH\_SHORT

DNR\_THRESH\_SHORT 为 DNR 短曝光数据的噪声阈值调节寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x20344								DNR_THRESH_SHORT								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																thresh_short															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7:0]	RW		thresh_short		短曝光数据的噪声阈值调节。																											

## DNR\_THRESH\_LONG

DNR\_THRESH\_LONG 为 DNR 长曝光数据的噪声阈值调节寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x20348								DNR_THRESH_LONG								0x0000_0030															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																thresh_long															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											



[7:0]	RW	thresh_long	长曝光数据的噪声阈值调节。
-------	----	-------------	---------------

## DNR\_STRENGTH1

DNR\_STRENGTH1 为 DNR 高空间频率的噪声抑制效应寄存器。

Offset Address		Register Name		Total Reset Value					
0x20350		DNR_STRENGTH1		0x0000_00FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						strength_1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	strength_1	高空间频率的噪声抑制效应。						

## DNR\_STRENGTH4

DNR\_STRENGTH4 为 DNR 低空间频率的噪声抑制效应寄存器。

Offset Address		Register Name		Total Reset Value					
0x20358		DNR_STRENGTH4		0x0000_00FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						strength_4		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	strength_4	低空间频率的噪声抑制效应。						

## BACKEND\_LUT\_CTRL

BACKEND\_LUT\_CTRL 为 BACKEND\_LUT 控制寄存器。



Offset Address		Register Name		Total Reset Value																				
0x20360		BACKEND_LUT_CTRL		0x0000_0000																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																
Name	mcu_priority			reserved			bank_select_1		bank_select_0		reserved		offset_mode_1		offset_mode_0		reserved		enable_dl		enable1		enable0	
Reset	0 0 0 0			0 0 0 0			0 0 0 0			0 0 0 0			0 0 0 0			0 0 0 0			0 0 0 0			0 0 0 0		
Bits	Access	Name	Description																					
[31]	RW	mcu_priority	CPU 端口优先级。 0: 低; 1: 高。																					
[30:14]	RO	reserved	保留。																					
[13]	RW	bank_select_1	查找表 1 mem bank 切换。 0: 选择 mem bank0; 1: 选择 mem bank1。																					
[12]	RW	bank_select_0	查找表 0 mem bank 切换。 0: 选择 mem bank0; 1: 选择 mem bank1。																					
[11:10]	RO	reserved	保留。																					
[9]	RW	offset_mode_1	查找表 1 黑电平偏移区域映射模式。 0: 手动曲线映射; 1: 自动曲线映射。																					
[8]	RW	offset_mode_0	查找表 0 黑电平偏移区域映射模式。 0: 手动曲线映射; 1: 自动曲线映射。																					
[7:3]	RO	reserved	保留。																					
[2]	RW	enable_dl	Backend 查找表 DL 使能寄存器。 0: 禁止; 1: 使能。																					
[1]	RW	enable1	Backend 查找表 1 使能寄存器。 0: 禁止; 1: 使能。																					



[0]	RW	enable0	Backend 查找表 0 使能寄存器。 0: 禁止; 1: 使能。
-----	----	---------	--

## BACKEND\_LUT\_MCU\_READY

BACKEND\_LUT\_MCU\_READY 为 BACKEND\_LUT 状态指示。

	Offset Address	Register Name	Total Reset Value
	0x20364	BACKEND_LUT_MCU_READY	0x0000_0003
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			mcu_ready_1
			mcu_ready_0
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 1 1
Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RO	mcu_ready_1	LUT1 状态指示, 当为 1 时, 表示 LUT1 准备从 CPU 接收数据。
[0]	RO	mcu_ready_0	LUT0 状态指示, 当为 1 时, 表示 LUT0 准备从 CPU 接收数据。

## BACKEND\_LUT\_ALPHA

BACKEND\_LUT\_ALPHA 为 BACKEND\_LUT alpha 参数寄存器。

	Offset Address	Register Name	Total Reset Value
	0x20368	BACKEND_LUT_ALPHA	0x0000_1000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			alpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 1
			0 0 0 0
			0 0 0 0
			0 0 0 0
Bits	Access	Name	Description
[31:18]	RO	reserved	保留。
[17:0]	RW	alpha	Front end $\alpha$ 参数, 6.12 定点。



## NP\_FOR\_DNR\_EXP\_THRESH

NP\_FOR\_DNR\_EXP\_THRESH 为 NP\_FOR\_DNR\_噪声阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x20370		NP_FOR_DNR_EXP_THRESH		0x0000_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				exp_thresh				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	exp_thresh	长/短曝光数据的阈值。						

## NP\_FOR\_DNR\_SHORT\_RATIO

NP\_FOR\_DNR\_SHORT\_RATIO 为 NP\_FOR\_DNR\_噪声短曝光比率寄存器。

Offset Address		Register Name		Total Reset Value				
0x20374		NP_FOR_DNR_SHORT_RATIO		0x0000_0020				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						short_ratio	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	RO	reserved	保留。					
[7:0]	RW	short_ratio	短曝光噪声比率，格式为无符号 6.2-bit 定点。					

## NP\_FOR\_DNR\_LONG\_RATIO

NP\_FOR\_DNR\_LONG\_RATIO 为 NP\_FOR\_DNR\_噪声长曝光比率寄存器。



Offset Address		Register Name		Total Reset Value						
0x20378		NP_FOR_DNR_LONG_RATIO		0x0000_0004						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						long_ratio			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	long_ratio	长曝光噪声比率，格式为无符号 6.2-bit 定点。							

## NP\_FOR\_DNR\_OFF

NP\_FOR\_DNR\_OFF 为 NP\_FOR\_DNR\_噪声黑电平偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x2037C		NP_FOR_DNR_OFF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						np_off_reflect	np_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7]	RW	np_off_reflect	黑电平之下的值获取方式。 0: 重复第一个表的输入; 1: 映射噪声曲线黑电平下的部分。						
[6:0]	RW	np_off	噪声黑电平偏移。						

## WB\_GAIN00

WB\_GAIN00 为 White Balance 模块的 R 分量增益寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x20380				WB_GAIN00								0x0000_0100																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gain00																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	gain00		颜色通道 R 的倍数，格式为无符号数，4.8 比特，定点。																											

## WB\_GAIN01

WB\_GAIN01 为 White Balance 模块的 Gr 分量增益寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20384				WB_GAIN01								0x0000_0100																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gain01																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	gain01		颜色通道 Gr 的倍数，格式为无符号数，4.8 比特，定点。																											

## WB\_GAIN10

WB\_GAIN10 为 White Balance 模块的 Gb 分量增益寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20388				WB_GAIN10								0x0000_0100																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gain10																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	gain10		颜色通道 Gb 的倍数，格式为无符号数，4.8 比特，定点。																											



## WB\_GAIN11

WB\_GAIN11 为 White Balance 模块的 B 分量增益寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x2038C				WB_GAIN11				0x0000_0100																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gain11																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:0]	RW		gain11		颜色通道 B 的倍数，格式为无符号数，4.8 比特，定点。																											

## BLC\_BLACK00

BLC\_BLACK00 为 BLC R 分量黑电平偏移值。

	Offset Address				Register Name				Total Reset Value																							
	0x203A0				BLC_BLACK00				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												black00																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:20]	RO		reserved		保留。																											
[19:0]	RW		black00		颜色通道 R 的黑电平偏移。																											

## BLC\_BLACK01

BLC\_BLACK01 为 BLC Gr 分量黑电平偏移值。





Offset Address		Register Name		Total Reset Value				
0x203A4		BLC_BLACK01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				black01			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:0]	RW	black01	颜色通道 Gr 的黑电平偏移。					

## BLC\_BLACK10

BLC\_BLACK10 为 BLC Gb 分量黑电平偏移值。

Offset Address		Register Name		Total Reset Value				
0x203A8		BLC_BLACK10		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				black10			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:0]	RW	black10	颜色通道 Gb 的黑电平偏移。					

## BLC\_BLACK11

BLC\_BLACK11 为 BLC B 分量黑电平偏移值。

Offset Address		Register Name		Total Reset Value				
0x203AC		BLC_BLACK11		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				black11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:0]	RW	black11	颜色通道 B 的黑电平偏移。					



## RADIAL\_SHADING\_CTRL

RADIAL\_SHADING\_CTRL 为 Radial\_Shading 模块控制寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0x203B0				RADIAL_SHADING_CTRL				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																mcupriority	reserved				enable														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:8]	RO	reserved	保留。																																
	[7]	RW	mcupriority	CPU 写 radial shading LUTs 优先级。 0: LOW; 1: HIGH。																																
	[6:1]	RO	reserved	保留。																																
	[0]	RW	enable	镜头阴影校正使能。 0: 禁止; 1: 使能。																																

## RADIAL\_SHADING\_MCU\_READY

RADIAL\_SHADING\_MCU\_READY 为 Radial\_Shading LUT 状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x203B4		RADIAL_SHADING_MCU_READY		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								mcuready
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	mcuready	为 1 表示 LUT 已经准备好从 CPU 接收数据。						

## RADIAL\_SHADING\_RX

RADIAL\_SHADING\_RX 为 Radial\_Shading R 分量中心点 X 坐标寄存器。

Offset Address		Register Name		Total Reset Value				
0x203B8		RADIAL_SHADING_RX		0x0000_03C0				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				centerr_x			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	centerr_x	red shading map 中心坐标 x 方向坐标值。					

## RADIAL\_SHADING\_RY

RADIAL\_SHADING\_RY 为 Radial\_Shading R 分量中心点 Y 坐标寄存器。



	Offset Address								Register Name								Total Reset Value																					
	0x203BC								RADIAL_SHADING_RY								0x0000_021C																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved																centerr_y																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	0	0						
Bits	Access		Name		Description																																	
[31:16]	RO		reserved		保留。																																	
[15:0]	RW		centerr_y		red shading map 中心坐标 y 方向坐标值。																																	

## RADIAL\_SHADING\_GX

RADIAL\_SHADING\_GX 为 Radial\_Shading G 分量中心点 X 坐标寄存器。

	Offset Address								Register Name								Total Reset Value																					
	0x203C0								RADIAL_SHADING_GX								0x0000_03C0																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved																centerg_x																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0						
Bits	Access		Name		Description																																	
[31:16]	RO		reserved		保留。																																	
[15:0]	RW		centerg_x		green shading map 中心坐标 x 方向坐标值。																																	

## RADIAL\_SHADING\_GY

RADIAL\_SHADING\_GY 为 Radial\_Shading G 分量中心点 Y 坐标寄存器。

	Offset Address								Register Name								Total Reset Value																					
	0x203C4								RADIAL_SHADING_GY								0x0000_021C																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved																centerg_y																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	0	0						
Bits	Access		Name		Description																																	
[31:16]	RO		reserved		保留。																																	
[15:0]	RW		centerg_y		green shading map 中心坐标 y 方向坐标值。																																	



## RADIAL\_SHADING\_BX

RADIAL\_SHADING\_BX 为 Radial\_Shading B 分量中心点 X 坐标寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x203C8	RADIAL_SHADING_BX	0x0000_03C0	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
		19 18 17 16	15 14 13 12	
		11 10 9 8	7 6 5 4	
		3 2 1 0		
Name	reserved			
	centerb_x			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
		0 0 0 0	0 0 0 0	
		0 0 1 1	1 1 0 0	
		0 0 0 0	0 0 0 0	
Bits	Access	Name	Description	
[31:16]	RO	reserved	保留。	
[15:0]	RW	centerb_x	blue shading map 中心坐标 x 方向坐标值。	

## RADIAL\_SHADING\_BY

RADIAL\_SHADING\_BY 为 Radial\_Shading B 分量中心点 Y 坐标寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x203CC	RADIAL_SHADING_BY	0x0000_021C	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
		19 18 17 16	15 14 13 12	
		11 10 9 8	7 6 5 4	
		3 2 1 0		
Name	reserved			
	centerb_y			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
		0 0 0 0	0 0 0 0	
		0 0 1 0	0 0 0 1	
		1 1 0 0		
Bits	Access	Name	Description	
[31:16]	RO	reserved	保留。	
[15:0]	RW	centerb_y	blue shading map 中心坐标 y 方向坐标值。	

## RADIAL\_SHADING\_MULTR

RADIAL\_SHADING\_MULTR 为 Radial\_Shading red radial 表标准化因子。



Offset Address		Register Name		Total Reset Value				
0x203D0		RADIAL_SHADING_MULTR		0x0000_06EA				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				off_center_multr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	1 1 1 0	1 0 1 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	off_center_multr	标准化因子，将 red radial 表扩展到图像的边缘，计算方式 $2^{31}/R^2$ ，其中 R 表示从中心坐标到图像边缘像素的最远的距离。					

## RADIAL\_SHADING\_MULTG

RADIAL\_SHADING\_MULTG 为 Radial\_Shading green radial 表标准化因子。

Offset Address		Register Name		Total Reset Value				
0x203D4		RADIAL_SHADING_MULTG		0x0000_06EA				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				off_center_multg			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	1 1 1 0	1 0 1 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	off_center_multg	标准化因子，将 green radial 表扩展到图像的边缘，计算方式 $2^{31}/R^2$ ，其中 R 表示从中心坐标到图像边缘像素的最远的距离。					

## RADIAL\_SHADING\_MULTB

RADIAL\_SHADING\_MULTB 为 Radial\_Shading blue radial 表标准化因子。



Offset Address		Register Name		Total Reset Value					
0x203D8		RADIAL_SHADING_MULTB		0x0000_06EA					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				off_center_multb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	1 1 1 0	1 0 1 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	off_center_multb	标准化因子，将 blue radial 表扩展到图像的边缘，计算方式 $2^{31}/R^2$ ，其中 R 表示从中心坐标到图像边缘像素的最远的距离。						

## MESH\_SHADING\_CTRL

MESH\_SHADING\_CTRL 为 Mesh\_Shading 控制寄存器。

Offset Address		Register Name		Total Reset Value								
0x203E0		MESH_SHADING_CTRL		0x3F3F_0006								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved	mesh_height	reserved	mesh_width	reserved	mesh_page_b	mesh_page_g	mesh_page_r	reserved	mesh_scale	mesh_show	enable
Reset	0 0 1 1	1 1 1 1	0 0 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0		
Bits	Access	Name	Description									
[31:30]	RO	reserved	保留。									
[29:24]	RW	mesh_height	垂直方向的节点数减 1。									
[23:22]	RO	reserved	保留。									
[21:16]	RW	mesh_width	水平方向的节点数减 1。									
[15:14]	RO	reserved	保留。									
[13:12]	RW	mesh_page_b	选择 blue 分量校正的对应 memory page。									
[11:10]	RW	mesh_page_g	选择 green 分量校正的对应 memory page。									
[9:8]	RW	mesh_page_r	选择 red 分量校正的对应 memory page。									
[7:5]	RO	reserved	保留。									



[4:2]	RW	mesh_scale	选择精度和最大增益范围。 000: 0~2; 001: 0~4; 010: 0~8; 011: 0~16; 100: 1~2; 101: 1~3; 110: 1~5; 111: 1~9。 注: 增益为浮点数。
[1]	RW	mesh_show	镜头阴影校正调试使能。 0: 禁止; 1: 使能。
[0]	RW	enable	镜头阴影校正使能。 0: 禁止; 1: 使能。

## MESH\_SHADING\_RELOAD

MESH\_SHADING\_RELOAD 为 Mesh\_Shading 缓存刷新寄存器。

	Offset Address	Register Name	Total Reset Value					
	0x203E4	MESH_SHADING_RELOAD	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20					
			19 18 17 16					
			15 14 13 12					
			11 10 9 8					
			7 6 5 4					
			3 2 1 0					
Name	reserved							mesh_reload
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RW	mesh_reload	该比特的值由 0 变为 1 时，触发缓存刷新。					





## MESH\_SHADING\_ALPHAMODE

MESH\_SHADING\_ALPHAMODE 为 Mesh\_Shading 表项之间的的  $\alpha$  融合方式寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x203F0				MESH_SHADING_ALPHAMODE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										mesh_alpha_mode					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:2]	RO	reserved		保留。																											
	[1:0]	RW	mesh_alpha_mode		设置 Mesh_Shading 表项之间的的 $\alpha$ 融合方式。 00: 没有 $\alpha$ 融合; 01: 2 banks(奇/偶字节); 10: 4 banks; 11: 保留。																											

## MESH\_SHADING\_ALPHA\_BANK

MESH\_SHADING\_ALPHA\_BANK 为 Mesh\_Shading 融合 bank 选择寄存器。



Offset Address		Register Name		Total Reset Value					
0x203F4		MESH_SHADING_ALPHA_BANK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mesh_alpha_bank_b	reserved	mesh_alpha_bank_g	reserved	mesh_alpha_bank_r
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	RO	reserved	保留。						
[18:16]	RW	mesh_alpha_bank_b	B 分量融合 bank 选择。 000: 0+1; 001: 1+2; 010: 2:3; 011: 3+0; 100: 0+2; 101: 1+3; 11X: 保留。						
[15:11]	RO	reserved	保留。						
[10:8]	RW	mesh_alpha_bank_g	G 分量融合 bank 选择。 000: 0+1; 001: 1+2; 010: 2:3; 011: 3+0; 100: 0+2; 101: 1+3; 11X: 保留。						
[7:3]	RO	reserved	保留。						



[2:0]	RW	mesh_alpha_bank_r	R 分量融合 bank 选择。 000: 0+1; 001: 1+2; 010: 2+3; 011: 3+0; 100: 0+2; 101: 1+3; 11X: 保留。
-------	----	-------------------	---

## MESH\_SHADING\_ALPHA

MESH\_SHADING\_ALPHA 为 Mesh\_Shading  $\alpha$  融合系数寄存器。

Offset Address		Register Name		Total Reset Value				
0x203F8		MESH_SHADING_ALPHA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			mesh_alpha_b		mesh_alpha_g		mesh_alpha_r
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:16]	RW	mesh_alpha_b	B 分量 $\alpha$ 融合系数。					
[15:8]	RW	mesh_alpha_g	G 分量 $\alpha$ 融合系数。					
[7:0]	RW	mesh_alpha_r	R 分量 $\alpha$ 融合系数。					

## MESH\_SHADING\_STRENGTH

MESH\_SHADING\_STRENGTH 为 Mesh\_Shading 校正强度控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x203FC		MESH_SHADING_STRENGTH		0x0000_1000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mesh_strength			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					



[15:0]	RW	mesh_strength	mesh 校正强度，格式为 4.12。如：0 为不校正，4096 为匹配 mesh data 的校正。可用于根据 AE 来减少阴影校正强度。
--------	----	---------------	--

## DRC\_ENABLE

DRC\_ENABLE 为 DRC 使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x20400				DRC_ENABLE				0x0000_4629																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																rsvd3	reserved		rsvd2		reserved	rsvd1		reserved	rsvd0	reserved		drc_on			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0	0	1	0	1	0	0	1
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:14]	RW		rsvd3		禁止配置。																											
[13:11]	RO		reserved		保留。																											
[10:8]	RW		rsvd2		禁止配置。																											
[7]	RO		reserved		保留。																											
[6:5]	RW		rsvd1		禁止配置。																											
[4]	RO		reserved		保留。																											
[3]	RW		rsvd0		禁止配置。																											
[2:1]	RO		reserved		保留。																											
[0]	RW		drc_on		DRC 使能。 0: 禁止; 1: 使能。																											

## DRC\_CTRL

DRC\_CTRL 为 DRC 模块控制寄存器。



	Offset Address 0x20408								Register Name DRC_CTRL								Total Reset Value 0x0040_8012															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								slope_min				slope_max				variance_intensity				variance_space											
Reset	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:16]	RW	slope_min		限制可由自适应算法生成的最小斜率(增益)。																											
	[15:8]	RW	slope_max		限制可由自适应算法生成的最大斜率(增益)。																											
	[7:4]	RW	variance_intensity		设置算法亮度敏感程度。																											
	[3:0]	RW	variance_space		设置算法空域敏感程度。																											

## DRC\_BLACK\_LEVEL

DRC\_BLACK\_LEVEL 为 DRC 黑电平寄存器。

	Offset Address 0x20410								Register Name DRC_BLACK_LEVEL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								black_level																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:20]	RO	reserved		保留。																											
	[19:0]	RW	black_level		DRC 黑电平。低于该值的像素点不会受 DRC 影响。																											

## DRC\_WHITE\_LEVEL

DRC\_WHITE\_LEVEL 为 DRC 白电平寄存器。



Offset Address		Register Name		Total Reset Value				
0x20414		DRC_WHITE_LEVEL		0x000F_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				white_level			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:0]	RW	white_level	DRC 白电平。高于该值的像素点不会受 DRC 影响。					

### DRC\_STRENGTH\_INROI

DRC\_STRENGTH\_INROI 为 DRC 感兴趣区域内强度寄存器。

Offset Address		Register Name		Total Reset Value					
0x20420		DRC_STRENGTH_INROI		0x0200_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		strength_inroi			reserved			rsvd
Reset	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	strength_inroi	感兴趣区域内手动设置强度。						
[15:2]	RO	reserved	保留。						
[1:0]	RW	rsvd	禁止配置。						

### DRC\_STRENGTH\_OUTROI

DRC\_STRENGTH\_OUTROI 为 DRC 感兴趣区域内强度及水平起始点寄存器。



Offset Address		Register Name		Total Reset Value					
0x20424		DRC_STRENGTH_OUTROI		0x0000_0200					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	roihorstart				reserved		strength_outroi		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	roihorstart	感兴趣区域水平起始点。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	strength_outroi	感兴趣区域外手动设置强度。						

## DRC\_ROI\_HOR\_START\_END

DRC\_ROI\_HOR\_START\_END 为 DRC 感兴趣区域垂直起始点及水平结束点寄存器。

Offset Address		Register Name		Total Reset Value				
0x20428		DRC_ROI_HOR_START_END		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	roiverstart				roi_hor_end			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	roiverstart	感兴趣区域垂直起始点。					
[15:0]	RW	roi_hor_end	感兴趣区域水平结束点。					

## DRC\_ROI\_VER\_END

DRC\_ROI\_VER\_END 为 DRC 感兴趣区域垂直结束点寄存器。

Offset Address		Register Name		Total Reset Value				
0x2042C		DRC_ROI_VER_END		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				roi_ver_end			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					



Offset Address		Register Name		Total Reset Value				
0x2042C		DRC_ROI_VER_END		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				roi_ver_end			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[15:0]	RW	roi_ver_end	感兴趣区域垂直结束点。					

## DRC\_FILTER\_MUX

DRC\_FILTER\_MUX 为 DRC 算法控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x20430		DRC_FILTER_MUX		0xB0A0_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	contrast		bright_pr		reserved	svariance		reserved	filter_mux
Reset	1 0 1 1	0 0 0 0	1 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	contrast	drc 算法 2 对比度控制参数。						
[23:16]	RW	bright_pr	手动控制 drc Bright_Preserve 参数。						
[15:12]	RO	reserved	保留。						
[11:8]	RW	svariance	图像不同区域，drc 算法 2 的变换灵敏度。						
[7:1]	RO	reserved	保留。						
[0]	RW	filter_mux	drc 算法 2 和算法 1 选择。 0: 算法 1; 1: 算法 2。						

## DRC\_DARK\_ENH

DRC\_DARK\_ENH 为 DRC Dark\_Enhance 参数设置寄存器。





Offset Address		Register Name		Total Reset Value					
0x20434		DRC_DARK_ENH		0x0000_1000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				dark_enh				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	dark_enh	手动控制 drc Dark_Enhance 参数。						

## DRC\_MCU\_READY

DRC\_MCU\_READY 为 DRC LUT 状态指示寄存器。

Offset Address		Register Name		Total Reset Value					
0x20438		DRC_MCU_READY		0x0000_0006					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						mcu_ready_rev	mcu_ready_fwd	mcu_priority
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	
Bits	Access	Name	Description						
[31:3]	RO	reserved	保留。						
[2]	RO	mcu_ready_rev	rev_percept LUT 状态指示，为 1 时表示 LUT 准备好从 CPU 接收数据。						
[1]	RO	mcu_ready_fwd	fwd_percept LUT 状态指示，为 1 时表示 LUT 准备好从 CPU 接收数据。						
[0]	RO	mcu_priority	CPU 写 LUT 的优先级。 0: 低; 1: 高。						

## DEMOSAIC\_VH\_SLOPE

DEMOSAIC\_VH\_SLOPE 为 DEMOSAIC 垂直/水平混合阈值的斜率寄存器。



Offset Address		Register Name		Total Reset Value					
0x20480		DEMOSAIC_VH_SLOPE		0x0000_00C0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						vh_slope		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	vh_slope	垂直/水平混合阈值的斜率，4.4 格式的对数。						

## DEMOSAIC\_AA\_SLOPE

DEMOSAIC\_AA\_SLOPE 为 DEMOSAIC 角度混合阈值的斜率寄存器。

Offset Address		Register Name		Total Reset Value					
0x20484		DEMOSAIC_AA_SLOPE		0x0000_00C0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						aa_slope		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	aa_slope	角度混合阈值的斜率，4.4 格式的对数。						

## DEMOSAIC\_VA\_SLOPE

DEMOSAIC\_VA\_SLOPE 为 DEMOSAIC VH-AA(VA)混合阈值的斜率寄存器。

Offset Address		Register Name		Total Reset Value					
0x20488		DEMOSAIC_VA_SLOPE		0x0000_00AA					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						va_slope		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	1 0 1 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	va_slope	VH-AA(VA)混合阈值的斜率，4.4 格式的对数。						



## DEMOSAIC\_UU\_SLOPE

DEMOSAIC\_UU\_SLOPE 为 DEMOSAIC 未定义混合阈值的斜率寄存器。

Offset Address		Register Name		Total Reset Value					
0x2048C		DEMOSAIC_UU_SLOPE		0x0000_00AD					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						uu_slope		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	1 1 0 1	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	uu_slope	未定义混合阈值的斜率，4.4 格式的对数。						

## DEMOSAIC\_SAT\_SLOPE

DEMOSAIC\_SAT\_SLOPE 为 DEMOSAIC 饱和度混合阈值的斜率寄存器。

Offset Address		Register Name		Total Reset Value					
0x20490		DEMOSAIC_SAT_SLOPE		0x0000_005D					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						sat_slope		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	1 1 0 1	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	sat_slope	饱和度混合阈值的斜率，线性 2.6 格式。						

## DEMOSAIC\_VH\_THRESH

DEMOSAIC\_VH\_THRESH 为 DEMOSAIC 垂直/水平混合范围的阈值寄存器。



Offset Address		Register Name		Total Reset Value					
0x20494		DEMOSAIC_VH_THRESH		0x0000_0131					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						vh_thresh		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 1	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	vh_thresh	垂直/水平混合范围的阈值。						

## DEMOSAIC\_AA\_THRESH

DEMOSAIC\_AA\_THRESH 为 DEMOSAIC 角度混合范围的阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x20498		DEMOSAIC_AA_THRESH		0x0000_00A0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						aa_thresh		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	aa_thresh	角度混合范围的阈值。						

## DEMOSAIC\_VA\_THRESH

DEMOSAIC\_VA\_THRESH 为 DEMOSAIC VA 混合范围的阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x2049C		DEMOSAIC_VA_THRESH		0x0000_0070					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						va_thresh		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	va_thresh	VA 混合范围的阈值。						



## DEMOSAIC\_UU\_THRESH

DEMOSAIC\_UU\_THRESH 为 DEMOSAIC 未定义混合范围的阈值寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x204A0	DEMOSAIC_UU_THRESH	0x0000_0171															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved										uu_thresh							
Reset	0 1 0 1 1 1 0 0 0 1																	
	Bits	Access	Name	Description														
	[31:12]	RO	reserved	保留。														
	[11:0]	RW	uu_thresh	未定义混合范围的阈值。														

## DEMOSAIC\_SAT\_THRESH

DEMOSAIC\_SAT\_THRESH 为 DEMOSAIC 饱和度混合范围的阈值寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x204A4	DEMOSAIC_SAT_THRESH	0x0000_0171															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved										sat_thresh							
Reset	0 1 0 1 1 1 0 0 0 1																	
	Bits	Access	Name	Description														
	[31:12]	RO	reserved	保留。														
	[11:0]	RW	sat_thresh	饱和度混合范围的阈值，格式为有符号数 2.9。														

## DEMOSAIC\_VH\_OFFSET

DEMOSAIC\_VH\_OFFSET 为 DEMOSAIC 垂直/水平混合阈值偏移寄存器。



Offset Address		Register Name		Total Reset Value					
0x204A8		DEMOSAIC_VH_OFFSET		0x0000_0800					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					vh_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	vh_offset	垂直/水平混合阈值偏移。						

## DEMOSAIC\_AA\_OFFSET

DEMOSAIC\_AA\_OFFSET 为 DEMOSAIC 角度混合阈值偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x204AC		DEMOSAIC_AA_OFFSET		0x0000_0800					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					aa_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	aa_offset	角度混合阈值偏移。						

## DEMOSAIC\_VA\_OFFSET

DEMOSAIC\_VA\_OFFSET 为 DEMOSAIC VA 混合阈值偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x204B0		DEMOSAIC_VA_OFFSET		0x0000_0800					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					va_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	va_offset	VA 混合阈值偏移。						



## DEMOSAIC\_UU\_OFFSET

DEMOSAIC\_UU\_OFFSET 为 DEMOSAIC 未定义混合阈值偏移寄存器。

Offset Address		Register Name		Total Reset Value						
0x204B4		DEMOSAIC_UU_OFFSET		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						uu_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	uu_offset	未定义混合阈值偏移。							

## DEMOSAIC\_SAT\_OFFSET

DEMOSAIC\_SAT\_OFFSET 为 DEMOSAIC 饱和度混合阈值偏移寄存器。

Offset Address		Register Name		Total Reset Value						
0x204B8		DEMOSAIC_SAT_OFFSET		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						sat_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	sat_offset	饱和度混合阈值偏移，格式为 2.9。							

## DEMOSAIC\_SHARP\_ALT\_D

DEMOSAIC\_SHARP\_ALT\_D 为 DEMOSAIC 方向性化的锐化屏蔽强度寄存器。



Offset Address		Register Name		Total Reset Value					
0x204BC		DEMOSAIC_SHARP_ALT_D		0x0000_0030					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						sharp_alt_d		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	sharp_alt_d	方向性的锐化屏蔽强度，4.4 格式的有符号数。						

## DEMOSAIC\_SHARP\_ALT\_UD

DEMOSAIC\_SHARP\_ALT\_UD 为 DEMOSAIC 非方向性的锐化屏蔽强度寄存器。

Offset Address		Register Name		Total Reset Value					
0x204C0		DEMOSAIC_SHARP_ALT_UD		0x0000_0020					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						sharp_alt_ud		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	sharp_alt_ud	非方向性的锐化屏蔽强度，4.4 格式的有符号数。						

## DEMOSAIC\_LUM\_THRESH

DEMOSAIC\_LUM\_THRESH 为 DEMOSAIC 方向性的锐化亮度阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x204C4		DEMOSAIC_LUM_THRESH		0x0000_0060					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						lum_thresh		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	lum_thresh	方向性的锐化亮度阈值。						





## DEMOSAIC\_NP\_OFFSET

DEMOSAIC\_NP\_OFFSET 为 DEMOSAIC 噪点配置偏移寄存器。

Offset Address		Register Name		Total Reset Value						
0x204C8		DEMOSAIC_NP_OFFSET		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						np_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	np_offset	噪点配置偏移，4.4 格式的对数。							

## DEMOSAIC\_DMSC\_CONFIG

DEMOSAIC\_DMSC\_CONFIG 为 DEMOSAIC 调试输出选择。

Offset Address		Register Name		Total Reset Value						
0x204CC		DEMOSAIC_DMSC_CONFIG		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						dmisc_config			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	dmisc_config	调试输出选择，设置为 0x00 为正常模式。							

## DEMOSAIC\_AC\_THRESH

DEMOSAIC\_AC\_THRESH 为 DEMOSAIC AC 混合范围的阈值寄存器。



Offset Address		Register Name		Total Reset Value					
0x204D0		DEMOSAIC_AC_THRESH		0x0000_01B3					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						ac_thresh		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 1 1	0 0 1 1	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	ac_thresh	AC 混合范围的阈值，2.9 格式的符号数。						

## DEMOSAIC\_AC\_SLOPE

DEMOSAIC\_AC\_SLOPE 为 DEMOSAIC AC 混合阈值的斜率寄存器。

Offset Address		Register Name		Total Reset Value					
0x204D4		DEMOSAIC_AC_SLOPE		0x0000_00CF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						ac_slope		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	ac_slope	AC 混合阈值的斜率，线性 2.6 格式。						

## DEMOSAIC\_AC\_OFFSET

DEMOSAIC\_AC\_OFFSET 为 DEMOSAIC AC 混合阈值偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x204D8		DEMOSAIC_AC_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						ac_offset		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	ac_offset	AC 混合阈值偏移，2.9 格式的符号数。						



## DEMOSAIC\_FC\_SLPOE

DEMOSAIC\_FC\_SLPOE 为 DEMOSAIC 伪颜色校正斜率(强度)寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x204DC				DEMOSAIC_FC_SLPOE				0x0000_0080																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												fc_slope																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7:0]	RW	fc_slope		伪颜色校正斜率(强度)。																											

## DEMOSAIC\_FC\_ALIAS\_SLPOE

DEMOSAIC\_FC\_ALIAS\_SLPOE 为 DEMOSAIC 伪颜色校正斜率(强度)寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x204E0				DEMOSAIC_FC_ALIAS_SLPOE				0x0000_0055																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												fc_alias_slope																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7:0]	RW	fc_alias_slope		饱和度值为无符号数 2.6 格式时伪颜色校正斜率(强度)。																											

## DEMOSAIC\_FC\_ALIAS\_THRESH

DEMOSAIC\_FC\_ALIAS\_THRESH 为 DEMOSAIC 去伪彩门限值寄存器。



Offset Address		Register Name		Total Reset Value						
0x204E4		DEMOSAIC_FC_ALIAS_THRESH		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						fc_alias_thresh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	fc_alias_thresh	饱和度值为 U0.8 格式时去伪彩门限值。							

## DEMOSAIC\_NP\_OFF

DEMOSAIC\_NP\_OFF 为 DEMOSAIC 噪声黑电平偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x204EC		DEMOSAIC_NP_OFF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						np_off_reflect	np_off	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7]	RW	np_off_reflect	黑电平之下的值获取方式。 0: 重复第一个表的输入; 1: 映射噪声曲线黑电平下的部分。						
[6:0]	RW	np_off	噪声黑电平偏移。						

## DEMOSAIC\_SHARP

DEMOSAIC\_SHARP 为 DEMOSAIC Sharpen 强度寄存器。



Offset Address		Register Name		Total Reset Value					
0x204F0		DEMOSAIC_SHARP		0x1010_1010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	sad_amp		sharp_alt_lu		sharp_alt_ldu		sharp_alt_ld		
Reset	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	sad_amp	Sad 放大器，格式为无符号数 4.4。						
[23:16]	RW	sharp_alt_lu	L_Lu Sharpen 强度，格式为无符号数 4.4。						
[15:8]	RW	sharp_alt_ldu	L_Ldu Sharpen 强度，格式为无符号数 4.4。						
[7:0]	RW	sharp_alt_ld	L_Ld Sharpen 强度，格式为无符号数 4.4。						

## DEMOSAIC\_MIN\_THRESHOLD

DEMOSAIC\_MIN\_THRESHOLD 为 DEMOSAIC 阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x204F4		DEMOSAIC_MIN_THRESHOLD		0x1F48_1F33					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	min_ud_strength			reserved	min_d_strength			
Reset	0 0 0 1	1 1 1 1	0 1 0 0	1 0 0 0	0 0 0 1	1 1 1 1	0 0 1 1	0 0 1 1	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	min_ud_strength	L_Lu 非方向性最小阈值，有符号数 12bit，2 进制补码。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	min_d_strength	L_L 方向性最小阈值，有符号数 12bit，2 进制补码。						

## DEMOSAIC\_SHARPEN\_ALG\_SELECT

DEMOSAIC\_SHARPEN\_ALG\_SELECT 为 DEMOSAIC 新的 Sharpen 算法切换寄存器。



Offset Address		Register Name		Total Reset Value					
0x204F8		DEMOSAIC_SHARPEN_ALG_SELEC T		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								sharpen_alg_select
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	sharpen_alg_select	新的 Sharpen 算法切换。 0: 禁止; 1: 切换到新算法。						

## COLOR\_MATRIX\_COEFFT\_RR

COLOR\_MATRIX\_COEFFT\_RR 为 COLOR\_MATRIX R-R 倍数的矩阵系数寄存器。

Offset Address		Register Name		Total Reset Value					
0x20500		COLOR_MATRIX_COEFFT_RR		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					coefftr_r			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	coefftr_r	R-R 倍数的矩阵系数。 格式: 符号数, 4.8 比特, 定点。						

## COLOR\_MATRIX\_COEFFT\_RG

COLOR\_MATRIX\_COEFFT\_RG 为 COLOR\_MATRIX R-G 倍数的矩阵系数寄存器。



Offset Address		Register Name		Total Reset Value				
0x20504		COLOR_MATRIX_COEFFT_RG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				coefftr_g			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	coefftr_g	R-G 倍数的矩阵系数。 格式：符号数，4.8 比特，定点。					

## COLOR\_MATRIX\_COEFFT\_RB

COLOR\_MATRIX\_COEFFT\_RB 为 COLOR\_MATRIX R-B 倍数的矩阵系数寄存器。

Offset Address		Register Name		Total Reset Value				
0x20508		COLOR_MATRIX_COEFFT_RB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				coefftr_b			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	coefftr_b	R-B 倍数的矩阵系数。 格式：符号数，4.8 比特，定点。					

## COLOR\_MATRIX\_COEFFT\_GR

COLOR\_MATRIX\_COEFFT\_GR 为 COLOR\_MATRIX G-R 倍数的矩阵系数寄存器。

Offset Address		Register Name		Total Reset Value				
0x2050C		COLOR_MATRIX_COEFFT_GR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				coefftr_r			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					



[15:0]	RW	coefftg_r	G-R 倍数的矩阵系数。 格式：符号数，4.8 比特，定点。
--------	----	-----------	-----------------------------------

## COLOR\_MATRIX\_COEFFT\_GG

COLOR\_MATRIX\_COEFFT\_GG 为 COLOR\_MATRIX G-G 倍数的矩阵系数寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x20510	COLOR_MATRIX_COEFFT_GG	0x0000_0100						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefftg_g				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	coefftg_g	G-G 倍数的矩阵系数。 格式：符号数，4.8 比特，定点。						

## COLOR\_MATRIX\_COEFFT\_GB

COLOR\_MATRIX\_COEFFT\_GB 为 COLOR\_MATRIX G-B 倍数的矩阵系数寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x20514	COLOR_MATRIX_COEFFT_GB	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefftg_b				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	coefftg_b	G-B 倍数的矩阵系数。 格式：符号数，4.8 比特，定点。						

## COLOR\_MATRIX\_COEFFT\_BR

COLOR\_MATRIX\_COEFFT\_BR 为 COLOR\_MATRIX B-R 倍数的矩阵系数寄存器。





Offset Address		Register Name		Total Reset Value				
0x20518		COLOR_MATRIX_COEFFT_BR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				coefft_b_r			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	coefft_b_r	B-R 倍数的矩阵系数。 格式：符号数，4.8 比特，定点。					

## COLOR\_MATRIX\_COEFFT\_BG

COLOR\_MATRIX\_COEFFT\_BG 为 COLOR\_MATRIX B-G 倍数的矩阵系数寄存器。

Offset Address		Register Name		Total Reset Value				
0x2051C		COLOR_MATRIX_COEFFT_BG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				coefft_b_g			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	coefft_b_g	B-G 倍数的矩阵系数。 格式：符号数，4.8 比特，定点。					

## COLOR\_MATRIX\_COEFFT\_BB

COLOR\_MATRIX\_COEFFT\_BB 为 COLOR\_MATRIX B-B 倍数的矩阵系数寄存器。

Offset Address		Register Name		Total Reset Value				
0x20520		COLOR_MATRIX_COEFFT_BB		0x0000_0100				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				coefft_b_b			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					



[15:0]	RW	coefftb_b	B-B 倍数的矩阵系数。 格式：符号数，4.8 比特，定点。
--------	----	-----------	-----------------------------------

## COLOR\_MATRIX\_CTRL

COLOR\_MATRIX\_CTRL 为 COLOR\_MATRIX 使能寄存器。

	Offset Address	Register Name	Total Reset Value
	0x20524	COLOR_MATRIX_CTRL	0x0000_0001
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 1		
	Bits	Access	Name
	[31:1]	RO	reserved
	[0]	RW	enable
			Description
			保留。
			Color_Matrix 使能。 0：禁止； 1：使能。

## COLOR\_MATRIX\_COEFFT\_WBR

COLOR\_MATRIX\_COEFFT\_WBR 为 COLOR\_MATRIX R 白平衡增益寄存器。

	Offset Address	Register Name	Total Reset Value
	0x20528	COLOR_MATRIX_COEFFT_WBR	0x0000_0100
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 1   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:16]	RO	reserved
	[15:0]	RW	coefft_wb_r
			Description
			保留。
			R 白平衡增益。 格式：符号数，4.8 比特，定点。



## COLOR\_MATRIX\_COEFFT\_WBG

COLOR\_MATRIX\_COEFFT\_WBG 为 COLOR\_MATRIX G 白平衡增益寄存器。

Offset Address		Register Name		Total Reset Value					
0x2052C		COLOR_MATRIX_COEFFT_WBG		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefft_wb_g				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	coefft_wb_g	G 白平衡增益。 格式：符号数，4.8 比特，定点。						

## COLOR\_MATRIX\_COEFFT\_WBB

COLOR\_MATRIX\_COEFFT\_WBB 为 COLOR\_MATRIX B 白平衡增益寄存器。

Offset Address		Register Name		Total Reset Value					
0x20530		COLOR_MATRIX_COEFFT_WBB		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefft_wb_b				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	coefft_wb_b	B 白平衡增益。 格式：符号数，4.8 比特，定点。						

## COLOR\_MATRIX\_COEFFT\_FOG\_OFFSETR

COLOR\_MATRIX\_COEFFT\_FOG\_OFFSETR 为 COLOR\_MATRIX 颜色矩阵 R 偏移。



Offset Address		Register Name		Total Reset Value					
0x20534		COLOR_MATRIX_COEFFT_FOG_OF FSETR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					coefft_fog_offset_r			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	coefft_fog_offset_r	R 分量偏移。 格式：无符号 12bit，整数。						

## COLOR\_MATRIX\_COEFFT\_FOG\_OFFSETG

COLOR\_MATRIX\_COEFFT\_FOG\_OFFSETG 为 COLOR\_MATRIX 颜色矩阵 G 偏移。

Offset Address		Register Name		Total Reset Value					
0x20538		COLOR_MATRIX_COEFFT_FOG_OF FSETG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					coefft_fog_offset_g			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	coefft_fog_offset_g	G 分量偏移。 格式：无符号 12bit，整数。						

## COLOR\_MATRIX\_COEFFT\_FOG\_OFFSETB

COLOR\_MATRIX\_COEFFT\_FOG\_OFFSETB 为 COLOR\_MATRIX 颜色矩阵 B 偏移。



Offset Address		Register Name		Total Reset Value					
0x2053C		COLOR_MATRIX_COEFFT_FOG_OF FSETB		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					coefft_fog_offset_b			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	保留。						
[11:0]	RW	coefft_fog_offset_b	B 分量偏移。 格式：无符号 12bit，整数。						

## GAMMA\_RGB\_CTRL

GAMMA\_RGB\_CTRL 为 GAMMA\_RGB 控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x20580		GAMMA_RGB_CTRL		0x0000_0081							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						mcu_priority	reserved	bank_select	reserved	enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 1		
Bits	Access	Name	Description								
[31:8]	RO	reserved	保留。								
[7]	RW	mcu_priority	CPU 写 LUT 优先级。 0：低； 1：高。								
[6:5]	RO	reserved	保留。								
[4]	RW	bank_select	LUT RAM Bank 选择控制。 0：GAMMA_RGB 选择 bank 0； 1：GAMMA_RGB 选择 bank 1。								
[3:1]	RO	reserved	保留。								



[0]	RW	enable	Gamma RGB 使能。 0: 禁止; 1: 使能。
-----	----	--------	-----------------------------------

## GAMMA\_RGB\_MCU\_READY

GAMMA\_RGB\_MCU\_READY 为 GAMMA\_RGB LUT 从 CPU 接收数据状态标志。

Offset Address		Register Name		Total Reset Value					
0x20584		GAMMA_RGB_MCU_READY		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								mcu_ready
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	mcu_ready	为 1 时表示 LUT 准备好从 CPU 接收数据。						

## DITHER\_CTRL

DITHER\_CTRL 为 DITHER 控制寄存器。

Offset Address		Register Name		Total Reset Value						
0x20680		DITHER_CTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						shift_mode	reserved	dither_amount	enable_dither
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:5]	RO	reserved	保留。							



[4]	RW	shift_mode	输出模式选择。 0: 输出采用 LSB 对齐方式; 1: 输出采用 MSB 对齐方式。
[3]	RO	reserved	保留。
[2:1]	RW	dither_amount	模式选择。 00: 输出比特位宽调整到 9bits; 01: 输出比特位宽调整到 8bits; 10: 输出比特位宽调整到 7bits; 11: 输出比特位宽调整到 6bits。
[0]	RW	enable_dither	使能 dithering 模块。 0: 禁止; 1: 使能。

## STATISTICS\_HIST\_THRESH\_0\_1

STATISTICS\_HIST\_THRESH\_0\_1 为 Bin 0/1 边界的直方图阈值寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x20700	STATISTICS_HIST_THRESH_0_1	0x0000_0010	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
		19 18 17 16	15 14 13 12	
			11 10 9 8	
			7 6 5 4	
			3 2 1 0	
Name	reserved			
	hist_thresh_0_1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description	
[31:8]	RO	reserved	保留。	
[7:0]	RW	hist_thresh_0_1	Bin 0/1 边界的直方图阈值。	

## STATISTICS\_HIST\_THRESH\_1\_2

STATISTICS\_HIST\_THRESH\_1\_2 为 Bin 1/2 边界的直方图阈值寄存器。



Offset Address		Register Name		Total Reset Value					
0x20704		STATISTICS_HIST_THRESH_1_2		0x0000_0020					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						hist_thresh_1_2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	hist_thresh_1_2	Bin 1/2 边界的直方图阈值。						

### STATISTICS\_HIST\_THRESH\_3\_4

STATISTICS\_HIST\_THRESH\_3\_4 为 Bin 2/3 边界的直方图阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x20708		STATISTICS_HIST_THRESH_3_4		0x0000_00D0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						hist_thresh_3_4		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	hist_thresh_3_4	Bin 2/3 边界的直方图阈值。						

### STATISTICS\_HIST\_THRESH\_4\_5

STATISTICS\_HIST\_THRESH\_4\_5 为 Bin 3/4 边界的直方图阈值。

Offset Address		Register Name		Total Reset Value					
0x2070C		STATISTICS_HIST_THRESH_4_5		0x0000_00E0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						hist_thresh_4_5		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	hist_thresh_4_5	Bin 3/4 边界的直方图阈值。						





## STATISTICS\_HIST\_0

STATISTICS\_HIST\_0 为 Bin 0 的归一化直方化结果寄存器。

Offset Address		Register Name		Total Reset Value				
0x20720		STATISTICS_HIST_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hist_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	hist_0	Bin 0 的归一化直方化结果。					

## STATISTICS\_HIST\_1

STATISTICS\_HIST\_1 为 Bin 1 的归一化直方化结果寄存器。

Offset Address		Register Name		Total Reset Value				
0x20724		STATISTICS_HIST_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hist_1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	hist_1	Bin 1 的归一化直方化结果。					

## STATISTICS\_HIST\_3

STATISTICS\_HIST\_3 为 Bin 3 的归一化直方化结果寄存器。



Offset Address		Register Name		Total Reset Value				
0x20728		STATISTICS_HIST_3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hist3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	hist3	Bin 3 的归一化直方化结果。					

## STATISTICS\_HIST\_4

STATISTICS\_HIST\_4 为 Bin 4 的归一化直方化结果寄存器。

Offset Address		Register Name		Total Reset Value				
0x2072C		STATISTICS_HIST_4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hist_4			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	hist_4	Bin 4 的归一化直方化结果。					

## STATISTICS\_AEXP\_NODES\_USED

STATISTICS\_AEXP\_NODES\_USED 为 AE 有效区域寄存器。

Offset Address		Register Name		Total Reset Value				
0x20730		STATISTICS_AEXP_NODES_USED		0x0000_0F11				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				aexp_nodes_used_vert		aexp_nodes_used_horiz	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 1	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:8]	RW	aexp_nodes_used_vert	AE 垂直有效区域数目。					



[7:0]	RW	aexp_nodes_used_horiz	AE 水平有效区域数目。
-------	----	-----------------------	--------------

## STATISTICS\_WHITE\_LEVEL\_AWB

STATISTICS\_WHITE\_LEVEL\_AWB 为 RGB 域 AWB 统计白点的亮度上限寄存器。

Offset Address		Register Name		Total Reset Value						
0x20740		STATISTICS_WHITE_LEVEL_AWB		0x0000_03FF						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						white_level_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 1	1 1 1 1		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9:0]	RW	white_level_awb	RGB 域 AWB 统计白点的亮度数据上限。							

## STATISTICS\_BLACK\_LEVEL\_AWB

STATISTICS\_BLACK\_LEVEL\_AWB 为 RGB 域 AWB 统计白点的亮度下限寄存器。

Offset Address		Register Name		Total Reset Value						
0x20744		STATISTICS_BLACK_LEVEL_AWB		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						black_level_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9:0]	RW	black_level_awb	RGB 域 AWB 统计白点的亮度下限。							

## STATISTICS\_CR\_REF\_MAX\_AWB

STATISTICS\_CR\_REF\_MAX\_AWB 为 RGB 域 AWB 统计白点的色度 R/G 上限寄存器。



Offset Address		Register Name		Total Reset Value					
0x20748		STATISTICS_CR_REF_MAX_AWB		0x0000_01FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cr_ref_max_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	cr_ref_max_awb	RGB 域 AWB 统计白点的色度 R/G 上限。 格式：无符号数，4.8bit，定点。						

### STATISTICS\_CR\_REF\_MIN\_AWB

STATISTICS\_CR\_REF\_MIN\_AWB 为 RGB 域 AWB 统计白点的色度 R/G 下限寄存器。

Offset Address		Register Name		Total Reset Value					
0x2074C		STATISTICS_CR_REF_MIN_AWB		0x0000_0040					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cr_ref_min_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	cr_ref_min_awb	RGB 域 AWB 统计白点的色度 R/G 下限。 格式：无符号数，4.8bit，定点。						

### STATISTICS\_CB\_REF\_MAX\_AWB

STATISTICS\_CB\_REF\_MAX\_AWB 为 RGB 域 AWB 统计白点的色度 B/G 上限寄存器。



Offset Address		Register Name		Total Reset Value						
0x20750		STATISTICS_CB_REF_MAX_AWB		0x0000_01FF						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						cb_ref_max_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	1 1 1 1		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	cb_ref_max_awb	RGB 域 AWB 统计白点的色度 B/G 上限。 格式：无符号数，4.8bit，定点。							

## STATISTICS\_CB\_REF\_MIN\_AWB

STATISTICS\_CB\_REF\_MIN\_AWB 为 RGB 域 AWB 统计白点的色度 B/G 下限寄存器。

Offset Address		Register Name		Total Reset Value						
0x20754		STATISTICS_CB_REF_MIN_AWB		0x0000_0040						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						cb_ref_min_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	cb_ref_min_awb	RGB 域 AWB 统计白点的色度 B/G 下限。 格式：无符号数，4.8bit，定点。							

## STATISTICS\_AWB\_RG

STATISTICS\_AWB\_RG 为 RGB 域 AWB 统计 G/R 均值寄存器。

Offset Address		Register Name		Total Reset Value						
0x20758		STATISTICS_AWB_RG		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						awb_rg			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							



[11:0]	RO	awb_rg	RGB 域 AWB 统计 G/R 均值。 格式：无符号数，4.8bit，定点。
--------	----	--------	--

## STATISTICS\_AWB\_BG

STATISTICS\_AWB\_BG 为 RGB 域 AWB 统计 G/B 均值寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x2075C				STATISTICS_AWB_BG								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												awb_bg																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RO	awb_bg		RGB 域 AWB 统计 G/B 均值。 格式：无符号数，4.8bit，定点。																											

## STATISTICS\_AWB\_SUM

STATISTICS\_AWB\_SUM 为 RGB 域 AWB 统计的白点个数寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20760				STATISTICS_AWB_SUM								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	awb_sum																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	awb_sum		RGB 域 AWB 统计的白点个数，格式为 32bit 整数。																											

## STATISTICS\_AWB\_STATS\_MODE

STATISTICS\_AWB\_STATS\_MODE 为 RGB 域 AWB 统计结果输出模式选择寄存器。



Offset Address		Register Name		Total Reset Value																												
0x20768		STATISTICS_AWB_STATS_MODE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															awb_stats_mode																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	RO		reserved		保留。																											
[0]	RW		awb_stats_mode		RGB 域 AWB 统计结果输出模式选择。 0: legacy(G/R,B/R); 1: current (R/G, B/G)。																											

## STATISTICS\_AWB\_NODES\_USED

STATISTICS\_AWB\_NODES\_USED 为 RGB 域 AWB 统计分区个数寄存器。

Offset Address		Register Name		Total Reset Value																												
0x20770		STATISTICS_AWB_NODES_USED		0x0000_2020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											awb_nodes_used_vert				awb_nodes_used_horiz																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:8]	RW		awb_nodes_used_vert		AWB 垂直区域个数。																											
[7:0]	RW		awb_nodes_used_horiz		AWB 水平区域个数。																											

## STATISTICS\_CR\_REF\_HIGH\_AWB

STATISTICS\_CR\_REF\_HIGH\_AWB 为 RGB 域 AWB 统计白点的色度 R/G 六边形上限寄存器。



Offset Address		Register Name		Total Reset Value					
0x20780		STATISTICS_CR_REF_HIGH_AWB		0x0000_0FFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cr_ref_high_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	cr_ref_high_awb	RGB 域 AWB 统计白点的色度 R/G 六边形上限，格式为无符号数 4.8 定点。						

## STATISTICS\_CR\_REF\_LOW\_AWB

STATISTICS\_CR\_REF\_LOW\_AWB 为 RGB 域 AWB 统计白点的色度 R/G 六边形下限寄存器。

Offset Address		Register Name		Total Reset Value					
0x20784		STATISTICS_CR_REF_LOW_AWB		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cr_ref_low_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	cr_ref_low_awb	RGB 域 AWB 统计白点的色度 R/G 六边形下限，格式为无符号数 4.8 定点。						

## STATISTICS\_CB\_REF\_HIGH\_AWB

STATISTICS\_CB\_REF\_HIGH\_AWB 为 RGB 域 AWB 统计白点的色度 B/G 六边形上限寄存器。





Offset Address		Register Name		Total Reset Value					
0x20788		STATISTICS_CB_REF_HIGH_AWB		0x0000_0FFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cb_ref_high_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	cb_ref_high_awb	RGB 域 AWB 统计白点的色度 B/G 六边形上限，格式为无符号数 4.8 定点。						

## STATISTICS\_CB\_REF\_LOW\_AWB

STATISTICS\_CB\_REF\_LOW\_AWB 为 RGB 域 AWB 统计白点的色度 B/G 六边形下限寄存器。

Offset Address		Register Name		Total Reset Value					
0x2078C		STATISTICS_CB_REF_LOW_AWB		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cb_ref_low_awb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	cb_ref_low_awb	RGB 域 AWB 统计白点的色度 B/G 六边形下限，格式为无符号数 4.8 定点。						

## STATISTICS\_PLANE\_TOTAL\_0

STATISTICS\_PLANE\_TOTAL\_0 为每个平面处理的总像素寄存器 0。



	Offset Address	Register Name	Total Reset Value
	0x207A0	STATISTICS_PLANE_TOTAL_0	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	plane_total_0	
Reset	0 0		
	<b>Bits</b>	<b>Access</b>	<b>Name</b>
	[31:27]	RO	reserved
	[26:0]	RO	plane_total_0
			<b>Description</b>
			保留。
			平面 0 处理的总像素。

## STATISTICS\_PLANE\_TOTAL\_1

STATISTICS\_PLANE\_TOTAL\_1 为每个平面处理的总像素寄存器 1。

	Offset Address	Register Name	Total Reset Value
	0x207A4	STATISTICS_PLANE_TOTAL_1	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	plane_total_1	
Reset	0 0		
	<b>Bits</b>	<b>Access</b>	<b>Name</b>
	[31:27]	RO	reserved
	[26:0]	RO	plane_total_1
			<b>Description</b>
			保留。
			平面 1 处理的总像素。

## STATISTICS\_PLANE\_TOTAL\_2

STATISTICS\_PLANE\_TOTAL\_2 为每个平面处理的总像素寄存器 2。

	Offset Address	Register Name	Total Reset Value
	0x207A8	STATISTICS_PLANE_TOTAL_2	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	plane_total_2	
Reset	0 0		
	<b>Bits</b>	<b>Access</b>	<b>Name</b>
	[31:27]	RO	reserved
	[26:0]	RO	plane_total_2
			<b>Description</b>
			保留。
			平面 2 处理的总像素。



## STATISTICS\_PLANE\_TOTAL\_3

STATISTICS\_PLANE\_TOTAL\_3 为每个平面处理的总像素寄存器 3。

	Offset Address				Register Name								Total Reset Value																			
	0x207AC				STATISTICS_PLANE_TOTAL_3								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				plane_total_3																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:27]	RO	reserved		保留。																											
	[26:0]	RO	plane_total_3		平面 3 处理的总像素。																											

## STATISTICS\_PLANE\_COUNTED\_0

STATISTICS\_PLANE\_COUNTED\_0 为每个平面总像素的累加和寄存器 0。

	Offset Address				Register Name								Total Reset Value																			
	0x207B0				STATISTICS_PLANE_COUNTED_0								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				plane_counted_0																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:27]	RO	reserved		保留。																											
	[26:0]	RO	plane_counted_0		平面 0 总像素的累加和。																											

## STATISTICS\_PLANE\_COUNTED\_1

STATISTICS\_PLANE\_COUNTED\_1 为每个平面总像素的累加和寄存器 1。



	Offset Address				Register Name								Total Reset Value																			
	0x207B4				STATISTICS_PLANE_COUNTED_1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				plane_counted_1																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:27]	RO		reserved				保留。																									
[26:0]	RO		plane_counted_1				平面 1 总像素的累加和。																									

### STATISTICS\_PLANE\_COUNTED\_2

STATISTICS\_PLANE\_COUNTED\_2 为每个平面总像素的累加和寄存器 2。

	Offset Address				Register Name								Total Reset Value																			
	0x207B8				STATISTICS_PLANE_COUNTED_2								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				plane_counted_2																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:27]	RO		reserved				保留。																									
[26:0]	RO		plane_counted_2				平面 2 总像素的累加和。																									

### STATISTICS\_PLANE\_COUNTED\_3

STATISTICS\_PLANE\_COUNTED\_3 为每个平面总像素的累加和寄存器 3。

	Offset Address				Register Name								Total Reset Value																			
	0x207BC				STATISTICS_PLANE_COUNTED_3								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				plane_counted_3																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:27]	RO		reserved				保留。																									
[26:0]	RO		plane_counted_3				平面 3 总像素的累加和。																									



## STATISTICS\_HISTOGRAM\_CTRL

STATISTICS\_HISTOGRAM\_CTRL 为 Histogram 控制寄存器。

	Offset Address	Register Name	Total Reset Value								
	0x207C0	STATISTICS_HISTOGRAM_CTRL	0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						plane_mode	offsety	skippy	offsetx	skipx
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:11]	RO	reserved	保留。								
[10:8]	RW	plane_mode	拆分模式选择。 000: 收集所有面放于一个直方图; 001: 收集的 4 个 Bayer 面放于 4 个独立的 banks; 010: 保留; 011: 保留; 100: 收集面的坐标 x 为奇数, 坐标 y 为奇数的到 bank0, 其余的到 bank1; 101: 收集面的坐标 x 为偶数, 坐标 y 为奇数的到 bank0, 其余的到 bank1; 110: 收集面的坐标 x 为奇数, 坐标 y 为偶数的到 bank0, 其余的到 bank1; 111: 收集面的坐标 x 为偶数, 坐标 y 为偶数的到 bank0, 其余的到 bank1。								
[7]	RW	offsety	开始行选择。 0: 从第一行开始; 1: 从第二行开始。								



[6:4]	RW	skipy	垂直方向上的直方图抽取。 000: 每像素; 001: 每 2 像素; 010: 每 3 像素; 011: 每 4 像素; 100: 每 5 像素; 101: 每 8 像素; 其他: 每 9 像素。
[3]	RW	offsetx	开始列选择。 0: 从第一列开始; 1: 从第二列开始。
[2:0]	RW	skipx	水平方向上的直方图抽取。 000: 每 2 像素; 001: 每 3 像素; 010: 每 4 像素; 011: 每 5 像素; 100: 每 8 像素; 其他: 每 9 像素。

## STATISTICS\_SCALE

STATISTICS\_SCALE 为 SCALE 控制寄存器。

	Offset Address 0x207C4								Register Name STATISTICS_SCALE								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																scale_top				scale_bottom											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits		Access		Name				Description																							
	[31:8]		RO		reserved				保留。																							



[7:4]	RW	scale_top	上半部分缩放率。 000: 1x; 001: 2x; 010: 4x; 011: 8x; 100: 16x; 其它: 保留。
[3:0]	RW	scale_bottom	下半部分缩放率。 000: 1x; 001: 2x; 010: 4x; 011: 8x; 100: 16x; 其它: 保留。

### STATISTICS\_TOTAL\_PIXELS

STATISTICS\_TOTAL\_PIXELS 为 STATISTICS 处理的像素总数寄存器。

	Offset Address	Register Name	Total Reset Value
	0x207C8	STATISTICS_TOTAL_PIXELS	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	total_pixels		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RO	total_pixels	处理的像素总数(跳过的 x 和 y 也计算在内)。

### STATISTICS\_COUNTED\_PIXELS

STATISTICS\_COUNTED\_PIXELS 为 STATISTICS 累加的像素个数寄存器。



Offset Address		Register Name		Total Reset Value				
0x207CC		STATISTICS_COUNTED_PIXELS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	counted_pixels							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	counted_pixels	累加的像素个数(权重非 0)。					

### STATISTICS\_PE\_HISTOGRAM\_CTRL

STATISTICS\_PE\_HISTOGRAM\_CTRL 为 PE 控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x207D0		STATISTICS_PE_HISTOGRAM_CTRL		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						plane_mode_pe	offset_y_pe	skip_y_pe	offset_x_pe	skip_x_pe
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:11]	RO	reserved	保留。								





[10:8]	RW	plane_mode_pe	<p>拆分模式选择。</p> <p>000: 收集所有面放于一个直方图;</p> <p>001: 收集的 4 个 Bayer 面放于 4 个独立的 banks;</p> <p>010: 保留;</p> <p>011: 保留;</p> <p>100: 收集面的坐标 x 为奇数, 坐标 y 为奇数的到 bank0, 其余的到 bank1;</p> <p>101: 收集面的坐标 x 为偶数, 坐标 y 为奇数的到 bank0, 其余的到 bank1;</p> <p>110: 收集面的坐标 x 为奇数, 坐标 y 为偶数的到 bank0, 其余的到 bank1;</p> <p>111: 收集面的坐标 x 为偶数, 坐标 y 为偶数的到 bank0, 其余的到 bank1。</p>
[7]	RW	offset_y_pe	<p>开始行选择。</p> <p>0: 从第一行开始;</p> <p>1: 从第二行开始。</p>
[6:4]	RW	skip_y_pe	<p>垂直方向上的直方图抽取。</p> <p>000: 每像素;</p> <p>001: 每 2 像素;</p> <p>010: 每 3 像素;</p> <p>011: 每 4 像素;</p> <p>100: 每 5 像素;</p> <p>101: 每 8 像素;</p> <p>其他: 每 9 像素。</p>
[3]	RW	offset_x_pe	<p>开始列选择。</p> <p>0: 从第一列开始;</p> <p>1: 从第二列开始。</p>
[2:0]	RW	skip_x_pe	<p>水平方向上的直方图抽取。</p> <p>000: 每 2 像素;</p> <p>001: 每 3 像素;</p> <p>010: 每 4 像素;</p> <p>011: 每 5 像素;</p> <p>100: 每 8 像素;</p> <p>其他: 每 9 像素。</p>



## STATISTICS\_PE\_SCALE

STATISTICS\_PE\_SCALE 为 PE\_SCALE 控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x207D4				STATISTICS_PE_SCALE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				scale_top_pe				scale_bottom_pe							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:8]	RO	reserved	保留。																													
[7:4]	RW	scale_top_pe	上半部分缩放率。 0x0: 1x; 0x1: 2x; 0x2: 4x; 0x3: 8x; 0x4: 16x; 其他: 保留。																													
[3:0]	RW	scale_bottom_pe	下半部分缩放率。 0x0: 1x; 0x1: 2x; 0x2: 4x; 0x3: 8x; 0x4: 16x; 其他: 保留。																													

## STATISTICS\_PE\_TOTAL\_PIXELS

STATISTICS\_PE\_TOTAL\_PIXELS 为 PE 处理的像素总数寄存器。



Offset Address		Register Name		Total Reset Value				
0x207D8		STATISTICS_PE_TOTAL_PIXELS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	total_pixels_pe							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	total_pixels_pe	处理的像素总数(跳过的 x 和 y 也计算在内)。					

## STATISTICS\_PE\_COUNTED\_PIXELS

STATISTICS\_PE\_COUNTED\_PIXELS 为 PE 累加的像素个数寄存器。

Offset Address		Register Name		Total Reset Value				
0x207DC		STATISTICS_PE_COUNTED_PIXELS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	counted_pixels_pe							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	counted_pixels_pe	累加的像素个数(权重非 0)。					

## STATISTICS\_PLANE\_TOTAL\_PE\_0

STATISTICS\_PLANE\_TOTAL\_PE\_0 为 PE 每个平面处理的总像素寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x207E0		STATISTICS_PLANE_TOTAL_PE_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	plane_total_pe_0						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:0]	RO	plane_total_pe_0	每个面处理的像素个数。					



## STATISTICS\_PLANE\_TOTAL\_PE\_1

STATISTICS\_PLANE\_TOTAL\_PE\_1 为 PE 每个平面处理的总像素寄存器 1。

	Offset Address				Register Name								Total Reset Value																			
	0x207E4				STATISTICS_PLANE_TOTAL_PE_1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				plane_total_pe_1																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:27]	RO	reserved		保留。																											
	[26:0]	RO	plane_total_pe_1		每个面处理的像素个数。																											

## STATISTICS\_PLANE\_TOTAL\_PE\_2

STATISTICS\_PLANE\_TOTAL\_PE\_2 为 PE 每个平面处理的总像素寄存器 2。

	Offset Address				Register Name								Total Reset Value																			
	0x207E8				STATISTICS_PLANE_TOTAL_PE_2								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				plane_total_pe_2																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:27]	RO	reserved		保留。																											
	[26:0]	RO	plane_total_pe_2		每个面处理的像素个数。																											

## STATISTICS\_PLANE\_TOTAL\_PE\_3

STATISTICS\_PLANE\_TOTAL\_PE\_3 为 PE 每个平面处理的总像素寄存器 3。



	Offset Address	Register Name	Total Reset Value
	0x207EC	STATISTICS_PLANE_TOTAL_PE_3	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
		19 18 17 16	15 14 13 12
		11 10 9 8	7 6 5 4
		3 2 1 0	
Name	reserved		plane_total_pe_3
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:0]	RO	plane_total_pe_3	每个面处理的像素个数。

### STATISTICS\_PLANE\_COUNTED\_PE\_0

STATISTICS\_PLANE\_COUNTED\_PE\_0 为 PE 每个平面总像素的累加和寄存器 0。

	Offset Address	Register Name	Total Reset Value
	0x207F0	STATISTICS_PLANE_COUNTED_PE_0	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
		19 18 17 16	15 14 13 12
		11 10 9 8	7 6 5 4
		3 2 1 0	
Name	reserved		plane_counted_pe_0
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:0]	RO	plane_counted_pe_0	每个面像素的累加和。

### STATISTICS\_PLANE\_COUNTED\_PE\_1

STATISTICS\_PLANE\_COUNTED\_PE\_1 为 PE 每个平面总像素的累加和寄存器 1。

	Offset Address	Register Name	Total Reset Value
	0x207F4	STATISTICS_PLANE_COUNTED_PE_1	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
		19 18 17 16	15 14 13 12
		11 10 9 8	7 6 5 4
		3 2 1 0	
Name	reserved		plane_counted_pe_1
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:27]	RO	reserved	保留。



[26:0]	RO	plane_counted_pe_1	每个面像素的累加和。
--------	----	--------------------	------------

## STATISTICS\_PLANE\_COUNTED\_PE\_2

STATISTICS\_PLANE\_COUNTED\_PE\_2 为 PE 每个平面总像素的累加和寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x207F8		STATISTICS_PLANE_COUNTED_PE_2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		plane_counted_pe_2						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:0]	RO	plane_counted_pe_2	每个面像素的累加和。						

## STATISTICS\_PLANE\_COUNTED\_PE\_3

STATISTICS\_PLANE\_COUNTED\_PE\_3 为 PE 每个平面总像素的累加和寄存器 3。

Offset Address		Register Name		Total Reset Value					
0x207FC		STATISTICS_PLANE_COUNTED_PE_3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		plane_counted_pe_3						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:0]	RO	plane_counted_pe_3	每个面像素的累加和。						

## STATISTICS\_SUM\_R

STATISTICS\_SUM\_R 为归一化的 R 分量像素点和。



Offset Address		Register Name		Total Reset Value				
0x20800		STATISTICS_SUM_R		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				sum_r			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	sum_r	归一化的 R 分量像素点和。					

### STATISTICS\_SUM\_RG

STATISTICS\_SUM\_RG 为归一化的 Gr 分量像素点和。

Offset Address		Register Name		Total Reset Value				
0x20804		STATISTICS_SUM_RG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				sum_rg			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	sum_rg	归一化的 Gr 分量像素点和。					

### STATISTICS\_SUM\_BG

STATISTICS\_SUM\_BG 为归一化的 Gb 分量像素点和。

Offset Address		Register Name		Total Reset Value				
0x20808		STATISTICS_SUM_BG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				sum_bg			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	sum_bg	归一化的 Gb 分量像素点和。					



## STATISTICS\_SUM\_B

STATISTICS\_SUM\_B 为归一化的 B 分量像素点和。

	Offset Address	Register Name	Total Reset Value	
	0x2080C	STATISTICS_SUM_B	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
	Bits	Access	Name	Description
	[31:16]	RO	reserved	保留。
	[15:0]	RO	sum_b	归一化的 B 分量像素点和。

## STATISTICS\_AE\_SUM\_NODES\_USED

STATISTICS\_AE\_SUM\_NODES\_USED 为 AE\_SUM 有效区域寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x20810	STATISTICS_AE_SUM_NODES_USED	0x0000_0F11	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   1 1 1 1   0 0 0 1   0 0 0 1			
	Bits	Access	Name	Description
	[31:16]	RO	reserved	保留。
	[15:8]	RW	ae_sum_nodes_used_vert	垂直有效区域数目。
	[7:0]	RW	ae_sum_nodes_used_horiz	水平有效区域数目。

## STATISTICS\_AVG\_R

STATISTICS\_AVG\_R 为 Bayer 域 AWB SUM 统计 R 分量均值。





Offset Address		Register Name		Total Reset Value				
0x20820		STATISTICS_AVG_R		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				avg_r			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	avg_r	Bayer 域 AWB SUM 统计 R 分量均值。					

## STATISTICS\_AVG\_G

STATISTICS\_AVG\_G 为 Bayer 域 AWB SUM 统计 G 分量均值。

Offset Address		Register Name		Total Reset Value				
0x20824		STATISTICS_AVG_G		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				avg_g			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	avg_g	Bayer 域 AWB SUM 统计 G 分量均值。					

## STATISTICS\_AVG\_B

STATISTICS\_AVG\_B 为 Bayer 域 AWB SUM 统计 B 分量均值。

Offset Address		Register Name		Total Reset Value				
0x20828		STATISTICS_AVG_B		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				avg_b			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	avg_b	Bayer 域 AWB SUM 统计 B 分量均值。					



## STATISTICS\_COUNT\_ALL

STATISTICS\_COUNT\_ALL 为 Bayer 域 AWB SUM 统计满足白点条件像素个数，已归一化。

Offset Address		Register Name		Total Reset Value					
0x2082C		STATISTICS_COUNT_ALL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				count_all				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RO	count_all	Bayer 域 AWB SUM 统计满足白点条件像素个数。						

## STATISTICS\_COUNT\_MIN

STATISTICS\_COUNT\_MIN 为 Bayer 域 AWB SUM 统计小于亮度下限的像素个数。

Offset Address		Register Name		Total Reset Value					
0x20830		STATISTICS_COUNT_MIN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				count_min				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RO	count_min	Bayer 域 AWB SUM 统计小于亮度下限的像素个数。						

## STATISTICS\_COUNT\_MAX

STATISTICS\_COUNT\_MAX 为 Bayer 域 AWB SUM 统计大于亮度上限的像素个数。



	Offset Address				Register Name								Total Reset Value																			
	0x20834				STATISTICS_COUNT_MAX								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																count_max															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RO	count_max		Bayer 域 AWB SUM 统计大于亮度上限的像素个数。																											

### STATISTICS\_AWB\_SUM\_NODES\_USED

STATISTICS\_AWB\_SUM\_NODES\_USED 为 AWB\_SUM 有效区域寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20838				STATISTICS_AWB_SUM_NODES_USED								0x0000_2020																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																awb_sum_nodes_used_vert				awb_sum_nodes_used_horiz											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:8]	RW	awb_sum_nodes_used_vert		垂直有效区域数目。																											
	[7:0]	RW	awb_sum_nodes_used_horiz		水平有效区域数目。																											

### STATISTICS\_MIN\_THRESHOLD

STATISTICS\_MIN\_THRESHOLD 为 Bayer 域 AWB SUM 统计白点的亮度下限。



Offset Address		Register Name		Total Reset Value					
0x2083C		STATISTICS_MIN_THRESHOLD		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					min_threshold			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	min_threshold	Bayer 域 AWB SUM 统计白点的亮度下限。						

## STATISTICS\_MAX\_THRESHOLD

STATISTICS\_MAX\_THRESHOLD 为 Bayer 域 AWB SUM 统计白点的亮度上限。

Offset Address		Register Name		Total Reset Value					
0x20840		STATISTICS_MAX_THRESHOLD		0x0000_0FF0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					max_threshold			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	max_threshold	Bayer 域 AWB SUM 统计白点的亮度上限。						

## STATISTICS\_AWB\_SUM\_CLIP

STATISTICS\_AWB\_SUM\_CLIP 为 AWB SUM 的 clip。



Offset Address		Register Name		Total Reset Value					
0x20844		STATISTICS_AWB_SUM_CLIP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							max_clip	min_clip
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	max_clip	AWB SUM 的上门限 clip。						
[0]	RW	min_clip	AWB SUM 的下门限 clip。						

## STATISTICS\_CR\_REF

STATISTICS\_CR\_REF 为 Bayer 域 AWB 统计白点的色度 R/G 上下限。

Offset Address		Register Name		Total Reset Value				
0x20848		STATISTICS_CR_REF		0x0040_01FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cr_ref_min_awb_sum		reserved	cr_ref_max_awb_sum			
Reset	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:16]	RW	cr_ref_min_awb_sum	Bayer 域 AWB 统计白点的色度 R/G 下限，格式为无符号数 4.8bit 定点。					
[15:12]	RO	reserved	保留。					
[11:0]	RW	cr_ref_max_awb_sum	Bayer 域 AWB 统计白点的色度 R/G 上限，格式为无符号数 4.8bit 定点。					

## STATISTICS\_CB\_REF

STATISTICS\_CB\_REF 为 Bayer 域 AWB 统计白点的色度 B/G 上下限。



Offset Address		Register Name		Total Reset Value				
0x2084C		STATISTICS_CB_REF		0x0040_01FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cb_ref_min_awb_sum		reserved	cb_ref_max_awb_sum			
Reset	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:16]	RW	cb_ref_min_awb_sum	Bayer 域 AWB 统计白点的色度 B/G 下限，格式为无符号数 4.8bit 定点。					
[15:12]	RO	reserved	保留。					
[11:0]	RW	cb_ref_max_awb_sum	Bayer 域 AWB 统计白点的色度 B/G 上限，格式为无符号数 4.8bit 定点。					

### STATISTICS\_CR\_HL\_REF

STATISTICS\_CR\_HL\_REF 为 Bayer 域 AWB 统计白点的色度 R/G 六边形限制。

Offset Address		Register Name		Total Reset Value				
0x20850		STATISTICS_CR_HL_REF		0x0000_0FFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cr_ref_low_awb_sum		reserved	cr_ref_high_awb_sum			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:16]	RW	cr_ref_low_awb_sum	Bayer 域 AWB 统计白点的色度 R/G 六边形下限，格式为无符号数 4.8bit 定点。					
[15:12]	RO	reserved	保留。					
[11:0]	RW	cr_ref_high_awb_sum	Bayer 域 AWB 统计白点的色度 R/G 六边形上限，格式为无符号数 4.8bit 定点。					

### STATISTICS\_CB\_HL\_REF

STATISTICS\_CB\_HL\_REF 为 Bayer 域 AWB 统计白点的色度 B/G 六边形限制。



Offset Address		Register Name		Total Reset Value					
0x20854		STATISTICS_CB_HL_REF		0x0000_0FFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cb_ref_low_awb_sum			reserved	cb_ref_high_awb_sum			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:16]	RW	cb_ref_low_awb_sum	Bayer 域 AWB 统计白点的色度 B/G 六边形下限，格式为无符号数 4.8bit 定点。						
[15:12]	RO	reserved	保留。						
[11:0]	RW	cb_ref_high_awb_sum	Bayer 域 AWB 统计白点的色度 B/G 六边形上限，格式为无符号数 4.8bit 定点。						

## FRAME\_STATS\_STATS\_RESET

FRAME\_STATS\_STATS\_RESET 为状态复位寄存器。

Offset Address		Register Name		Total Reset Value					
0x20900		FRAME_STATS_STATS_RESET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								stats_reset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	stats_reset	重置帧统计寄存器并且开始周期采样，所有的帧的统计最大值为 $2^{31}$ 。						

## FRAME\_STATS\_STATS\_HOLD

FRAME\_STATS\_STATS\_HOLD 为状态保持寄存器。



Offset Address		Register Name		Total Reset Value					
0x20904		FRAME_STATS_STATS_HOLD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								stats_hold
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	stats_hold	配置为 1 时，禁止统计寄存器更新。						

### FRAME\_STATS\_ACTIVE\_WIDTH\_MIN

FRAME\_STATS\_ACTIVE\_WIDTH\_MIN 为最小宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x20910		FRAME_STATS_ACTIVE_WIDTH_MIN		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	active_width_min							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	RO	active_width_min	最小宽度寄存器。					

### FRAME\_STATS\_ACTIVE\_WIDTH\_MAX

FRAME\_STATS\_ACTIVE\_WIDTH\_MAX 为最大宽度寄存器。





Offset Address		Register Name		Total Reset Value				
0x20914		FRAME_STATS_ACTIVE_WIDTH_M AX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	active_width_max							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	active_width_max	最大宽度寄存器。					

### FRAME\_STATS\_ACTIVE\_WIDTH\_SUM

FRAME\_STATS\_ACTIVE\_WIDTH\_SUM 为有效宽度和寄存器。

Offset Address		Register Name		Total Reset Value				
0x20918		FRAME_STATS_ACTIVE_WIDTH_S UM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	active_width_sum							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	active_width_sum	有效宽度和寄存器。					

### FRAME\_STATS\_ACTIVE\_WIDTH\_NUM

FRAME\_STATS\_ACTIVE\_WIDTH\_NUM 为有效宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x2091C		FRAME_STATS_ACTIVE_WIDTH_N UM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	active_width_num							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	active_width_num	有效宽度。					



## FRAME\_STATS\_ACTIVE\_HEIGHT\_MIN

FRAME\_STATS\_ACTIVE\_HEIGHT\_MIN 为最小高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x20920		FRAME_STATS_ACTIVE_HEIGHT_MIN		0xFFFF_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	active_height_min								
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:0]	RO	active_height_min	最小高度寄存器。						

## FRAME\_STATS\_ACTIVE\_HEIGHT\_MAX

FRAME\_STATS\_ACTIVE\_HEIGHT\_MAX 为最大高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x20924		FRAME_STATS_ACTIVE_HEIGHT_MAX		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	active_height_max								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	active_height_max	最大高度寄存器。						

## FRAME\_STATS\_ACTIVE\_HEIGHT\_SUM

FRAME\_STATS\_ACTIVE\_HEIGHT\_SUM 为有效高度和寄存器。

Offset Address		Register Name		Total Reset Value					
0x20928		FRAME_STATS_ACTIVE_HEIGHT_SUM		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	active_height_sum								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	active_height_sum	有效高度和寄存器。						



## FRAME\_STATS\_ACTIVE\_HEIGHT\_NUM

FRAME\_STATS\_ACTIVE\_HEIGHT\_NUM 为有效高度寄存器。

Offset Address		Register Name		Total Reset Value				
0x2092C		FRAME_STATS_ACTIVE_HEIGHT_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	active_height_num							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	active_height_num	有效高度寄存器。					

## FRAME\_STATS\_HBLANK\_MIN

FRAME\_STATS\_HBLANK\_MIN 为最小水平消隐。

Offset Address		Register Name		Total Reset Value				
0x20930		FRAME_STATS_HBLANK_MIN		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hblank_min							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	RO	hblank_min	最小水平消隐。					

## FRAME\_STATS\_HBLANK\_MAX

FRAME\_STATS\_HBLANK\_MAX 为最大水平消隐。



Offset Address		Register Name		Total Reset Value				
0x20934		FRAME_STATS_HBLANK_MAX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hblank_max							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	hblank_max	最大水平消隐。					

### FRAME\_STATS\_HBLANK\_SUM

FRAME\_STATS\_HBLANK\_SUM 为水平消隐和寄存器。

Offset Address		Register Name		Total Reset Value				
0x20938		FRAME_STATS_HBLANK_SUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hblank_sum							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	hblank_sum	水平消隐和寄存器。					

### FRAME\_STATS\_HBLANK\_NUM

FRAME\_STATS\_HBLANK\_NUM 为水平消隐寄存器。

Offset Address		Register Name		Total Reset Value				
0x2093C		FRAME_STATS_HBLANK_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hblank_num							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	hblank_num	水平消隐寄存器。					

### FRAME\_STATS\_VBLANK\_MIN

FRAME\_STATS\_VBLANK\_MIN 为最小垂直消隐。



	Offset Address				Register Name								Total Reset Value																			
	0x20940				FRAME_STATS_VBLANK_MIN								0xFFFF_FFFF																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vblank_min																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bits	Access		Name				Description																									
[31:0]	RO		vblank_min				最小垂直消隐。																									

### FRAME\_STATS\_VBLANK\_MAX

FRAME\_STATS\_VBLANK\_MAX 为最大垂直消隐。

	Offset Address				Register Name								Total Reset Value																			
	0x20944				FRAME_STATS_VBLANK_MAX								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vblank_max																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:0]	RO		vblank_max				最大垂直消隐。																									

### FRAME\_STATS\_VBLANK\_SUM

FRAME\_STATS\_VBLANK\_SUM 为垂直消隐和寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x20948				FRAME_STATS_VBLANK_SUM								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vblank_sum																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:0]	RO		vblank_sum				垂直消隐和寄存器。																									

### FRAME\_STATS\_VBLANK\_NUM

FRAME\_STATS\_VBLANK\_NUM 为垂直消隐寄存器。



Offset Address		Register Name		Total Reset Value				
0x2094C		FRAME_STATS_VBLANK_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vblank_num							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	vblank_num	垂直消隐寄存器。					

### NOISE\_PROFILE\_WDR\_4

NOISE\_PROFILE\_WDR\_4 为 WDR 4 噪声偏移。

Offset Address		Register Name		Total Reset Value				
0x21004		NOISE_PROFILE_WDR_4		0x0000_0040				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						long_noise_offset	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:9]	RO	reserved	保留。					
[8:0]	RW	long_noise_offset	噪声偏移，格式为无符号数 5.4bit 浮点数。					

### NOISE\_PROFILE\_WDR\_3

NOISE\_PROFILE\_WDR\_3 为 WDR 3 噪声偏移。

Offset Address		Register Name		Total Reset Value				
0x21014		NOISE_PROFILE_WDR_3		0x0000_0040				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						med1_noise_offset	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:9]	RO	reserved	保留。					
[8:0]	RW	med1_noise_offset	噪声偏移，格式为无符号数 5.4bit 浮点数。					



## NOISE\_PROFILE\_WDR\_2

NOISE\_PROFILE\_WDR\_2 为 WDR 2 噪声偏移。

Offset Address		Register Name		Total Reset Value					
0x21024		NOISE_PROFILE_WDR_2		0x0000_0040					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						med2_noise_offset		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:9]	RO	reserved	保留。						
[8:0]	RW	med2_noise_offset	噪声偏移，格式为无符号数 5.4bit 浮点数。						

## NOISE\_PROFILE\_WDR\_1

NOISE\_PROFILE\_WDR\_1 为 WDR 1 噪声偏移。

Offset Address		Register Name		Total Reset Value					
0x21034		NOISE_PROFILE_WDR_1		0x0000_0040					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						short_noise_offset		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:9]	RO	reserved	保留。						
[8:0]	RW	short_noise_offset	噪声偏移，格式为无符号数 5.4bit 浮点数。						

## NOISE\_PROFILE\_FRAME\_STITCH\_LUT\_1

NOISE\_PROFILE\_FRAME\_STITCH\_LUT\_1 为 FRAME\_STITCH 噪声分布表 1。



Offset Address		Register Name		Total Reset Value				
0x21200~0x2127C		NOISE_PROFILE_FRAME_STITCH_L UT_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	weight_lut_3		weight_lut_2		weight_lut_1		weight_lut_0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	weight_lut_3	噪声分布权重 3, 校准过程中计算。					
[23:16]	RW	weight_lut_2	噪声分布权重 2, 校准过程中计算。					
[15:8]	RW	weight_lut_1	噪声分布权重 1, 校准过程中计算。					
[7:0]	RW	weight_lut_0	噪声分布权重 0, 校准过程中计算。					

## NOISE\_PROFILE\_FRAME\_STITCH\_LUT\_2

NOISE\_PROFILE\_FRAME\_STITCH\_LUT\_2 为 FRAME\_STITCH 噪声分布表 2。

Offset Address		Register Name		Total Reset Value				
0x21280~0x212FC		NOISE_PROFILE_FRAME_STITCH_L UT_2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	weight_lut_3		weight_lut_2		weight_lut_1		weight_lut_0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	weight_lut_3	噪声分布权重 3, 校准过程中计算。					
[23:16]	RW	weight_lut_2	噪声分布权重 2, 校准过程中计算。					
[15:8]	RW	weight_lut_1	噪声分布权重 1, 校准过程中计算。					
[7:0]	RW	weight_lut_0	噪声分布权重 0, 校准过程中计算。					

## NOISE\_PROFILE\_FRAME\_STITCH\_LUT\_3

NOISE\_PROFILE\_FRAME\_STITCH\_LUT\_3 为 FRAME\_STITCH 噪声分布表 3。





Offset Address		Register Name		Total Reset Value				
0x21300~0x2137C		NOISE_PROFILE_FRAME_STITCH_L UT_3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	weight_lut_3		weight_lut_2		weight_lut_1		weight_lut_0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	weight_lut_3	噪声分布权重 3，校准过程中计算。					
[23:16]	RW	weight_lut_2	噪声分布权重 2，校准过程中计算。					
[15:8]	RW	weight_lut_1	噪声分布权重 1，校准过程中计算。					
[7:0]	RW	weight_lut_0	噪声分布权重 0，校准过程中计算。					

## NOISE\_PROFILE\_FRAME\_STITCH\_LUT\_4

NOISE\_PROFILE\_FRAME\_STITCH\_LUT\_4 为 FRAME\_STITCH 噪声分布表 4。

Offset Address		Register Name		Total Reset Value				
0x21380~0x213FC		NOISE_PROFILE_FRAME_STITCH_L UT_4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	weight_lut_3		weight_lut_2		weight_lut_1		weight_lut_0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	weight_lut_3	噪声分布权重 3，校准过程中计算。					
[23:16]	RW	weight_lut_2	噪声分布权重 2，校准过程中计算。					
[15:8]	RW	weight_lut_1	噪声分布权重 1，校准过程中计算。					
[7:0]	RW	weight_lut_0	噪声分布权重 0，校准过程中计算。					

## DNR\_SHADING

DNR\_SHADING 为径向 LUT0。



	Offset Address				Register Name								Total Reset Value																			
	0x21540~0x2155C				DNR_SHADING								0x1010_1010																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rm_shading_lut_3				rm_shading_lut_2				rm_shading_lut_1				rm_shading_lut_0																			
Reset	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RW	rm_shading_lut_3	径向 LUT data3, 共 33 个。																												
	[23:16]	RW	rm_shading_lut_2	径向 LUT data2, 共 33 个。																												
	[15:8]	RW	rm_shading_lut_1	径向 LUT data1, 共 33 个。																												
	[7:0]	RW	rm_shading_lut_0	径向 LUT data0, 共 33 个。																												

## DNR\_SHADING\_LAST

DNR\_SHADING\_LAST 为径向 LUT1。

	Offset Address				Register Name								Total Reset Value																			
	0x21560				DNR_SHADING_LAST								0x0000_0010																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												rm_shading_lut_32																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:8]	RO	reserved	保留。																												
	[7:0]	RW	rm_shading_lut_32	径向 LUT data32, 共 33 个, 最后一个。																												

## NOISE\_PROFILE\_RAW\_FRONTEND\_LUT\_1

NOISE\_PROFILE\_RAW\_FRONTEND\_LUT\_1 为 RAW\_FRONTEND 噪声分布表 1。



Offset Address		Register Name		Total Reset Value				
0x21580~0x215FC		NOISE_PROFILE_RAW_FRONTEND_LUT_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	weight_lut_3		weight_lut_2		weight_lut_1		weight_lut_0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	weight_lut_3	噪声分布权重 3, 校准过程中计算。					
[23:16]	RW	weight_lut_2	噪声分布权重 2, 校准过程中计算。					
[15:8]	RW	weight_lut_1	噪声分布权重 1, 校准过程中计算。					
[7:0]	RW	weight_lut_0	噪声分布权重 0, 校准过程中计算。					

### NOISE\_PROFILE\_RAW\_FRONTEND\_LUT\_2

NOISE\_PROFILE\_RAW\_FRONTEND\_LUT\_2 为 RAW\_FRONTEND 噪声分布表 2。

Offset Address		Register Name		Total Reset Value				
0x21600~0x2167C		NOISE_PROFILE_RAW_FRONTEND_LUT_2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	weight_lut_3		weight_lut_2		weight_lut_1		weight_lut_0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	weight_lut_3	噪声分布权重 3, 校准过程中计算。					
[23:16]	RW	weight_lut_2	噪声分布权重 2, 校准过程中计算。					
[15:8]	RW	weight_lut_1	噪声分布权重 1, 校准过程中计算。					
[7:0]	RW	weight_lut_0	噪声分布权重 0, 校准过程中计算。					

### NOISE\_PROFILE\_RAW\_FRONTEND\_LUT\_3

NOISE\_PROFILE\_RAW\_FRONTEND\_LUT\_3 为 RAW\_FRONTEND 噪声分布表 3。



Offset Address		Register Name		Total Reset Value				
0x21680~0x216FC		NOISE_PROFILE_RAW_FRONTEND_ LUT_3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	weight_lut_3		weight_lut_2		weight_lut_1		weight_lut_0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	weight_lut_3	噪声分布权重 3, 校准过程中计算。					
[23:16]	RW	weight_lut_2	噪声分布权重 2, 校准过程中计算。					
[15:8]	RW	weight_lut_1	噪声分布权重 1, 校准过程中计算。					
[7:0]	RW	weight_lut_0	噪声分布权重 0, 校准过程中计算。					

## NOISE\_PROFILE\_RAW\_FRONTEND\_LUT\_4

NOISE\_PROFILE\_RAW\_FRONTEND\_LUT\_4 为 RAW\_FRONTEND 噪声分布表 4。

Offset Address		Register Name		Total Reset Value				
0x21700~0x2177C		NOISE_PROFILE_RAW_FRONTEND_ LUT_4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	weight_lut_3		weight_lut_2		weight_lut_1		weight_lut_0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	weight_lut_3	噪声分布权重 3, 校准过程中计算。					
[23:16]	RW	weight_lut_2	噪声分布权重 2, 校准过程中计算。					
[15:8]	RW	weight_lut_1	噪声分布权重 1, 校准过程中计算。					
[7:0]	RW	weight_lut_0	噪声分布权重 0, 校准过程中计算。					

## NOISE\_PROFILE\_LUT

NOISE\_PROFILE\_LUT 为 DNR 噪声分布表。



	Offset Address				Register Name								Total Reset Value																			
	0x21800~0x2187C				NOISE_PROFILE_LUT								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	weightlut_3				weightlut_2				weightlut_1				weightlut_0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RW	weightlut_3	DNR 噪声分布权重 3, 校准过程中计算。																												
	[23:16]	RW	weightlut_2	DNR 噪声分布权重 2, 校准过程中计算。																												
	[15:8]	RW	weightlut_1	DNR 噪声分布权重 1, 校准过程中计算。																												
	[7:0]	RW	weightlut_0	DNR 噪声分布权重 0, 校准过程中计算。																												

## NOISE\_PROFILE\_DEMOSAIC\_LUT

NOISE\_PROFILE\_DEMOSAIC\_LUT 为 DEMOSAIC 噪声分布表。

	Offset Address				Register Name								Total Reset Value																			
	0x21880~0x218FC				NOISE_PROFILE_DEMOSAIC_LUT								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	weightlut_3				weightlut_2				weightlut_1				weightlut_0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RW	weightlut_3	DEMOSAIC 噪声分布权重 3。																												
	[23:16]	RW	weightlut_2	DEMOSAIC 噪声分布权重 2。																												
	[15:8]	RW	weightlut_1	DEMOSAIC 噪声分布权重 1。																												
	[7:0]	RW	weightlut_0	DEMOSAIC 噪声分布权重 0。																												

## AEXP\_WEIGHT

AEXP\_WEIGHT 为 AE 分块权重。



	Offset Address 0x21900~0x219F8								Register Name AEXP_WEIGHT								Total Reset Value 0x0F0F_0F0F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				aexp_weight0_3				reserved				aexp_weight0_2				reserved				aexp_weight0_1				reserved				aexp_weight0_0			
Reset	0 0 0 0				1 1 1 1				0 0 0 0				1 1 1 1				0 0 0 0				1 1 1 1				0 0 0 0				1 1 1 1			
	Bits	Access	Name		Description																											
	[31:28]	RO	reserved		保留。																											
	[27:24]	RW	aexp_weight0_3		AE 分块权重 0_3。																											
	[23:20]	RO	reserved		保留。																											
	[19:16]	RW	aexp_weight0_2		AE 分块权重 0_2。																											
	[15:12]	RO	reserved		保留。																											
	[11:8]	RW	aexp_weight0_1		AE 分块权重 0_1。																											
	[7:4]	RO	reserved		保留。																											
	[3:0]	RW	aexp_weight0_0		AE 分块权重 0_0。																											

## AEXP\_WEIGHT\_LAST

AEXP\_WEIGHT\_LAST 为 AE 最后一个分块权重。

	Offset Address 0x219FC								Register Name AEXP_WEIGHT_LAST								Total Reset Value 0x000F_0F0F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								aexp_weight16_14				reserved				aexp_weight16_13				reserved				aexp_weight16_12							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				1 1 1 1				0 0 0 0				1 1 1 1				0 0 0 0				1 1 1 1			
	Bits	Access	Name		Description																											
	[31:20]	RO	reserved		保留。																											
	[19:16]	RW	aexp_weight16_14		AE 分块权重 16_14。																											
	[15:12]	RO	reserved		保留。																											
	[11:8]	RW	aexp_weight16_13		AE 分块权重 16_13。																											
	[7:4]	RO	reserved		保留。																											
	[3:0]	RW	aexp_weight16_12		AE 分块权重 16_12。																											



## AWB\_WEIGHT

AWB\_WEIGHT 为 AWB 分块权重。

	Offset Address 0x21B00~0x21EFC				Register Name AWB_WEIGHT				Total Reset Value 0x0F0F_0F0F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				awb_weight0_3				reserved				awb_weight0_2				reserved				awb_weight0_1				reserved				awb_weight0_0			
Reset	0 0 0 0				1 1 1 1				0 0 0 0				1 1 1 1				0 0 0 0				1 1 1 1				0 0 0 0				1 1 1 1			
	Bits	Access	Name		Description																											
	[31:28]	RO	reserved		保留。																											
	[27:24]	RW	awb_weight0_3		AWB 分块权重 0_3。																											
	[23:20]	RO	reserved		保留。																											
	[19:16]	RW	awb_weight0_2		AWB 分块权重 0_2。																											
	[15:12]	RO	reserved		保留。																											
	[11:8]	RW	awb_weight0_1		AWB 分块权重 0_1。																											
	[7:4]	RO	reserved		保留。																											
	[3:0]	RW	awb_weight0_0		AWB 分块权重 0_0。																											

## GAMMA\_FE0\_MEM0

GAMMA\_FE0\_MEM0 为 GAMMA\_FE0 Bank0 查找表。

	Offset Address 0x22800~0x22880				Register Name GAMMA_FE0_MEM0				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								data0																							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
	Bits	Access	Name		Description																											
	[31:20]	RO	reserved		保留。																											
	[19:0]	RW	data0		GAMMA_FE0 Bank0 查找表。																											



## GAMMA\_FE0\_MEM1

GAMMA\_FE0\_MEM1 为 GAMMA\_FE0 Bank1 查找表。

Offset Address		Register Name		Total Reset Value					
0x22900~0x22980		GAMMA_FE0_MEM1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				data0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:0]	RW	data0	GAMMA_FE0 Bank1 查找表。						

## GAMMA\_FE1\_MEM0

GAMMA\_FE1\_MEM0 为 GAMMA\_FE1 Bank0 查找表。

Offset Address		Register Name		Total Reset Value					
0x23000~0x23400		GAMMA_FE1_MEM0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				data0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:0]	RW	data0	GAMMA_FE1 Bank0 查找表。						

## GAMMA\_FE1\_MEM1

GAMMA\_FE1\_MEM1 为 GAMMA\_FE1 Bank1 查找表。





Offset Address		Register Name		Total Reset Value				
0x23800~0x23C00		GAMMA_FE1_MEM1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				data0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:0]	RW	data0	GAMMA_FE1 Bank1 查找表。					

## GAMMA\_BE0\_MEM0

GAMMA\_BE0\_MEM0 为 GAMMA\_BE0 Bank0 查找表。

Offset Address		Register Name		Total Reset Value				
0x24800~0x24880		GAMMA_BE0_MEM0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				data0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:0]	RW	data0	GAMMA_BE0 Bank0 查找表。					

## GAMMA\_BE0\_MEM1

GAMMA\_BE0\_MEM1 为 GAMMA\_BE0 Bank1 查找表。

Offset Address		Register Name		Total Reset Value				
0x24900~0x24980		GAMMA_BE0_MEM1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				data0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:0]	RW	data0	GAMMA_BE0 Bank1 查找表。					



## GAMMA\_BE1\_MEM0

GAMMA\_BE1\_MEM0 为 GAMMA\_BE1 Bank0 查找表。

Offset Address		Register Name		Total Reset Value					
0x25000~0x25400		GAMMA_BE1_MEM0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				data0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:0]	RW	data0	GAMMA_BE1 Bank0 查找表。						

## GAMMA\_BE1\_MEM1

GAMMA\_BE1\_MEM1 为 GAMMA\_BE1 Bank1 查找表。

Offset Address		Register Name		Total Reset Value					
0x25800~0x25C00		GAMMA_BE1_MEM1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				data0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:0]	RW	data0	GAMMA_BE1 Bank1 查找表。						

## RADIAL\_SHADING\_MEM\_R

RADIAL\_SHADING\_MEM\_R 为 RADIAL\_SHADING R 分量查找表。



	Offset Address				Register Name								Total Reset Value																			
	0x26000~0x26200				RADIAL_SHADING_MEM_R								0x0000_1000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																data0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	data0		RADIAL_SHADING R 分量查找表。																											

## RADIAL\_SHADING\_MEM\_G

RADIAL\_SHADING\_MEM\_G 为 RADIAL\_SHADING G 分量查找表。

	Offset Address				Register Name								Total Reset Value																			
	0x26400~0x26600				RADIAL_SHADING_MEM_G								0x0000_1000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																data0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	data0		RADIAL_SHADING G 分量查找表。																											

## RADIAL\_SHADING\_MEM\_B

RADIAL\_SHADING\_MEM\_B 为 RADIAL\_SHADING B 分量查找表。

	Offset Address				Register Name								Total Reset Value																			
	0x26800~0x26A00				RADIAL_SHADING_MEM_B								0x0000_1000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																data0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	data0		RADIAL_SHADING B 分量查找表。																											



## METERING\_MEM

METERING\_MEM 为 AE stat、AE sum、AWB stat、AWB sum 统计信息。

Offset Address		Register Name		Total Reset Value				
0x28000~0x2DFFC		METERING_MEM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	data0	AE stat、AE sum、AWB stat、AWB sum 统计信息。					

## DEFECT\_PIXEL\_MEM

DEFECT\_PIXEL\_MEM 为 static defect pixels 坏点表。

Offset Address		Register Name		Total Reset Value				
0x30000~0x33FFC		DEFECT_PIXEL_MEM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		data0					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RO	reserved	保留。					
[24:0]	RW	data0	static defect pixels 坏点表。					

## HISTOGRAM1\_MEM

HISTOGRAM1\_MEM 为直方图统计信息 1。



Offset Address		Register Name		Total Reset Value				
0x34000~0x34FFC		HISTOGRAM1_MEM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	data0	直方图统计信息。					

## HISTOGRAM2\_MEM

HISTOGRAM2\_MEM 为直方图统计信息 2。

Offset Address		Register Name		Total Reset Value				
0x35000~0x353FC		HISTOGRAM2_MEM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	data0	直方图统计信息。					

## HISTOGRAM3\_MEM

HISTOGRAM3\_MEM 为直方图统计信息 3。

Offset Address		Register Name		Total Reset Value				
0x35400~0x357FC		HISTOGRAM3_MEM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	data0	直方图统计信息。					

## HISTOGRAM4\_MEM

HISTOGRAM4\_MEM 为直方图统计信息 4。



Offset Address		Register Name		Total Reset Value				
0x35800~0x35BFC		HISTOGRAM4_MEM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	data0	直方图统计信息。					

## GAMMA\_RGB\_MEM0

GAMMA\_RGB\_MEM0 为 GAMMA\_RGB Bank0 查找表。

Offset Address		Register Name		Total Reset Value				
0x37000~0x37400		GAMMA_RGB_MEM0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					data0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:0]	RW	data0	GAMMA_RGB Bank0 257 节点查找表。					

## GAMMA\_RGB\_MEM1

GAMMA\_RGB\_MEM1 为 GAMMA\_RGB Bank1 查找表。

Offset Address		Register Name		Total Reset Value				
0x37800~0x37C00		GAMMA_RGB_MEM1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					data0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:0]	RW	data0	GAMMA_RGB Bank1 257 节点查找表。					



## DRC\_FWD\_MEM

DRC\_FWD\_MEM 为 DRC\_FWD 表。

	Offset Address				Register Name				Total Reset Value																							
	0x38000~0x38200				DRC_FWD_MEM				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								data0																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:20]	RO	reserved		保留。																											
	[19:0]	RW	data0		DRC_FWD 表。																											

## DRC\_REV\_MEM

DRC\_REV\_MEM 为 DRC\_REV 表。

	Offset Address				Register Name				Total Reset Value																							
	0x38800~0x38A00				DRC_REV_MEM				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								data0																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:20]	RO	reserved		保留。																											
	[19:0]	RW	data0		DRC_REV 表。																											

## CMD\_QUEUES

CMD\_QUEUES 为 CMD 表。



Offset Address		Register Name		Total Reset Value				
0x39000~0x393FC		CMD_QUEUES		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	data0	CMD 表。					

## SHADING\_MEM

SHADING\_MEM 为 mesh shading 表。

Offset Address		Register Name		Total Reset Value				
0x3C000~0x3EFFF		SHADING_MEM		0x4040_4040				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data0							
Reset	0 1 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 1 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	data0	mesh shading 表。					

## ISP\_BE\_FSTART\_DELAY

ISP\_BE\_FSTART\_DELAY 为 ISP 可调中断触发时间配置。

Offset Address		Register Name		Total Reset Value				
0x40094		ISP_BE_FSTART_DELAY		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	delay							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	delay	可调中断触发时间配置。					

## ISP\_BE\_USER\_DEFINE0

ISP\_BE\_USER\_DEFINE0 为用户自定义寄存器 0。





Offset Address		Register Name		Total Reset Value				
0x400A0		ISP_BE_USER_DEFINE0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	user_define0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	user_define0	用户自定义寄存器 0。					

### ISP\_BE\_USER\_DEFINE1

ISP\_BE\_USER\_DEFINE1 为用户自定义寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x400A4		ISP_BE_USER_DEFINE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	user_define1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	user_define1	用户自定义寄存器 1。					

### ISP\_BE\_INT

ISP\_BE\_INT 为 ISP 中断指示寄存器。



	Offset Address 0x400F0								Register Name ISP_BE_INT								Total Reset Value 0x0000_0000																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved								acm_para_finish	reserved								fstart_delay	cfg_loss	update_cfg	fstart													
Reset	0 0 0 0								0 0 0 0	0 0 0 0								0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access		Name		Description																													
[31:17]	RO		reserved		保留。																													
[16]	WC		acm_para_finish		ACM 查找表载入完成中断状态，写 1 清零。 0: 无中断; 1: 有中断。																													
[15:4]	RO		reserved		保留。																													
[3]	WC		fstart_delay		触发延时可配中断。 0: 无中断; 1: 有中断。																													
[2]	WC		cfg_loss		寄存器配置丢失中断状态，写 1 清零。 0: 无中断; 1: 有中断。																													
[1]	WC		update_cfg		寄存器更新中断状态，写 1 清零。 0: 无中断; 1: 有中断。																													
[0]	WC		fstart		ISP 帧起始中断指示寄存器，写 1 清零。 0: 无中断; 1: 有中断。																													

## ISP\_BE\_INT\_MASK

ISP\_BE\_INT\_MASK 为 ISP 中断屏蔽寄存器。



	Offset Address 0x400F8								Register Name ISP_BE_INT_MASK								Total Reset Value 0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved																acm_para_finish	reserved																int_delay	cfg_loss	update_cfg	fstart
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0								
Bits	Access		Name		Description																																
[31:17]	RO		reserved		保留。																																
[16]	RW		acm_para_finish		ACM 查找表载入完成中断使能。 0: 屏蔽中断; 1: 使能中断。																																
[15:4]	RO		reserved		保留。																																
[3]	RW		int_delay		触发延时可配中断使能。 0: 屏蔽中断; 1: 使能中断。																																
[2]	RW		cfg_loss		寄存器配置丢失中断使能。 0: 屏蔽中断; 1: 使能中断。																																
[1]	RW		update_cfg		寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。																																
[0]	RW		fstart		ISP 帧起始中断使能。 0: 屏蔽中断; 1: 使能中断。																																

## ISP\_BE\_CTRL\_F

ISP\_BE\_CTRL\_F 为 ISP 普通更新控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x401E0		ISP_BE_CTRL_F		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								rggb_cfg
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1:0]	RW	rggb_cfg	RRGB 顺序。 00: R Gr Gb B; 01: Gr R B Gb; 10: Gb B R Gr; 11: B Gb Gr R。						

## ISP\_BE\_CTRL\_I

ISP\_BE\_CTRL\_I 为 ISP 立即更新控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x401E4		ISP_BE_CTRL_I		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								update_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	update_mode	ISP 寄存器更新模式。 0: update 更新; 1: 帧更新。						



## ISP\_BE\_TIMING\_CFG

ISP\_BE\_TIMING\_CFG 为输出时序配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x401E8		ISP_BE_TIMING_CFG		0x0000_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fix_timing				reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	RO	reserved	保留。						
[13:1]	RW	fix_timing	手动时序参数设置，设置生成的行消隐区长度。						
[0]	RO	reserved	保留。						

## ISP\_BE\_REG\_UPDATE

ISP\_BE\_REG\_UPDATE 为寄存器更新寄存器。

Offset Address		Register Name		Total Reset Value				
0x401EC		ISP_BE_REG_UPDATE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							update
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RW	update	ISP 更新寄存器，每帧自动清 0。					

## ISP\_CLIP\_Y\_CFG

ISP\_CLIP\_Y\_CFG 为亮度钳位配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x40800		ISP_CLIP_Y_CFG		0xFFFF_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	max				min			
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	max	亮度钳位最大值，数据位宽不足 16bit 时，高 bit 有效。					
[15:0]	RW	min	亮度钳位最小值，数据位宽不足 16bit 时，高 bit 有效。					

### ISP\_CLIP\_C\_CFG

ISP\_CLIP\_C\_CFG 为色度钳位配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x40804		ISP_CLIP_C_CFG		0xFFFF_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	max				min			
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	max	色度钳位最大值，数据位宽不足 16bit 时，高 bit 有效。					
[15:0]	RW	min	色度钳位最小值，数据位宽不足 16bit 时，高 bit 有效。					

### ISP\_SKIP\_Y\_CFG

ISP\_SKIP\_Y\_CFG 为 Y 分量 SKIP 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x40810		ISP_SKIP_Y_CFG		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	skip_cfg							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	RW	skip_cfg	SKIP 配置。					



## ISP\_SKIP\_C\_CFG

ISP\_SKIP\_C\_CFG 为 C 分量 SKIP 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x40818		ISP_SKIP_C_CFG		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	skip_cfg							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	RW	skip_cfg	SKIP 配置。					

## ISP\_CROP\_Y\_CFG

ISP\_CROP\_Y\_CFG 为 Y 分量 CROP 使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x40860		ISP_CROP_Y_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								n0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	n0_en	0 区域使能。 0: 禁止; 1: 使能。						

## ISP\_CROP\_Y\_START

ISP\_CROP\_Y\_START 为 Y 分量 CROP 起始位置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x40868		ISP_CROP_Y_START		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				y_start								reserved				x_start															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:16]	RW		y_start		开始获取图像的行号。																											
[15:13]	RO		reserved		保留。																											
[12:0]	RW		x_start		开始获取图像的像素号。																											

## ISP\_CROP\_Y\_SIZE

ISP\_CROP\_Y\_SIZE 为 Y 分量 CROP 大小寄存器。

Offset Address		Register Name		Total Reset Value																												
0x4086C		ISP_CROP_Y_SIZE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				height								reserved				width															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:16]	RW		height		获取图像的高度(以行为单位), 配置值为实际值减 1。																											
[15:13]	RO		reserved		保留。																											
[12:0]	RW		width		获取图像的宽度(以像素为单位), 配置值为实际值减 1。																											

## ISP\_CROP\_C\_CFG

ISP\_CROP\_C\_CFG 为 C 分量 CROP 使能寄存器。





Offset Address		Register Name		Total Reset Value					
0x40870		ISP_CROP_C_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								n0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。						
[0]	RW	n0_en	0 区域使能。 0: 禁止; 1: 使能。						

## ISP\_CROP\_C\_START

ISP\_CROP\_C\_START 为 C 分量 CROP 起始位置寄存器。

Offset Address		Register Name		Total Reset Value				
0x40878		ISP_CROP_C_START		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	y_start			reserved	x_start		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RO	reserved	保留。					
[28:16]	RW	y_start	开始获取图像的行号。					
[15:13]	RO	reserved	保留。					
[12:0]	RW	x_start	开始获取图像的像素号。					

## ISP\_CROP\_C\_SIZE

ISP\_CROP\_C\_SIZE 为 C 分量 CROP 大小置寄存器。



Offset Address		Register Name		Total Reset Value						
0x4087C		ISP_CROP_C_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	height				reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	height	获取图像的高度(以行为单位)，配置值为实际值减 1。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	width	获取图像的宽度(以像素为单位)，配置值为实际值减 1。							

## ISP\_Y\_SUM0

ISP\_Y\_SUM0 为输入图像的亮度和低寄存器。

Offset Address		Register Name		Total Reset Value				
0x40880		ISP_Y_SUM0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sum							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sum	亮度和统计信息，低 32bit。					

## ISP\_Y\_SUM1

ISP\_Y\_SUM1 为输入图像的亮度和高寄存器。



Offset Address		Register Name		Total Reset Value				
0x40884		ISP_Y_SUM1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sum							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sum	亮度和统计信息，高 32bit。					

### ISP\_CSC\_CFG

ISP\_CSC\_CFG 为 CSC 使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x41500		ISP_CSC_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	en	CSC 使能。 0: 禁止; 1: 使能。						

### ISP\_CSC\_COEF0

ISP\_CSC\_COEF0 为 CSC 系数寄存器 0。



Offset Address		Register Name		Total Reset Value						
0x41510		ISP_CSC_COEF0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	coef01				reserved	coef00				reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RW	coef01	CSC 系数。 格式(S5.10), 有符号数, 4bit 整数, 10bit 小数。							
[16]	RO	reserved	保留。							
[15:1]	RW	coef00	CSC 系数。 格式(S5.10), 有符号数, 4bit 整数, 10bit 小数。							
[0]	RO	reserved	保留。							

## ISP\_CSC\_COEF1

ISP\_CSC\_COEF1 为 CSC 系数寄存器 1。

Offset Address		Register Name		Total Reset Value						
0x41514		ISP_CSC_COEF1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	coef10				reserved	coef02				reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RW	coef10	CSC 系数。 格式(S5.10), 有符号数, 4bit 整数, 10bit 小数。							
[16]	RO	reserved	保留。							
[15:1]	RW	coef02	CSC 系数。 格式(S5.10), 有符号数, 4bit 整数, 10bit 小数。							
[0]	RO	reserved	保留。							



## ISP\_CSC\_COEF2

ISP\_CSC\_COEF2 为 CSC 系数寄存器 2。

Offset Address		Register Name		Total Reset Value																												
0x41518		ISP_CSC_COEF2		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef12												reserved	coef11												reserved						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:17]	RW	coef12	CSC 系数。 格式(S5.10)，有符号数，4bit 整数，10bit 小数。																													
[16]	RO	reserved	保留。																													
[15:1]	RW	coef11	CSC 系数。 格式(S5.10)，有符号数，4bit 整数，10bit 小数。																													
[0]	RO	reserved	保留。																													

## ISP\_CSC\_COEF3

ISP\_CSC\_COEF3 为 CSC 系数寄存器 3。

Offset Address		Register Name		Total Reset Value																												
0x4151C		ISP_CSC_COEF3		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef21												reserved	coef20												reserved						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:17]	RW	coef21	CSC 系数。 格式(S5.10)，有符号数，4bit 整数，10bit 小数。																													
[16]	RO	reserved	保留。																													



[15:1]	RW	coef20	CSC 系数。 格式(S5.10)，有符号数，4bit 整数，10bit 小数。
[0]	RO	reserved	保留。

## ISP\_CSC\_COEF4

ISP\_CSC\_COEF4 为 CSC 系数寄存器 4。

	Offset Address	Register Name	Total Reset Value							
	0x41520	ISP_CSC_COEF4	0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				reserved	coef22				reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RO	reserved	CSC 系数。 格式(S5.10)，有符号数，4bit 整数，10bit 小数。							
[16]	RO	reserved	保留。							
[15:1]	RW	coef22	CSC 系数。 格式(S5.10)，有符号数，4bit 整数，10bit 小数。							
[0]	RO	reserved	保留。							

## ISP\_CSC\_IN\_DC0

ISP\_CSC\_IN\_DC0 为 CSC 输入直流分量寄存器 0。

	Offset Address	Register Name	Total Reset Value						
	0x41530	ISP_CSC_IN_DC0	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	in_dc1			reserved	in_dc0				reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RW	in_dc1	输入 G 分量的直流偏移。 有符号整数。						



[20:16]	RO	reserved	保留。
[15:5]	RW	in_dc0	输入 R 分量的直流偏移。 有符号整数。
[4:0]	RO	reserved	保留。

## ISP\_CSC\_IN\_DC1

ISP\_CSC\_IN\_DC1 为 CSC 输入直流分量寄存器 1。

	Offset Address	Register Name	Total Reset Value	
	0x41534	ISP_CSC_IN_DC1	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved reserved in_dc2 reserved			
Reset	0 0			
Bits	Access	Name	Description	
[31:21]	RO	reserved	保留。	
[20:16]	RO	reserved	保留。	
[15:5]	RW	in_dc2	输出 B 分量的直流偏移。 有符号整数。	
[4:0]	RO	reserved	保留。	

## ISP\_CSC\_OUT\_DC0

ISP\_CSC\_OUT\_DC0 为 CSC 输出直流分量寄存器 0。

	Offset Address	Register Name	Total Reset Value	
	0x41540	ISP_CSC_OUT_DC0	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	out_dc1 reserved out_dc0 reserved			
Reset	0 0			
Bits	Access	Name	Description	
[31:21]	RW	out_dc1	输出 U 分量的直流偏移。 有符号整数。	
[20:16]	RO	reserved	保留。	



[15:5]	RW	out_dc0	输出 Y 分量的直流偏移。 有符号整数。
[4:0]	RO	reserved	保留。

## ISP\_CSC\_OUT\_DC1

ISP\_CSC\_OUT\_DC1 为 CSC 输出直流分量寄存器 1。

	Offset Address	Register Name	Total Reset Value								
	0x41544	ISP_CSC_OUT_DC1	0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				reserved		out_dc2			reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:21]	RO	reserved	保留。								
[20:16]	RO	reserved	保留。								
[15:5]	RW	out_dc2	输出 V 分量的直流偏移。 有符号整数。								
[4:0]	RO	reserved	保留。								

## ISP\_MCDS\_CFG

ISP\_MCDS\_CFG 为 MCDS 控制寄存器。

	Offset Address	Register Name	Total Reset Value									
	0x41800	ISP_MCDS_CFG	0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved							midf_en	uv2c_mode	uv2c_en	vcds_en	hcds_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:5]	RO	reserved	保留。									





[4]	RW	midf_en	MCDSILTER 使能。 0: 关闭; 1: 使能。
[3]	RW	uv2c_mode	UV2C bypass 模式。 0: 输出 U 分量数据; 1: 输出 V 分量数据。
[2]	RW	uv2c_en	UV2C 使能, 将内部两分量 UV 数据调整为单分量 C 数据。 0: 关闭; 1: 使能。
[1]	RW	vcds_en	色度垂直下采样使能。 0: 关闭; 1: 使能。
[0]	RW	hcds_en	色度水平下采样使能。 0: 关闭; 1: 使能。

## ISP\_HCDS\_SIZE

ISP\_HCDS\_SIZE 为色度水平下采样输入大小置寄存器。

Offset Address		Register Name		Total Reset Value					
0x41814		ISP_HCDS_SIZE		0x077F_077F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	width_out			reserved	width_in			
Reset	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	width_out	色度水平下采样输出图像 U 或 V 一行的宽度(以像素为单位), 配置值为实际值减 1。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	width_in	输入图像 U 或 V 一行的宽度(以像素为单位), 配置值为实际值减 1。						



## ISP\_MIDF\_SIZE

ISP\_MIDF\_SIZE 为中值滤波输入图像色度宽高。

Offset Address		Register Name		Total Reset Value																												
0x4182C		ISP_MIDF_SIZE		0x0437_077F																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				height								reserved				width															
Reset	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
Bits	[31:29]				[28:16]				[15:13]				[12:0]																			
Access	RO				RW				RO				RW																			
Name	reserved				height				reserved				width																			
Description	保留。				色度垂直下采样后的图像高(减 1)，如 720 图像高度，配 719。				保留。				色度垂直下采样 UV2C 后的图像宽(减 1)，如 1280 图像高度，配 1279。																			

## ISP\_MCDS\_PARA

ISP\_MCDS\_PARA 为 NR 的融合比例和移位。

Offset Address		Register Name		Total Reset Value																												
0x41844		ISP_MCDS_PARA		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				midf_bldr				reserved				limit				reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:29]				[28:24]				[23]				[22:16]																			
Access	RO				RW				RO				RW																			
Name	reserved				midf_bldr				reserved				limit																			
Description	保留。				midf blendratio 无符号的 5bit 数据，取值 0-16。				保留。				coring 功能，limit 设置，配置范围 0-127。																			



[15:0]	RO	reserved	保留。
--------	----	----------	-----

## ISP\_MCDS\_SIZE

ISP\_MCDS\_SIZE 为 MCDS 输入图像宽高。

Offset Address		Register Name		Total Reset Value					
0x418F0		ISP_MCDS_SIZE		0x0437_077F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	height			reserved	width			
Reset	0 0 0 0	0 1 0 0	0 0 1 1	0 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	height	输入图像高(减 1)，如 1080P 图像高度，配 1079。						
[15:13]	RO	reserved	保留。						
[12:0]	RW	width	输入图像宽(减 1)，如 1080P 图像宽度，配 1919。						

## ISP\_SHARPEN\_CFG

ISP\_SHARPEN\_CFG 为 SHARPEN 控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x45200		ISP_SHARPEN_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	en	SHARPEN 使能。 0: 禁止; 1: 使能。						



## ISP\_SHARPEN\_AMT

ISP\_SHARPEN\_AMT 为 SHARPEN 强度。

Offset Address		Register Name		Total Reset Value					
0x45210		ISP_SHARPEN_AMT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	edge_amt			reserved	sharp_amt			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:16]	RW	edge_amt	边缘增强强度(u,12.0)。无符号数，12bit 整数，0bit 小数。Sharpen 下面寄存器的表示方法与此类似。						
[15:12]	RO	reserved	保留。						
[11:0]	RW	sharp_amt	细节增强强度(u,12.0)。						

## ISP\_SHARPEN\_SHOOTAMT

ISP\_SHARPEN\_SHOOTAMT 为 SHARPENshootAMT 控制。

Offset Address		Register Name		Total Reset Value				
0x4521C		ISP_SHARPEN_SHOOTAMT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	over_amt			reserved	under_amt		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:16]	RW	over_amt	overshoot 控制系数(u,8.0)。					
[15:8]	RO	reserved	保留。					
[7:0]	RW	under_amt	undershoot 控制系数(u,8.0)。					

## ISP\_SHARPEN\_EDGEJAG

ISP\_SHARPEN\_EDGEJAG 为锯齿高频参数。



Offset Address		Register Name		Total Reset Value						
0x45224		ISP_SHARPEN_EDGEJAG		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						edgejagamt			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	edgejagamt	锯齿高频增益， 12-bit unsigned integer。							

## ISP\_SHARPEN\_OSHTJAG

ISP\_SHARPEN\_OSHTJAG 为锯齿 overshoot 参数。

Offset Address		Register Name		Total Reset Value						
0x45228		ISP_SHARPEN_OSHTJAG		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						oshtjagamt			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	oshtjagamt	锯齿 overshoot 增益， 8-bit unsigned integer。							

## ISP\_SHARPEN\_USHTJAG

ISP\_SHARPEN\_USHTJAG 为锯齿 undershoot 参数。



Offset Address		Register Name		Total Reset Value						
0x4522C		ISP_SHARPEN_USHTJAG		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						ushtjagamt			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	ushtjagamt	锯齿 undershoot 增益， 8-bit unsigned integer。							

## ISP\_SHARPEN\_MID0

ISP\_SHARPEN\_MID0 为 SHARPEN 中频滤波系数。

Offset Address		Register Name		Total Reset Value				
0x45230		ISP_SHARPEN_MID0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		mid_tmp02		mid_tmp01		mid_tmp00	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:16]	RW	mid_tmp02	中频滤波系数 02(s,8.0)。有符号数， 8bit 整数， 0bit 小数。Sharpen 下面寄存器的表示方法与此类似。					
[15:8]	RW	mid_tmp01	中频滤波系数 01(s,8.0)。					
[7:0]	RW	mid_tmp00	中频滤波系数 00(s,8.0)。					

## ISP\_SHARPEN\_MID1

ISP\_SHARPEN\_MID1 为 SHARPEN 中频滤波系数。



	Offset Address				Register Name								Total Reset Value																			
	0x45234				ISP_SHARPEN_MID1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				mid_tmp12				mid_tmp11				mid_tmp10																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RO	reserved	保留。																													
[23:16]	RW	mid_tmp12	中频滤波系数 12(s,8.0)。																													
[15:8]	RW	mid_tmp11	中频滤波系数 11(s,8.0)。																													
[7:0]	RW	mid_tmp10	中频滤波系数 10(s,8.0)。																													

## ISP\_SHARPEN\_MID2

ISP\_SHARPEN\_MID2 为 SHARPEN 中频滤波系数。

	Offset Address				Register Name								Total Reset Value																			
	0x45238				ISP_SHARPEN_MID2								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				mid_tmp22				mid_tmp21				mid_tmp20																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RO	reserved	保留。																													
[23:16]	RW	mid_tmp22	中频滤波系数 22(s,8.0)。																													
[15:8]	RW	mid_tmp21	中频滤波系数 21(s,8.0)。																													
[7:0]	RW	mid_tmp20	中频滤波系数 20(s,8.0)。																													

## ISP\_SHARPEN\_LINETHD

ISP\_SHARPEN\_LINETHD 为 SHARPEN 线条检测阈值。



	Offset Address								Register Name								Total Reset Value															
	0x4523C								ISP_SHARPEN_LINETHD								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				line_thd2				reserved				line_thd1																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:16]	RW		line_thd2		线条检测阈值 2(u, 8.0)。																											
[15:8]	RO		reserved		保留。																											
[7:0]	RW		line_thd1		线条检测阈值 1(u, 8.0)。																											

## ISP\_SHARPEN\_THD2

ISP\_SHARPEN\_THD2 为 SHARPEN 阈值 2。

	Offset Address								Register Name								Total Reset Value															
	0x45240								ISP_SHARPEN_THD2								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				edge_thd2				reserved				sharp_thd2																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:16]	RW		edge_thd2		边缘增强阈值(u,10.0)。																											
[15:10]	RO		reserved		保留。																											
[9:0]	RW		sharp_thd2		细节增强阈值(u,10.0)。																											

## ISP\_SHARPEN\_CTRL

ISP\_SHARPEN\_CTRL 为 SHARPEN 控制。





Offset Address		Register Name		Total Reset Value								
0x45244		ISP_SHARPEN_CTRL		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved							jagctrl	shtlumamod	shtvarctrl	lumactrl	enpixsel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:5]	RO	reserved	保留。									
[4]	RW	jagctrl	锯齿控制开关寄存器。 0: 不使用; 1: 使用。									
[3]	RW	shtlumamod	是否使用亮度控制过冲。 0: 不使用; 1: 使用。									
[2]	RW	shtvarctrl	方差控制。 0: 关闭; 1: 使能。									
[1]	RW	lumactrl	亮度控制。 0: 关闭; 1: 使能。									
[0]	RW	enpixsel	过冲抑制。 0: 选择原值; 1: 选择领域最大/最小值。									

## ISP\_SHARPEN\_LUMATH

ISP\_SHARPEN\_LUMATH 为 LUMATH 参数。



	Offset Address								Register Name								Total Reset Value															
	0x45248								ISP_SHARPEN_LUMATH								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	lumath3								lumath2								lumath1								lumath0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	lumath3		亮度控制 Th3。																											
	[23:16]	RW	lumath2		亮度控制 Th2。																											
	[15:8]	RW	lumath1		亮度控制 Th1。																											
	[7:0]	RW	lumath0		亮度控制 Th0。																											

## ISP\_SHARPEN\_LUMAWGT

ISP\_SHARPEN\_LUMAWGT 为 LUMAWgt 参数。

	Offset Address								Register Name								Total Reset Value															
	0x4524C								ISP_SHARPEN_LUMAWGT								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	lumawgt3								lumawgt2								lumawgt1								lumawgt0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	lumawgt3		亮度权重 Wgt3。																											
	[23:16]	RW	lumawgt2		亮度权重 Wgt2。																											
	[15:8]	RW	lumawgt1		亮度权重 Wgt1。																											
	[7:0]	RW	lumawgt0		亮度权重 Wgt0。																											

## ISP\_SHARPEN\_OSHTVARTH

ISP\_SHARPEN\_OSHTVARTH 为方差门限参数 0。



Offset Address		Register Name		Total Reset Value					
0x45258		ISP_SHARPEN_OSHTVARTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		overvarth1		reserved		overvarth0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	overvarth1	overshoot 方差门限 1。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	overvarth0	overshoot 方差门限 0。						

## ISP\_SHARPEN\_OSHTVAR

ISP\_SHARPEN\_OSHTVAR 为过冲方差参数 0。

Offset Address		Register Name		Total Reset Value					
0x4525C		ISP_SHARPEN_OSHTVAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						overvaramt		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	overvaramt	overshoot 方差增益。						

## ISP\_SHARPEN\_USHTVARTH

ISP\_SHARPEN\_USHTVARTH 为方差门限参数 1。



Offset Address		Register Name		Total Reset Value					
0x45260		ISP_SHARPEN_USHTVARTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		undervarth1		reserved		undervarth0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	undervarth1	undershoot 方差门限 1。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	undervarth0	undershoot 方差门限 0。						

## ISP\_SHARPEN\_USHTVAR

ISP\_SHARPEN\_USHTVAR 为过冲方差参数 1。

Offset Address		Register Name		Total Reset Value					
0x45264		ISP_SHARPEN_USHTVAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						undervaramt		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	undervaramt	undershoot 方差增益。						

## ISP\_SHARPEN\_OSHTLUMA

ISP\_SHARPEN\_OSHTLUMA 为过冲亮度参数 0。



Offset Address		Register Name		Total Reset Value				
0x45268		ISP_SHARPEN_OSHTLUMA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	overlumawgt1		overlumawgt0		overlumath1		overlumath0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	overlumawgt1	亮度权重 1。					
[23:16]	RW	overlumawgt0	亮度权重 0。					
[15:8]	RW	overlumath1	亮度门限 1。					
[7:0]	RW	overlumath0	亮度门限 0。					

## ISP\_SHARPEN\_USHTLUMA

ISP\_SHARPEN\_USHTLUMA 为过冲亮度参数 1。

Offset Address		Register Name		Total Reset Value				
0x4526C		ISP_SHARPEN_USHTLUMA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	underlumawgt1		underlumawgt0		underlumath1		underlumath0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	underlumawgt1	亮度权重 1。					
[23:16]	RW	underlumawgt0	亮度权重 0。					
[15:8]	RW	underlumath1	亮度门限 1。					
[7:0]	RW	underlumath0	亮度门限 0。					

## ISP\_SHARPEN\_SHIFT

ISP\_SHARPEN\_SHIFT 为 SHIFT 参数。



Offset Address		Register Name		Total Reset Value					
0x45274		ISP_SHARPEN_SHIFT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			limit	maxshift			minshift	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:16]	RW	limit	coring 功能的 limit。						
[15:8]	RW	maxshift	领域最大的偏移。						
[7:0]	RW	minshift	领域最小的偏移。						

## ISP\_SHARPEN\_SIZE

ISP\_SHARPEN\_SIZE 为 SHARPEN 图像宽高。

Offset Address		Register Name		Total Reset Value				
0x452F0		ISP_SHARPEN_SIZE		0x0437_077F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	height			reserved	width		
Reset	0 0 0 0	0 1 0 0	0 0 1 1	0 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:29]	RO	reserved	保留。					
[28:16]	RW	height	图像高(减 1)，如 1080P 图像高度，配 1079。					
[15:13]	RO	reserved	保留。					
[12:0]	RW	width	图像宽(减 1)，如 1080P 图像宽度，配 1919。					

## ISP\_DEHAZE\_CFG

ISP\_DEHAZE\_CFG 为 DEHAZE 使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x46200		ISP_DEHAZE_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	en	dehaze 使能。 0: 禁止; 1: 使能。						

### ISP\_DEHAZE\_PRE\_UPDATE

ISP\_DEHAZE\_PRE\_UPDATE 为 DEHAZE 统计结果更新寄存器。

Offset Address		Register Name		Total Reset Value					
0x46210		ISP_DEHAZE_PRE_UPDATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								pre_update
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	pre_update	dehaze 统计信息配置更新寄存器，每帧自动清 0。						

### ISP\_DEHAZE\_BLK\_SIZE

ISP\_DEHAZE\_BLK\_SIZE 为 DEHAZE 分块大小配置寄存器。



	Offset Address								Register Name								Total Reset Value															
	0x46214								ISP_DEHAZE_BLK_SIZE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				block_sizeh				reserved				block_sizev																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:25]	RO	reserved		保留。																											
	[24:16]	RW	block_sizeh		水平分窗大小，减 1 配入。																											
	[15:9]	RO	reserved		保留。																											
	[8:0]	RW	block_sizev		垂直分窗大小，减 1 配入。																											

## ISP\_DEHAZE\_BLK\_SUM

ISP\_DEHAZE\_BLK\_SUM 为 DEHAZE 分块总数。

	Offset Address								Register Name								Total Reset Value															
	0x46218								ISP_DEHAZE_BLK_SUM								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											block_sum																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:11]	RO	reserved		保留。																											
	[10:0]	RW	block_sum		dehaze 分块总数。配置值为：水平分窗个数 x(垂直分窗个数-1)																											

## ISP\_DEHAZE\_DC\_SIZE

ISP\_DEHAZE\_DC\_SIZE 为 DEHAZE 双线性插值点的个数配置寄存器。





	Offset Address 0x4621C								Register Name ISP_DEHAZE_DC_SIZE								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																dc_numh				dc_numv											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:10]	RO	reserved		保留。																											
	[9:5]	RW	dc_numh		双线性插值水平方向点的个数，减 1 配入。配置为水平分窗个数-1。																											
	[4:0]	RW	dc_numv		双线性插值垂直方向点的个数，减 1 配入。配置为垂直分窗个数-1。																											

## ISP\_DEHAZE\_X

ISP\_DEHAZE\_X 为 DEHAZE 放大图像像素点之间的水平相位差配置寄存器。

	Offset Address 0x46220								Register Name ISP_DEHAZE_X								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								phase_x																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:0]	RW	phase_x		放大图像像素点之间的水平相位差。配置为水平分窗大小*(1<<22)。无符号整数。																											

## ISP\_DEHAZE\_Y

ISP\_DEHAZE\_Y 为 DEHAZE 放大图像像素点之间的垂直相位差配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x46224		ISP_DEHAZE_Y		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			phase_y					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	phase_y	放大图像像素点之间的垂直相位差。配置为水平分窗大小*(1<<22)。无符号整数。						

### ISP\_DEHAZE\_STAT\_MODE

ISP\_DEHAZE\_STAT\_MODE 为 DEHAZE 统计模块控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x46228		ISP_DEHAZE_STAT_MODE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							max_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RW	max_mode	最大值统计控制。 0: 先对 RGB 做均值滤波, 再统计每一个窗口中 RGB 和的最大值对应的 RGB 分量; 1: 统计每一个窗口中 RGB 和的最大值对应的 RGB 分量。					

### ISP\_DEHAZE\_NEG\_MODE

ISP\_DEHAZE\_NEG\_MODE 为 DEHAZE 取反处理控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x4622C		ISP_DEHAZE_NEG_MODE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								neg_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	neg_mode	取反处理模式控制。 0: 正常处理模式; 1: 取反处理模式。						

## ISP\_DEHAZE\_AIR

ISP\_DEHAZE\_AIR 为 DEHAZE 大气光配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x46230		ISP_DEHAZE_AIR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	air_r		air_g			air_b		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:20]	RW	air_r	R 通道对应的大气光 A。						
[19:10]	RW	air_g	G 通道对应的大气光 A。						
[9:0]	RW	air_b	B 通道对应的大气光 A。						

## ISP\_DEHAZE\_THLD

ISP\_DEHAZE\_THLD 为 DEHAZE 的 T 阈值系数配置寄存器。



Offset Address		Register Name		Total Reset Value						
0x46234		ISP_DEHAZE_THLD		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						thld			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9:0]	RW	thld	T 的阈值系数。 无符号整数。							

## ISP\_DEHAZE\_GSTRTH

ISP\_DEHAZE\_GSTRTH 为 DEHAZE 的全局强度系数

Offset Address		Register Name		Total Reset Value						
0x46238		ISP_DEHAZE_GSTRTH		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						gstrth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	gstrth	G 的计算系数。 无符号整数。							

## ISP\_DEHAZE\_BLTHLD

ISP\_DEHAZE\_BLTHLD 为 DEHAZE 最小值滤波阈值系数配置寄存器。

Offset Address		Register Name		Total Reset Value						
0x4623C		ISP_DEHAZE_BLTHLD		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						blthld			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							



[9:0]	RW	blthld	最小值滤波阈值系数。 无符号整数。
-------	----	--------	----------------------

## ISP\_DEHAZE\_STR\_LUT\_UPDATE

ISP\_DEHAZE\_STR\_LUT\_UPDATE 为 DEHAZE 强度表更新寄存器

	Offset Address	Register Name	Total Reset Value
	0x46240	ISP_DEHAZE_STR_LUT_UPDATE	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:1]	RW	reserved
	[0]	RW	str_lut_update
	Description		
	保留。		
	dehaze 强度表配置更新寄存器，每帧自动清 0。		

## ISP\_DEHAZE\_MINSTAT\_WADDR

ISP\_DEHAZE\_MINSTAT\_WADDR 为 DEHAZE 最小值统计信息写地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x46280	ISP_DEHAZE_MINSTAT_WADDR	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:9]	RO	reserved
	[8:0]	RW	minstat_waddr
	Description		
	保留。		
	dehaze 最小值统计信息写地址，范围[0-511]。		



## ISP\_DEHAZE\_MINSTAT\_WDATA

ISP\_DEHAZE\_MINSTAT\_WDATA 为 DEHAZE 最小值统计信息写数据寄存器。

Offset Address		Register Name		Total Reset Value					
0x46284		ISP_DEHAZE_MINSTAT_WDATA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		minstat_wdata_h		reserved		minstat_wdata_l		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	minstat_wdata_h	dehaze 最小值统计信息写数据，所操作的两个分块中 ID 较大的那个分块的 ID。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	minstat_wdata_l	dehaze 最小值统计信息写数据，所操作的两个分块中 ID 较小的那个分块的 ID。						

## ISP\_DEHAZE\_MINSTAT\_RADDR

ISP\_DEHAZE\_MINSTAT\_RADDR 为 DEHAZE 最小值统计信息读地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x46288		ISP_DEHAZE_MINSTAT_RADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						minstat_raddr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:9]	RO	reserved	保留。						
[8:0]	RW	minstat_raddr	dehaze 最小值统计信息读地址，范围[0-511]。						

## ISP\_DEHAZE\_MINSTAT\_RDATA

ISP\_DEHAZE\_MINSTAT\_RDATA 为 DEHAZE 最小值统计信息读数据寄存器。



Offset Address		Register Name		Total Reset Value					
0x4628C		ISP_DEHAZE_MINSTAT_RDATA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		minstat_rdata_h		reserved		minstat_rdata_l		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RO	minstat_rdata_h	dehaze 最小值统计信息读数据，所操作的两个分块中 ID 较大的那个分块的 ID。						
[15:10]	RO	reserved	保留。						
[9:0]	RO	minstat_rdata_l	dehaze 最小值统计信息读数据，所操作的两个分块中 ID 较小的那个分块的 ID。						

## ISP\_DEHAZE\_MAXSTAT\_WADDR

ISP\_DEHAZE\_MAXSTAT\_WADDR 为 DEHAZE 最大值统计信息写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x46290		ISP_DEHAZE_MAXSTAT_WADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						maxstat_waddr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	RO	reserved	保留。						
[9:0]	RW	maxstat_waddr	dehaze 最大值统计信息写地址寄存器，范围[0-1023]。						

## ISP\_DEHAZE\_MAXSTAT\_WDATA

ISP\_DEHAZE\_MAXSTAT\_WDATA 为 DEHAZE 最大值统计信息写数据寄存器。



Offset Address		Register Name		Total Reset Value					
0x46294		ISP_DEHAZE_MAXSTAT_WDATA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	maxstat_wdata							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:0]	RW	maxstat_wdata	dehaze 最大值统计信息写数据寄存器。						

### ISP\_DEHAZE\_MAXSTAT\_RADDR

ISP\_DEHAZE\_MAXSTAT\_RADDR 为 DEHAZE 最大值统计信息读地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x46298		ISP_DEHAZE_MAXSTAT_RADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						maxstat_raddr	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:10]	RO	reserved	保留。					
[9:0]	RW	maxstat_raddr	dehaze 最大值统计信息读地址寄存器，范围[0-1023]。					

### ISP\_DEHAZE\_MAXSTAT\_RDATA

ISP\_DEHAZE\_MAXSTAT\_RDATA 为 DEHAZE 最大值统计信息读数据寄存器。





Offset Address		Register Name		Total Reset Value												
0x4629C		ISP_DEHAZE_MAXSTAT_RDATA		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved								maxstat_rdata							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0								
Bits	Access	Name	Description													
[31:30]	RO	reserved	保留。													
[29:0]	RO	maxstat_rdata	dehaze 最大值统计信息读数据寄存器,R:[29:20]G:[19:10]B:[9:0]。													

### ISP\_DEHAZE\_PRESTAT\_WADDR

ISP\_DEHAZE\_PRESTAT\_WADDR 为 DEHAZE 前一帧最小值统计信息写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x462A0		ISP_DEHAZE_PRESTAT_WADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						prestat_waddr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	RO	reserved	保留。						
[9:0]	RW	prestat_waddr	dehaze 前一帧最小值统计信息写地址寄存器，范围[0-511]						

### ISP\_DEHAZE\_PRESTAT\_WDATA

ISP\_DEHAZE\_PRESTAT\_WDATA 为 DEHAZE 前一帧最小值统计信息写数据寄存器。



Offset Address		Register Name		Total Reset Value					
0x462A4		ISP_DEHAZE_PRESTAT_WDATA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		prestat_wdata_h		reserved		prestat_wdata_l		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	prestat_wdata_h	dehaze 前一帧最小值统计信息写数据寄存器，所操作的两个分块中 ID 较大的那个分块的 ID。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	prestat_wdata_l	dehaze 前一帧最小值统计信息写数据寄存器，所操作的两个分块中 ID 较小的那个分块的 ID。						

## ISP\_DEHAZE\_PRESTAT\_RADDR

ISP\_DEHAZE\_PRESTAT\_RADDR 为 DEHAZE 前一帧最小值统计信息读地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x462A8		ISP_DEHAZE_PRESTAT_RADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						prestat_raddr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	RO	reserved	保留。						
[9:0]	RW	prestat_raddr	dehaze 前一帧最小值统计信息读地址寄存器，范围[0-511]						

## ISP\_DEHAZE\_PRESTAT\_RDATA

ISP\_DEHAZE\_PRESTAT\_RDATA 为 DEHAZE 前一帧最小值统计信息读数据寄存器。



Offset Address		Register Name		Total Reset Value					
0x462AC		ISP_DEHAZE_PRESTAT_RDATA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		prestat_rdata_h		reserved		prestat_rdata_l		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RO	prestat_rdata_h	dehaze 前一帧最小值统计信息读数据寄存器，所操作的两个分块中 ID 较大的那个分块的 ID。						
[15:10]	RO	reserved	保留。						
[9:0]	RO	prestat_rdata_l	dehaze 前一帧最小值统计信息读数据寄存器，所操作的两个分块中 ID 较小的那个分块的 ID。						

## ISP\_DEHAZE\_LUT\_WADDR

ISP\_DEHAZE\_LUT\_WADDR 为 DEHAZE 强度 LUT 信息写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x462B0		ISP_DEHAZE_LUT_WADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						lut_waddr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	lut_waddr	dehaze 强度 LUT 信息写地址寄存器，范围[0-255]。						

## ISP\_DEHAZE\_LUT\_WDATA

ISP\_DEHAZE\_LUT\_WDATA 为 DEHAZE 强度 LUT 信息写数据寄存器。



Offset Address		Register Name		Total Reset Value						
0x462B4		ISP_DEHAZE_LUT_WDATA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						lut_wdata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	lut_wdata	dehaze 强度 LUT 信息写数据寄存器。							

### ISP\_DEHAZE\_LUT\_RADDR

ISP\_DEHAZE\_LUT\_RADDR 为 DEHAZE 强度 LUT 信息读地址寄存器。

Offset Address		Register Name		Total Reset Value						
0x462B8		ISP_DEHAZE_LUT_RADDR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						lut_raddr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	lut_raddr	dehaze 强度 LUT 信息读地址寄存器，范围[0-255]。							

### ISP\_DEHAZE\_LUT\_RDATA

ISP\_DEHAZE\_LUT\_RDATA 为 DEHAZE 强度 LUT 信息读数据寄存器。

Offset Address		Register Name		Total Reset Value						
0x462BC		ISP_DEHAZE_LUT_RDATA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						lut_rdata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RO	lut_rdata	dehaze 强度 LUT 信息读数据寄存器。							



## ISP\_DEHAZE\_SIZE

ISP\_DEHAZE\_SIZE 为 DEHAZE 图像宽高。

	Offset Address				Register Name								Total Reset Value																			
	0x462F0				ISP_DEHAZE_SIZE								0x0437_077F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				height								reserved				width															
Reset	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
Bits	[31:29]		Access		Name		Description																									
	[31:29]		RO		reserved		保留。																									
	[28:16]		RW		height		窗口高度(以行为单位), 配置值为实际值减 1。																									
	[15:13]		RO		reserved		保留。																									
	[12:0]		RW		width		窗口宽度(以像素为单位), 配置值为实际值减 1。																									

## ISP\_ACM\_CTRL

ISP\_ACM\_CTRL 为 ACM 控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x51400				ISP_ACM_CTRL								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	acm_en	acm_dbg_en	acm_stretch	acm_cliprange	acm_cliporwrap	reserved				acm_dbg_pos								acm_dbg_mode	acm_cbcrrhr													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31]		Access		Name		Description																									
	[31]		RW		acm_en		ACM 模块使能寄存器。 0: ACM 功能关闭, 数据 BYPASS 输出; 1: ACM 功能使能, 实现亮度对比度调节。																									



[30]	RW	acm_dbg_en	acm debug 使能。acm_dbg_en 有效时，屏幕左边显示原始图像，右边为 abc 处理后的图像。
[29]	RW	acm_stretch	输入像素范围限定寄存器。 0: Y 64-940, C 64-960; 1: Y 0-1023, C 0-1023。
[28]	RW	acm_cliprange	输出像素范围限定寄存器。 0: Y 64-940, C 64-960; 1: Y 0-1023, C 0-1023。
[27]	RW	acm_cliporwrap	ACM 变换后 hue 分量值限定方式寄存器。 0: 若 hue 分量 wrap-around 到[0, 1023]范围内; 1: 将 hue 分量 clip 到[0, 1023]范围内。
[26:23]	RO	reserved	保留。
[22:10]	RW	acm_dbg_pos	acm debug 位置配置。
[9]	RW	acm_dbg_mode	ACM Debug 模式。 0: 左边为原始图像，右边为 ACM 处理后的图像。 1: 左边为 ACM 处理后的图像，右边为原始图像。
[8:0]	RW	acm_cbcrrhr	ACM 算法调节使能的门限值，9bit 无符号数(0~255)。

## ISP\_ACM\_ADJ

ISP\_ACM\_ADJ 为 ACM 处理后像素的改变量。

	Offset Address	Register Name	Total Reset Value
	0x51404	ISP_ACM_ADJ	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved acm_gain0	acm_gain1	acm_gain2
Reset	0 0		
Bits	Access	Name	Description
[31:30]	RO	reserved	保留。
[29:20]	RW	acm_gain0	亮度(luma)调节幅度的控制系数，范围是(0-512)。
[19:10]	RW	acm_gain1	色调(hue)调节幅度的控制系数，范围是(0-512)。
[9:0]	RW	acm_gain2	饱和度(sat)调节幅度的控制系数，范围是(0-512)。



## ISP\_ACM\_SIZE

ISP\_ACM\_SIZE 为 ACM 处理图像大小寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x51410				ISP_ACM_SIZE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				height								reserved				width															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:29]	RO	reserved		保留。																											
	[28:16]	RW	height		图像的高度(以像素为单位), 配置值为实际值减 1。																											
	[15:13]	RO	reserved		保留。																											
	[12:0]	RW	width		图像的宽度(以像素为单位), 配置值为实际值减 1。																											

## ISP\_ACM\_PARA\_ADDR

ISP\_ACM\_PARA\_ADDR 为 ACM 系数配置载入地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x51414				ISP_ACM_PARA_ADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	acm_para_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	acm_para_addr		ACM 的系数载入地址。																											

## ISP\_ACM\_PARA\_UP

ISP\_ACM\_PARA\_UP 为 ACM 系数配置更新寄存器。



Offset Address		Register Name		Total Reset Value					
0x51420		ISP_ACM_PARA_UP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								para_up
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	para_up	参数更新寄存器，每帧自动清 0。						

## ISP\_VPDCICTRL

ISP\_VPDCICTRL 为 DCI 控制寄存器。

Offset Address		Register Name		Total Reset Value															
0x51C00		ISP_VPDCICTRL		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	dci_en	dci_dbg_en	dci_scene_flg	dci_man_adj0	dci_man_adj1	dci_man_adj2	dci_cberemp_en	dci_cberstia_en	dci_in_range	dci_out_range	dci_shift_ctrl	dci_histlpf_en	reserved	dci_dbg_mode	reserved	dci_hist_wgt_en	dci_dbg_pos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description																
[31]	RW	dci_en	DCI 使能控制寄存器。 0: DCI 功能关闭，数据 bypass 输出。 1: DCI 功能使能，实现亮度对比度调节。																
[30]	RW	dci_dbg_en	DCI demo 模式使能信号。 0: 不使能； 1: 屏幕左边显示原始图像，右边为 DCI 处理后的图像。																
[29]	RW	dci_scene_flg	DCI 场景切换使能信号。 0: 不使能； 1: 使能。																





[28]	RW	dci_man_adj0	曲线 0 调整模式选择。 0: 自动模式, 使用硬件计算的结果; 1: 手动模式, 使用软件配置的结果。
[27]	RW	dci_man_adj1	曲线 1 调整模式选择。 0: 自动模式, 使用硬件计算的结果; 1: 手动模式, 使用软件配置的结果。
[26]	RW	dci_man_adj2	曲线 2 调整模式选择。 0: 自动模式, 使用硬件计算的结果; 1: 手动模式, 使用软件配置的结果。
[25]	RW	dci_cbcrcmp_en	DCI 色度补偿使能。 0: DCI 算法不对色度分量进行调节; 1: DCI 算法对色度分量进行调节。
[24]	RW	dci_cbcsta_en	直方图统计选择信号。 0: 仅对亮度分量进行直方图统计; 1: 对 YCbCr 三个分量加权后的分量进行直方图统计。
[23]	RW	dci_in_range	输入范围配置。 0: limit range, 输入的 10bit 像素数据范围是 Y-64~940, C-64~960; 1: full range, 输入的 10bit 像素数据范围是 Y-0~1023, C-0~1023。
[22]	RW	dci_out_range	输出范围配置。 0: limit range, 输出的 10bit 像素数据范围是 Y-64~940, C-64~960; 1: full range, 输出的 10bit 像素数据范围是 Y-0~1023, C-0~1023。
[21:20]	RW	dci_shift_ctrl	DCI 直方图统计结果移位控制。 00: 右移 6 位; 01: 右移 7 位; 10: 右移 8 位; 11: 右移 9 位。
[19]	RW	dci_histlpf_en	直方图低通滤波使能信号。 0: 禁止; 1: 使能。
[18:17]	RO	reserved	保留。



[16]	RW	dci_dbg_mode	DCI demo 模式。 0: 屏幕左边为原始图像, 右边为 DCI 调整后的图像; 1: 屏幕左边为 DCI 调整后的图像, 右边为原始图像。
[15:14]	RO	reserved	保留。
[13]	RW	dci_hist_wgt_en	直方图统计方法选择信号: 0: 使用原始的直方图; 1: 使用加权直方图;
[12:0]	RW	dci_dbg_pos	DCI DEBUG 位置配置。

## ISP\_VPDCIHPOS

ISP\_VPDCIHPOS 为 DCI 算法水平方向调节区域的寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x51C04				ISP_VPDCIHPOS								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_hstart								dci_hend								reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:19]	RW		dci_hstart		DCI 算法水平作用区域的起始值。																											
[18:6]	RW		dci_hend		DCI 算法水平作用区域的结束值。																											
[5:0]	RO		reserved		保留。																											

## ISP\_VPDCIVPOS

ISP\_VPDCIVPOS 为 DCI 算法垂直方向调节区域的寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x51C08				ISP_VPDCIVPOS								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_vstart								dci_vend								reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:19]	RW		dci_vstart		DCI 算法垂直作用区域的起始值。																											



Offset Address		Register Name		Total Reset Value					
0x51C08		ISP_VPDCIVPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dci_vstart				dci_vend				reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[18:6]	RW	dci_vend	DCI 算法垂直作用区域的结束值。						
[5:0]	RO	reserved	保留。						

## ISP\_VPDCIHISBLD

ISP\_VPDCIHISBLD 为 DCI 直方图统计加权系数寄存器。

Offset Address		Register Name		Total Reset Value				
0x51C0C		ISP_VPDCIHISBLD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dci_cbrsta_y		dci_cbrsta_cb		dci_cbrsta_cr		reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	dci_cbrsta_y	直方图统计叠加时，Y 分量的加权系数。8bit 有符号数，最高 bit 为符号位。					
[23:16]	RW	dci_cbrsta_cb	直方图统计叠加时，cb 分量的加权系数。8bit 有符号数，最高 bit 为符号位。					
[15:8]	RW	dci_cbrsta_cr	直方图统计叠加时，cr 分量的加权系数。8bit 有符号数，最高 bit 为符号位。					
[7:0]	RO	reserved	保留。					

## ISP\_VPDCIHISOFT

ISP\_VPDCIHISOFT 为 DCI 直方图统计偏移量寄存器。



Offset Address		Register Name		Total Reset Value					
0x51C10		ISP_VPDCIHISOFT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dci_cbersta_ofst			reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:23]	RW	dci_cbersta_ofst	直方图统计叠加时的偏移量。9bit 有符号数，最高 bit 是符号位。						
[22:0]	RO	reserved	保留。						

## ISP\_VPDCIHISCOR

ISP\_VPDCIHISCOR 为 DCI 直方图 coring 寄存器。

Offset Address		Register Name		Total Reset Value				
0x51C14		ISP_VPDCIHISCOR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dci_histcor_thr0		dci_histcor_thr1		dci_histcor_thr2		reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	dci_histcor_thr0	直方图 0 coring 的阈值。					
[23:16]	RW	dci_histcor_thr1	直方图 1 coring 的阈值。					
[15:8]	RW	dci_histcor_thr2	直方图 2 coring 的阈值。					
[7:0]	RO	reserved	保留。					

## ISP\_VPDCIMERBLD

ISP\_VPDCIMERBLD 为 DCI 调节单元的 blend 值寄存器。



Offset Address		Register Name		Total Reset Value							
0x51C18		ISP_VPDCIMERBLD		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	dci_metric_abld0		dci_metric_abld1		dci_metric_abld2		dci_hist_abld		dci_org_abld		reserved
Reset	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0
Bits	Access	Name	Description								
[31:26]	RW	dci_metric_abld0	Metric0 alphablend 当前帧的加权值。								
[25:20]	RW	dci_metric_abld1	Metric1 alphablend 当前帧的加权值。								
[19:14]	RW	dci_metric_abld2	Metric2 alphablend 当前帧的加权值。								
[13:8]	RW	dci_hist_abld	当前直方图和前一帧直方图 alphablend 的加权值。								
[7:2]	RW	dci_org_abld	亮度分量调节时的 alpha blend 值。								
[1:0]	RO	reserved	保留。								

## ISP\_VPDCIADJWGT

ISP\_VPDCIADJWGT 为 DCI 手动配置的曲线权重寄存器。

Offset Address		Register Name		Total Reset Value							
0x51C1C		ISP_VPDCIADJWGT		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	dci_man_adjwgt0		dci_man_adjwgt1		dci_man_adjwgt2		reserved				
Reset	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		
Bits	Access	Name	Description								
[31:24]	RW	dci_man_adjwgt0	在手动模式下，配置曲线 0 的权重值。								
[23:16]	RW	dci_man_adjwgt1	在手动模式下，配置曲线 1 的权重值。								
[15:8]	RW	dci_man_adjwgt2	在手动模式下，配置曲线 2 的权重值。								
[7:0]	RO	reserved	保留。								

## ISP\_VPDCICLIP0

ISP\_VPDCICLIP0 为 DCI 曲线 0 权重范围寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x51C20				ISP_VPDCICLIP0								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_wgt_cliplow0				dci_wgt_cliphigh0				reserved																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	dci_wgt_cliplow0		曲线 0 权重值的下限。																											
	[23:16]	RW	dci_wgt_cliphigh0		曲线 0 权重值的上限。																											
	[15:0]	RO	reserved		保留。																											

## ISP\_VPDCICLIP1

ISP\_VPDCICLIP1 为 DCI 曲线 1 权重范围寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x51C24				ISP_VPDCICLIP1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_wgt_cliplow1				dci_wgt_cliphigh1				reserved																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	dci_wgt_cliplow1		曲线 1 权重值的下限。																											
	[23:16]	RW	dci_wgt_cliphigh1		曲线 1 权重值的上限。																											
	[15:0]	RO	reserved		保留。																											

## ISP\_VPDCICLIP2

ISP\_VPDCICLIP2 为 DCI 曲线 2 权重范围寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x51C28				ISP_VPDCICLIP2								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_wgt_cliplow2				dci_wgt_cliphigh2				reserved																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	dci_wgt_cliplow2		曲线 2 权重值的下限。																											
	[23:16]	RW	dci_wgt_cliphigh2		曲线 2 权重值的上限。																											
	[15:0]	RO	reserved		保留。																											

## ISP\_VPDCIGLBGAIN

ISP\_VPDCIGLBGAIN 为 DCI 亮度调节单元全局增益寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x51C2C				ISP_VPDCIGLBGAIN								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_glb_gain0				dci_glb_gain1				dci_glb_gain2				reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:26]	RW	dci_glb_gain0		亮度分量调节时的全局增益 0。																											
	[25:20]	RW	dci_glb_gain1		亮度分量调节时的全局增益 1。																											
	[19:14]	RW	dci_glb_gain2		亮度分量调节时的全局增益 2。																											
	[13:0]	RO	reserved		保留。																											

## ISP\_VPDCIPOSTHR0

ISP\_VPDCIPOSTHR0 为 DCI 调节单元正向调节时的阈值 0 寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x51C30				ISP_VPDCIPOSTHR0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_gainpos_thr1				dci_gainpos_thr2				dci_gainpos_thr3				dci_gainpos_thr4																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	dci_gainpos_thr1	图像由暗变亮调整时，亮度 Y 的阈值 1。																													
[23:16]	RW	dci_gainpos_thr2	图像由暗变亮调整时，亮度 Y 的阈值 2。																													
[15:8]	RW	dci_gainpos_thr3	图像由暗变亮调整时，亮度 Y 的阈值 3。																													
[7:0]	RW	dci_gainpos_thr4	图像由暗变亮调整时，亮度 Y 的阈值 4。																													

## ISP\_VPDCIPOSTHR1

ISP\_VPDCIPOSTHR1 为 DCI 调节单元正向调节时的阈值 1 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x51C34				ISP_VPDCIPOSTHR1				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_gainpos_thr5				dci_gainpos_thr6				dci_gainpos_thr7				reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	dci_gainpos_thr5	图像由暗变亮调整时，亮度 Y 的阈值 5。																													
[23:16]	RW	dci_gainpos_thr6	图像由暗变亮调整时，亮度 Y 的阈值 6。																													
[15:8]	RW	dci_gainpos_thr7	图像由暗变亮调整时，亮度 Y 的阈值 7。																													
[7:0]	RO	reserved	保留。																													

## ISP\_VPDCIPOS\_GAIN0

ISP\_VPDCIPOS\_GAIN0 为 DCI 调节单元正向调节时的增益 0 寄存器。





Offset Address		Register Name		Total Reset Value				
0x51C38		ISP_VPDCIPOS_GAIN0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dc_i_gainpos_c bcr0	dc_i_gainpos_c bcr1	dc_i_gainpos_c bcr2	dc_i_gainpos_c bcr3	dc_i_gainpos_c bcr4	dc_i_gainpos_c bcr5	dc_i_gainpos_c bcr6	dc_i_gainpos_cb cr7
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	dc_i_gainpos_c bcr0	图像由暗变亮调整时，阈值 0 的色度补偿增益。					
[27:24]	RW	dc_i_gainpos_c bcr1	图像由暗变亮调整时，阈值 1 的色度补偿增益。					
[23:20]	RW	dc_i_gainpos_c bcr2	图像由暗变亮调整时，阈值 2 的色度补偿增益。					
[19:16]	RW	dc_i_gainpos_c bcr3	图像由暗变亮调整时，阈值 3 的色度补偿增益。					
[15:12]	RW	dc_i_gainpos_c bcr4	图像由暗变亮调整时，阈值 4 的色度补偿增益。					
[11:8]	RW	dc_i_gainpos_c bcr5	图像由暗变亮调整时，阈值 5 的色度补偿增益。					
[7:4]	RW	dc_i_gainpos_c bcr6	图像由暗变亮调整时，阈值 6 的色度补偿增益。					
[3:0]	RW	dc_i_gainpos_c bcr7	图像由暗变亮调整时，阈值 7 的色度补偿增益。					

## ISP\_VPDCIPOS\_GAIN1

ISP\_VPDCIPOS\_GAIN1 为 DCI 调节单元正向调节时的增益 1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x51C3C		ISP_VPDCIPOS_GAIN1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dc_i_gainpos_c bcr8	reserved						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	dc_i_gainpos_c bcr8	图像由暗变亮调整时，阈值 8 的色度补偿增益。					
[27:0]	RO	reserved	保留。					

## ISP\_VPDCIPOS\_SLP0

ISP\_VPDCIPOS\_SLP0 为 DCI 调节单元正向调节时的斜率 0 寄存器。



Offset Address		Register Name		Total Reset Value						
0x51C40		ISP_VPDCIPOSSLP0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	dci_gainpos_slp0				dci_gainpos_slp1				dci_gainpos_slp2	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:22]	RW	dci_gainpos_slp0	图像由暗变亮调整时，区间 1 的斜率，10bit 有符号数。							
[21:12]	RW	dci_gainpos_slp1	图像由暗变亮调整时，区间 2 的斜率，10bit 有符号数。							
[11:2]	RW	dci_gainpos_slp2	图像由暗变亮调整时，区间 3 的斜率，10bit 有符号数。							
[1:0]	RO	reserved	保留。							

## ISP\_VPDCIPOSSLP1

ISP\_VPDCIPOSSLP1 为 DCI 调节单元正向调节时的斜率 1 寄存器。

Offset Address		Register Name		Total Reset Value						
0x51C44		ISP_VPDCIPOSSLP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	dci_gainpos_slp3				dci_gainpos_slp4				dci_gainpos_slp5	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:22]	RW	dci_gainpos_slp3	图像由暗变亮调整时，区间 4 的斜率，10bit 有符号数。							
[21:12]	RW	dci_gainpos_slp4	图像由暗变亮调整时，区间 5 的斜率，10bit 有符号数。							
[11:2]	RW	dci_gainpos_slp5	图像由暗变亮调整时，区间 6 的斜率，10bit 有符号数。							
[1:0]	RO	reserved	保留。							

## ISP\_VPDCIPOSSLP2

ISP\_VPDCIPOSSLP2 为 DCI 调节单元正向调节时的斜率 2 寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x51C48				ISP_VPDCIPOSSLP2								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_gainpos_slp6				dci_gainpos_slp7								reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:22]	RW	dci_gainpos_slp6	图像由暗变亮调整时，区间 7 的斜率，10bit 有符号数。																													
[21:12]	RW	dci_gainpos_slp7	图像由暗变亮调整时，区间 8 的斜率，10bit 有符号数。																													
[11:0]	RO	reserved	保留。																													

## ISP\_VPDCINEGTHR0

ISP\_VPDCINEGTHR0 为 DCI 调节单元负向调节时的阈值 0 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x51C4C				ISP_VPDCINEGTHR0								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dci_gainneg_thr1				dci_gainneg_thr2								dci_gainneg_thr3								dci_gainneg_thr4											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	dci_gainneg_thr1	图像由亮变暗调整时，亮度 Y 的阈值 1。																													
[23:16]	RW	dci_gainneg_thr2	图像由亮变暗调整时，亮度 Y 的阈值 2。																													
[15:8]	RW	dci_gainneg_thr3	图像由亮变暗调整时，亮度 Y 的阈值 3。																													
[7:0]	RW	dci_gainneg_thr4	图像由亮变暗调整时，亮度 Y 的阈值 4。																													

## ISP\_VPDCINEGTHR1

ISP\_VPDCINEGTHR1 为 DCI 调节单元负向调节时的阈值 1 寄存器。



Offset Address		Register Name		Total Reset Value					
0x51C50		ISP_VPDCINEGTHR1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dci_gainneg_thr5		dci_gainneg_thr6		dci_gainneg_thr7		reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	dci_gainneg_thr5	图像由亮变暗调整时，亮度 Y 的阈值 5。						
[23:16]	RW	dci_gainneg_thr6	图像由亮变暗调整时，亮度 Y 的阈值 6。						
[15:8]	RW	dci_gainneg_thr7	图像由亮变暗调整时，亮度 Y 的阈值 7。						
[7:0]	RO	reserved	保留。						

## ISP\_VPDCINEGGAIN0

ISP\_VPDCINEGGAIN0 为 DCI 调节单元负向调节时的增益 0 寄存器。

Offset Address		Register Name		Total Reset Value				
0x51C54		ISP_VPDCINEGGAIN0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dci_gainneg_c bcr0	dci_gainneg_c bcr1	dci_gainneg_c bcr2	dci_gainneg_c bcr3	dci_gainneg_c bcr4	dci_gainneg_c bcr5	dci_gainneg_c bcr6	dci_gainneg_c bcr7
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	dci_gainneg_c bcr0	图像由亮变暗调整时，阈值 0 的色度补偿增益。					
[27:24]	RW	dci_gainneg_c bcr1	图像由亮变暗调整时，阈值 1 的色度补偿增益。					
[23:20]	RW	dci_gainneg_c bcr2	图像由亮变暗调整时，阈值 2 的色度补偿增益。					
[19:16]	RW	dci_gainneg_c bcr3	图像由亮变暗调整时，阈值 3 的色度补偿增益。					
[15:12]	RW	dci_gainneg_c bcr4	图像由亮变暗调整时，阈值 4 的色度补偿增益。					
[11:8]	RW	dci_gainneg_c bcr5	图像由亮变暗调整时，阈值 5 的色度补偿增益。					
[7:4]	RW	dci_gainneg_c bcr6	图像由亮变暗调整时，阈值 6 的色度补偿增益。					
[3:0]	RW	dci_gainneg_c bcr7	图像由亮变暗调整时，阈值 7 的色度补偿增益。					



## ISP\_VPDCINEGGAIN1

ISP\_VPDCINEGGAIN1 为 DCI 调节单元负向调节时的增益 1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x51C58		ISP_VPDCINEGGAIN1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dci_gainneg_c bcr8		reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	dci_gainneg_c bcr8	图像由亮变暗调整时，阈值 8 的色度补偿增益。					
[27:0]	RO	reserved	保留。					

## ISP\_VPDCINEGSLP0

ISP\_VPDCINEGSLP0 为 DCI 调节单元负向调节时的斜率 0 寄存器。

Offset Address		Register Name		Total Reset Value				
0x51C5C		ISP_VPDCINEGSLP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dci_gainneg_slp0		dci_gainneg_slp1		dci_gainneg_slp2		reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:22]	RW	dci_gainneg_slp0	图像由亮变暗调整时，区间 1 的斜率，10bit 有符号数。					
[21:12]	RW	dci_gainneg_slp1	图像由亮变暗调整时，区间 2 的斜率，10bit 有符号数。					
[11:2]	RW	dci_gainneg_slp2	图像由亮变暗调整时，区间 3 的斜率，10bit 有符号数。					
[1:0]	RO	reserved	保留。					

## ISP\_VPDCINEGSLP1

ISP\_VPDCINEGSLP1 为 DCI 调节单元负向调节时的斜率 1 寄存器。



Offset Address		Register Name		Total Reset Value						
0x51C60		ISP_VPDCINEGSLP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	dci_gainneg_slp3				dci_gainneg_slp4				dci_gainneg_slp5	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:22]	RW	dci_gainneg_slp3	图像由亮变暗调整时，区间 4 的斜率，10bit 有符号数。							
[21:12]	RW	dci_gainneg_slp4	图像由亮变暗调整时，区间 5 的斜率，10bit 有符号数。							
[11:2]	RW	dci_gainneg_slp5	图像由亮变暗调整时，区间 6 的斜率，10bit 有符号数。							
[1:0]	RO	reserved	保留。							

## ISP\_VPDCINEGSLP2

ISP\_VPDCINEGSLP2 为 DCI 调节单元负向调节时的斜率 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0x51C64		ISP_VPDCINEGSLP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dci_gainneg_slp6				dci_gainneg_slp7				reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	dci_gainneg_slp6	图像由亮变暗调整时，区间 7 的斜率，10bit 有符号数。						
[21:12]	RW	dci_gainneg_slp7	图像由亮变暗调整时，区间 8 的斜率，10bit 有符号数。						
[11:0]	RO	reserved	保留。						

## ISPFE\_MAX\_ADDR

ISPFE\_MAX\_ADDR 为 ISP BUFFER 最大地址寄存器。



Offset Address		Register Name		Total Reset Value						
0x60000		ISPFE_MAX_ADDR		0x0000_090F						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						max_addr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 1	0 0 0 0	1 1 1 1		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	max_addr	ISP FE BUFFER 最大地址寄存器。							

## ISPFE\_MAX\_ADDR2

ISPFE\_MAX\_ADDR2 为 ISP BUFFER 最大地址寄存器 2。

Offset Address		Register Name		Total Reset Value						
0x60004		ISPFE_MAX_ADDR2		0x0000_090F						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						max_addr2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 1	0 0 0 0	1 1 1 1		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	max_addr2	ISP FE BUFFER2 最大地址寄存器。							

## ISPFE\_MAX\_ADDR\_NR1

ISPFE\_MAX\_ADDR\_NR1 为 ISP NR BUFFER1 最大地址寄存器。

Offset Address		Register Name		Total Reset Value						
0x60008		ISPFE_MAX_ADDR_NR1		0x0000_060F						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						max_addr_nr1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	1 1 1 1		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	max_addr_nr1	NR BUFFER1 最大地址寄存器。							



## ISPFE\_MAX\_ADDR\_NR2

ISPFE\_MAX\_ADDR\_NR2 为 ISP NR BUFFER2 最大地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x6000C				ISPFE_MAX_ADDR_NR2				0x0000_030F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												max_addr_nr2																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	1	1
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	max_addr_nr2		NR BUFFER2 最大地址寄存器。																											

## ISPFE\_TIMING

ISPFE\_TIMING 为 ISP 时序配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x60010				ISPFE_TIMING				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vsync_sel	hsync_sel																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Bits	Access	Name		Description																											
	[31:2]	RO	reserved		保留。																											
	[1]	RW	vsync_sel		vsync 是否进行 toggle 处理。 0 : 不处理; 1 : 处理。																											
	[0]	RW	hsync_sel		hsync 来源选择。 0 : 输入 hsync; 1 : 输入 de。																											





## ISPFE\_MAX\_ADDR3

ISPFE\_MAX\_ADDR3 为 ISP BUFFER 最大地址寄存器 3。

	Offset Address				Register Name								Total Reset Value																			
	0x60014				ISPFE_MAX_ADDR3								0x0000_051F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												max_addr3																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	max_addr3		ISP FE BUFFER3 最大地址寄存器。																											

## ISPFE\_MAX\_ADDR4

ISPFE\_MAX\_ADDR4 为 ISP BUFFER 最大地址寄存器 4。

	Offset Address				Register Name								Total Reset Value																			
	0x60018				ISPFE_MAX_ADDR4								0x0000_051F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												max_addr4																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											
	[11:0]	RW	max_addr4		ISP FE BUFFER4 最大地址寄存器。																											

## ISPFE\_BYTE\_EN

ISPFE\_BYTE\_EN 为 ISP BYTE\_EN 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x60020		ISPFE_BYTE_EN		0x0000_000F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							byte_en	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:4]	RO	reserved	保留。						
[3:0]	RW	byte_en	byte 使能。 0: 禁止; 1: 使能。						

## ISPFE\_CH\_SWITCH

ISPFE\_CH\_SWITCH 为 ISP 输入转换寄存器。

Offset Address		Register Name		Total Reset Value									
0x60028		ISPFE_CH_SWITCH		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved		isp_ch_switch_4	reserved	isp_ch_switch_3	reserved	isp_ch_switch_2	reserved	isp_ch_switch_1	reserved	isp_ch_switch_0	reserved	isp_ch_switch_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:23]	RO	reserved	保留。										
[22:20]	RW	isp_ch_switch_4	ISP FPN 黑帧数据输入选择。 000: 为第 0 路输入; 001: 为第 1 路输入; 010: 为第 2 路输入; 011: 为第 3 路输入; 100: 为 FPN 黑帧输入; 其他: 为 FPN 黑帧输入。										
[19]	RO	reserved	保留。										



[18:16]	RW	isp_ch_switch_3	ISP 第 3 路数据输入选择。 000: 为第 0 路输入; 001: 为第 1 路输入; 010: 为第 2 路输入; 011: 为第 3 路输入; 100: 为 FPN 黑帧输入; 其他: 为第 3 路输入。
[15]	RO	reserved	保留。
[14:12]	RW	isp_ch_switch_2	ISP 第 2 路数据输入选择。 000: 为第 0 路输入; 001: 为第 1 路输入; 010: 为第 2 路输入; 011: 为第 3 路输入; 100: 为 FPN 黑帧输入; 其他: 为第 2 路输入。
[11]	RO	reserved	保留。
[10:8]	RW	isp_ch_switch_1	ISP 第 1 路数据输入选择。 000: 为第 0 路输入; 001: 为第 1 路输入; 010: 为第 2 路输入; 011: 为第 3 路输入; 100: 为 FPN 黑帧输入; 其他: 为第 1 路输入。
[7]	RO	reserved	保留。
[6:4]	RW	isp_ch_switch_0	ISP 第 0 路数据输入选择。 000: 为第 0 路输入; 001: 为第 1 路输入; 010: 为第 2 路输入; 011: 为第 3 路输入; 100: 为 FPN 黑帧输入; 其他: 为第 0 路输入。
[3:1]	RO	reserved	保留。
[0]	RW	isp_ch_switch_en	ISP 输入转换使能。 0: 禁止; 1: 使能。



## ISPFE\_FE\_BYPASS\_CFG

ISPFE\_FE\_BYPASS\_CFG 为 ISP FE BYPASS 寄存器。

Offset Address	Register Name	Total Reset Value	
0x6002C	ISPFE_FE_BYPASS_CFG	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	input_mode reserved bypass_en		
Reset	0 0		
Bits	Access	Name	Description
[31:30]	RW	input_mode	ISP 输入模式选择。 00: 线性 16bit 输入, 经过 ch_switch 后, 第 0 路数据有效; 01: WDR 输入, 每个通道 12bit 输入; 10: 一路 16bit 扩展输入, 经过 ch_switch 后, 第 0 路有效; 一路 12bit 输入, 经过 ch_switch 后, 第 3 路有效; 11: 两路 12bit 输入, 经过 ch_switch 后, 第 0、3 路有效。
[29:1]	RO	reserved	保留。
[0]	RW	bypass_en	ISP FE BYPASS 使能。 0: 数据经过 ISP FE; 1: 数据绕过 ISP FE。

## ISPFE\_CROP\_CFG

ISPFE\_CROP\_CFG 为 CROP 使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x60030		ISPFE_CROP_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							n1_en	n0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	n1_en	1 区域使能。 0: 禁止; 1: 使能。						
[0]	RW	n0_en	0 区域使能。 0: 禁止; 1: 使能。						

## ISPFE\_CROP\_WIN

ISPFE\_CROP\_WIN 为 CROP 窗口寄存器。

Offset Address		Register Name		Total Reset Value				
0x60034		ISPFE_CROP_WIN		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	height				width			
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	height	窗口高度(以行为单位), 配置值为实际值减 1。					
[15:0]	RW	width	窗口宽度(以像素为单位), 配置值为实际值减 1。					

## ISPFE\_CROP0\_START

ISPFE\_CROP0\_START 为 0 区域 CROP 起始位置寄存器。



Offset Address		Register Name		Total Reset Value				
0x60038		ISPFE_CROP0_START		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	y_start				x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	y_start	开始获取图像的行号。					
[15:0]	RW	x_start	开始获取图像的像素号。					

### ISPFE\_CROP0\_SIZE

ISPFE\_CROP0\_SIZE 为 0 区域 CROP 大小置寄存器。

Offset Address		Register Name		Total Reset Value				
0x6003C		ISPFE_CROP0_SIZE		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	height				width			
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	height	获取图像的高度(以行为单位)，配置值为实际值减 1。					
[15:0]	RW	width	获取图像一行的宽度(以像素为单位)，配置值为实际值减 1。					

### ISPFE\_INT

ISPFE\_INT 为 ISP 中断指示寄存器。



Offset Address		Register Name		Total Reset Value																	
0x600F0		ISPFE_INT		0x0000_0000																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved			fe_fstart	int_dis_stat	int15	int14	int13	int12	int11	int10	int9	int8	int7	int6	int5	int4	int3	int2	int1	int0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																		
[31:18]	RO	reserved	保留。																		
[17]	WC	fe_fstart	ISP FE 帧起始中断，写 1 清零。 0: 无中断; 1: 有中断。																		
[16]	WC	int_dis_stat	DIS 当前帧统计完成中断，写 1 清零。 0: 无中断; 1: 有中断。																		
[15]	WC	int15	ISP 15 号中断指示寄存器，写 1 清零 0: 无中断; 1: 有中断。																		
[14]	WC	int14	ISP 14 号中断指示寄存器，写 1 清零 0: 无中断; 1: 有中断。																		
[13]	WC	int13	ISP 13 号中断指示寄存器，写 1 清零 0: 无中断; 1: 有中断。																		
[12]	WC	int12	ISP 12 号中断指示寄存器，写 1 清零 0: 无中断; 1: 有中断。																		
[11]	WC	int11	ISP 11 号中断指示寄存器，写 1 清零 0: 无中断; 1: 有中断。																		
[10]	WC	int10	ISP 10 号中断指示寄存器，写 1 清零 0: 无中断; 1: 有中断。																		



Offset Address		Register Name		Total Reset Value																														
0x600F0		ISPFE_INT		0x0000_0000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																fe_fstart	int_dis_stat	int15	int14	int13	int12	int11	int10	int9	int8	int7	int6	int5	int4	int3	int2	int1	int0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access	Name	Description																															
[9]	WC	int9	ISP 9号中断指示寄存器，写1清零 0: 无中断; 1: 有中断。																															
[8]	WC	int8	ISP 8号中断指示寄存器，写1清零 0: 无中断; 1: 有中断。																															
[7]	WC	int7	ISP 7号中断指示寄存器，写1清零 0: 无中断; 1: 有中断。																															
[6]	WC	int6	ISP 6号中断指示寄存器，写1清零 0: 无中断; 1: 有中断。																															
[5]	WC	int5	ISP 5号中断指示寄存器，写1清零 0: 无中断; 1: 有中断。																															
[4]	WC	int4	ISP 4号中断指示寄存器，写1清零 0: 无中断; 1: 有中断。																															
[3]	WC	int3	ISP 3号中断指示寄存器，写1清零 0: 无中断; 1: 有中断。																															
[2]	WC	int2	ISP 2号中断指示寄存器，写1清零 0: 无中断; 1: 有中断。																															





Offset Address		Register Name		Total Reset Value																		
0x600F0		ISPFE_INT		0x0000_0000																		
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0														
Name	reserved				fe_fstart	int_dis_stat	int15	int14	int13	int12	int11	int10	int9	int8	int7	int6	int5	int4	int3	int2	int1	int0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																			
[1]	WC	int1	ISP 1 号中断指示寄存器，写 1 清零 0: 无中断; 1: 有中断。																			
[0]	WC	int0	ISP 0 号中断指示寄存器，写 1 清零 0: 无中断; 1: 有中断。																			

## ISPFE\_INT\_MASK

ISPFE\_INT\_MASK 为 ISP 中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value																		
0x600F8		ISPFE_INT_MASK		0x0000_0000																		
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0														
Name	reserved				fe_fstart_en	int_dis_stat_en	int15_en	int14_en	int13_en	int12_en	int11_en	int10_en	int9_en	int8_en	int7_en	int6_en	int5_en	int4_en	int3_en	int2_en	int1_en	int0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																			
[31:18]	RO	reserved	保留。																			
[17]	RW	fe_fstart_en	ISP FE 帧起始中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。																			



[16]	RW	int_dis_stat_en	DIS 当前帧统计完成中断屏蔽寄存器。 0: 屏蔽中断; 1: 使能中断。
[15]	RW	int15_en	ISP 15 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[14]	RW	int14_en	ISP 14 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[13]	RW	int13_en	ISP 13 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[12]	RW	int12_en	ISP 12 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[11]	RW	int11_en	ISP 11 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[10]	RW	int10_en	ISP 10 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[9]	RW	int9_en	ISP 9 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[8]	RW	int8_en	ISP 8 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[7]	RW	int7_en	ISP 7 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[6]	RW	int6_en	ISP 6 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。



[5]	RW	int5_en	ISP 5 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[4]	RW	int4_en	ISP 4 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[3]	RW	int3_en	ISP 3 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[2]	RW	int2_en	ISP 2 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[1]	RW	int1_en	ISP 1 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。
[0]	RW	int0_en	ISP 0 号中断屏蔽寄存器 0: 屏蔽中断; 1: 使能中断。

## ISP\_DIS\_CFG

ISP\_DIS\_CFG 为工作使能寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x62400	ISP_DIS_CFG	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved															work_en
Reset	0 0															
Bits	Access	Name	Description													
[31:1]	RO	reserved	保留。													
[0]	RW	work_en	DIS 使能。 0: 关闭, 1: 使能。													



## ISP\_DIS\_BLK

ISP\_DIS\_BLK 为块配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x62404				ISP_DIS_BLK				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				srch_range				srch_range_0	reserved				blk_size				blk_size_0														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:24]				[23:17]				[16]	[15:9]				[8:1]				[0]														
Access	RO				RW				RO	RO				RW				RO														
Name	reserved				srch_range				srch_range_0	reserved				blk_size				blk_size_0														
Description	保留。				搜索范围高 7bit。配置范围 4-64。				固定为零。搜索范围最低 bit。	保留。				分块正方形边长高 8bit。配置范围 8-128。				固定为零。分块正方形边长最低 bit。														

## ISP\_DIS\_V0POS

ISP\_DIS\_V0POS 为垂直 PRJ0 块地址。

	Offset Address				Register Name				Total Reset Value																							
	0x62410				ISP_DIS_V0POS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ver				reserved				hor																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:27]				[26:16]																											
Access	RO				RW																											
Name	reserved				ver																											
Description	保留。				垂直 PRJ0 块垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。																											



[15:12]	RO	reserved	保留。
[11:0]	RW	hor	垂直 PRJ 0 块水平坐标，不包含坐标值最低位，减少 1bit 寄存器。

## ISP\_DIS\_V4POS

ISP\_DIS\_V4POS 为垂直 PRJ4 块地址。

Offset Address		Register Name		Total Reset Value				
0x62414		ISP_DIS_V4POS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	ver		reserved	hor			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:16]	RW	ver	垂直 PRJ 4 块垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。					
[15:12]	RO	reserved	保留。					
[11:0]	RW	hor	垂直 PRJ 4 块水平坐标，不包含坐标值最低位，减少 1bit 寄存器。					

## ISP\_DIS\_V8POS

ISP\_DIS\_V8POS 为垂直 PRJ8 块地址。

Offset Address		Register Name		Total Reset Value				
0x62418		ISP_DIS_V8POS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	ver		reserved	hor			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26:16]	RW	ver	垂直 PRJ 8 块垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。					
[15:12]	RO	reserved	保留。					



[11:0]	RW	hor	垂直 PRJ 8 块水平坐标，不包含坐标值最低位，减少 1bit 寄存器。
--------	----	-----	---------------------------------------

## ISP\_DIS\_V0POSE

ISP\_DIS\_V0POSE 为垂直 PRJ0 块地址。

	Offset Address	Register Name	Total Reset Value
	0x62420	ISP_DIS_V0POSE	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved	ver	reserved
			hor
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:16]	RW	ver	垂直 PRJ 0 块终点垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。
[15:12]	RO	reserved	保留。
[11:0]	RW	hor	垂直 PRJ 0 块终点水平坐标，不包含坐标值最低位，减少 1bit 寄存器。

## ISP\_DIS\_V4POSE

ISP\_DIS\_V4POSE 为垂直 PRJ4 块地址。

	Offset Address	Register Name	Total Reset Value
	0x62424	ISP_DIS_V4POSE	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved	ver	reserved
			hor
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:27]	RO	reserved	保留。
[26:16]	RW	ver	垂直 PRJ 4 块终点垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。
[15:12]	RO	reserved	保留。
[11:0]	RW	hor	垂直 PRJ 4 块终点水平坐标，不包含坐标值最低位，减少 1bit 寄存器。



## ISP\_DIS\_V8POSE

ISP\_DIS\_V8POSE 为垂直 PRJ8 块地址。

	Offset Address				Register Name				Total Reset Value																							
	0x62428				ISP_DIS_V8POSE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ver				reserved				hor																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:27]	RO	reserved		保留。																											
	[26:16]	RW	ver		垂直 PRJ 8 块终点垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。																											
	[15:12]	RO	reserved		保留。																											
	[11:0]	RW	hor		垂直 PRJ 8 块终点水平坐标，不包含坐标值最低位，减少 1bit 寄存器。																											

## ISP\_DIS\_H0POS

ISP\_DIS\_H0POS 为水平 PRJ0 块地址。

	Offset Address				Register Name				Total Reset Value																							
	0x62430				ISP_DIS_H0POS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ver				reserved				hor																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:27]	RO	reserved		保留。																											
	[26:16]	RW	ver		水平 PRJ 0 块垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。																											
	[15:12]	RO	reserved		保留。																											
	[11:0]	RW	hor		水平 PRJ 0 块水平坐标，不包含坐标值最低位，减少 1bit 寄存器。																											



## ISP\_DIS\_H4POS

ISP\_DIS\_H4POS 为水平 PRJ4 块地址。

	Offset Address				Register Name				Total Reset Value																							
	0x62434				ISP_DIS_H4POS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ver				reserved				hor																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:27]	RO		reserved		保留。																											
[26:16]	RW		ver		水平 PRJ 4 块垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。																											
[15:12]	RO		reserved		保留。																											
[11:0]	RW		hor		水平 PRJ 4 块水平坐标，不包含坐标值最低位，减少 1bit 寄存器。																											

## ISP\_DIS\_H8POS

ISP\_DIS\_H8POS 为水平 PRJ8 块地址。

	Offset Address				Register Name				Total Reset Value																							
	0x62438				ISP_DIS_H8POS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ver				reserved				hor																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:27]	RO		reserved		保留。																											
[26:16]	RW		ver		水平 PRJ 8 块垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。																											
[15:12]	RO		reserved		保留。																											
[11:0]	RW		hor		水平 PRJ 8 块水平坐标，不包含坐标值最低位，减少 1bit 寄存器。																											





## ISP\_DIS\_H0POSE

ISP\_DIS\_H0POSE 为水平 PRJ0 块地址。

	Offset Address				Register Name				Total Reset Value																							
	0x62440				ISP_DIS_H0POSE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ver				reserved				hor																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:27]	RO	reserved	保留。																													
[26:16]	RW	ver	水平 PRJ 0 块终点垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。																													
[15:12]	RO	reserved	保留。																													
[11:0]	RW	hor	水平 PRJ 0 块终点水平坐标，不包含坐标值最低位，减少 1bit 寄存器。																													

## ISP\_DIS\_H4POSE

ISP\_DIS\_H4POSE 为水平 PRJ4 块地址。

	Offset Address				Register Name				Total Reset Value																							
	0x62444				ISP_DIS_H4POSE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ver				reserved				hor																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:27]	RO	reserved	保留。																													
[26:16]	RW	ver	水平 PRJ 4 块终点垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。																													
[15:12]	RO	reserved	保留。																													
[11:0]	RW	hor	水平 PRJ 4 块终点水平坐标，不包含坐标值最低位，减少 1bit 寄存器。																													



## ISP\_DIS\_H8POSE

ISP\_DIS\_H8POSE 为水平 PRJ8 块地址。

Offset Address		Register Name		Total Reset Value					
0x62448		ISP_DIS_H8POSE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ver		reserved		hor		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	ver	水平 PRJ 8 块终点垂直坐标，不包含坐标值最低位，减少 1bit 寄存器。						
[15:12]	RO	reserved	保留。						
[11:0]	RW	hor	水平 PRJ 8 块终点水平坐标，不包含坐标值最低位，减少 1bit 寄存器。						

## ISP\_DIS\_RAW\_LUMA

ISP\_DIS\_RAW\_LUMA 为数据类型寄存器。

Offset Address		Register Name		Total Reset Value					
0x62450		ISP_DIS_RAW_LUMA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								raw_luma
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	raw_luma	输入数据类型。 0: YUV; 1: RAW。						



## ISP\_DIS\_GAMMA\_EN

ISP\_DIS\_GAMMA\_EN 为 gamma 使能。

Offset Address		Register Name		Total Reset Value																												
0x62454		ISP_DIS_GAMMA_EN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												gamma_en			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:1]	RO	reserved		保留。																												
[0]	RW	gamma_en		GAMMA 使能。 0: 关闭; 1: 使能。																												

## ISP\_DIS\_H\_STAT\_RADDR

ISP\_DIS\_H\_STAT\_RADDR 为水平统计值读地址。

Offset Address		Register Name		Total Reset Value																												
0x62488		ISP_DIS_H_STAT_RADDR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	h_stat_raddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:0]	RW	h_stat_raddr		各个区块的 h_delta,h_sad,h_mv 信息。每个地址仅包含一个信息。如： 0x00:区块 0 的 h_delta[15:0]; 0x01:区块 0 的 h_sad[23:0]; 0x02:区块 0 的 h_mv[8:0]; .....以此类推。																												

## ISP\_DIS\_H\_STAT\_RDATA

ISP\_DIS\_H\_STAT\_RDATA 为水平统计值读数据。



Offset Address		Register Name		Total Reset Value				
0x6248C		ISP_DIS_H_STAT_RDATA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	h_stat_rdata							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	h_stat_rdata	水平方向的统计值。					

### ISP\_DIS\_V\_STAT\_RADDR

ISP\_DIS\_V\_STAT\_RADDR 为垂直统计值读地址。

Offset Address		Register Name		Total Reset Value				
0x62498		ISP_DIS_V_STAT_RADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	v_stat_raddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	v_stat_raddr	各个区块的 v_delta,v_sad,v_mv 信息。每个地址仅包含一个信息。如： 0x00:区块 0 的 v_delta[15:0]; 0x01:区块 0 的 v_sad[23:0]; 0x02:区块 0 的 v_mv[8:0]; ……以此类推。					

### ISP\_DIS\_V\_STAT\_RDATA

ISP\_DIS\_V\_STAT\_RDATA 为垂直统计值读数据。



Offset Address		Register Name		Total Reset Value				
0x6249C		ISP_DIS_V_STAT_RDATA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	v_stat_rdata							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	v_stat_rdata	垂直方向的统计值。					

### ISP\_DIS\_CTRL\_F

ISP\_DIS\_CTRL\_F 为 DIS 普通控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x624E0		ISP_DIS_CTRL_F		0x0000_0003				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							rggb_cfg
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1
Bits	Access	Name	Description					
[31:2]	RO	reserved	保留。					
[1:0]	RW	rggb_cfg	RGGB 顺序。 00: R Gr Gb B; 01: Gr R B Gb; 10: Gb B R Gr; 11: B Gb Gr R。					

### ISP\_DIS\_CTRL\_I

ISP\_DIS\_CTRL\_I 为 DIS 立即更新寄存器。



Offset Address		Register Name		Total Reset Value					
0x624E4		ISP_DIS_CTRL_I		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								update_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	update_mode	ISP 更新模式寄存器： 0: reg_newer 更新； 1: 帧更新。						

## ISP\_DIS\_UPDATE

ISP\_DIS\_UPDATE 为 DIS 寄存器更新寄存器。

Offset Address		Register Name		Total Reset Value					
0x624EC		ISP_DIS_UPDATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								update
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	update	ISP 更新寄存器，每帧自动清零。						

## ISP\_FPN\_CFG

ISP\_FPN\_CFG 为 FPN 配置寄存器。



Offset Address		Register Name		Total Reset Value						
0x63a00		ISP_FPN_CFG		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						line_frame	calib_corr	reserved	enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9]	RW	line_frame	FPN 帧/行模式选择。 0: 帧模式; 1: 行模式。							
[8]	RW	calib_corr	FPN 校正/标定模式选择。 0: 校正模式; 1: 标定模式。							
[7:1]	RO	reserved	保留。							
[0]	RW	enable	FPN 使能。 0: 禁止; 1: 使能。							

## ISP\_FPN\_CALIB\_START

ISP\_FPN\_CALIB\_START 为 FPN 标定开始标定信号寄存器。



Offset Address		Register Name		Total Reset Value					
0x63a04		ISP_FPN_CALIB_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								calib_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	calib_start	FPN 标定开始信号。自动清零。						

## ISP\_FPN\_CORR\_CFG

ISP\_FPN\_CORR\_CFG 为 FPN 校正配置寄存器。

Offset Address		Register Name		Total Reset Value							
0x63a08		ISP_FPN_CORR_CFG		0x0000_000F							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							correct3_en	correct2_en	correct1_en	correct0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	correct3_en	FPN 第 3 路校正使能。 0: 禁止; 1: 使能。								
[2]	RW	correct2_en	FPN 第 2 路校正使能。 0: 禁止; 1: 使能。								





[1]	RW	correct1_en	FPN 第 1 路校正使能。 0: 禁止; 1: 使能。
[0]	RW	correct0_en	FPN 第 0 路校正使能。 0: 禁止; 1: 使能。

## ISP\_FPN\_STAT

ISP\_FPN\_STAT 为 FPN 标定状态寄存器。

	Offset Address 0x63a0C								Register Name ISP_FPN_STAT								Total Reset Value 0xFFFF_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	hcnt								reserved	vcnt				reserved				busy																		
Reset	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:16]	RO	hcnt	行计数。																																
	[15:14]	RO	reserved	保留。																																
	[13:8]	RO	vcnt	标定帧计数。																																
	[7:1]	RO	reserved	保留。																																
	[0]	RO	busy	FPN 标定状态寄存器。 0: 空闲; 1: 标定。																																

## ISP\_FPN\_WHITE\_LEVEL

ISP\_FPN\_WHITE\_LEVEL 为 FPN 标定白点配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x63a10		ISP_FPN_WHITE_LEVEL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					white_level			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	RO	reserved	保留。						
[13:0]	RW	white_level	FPN 标定白点配置。						

## ISP\_FPN\_DIVCOEF

ISP\_FPN\_DIVCOEF 为 FPN 标定除法系数寄存器。

Offset Address		Register Name		Total Reset Value					
0x63a18		ISP_FPN_DIVCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					divcoef			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	divcoef	FPN 标定除法系数。						

## ISP\_FPN\_FRAMELOG2

ISP\_FPN\_FRAMELOG2 为 FPN 标定帧数寄存器。



Offset Address		Register Name		Total Reset Value					
0x63a1C		ISP_FPN_FRAMELOG2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							cpi_fpn_frameLog2	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	RO	reserved	保留。						
[2:0]	RW	cpi_fpn_frameLog2	FPN 标定帧数，帧数对 2 取对数后配入。						

### ISP\_FPN\_SUM0

ISP\_FPN\_SUM0 为 FPN 标定累加和低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x63a20		ISP_FPN_SUM0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sum							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sum	FPN 标定累加和低位。					

### ISP\_FPN\_SUM1

ISP\_FPN\_SUM1 为 FPN 标定累加和高位寄存器。



Offset Address		Register Name		Total Reset Value				
0x63a24		ISP_FPN_SUM1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sum							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sum	FPN 标定累加和高位。					

### ISP\_FPN\_CORR0

ISP\_FPN\_CORR0 为 FPN 校正配置 0 寄存器。

Offset Address		Register Name		Total Reset Value				
0x63a30		ISP_FPN_CORR0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	strength			reserved		offset		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	strength	FPN 校正强度，U8.8。					
[15:12]	RO	reserved	保留。					
[11:0]	RW	offset	FPN 校正偏置。					

### ISP\_FPN\_CORR1

ISP\_FPN\_CORR1 为 FPN 校正配置 1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x63a34		ISP_FPN_CORR1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	strength			reserved		offset		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	strength	FPN 校正强度，U8.8。					
[15:12]	RO	reserved	保留。					



[11:0]	RW	offset	FPN 校正偏置。
--------	----	--------	-----------

## ISP\_FPN\_CORR2

ISP\_FPN\_CORR2 为 FPN 校正配置 2 寄存器。

Offset Address		Register Name		Total Reset Value																												
0x63a38		ISP_FPN_CORR2		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	strength												reserved				offset															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:16]	RW	strength		FPN 校正强度, U8.8。																												
[15:12]	RO	reserved		保留。																												
[11:0]	RW	offset		FPN 校正偏置。																												

## ISP\_FPN\_CORR3

ISP\_FPN\_CORR3 为 FPN 校正配置 3 寄存器。

Offset Address		Register Name		Total Reset Value																												
0x63a3C		ISP_FPN_CORR3		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	strength												reserved				offset															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:16]	RW	strength		FPN 校正强度, U8.8。																												
[15:12]	RO	reserved		保留。																												
[11:0]	RW	offset		FPN 校正偏置。																												

## ISP\_FPN\_SHIFT

ISP\_FPN\_SHIFT 为 FPN 移位配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x63a40		ISP_FPN_SHIFT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	frame_calib_shift	reserved	out_shift	reserved	in_shift	reserved	fpn_shift
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:24]	RW	frame_calib_shift	帧标定最后一帧输出左移位数。					
[23:20]	RO	reserved	保留。					
[19:16]	RW	out_shift	输出左移位数。					
[15:12]	RO	reserved	保留。					
[11:8]	RW	in_shift	输入右移位数。					
[7:4]	RO	reserved	保留。					
[3:0]	RW	fpn_shift	输入 FPN 右移位数。					

## ISP\_FPN\_MAX\_O

ISP\_FPN\_MAX\_O 为 FPN 输出最大值寄存器。

Offset Address		Register Name		Total Reset Value				
0x63a50		ISP_FPN_MAX_O		0x0000_3FFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				max_o			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	max_o	FPN 输出最大值。					

## ISP\_FPN\_OVERFLOWTHR

ISP\_FPN\_OVERFLOWTHR 为 FPN 校正阈值。



Offset Address		Register Name		Total Reset Value				
0x63a54		ISP_FPN_OVERFLOWTHR		0x0000_3FFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				overflowthr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:14]	RO	reserved	保留。					
[13:0]	RW	overflowthr	FPN 校正阈值。					

### ISP\_FPN\_LINE\_WADDR

ISP\_FPN\_LINE\_WADDR 为 FPN 行模式黑行写地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x63a80		ISP_FPN_LINE_WADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fpn_line_waddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fpn_line_waddr	FPN 行模式黑行写地址寄存器。					

### ISP\_FPN\_LINE\_WDATA

ISP\_FPN\_LINE\_WDATA 为 FPN 行模式黑行写数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x63a84		ISP_FPN_LINE_WDATA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fpn_line_wdata							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fpn_line_wdata	FPN 行模式黑行写数据寄存器。					



## ISP\_FPN\_LINE\_RADDR

ISP\_FPN\_LINE\_RADDR 为 FPN 行模式黑行读地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x63a88		ISP_FPN_LINE_RADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fpn_line_raddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fpn_line_raddr	FPN 行模式黑行读地址寄存器。					

## ISP\_FPN\_LINE\_RDATA

ISP\_FPN\_LINE\_RDATA 为 FPN 行模式黑行读数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x63a8C		ISP_FPN_LINE_RDATA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fpn_line_rdata							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fpn_line_rdata	FPN 行模式黑行读数据寄存器。					

## ISP\_FPN\_CTRL\_F

ISP\_FPN\_CTRL\_F 为 FPN 普通控制寄存器。





Offset Address		Register Name		Total Reset Value					
0x63aE0		ISP_FPN_CTRL_F		0x0000_0003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								rggb_cfg
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1:0]	RW	rggb_cfg	RGGB 顺序。 00: R Gr Gb B; 01: Gr R B Gb; 10: Gb B R Gr; 11: B Gb Gr R。						

## ISP\_FPN\_CTRL\_I

ISP\_FPN\_CTRL\_I 为 FPN 立即更新控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x63aE4		ISP_FPN_CTRL_I		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								update_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	update_mode	ISP 更新模式寄存器。 0: update 寄存器更新; 1: 帧更新。						



## ISP\_FPN\_TIMING

ISP\_FPN\_TIMING 为 FPN 输出时序配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x63aE8		ISP_FPN_TIMING		0x0000_0080																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cpi_fix_timing_stat												reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:14]	RO	reserved		保留。																											
	[13:1]	RW	cpi_fix_timing_stat		手动时序参数设置，设置生成的行消隐区长度。																											
	[0]	RO	reserved		保留。																											

## ISP\_FPN\_UPDATE

ISP\_FPN\_UPDATE 为 FPN 寄存器更新寄存器。

Offset Address		Register Name		Total Reset Value																												
0x63aEC		ISP_FPN_UPDATE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																update															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RO	reserved		保留。																											
	[0]	RW	update		ISP 更新寄存器，每帧自动清 0。																											

## ISP\_FPN\_SIZE

ISP\_FPN\_SIZE 为 FPN 图像宽高寄存器。



Offset Address		Register Name		Total Reset Value						
0x63aF0		ISP_FPN_SIZE		0x0437_077F						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	height				reserved	width			
Reset	0 0 0 0	0 1 0 0	0 0 1 1	0 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28:16]	RW	height	图像高(减 1)，如 1080 图像高度，配 1079。							
[15:13]	RO	reserved	保留。							
[12:0]	RW	width	图像宽(减 1)，如 1920 图像宽度，配 1919。							



# 目 录

<b>11 音频接口</b> .....	<b>11-1</b>
11.1 AIAO .....	11-1
11.1.1 概述.....	11-1
11.1.2 特点.....	11-2
11.1.3 功能描述.....	11-3
11.1.4 工作方式.....	11-4
11.1.5 AIAO 寄存器概览.....	11-7
11.1.6 AIAO 寄存器描述.....	11-8
11.2 Audio Codec.....	11-32
11.2.1 概述.....	11-32
11.2.2 特点.....	11-32
11.2.3 功能描述.....	11-33
11.2.4 Audio Codec 寄存器概览.....	11-34
11.2.5 Audio Codec 寄存器描述.....	11-34



## 插图目录

图 11-1 Hi3519V100 AIAO 框图.....	11-2
图 11-2 I <sup>2</sup> S/PCM 接口主模式连接示意图 .....	11-3
图 11-3 I <sup>2</sup> S 接口时序.....	11-4
图 11-4 PCM 接口标准模式时序 .....	11-4
图 11-5 PCM 接口自定义模式时序 .....	11-4



---

## 表格目录

---

表 11-1 AIAO 寄存器概览（基址是 0x1108\_0000） ..... 11-7



# 11 音频接口

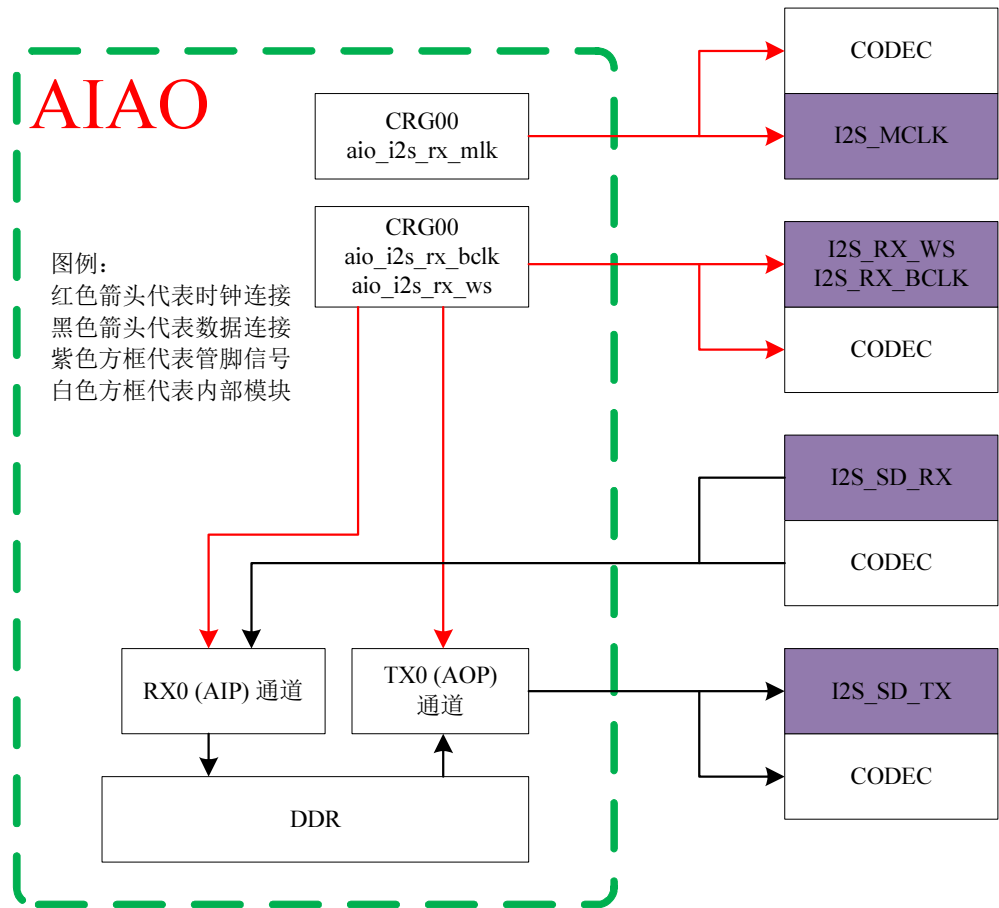
## 11.1 AIAO

### 11.1.1 概述

音频输入输出接口 AIAO (Audio Input/Audio Output)，用于和片内或片外 AudioCodec 的对接，完成音频数据的输入和输出，以实现录音、对讲、回放等功能。Hi3519V100 内部集成 1 个 AIAO，包含 1 个 AIP (Audio Input Port) 和 1 个 AOP (Audio Output Port)，支持立体声输入输出。基本模块框图如图 11-1 所示：



图11-1 Hi3519V100 AIAO 框图



## 11.1.2 特点

AIAO 接口支持 I<sup>2</sup>S 和 PCM（Pulse Code Modulation）两种模式，采用 DMA 方式存取数据。

### PCM 接口

PCM 接口有如下特点：

- 支持主模式单声道 16bit 线性 PCM 编码的发送和接收。
- PCM 接口帧同步信号仅支持短脉冲同步信号（同步信号的持续时间为 1 个时钟周期），支持标准和自定义 2 种模式。
- 接收（AIP）和发送（AOP）相互独立，可以单独使能或关闭。
- 接收（AIP）和发送（AOP）均采用 DMA 操作，通过软件开辟的循环缓冲区存取数据，循环缓冲区大小和水线可调。

### I<sup>2</sup>S 接口

I<sup>2</sup>S 接口有如下特点：





- 支持主模式立体声 16/24bit 数据的发送和接收。
- 支持 8kHz~192kHz 采样率。
- 接收（AIP）和发送（AOP）相互独立，可以单独使能或关闭。
- 接收（AIP）和发送（AOP）均采用 DMA 操作，通过软件开辟的循环缓冲区存取数据，循环缓冲区大小和水线可调。

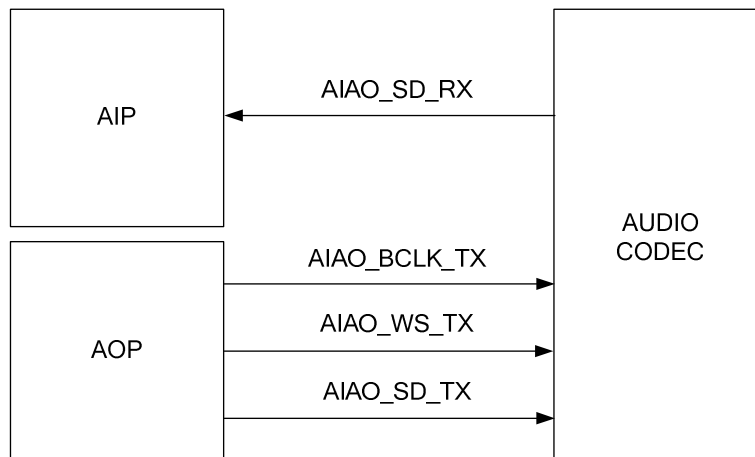
### 11.1.3 功能描述

#### 典型应用

Hi3519V100 内部集成 1 个 AIP 和 1 个 AOP，其中：

- AIP 支持上述 PCM 或 I2S 模式下的数据接收。
- AOP 支持上述 PCM 或 I2S 模式下的音乐播放。
- AIP 支持主模式 I2S 对接内部 Audio Codec 或者 I2S/PCM 主模式对接外部 ADC 作声音采集。
- AOP 支持主模式 I2S 对接内部 Audio Codec 或者 I2S/PCM 主模式对接外部 DAC 作音乐播放。

图11-2 I<sup>2</sup>S/PCM 接口主模式连接示意图



#### 功能原理

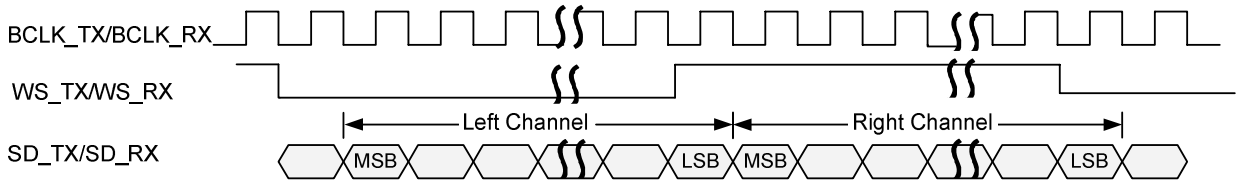
AIP 通过 I<sup>2</sup>S 或 PCM 接口接收对接内部集成的 Audio Codec 或外置 ADC 进行 AD（Analog-to-Digital）转换后的音频数据，存入为 AIP 开辟的循环缓冲区，然后由 CPU 取走并存储，从而完成录音功能。

AOP 从循环缓冲区中读取音频数据，然后按照设定的采样率，把音频数据通过 I<sup>2</sup>S 或 PCM 接口传送给对接内部集成的 Audio Codec 或外置 DAC 进行 DA（Digital-to-Analog）转换后进行声音播放。

对接外部 I2S 接口时，支持的 I2S 时序如图 11-3。



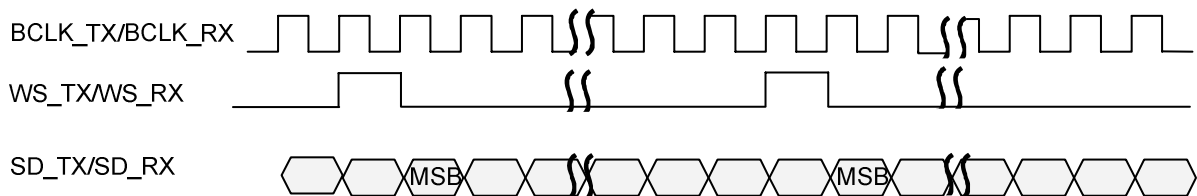
图11-3 I<sup>2</sup>S 接口时序



I<sup>2</sup>S 采用 MSB FIRST 方式传输，数据与 WS 信号使用 BCLK 的下降沿发出，在 BCLK 的上升沿采样。数据相对 WS 信号延迟一个 BCLK 周期。

对接外部 PCM 接口时，支持 PCM 标准时序和数据左对齐时序。标准时序如图 11-4。

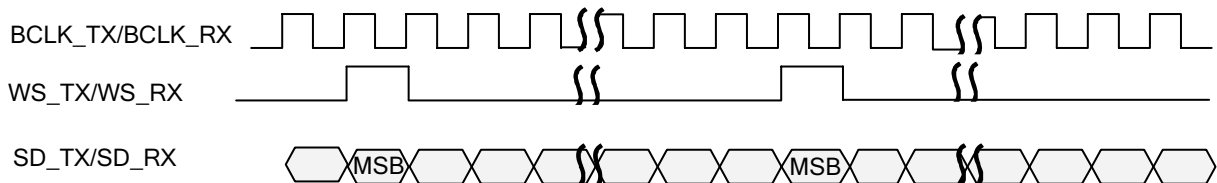
图11-4 PCM 接口标准模式时序



PCM 模式采用 MSB FIRST 方式传输，数据与 WS 信号使用 BCLK 上升沿发出，在 BCLK 下降沿被采样。标准模式中数据相对于 WS 信号延迟一个 BCLK 周期。

PCM 自定义模式时序如图 11-5 所示。

图11-5 PCM 接口自定义模式时序



自定义模式时，数据与 WS 脉冲同拍开始发出。

## 11.1.4 工作方式

### 通路复用配置

由于只有一对 AIP/AOP 通路，因此内部集成的 Audio Codec 与外部 I<sup>2</sup>S/PCM 对接的 ADC/DAC 不能同时工作。

在系统 MISC 寄存器中，配置 i2s\_pad\_enable 寄存器为 1 和 audio\_enable 寄存器为 0 时，连接 AIP/AOP 通路到外部 I<sup>2</sup>S/PCM 管脚。反之配置 i2s\_pad\_enable 寄存器为 0 和 audio\_enable 寄存器为 1 时，连接 AIP/AOP 到内部集成的 Audio Codec。



## 时钟门控及时钟配置

在使能 AIAO 进行录音或播放时，必须先打开 AIAO 中对应通道（AIP/AOP）的时钟门控。具体步骤如下：

- 步骤 1. 配置系统 CRG 寄存器的 PERI\_CRG32 为 0x2，解除 AIAO 复位，并打开时钟门控。
- 步骤 2. 配置 AIAO 寄存器的 I2S\_CRG\_CFG0\_00、I2S\_CRG\_CFG1\_00。选择合适的分频系数。注意使用内部集成的 Audio Codec 时，Audio Codec 配置的 i2s1\_fs\_sel 寄存器的 MCLK/WS 分频比要与此处配置的一致。

----结束

## 软复位

AIAO 内部的 2 个通道（AIP、AOP）支持独立的软复位，当复位 AIAO 模块时，2 条通道同时复位。

## 录音工作流程

录音步骤如下：（假设场景为 I2S 模式 48K，2 声道 16bit 精度，假设 AIAO PLL 源头时钟为 1188M，系统控制器 AIAO 时钟已经使能）：

- 步骤 1. 配置寄存器 I2S\_CRG\_CFG0\_00 为 0x152EF0，此时时钟输出 MCLK 频率为 12.288MHz。
- 步骤 2. 配置寄存器 I2S\_CRG\_CFG1\_00 为 0x0000c133，此时使能时钟，同时把 BCLK 配置为 MCLK 的 4 分频，FCLK 配置为 BCLK 的 64 分频，此时 FCLK 频率为 48KHz。
- 步骤 3. 配置 RX\_IF\_ATTRI 为 0xE4800014，此时设置接收通道工作在 I<sup>2</sup>S 模式下，两声道，采样精度为 16bit。
- 步骤 4. 配置 RX\_BUFF\_SADDR 寄存器为分配 DDR 的起始地址，比如 0x00000100 配置 RX\_BUFF\_SIZE 寄存器为分配 DDR\_BUF 的大小，比如 0x0000F000，配置 RX\_BUFF\_WPTR 寄存器和 RX\_BUFF\_RPTR 寄存器为 0x0，初始化读写指针。配置 RX\_TRANS\_SIZE 寄存器，比如 0x00000F00。
- 步骤 5. 根据需要，使能接收通路相应的中断位，即配置寄存器 RX\_INT\_ENA，比如配置为 0x00000001，只是能 trans\_int 中断。
- 步骤 6. 配置寄存器 RX\_DSP\_CTRL 为 0x10000000，使能接收通道，接收通道开始工作，录音开始。
- 步骤 7. 通过读取 RX\_BUFF\_WPTR 和 RX\_BUFF\_RPTR 的值判断缓冲区的空/满状态以及有效数据量；要保证在缓冲区满之前将数据取走，并将更新后的缓冲区读地址写入 RX\_BUFF\_RPTR，否则可能会造成缓冲区溢出，声音不连续。
- 步骤 8. 录音完成后，写寄存器 RX\_DSP\_CTRL 为 0x00000000，不断查询 RX\_DSP\_CTRL 寄存器，直到看到其变为 0x20000000 后，说明接收通道停止完成。

----结束



### 注意

启动 AIP 之前，必须完成 AIP 时钟的配置，以保证 AIAO\_BCLK\_RX 和 AIAO\_WS\_RX 正常。

## 播放工作流程

播放步骤如下：（假设场景为 I<sup>2</sup>S 模式 48K2 声道 16bit 精度，假设 AIAO PLL 源头时钟为 1188M，系统控制器 AIAO 时钟已经使能）：

- 步骤 1. 配置寄存器 `I2S_CRG_CFG0_00` 为 0x152EF0，此时时钟输出 MCLK 频率为 12.288MHz。
- 步骤 2. 配置寄存器 `I2S_CRG_CFG1_00` 为 0x0000c133，此时使能时钟，同时把 BCLK 配置为 MCLK 的 4 分频，FCLK 配置为 BCLK 的 64 分频，此时 FCLK 频率为 48KHz。
- 步骤 3. 配置 `TX_IF_ATTRI` 寄存器为 0xE400014，即配置发送接口工作于 I<sup>2</sup>S 模式下，两声道，16bit 采样精度。
- 步骤 4. 配置 `TX_BUFF_SADDR` 为分 BUF 的起始地址，比如 0x00000100，`TX_BUFF_SIZE` 为分配 BUF 的大小，初始化 `TX_BUFF_WPTR` 为 0x0，`TX_BUFF_RPTR` 为 0x0，设置 `TX_TRANS_SIZE`。（这一步配置可以参考录音流程）
- 步骤 5. 根据需要，使能接收通路相应的中断位，即配置寄存器 `TX_INT_ENA`，比如配置为 0x00000001，只使能 trans\_int 中断。
- 步骤 6. 配置寄存器 `TX_DSP_CTRL` 为 0x10000000，使能播放通道。
- 步骤 7. 通过读取 `TX_BUFF_WPTR` 和 `TX_BUFF_RPTR` 的值判断循环缓冲区的空/满状态以及有效数据量；要保证在循环缓冲区空之前将新的音频数据填入，并将更新后的循环缓冲区写地址写入 `TX_BUFF_WPTR`，否则可能会造成循环缓冲区下溢出，声音不连续。
- 步骤 8. 播放结束后，配置寄存器 `TX_DSP_CTRL` 为 0x00000000，停止播放通道，查询 `TX_DSP_CTRL` 寄存器，当看到其值变为 0x20000000 时，说明通道停止完成。

---结束



### 注意

启动 AOP 前，必须完成 AOP 时钟的配置，以保证 AIAO\_BCLK\_TX 和 AIAO\_WS\_TX 正常。

向 AOP 的循环缓冲区写入数据以及更新 `TX_BUFF_WPTR` 时，必须保证 AOP 的循环缓冲区空闲空间不小于 32 字节。



## 11.1.5 AIAO 寄存器概览

AIAO 寄存器概览如表 11-1 所示。

表11-1 AIAO 寄存器概览（基址是 0x1108\_0000）

偏移地址	名称	描述	页码
0x0000	AIAO_INT_ENA	AIAO 模块中断使能寄存器	11-8
0x0004	AIAO_INT_STATUS	AIAO 模块中断状态寄存器	11-9
0x0008	AIAO_INT_RAW	AIAO 模块原始中断寄存器	11-9
0x0100	I2S_CRG_CFG0_00	I2S00 CRG 配置 0 号寄存器	11-10
0x0104	I2S_CRG_CFG1_00	I2S00 CRG 配置 1 号寄存器	11-10
0x0144	I2S_CRG_CFG1_08	I2S08 CRG 配置 1 号寄存器	11-11
0x1000	RX_IF_ATTRI	接收通道的接口属性设置寄存器	11-12
0x1004	RX_DSP_CTRL	接收处理通道的控制寄存器	11-13
0x1080	RX_BUFF_SADDR	接收通道的 DDR 缓存起始地址寄存器	11-14
0x1084	RX_BUFF_SIZE	接收通道的 DDR 缓存大小寄存器	11-15
0x1088	RX_BUFF_WPTR	接收通道的 DDR 缓存写地址寄存器	11-15
0x108C	RX_BUFF_RPTR	接收通道的 DDR 缓存读地址寄存器	11-15
0x1090	RX_BUFF_ALFULL_TH	接收通道的 DDR 缓存几乎满水线寄存器	11-16
0x1094	RX_TRANS_SIZE	接收通道的数据传输长度寄存器	11-16
0x10A0	RX_INT_ENA	接收通道的中断使能寄存器	11-17
0x10A4	RX_INT_RAW	接收通道的原始中断寄存器	11-18
0x10A8	RX_INT_STATUS	接收通道的中断状态寄存器	11-19
0x10AC	RX_INT_CLR	接收通道的中断清除寄存器	11-20
0x2000	TX_IF_ATTRI	发送通道的接口属性设置寄存器	11-22
0x2004	TX_DSP_CTRL	发送处理通道的控制寄存器	11-23
0x2080	TX_BUFF_SADDR	发送通道的 DDR 缓存起始地址寄存器	11-25
0x2084	TX_BUFF_SIZE	发送通道的 DDR 缓存大小寄存器	11-25
0x2088	TX_BUFF_WPTR	发送通道的 DDR 缓存写地址寄存器	11-26
0x208C	TX_BUFF_RPTR	发送通道的 DDR 缓存读地址寄存器	11-26



偏移地址	名称	描述	页码
0x2090	TX_BUFF_ALEMPY_TH	发送通道的 DDR 缓存几乎空流水线寄存器	11-27
0x2094	TX_TRANS_SIZE	发送通道的数据传输长度寄存器	11-27
0x20A0	TX_INT_ENA	发送通道的中断使能寄存器	11-27
0x20A4	TX_INT_RAW	发送通道的原始中断寄存器	11-29
0x20A8	TX_INT_STATUS	发送通道的中断状态寄存器	11-30
0x20AC	TX_INT_CLR	发送通道的中断清除寄存器	11-31

## 11.1.6 AIAO 寄存器描述

### AIAO\_INT\_ENA

AIAO\_INT\_ENA 为 AIAO 模块中断使能寄存器。

Offset Address	Register Name	Total Reset Value	
0x0000	AIAO_INT_ENA	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved tx_ch0_int_ena reserved rx_ch0_int_ena		
Reset	0 0		
Bits	Access	Name	Description
[31:17]	RO	reserved	保留。
[16]	RW	tx_ch0_int_ena	发送通道 0 的中断使能。 0: 不使能; 1: 使能。
[15:1]	RO	reserved	保留。
[0]	RW	rx_ch0_int_ena	接收通道 0 的中断使能。 0: 不使能; 1: 使能。



## AIAO\_INT\_STATUS

AIAO\_INT\_STATUS 为 AIAO 模块中断状态寄存器。

Offset Address		Register Name		Total Reset Value						
0x0004		AIAO_INT_STATUS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				tx_ch0_int_status	reserved				rx_ch0_int_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RO	reserved	保留。							
[16]	RO	tx_ch0_int_status	发送通道 0 的中断状态。 0: 无中断状态; 1: 有中断状态。							
[15:1]	RO	reserved	保留。							
[0]	RO	rx_ch0_int_status	接收通道 0 的中断状态。 0: 无中断状态; 1: 有中断状态。							

## AIAO\_INT\_RAW

AIAO\_INT\_RAW 为 AIAO 模块原始中断寄存器。

Offset Address		Register Name		Total Reset Value						
0x0008		AIAO_INT_RAW		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				tx_ch0_int_raw	reserved				rx_ch0_int_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RO	reserved	保留。							



[16]	RO	tx_ch0_int_raw	发送通道 0 的原始中断。 0: 无原始中断; 1: 有原始中断。
[15:1]	RO	reserved	保留。
[0]	RO	rx_ch0_int_raw	接收通道 0 的原始中断。 0: 无原始中断; 1: 有原始中断。

## I2S\_CRG\_CFG0\_00

I2S\_CRG\_CFG0\_00 为 I2S00 CRG 配置 0 号寄存器。

Offset Address		Register Name		Total Reset Value					
0x0100		I2S_CRG_CFG0_00		0x00AA_AAAA					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				aiao_mclk_div				
Reset	0 0 0 0	0 0 0 0	1 0 1 0	1 0 1 0	1 0 1 0	1 0 1 0	1 0 1 0	1 0 1 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:0]	RW	aiao_mclk_div	mclk 的分频时钟配置值，配置值为(目标 mclk 频率/mclk 时钟源头 pll 频率) $\times 2^{27}$ 。其中 mclk 时钟源头 pll 频率请参见 3.2 时钟，默认为 1188M。						

## I2S\_CRG\_CFG1\_00

I2S\_CRG\_CFG1\_00 为 I2S00 CRG 配置 1 号寄存器。

Offset Address		Register Name		Total Reset Value							
0x0104		I2S_CRG_CFG1_00		0x0000_0131							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						aiao_srst_req	aiao_cken	reserved	aiao_fscclk_div	aiao_bclk_div
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 1			





Bits	Access	Name	Description
[31:10]	RO	reserved	保留。
[9]	RW	aiao_srst_req	RX0 通道的独立软复位请求。 0: 撤消复位; 1: 复位。
[8]	RW	aiao_cken	CRG00 的 MCLK/BCLK/WS 时钟门控。 0: 关闭; 1: 打开。
[7]	RO	reserved	保留。
[6:4]	RW	aiao_fsclk_div	位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。
[3:0]	RW	aiao_bclk_div	主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。

## I2S\_CRG\_CFG1\_08

I2S\_CRG\_CFG1\_08 为 I2S08 CRG 配置 1 号寄存器。



Offset Address		Register Name		Total Reset Value						
0x0144		I2S_CRG_CFG1_08		0x0000_0131						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						aiao_srst_req	reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9]	RW	aiao_srst_req	TX0 通道的独立软复位请求。 0: 撤消复位; 1: 复位。							
[8:0]	RO	reserved	保留。							

## RX\_IF\_ATTRI

RX\_IF\_ATTRI 为接收通道的接口属性设置寄存器。

Offset Address		Register Name		Total Reset Value								
0x1000		RX_IF_ATTRI		0xE400_0004								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved		rx_sd_source_sel	reserved	rx_trackmode	rx_sd_offset		rx_multislot_en	reserved	rx_ch_num	rx_i2s_precision	rx_mode
Reset	1 1 1 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0			
Bits	Access	Name	Description									
[31:24]	RO	reserved	保留。									
[23:20]	RW	rx_sd_source_sel	正常工作配置为 0x1000。									
[19]	RO	reserved	保留。									



[18:16]	RW	rx_trackmode	<p>I<sup>2</sup>S 模式下，左右声道模式控制。</p> <p>000: 不做处理；</p> <p>001: 两个声道全部为左声道声音；</p> <p>010: 两个声道全部为右声道声音；</p> <p>011: 两个声道互换；</p> <p>100: 左右两个声道输出为左右声道相加；</p> <p>101: 左声道静音，右声道播放原右声道声音；</p> <p>110: 右声道静音，左声道播放原左声道声音；</p> <p>111: 左右声道静音。</p> <p> 说明</p> <p>1ch 接收时，trackmode 仍然有效。</p>
[15:8]	RW	rx_sd_offset	<p>PCM 模式下，数据相对 WS 信号延迟 BCLK 周期数。</p> <p>0x0: 左对齐模式；</p> <p>0x1: 标准模式；</p> <p>其他: 保留。</p>
[7]	RO	reserved	保留。
[6:4]	RW	rx_ch_num	<p>接收的声道数选择。</p> <p>00: 1 路(ch)接收；</p> <p>01: 2 路(ch)接收；</p> <p>其他: 保留；</p>
[3:2]	RW	rx_i2s_precision	<p>数据采样精度配置位。</p> <p>I2S 模式:</p> <p>01: 16bit；</p> <p>10: 24bit；</p> <p>其他: 保留。</p> <p>PCM 模式:</p> <p>01: 16bit；</p> <p>其他: 保留。</p>
[1:0]	RW	rx_mode	<p>接收通道的接口模式选择。</p> <p>00: I<sup>2</sup>S 模式；</p> <p>01: PCM 模式；</p> <p>其他: 保留。</p>

## RX\_DSP\_CTRL

RX\_DSP\_CTRL 为接收处理通道的控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x1004		RX_DSP_CTRL		0x2000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved rx_disable_done rx_enable bypass_en	reserved						
Reset	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29]	RO	rx_disable_done	接收通道的停止完成标识位。 0: disable 未完成; 1: disable 完成。					
[28]	RW	rx_enable	接收通道的启动、停止控制位。 0: 停止; 1: 启动。					
[27]	RW	bypass_en	数据处理禁止位, 控制功能仍然生效。 0: 正常进行数据处理; 1: 不进行 trackmode 等运算。					
[26:0]	RO	reserved	保留。					

## RX\_BUFF\_SADDR

RX\_BUFF\_SADDR 为接收通道的 DDR 缓存起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x1080		RX_BUFF_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_buff_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	rx_buff_saddr	接收通道 0 的 DDR 缓存起始地址, 以字节为单位。 说明 DDR 缓存起始地址要求 128 × 8 比特对齐。					



## RX\_BUFF\_SIZE

RX\_BUFF\_SIZE 为接收通道的 DDR 缓存大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x1084		RX_BUFF_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			rx_buff_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	rx_buff_size	接收通道的 DDR 缓存大小，以字节为单位。 说明 要求 rx_buff_size 是 128 字节的整数倍。						

## RX\_BUFF\_WPTR


RX\_BUFF\_WPTR 为接收通道的 DDR 缓存写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x1088		RX_BUFF_WPTR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			rx_buff_wptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	rx_buff_wptr	接收通道的 DDR 缓存写地址，以字节为单位。 说明 <ul style="list-style-type: none"> <li>接收方向的写地址由逻辑维护，是相对于 DDR 缓存起始地址的偏移地址。</li> <li>要求 128 × 2 比特对齐。</li> </ul>						

## RX\_BUFF\_RPTR


RX\_BUFF\_RPTR 为接收通道的 DDR 缓存读地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x108C		RX_BUFF_RPTR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			rx_buff_rptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	rx_buff_rptr	接收通道的 DDR 缓存读地址，以字节为单位。  说明 <ul style="list-style-type: none"> <li>接收方向的读地址由软件维护，是相对于 DDR 缓存起始地址的偏移地址。</li> <li>软件按照字节为单位，硬件内部按照 128×2 比特对齐操作</li> </ul>						

## RX\_BUFF\_ALFULL\_TH

RX\_BUFF\_ALFULL\_TH 为接收通道的 DDR 缓存几乎满水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x1090		RX_BUFF_ALFULL_TH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			rx_buff_alfull_th					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	rx_buff_alfull_th	接收通道的 DDR 缓存几乎满水线，以字节为单位。当 DDR 缓存可写空间小于几乎满水线时，产生几乎满原始中断。  说明 <p>如果使用 rx_alfull_int 中断，要求 rx_buff_alfull_th 配置为 16 字节的整数倍，且大于或等于 0x40。</p>						

## RX\_TRANS\_SIZE

RX\_TRANS\_SIZE 为接收通道的数据传输长度寄存器。



Offset Address		Register Name		Total Reset Value					
0x1094		RX_TRANS_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rx_trans_size				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	rx_trans_size	接收通道，当完成 rx_trans_size 长度(以字节为单位)的音频数据接收时，产生传输完成中断。						

## RX\_INT\_ENA

RX\_INT\_ENA 为接收通道的中断使能寄存器。

Offset Address		Register Name		Total Reset Value										
0x10A0		RX_INT_ENA		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved						rx_if_full_lost_int_ena	reserved	rx_stop_int_ena	reserved	rx_bfifo_full_int_ena	rx_alfull_int_ena	rx_full_int_ena	rx_trans_int_ena
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:8]	RO	reserved	保留。											
[7]	RW	rx_if_full_lost_int_ena	接收通道的接口数据满丢失原始中断使能。 0: 不使能; 1: 使能。											
[6]	RO	reserved	保留。											
[5]	RW	rx_stop_int_ena	接收通道的停止中断使能。 0: 不使能; 1: 使能。											
[4]	RO	reserved	保留。											



[3]	RW	rx_bfifo_full_int_ena	接收通道的总线 fifo 上溢中断使能。 0: 不使能; 1: 使能。
[2]	RW	rx_alfull_int_ena	接收通道的 DDR 缓存几乎满中断使能。 0: 不使能; 1: 使能。
[1]	RW	rx_full_int_ena	接收通道的 DDR 缓存满中断使能。 0: 不使能; 1: 使能。
[0]	RW	rx_trans_int_ena	接收通道的传输完成中断使能。 0: 不使能; 1: 使能。

## RX\_INT\_RAW

RX\_INT\_RAW 为接收通道的原始中断寄存器。

	Offset Address	Register Name	Total Reset Value											
	0x10A4	RX_INT_RAW	0x0000_0000											
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0													
Name	reserved						rx_if_full_lost_int_raw	reserved	rx_stop_int_raw	reserved	rx_bfifo_full_int_raw	rx_alfull_int_raw	rx_full_int_raw	rx_trans_int_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:8]	RO	reserved	保留。											
[7]	RO	rx_if_full_lost_int_raw	接收通道的接口数据满丢失原始中断。 0: 无原始中断; 1: 有原始中断。											
[6]	RO	reserved	保留。											





[5]	RO	rx_stop_int_raw	接收通道的停止原始中断。 0: 无原始中断; 1: 有原始中断。
[4]	RO	reserved	保留。
[3]	RO	rx_bfifo_full_int_raw	接收通道的总线 fifo 上溢原始中断。 0: 无原始中断; 1: 有原始中断。
[2]	RO	rx_alfull_int_raw	接收通道的 DDR 缓存几乎满原始中断。 0: 无原始中断; 1: 有原始中断。
[1]	RO	rx_full_int_raw	接收通道的 DDR 缓存满原始中断。 0: 无原始中断; 1: 有原始中断。
[0]	RO	rx_trans_int_raw	接收通道的传输完成原始中断。 0: 无原始中断; 1: 有原始中断。

## RX\_INT\_STATUS

RX\_INT\_STATUS 为接收通道的中断状态寄存器。

	Offset Address 0x10A8	Register Name RX_INT_STATUS	Total Reset Value 0x0000_0000																					
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
Name	reserved																tx_if_full_lost_int_status	reserved	rx_stop_int_status	reserved	rx_bfifo_full_int_status	rx_alfull_int_status	rx_full_int_status	rx_trans_int_status
Reset	0 0																							
Bits	Access	Name	Description																					
[31:8]	RO	reserved	保留。																					



[7]	RO	tx_if_full_lost_int_status	发送通道的接口数据满丢失中断状态。 0: 无中断状态; 1: 有中断状态。
[6]	RO	reserved	保留。
[5]	RO	rx_stop_int_status	接收通道的停止中断状态。 0: 无中断状态; 1: 有中断状态。
[4]	RO	reserved	保留。
[3]	RO	rx_bfifo_full_int_status	接收通道的总线 fifo 上溢中断状态。 0: 无中断状态; 1: 有中断状态。
[2]	RO	rx_alfull_int_status	接收通道的 DDR 缓存几乎满中断状态。 0: 无中断状态; 1: 有中断状态。
[1]	RO	rx_full_int_status	接收通道的 DDR 缓存满中断状态。 0: 无中断状态; 1: 有中断状态。
[0]	RO	rx_trans_int_status	接收通道的传输完成中断状态。 0: 无中断状态; 1: 有中断状态。

## RX\_INT\_CLR

RX\_INT\_CLR 为接收通道的中断清除寄存器。



Offset Address		Register Name		Total Reset Value																												
0x10AC		RX_INT_CLR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								tx_if_full_lost_int_clear	reserved	rx_stop_int_clear	reserved	rx_bfifo_full_int_clear	rx_alfull_int_clear	rx_full_int_clear	rx_trans_int_clear
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:8]	RO	reserved	保留。																													
[7]	WC	tx_if_full_lost_int_clear	发送通道的接口数据满丢失中断清除。 0: 不清除; 1: 清除停止中断。																													
[6]	RO	reserved	保留。																													
[5]	WC	rx_stop_int_clear	接收通道的停止中断清除位。 0: 不清除; 1: 清除停止中断。																													
[4]	RO	reserved	保留。																													
[3]	WC	rx_bfifo_full_int_clear	接收通道的总线 fifo 上溢中断清除位。 0: 不清除; 1: 清除 fifo 上溢中断。																													
[2]	WC	rx_alfull_int_clear	接收通道的 DDR 缓存几乎满中断清除位。 0: 不清除; 1: 清除 DDR 缓存几乎满中断。																													
[1]	WC	rx_full_int_clear	接收通道的 DDR 缓存满中断清除位。 0: 不清除; 1: 清除 DDR 缓存满中断。																													
[0]	WO	rx_trans_int_clear	接收通道的传输完成中断清除位。 0: 不清除; 1: 清除传输完成中断。																													



## TX\_IF\_ATTRI

TX\_IF\_ATTRI 为发送通道的接口属性设置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x2000				TX_IF_ATTRI				0xE400_0004																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								tx_trackmode	tx_sd_offset				reserved	tx_ch_num	tx_i2s_precision	tx_mode															
Reset	1	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
Bits	Access	Name	Description																													
[31:19]	RO	reserved	保留。																													
[18:16]	RW	tx_trackmode	I <sup>2</sup> S 模式下，左右声道模式控制。 000：不做处理； 001：两个声道全部为左声道声音； 010：两个声道全部为右声道声音； 011：两个声道互换； 100：左右两个声道输出为左右声道相加； 101：左声道静音，右声道播放原右声道声音； 110：右声道静音，左声道播放原左声道声音； 111：左右声道静音。 说明 1ch 接收时，trackmode 仍然有效。																													
[15:8]	RW	tx_sd_offset	PCM 模式下，数据相对 WS 信号延迟 BCLK 周期数。 0x0：左对齐模式； 0x1：标准模式； 其他：保留。																													
[7:6]	RW	reserved	保留。																													
[5:4]	RW	tx_ch_num	发送路数选择。 00：单声道发送； 01：立体声发送； 其他：保留。																													



[3:2]	RW	tx_i2s_precision	数据采样精度配置位。 I2S 模式： 01: 16bit; 10: 24bit; 其他：保留。 PCM 模式： 01: 16bit; 其他：保留。
[1:0]	RW	tx_mode	发送通道的接口模式选择。 00: I2S 模式; 01: PCM 模式; 其他：保留。

## TX\_DSP\_CTRL

TX\_DSP\_CTRL 为发送处理通道的控制寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0x2004				TX_DSP_CTRL				0x2000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				tx_disable_done	tx_enable	bypass_en		reserved				fade_out_rate				fade_in_rate				reserved	volume				reserved				mute_fade_en	mute_en					
Reset	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:30]		[29]	[28]																																
Access	RO		RO	RW																																
Name	reserved		tx_disable_done	tx_enable																																
Description	保留。		发送通道的停止完成标识。 0: 未完成; 1: 完成。	发送通道的启动、停止控制位。 0: 停止; 1: 启动。																																



[27]	RW	bypass_en	数据处理禁止位，控制功能仍然生效。 0：正常进行数据处理； 1：不进行 trackmode、音量处理等运算。
[26:24]	RO	reserved	保留。
[23:20]	RW	fade_out_rate	淡出速度。 0000：1 个采样点改变一次； 0001：2 个采样点改变一次； 0010：4 个采样点改变一次； 0011：8 个采样点改变一次； 0100：16 个采样点改变一次； 0101：32 个采样点改变一次； 0110：64 个采样点改变一次； 0111：128 个采样点改变一次； 其他：保留。
[19:16]	RW	fade_in_rate	淡入速度。 0000：1 个采样点改变一次； 0001：2 个采样点改变一次； 0010：4 个采样点改变一次； 0011：8 个采样点改变一次； 0100：16 个采样点改变一次； 0101：32 个采样点改变一次； 0110：64 个采样点改变一次； 0111：128 个采样点改变一次； 其他：保留。
[15]	RO	reserved	保留。
[14:8]	RW	volume	音量，每分度 1DB。 0x00~0x28：静音； 0x29： - 80dB； 0x2A： - 79dB； ..... 0x75： -4dB； 0x77： -2dB； 0x79： +0dB； 0x7B： +2dB； 0x7D： +4dB； 0x7F： +6dB (最大)。



[7:2]	RO	reserved	保留。
[1]	RW	mute_fade_en	静音淡入淡出控制。 0: 淡入淡出功能关闭; 1: 淡入淡出功能打开。
[0]	RW	mute_en	静音控制。 0: 静音撤销; 1: 静音使能。

## TX\_BUFF\_SADDR

TX\_BUFF\_SADDR 为发送通道的 DDR 缓存起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x2080		TX_BUFF_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_buff_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tx_buff_saddr	发送通道的 DDR 缓存起始地址，以字节为单位。 说明 DDR 缓存起始地址要求 128 × 8 比特对齐。					

## TX\_BUFF\_SIZE

TX\_BUFF\_SIZE 为发送通道的 DDR 缓存大小寄存器。

Offset Address		Register Name		Total Reset Value				
0x2084		TX_BUFF_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		tx_buff_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:0]	RW	tx_buff_size	发送通道的 DDR 缓存大小，以字节为单位。 说明 要求 tx_buff_size 是 128 字节的整数倍。					



## TX\_BUFF\_WPTR

TX\_BUFF\_WPTR 为发送通道的 DDR 缓存写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x2088		TX_BUFF_WPTR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_buff_wptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	tx_buff_wptr	发送通道的 DDR 缓存写地址。 说明 <ul style="list-style-type: none"> <li>• 发送方向的写地址由软件维护，是相对于 DDR 缓存起始地址的偏移地址。</li> <li>• 软件必须保证 TX_BUF 空闲空间不小于 128 字节。</li> <li>• 软件按照字节为单位，硬件内部按照 128×2 比特对齐操作。</li> </ul>						

## TX\_BUFF\_RPTR

TX\_BUFF\_RPTR 为发送通道的 DDR 缓存读地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x208C		TX_BUFF_RPTR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_buff_rptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	tx_buff_rptr	发送通道的 DDR 缓存读地址。 说明 <p>发送方向的读地址由逻辑维护，是相对于 DDR 缓存起始地址的偏移地址。注意：要求 128 × 2 比特对齐。</p>						





## TX\_BUFF\_ALEMPY\_TH

TX\_BUFF\_ALEMPY\_TH 为发送通道的 DDR 缓存几乎空水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x2090		TX_BUFF_ALEMPY_TH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_buff_alempy_th					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	tx_buff_alempy_th	发送通道的 DDR 缓存几乎空水线，以字节为单位。当 DDR 缓存可读空间小于几乎空水线时，产生几乎空原始中断。 说明 如果使用 tx_alempy_int 中断，要求 tx_buff_alempy_th 配置为 16 字节的整数倍，且大于或等于 0x20。						

## TX\_TRANS\_SIZE

TX\_TRANS\_SIZE 为发送通道的数据传输长度寄存器。

Offset Address		Register Name		Total Reset Value					
0x2094		TX_TRANS_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_trans_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	tx_trans_size	发送通道，当完成 tx_trans_size 长度(以字节为单位)的音频数据发送时，产生传输完成中断。						

## TX\_INT\_ENA

TX\_INT\_ENA 为发送通道的中断使能寄存器。



Offset Address		Register Name		Total Reset Value																																			
0x20A0		TX_INT_ENA		0x0000_0000																																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
Name	reserved																								tx_dat_break_int_ena	tx_mfade_int_ena	tx_stop_int_ena	tx_ififo_empty_int_ena	tx_bfifo_empty_int_ena	tx_alempy_int_ena	tx_empty_int_ena	tx_trans_int_ena							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
Bits	Access	Name	Description																																				
[31:8]	RO	reserved	保留。																																				
[7]	RW	tx_dat_break_int_ena	发送通道的接口数据断流中断使能。 0: 无原始中断; 1: 有原始中断。																																				
[6]	RW	tx_mfade_int_ena	发送通道的静音淡入淡出完成中断使能。 0: 不使能; 1: 使能。																																				
[5]	RW	tx_stop_int_ena	发送通道的停止中断使能。 0: 不使能; 1: 使能。																																				
[4]	RW	tx_ififo_empty_int_ena	发送通道的接口 fifo 下溢中断使能。 0: 不使能; 1: 使能。																																				
[3]	RW	tx_bfifo_empty_int_ena	发送通道的总线 fifo 下溢中断使能。 0: 不使能; 1: 使能。																																				
[2]	RW	tx_alempy_int_ena	发送通道的 DDR 缓存几乎空中断使能。 0: 不使能; 1: 使能。																																				
[1]	RW	tx_empty_int_ena	发送通道的 DDR 缓存空中断使能。 0: 不使能; 1: 使能。																																				



[0]	RW	tx_trans_int_ena	发送通道的传输完成中断使能。 0: 不使能; 1: 使能。
-----	----	------------------	-------------------------------------

## TX\_INT\_RAW

TX\_INT\_RAW 为发送通道的原始中断寄存器。

	Offset Address				Register Name				Total Reset Value																										
	0x20A4				TX_INT_RAW				0x0000_0000																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	reserved																				tx_dat_break_int_raw	tx_mfade_int_raw	tx_stop_int_raw	tx_ififo_empty_int_raw	tx_bfifo_empty_int_raw	tx_alempy_int_raw	tx_empty_int_raw	tx_trans_int_raw							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access		Name		Description																														
[31:8]	RO		reserved		保留。																														
[7]	RO		tx_dat_break_int_raw		发送通道的接口数据断流原始中断。 0: 无原始中断; 1: 有原始中断。																														
[6]	RO		tx_mfade_int_raw		发送通道的静音淡入淡出完成原始中断。 0: 无原始中断; 1: 有原始中断。																														
[5]	RO		tx_stop_int_raw		发送通道的停止原始中断。 0: 无原始中断; 1: 有原始中断。																														
[4]	RO		tx_ififo_empty_int_raw		发送通道的接口 fifo 下溢原始中断。 0: 无原始中断; 1: 有原始中断。																														
[3]	RO		tx_bfifo_empty_int_raw		发送通道的总线 fifo 下溢原始中断。 0: 无原始中断; 1: 有原始中断。																														



[2]	RO	tx_alempy_int_raw	发送通道的 DDR 缓存几乎空原始中断。 0: 无原始中断; 1: 有原始中断。
[1]	RO	tx_empty_int_raw	发送通道的 DDR 缓存空原始中断。 0: 无原始中断; 1: 有原始中断。
[0]	RO	tx_trans_int_raw	发送通道的传输完成原始中断。 0: 无原始中断; 1: 有原始中断。

## TX\_INT\_STATUS

TX\_INT\_STATUS 为发送通道的中断状态寄存器。

Offset Address		Register Name		Total Reset Value										
0x20A8		TX_INT_STATUS		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved						tx_dat_break_int_status	tx_mfade_int_status	tx_stop_int_status	tx_ififo_empty_int_status	tx_bfifo_empty_int_status	tx_alempy_int_status	tx_empty_int_status	tx_trans_int_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:8]	RO	reserved	保留。											
[7]	RO	tx_dat_break_int_status	发送通道的接口数据断流中断状态。 0: 无原始中断; 1: 有原始中断。											
[6]	RO	tx_mfade_int_status	发送通道的静音淡入淡出完成中断状态位。 0: 无中断状态; 1: 有中断状态。											
[5]	RO	tx_stop_int_status	发送通道的停止中断状态。 0: 无中断状态; 1: 有中断状态。											



[4]	RO	tx_ififo_empty_int_status	发送通道的接口 fifo 下溢中断状态。 0: 无中断状态; 1: 有中断状态。
[3]	RO	tx_bfifo_empty_int_status	发送通道的总线 fifo 下溢中断状态。 0: 无中断状态; 1: 有中断状态。
[2]	RO	tx_alempty_int_status	发送通道的 DDR 缓存几乎空中断状态。 0: 无中断状态; 1: 有中断状态。
[1]	RO	tx_empty_int_status	发送通道的 DDR 缓存空中断状态。 0: 无中断状态; 1: 有中断状态。
[0]	RO	tx_trans_int_status	发送通道的传输完成中断状态。 0: 无中断状态; 1: 有中断状态。

## TX\_INT\_CLR

TX\_INT\_CLR 为发送通道的中断清除寄存器。

	Offset Address				Register Name				Total Reset Value																									
	0x20AC				TX_INT_CLR				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																				tx_dat_break_int_clear	tx_mfade_int_clear	tx_stop_int_clear	tx_ififo_empty_int_clear	tx_bfifo_empty_int_clear	tx_alempty_int_clear	tx_empty_int_clear	tx_trans_int_clear						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name		Description																													
[31:8]	RO		reserved		保留。																													
[7]	RO		tx_dat_break_int_clear		发送通道的接口数据断流中断清除。 0: 无原始中断; 1: 有原始中断。																													



[6]	WC	tx_mfade_int_clear	发送通道的静音淡入淡出完成中断清除位。 0: 不清除; 1: 清除停止中断。
[5]	WC	tx_stop_int_clear	发送通道的停止中断清除位。 0: 不清除; 1: 清除停止中断。
[4]	WC	tx_ififo_empty_int_clear	发送通道的接口 fifo 下溢中断清除位。 0: 不清除; 1: 清除 fifo 下溢中断。
[3]	WC	tx_bfifo_empty_int_clear	发送通道的总线 fifo 下溢中断清除位。 0: 不清除; 1: 清除 fifo 下溢中断。
[2]	WC	tx_aleempty_int_clear	发送通道的 DDR 缓存几乎空中断清除位。 0: 不清除; 1: 清除 DDR 缓存几乎空中断。
[1]	WC	tx_empty_int_clear	发送通道的 DDR 缓存空中断清除位。 0: 不清除; 1: 清除 DDR 缓存空中断。
[0]	WC	tx_trans_int_clear	发送通道的传输完成中断清除位。 0: 不清除; 1: 清除传输完成中断。

## 11.2 Audio Codec

### 11.2.1 概述

Hi3519V100 集成高性能的 Audio Codec，包括高品质立体声回放 DAC（96dB DR A-Weighted），支持两路单端 lineout 输出或一路差分 lineout 输出；高品质立体声录音 ADC（93dB DR A-Weighted），支持二路立体声单端输入或一路差分输入，麦克风输入支持-1.5~30dB，其中-1.5dB~0dB 为 1.5dB 步长，0dB~30dB 为 2dB 步长的增益控制，另外一档 Boost gain 为 20dB。I2S 数据接口，支持 8kHz 到 192kHz 的标准采样率，可支持两种采样率同时工作，并支持数字混音。

### 11.2.2 特点

Audio Codec 模块有如下特点：

- 96dBA DR 立体声 DAC



- 立体声单端 Lineout 输出或一路差分 lineout 输出
- DAC 数字音量控制范围：-121dB~6dB，1dB 步长
- 93dBA DR 立体声 ADC
- ADC 通路模拟音量控制范围：-1.5~30dB，2dB 步长，另外一档 Boost gain 为 20dB
- ADC 通路数字音量控制范围：-96dB~30dB，1dB 步长
- 二路可选立体声单端输入或一路差分输入
- 提供内部麦克风偏置
- 支持主从模式 I2S 数据接口，支持 24/20/18/16bits，二进制码
- 音频采样率：支持 48kHz、44.1kHz、32kHz 三个系列的采样率。其中各系列采样率情况如下：
  - 32kHz 系列采样率包括 8kHz、16kHz、32kHz、64kHz、128kHz；
  - 44.1kHz 系列采样率包括 11.025kHz、22.05kHz、44.1kHz、88.2kHz、176.4kHz；
  - 48kHz 系列采样率包括 12kHz、24kHz、48kHz、96kHz、192kHz。
- 50psRMS 的模拟时钟 CLKIN 的 Jitter 容忍度。

### 11.2.3 功能描述

Audio Codec 提供录音和播放功能，录音时模拟信号从麦克风输入或是线入，经过模拟部分增益放大，再转换成数字信号，最后从 I2S 接口输出，实现录音功能，支持立体声录音；回放时，音频信号从 I2S 接口输入，再由 DAC 转换成模拟信号输出，支持立体声音乐播放。

#### 录音模式

录音模式时，麦克风或线入信号从模拟输入端输入，经过可编程增益后到 ADC 进行转换，再经过数字部分的滤波和音量控制，最终录音的数据从 I2S 接口输出，完成整个录音功能操作。

操作流程如下：

- 步骤 1. 电源上电，等待 1s 后参考电压开始正常工作。
- 步骤 2. 根据寄存器描述配置好对应的寄存器值。
- 步骤 3. 输入模拟音频信号即可进行录音操作，信号从 I2S 接口输出。

---结束

#### 播放模式

播放模式时，音频信号从 I<sup>2</sup>S 接口送到 DAC 数字部分，经过数字部分的滤波和音量控制，再经过模拟部分的滤波，最后由 Lineout 端输出模拟音频信号。

操作流程如下：

- 步骤 1. 电源上电，等待 1s 后参考电压正常工作。



步骤 2. 根据寄存器描述配置好对应的寄存器值。

步骤 3. 从 I2S 接口送信号，可以从 Lineout 输出模拟音乐信号。

----结束

## 11.2.4 Audio Codec 寄存器概览

AUDIO CODEC 是通过基地址为 0x1203\_0000 的外设控制器中的寄存器（偏移地址分为 0x00A0 ~ 0X00D8）直接控制。没有直接配置接口。

## 11.2.5 Audio Codec 寄存器描述

寄存器的相关信息请参见“3.5.5.1 寄存器概览”和“3.5.5.2 寄存器描述”。





## 目 录

<b>12 外围设备</b> .....	<b>12-1</b>
12.1 I <sup>2</sup> C .....	12-1
12.1.1 概述 .....	12-1
12.1.2 功能描述.....	12-1
12.1.3 工作方式.....	12-1
12.1.4 I <sup>2</sup> C 寄存器概览 .....	12-4
12.1.5 I <sup>2</sup> C 寄存器描述 .....	12-5
12.2 UART .....	12-26
12.2.1 概述 .....	12-26
12.2.2 特点 .....	12-27
12.2.3 功能描述.....	12-27
12.2.4 工作方式.....	12-28
12.2.5 UART 寄存器概览 .....	12-31
12.2.6 UART 寄存器描述 .....	12-32
12.3 SPI.....	12-45
12.3.1 概述 .....	12-45
12.3.2 特点 .....	12-45
12.3.3 功能描述.....	12-45
12.3.4 三种外设总线时序.....	12-46
12.3.5 工作方式.....	12-53
12.3.6 寄存器概览.....	12-55
12.3.7 寄存器描述.....	12-56
12.4 3WIRE SPI.....	12-65
12.4.1 概述 .....	12-65
12.4.2 工作方式.....	12-65
12.4.3 spi_3wire_reg 寄存器概览.....	12-66
12.4.4 spi_3wire_reg 寄存器描述.....	12-66
12.5 MMC/SD/SDIO 控制器 .....	12-68
12.5.1 功能描述.....	12-68
12.5.2 应用说明.....	12-75



12.5.3 寄存器概览.....	12-91
12.5.4 寄存器描述.....	12-92
12.6 红外接口.....	12-126
12.6.1 概述.....	12-126
12.6.2 特点.....	12-126
12.6.3 功能描述.....	12-127
12.6.4 工作方式.....	12-134
12.6.5 IR 寄存器概览.....	12-136
12.6.6 IR 寄存器描述.....	12-137
12.7 GPIO.....	12-153
12.7.1 概述.....	12-153
12.7.2 特点.....	12-154
12.7.3 工作方式.....	12-155
12.7.4 GPIO 寄存器概览.....	12-156
12.7.5 GPIO 寄存器描述.....	12-157
12.8 PCI Express.....	12-162
12.8.1 概述.....	12-162
12.8.2 特点.....	12-162
12.8.3 信号描述.....	12-162
12.8.4 功能描述.....	12-163
12.8.5 工作方式.....	12-164
12.8.6 PCI Express 控制器寄存器.....	12-175
12.9 USB 2.0.....	12-211
12.9.1 概述.....	12-211
12.9.2 功能描述.....	12-212
12.9.3 工作方式.....	12-214
12.9.4 USB 2.0 寄存器概览.....	12-216
12.9.5 USB 2.0 寄存器描述.....	12-219
12.10 USB3.0 DRD.....	12-305
12.10.1 概述.....	12-305
12.10.2 功能描述.....	12-305
12.10.3 工作方式.....	12-308
12.10.4 寄存器概览.....	12-309
12.10.5 USB3.0 寄存器描述.....	12-311
12.11 LSADC_CTRL.....	12-353
12.11.1 概述.....	12-353
12.11.2 特点.....	12-353
12.11.3 工作方式.....	12-354
12.11.4 LSADC_CTRL 寄存器概览.....	12-355



---

12.11.5 LSADC_CTRL 寄存器描述.....	12-356
12.12 PWM.....	12-364
12.12.1 概述.....	12-364
12.12.2 特点.....	12-364
12.12.3 工作方式.....	12-364
12.12.4 PWM 寄存器概览.....	12-365
12.12.5 PWM 寄存器描述.....	12-366



## 插图目录

图 12-1 主机单次操作收发数据流程图.....	12-2
图 12-2 主机连续收发数据流程图.....	12-3
图 12-3 UART 的典型应用框图.....	12-27
图 12-4 UART 帧格式.....	12-28
图 12-5 SPI 接 Slave 时的应用.....	12-46
图 12-6 SPI 单帧帧格式 (SPO=0、SPH=0).....	12-46
图 12-7 SPI 连续帧帧格式 (SPO=0、SPH=0).....	12-47
图 12-8 SPI 单帧帧格式 (SPO=0、SPH=1).....	12-47
图 12-9 SPI 连续帧帧格式 (SPO=0、SPH=1).....	12-48
图 12-10 SPI 单帧帧格式 (SPO=1、SPH=0).....	12-48
图 12-11 SPI 连续帧帧格式 (SPO=1、SPH=0).....	12-49
图 12-12 SPI 单帧帧格式 (SPO=1、SPH=1).....	12-49
图 12-13 SPI 连续帧帧格式 (SPO=1、SPH=1).....	12-50
图 12-14 SPI 接口时序图.....	12-50
图 12-15 TI 同步串行单帧帧格式.....	12-51
图 12-16 TI 同步串行连续帧帧格式.....	12-51
图 12-17 National Semiconductor Microwire 单帧帧格式.....	12-52
图 12-18 National Semiconductor Microwire 连续帧帧格式.....	12-52
图 12-19 MMC 功能框图.....	12-69
图 12-20 MMC 典型应用电路图.....	12-70
图 12-21 MMC 指令格式.....	12-71
图 12-22 MMC 指令响应格式.....	12-72
图 12-23 MMC 非数据指令操作.....	12-72
图 12-24 单块与多块读操作.....	12-73
图 12-25 单块与多块写操作.....	12-74



图 12-26 1bit 数据线传输模式下的块数据格式.....	12-74
图 12-27 4bit 数据线传输模式下的块数据格式.....	12-75
图 12-28 整体描述子结构.....	12-82
图 12-29 双 buffer 结构示意图.....	12-85
图 12-30 链结构示意图.....	12-85
图 12-31 32bit 位宽的描述子的结构 .....	12-85
图 12-32 发送单个 NEC with simple repeat code 码的帧格式 .....	12-129
图 12-33 持续按键连续发送 NEC with simple repeat code 码的帧格式 .....	12-129
图 12-34 NEC with simple repeat code 码 bit0 和 bit1 定义 .....	12-130
图 12-35 NEC with simple repeat code 码单发代码格式.....	12-130
图 12-36 NEC with simple repeat code 码连发代码格式.....	12-130
图 12-37 发送单个 NEC with full repeat code 码的帧格式.....	12-130
图 12-38 持续按键连续发送 NEC with full repeat code 码的帧格式 .....	12-131
图 12-39 NEC with full repeat code 码 bit0 和 bit1 定义 .....	12-131
图 12-40 NEC with full repeat code 码单发代码格式.....	12-131
图 12-41 发送单个 TC9012 码的帧格式.....	12-132
图 12-42 持续按键连续发送 TC9012 码的帧格式.....	12-132
图 12-43 TC9012 码 bit0 和 bit1 定义 .....	12-132
图 12-44 TC9012 码单发代码格式.....	12-133
图 12-45 TC9012 码连发代码格式 (C0=1) .....	12-133
图 12-46 TC9012 码连发代码格式 (C0=0) .....	12-133
图 12-47 发送单个 SONY 帧格式.....	12-133
图 12-48 持续按键连续发送 SONY 码帧格式.....	12-134
图 12-49 bit0 和 bit1 定义.....	12-134
图 12-50 IR 模块初始化操作流程.....	12-135
图 12-51 读取解码数据的操作流程.....	12-136
图 12-52 PCIe 控制器应用框图 (RC 模式外接 EP 设备) .....	12-163
图 12-53 PCIe 控制器与 PCIe switch 设备连接应用框图 (RC 模式) .....	12-164
图 12-54 Hi3519V100 与 RC 设备连接应用框图 (EP 模式) .....	12-164
图 12-55 PCIe 控制器配置事务本地地址字段定义.....	12-166
图 12-56 PCIe 控制器存储器事务本地地址字段定义.....	12-167
图 12-57 PCIe 控制器 IO 事务本地地址字段定义.....	12-167



图 12-58 发送方向地址转换单元实现 PCIe 事务地址转换 .....	12-172
图 12-59 发送方向地址转换单元实现 PCIe 事务类型转换 .....	12-172
图 12-60 接收方向地址转换单元实现 PCIe 事务地址转换 .....	12-173
图 12-61 USB 2.0 Host 逻辑框图 .....	12-212
图 12-62 USB 2.0 Device 逻辑框图 .....	12-212
图 12-63 USB 2.0 Host 参考设计 .....	12-213
图 12-64 USB 3.0 DRD 逻辑框图 .....	12-306
图 12-65 USB 3.0 DRD 参考设计 .....	12-307
图 12-66 单次扫描处理流程 .....	12-354
图 12-67 连续扫描模式下通道轮询扫描示意图 .....	12-354
图 12-68 连续扫描处理流程 .....	12-355



## 表格目录

表 12-1 I2C 寄存器概览 (I2C0、I2C1、I2C2 和 I2C3 的基地址分别是 0x1211_0000、0x1211_1000、0x1211_2000 和 0x1211_3000) .....	12-4
表 12-2 UART 寄存器概览 .....	12-31
表 12-3 SPI 接口时序参数 .....	12-50
表 12-4 SPI 寄存器概览 .....	12-56
表 12-5 spi_3wire_reg 寄存器概览 (基址是 0x1212_4000) .....	12-66
表 12-6 信号线负载参数 .....	12-71
表 12-7 传输模式表 .....	12-75
表 12-8 非数据传输指令时的寄存器 MMC_CMD 配置参考 (默认值) .....	12-78
表 12-9 单块或多块读数据时的寄存器 MMC_CMD 配置参考 (默认值) .....	12-80
表 12-10 单块或多块写数据时的寄存器 MMC_CMD 配置参考 (默认值) .....	12-81
表 12-11 IDS0 各 bit 的含义 .....	12-83
表 12-12 IDS1 各 bit 的含义 .....	12-83
表 12-13 CDS0 各 bit 的含义 .....	12-83
表 12-14 CDS1 各 bit 的含义 .....	12-83
表 12-15 CDS2 各 bit 的含义 .....	12-84
表 12-16 CDS3 各 bit 的含义 .....	12-84
表 12-17 DES0 各 bit 的含义 .....	12-86
表 12-18 DES1 各 bit 的含义 .....	12-86
表 12-19 DES2 各 bit 的含义 .....	12-87
表 12-20 DES3 各 bit 的含义 .....	12-87
表 12-21 Resume 操作时的寄存器 MMC_CMDARG 配置参考 .....	12-90
表 12-22 MMC 寄存器概览 (SDIO0 基址是 0x100C_0000, SDIO1 基址是 0x100D_0000, EMMC 基址是 0x100E_0000) .....	12-91
表 12-23 红外接收数据码型的统计表 (NEC with simple repeat code) .....	12-127
表 12-24 红外接收数据码型的统计表 (NEC with full repeat code) .....	12-128



表 12-25 红外接收数据码型的统计表 (TC9012 和 SONY 码)	12-128
表 12-26 IR 寄存器概览 (基址是 0x120F_0000)	12-137
表 12-27 14 组 GPIO 寄存器对应的基地址	12-156
表 12-28 GPIO 寄存器概览	12-157
表 12-29 PCI Express 接口信号描述	12-162
表 12-30 PCIe 控制器相关地址空间	12-170
表 12-31 PCIe_iATU 寄存器概览 (基址是 0x1216_0000)	12-175
表 12-32 PCIe_DMA 寄存器概览 (基址是 0x1216_0000)	12-183
表 12-33 PCIe MISC 寄存器概览 (基址是 0x1216_0000)	12-203
表 12-34 各模块的寄存器偏移地址变量表	12-216
表 12-35 USB 2.0 寄存器概览 (基址是: 0x1012_0000)	12-216
表 12-36 USB Device 寄存器概览 (基址是 0x1013_0000)	12-216
表 12-37 USB3.0 寄存器概览 (基址是 0x1018_0000)	12-309
表 12-38 LSADC_CTRL 寄存器概览 (基址是 0x120E_0000)	12-355
表 12-39 PWMn 的寄存器基地址表	12-365
表 12-40 PWM0 寄存器概览 (基址是 0x1213_0000)	12-366





# 12 外围设备

## 12.1 I<sup>2</sup>C

### 12.1.1 概述

I<sup>2</sup>C 模块的作用是完成 CPU 对 I<sup>2</sup>C 总线上连接的从设备的读写。当 CPU 对从设备做写操作时，CPU 通过总线配置 I<sup>2</sup>C 模块的配置寄存器，然后发送控制信息和操作数到 I<sup>2</sup>C 模块的数据通信寄存器；I<sup>2</sup>C 模块解析命令后将数据通道寄存器的数据通过 I<sup>2</sup>C 总线发给从设备，发送完毕后将最终的状态通过中断反馈给 CPU。CPU 读取从设备数据的过程与写操作类似。

### 12.1.2 功能描述

I<sup>2</sup>C 具有以下功能特点：

- Hi3519V100 芯片的 I<sup>2</sup>C 是 Master 接口，I<sup>2</sup>C 的工作参考时钟为 50MHz。
- 支持多主设备时的总线仲裁。
- 支持 Clock synchronization 和 Bit and Byte waiting。
- 支持标准地址（7bit）和扩展地址（10bit）。
- 可以工作在两种速度模式下：标准模式（100kbit/s）、快速模式（400kbit/s）。
- 支持 General Call 和 Start Byte 功能。
- 不支持 CBUS 器件。
- 支持 DMA 操作。

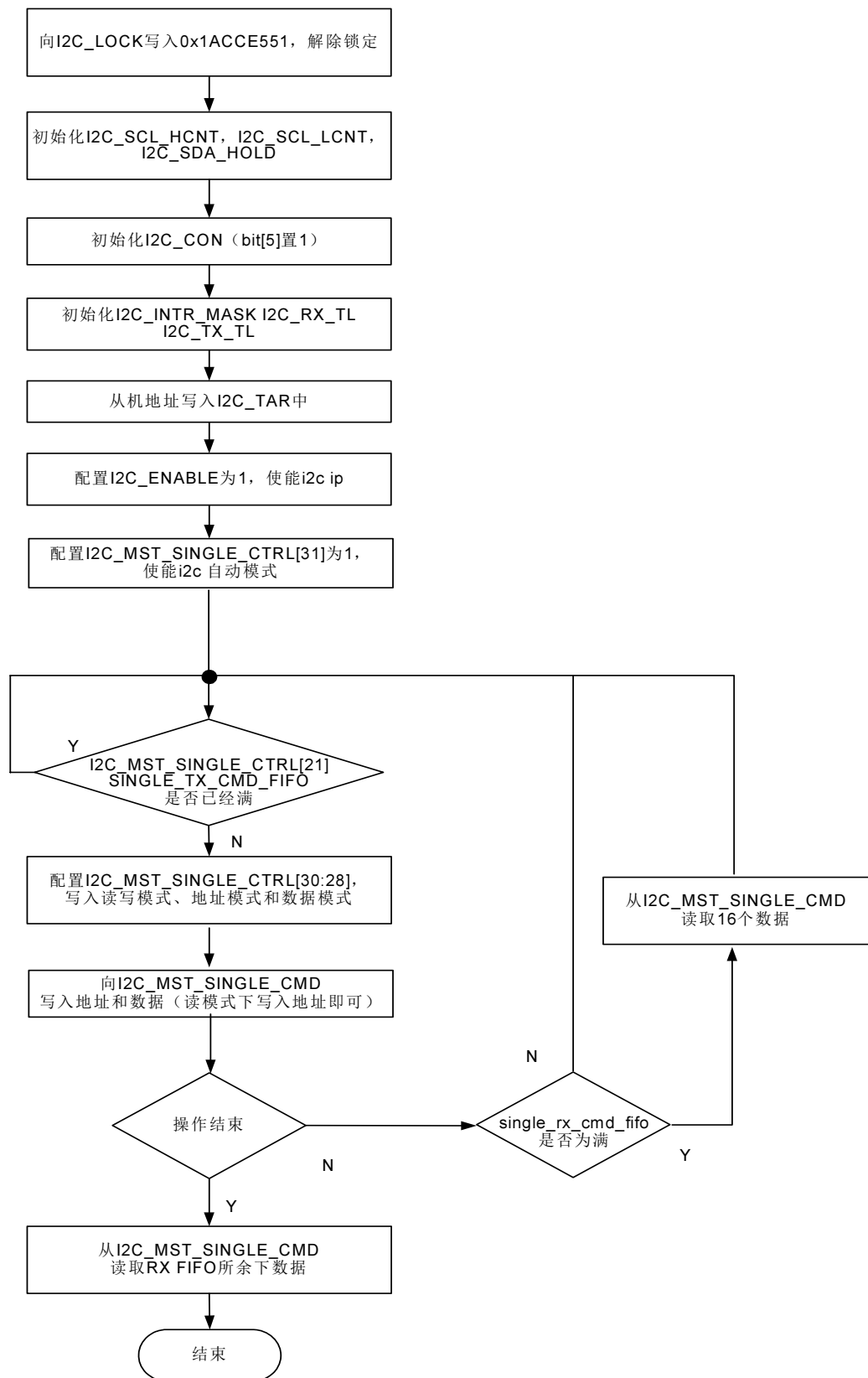
### 12.1.3 工作方式

#### 主机单次操作收发数据流程

主机单次操作收发数据流程如图 12-1 所示。



图12-1 主机单次操作收发数据流程图

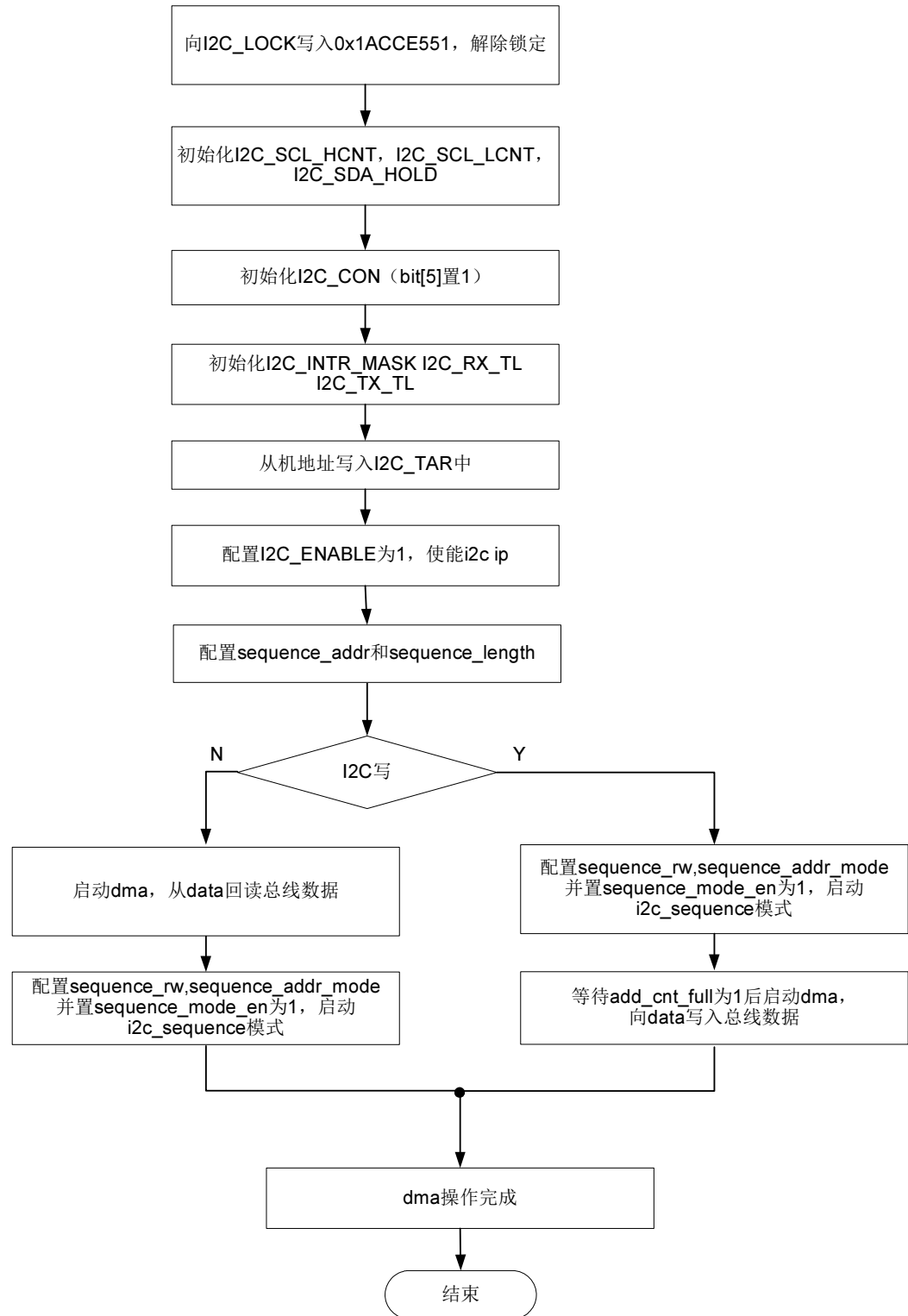




## 主机连续收发数据流程

主机连续收发数据流程如图 12-2 所示。

图12-2 主机连续收发数据流程图





## 12.1.4 I<sup>2</sup>C 寄存器概览

Hi3519V100 包含 4 个 I<sup>2</sup>C 模块，寄存器概览如表 12-1 所示。

表12-1 I2C 寄存器概览 (I2C0、I2C1、I2C2 和 I2C3 的基地址分别是 0x1211\_0000、0x1211\_1000、0x1211\_2000 和 0x1211\_3000)

偏移地址	名称	描述	页码
0x000	I2C_CON	I <sup>2</sup> C 控制寄存器	12-5
0x004	I2C_TAR	I2C 访问 Slave 地址寄存器	12-6
0x010	I2C_DATA_CMD	I2C 数据操作寄存器	12-6
0x01C	I2C_SCL_HCNT	I2C_SCL 高电平配置寄存器	12-7
0x020	I2C_SCL_LCNT	I2C_SCL 低电平配置寄存器	12-8
0x02C	I2C_INTR_STAT	I2C 屏蔽后中断状态寄存器	12-8
0x030	I2C_INTR_MASK	I2C 中断屏蔽寄存器	12-9
0x034	I2C_INTR_RAW	I2C 原始中断状态寄存器	12-11
0x038	I2C_RX_TL	RX_FIFO 水线设置寄存器	12-13
0x03C	I2C_TX_TL	TX_FIFO 水线设置寄存器	12-13
0x040	I2C_CLR_INTR	I2C 中断清除寄存器	12-14
0x06C	I2C_ENABLE	I2C 工作使能寄存器	12-14
0x070	I2C_STATUS	I2C 状态寄存器	12-15
0x074	I2C_TXFLR	TX_FIFO 有效数据指示寄存器	12-16
0x078	I2C_RXFLR	RX_FIFO 有效数据指示寄存器	12-16
0x07C	I2C_SDA_HOLD	SDA 保持时间配置寄存器	12-17
0x080	I2C_TX_ABRT_SRC	I2C 发送失败中断源寄存器	12-17
0x088	I2C_DMA_CR	I2C 的 DMA 接口控制寄存器	12-19
0x08C	I2C_DMA_TDLR	TX_FIFO DMA 操作阈值寄存器	12-20
0x090	I2C_DMA_RDLR	RX_FIFO DMA 操作阈值寄存器	12-20
0x0A0	I2C_SCL_SWITCH	I2C 防挂死使能寄存器	12-20
0x0A4	I2C_SCL_SIM	I2C 防挂死模拟寄存器	12-21
0x0AC	I2C_LOCK	I2C 锁定寄存器	12-21



偏移地址	名称	描述	页码
0x00B0	I2C_MST_SINGLE_CTRL	I2C_MST_SINGLE_CTRL 寄存器	12-22
0x00B4	I2C_MST_SINGLE_CMD	I2C_MST_SINGLE_CMD 寄存器	12-24
0x00B8	I2C_SEQUENCE_CMD0	I2C_SEQUENCE_CMD0 寄存器	12-25
0x00BC	I2C_SEQUENCE_CMD1	I2C_SEQUENCE_CMD1 寄存器	12-26
0x00C0	I2C_SEQUENCE_CMD2	I2C_SEQUENCE_CMD2 寄存器	12-26

## 12.1.5 I<sup>2</sup>C 寄存器描述

### I2C\_CON

I2C\_CON 为 I2C 控制寄存器。

Offset Address	Register Name	Total Reset Value										
0x000	I2C_CON	0x0000_0065										
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0											
Name	reserved						reserved	restart_en	reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1				
Bits	Access	Name	Description									
[31:7]	RO	reserved	保留。									
[6]	RO	reserved	保留。									
[5]	RW	restart_en	主模式下 Restart 指令发送使能。 0: 禁止; 1: 使能。 <b>注意:</b> 如果禁止了 Restart 功能, 则不支持如下功能: 1、发送起始字节 2、10bit 寻址模式时的读操作 3、组合寻址模式									
[4:0]	RO	reserved	保留。									



## I2C\_TAR

I2C\_TAR 为 I2C 访问 Slave 地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x004				I2C_TAR				0x0000_002C																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												master_10bit	special	gc_or_start	i2c_tar																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0
Bits	Access		Name		Description																											
[31:13]	RO		reserved		保留。																											
[12]	RW		master_10bit		主模式下地址长度。 0: 7bit; 1: 10bit。																											
[11]	RW		special		General Call 或 Start Byte 功能使能。 0: 禁止; 1: 使能。																											
[10]	RW		gc_or_start		当 Special 位为 1 时, 该位定义执行的 I2C 命令。 0: General Call 命令(发送完 General Call 命令后, 只能进行写操作; 如果进行读操作, 则会触发 tx_abort 中断) 1: Start Byte 命令。																											
[9:0]	RW		i2c_tar		I2C 作为 Master 时要访问的 Slave 的地址。 <b>注意:</b> 如果 Slave 地址长度设置为 7bit, 则仅 bit[6:0]有效。																											

## I2C\_DATA\_CMD

I2C\_DATA\_CMD 为 I2C 数据操作寄存器。



Offset Address		Register Name		Total Reset Value						
0x010		I2C_DATA_CMD		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	data	将要在 I2C 总线上发送/接收的数据。 读：读出在 I2C 总线上接收的数据； 写：写入的数据发送到 I2C 总线上。							

## I2C\_SCL\_HCNT

I2C\_SCL\_HCNT 为 I2C\_SCL 高电平配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x01C		I2C_SCL_HCNT		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				i2c_scl_hcnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	i2c_scl_hcnt	设置 SCL 时钟高电平时间,计时单位为 i2c 工作参考时钟 50MHz。建议在标准模式下为 SCL 周期的 1/2,快速模式下为 SCL 周期的 0.36。即,标准模式下: $i2c\_scl\_hcnt=(f_{i2c} / f_{SCL}) * 0.5$ ; 快速模式下: $i2c\_scl\_hcnt=(f_{i2c} / f_{SCL}) * 0.36$ ;以工作在快速模式下 400KHz 为例, $i2c\_scl\_hcnt=(50MHz / 400KHz) * 0.36=45$ 。 <b>注意:</b> 1、在 I2C 总线传输之前必须正确配置此域以得到合适的 I/O 时序。 2、只有在 I2C 接口禁止(I2C_ENABLE=0)时才可以进行写操作。						



## I2C\_SCL\_LCNT

I2C\_SCL\_LCNT 为 I2C\_SCL 低电平配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x020		I2C_SCL_LCNT		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				i2c_scl_lcnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	i2c_scl_lcnt	设置 SCL 时钟低电平时间,计时单位为 i2c 工作参考时钟 50MHz。建议在标准模式下为 SCL 周期的 1/2,快速模式下为 SCL 周期的 0.64。即,标准模式下: $i2c\_scl\_lcnt=(fi2c / fSCL)*0.5$ ; 快速模式下: $i2c\_scl\_lcnt=(fi2c / fSCL)*0.64$ ;以工作在快速模式下 400KHz 为例, $i2c\_scl\_lcnt=(50MHz / 400KHz)*0.64=80$ 。 <b>注意:</b> 1、在 I2C 总线传输之前都要正确配置此域,以得到合适的 I/O 时序。 2、只有在 I2C 接口禁止(I2C_ENABLE=0)时才可以进行写操作。						

## I2C\_INTR\_STAT

I2C\_INTR\_STAT 为 I2C 屏蔽后中断状态寄存器。

Offset Address		Register Name		Total Reset Value													
0x02C		I2C_INTR_STAT		0x0000_0000													
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0									
Name	reserved					gen_call	start_det	stop_det	activity	reserved	tx_abrt	reserved	tx_empty	tx_over	rx_full	rx_over	rx_under
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description														
[31:12]	RO	reserved	保留。														
[11]	RO	gen_call	一次 general call 请求被接收的中断状态。 0: 无中断; 1: 有中断。														





[10]	RO	start_det	start detect 中断状态，指示 I2C 总线接口是否有 START 或 RESTART 条件。 0: 无中断; 1: 有中断。
[9]	RO	stop_det	stop detect 中断状态，指示 I2C 总线接口是否有 STOP 条件。 0: 无中断; 1: 有中断。
[8]	RO	activity	activity 中断状态，记录 I2C 活动状态，直至被清除。 0: 无中断; 1: 有中断。
[7]	RO	reserved	保留。
[6]	RO	tx_abrt	发送中止中断状态。 0: 无中断; 1: 有中断。
[5]	RO	reserved	保留。
[4]	RO	tx_empty	TX_FIFO 到达或者低于阈值中断状态。 0: 无中断; 1: 有中断。
[3]	RO	tx_over	TX_FIFO 溢出中断状态。 0: 无中断; 1: 有中断。
[2]	RO	rx_full	RX_FIFO 达到或超过阈值中断状态。 0: 无中断; 1: 有中断。
[1]	RO	rx_over	RX_FIFO 溢出中断状态。 0: 无中断; 1: 有中断。
[0]	RO	rx_under	读数据溢出(即 RX_FIFO 为空时 CPU 对 FIFO 进行读取)中断状态。 0: 无中断; 1: 有中断。

## I2C\_INTR\_MASK

I2C\_INTR\_MASK 为 I2C 中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value													
0x030		I2C_INTR_MASK		0x0000_0000													
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0									
Name	reserved					gen_call_mask	start_det_mask	stop_det	activity	reserved	tx_abrt	reserved	tx_empty	tx_over	rx_full	rx_over	rx_under
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0									
Bits	Access	Name	Description														
[31:12]	RO	reserved	保留。														
[11]	RW	gen_call_mask	一次 general call 请求被接收的中断屏蔽。 0: 不屏蔽; 1: 屏蔽。														
[10]	RW	start_det_mask	start detect 中断屏蔽。 0: 不屏蔽; 1: 屏蔽。														
[9]	RW	stop_det	stop detect 中断屏蔽。 0: 不屏蔽; 1: 屏蔽。														
[8]	RW	activity	activity 中断屏蔽。 0: 不屏蔽; 1: 屏蔽。														
[7]	RO	reserved	保留。														
[6]	RW	tx_abrt	发送中止中断屏蔽。 0: 不屏蔽; 1: 屏蔽。														
[5]	RO	reserved	保留。														
[4]	RW	tx_empty	TX_FIFO 到达或者低于阈值中断屏蔽。 0: 不屏蔽; 1: 屏蔽。														
[3]	RW	tx_over	TX_FIFO 溢出中断屏蔽。 0: 不屏蔽; 1: 屏蔽。														



[2]	RW	rx_full	RX_FIFO 达到或超过阈值中断屏蔽。 0: 不屏蔽; 1: 屏蔽。
[1]	RW	rx_over	RX_FIFO 溢出中断屏蔽。 0: 不屏蔽; 1: 屏蔽。
[0]	RW	rx_under	读数据溢出(即 RX_FIFO 为空时 CPU 对 FIFO 进行读取)中断屏蔽。 0: 不屏蔽; 1: 屏蔽。

## I2C\_INTR\_RAW

I2C\_INTR\_RAW 为 I2C 原始中断状态寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x034	I2C_INTR_RAW	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
Bits	Access	Name	Description	
[31:12]	RO	reserved	保留。	
[11]	RO	gen_call	一次 general call 请求被接收的中断状态。 0: 无中断; 1: Slave 接收到了 General Call。 <b>注意:</b> <b>只有当接收 General Call 地址并确认时才置 1。它会一直保持直至被清除。</b>	
[10]	RO	start_det	start detect 中断状态, 指示 I2C 总线接口是否有 START 或 RESTART 条件。 0: 无中断; 1: 检测到了 START 或 RESTART 条件。	



[9]	RO	stop_det	stop detect 中断状态，指示 I2C 总线接口是否有 STOP 条件。 0: 无中断; 1: 检测到了 STOP 条件。
[8]	RO	activity	activity 中断状态，记录 I2C 活动状态，直至被清除。 0: 处于闲状态; 1: 处于忙状态。
[7]	RO	reserved	保留。
[6]	RO	tx_abrt	发送中止中断状态。 0: 无中断; 1: 有中断。 <b>注意:</b> 当此位设置为 1 时， <b>I2C_TX_ABRT_SRC</b> 寄存器指示发送中断的原因。无论是什么，只要此位设置，I2C 就会清空 TX_FIFO。TX_FIFO 会一直保持清空状态直至清除此中断。一旦执行了中断清除，TX_FIFO 就准备从 APB 接口读取更多数据。
[5]	RO	reserved	保留。
[4]	RO	tx_empty	TX_FIFO 到达或者低于阈值中断状态。 0: 无中断; 1: 有中断。 <b>注意:</b> 当 TX_FIFO 的数据量超过阈值时，硬件会自动清除该中断。当 I2C 被 disable 时，TX_FIFO 会被清空。
[3]	RO	tx_over	TX_FIFO 溢出中断状态。 0: 无中断; 1: 有中断。
[2]	RO	rx_full	RX_FIFO 达到或超过阈值中断状态。 0: 无中断; 1: 有中断。 <b>注意:</b> 当 RX_FIFO 到达或者高于 I2C_RX_TL 设置的阈值时，此位设置为 1。当 RX_FIFO 低于阈值时，硬件会自动对其进行清除。当 I2C 被 disable 时，RX_FIFO 会被自动清空，中断也会自动清除。



[1]	RO	rx_over	<p>RX_FIFO 溢出中断状态。</p> <p>0: 无中断; 1: 有中断。</p> <p><b>注意:</b> 如果 RX_FIFO 完全填满了, 并且还从外部 I2C 设备接收到更多的字节时, 此中断被置 1。I2C 会响应 I2C 总线收到的数据, 但是在 FIFO 满了之后接收的任何数据字节都会丢失。</p>
[0]	RO	rx_under	<p>读数据溢出(即 RX_FIFO 为空时 CPU 对 FIFO 进行读取)中断状态。</p> <p>0: 无中断; 1: 有中断。</p>

## I2C\_RX\_TL

I2C\_RX\_TL 为 RX\_FIFO 水线设置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x038				I2C_RX_TL				0x0000_0003																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rx_tl							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
	Bits	Access	Name		Description																											
	[31:4]	RO	reserved		保留。																											
	[3:0]	RW	rx_tl		<p>RX_FIFO 水线设置(watermark level)。</p> <p><b>注意:</b> 合法值 0~15, 实际值为配置值加 1。当 RX_FIFO 中数据个数大于等于该值时, 触发中断 rx_full。 最大值应该视 RX_FIFO 深度而定, 当配置值大于 RX_FIFO 深度时, 水线被默认配置为 RX_FIFO 深度值。</p>																											

## I2C\_TX\_TL

I2C\_TX\_TL 为 TX\_FIFO 水线设置寄存器。



Offset Address		Register Name		Total Reset Value				
0x03C		I2C_TX_TL		0x0000_0004				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							tx_tl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	tx_tl	TX_FIFO 水线设置(watermark level)。 <b>注意：</b> 合法值 0~15，实际值与配置值相等。当 TX_FIFO 中数据个数小于等于该值时，触发中断 tx_empty。 最大值应该视 TX_FIFO 深度而定，当配置值大于 TX_FIFO 深度时，水线被默认配置为 TX_FIFO 深度值。					

## I2C\_CLR\_INTR

I2C\_CLR\_INTR 为 I2C 中断清除寄存器。

Offset Address		Register Name		Total Reset Value				
0x040		I2C_CLR_INTR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							clr_intr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	WO	clr_intr	向此位写数据“1”时将清除组合中断、所有的独立中断和 I2C_TX_ABRT_SRC 寄存器。					

## I2C\_ENABLE

I2C\_ENABLE 为 I2C 工作使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x06C		I2C_ENABLE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	enable	I2C 使能。 0: 禁止; 1: 使能。						

## I2C\_STATUS

I2C\_STATUS 为 I2C 状态寄存器。

Offset Address		Register Name		Total Reset Value									
0x070		I2C_STATUS		0x0000_0006									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						reserved	mst_activity	rx_fifo_full	rx_fifo_nempty	tx_fifo_nempty	tx_fifo_full	i2c_activity
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0					
Bits	Access	Name	Description										
[31:7]	RO	reserved	保留。										
[6]	RO	reserved	保留。										
[5]	RO	mst_activity	I2C Master 功能活动状态。 0: Master 进入空闲状态, I2C 的主模式部分处于非激活状态; 1: Master 没有进入空闲状态, I2C 的主模式部分处于激活状态。										
[4]	RO	rx_fifo_full	RX_FIFO 满标志。 0: 未滿; 1: 滿。										



[3]	RO	rx_fifo_empty	RX_FIFO 非空标志。 0: 空; 1: 非空。
[2]	RO	tx_fifo_empty	TX_FIFO 空标志。 0: 非空; 1: 空。
[1]	RO	tx_fifo_full	TX_FIFO 未满足标志。 0: 满; 1: 非满。
[0]	RO	i2c_activity	I2C 工作状态。 0: 空闲; 1: 活跃。

## I2C\_TXFLR

I2C\_TXFLR 为 TX\_FIFO 有效数据指示寄存器。

	Offset Address	Register Name	Total Reset Value					
	0x074	I2C_TXFLR	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20					
		19 18 17 16	15 14 13 12					
		11 10 9 8	7 6 5 4					
			3 2 1 0					
Name	reserved							tx_flr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description					
[31:5]	RO	reserved	保留。					
[4:0]	RO	tx_flr	TX_FIFO 中的有效数据个数。 发生 tx_abort 中断时，该寄存器被清 0。					

## I2C\_RXFLR

I2C\_RXFLR 为 RX\_FIFO 有效数据指示寄存器。





Offset Address		Register Name		Total Reset Value					
0x078		I2C_RXFLR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							rx_flr	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	RO	reserved	保留。						
[4:0]	RO	rx_flr	RX_FIFO 中的有效数据个数。 发生 tx_abort 中断时，该寄存器被清 0。						

## I2C\_SDA\_HOLD

I2C\_SDA\_HOLD 为 SDA 保持时间配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x07C		I2C_SDA_HOLD		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				sda_hold_fs			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	sda_hold_fs	SDA 保持时间设置，单位为 20ns，建议配置为 <a href="#">I2C_SCL_LCNT</a> [i2c_scl_lcnt]/2。 <b>注意：</b> 该值为 SCL 下降沿到 SDA 变化的延时计数值，即当 SCL 下降沿以后 sda_hold_fs 个 i2c_clk 周期数据线 SDA 才能发生变化。 该值必须根据各速度模式要求设置。					

## I2C\_TX\_ABRT\_SRC

I2C\_TX\_ABRT\_SRC 为 I2C 发送失败中断源寄存器。



Offset Address		Register Name		Total Reset Value												
0x080		I2C_TX_ABRT_SRC		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved			arb_lost	reserved	abrt_10b_rd_norstrt	abrt_sbyte_norstrt	reserved	abrt_sbyte_ackdet	reserved	abrt_gcall_read	abrt_gcall_noack	abrt_txdata_noack	abrt_10addr2_noack	abrt_10addr1_noack	abrt_7b_addr_noack
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description													
[31:13]	RO	reserved	保留。													
[12]	RO	arb_lost	Master 丢失总线控制权导致错误。 0: 无错误; 1: 有错误。													
[11]	RO	reserved	保留。													
[10]	RO	abrt_10b_rd_norstrt	Restsrst 功能禁止(I2C_CON[restart_en]=0), 而 Master 企图在 10bit 模式下发起读操作, 导致错误。 0: 无错误; 1: 有错误。													
[9]	RO	abrt_sbyte_norstrt	Restart 功能禁止(I2C_CON[restart_en]=0), 而用户企图发起 “Start” 操作, 导致错误。 0: 无错误; 1: 有错误。													
[8]	RO	reserved	保留。													
[7]	RO	abrt_sbyte_ackdet	Master 发起 “start” 命令得到响应, 导致错误。 0: 无错误; 1: 有错误。(start 命令无需 Slave 响应)。													
[6]	RO	reserved	保留。													
[5]	RO	abrt_gcall_read	发送失败 tx_abort 产生原因。 0: 未出现该 bit 位定义的原因触发 tx_abort; 1: Master 发出了通用请求, 而用户在发出请求后发起读操作。													
[4]	RO	abrt_gcall_noack	发送失败 tx_abort 产生原因。 0: 未出现该 bit 位定义的原因触发 tx_abort; 1: Master 发出了通用请求, 而总线上没有 Slave 响应。													



[3]	RO	abrt_txdata_noack	发送失败 tx_abort 产生原因。 0: 未出现该 bit 位定义的原因触发 tx_abort; 1: Master 向 Slave 发出的地址得到响应后, 发出的数据没有得到响应。
[2]	RO	abrt_10addr2_noack	发送失败 tx_abort 产生原因。 0: 未出现该 bit 位定义的原因触发 tx_abort; 1: Master 在 10bit 地址模式时。第二次发送的地址[10:8]没有得到总线上 Slave 的响应。
[1]	RO	abrt_10addr1_noack	发送失败 tx_abort 产生原因。 0: 未出现该 bit 位定义的原因触发 tx_abort; 1: Master 在 10bit 地址模式时。第一次发送的地址[7:0]没有得到总线上 Slave 的响应。
[0]	RO	abrt_7b_addr_noack	发送失败 tx_abort 产生原因。 0: 未出现该 bit 位定义的原因触发 tx_abort; 1: Master 在 7bit 地址模式时, 发出的地址没有得到总线上任何 Slave 的响应。

## I2C\_DMA\_CR

I2C\_DMA\_CR 为 I2C 的 DMA 接口控制寄存器。

	Offset Address	Register Name	Total Reset Value														
	0x088	I2C_DMA_CR	0x0000_0000														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved															rdmae	tdmae
Reset	0 0																
	Bits	Access	Name	Description													
	[31:2]	RO	reserved	保留。													
	[1]	RW	rdmae	发送 FIFO 的 DMA 接口使能。 0: 禁止; 1: 使能。													
	[0]	RW	tdmae	接收 FIFO 的 DMA 接口使能。 0: 禁止; 1: 使能。													



## I2C\_DMA\_TDLR

I2C\_DMA\_TDLR 为 TX\_FIFO DMA 操作阈值寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x08C				I2C_DMA_TDLR				0x0000_0004																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								dma_txtl							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											
[3:0]	RW		dma_txtl		发送 FIFO DMA 操作阈值。当发送 FIFO 数据个数小于等于该值时，发起 DMA 操作请求。DMA 将搬运数据到发送 FIFO。																											

## I2C\_DMA\_RDLR

I2C\_DMA\_RDLR 为 RX\_FIFO DMA 操作阈值寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x090				I2C_DMA_RDLR				0x0000_0004																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								dma_rxtl							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											
[3:0]	RW		dma_rxtl		接收 FIFO DMA 操作阈值。当接收 FIFO 数据个数大于或等于该值时，发起 DMA 操作请求。DMA 将搬运接收 FIFO 中的数据到指定地点。实际值等于配置值+1。																											

## I2C\_SCL\_SWITCH

I2C\_SCL\_SWITCH 为 I<sup>2</sup>C 防挂死使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A0		I2C_SCL_SWITCH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								scl_switch
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	scl_switch	作为 Master 时模拟 SCL 使能信号。 0: 禁止模拟; 1: 使能模拟。						

## I2C\_SCL\_SIM

I2C\_SCL\_SIM 为 I2C 防挂死模拟寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A4		I2C_SCL_SIM		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								scl_sim
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	scl_sim	作为 Master 时模拟的 SCL 信号。 0: 输出 SCL 为 0; 1: 输出 SCL 为 1。						

## I2C\_LOCK

I2C\_LOCK 为 I2C 锁定寄存器。



Offset Address		Register Name		Total Reset Value					
0x0AC		I2C_LOCK		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								i2c_lock
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	i2c_lock	I2C 锁定寄存器。向该寄存器写入 1ACCE551 进行解锁，写入其它值时进行锁定。从该寄存器回读时， 0：解锁寄存器，可以配置所有寄存器； 1：锁定寄存器，只可以配置该寄存器。						

## I2C\_MST\_SINGLE\_CTRL

I2C\_MST\_SINGLE\_CTRL 为 I2C\_MST\_SINGLE\_CTRL 寄存器。

Offset Address		Register Name		Total Reset Value				
0x00B0		I2C_MST_SINGLE_CTRL		0x0030_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	single_model_en single_model single_addr_model single_data_model	single_mst_tx_abrt_clr single_tx_cmd_fifo_over_clr single_rx_cmd_fifo_under_clr single_rx_cmd_fifo_over_clr	single_mst_tx_abrt single_tx_cmd_fifo_over single_tx_cmd_fifo_not_full single_tx_cmd_fifo_empty	reserved	single_tx_cmd_fifo_o_cnt	single_rx_cmd_fifo_under single_rx_cmd_fifo_over single_rx_cmd_fifo_full single_rx_cmd_fifo_not_empty	reserved	single_rx_cmd_fifo_o_cnt
Reset	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	single_model_en	i2c master 单次操作功能使能控制。 0：关闭； 1：打开。					



[30]	RW	single_model	i2c master 单次操作功能模式控制。 0: 写; 1: 读。
[29]	RW	single_addr_model	i2c master 单次操作功能地址模式控制。 0: slave 的寄存器地址为 8bits; 1: slave 的寄存器地址为 16bits。
[28]	RW	single_data_model	i2c master 单次操作功能数据模式控制。 0: slave 的寄存器数据为 8bits; 1: slave 的寄存器数据为 16bits。
[27]	WC	single_mst_tx_abrt_clr	单次操作模式发送失败指示清除。
[26]	WC	single_tx_cmd_fifo_over_clr	SINGLE_TX_FIFO 溢出指示清除。
[25]	WC	single_rx_cmd_fifo_under_clr	SINGLE_RX_FIFO 读数据溢出指示清除。
[24]	WC	single_rx_cmd_fifo_over_clr	SINGLE_RX_FIFO 溢出指示清除。
[23]	RO	single_mst_tx_abrt	单次操作模式发送失败指示。 0: 无; 1: 有发送失败。
[22]	RO	single_tx_cmd_fifo_over	SINGLE_TX_FIFO 溢出指示。 0: 无溢出; 1: 有溢出。
[21]	RO	single_tx_cmd_fifo_not_full	SINGLE_TX_FIFO 非满指示。 0: 满, fifo 数据不少于 16 个; 1: 非满, fifo 数据小于 16 个。
[20]	RO	single_tx_cmd_fifo_empty	SINGLE_TX_FIFO 空指示。 0: 非空, fifo 中有数据; 1: 空, fifo 中没有数据。
[19:17]	RO	reserved	保留。
[16:12]	RO	single_tx_cmd_fifo_cnt	SINGLE_TX_FIFO 中的有效数据个数。 I2C master 单次操作功能禁止(I2C_MST_SINGLE_CTRL[31]为 0)时, 该寄存器被清 0。



[11]	RO	single_rx_cmd_fifo_under	读数据溢出(即 SINGLE_RX_FIFO 为空时 CPU 对 FIFO 进行读取)状态。 0: 无读数据溢出; 1: 有读数据溢出。
[10]	RO	single_rx_cmd_fifo_over	SINGLE_RX_FIFO 溢出状态。 0: 无溢出; 1: 有溢出。
[9]	RO	single_rx_cmd_fifo_full	SINGLE_RX_FIFO 满指示。 0: 非满, fifo 的数据少于 16 个; 1: 满, fifo 的数据不少于 16 个。
[8]	RO	single_rx_cmd_fifo_not_empty	SINGLE_RX_FIFO 非空指示。 0: 空, fifo 没有数据; 1: 非空, fifo 有数据。
[7:5]	RO	reserved	保留。
[4:0]	RO	single_rx_cmd_fifo_cnt	SINGLE_RX_FIFO 中的有效数据个数。 I2C master 单次操作功能禁止(I2C_MST_SINGLE_CTRL[31]为 0)时, 该寄存器被清 0。

## I2C\_MST\_SINGLE\_CMD

I2C\_MST\_SINGLE\_CMD 为 I2C\_MST\_SINGLE\_CMD 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00B4	I2C_MST_SINGLE_CMD	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	single_addr		single_data
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:16]	WO	single_addr	i2c master 单次操作功能访问 slave 的寄存器的地址。 <b>注意:</b> 首先发送的是低 8bit, 高 8bit 最后发送。
[15:0]	RW	single_data	i2c master 单次操作功能访问 slave 的寄存器的数据 <b>注意:</b> 首先发送的是低 8bit, 高 8bit 最后发送。





## I2C\_SEQUENCE\_CMD0

I2C\_SEQUENCE\_CMD0 为 I2C\_SEQUENCE\_CMD0 寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00B8		I2C_SEQUENCE_CMD0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sequential_mode_en	sequential_rw	sequential_addr_mode	reserved	reserved	reserved	reserved	reserved	add_cnt_full	sequential_busy	sequential_finish	sequential_tx_fifo_cnt																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	sequential_mode_en	连续模式使能，(该功能需要与 DMA 配合完成)。0: 关闭；1: 使能。																													
[30]	RW	sequential_rw	连续模式操作类型。0: 读；1: 写。																													
[29:28]	RW	sequential_addr_mode	连续模式首地址类型。00: 8 bits；01: 16 bits；10: 24 bits；11: 32 bits。																													
[27]	RO	reserved	保留。																													
[26:24]	RO	reserved	保留。																													
[23]	RO	reserved	保留。																													
[22]	RO	add_cnt_full	首地址发送完成标志，表示可以启动 dma 操作。																													
[21]	RO	sequential_busy	连续模式操作忙标志。																													
[20]	RO	sequential_finish	连续模式操作完成标志。																													
[19:0]	RO	sequential_tx_fifo_cnt	连续模式已经完成的操作个数。																													



## I2C\_SEQUENCE\_CMD1

I2C\_SEQUENCE\_CMD1 为 I2C\_SEQUENCE\_CMD1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x00BC		I2C_SEQUENCE_CMD1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sequential_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sequential_addr	连续模式的首地址 <b>注意：</b> 首先发送的是低 8bit，高 8bit 最后发送。					

## I2C\_SEQUENCE\_CMD2

I2C\_SEQUENCE\_CMD2 为 I2C\_SEQUENCE\_CMD2 寄存器。

Offset Address		Register Name		Total Reset Value				
0x00C0		I2C_SEQUENCE_CMD2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sequential_length							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sequential_length	连续模式的长度(减一配置，即配置值为实际值 RO1)。					

## 12.2 UART

### 12.2.1 概述

通用异步收发器 UART (Universal Asynchronous Receiver Transmitter) 是一个异步串行的通信接口，主要功能是将来自外围设备的数据进行串并转换之后传入内部总线，以及将数据进行并串转换之后输出到外部设备。UART 的主要功能是和外部芯片的 UART 进行对接，从而实现两芯片间的通信。

Hi3519V100 提供 5 个 UART 单元：

- UART0: 2 线 UART，主要用于调试。
- UART1/2: 4 线 UART。



- UART3/4: 2 线 UART。

## 12.2.2 特点

UART 模块有以下特点:

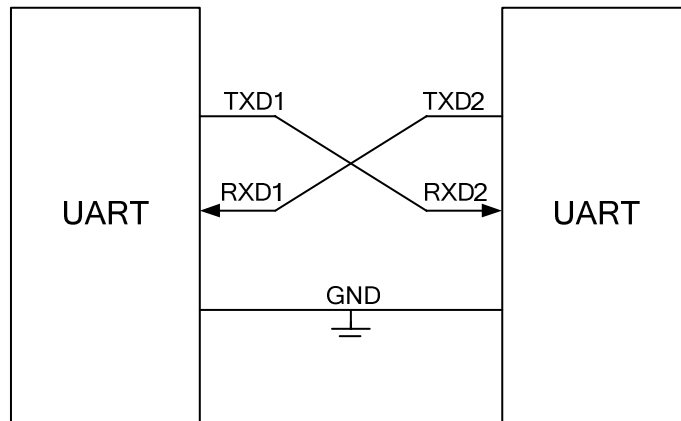
- 支持 64 x 8bit 的发送 FIFO 和 64 x 12bit 的接收 FIFO。
- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8 比特; 停止位可通过编程设定为 1bit 或 2bit。
- 支持奇、偶校验方式或者无校验。
- 支持传输速率可编程。
- 支持接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持通过编程禁止 UART 模块或者 UART 发送/接收功能以降低功耗。
- 支持关断 UART 时钟以节省功耗。
- 支持 DMA 操作。

## 12.2.3 功能描述

### 应用框图

UART 的典型应用框图如图 12-3 所示。

图12-3 UART 的典型应用框图



UART 是一种异步双向串行总线, 它提供了一种简单有效的数据传输方式, 只需要两根数据线互相对接。

### 功能原理

UART 的一次帧传输主要包括起始信号、数据、校验位和结束信号, 如图 12-4 所示。数据帧从某一 UART 的 TXD 端输出, 从另一个 UART 的 RXD 端输入。



图12-4 UART 帧格式



起始信号、数据、校验位和结束信号的含义如下：

- 起始信号（start bit）  
一个数据帧开始的标志，UART 协议规定 TXD 信号出现一个低电平就表示一个数据帧的开始。在 UART 不传输数据时，应该保持高电平。
- 数据信号（data bit）  
数据位宽可以根据不同的应用要求进行调整，可以配置成 5bit/6bit/7bit/8bit 数据位宽。
- 校验位（parity bit）  
校验位是 1 比特纠错信号，UART 的校验位有奇校验、偶校验和固定校验位，同时支持校验位的使能和禁止，详细描述请见 [UART\\_LCR\\_H](#) 寄存器。
- 结束信号（stop bit）  
结束信号即数据帧的停止位，支持 1 比特和 2 比特停止位两种配置。数据帧的结束信号就是把 TXD 拉成高电平。

## 12.2.4 工作方式

### 12.2.4.1 波特率配置

通过配置寄存器 [UART\\_IBRD](#) 和 [UART\\_FBRD](#) 可以设置 UART 工作的波特率，波特率计算公式为：

当前波特率=UART 参考时钟频率（默认为 24MHz）/（16 x 分频系数）

分频系数有整数和小数两部分组成，分别对应寄存器 [UART\\_IBRD](#) 和 [UART\\_FBRD](#)。

例如：UART 参考时钟频率为 24MHz，如果配置 [UART\\_IBRD](#) 为 0x1E，[UART\\_FBRD](#) 为 0x00，按照波特率计算公式，则当前的波特率为  $24 / (16 \times 30) = 0.005\text{Mbit/s}$ 。

UART 波特率配置的典型值为：9,600bit/s、14,400bit/s、19,200bit/s、38,400bit/s、57,600bit/s、76,800bit/s、115,200bit/s、230,400bit/s、460,800bit/s。

分频系数值的计算以及分频系数寄存器的配置举例如下：

如果要求波特率为 230,400bit/s，并且 UART 参考时钟频率为 24MHz，那么分频系数为  $(24 \times 10^6) / (16 \times 230400) = 6.5104$ ，因此 IBRD（整数部分）为 6，FBRD（小数部分）为 0.5104。



计算 6bit `UART_FBRD` 寄存器中的数值：根据  $m = \text{integer}(FBRD \times 2^n + 0.5)$  ( $n = \text{UART\_FBRD}$  寄存器的宽度)，计算出  $m = \text{integer}(0.5104 \times 2^6 + 0.5) = 33$ ，在 `UART_IBRD` 寄存器中配置 0x0006，`UART_FBRD` 寄存器中配置 0x21。

当分频系数小数部分配置成 33 时，波特率除数的实际数值为  $6 + 33/64 = 6.5156$ ，产生的波特率为  $(24 \times 10^6) / (16 \times 6.5156) = 230216.7107$ ，误差率为  $(230216.7107 - 230400) / 230400 \times 100 = -0.07956\%$ 。

使用 6bit `UART_FBRD` 寄存器最大的误差率为  $1/64 \times 100 = 1.56\%$ ，当  $m=1$  时会出现，误差率累计超过 64 个时钟周期。

### 12.2.4.2 软复位

通过配置 CRG 寄存器可实现对 UART 控制器的单独软复位。

- 通过配置 CRG 寄存器 `PERI_CRG57[8]` 为 1，可实现对 UART0 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[9]` 为 1，可实现对 UART1 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[10]` 为 1，可实现对 UART2 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[11]` 为 1，可实现对 UART3 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[12]` 为 1，可实现对 UART4 控制器的单独软复位。



说明

复位寄存器请参考 3.2.7 CRG 寄存器描述。

复位后各配置寄存器的值均为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

### 12.2.4.3 中断或查询方式下的数据传输

#### 初始化

初始化步骤如下：

- 步骤 1. 向 `UART_CR` bit[0] 写 0，使 UART 处于禁止状态。
- 步骤 2. 写相应的配置值到 `UART_IBRD`、`UART_FBRD` 寄存器，配置传输速率。
- 步骤 3. 配置 `UART_CR`、`UART_LCR_H`，设定相应的 UART 工作模式。
- 步骤 4. 配置 `UART_IFLS` 设定相应的发送及接收 FIFO 阈值。
- 步骤 5. 如果驱动程序采用中断方式则需设定 `UART_IMSC`，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。
- 步骤 6. 向 `UART_CR` bit[0] 写 1，使能 UART，完成初始化配置。

----结束



## 数据发送

数据发送步骤如下：

- 步骤 1. 将发送数据写入 `UART_DR`，启动数据发送。
- 步骤 2. 查询方式下，进行连续数据发送时通过读取 `UART_FR` bit[5]检测 TX\_FIFO 状态，根据 TX\_FIFO 的状态决定是否向 TX\_FIFO 中发送数据；中断方式下，则根据相应中断状态位检测；决定是否向 TX\_FIFO 中发送数据。
- 步骤 3. 通过检测 `UART_FR` bit[7]是否为 1，判断 UART 是否完成全部数据发送。

----结束

## 数据接收

数据接收的处理方式如下：

- 查询方式下，进行数据接收时通过读取 `UART_FR`[rxfe]检测 RX\_FIFO 状态，根据 RX\_FIFO 的状态决定是否读取 RX\_FIFO 中的数据。
- 中断方式下，则根据相应中断状态位检测决定是否读取 RX\_FIFO 中的数据。

### 12.2.4.4 DMA 方式下的数据传输

#### 初始化

初始化步骤如下：

- 步骤 1. 向 `UART_CR`[uarten]写 0，使 UART 处于禁止状态。
- 步骤 2. 写相应的配置值到 `UART_IBRD`、`UART_FBRD` 寄存器，配置传输速率。
- 步骤 3. 配置 `UART_CR`、`UART_LCR_H`，设定相应的 UART 工作模式。
- 步骤 4. 配置 `UART_IFLS` 设定相应的发送及接收 FIFO 阈值。
- 步骤 5. 如果驱动程序采用中断方式则需设定 `UART_IMSC`，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。
- 步骤 6. 向 `UART_CR`[uarten]写 1，使能 UART，完成初始化配置。

----结束

## 数据发送

数据发送（以 DMA 模式为例）步骤如下：

- 步骤 1. 配置 DMA 数据通道，包括数据传输源和目的地址、数据传输个数、传输类型等参数。具体配置时请参见“直接存储器存取控制器”的相关描述。
- 步骤 2. 配置 `UART_DMCCR` 为 0x2，使能 UART 的 DMA 发送功能。
- 步骤 3. 通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 UART 的 DMA 发送功能。



----结束

## 数据接收

数据接收（以 DMA 模式为例）步骤如下：

- 步骤 1. 配置 DMA 数据通道，包括数据传输源和目的地址、数据接收区地址、数据传输个数、传输类型等参数。
- 步骤 2. 配置 `UART_DMAGR` 为 0x1，使能 UART 的 DMA 接收功能。
- 步骤 3. 通过 DMA 状态查询，判断数据是否接收完成，如果完成则关闭 UART 的 DMA 接收功能。

----结束

## 12.2.5 UART 寄存器概览

Hi3519V100 提供 5 个 UART 单元，基地址分别如下：

- UART0 寄存器基地址为 0x1210\_0000。
- UART1 寄存器基地址为 0x1210\_1000。
- UART2 寄存器基地址为 0x1210\_2000。
- UART3 寄存器基地址为 0x1210\_3000。
- UART4 寄存器基地址为 0x1210\_4000。

UART 寄存器概览如表 12-2 所示。

表12-2 UART 寄存器概览

偏移地址	名称	描述	页码
0x000	UART_DR	数据寄存器	12-32
0x004	UART_RSR	接收状态寄存器/错误清除寄存器	12-33
0x018	UART_FR	标志寄存器	12-34
0x024	UART_IBRD	整数波特率寄存器	12-35
0x028	UART_FBRD	小数波特率寄存器	12-35
0x02C	UART_LCR_H	线控寄存器	12-36
0x030	UART_CR	控制寄存器	12-37
0x034	UART_IFLS	中断 FIFO 阈值选择寄存器	12-39
0x038	UART_IMSC	中断屏蔽寄存器	12-40
0x03C	UART_RIS	原始中断状态寄存器	12-41
0x040	UART_MIS	屏蔽后中断状态寄存器	12-42



偏移地址	名称	描述	页码
0x044	UART_ICR	中断清除寄存器	12-43
0x048	UART_DMACR	DMA 控制寄存器	12-44

## 12.2.6 UART 寄存器描述

### UART\_DR

UART\_DR 为 UART 数据寄存器，存放接收数据和发送数据，同时可以从该寄存器中读出接收状态。

	Offset Address				Register Name				Total Reset Value							
	0x000				UART_DR				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				oe	be	pe	fe	data							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description												
	[15:12]	RO	reserved	保留。												
	[11]	RO	oe	溢出错误。 0: 无溢出错误; 1: 有溢出错误, 接收 FIFO 满后接收到了数据。												
	[10]	RO	be	Break 错误。 0: 无 break 错误; 1: 有 break 错误, 即接收数据的输入保持低的时间比一个全字传输 (包括 start、data、parity、stop bit) 还要长。												
	[9]	RO	pe	校验错误。 0: 无校验错误; 1: 有校验错误。												
	[8]	RO	fe	帧错误。 0: 无帧错误; 1: 有帧错误 (错误的停止位)。												
	[7:0]	RW	data	接收数据和发送数据。												





## UART\_RSR

UART\_RSR 为接收状态寄存器/错误清除寄存器。

- 寄存器读时作为接收状态寄存器。
- 寄存器写时作为错误清除寄存器。

接收状态也可以从 [UART\\_DR](#) 中读出。从 [UART\\_DR](#) 中读出的 break、frame、parity 的状态信息要比从 [UART\\_RSR](#) 读出的信息优先级高（即 [UART\\_DR](#) 中的状态变化比 [UART\\_RSR](#) 更快）。

对 [UART\\_RSR](#) 寄存器的任何写操作都会对 [UART\\_RSR](#) 寄存器进行复位。

	Offset Address				Register Name		Total Reset Value	
	0x004				UART_RSR		0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved				oe	be	pe	fe
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:4]	RO	reserved	保留。					
[3]	RW	oe	溢出错误。 0: 无溢出错误; 1: 溢出错误。 当 FIFO 满时, FIFO 中的内容保持有效, 因为不会有下一个数据写到 FIFO 中, 只是移位寄存器会溢出。CPU 必须立刻读数据以腾空 FIFO。					
[2]	RW	be	Break 错误。 0: 无 break 错误; 1: break 错误。 Break 的条件: 接收数据的输入保持低的时间比一个全字传输 (定义了 start、data、parity、stop bit) 还要长。					
[1]	RW	pe	校验错误。 0: 无校验错误; 1: 接收数据的校验错误。 FIFO 模式下, 该错误与 FIFO 顶部的数据相关联。					



[0]	RW	fe	<p>帧错误。</p> <p>0: 无帧错误;</p> <p>1: 接收到的数据的停止位错误 (有效的停止位为 1)。</p>
-----	----	----	---

## UART\_FR

UART\_FR 为 UART 标志寄存器。

	Offset Address 0x018						Register Name UART_FR						Total Reset Value 0x0012			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved						txfe	rxff	txff	rxfe	busy	reserved				
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access	Name	Description													
[15:8]	RO	reserved	保留。													
[7]	RO	txfe	<p>该位的含义由 <a href="#">UART_LCR_H[fen]</a> 的状态决定。</p> <p>如果 <a href="#">UART_LCR_H[fen]</a> 为 0, 则当发送 holding register 空时该位置 1;</p> <p>如果 <a href="#">UART_LCR_H[fen]</a> 为 1, 则当发送 FIFO 为空时该位置 1。</p>													
[6]	RO	rxff	<p>该位的含义由 <a href="#">UART_LCR_H[fen]</a> 的状态决定。</p> <p>如果 <a href="#">UART_LCR_H[fen]</a> 为 0, 则当接收 holding register 满时该位置 1;</p> <p>如果 <a href="#">UART_LCR_H[fen]</a> 为 1, 则当接收 FIFO 为满时该位置 1。</p>													
[5]	RO	txff	<p>该位的含义由 <a href="#">UART_LCR_H[fen]</a> 的状态决定。</p> <p>如果 <a href="#">UART_LCR_H[fen]</a> 为 0, 则当发送 holding register 满时该位置 1;</p> <p>如果 <a href="#">UART_LCR_H[fen]</a> 为 1, 当发送 FIFO 为满时该位置 1。</p>													
[4]	RO	rxfe	<p>该位的含义由 <a href="#">UART_LCR_H[fen]</a> 的状态决定。</p> <p>如果 <a href="#">UART_LCR_H[fen]</a> 为 0, 则当接收 holding register 空时该 bit 置 1;</p> <p>如果 <a href="#">UART_LCR_H[fen]</a> 为 1, 则当接收 FIFO 为空时该位就置 1。</p>													



[3]	RO	busy	UART 忙闲状态位。 0: UART 空闲或者完成发送数据; 1: UART 正忙于发送数据。 该位一旦置位, 该状态一直保持到整个字节(包括所有的停止位)完全从移位寄存器中发送出去。 一旦发送 FIFO 非空该位就置位, 不管 UART 使能与否。
[2:0]	RO	reserved	保留。

## UART\_IBRD

UART\_IBRD 为整数波特率寄存器。

	Offset Address					Register Name					Total Reset Value					
	0x024					UART_IBRD					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	baud divint															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:0]	RW		baud divint		整数波特率分频值。复位时全部清 0。											

## UART\_FBRD

UART\_FBRD 为小数波特率寄存器。



### 注意

- 整数波特率寄存器和小数波特率寄存器的值必须等到当前数据发送和接收完毕才能更新。
- 最小的分频值为 1, 最大的分频值为  $65535 (2^{16}-1)$ 。即 `UART_IBRD=0` 是无效的, 而此时 `UART_FBRD` 将被忽略。同样, 如果 `UART_IBRD=65535 (0xFFFF)`, `UART_FBRD` 就只能是 0, 如果比 0 大, 则会导致发送和接收的失败。

	Offset Address					Register Name					Total Reset Value				
	0x028					UART_FBRD					0x00				



Bit	7	6	5	4	3	2	1	0
Name	reserved			baud divfrac				
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	RO	reserved	保留。					
[5:0]	RW	baud divfrac	小数波特率分频值。复位时全部清 0。					

## UART\_LCR\_H

UART\_LCR\_H 为线控寄存器，UART\_LCR\_H、UART\_IBRD、UART\_FBRD 组成一个 30bit 宽的寄存器。如果更新 UART\_IBRD 和 UART\_FBRD 的内容，必须同时更新 UART\_LCR\_H。

	Offset Address						Register Name						Total Reset Value					
	0x02C						UART_LCR_H						0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved								sps	wlen	fen	stp2	eps	pen	brk			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access	Name	Description															
[15:8]	RO	reserved	保留。															
[7]	RW	sps	校验选择。 当本寄存器的 bit[1]、bit[2]、bit[7]被置位时，校验位就会作为 0 发送和检测； 当本寄存器的 bit[1]、bit[7]被置位，bit[2]为 0 时，校验位就会作为 1 发送和检测。 当 bit[1]、bit[2]、bit[7]都清 0，则 stick parity 禁止。															
[6:5]	RW	wlen	指示发送和接收一个帧里数据比特的数目。 00: 5bit; 01: 6bit; 10: 7bit; 11: 8bit。															
[4]	RW	fen	发送和接收 FIFO 使能控制。 0: 发送和接收 FIFO 禁止； 1: 发送和接收 FIFO 使能。															



[3]	RW	stp2	<p>发送帧尾 2bit 停止位判断。</p> <p>0: 发送的帧尾没有 2bit 停止位; 1: 发送的帧尾有 2bit 停止位。</p> <p>接收逻辑在接收时不检查 2bit 的停止位。</p>
[2]	RW	eps	<p>发送和接收过程中的奇偶校验选择。</p> <p>0: 在发送和接收过程中生成奇校验或检查奇校验; 1: 在发送和接收过程中生成偶校验或检查偶校验。</p> <p>当 <code>UART_LCR_H[fen]</code> 为 0 时, 该位不起作用。</p>
[1]	RW	pen	<p>校验选择位。</p> <p>0: 不作校验; 1: 发送方向产生校验, 接收方向作校验检查。</p>
[0]	RW	brk	<p>发送 break。</p> <p>0: 无效; 1: 在完成当前数据的发送后, UTXD 连续输出低电平。</p> <p><b>注意:</b> <b>要正确的执行 break 命令, 软件将该位置 1 的时间必须超过 2 个完整帧; 在正常使用中, 该位必须清 0。</b></p>

## UART\_CR

`UART_CR` 为 UART 控制寄存器。

配置 `UART_CR` 遵循以下步骤:

- 步骤 1. 向 `UART_CR[uarthen]` 写 0, 禁止 UART。
- 步骤 2. 等待当前数据发送或接收结束。
- 步骤 3. 将 `UART_LCR_H[fen]` 清 0。
- 步骤 4. 配置 `UART_CR`。
- 步骤 5. 向 `UART_CR[uarthen]` 写 1, 使能 UART。

----结束



		Offset Address				Register Name				Total Reset Value						
		0x030				UART_CR				0x0300						
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ctsen	rtsen	reserved		rts	dtr	rx	txe	lbe				reserved			uarten
Reset	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15]	RW	ctsen	CTS 硬件流控使能。 0: 不使能 CTS 硬件流控; 1: 使能 CTS 硬件流控, 只有当 nUARTCTS 信号有效时才发送数据。													
[14]	RW	rtsen	RTS 硬件流控使能。 0: 不使能 RTS 硬件流控; 1: 使能 RTS 硬件流控, 只有当接收 FIFO 有空间时才请求接收数据。													
[13:12]	RO	reserved	保留。													
[11]	RW	rts	请求发送。 该 bit 为 UART modem 状态输出信号 nUARTRTS 的取反。 0: 输出信号不变; 1: 即该 bit 配置为 1, 则输出信号为 0。													
[10]	RW	dtr	数据发送准备。 该 bit 为 UART modem 状态输出信号 nUARTDTR 的取反。 0: 输出信号不变; 1: 即该 bit 配置为 1, 则输出信号为 0。													
[9]	RW	rx	UART 接收使能。 0: 禁止; 1: 使能。 在接收的过程中如果 UART 被禁止, 则当前数据的接收就会在正常停止之前结束。													



[8]	RW	txe	UART 发送使能。 0: 禁止; 1: 使能。 在发送的过程中如果 UART 被禁止, 则当前数据的发送就会在正常停止之前结束。
[7]	RW	lbe	环回使能。 0: 禁止; 1: UARTTXD 输出环回到 UARTRXD。
[6:1]	RO	reserved	保留。
[0]	RW	uarten	UART 使能。 0: 禁止; 1: 使能。 如果在发送和接收过程中将 UART 禁止, 则会在正常停止之前结束当前数据的传送。

## UART\_IFLS

UART\_IFLS 为中断 FIFO 阈值选择寄存器, 用于设置 FIFO 的中断 (UART\_TXINTR 或 UART\_RXINTR) 触发线。

	Offset Address				Register Name				Total Reset Value								
	0x034				UART_IFLS				0x0012								
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved										rxifsel		txifsel				
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0
Bits	Access		Name		Description												
[15:6]	RO		reserved		保留。												
[5:3]	RW		rxifsel		接收中断 FIFO 的阈值选择, 接收中断的触发点如下。 000: 接收 FIFO $\geq 1/8$ full; 001: 接收 FIFO $\geq 1/4$ full; 010: 接收 FIFO $\geq 1/2$ full; 011: 接收 FIFO $\geq 3/4$ full; 100: 接收 FIFO $\geq 7/8$ full; 101~111: 保留。												



[2:0]	RW	txiflssel	<p>发送中断 FIFO 的阈值选择，发送中断的触发点如下。</p> <p>000: 发送 FIFO ≤ 1/8full; 001: 发送 FIFO ≤ 1/4full; 011: 发送 FIFO ≤ 3/4full; 010: 发送 FIFO ≤ 1/2full; 100: 发送 FIFO ≤ 7/8full; 101~111: 保留。</p>
-------	----	-----------	--

## UART\_IMSC

UART\_IMSC 为中断屏蔽寄存器，用于屏蔽中断。

	Offset Address					Register Name					Total Reset Value					
	0x038					UART_IMSC					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeim	beim	peim	feim	rtim	txim	rxim	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:11]	RO		reserved		保留。											
[10]	RW		oeim		溢出错误中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。											
[9]	RW		beim		break 错误中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。											
[8]	RW		peim		校验中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。											
[7]	RW		feim		帧错误中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。											
[6]	RW		rtim		接收超时中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。											





[5]	RW	txim	发送中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[4]	RW	rxim	接收中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[3:0]	RO	reserved	保留。

## UART\_RIS

UART\_RIS 为原始中断状态寄存器，其内容不受中断屏蔽寄存器的影响。

	Offset Address					Register Name					Total Reset Value					
	0x03C					UART_RIS					0x0002					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeris	beris	peris	feris	rtris	txris	rxris	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description													
[15:11]	RO	reserved	保留。													
[10]	RO	oeris	原始的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[9]	RO	beris	原始的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[8]	RO	peris	原始的校验中断状态。 0: 未产生中断; 1: 已产生中断。													
[7]	RO	feris	原始的错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[6]	RO	rtris	原始接收超时中断状态。 0: 未产生中断; 1: 已产生中断。													



[5]	RO	txris	原始的发送中断状态。 0: 未产生中断; 1: 已产生中断。
[4]	RO	rxris	原始的接收中断状态。 0: 未产生中断; 1: 已产生中断。
[3:0]	RO	reserved	保留。

## UART\_MIS

UART\_MIS 为屏蔽后中断状态寄存器，其内容为原始中断状态和中断屏蔽进行“与”操作后的结果。

	Offset Address					Register Name					Total Reset Value					
	0x040					UART_MIS					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oemis	bemis	pemis	femis	rtmis	txmis	rxmis	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:11]	RO	reserved	保留。													
[10]	RO	oemis	屏蔽后的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[9]	RO	bemis	屏蔽后的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[8]	RO	pemis	屏蔽后的校验中断状态。 0: 未产生中断; 1: 已产生中断。													
[7]	RO	femis	屏蔽后的错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[6]	RO	rtmis	屏蔽后的接收超时中断状态。 0: 未产生中断; 1: 已产生中断。													



[5]	RO	txmis	屏蔽后的发送中断状态。 0: 未产生中断; 1: 已产生中断。
[4]	RO	rxmis	屏蔽后的接收中断状态。 0: 未产生中断; 1: 已产生中断。
[3:0]	RO	reserved	保留。

## UART\_ICR

UART\_ICR 为中断清除寄存器，写 1 时相应的中断被清除，写 0 则不起作用。

	Offset Address				Register Name				Total Reset Value							
	0x044				UART_ICR				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				oeic	beic	peic	feic	rtic	txic	rxic	reserved				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:11]	RO	reserved	保留。													
[10]	WO	oeic	清除溢出错误中断。 0: 无效; 1: 清除中断。													
[9]	WO	beic	清除 break 错误中断。 0: 无效; 1: 清除中断。													
[8]	WO	peic	清除校验中断。 0: 无效; 1: 清除中断。													
[7]	WO	feic	清除错误中断。 0: 无效; 1: 清除中断。													
[6]	WO	rtic	清除接收超时中断。 0: 无效; 1: 清除中断。													



[5]	WO	txic	清除发送中断。 0: 无效; 1: 清除中断。
[4]	WO	rxic	清除接收中断。 0: 无效; 1: 清除中断。
[3:0]	RO	reserved	保留。

## UART\_DMACR

UART\_DMACR 为 DMA 控制寄存器，用于配置发送 FIFO 和接收 FIFO 的 DMA 使能。

	Offset Address				Register Name				Total Reset Value							
	0x048				UART_DMACR				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											dmaonerr	txdmae	rxdmae		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:3]	RO	reserved	保留。													
[2]	RW	dmaonerr	UART 错误中断 (UARTEINTR) 出现时的接收通道 DMA 使能控制。 0: 当 UART 错误中断 (UARTEINTR) 有效时, 接收通道 DMA 的请求输出 (UARTRXDMSREQ 或 UARRTXDMABREQ) 有效; 1: 当 UART 错误中断 (UARTEINTR) 有效时, 接收通道 DMA 的请求输出 (UARTRXDMSREQ 或 UARRTXDMABREQ) 无效。													
[1]	RW	txdmae	发送 FIFO 的 DMA 使能控制。 0: 禁止; 1: 使能。													
[0]	RW	rxdmae	接收 FIFO 的 DMA 使能控制。 0: 禁止; 1: 使能。													



## 12.3 SPI

### 12.3.1 概述

SPI 控制器实现数据的串并、并串转换，可以作为 Master 与外部设备进行同步串行通信。支持 MOTOROLA 的 SPI、TI 串行同步、MicroWire 三种外设接口协议。

### 12.3.2 特点



#### 注意

- Hi3519V100 有 3 组 SPI 接口，其中 SPI0/2 支持单片选，SPI1 支持 2 片选。
- Hi3519V100 芯片的 SPI 只支持 Master 接口，工作参考时钟为 APB 总线时钟，SPI 输出的 SPI\_CLK 最大支持 24.75MHz。

SPI 的功能特点有：

- 接口时钟频率可编程。
- 收/发分开的宽度 16bit、深度为 256 的 FIFO。
- 串行数据帧长度可编程：4bit~16bit。
- 内部提供环回测试模式。
- 支持 DMA 操作。
- 支持 SPI、MicroWire、TI 同步串行三种接口，支持单帧和连续帧格式。
- 支持 SPI 全双工工作模式，时钟极性、相位可配置。
- 支持 MicroWire 半双工工作模式。
- 支持 TI 同步串行接口全双工工作模式。

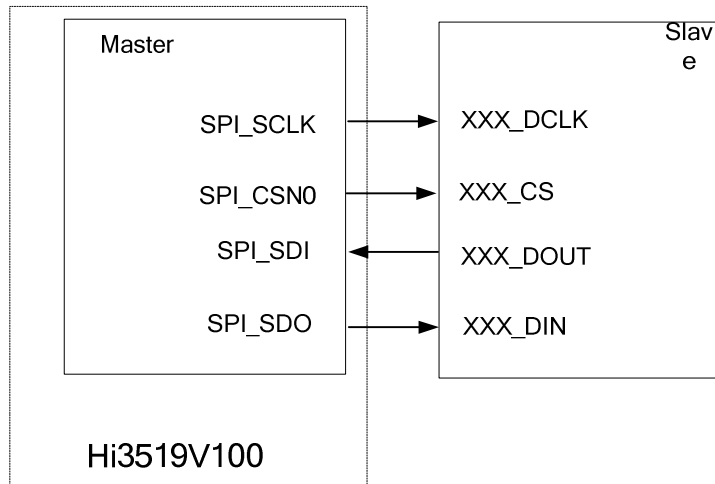
### 12.3.3 功能描述

#### 典型应用

SPI 接 Slave 时的应用框图如图 12-5 所示。



图12-5 SPI 接 Slave 时的应用



### 12.3.4 三种外设总线时序

图 12-6~图 12-13 中的缩略语含义为:

- MSB: Most Significant Bit
- LSB: Least Significant Bit
- Q: Q is an undefined signal

#### SPI 接口

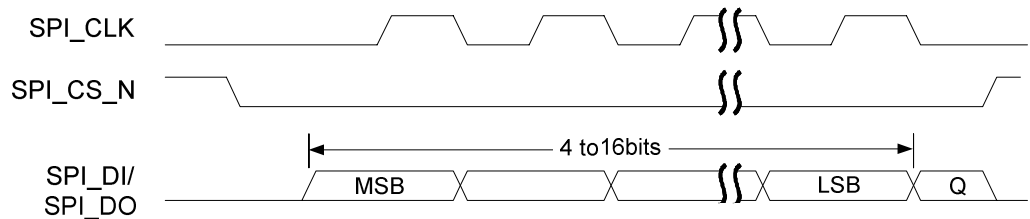
说明

SPO 表示 SPICLKOUT 极性，SPH 表示 SPICLKOUT 相位。它们是寄存器 SPICR0 bit[7:6]。

#### (1) SPO=0、SPH=0

SPI 单帧格式如图 12-6 所示。

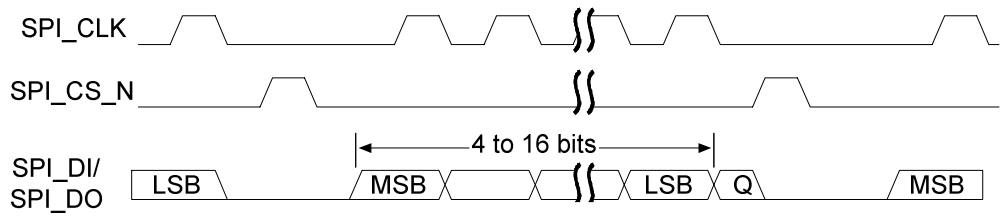
图12-6 SPI 单帧格式 (SPO=0、SPH=0)



SPI 连续帧格式如图 12-7 所示。



图12-7 SPI 连续帧格式 (SPO=0、SPH=0)



在该模式下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为低
- SPI\_CS\_N 信号设置为高
- 发送数据线 SPI\_DO 强制为低

当 SPI 处于使能状态，而且发送 FIFO 内有有效数据时，设置 SPI\_CS\_N 信号为低，表示开始传输数据。来自 Slave 的数据立刻发送到 Master 的接收数据线 SPI\_DI。半个 SPI\_CLK 时钟周期之后，有效的 Master 数据传输到 SPI\_DO。此时 Master 和 Slave 数据都已经有效，SPI\_CLK 管脚在接下来的半个 SPI\_CLK 时钟周期之后变为高电平。数据在 SPI\_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。

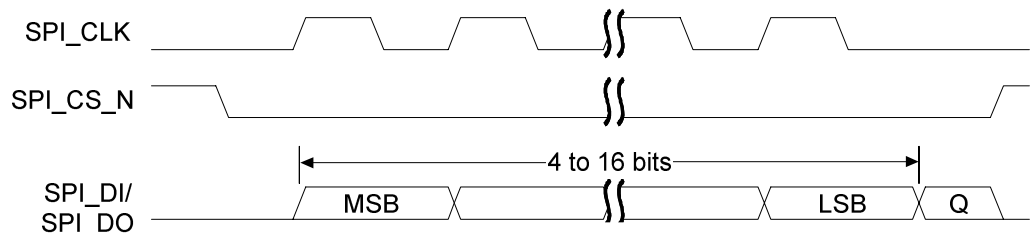
如果传输单个 word，当捕捉到最后 1bit 数据时，SPI\_CS\_N 在接下来的 1 个 SPI\_CLK 时钟周期之后恢复为高电平。

如果是连续的传输，SPI\_CS\_N 信号在每个 word 传输之间必须将 SPI\_CLK 时钟拉高一个时钟周期。这是因为 SPH 为 0 时，Slave 选择管脚会固定其内部串行设备寄存器的数据，使它不会变化。因此在连续传输时，主设备必须在每个 word 传输之间将 SPI\_CS\_N 信号拉高。连续传输结束时，SPI\_CS\_N 在捕捉到最后 1bit 之后的 1 个 SPI\_CLK 时钟周期之后恢复为高电平。

## (2) SPO=0、SPH=1

SPI 单帧格式如图 12-8 所示。

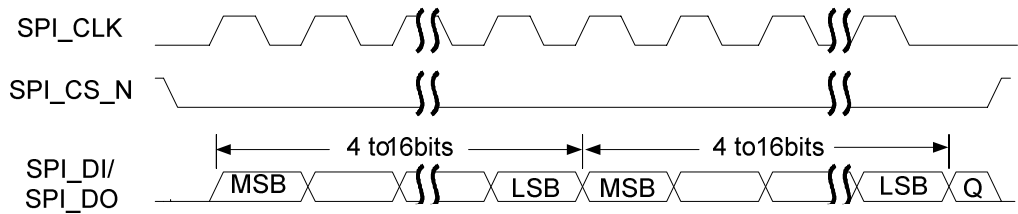
图12-8 SPI 单帧格式 (SPO=0、SPH=1)



SPI 连续帧格式如图 12-9 所示。



图12-9 SPI 连续帧格式 (SPO=0、SPH=1)



在该模式下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为低
- SPI\_CS\_N 设置为高
- 发送数据线 SPI\_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI\_CS\_N 信号为低表示开始传输数据。半个 SPI\_CLK 时钟周期之后，Master 和 Slave 的有效数据分别在各自的传输线上有效。同时，SPI\_CLK 从第一个上升沿开始有效。数据在 SPI\_CLK 时钟的下降沿被捕获，在时钟的上升沿被传送。

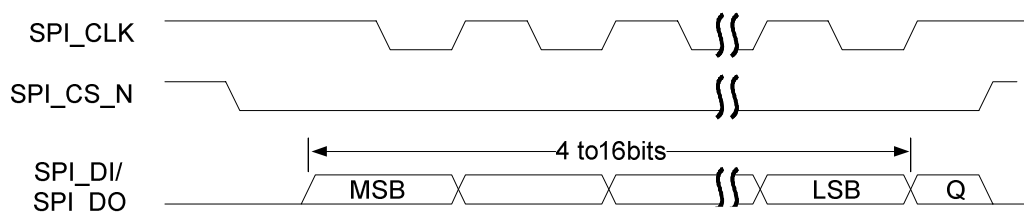
如果传输单个 word，当捕捉到最后 1bit 数据时，SPI\_CS\_N 在接下来的 1 个 SPI\_CLK 时钟之后恢复为高电平。

当连续传输时，在传输数据 word 之间 SPI\_CS\_N 保持为低。连续传输结束时，SPI\_CS\_N 在最后 1bit 捕捉之后的 1 个 SPI\_CLK 时钟之后恢复为高电平。

### (3) SPO=1、SPH=0

SPI 单帧格式如图 12-10 所示。

图12-10 SPI 单帧格式 (SPO=1、SPH=0)

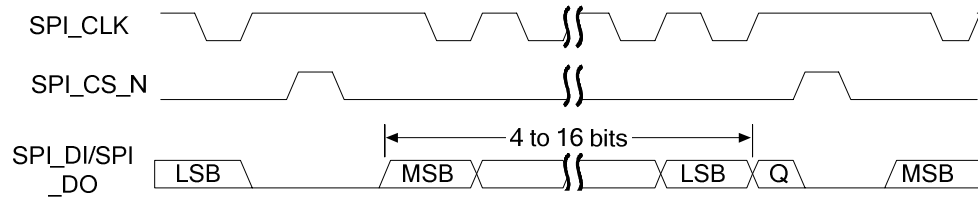


SPI 连续帧格式如图 12-11 所示。





图12-11 SPI 连续帧格式 (SPO=1、SPH=0)



在该配置下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为高
- SPI\_CS\_N 信号设置为高
- 发送数据线 SPI\_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI\_CS\_N 信号为低表示开始传输数据。此时 Slave 的数据立刻发送到 Master 的接收数据线 SPI\_DI。半个 SPI\_CLK 周期之后，Master 的有效数据传送到 SPI\_DO。再过半个 SPI\_CLK 时钟周期之后，SPI\_CLK Master 管脚设置为低。这表示数据在 SPI\_CLK 时钟的下降沿被捕获，在 SPI\_CLK 时钟的上升沿被传送。

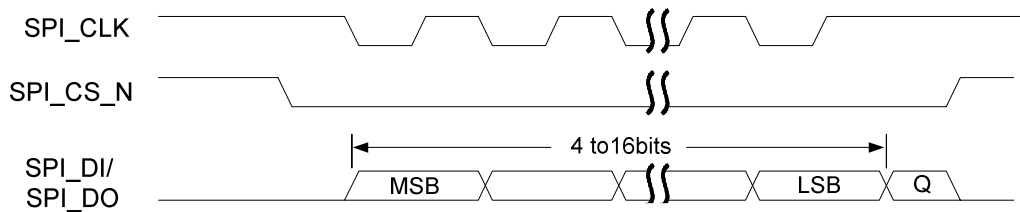
如果传输单个 word，当捕捉到最后 1bit 数据时，SPI\_CS\_N 在接下来的 1 个 SPI\_CLK 时钟之后恢复为高电平。

如果是连续的传输，SPI\_CS\_N 信号在每个 word 传输之间必须拉高。这是因为当 SPH 为 0 时，Salve 选择管脚固定其内部串行设备寄存器的数据，使它不会变化。SPI\_CS\_N 在捕捉到最后 1bit 数据之后的 1 个 SPI\_CLK 时钟周期之后恢复为高电平。

#### (4) SPO=1、SPH=1

SPI 单帧格式如图 12-12 所示。

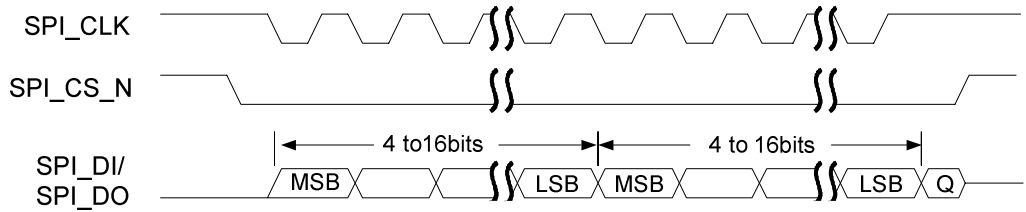
图12-12 SPI 单帧格式 (SPO=1、SPH=1)



SPI 连续帧格式如图 12-13 所示。



图12-13 SPI 连续帧格式 (SPO=1、SPH=1)



在该模式下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为高
- SPI\_CS\_N 信号设置为高
- 发送数据线 SPI\_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI\_CS\_N Master 信号为低表示开始传输数据。半个 SPI\_CLK 时钟周期后，Master 和 Slave 数据在各自的传输线上有效。同时，时钟 SPI\_CLK 从 1 个下降沿开始有效。数据在 SPI\_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。当传输单个 word 时，SPI\_CS\_N 在传输的最后 1bit 捕获之后的 1 个 SPI\_CLK 时钟周期之后恢复为高电平。

如果是连续传输，SPI\_CS\_N 信号始终保持为低。SPI\_CS\_N 在捕获到最后 1bit 之后的 1 个 SPI\_CLK 时钟周期之后恢复到高状态。对于连续传输来说，SPI\_CS\_N 在传输过程中一直保持为低，结束方式与单个传输方式相同。

### (5) 接口时序

图12-14 SPI 接口时序图

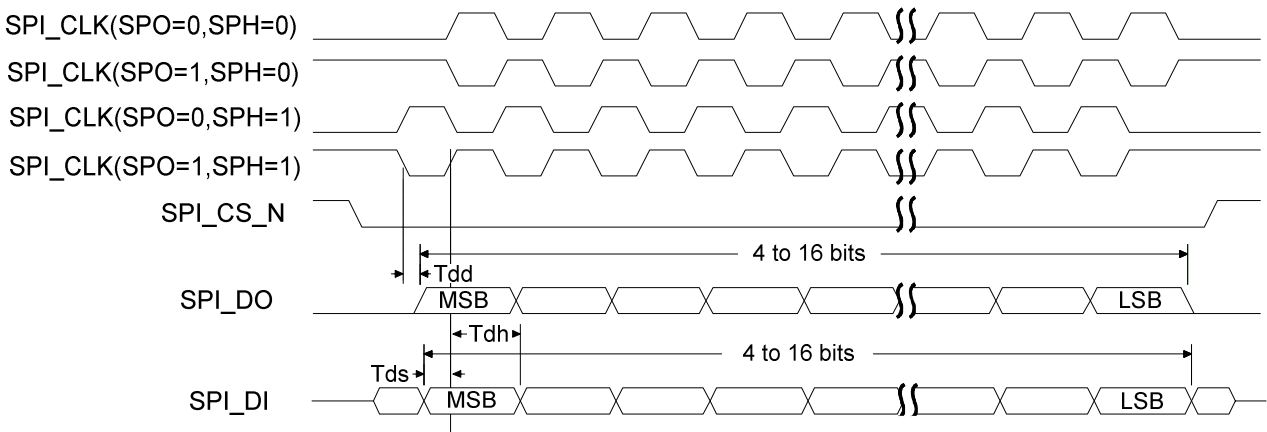


表12-3 SPI 接口时序参数

参数	描述	最小值	最大值	单位
Tdd	输出数据延迟	-3.5	5	ns

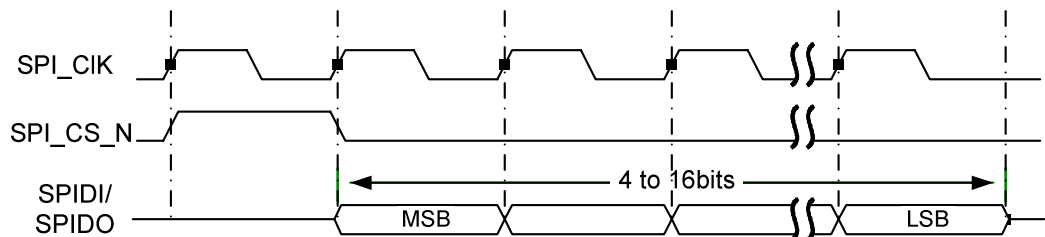


Tds	输入控制信号建立时间	23	-	ns
Tdh	输入控制信号保持时间	0	-	ns

## TI 同步串行接口

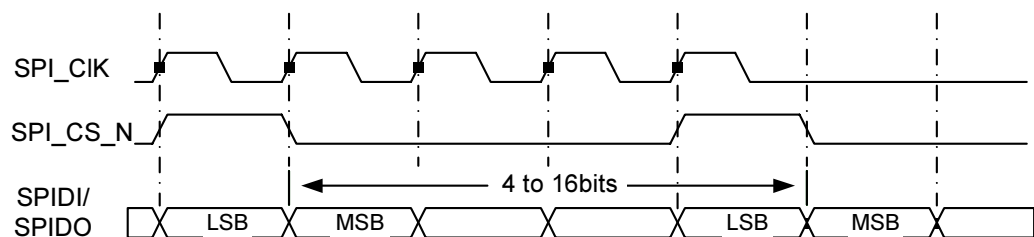
TI 同步串行单帧格式如图 12-15 所示。

图12-15 TI 同步串行单帧格式



TI 同步串行连续帧格式如图 12-16 所示。

图12-16 TI 同步串行连续帧格式



在该模式下，当 SPI 处于空闲状态时：

- SPI\_CK 为低电平。
- SPI\_CS\_N 为低电平。
- 传输数据线 SPIDO 保持为高阻。

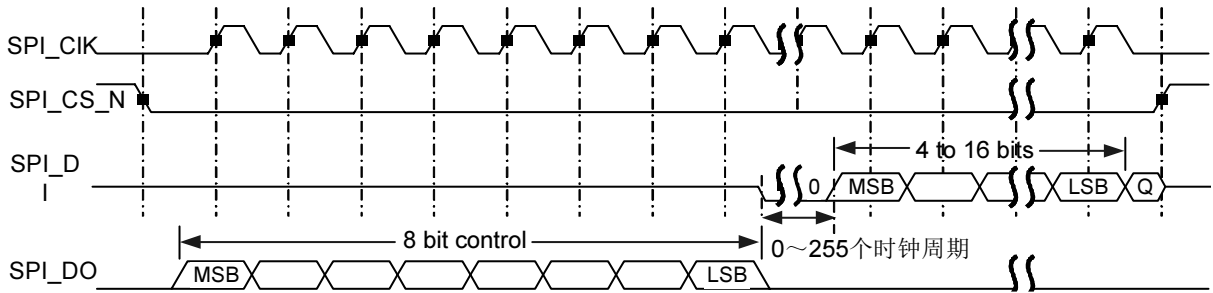
一旦发送 FIFO 有数据，SPICSN 就会产生一个 SPICK 时钟周期的高电平脉冲，将被发送的数据就会从发送 FIFO 传送到发送逻辑串行移位寄存器。在 SPICK 时钟的下一个上升沿，4bit~16bit 数据帧的 MSB 就会从 SPIDO 移位输出。同样，从外部串行 slave 设备接收数据的 MSB 会从 SPIDI 管脚移位输入。

SPI 和片外串行设备在 SPICK 时钟的下降沿将数据存入串行移位寄存器。接收串行寄存器在接收到 LSB 之后的第一个 SPICK 时钟上升沿将数据送给接收 FIFO。

## National Semiconductor Microwire 接口

National Semiconductor Microwire 单帧格式如图 12-17 所示。

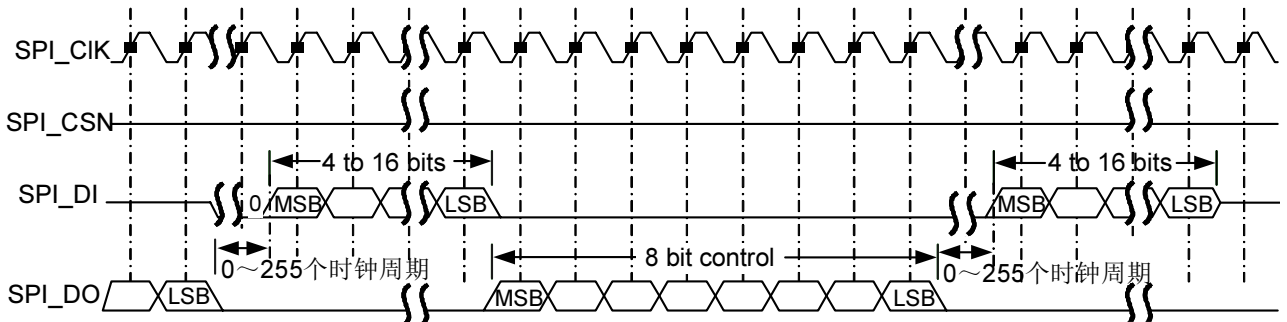
图12-17 National Semiconductor Microwire 单帧格式



在 SPIDO LSB 结束和 SPIDI MSB 开始之间可以延迟 0~255 个时钟周期。

National Semiconductor Microwire 连续帧格式如图 12-18 所示。

图12-18 National Semiconductor Microwire 连续帧格式



在 SPI\_DO LSB 结束和 SPI\_DI MSB 开始之间可以延迟 0~255 个时钟周期。

Microwire 的格式与 SPI 的格式非常相近，使用 master-slave 信息的传输技术，只不过 SPI 是全双工通信，而 Microwire 半双工通信。在 SPI 向外部芯片发送串行数据的时候，都要先加 8bit 控制字。在这个过程中，SPI 没有接收到任何数据。传输完毕之后，片外芯片对接收到的数据进行解码，在与 8bit 控制信息间隔一个时钟周期之后，slave 开始响应所需求的数据。返回的数据长度为 4bit~16bit，使得整个帧的长度为 13bit~25bit。

在该模式下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为低电平。
- SPI\_CS\_N 设置为高电平。
- 发送数据线 SPI\_DO 强制为低电平。

向发送 FIFO 内部写进一个控制字节开始一次传送。SPI\_CS\_N 的下降沿引发数据的传输，发送 FIFO 的数据被发送到串行移位寄存器，8bit 控制帧的 MSB 被发送到发送管脚 SPIDO。在帧的传送过程中，SPI\_CS\_N 保持为低。SPI\_DI 在这个传送过程中保持为高阻。

片外的串行从设备在 SPI\_CLK 时钟的每一个上升沿将数据锁存到串行移位寄存器中。当从设备锁存完最后 1 个 bit 的数据之后，在接下来的 1 个时钟周期的等待时间里，对接收到的数据开始解码，然后从设备反馈给 SPI 所要求的数据。每 1 个 bit 都是在



SPICK 时钟的下降沿写到 SPI\_DI 的。对单个数据传送来说，在帧的结尾，SPI\_CS\_N 在最后 1 个 bit 写到接收串行寄存器之后的 1 个时钟周期后拉高，这样就使接收到的数据传送到接收 FIFO。

对于连续的传送来说，数据传送的开始和结束都和单个数据的传送方式相同。在这个传送过程中，信号 SPI\_CS\_N 时一直保持为低的，传送的数据也是连续的。下一帧的控制字直接和上一帧的 LSB 相邻。当帧的 LSB 锁存到 SPI 之后，接收到的每一个数值都是在 SPI\_CLK 时钟的下降沿取自接收移位寄存器。

## 12.3.5 工作方式

### 工作模式

SPI 的工作模式分为中断或查询方式下的数据传输和 DMA 方式下的数据传输。

### 时钟与复位

输出 SPI 时钟频率计算方式如下：

$$F_{\text{ssplkout}} = F_{\text{ssplk}} / (\text{CPSDVRx} (1 + \text{SCR}))$$

F<sub>ssplk</sub>: SPI 的工作参考时钟，1/4 总线时钟（49.5MHz）。

CPSDVR、SCR 请查询相应寄存器。

Hi3519V100 中 SPI 支持独立软复位，由寄存器 PERI\_CRG57 bit[6:4]控制。相应位写“0”，SPI 退出软复位；相应位写“1”，SPI 进入软复位。上电缺省值为 0。

### 中断处理

SPI 有 5 个中断，其中前 4 个是独立中断源、可屏蔽、高电平有效。

- SPIRXINTR  
接收 FIFO 中断请求。当接收 FIFO 中有 4 个或更多的有效数据时，该中断置位。
- SPITXINTR  
发送 FIFO 中断请求。当发送 FIFO 中有 4 个或更少的有效数据时，该中断置位。
- SPIRORINTR  
接收 overrun 中断请求。当 FIFO 已满，且又有新的数据需要写入 FIFO 时，会引起 FIFO overrun，该中断置位。此时数据被写入接收移位寄存器，而不是 FIFO。
- SPIRTINTR  
接收 time out 中断请求。当接收 FIFO 非空，且 SPI 处于 idle 态超过一个固定的 32bit 周期，该中断置位。  
此时表明接收 FIFO 中仍有数据需要传输。如果接收 FIFO 被读空或者当有新的数据被接收到 SPIRXD 中，该中断解除置位。也可以通过写寄存器 SPIICR[RTIC]清除该中断。
- SPIINTR  
组合中断，为以上 4 个中断经过“或”运算后的结果。如果上述 4 个独立中断中任意一个置位且使能，该中断置位。



SPI 的中断 SPIINTR 请参见中断处理章节。

## 初始化

初始化步骤如下：

- 步骤 1. 向寄存器 **SPICR1[sse]**写“0”，禁止 SPI。
- 步骤 2. 写寄存器 **SPICR0**，配置帧格式及传输数据位宽等参数。
- 步骤 3. 配置寄存器 **SPICPSR**，设定时钟分频因子。
- 步骤 4. 中断方式下，设置寄存器 **SPIIMSC**，使能相应中断信号；查询、DMA 方式下，应禁止产生相应中断信号。
- 步骤 5. 中断或 DMA 方式，设置 **SPITXFIFO CR** 和 **SPIRXFIFO CR**。
- 步骤 6. DMA 方式下，配置寄存器 **SPIDMACR**，使能 SPI 的 DMA 功能。

----结束

## 查询方式下的数据传输

因为发送/接收 FIFO 深度 512，一般不需考虑 FIFO 满。

具体步骤如下：

- 步骤 1. 向寄存器 **SPICR1[sse]**写“1”，使能 SPI。
- 步骤 2. 将需发送的数据连续写到寄存器 **SPIDR**。
- 步骤 3. 轮询寄存器 **SPISR**，直到[BSY]=0（表示总线不忙）、[TFE]=1（表示发送 FIFO 已空）、[RNE]=1（表示接收 FIFO 非空），进入步骤 5。
- 步骤 4. 读出数据，需保证读空接收 FIFO（可通过查询 **SPISR[RNE]**得到）。



### 注意

SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。

- 步骤 5. 向寄存器 **SPICR1[sse]**写“0”，禁止 SPI。

----结束

## 中断方式下的数据传输

具体步骤如下：

- 步骤 1. 向寄存器 **SPICR1[sse]**写“1”，使能 SPI。
- 步骤 2. 将需发送的数据连续写到寄存器 **SPIDR**。



步骤 3. 等待中断 SPIRXINTR，读出数据。循环直到读出所有数据。



### 注意

SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。

步骤 4. 向寄存器 SPICR1[sse]写“0”，禁止 SPI。

----结束

## DMA 方式下的数据传输

具体步骤如下：

步骤 1. 获取一个 DMAC 通道。

步骤 2. 向寄存器 SPICR1[sse]写“1”，使能 SPI。

步骤 3. 发送数据

- a. 配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。
- b. 启动 DMAC，响应 SPI 发送 FIFO 的 DMA 请求进行数据传输。
- c. 通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 SPI 的 DMA 功能。

步骤 4. 接收数据

- a. 配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。
- b. 启动 DMAC，响应 SPI 接收 FIFO 的 DMA 请求进行数据传输。
- c. 通过 DMA 中断上报，判断数据是否接收完成，如果完成则关闭 SPI 的 DMA 功能。

步骤 5. 向寄存器 SPICR1[sse]写“0”，禁止 SPI。

----结束

## 12.3.6 寄存器概览

SPI 寄存器概览如表 12-4 所示。SPI 基地址如下：

- SPI0 基地址是 0x1212\_0000
- SPI1 基地址是 0x1212\_1000
- SPI2 基地址是 0x1212\_2000



表12-4 SPI 寄存器概览

偏移地址	名称	描述	页码
0x000	SPICR0	控制寄存器 0	12-56
0x004	SPICR1	控制寄存器 1	12-57
0x008	SPIDR	数据寄存器	12-58
0x00C	SPISR	状态寄存器	12-59
0x010	SPICPSR	时钟分频寄存器	12-60
0x014	SPIIMSC	中断屏蔽寄存器	12-60
0x018	SPIRIS	原始中断状态寄存器	12-61
0x01C	SPIMIS	屏蔽后中断状态寄存器	12-61
0x020	SPIICR	中断清除寄存器	12-62
0x024	SPIDMACR	DMA 控制寄存器	12-62
0x028	SPITXFIFOCR	发送 FIFO 控制寄存器	12-63
0x02C	SPIRXFIFOCR	接收 FIFO 控制寄存器	12-64

## 12.3.7 寄存器描述

### SPICR0

SPICR0 为控制寄存器 0。

	Offset Address						Register Name				Total Reset Value					
	0x000						SPICR0				0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SCR						SPH	SPO	FRF		DSS					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description											
	[15:8]	RW	SCR		串行时钟率，取值范围 0~255。SCR 的值用来产生 SPI 发送和接收的比特率，公式为 $FSPCLK / (CPSDVSR * (1 + SCR))$ 。 CPSDVSR 是一个 2~254 之间的偶数，由寄存器 SPICPSR 配置。											
	[7]	RW	SPH		SPICLKOUT 相位，具体含义请参见“12.3.4 三种外设总线时序”的 SPI 帧格式。											





[6]	RW	SPO	SPICLKOUT 极性，具体含义请参见“12.3.4 三种外设总线时序”的 SPI 帧格式。
[5:4]	RW	FRF	帧格式选择。 00: Motorola SPI 帧格式; 01: TI 同步串行帧格式; 10: National Microwire 帧格式; 11: 保留。
[3:0]	RW	DSS	设置数据位宽。 0011: 4bit; 1000: 9bit; 1101: 14bit; 0100: 5bit; 1001: 10bit; 1110: 15bit; 0101: 6bit; 1010: 11bit; 1111: 16bit; 0110: 7bit; 1011: 12bit; 0111: 8bit; 1100: 13bit; 其他: 保留。

## SPICR1

SPICR1 为控制寄存器 1。

	Offset Address 0x004				Register Name SPICR1				Total Reset Value 0x7F00							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	WaitEn	WaitVal						reserved	mode_altasens	reserved	BigEnd	reserved	MS	SSE	LBM	



Reset	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access	Name	Description												
[15]	RW	WaitEn	等待使能，当 SPICR0 寄存器的 FRF 配置为 National Microwire 帧格式时有效。 0: 不使能; 1: 使能。												
[14:8]	RW	WaitVal	National Microwire 帧格式时，写和读之间的等待拍数。当 WaitEn 为 1 并且帧格式为 National Microwire 时有效。												
[7]	RO	reserved	保留。												
[6]	RO	mode_altases	0: 片选信号由芯片逻辑根据所选时序自动产生 1: 当采用 Motorola SPI 帧格式时,片选 CS 信号由 SPI 使能信号控制，使能后，片选拉低，否则片选拉高。												
[5]	RO	reserved	保留。												
[4]	RW	BigEnd	设置数据大小端模式。 0: 小端模式; 1: 大端模式。												
[3]	RO	reserved	保留。												
[2]	RW	MS	设置 Master 或者 Slave 模式，此位只能在 SPI 被禁止时改变。 0: Master 模式（默认）; 1: 保留。												
[1]	RW	SSE	设置 SPI 使能。 0: 不使能; 1: 使能。												
[0]	RW	LBM	设置环回模式。 0: 正常的串行接口操作使能; 1: 发送串行移位寄存器的输出在内部连接到接收串行移位寄存器的输入上。												

## SPIDR

SPIDR 为数据寄存器。



Offset Address		Register Name								Total Reset Value						
0x008		SPIDR								0x0000						
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DATA															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:0]	RW	DATA	发送/接收 FIFO。 读：接收 FIFO； 写：发送 FIFO。 如果数据比特数少于 16 则必须右对齐。发送逻辑将忽略高位未使用的比特位，接收逻辑则自动将数据右对齐。													

## SPISR

SPISR 为状态寄存器。

Offset Address		Register Name								Total Reset Value						
0x00C		SPISR								0x0003						
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											BSY	RFF	RNE	TNF	TFE
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description													
[15:5]	RO	reserved	保留。													
[4]	RW	BSY	SPI 忙标记。 0：空闲； 1：忙。													
[3]	RW	RFF	接收 FIFO 是否已满。 0：未滿； 1：已滿。													
[2]	RW	RNE	接收 FIFO 是否未空。 0：已空； 1：未空。													



[1]	RW	TNF	发送 FIFO 是否未 满。 0: 已 满; 1: 未 满。
[0]	RW	TFE	发送 FIFO 是否已 空。 0: 未 空; 1: 已 空。

## SPIPCPSR

SPIPCPSR 为时钟分频寄存器。

	Offset Address 0x010						Register Name SPIPCPSR						Total Reset Value 0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								CPSDVSR							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:8]	RO		reserved		保留。											
[7:0]	RW		CPSDVSR		时钟分频因子。此值必须是 2~254 之间的偶数，取决于输入时钟 SPICLK 的频率。最低位读作“0”。											

## SPIIMSC

SPIIMSC 为中断屏蔽寄存器。

	Offset Address 0x014						Register Name SPIIMSC						Total Reset Value 0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								TXIM	RXIM	RTIM	RORIM				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:4]	RO		reserved		保留。											
[3]	RW		TXIM		发送 FIFO 中断屏蔽。 0: 半空或更少情况下中断被屏蔽; 1: 半空或更少情况下中断未被屏蔽。											



[2]	RW	RXIM	接收 FIFO 中断屏蔽。 0: 半空或更少情况下中断被屏蔽; 1: 半空或更少情况下中断未被屏蔽。
[1]	RW	RTIM	接收超时中断。 0: 接收超时中断屏蔽; 1: 接收超时中断不屏蔽。
[0]	RW	RORIM	接收溢出中断屏蔽。 0: 接收 FIFO 溢出中断屏蔽; 1: 接收 FIFO 溢出中断不屏蔽。 值为“1”时使能硬件流控功能, 即接收 FIFO 满后 SPI 停止发送数据。

## SPIRIS

SPIRIS 为原始中断状态寄存器。值“0”表示无中断, 值“1”表示有中断。

	Offset Address 0x018						Register Name SPIRIS				Total Reset Value 0x0008					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										TXRIS	RXRIS	RTRIS	RORRIS		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
Bits	Access	Name	Description													
[15:4]	RO	reserved	保留。													
[3]	RO	TXRIS	发送 FIFO 中断的原始中断状态。													
[2]	RO	RXRIS	接收 FIFO 中断的原始中断状态。													
[1]	RO	RTRIS	接收超时中断的原始中断状态。													
[0]	RO	RORRIS	接收溢出中断的原始中断状态。													

## SPIMIS

SPIMIS 为屏蔽后中断状态寄存器。值“0”表示无中断, 值“1”表示有中断。



Offset Address		Register Name		Total Reset Value			
0x01C		SPIMIS		0x0000			
Bit	15 14 13 12 11 10 9 8 7 6 5 4	3	2	1	0		
Name	reserved			TXMIS	RXMIS	RTMIS	RORMIS
Reset	0 0	0 0	0 0	0 0	0 0	0 0	0 0
Bits	Access	Name	Description				
[15:4]	RO	reserved	保留。				
[3]	RO	TXMIS	发送 FIFO 中断屏蔽后的状态。				
[2]	RO	RXMIS	接收 FIFO 中断屏蔽后的状态。				
[1]	RO	RTMIS	接收超时中断屏蔽后的状态。				
[0]	RO	RORMIS	接收溢出中断屏蔽后的状态。				

## SPIICR

SPIICR 为中断清除寄存器。写“1”清除中断，写“0”无影响。

Offset Address		Register Name		Total Reset Value	
0x020		SPIICR		0x0000	
Bit	15 14 13 12 11 10 9 8 7 6 5 4	3 2	1	0	
Name	reserved			RTIC	RORIC
Reset	0 0	0 0	0 0	0 0	0 0
Bits	Access	Name	Description		
[15:2]	RO	reserved	保留。		
[1]	RO	RTIC	清除接收超时中断。		
[0]	RO	RORIC	清除接收溢出中断。		

## SPIDMACR

SPIDMACR 为 DMA 控制寄存器。



		Offset Address				Register Name						Total Reset Value					
		0x024				SPIDMACR						0x0000					
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved												TXDMAE	RXDMAE		
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description													
[15:2]	RO	reserved		保留位。													
[1]	WO	TXDMAE		DMA 发送 FIFO 使能寄存器。 0: 禁止; 1: 使能。													
[0]	WO	RXDMAE		DMA 接收 FIFO 使能寄存器。 0: 禁止; 1: 使能。													

## SPITXFIFO CR

SPITXFIFO CR 为发送 FIFO 控制寄存器。

		Offset Address				Register Name						Total Reset Value					
		0x028				SPITXFIFO CR						0x0009					
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved										TXINTSize		DMATXBRSize			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
Bits	Access	Name		Description													
[15:6]	RO	reserved		保留位。													
[5:3]	RW	TXINTSize		配置发送 FIFO 请求中断的水线。即，发送 FIFO 中数据数目小于或等于 TXINTSize 所配置的字数时，TXRIS 有效。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 64;													



		Offset Address				Register Name				Total Reset Value							
		0x028				SPITXFIFOCR				0x0009							
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved										TXINTSize		DMATXBRSIZE			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
		111: 64。															
	[2:0]	RW	DMATXBRSIZE				配置发送 FIFO 请求 DMA 进行 burst 传输的水线。即，发送 FIFO 中数据数目小于或等于 (256-DMATXBRSIZE) 所配置的字数时，DMATXBREQ 有效，此处字长是 16 位。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 128。										

## SPIRXFIFOCR

SPIRXFIFOCR 为接收 FIFO 控制寄存器。

		Offset Address				Register Name				Total Reset Value							
		0x02C				SPIRXFIFOCR				0x0009							
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved										RXINTSize		DMARXBRSIZE			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
	Bits	Access		Name		Description											
	[15:6]	RO		reserved		保留。											





[5:3]	RW	RXINTSize	配置接收 FIFO 请求中断的水线。即，接收 FIFO 中数据数目大于或等于 (256-RXINTSize) 所配置的字数时，RXRIS 有效，此处字长是 16 位。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 64; 111: 64。
[2:0]	RW	DMARXBRSIZE	配置接收 FIFO 请求 DMA 进行 burst 传输的水线。即，接收 FIFO 中数据数目大于或等于 DMARXBRSIZE 所配置的字数时，DMARXBREQ 有效。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 224。

## 12.4 3WIRE SPI

### 12.4.1 概述

Hi3519V100 提供 1 个 3 线 SPI 接口,用于与对接 MN34120 Sensor。

### 12.4.2 工作方式

3 线 SPI 内部工作于 APB 总线时钟。初始化步骤如下：

根据需要计算出 SPI 接口时钟,把配置写入寄存器 `SPI_3WIRE_COEF0`。

例如：需要 SPI 接口时钟为 1MHz，`spi_clk_div` 应该配置为  $(50\text{MHz}/1\text{MHz})/2 - 1 = 24$ ,所以配置 `spi_clk_div` 为 0x18。

读操作步骤如下：



- 步骤 1. 把读寄存器的地址写入 `SPI_3WIRE_COEF1[spi_add]`, `SPI_3WIRE_COEF1[spi_rw]`写 1。
- 步骤 2. 向 `SPI_3WIRE_COEF2[start]`写 1,启动读操作。
- 步骤 3. 查询 `SPI_3WIRE_COEF2[spi_busy]`,直到该状态位为 0。
- 步骤 4. 从 `SPI_3WIRE_COEF2[spi_rdata]`读取需要的数据。

----结束

写操作步骤如下:

- 步骤 1. 把写寄存器的地址和数据写入 `SPI_3WIRE_COEF1[spi_add]`和 `SPI_3WIRE_COEF1[spi_wdata]`, `SPI_3WIRE_COEF1[spi_rw]`写 0。
- 步骤 2. 向 `SPI_3WIRE_COEF2[start]`写 1,启动写操作。
- 步骤 3. 查询 `SPI_3WIRE_COEF2[spi_busy]`,直到该状态位为 0。

----结束

### 12.4.3 spi\_3wire\_reg 寄存器概览

spi\_3wire\_reg 寄存器概览如表 12-5 所示。

表12-5 spi\_3wire\_reg 寄存器概览 (基址是 0x1212\_4000)

偏移地址	名称	描述	页码
0x0000	SPI_3WIRE_COEF0	3 线 SPI 配置寄存器 0	12-66
0x0004	SPI_3WIRE_COEF1	3 线 SPI 配置寄存器 1	12-67
0x000C	SPI_3WIRE_COEF2	3 线 SPI 配置寄存器 2	12-67

### 12.4.4 spi\_3wire\_reg 寄存器描述

#### SPI\_3WIRE\_COEF0

SPI\_3WIRE\_COEF0 为 3 线 SPI 配置寄存器 0。



Offset Address		Register Name		Total Reset Value						
0x0000		SPI_3WIRE_COEF0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						spi_clk_div			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	spi_clk_div	SPI 接口的时钟率。取值范围为 1~255。spi_clk_div 的值用来产生 SPI 时钟，公式为 $FSPICLK = FAPBCLK / (2 \times (spi\_clk\_div + 1))$ 。其中 FAPBCLK 为总线的时钟频率。例如，总线时钟为 50MHz，期望 SPI 的时钟为 1MHz，则 spi_clk_div 应该配置为 $(50MHz / 1MHz) / 2 - 1 = 24$ 。							

## SPI\_3WIRE\_COEF1

SPI\_3WIRE\_COEF1 为 3 线 SPI 配置寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x0004		SPI_3WIRE_COEF1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	spi_rw	spi_add				spi_wdata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	spi_rw	SPI 读写操作选择。 0: 写; 1: 读。						
[30:16]	RW	spi_add	SPI 操作地址。						
[15:0]	RW	spi_wdata	SPI 写数据。						

## SPI\_3WIRE\_COEF2

SPI\_3WIRE\_COEF2 为 3 线 SPI 配置寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x000C		SPI_3WIRE_COEF2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				spi_busy	start	spi_rdata		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:18]	RO	reserved	保留。						
[17]	RO	spi_busy	SPI 操作状态位。 1: SPI 总线上有操作; 0: SPI 总线处于 IDLE。						
[16]	RW	start	启动 SPI 读写操作。只有 spi_busy 为 0 时才能启动, 回读值为 0, 无意义。						
[15:0]	RO	spi_rdata	SPI 回读数据。						

## 12.5 MMC/SD/SDIO 控制器

### 12.5.1 功能描述

#### 功能框图

MMC/SD/SDIO 控制器（以下简称 MMC）用于处理对 SD/MMC 卡的读写等操作，并通过 SDIO 协议实现对扩展外设（如蓝牙、WiFi 等）的支持。Hi3519V100 提供 3 个 MMC/SD/SDIO 控制器。

MMC0 支持符合以下协议的设备：

- Secure Digital Memory (SD mem-version3.0)
- Secure Digital I/O (SDIO-version 3.0)

MMC1 支持符合以下协议的设备：

- Secure Digital Memory (SD mem-version3.0)
- Secure Digital I/O (SDIO-version 3.0)

MMC2 支持符合以下协议的设备：

- MultiMediaCard (eMMC-version 5.0)

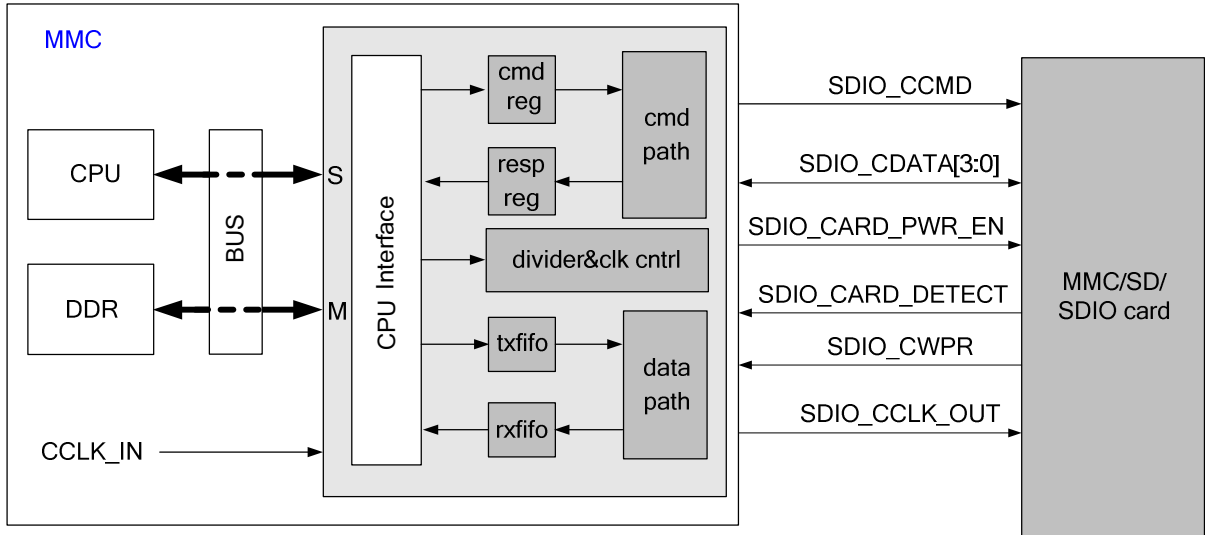


说明

支持 eMMC-version 5.0，但需要 3.16 以及以上的内核版本。

MMC 的功能框图如图 12-19 所示。

图12-19 MMC 功能框图



注：S: slave 接口；M: master 接口。

MMC 通过内部总线与系统连接，由以下单元构成：

- 命令通道  
完成指令的发送与响应的接收。
- 数据通道  
配合命令通道完成数据读写操作。
- 接口时钟控制单元  
根据需求改变接口时钟频率，控制接口时钟的关闭与开启。SDIO\_CCLK\_OUT 可以是 CCLK\_IN 的分频。

MMC 的功能特点有：

- 支持内部 DMA 数据传输方式。
- 支持 ADMA3 的传输模式，支持命令以队列的方式传输。
- 支持多包中断和超时中断。
- 支持对 response 自动检测。
- 包含数据发送方向与接收方向的 2 个 FIFO，FIFO 深度为 256word
- 支持 FIFO 阈值可配，DMA 传输时 Burst 大小可配。
- 支持 FIFO 上溢出与下溢出中断告警，防止数据传输错误。
- 支持命令与数据的 CRC 生成与校验。

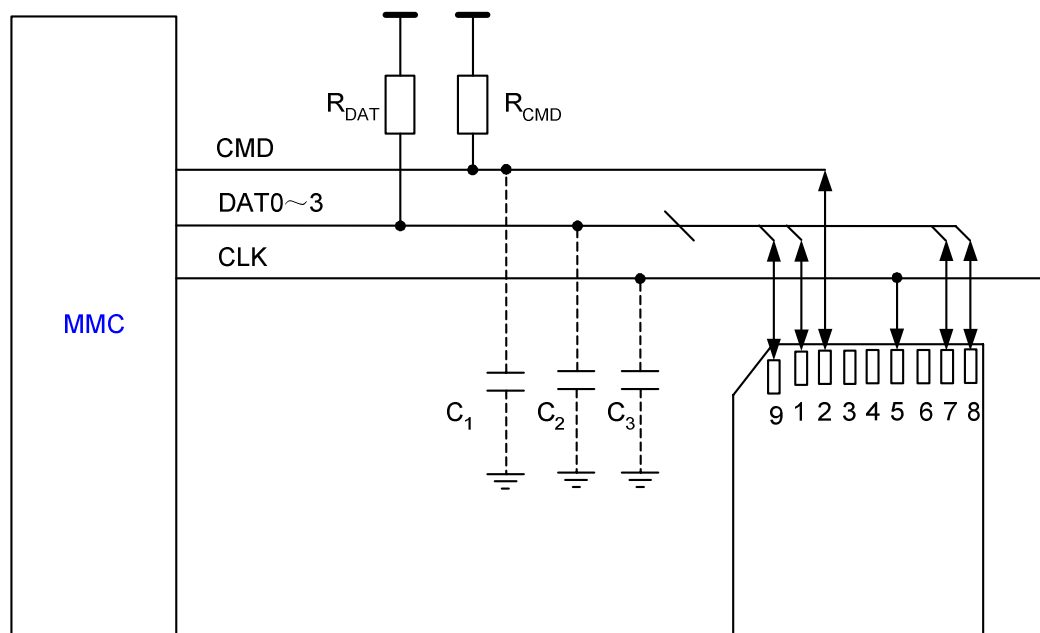


- 接口时钟频率可编程。
- 支持低功耗模式关闭 MMC 时钟和接口时钟。
- 数据位宽支持 1、4bit、8bit，可根据对接器件选择。
- 支持 1byte~65535byte 的块数据读写操作。
- 支持 MMC 卡流数据读写方式。
- 支持 SDIO 的 suspend 操作、resume 操作和 read wait 操作。
- MMC4.41 支持的特性：DDR\_4bit、DDR\_8bit，支持 GO\_PRE\_IDLE\_STATE command。
- eMMC4.41 支持 Hardware Reset。
- eMMC4.5 支持的特性：HS200（4bit、8bit），支持 CMD21，CMD49，支持 3.3/1.8V 的电压（HS200 支持 1.8V）。
- eMMC5.0 支持的特性：HS400 模式。

## 典型应用

MMC 的典型应用电路如图 12-20 所示。

图12-20 MMC 典型应用电路图



MMC 通过 1 根时钟信号线、1 根双向指令信号线和 4 根双向数据信号线与卡设备对接来完成命令与数据的交互。指令信号、数据信号均工作在上拉模式。上拉电阻参数及各信号线负载电容限制如表 12-6 所示。



表12-6 信号线负载参数

参数	最小值	最大值	描述
$R_{DAT}$ 、 $R_{CMD}$	10k $\Omega$	100k $\Omega$	上拉电阻。
负载容抗 $C_x$	-	30pF	负载电容 $C_x=C_{mmchost}+C_{bus}+C_{card}$ 。每张卡最大负载电容 $C_{card}$ 为 10pF，所以 $C_{mmchost}+C_{bus}$ 应该小于 30pF。
信号线感抗	-	16nH	$F_{pp} \leq 20\text{MHz}$ 。



**注意**

除图 12-20 中信号线外，卡槽一般还提供机械写保护信号和卡检测信号。芯片提供了这些接口，示意图中未给出。

## 指令与响应

MMC 与卡设备之间的所有交互操作均通过指令完成，包括卡初始化、寄存器读写、状态查询、数据传输等。

MMC 指令为 48bit 的串行数据，由起始位、传输位、指令序号、指令参数、CRC 校验位和终止位组成。卡收到指令后，会根据指令类型返回 48bit 或 136bit 的响应。

图12-21 MMC 指令格式

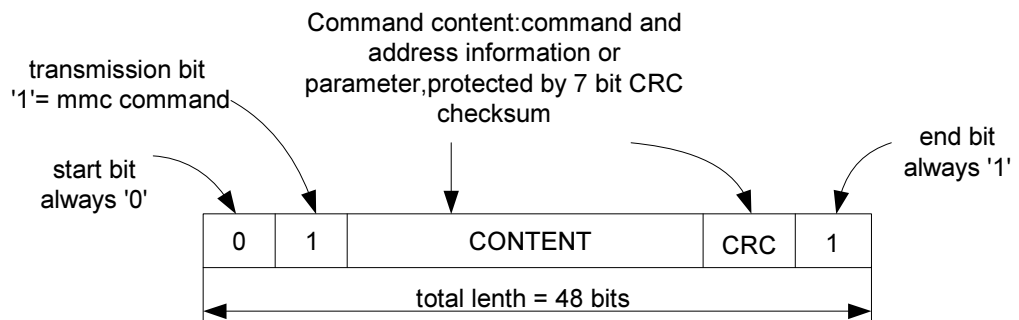
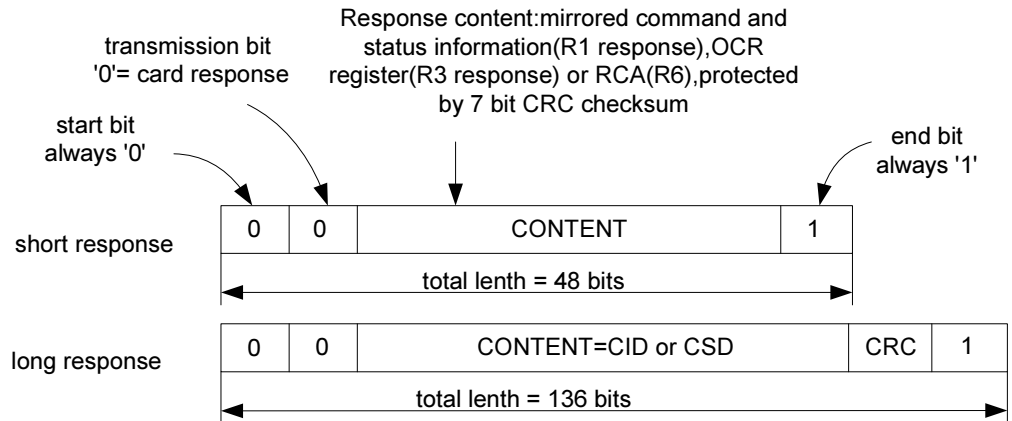


图12-22 MMC 指令响应格式



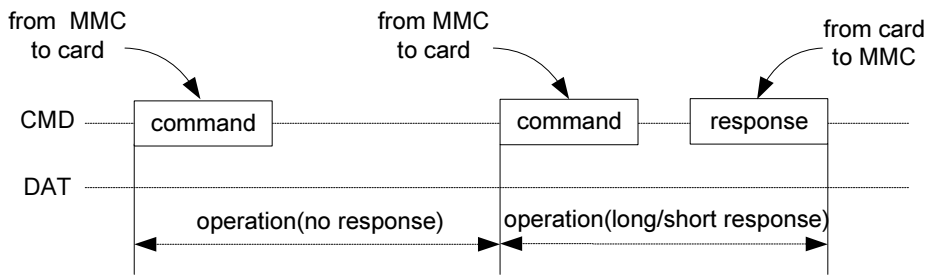
根据是否有数据传输，指令分为以下 2 种：

- 非数据传输指令  
基于指令信号线 CMD，MMC 与卡采用串行方式进行指令发送与响应接收。
- 数据传输指令  
除指令线上的交互外，还有数据线 DAT0~DAT3 上的数据传输。

(1) 非数据传输指令

MMC 与卡设备之间的非数据传输指令操作如图 12-23 所示。

图12-23 MMC 非数据指令操作



(2) 数据传输指令

MMC 卡支持以下数据传输指令：

- 流数据读写指令  
仅 MMC 卡支持，只使用 1 根数据线（即 DAT0）进行数据传输，无 CRC 校验。
- 单块数据读写指令  
一次传输完成一个块大小的数据，不需要使用停止命令结束一次数据传输。
- 多块数据读写指令
  - predefined block count 方式





在多块读写指令前，发送块数量指令指定待传输的数据量。

- open ended 方式

发送读写指令后，在数据传输末尾，需使用停止指令来结束一次数据传输。

两种方式的差别在于 MMC 通知卡结束一次传输的方式不同。SD 卡仅支持 open ended 方式，MMC 卡两种方式均支持。

SDIO 设备的多块读写指令，不同于上述 2 种方式，在发送读写指令时，指令参数中包含待传输的数据量。

根据响应的类型，指令分为以下 3 种：

- 无响应指令  
如卡复位指令。
- 短响应指令  
数据传输指令、卡状态查询等均属于这类指令。
- 长响应指令  
仅用于读取卡的寄存器 CID 和 CSD 信息。

## 数据传输

单块读写和多块读写为较常用的数据传输方式。通常 SD/MMC 卡数据传输的一个块大小为 512byte，而 SDIO 设备可根据应用自定义。

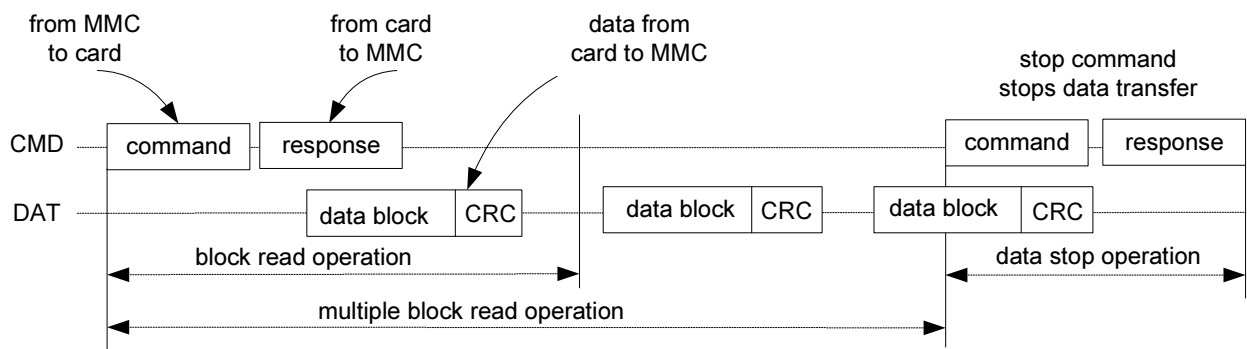
说明

以块读写指令方式进行数据传输时，传输数据总量必须为块大小的整数倍。

数据传输指令均为短响应指令，并伴随着数据线上的数据传输。指令、响应及数据线上的时序配合关系如图 12-24 和图 12-25 所示。

(1) 单块与多块读操作

图12-24 单块与多块读操作



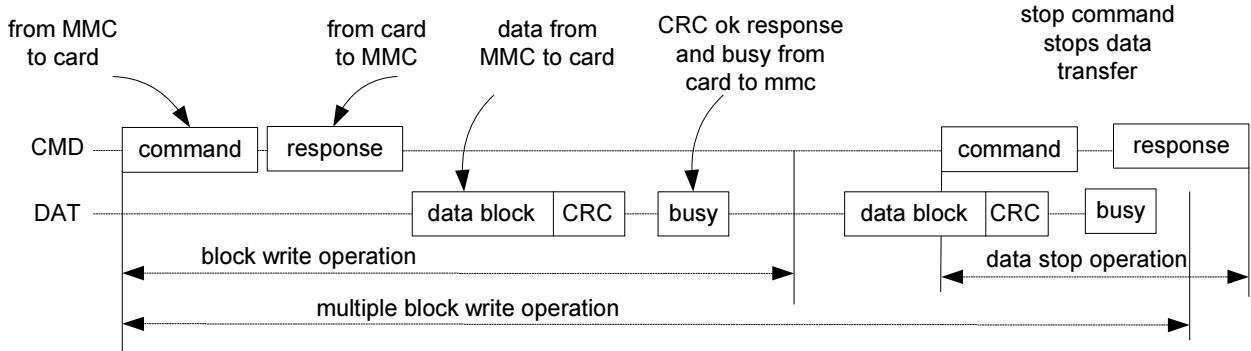
MMC 向卡发送单块或多块读指令。在接收响应的过程中，接收以块为单位的数据，其中每块数据中均包含有 CRC 校验位，以保证数据传输的完整性。



单块读指令操作时，MMC 在接收一块数据后完成一次数据传输；多块读指令操作时，MMC 在接收多块数据后，需发送一条停止指令结束本次数据传输（仅 open ended 多块读指令）。

(2) 单块与多块写操作

图12-25 单块与多块写操作



MMC 往卡发送单块或多块写指令。在接收到响应后，往卡发送以块为单位的数据，其中每块数据中均包含有 CRC 校验位，卡会对每块数据进行 CRC 校验，并反馈 CRC 状态以确认数据传输的正确性。

单块写指令操作时，MMC 在发送一块数据后完成一次数据传输；多块写指令操作时，MMC 在发送多块数据后，需发送一条停止指令完成本次数据传输（仅 open ended 多块读指令）。写操作结束后，卡可能会因为编程 Flash 而处于繁忙状态，MMC 需查询 DAT0 状态，以确认卡脱离繁忙状态后才能对卡进行下一步操作。

(3) 数据传输格式

块方式读写中，MMC 与卡之间可采用 1bit 或 4bit 数据线方式进行数据传输。在发送数据传输指令之前，应分别设置 MMC 与卡的数据传输位宽模式（1bit 或 4bit），使它们保持一致。MMC 的数据位宽通过寄存器 MMC\_CTYPE 设置，卡的数据位宽则通过发送相应的指令进行设置。

1bit 和 4bit 模式下的数据传输格式如图 12-26 和图 12-27 所示。

图12-26 1bit 数据线传输模式下的块数据格式

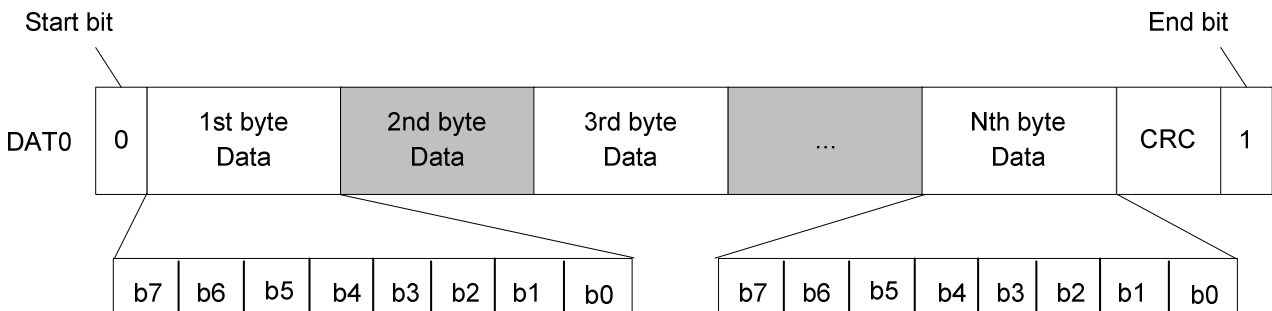
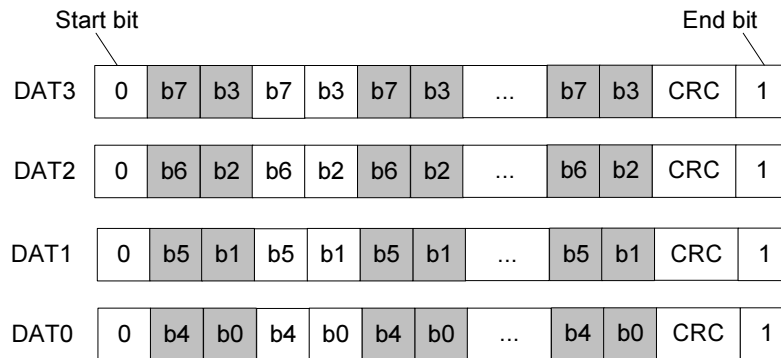




图12-27 4bit 数据线传输模式下的块数据格式



## SD3.0 支持的速度模式及电压切换

控制器支持 SD3.0 Ultra High Speed(UHS-I)，在 SD-mode 模式下支持电压切换，各传输模式如表 12-7 所示。

表12-7 传输模式表

模式	支持的输入时钟 (MHz)	卡侧时钟	最大数据位宽	电压
SDR104	100MHz	100MHz	4bit	1.8V
SDR50	100MHz	100MHz	4bit	1.8V
DDR50	50MHz	50MHz	4bit	1.8V
SDR25	50MHz	50MHz	4bit	1.8V
SDR12	25MHz	25MHz	4bit	1.8V
HS	50MHz	50MHz	4bit	3.3V
DS	25MHz	25MHz	4bit	3.3V
HS400	100MHz	100MHz	8bit	1.8V
HS200	100MHz	100MHz	8bit	1.8V
DDR-4bit	50MHz	50MHz	4bit	3.3V
DDR-8bit	100MHz	50MHz	8bit	3.3V
MMC HS	50MHz	50MHz	4bit	3.3V

## 12.5.2 应用说明



说明

时钟复位寄存器请参考 3.2.7 "CRG 寄存器描述"。



## 时钟门控

在软件完成当前命令或数据传输，并且未启动新传输时可关闭 SDIO\_CCLK\_OUT 时钟，但需要确保 MMC 已处于空闲状态。

具体步骤如下：

- 步骤 1. 读寄存器 `MMC_STATUS`。
- 步骤 2. 若 `MMC_STATUS[Command fsm states]`和 `MMC_STATUS[data_state_mc_busy]`均为 0，则向 `MMC_CTRL` 写“0”，屏蔽 MMC 中断、DMA 请求使能等，进入步骤 3。若其中有一个为非 0，则延时等待，返回步骤 1。
- 步骤 3. 向 CRG 寄存器 `PERI_CRG49 bit[9]` 写“0”，关闭 SDIO0 时钟;向 CRG 寄存器 `PERI_CRG49 bit[1]`写“0”，关闭 SDIO1 时钟，向 CRG 寄存器 `PERI_CRG49 bit[17]` 写“0”，关闭 SDIO2(eMMC)的时钟。

### 说明

如果需要重新开启 SDIO0 工作时钟，则向 CRG 寄存器 `PERI_CRG49 bit[9]`写“1”；如需重新开启 SDIO1 工作时钟，则向 CRG 寄存器 `PERI_CRG49 bit[1]`写 1；如需重新开启 SDIO2(eMMC)工作时钟，则向 CRG 寄存器 `PERI_CRG49 bit[17]`写 1。

----结束

## 软复位

在数据传输出现异常而导致 MMC 无法回到空闲状态时，配置 CRG 寄存器 `PERI_CRG49 bit[8]`写“1”对 SDIO0 模块进行软复位，配置 CRG 寄存器 `PERI_CRG49 bit[0]`写“1”对 SDIO1 模块进行软复位，配置 CRG 寄存器 `PERI_CRG49 bit[16]`写“1”对 SDIO2 模块进行软复位。查询寄存器 `MMC_STATUS[Data_busy]`确认控制器是否处于空闲状态。

**建议在使用 MMC 之前和热插拔卡后，软复位 MMC。**

## 工作时钟配置

在使用 MMC 前，需为其配置合适的工作时钟频率。SDIO0 通过 CRG 寄存器 `PERI_CRG49 bit[12:10]`配置，SDIO1 通过 CRG 寄存器 `PERI_CRG49 bit[4:2]`配置，SDIO2(eMMC)通过 CRG 寄存器 `PERI_CRG49 bit[20:18]`配置。

## 接口时钟配置

遵从不同协议版本的 MMC 卡，以及 MMC 卡处于不同的状态时，均使用不同的时钟频率。MMC 内部提供一个偶数分频器以便于将工作时钟分频至合适的接口时钟。控制器工作时钟 `CCLK_IN` 与接口时钟 `SDIO_CCLK_OUT` 的频率关系为：

$$F_{SDIO\_CCLK\_OUT} = F_{CCLK\_IN} / (2 \times clk\_divider)$$

其中，分频因子 `clk_divider` 为寄存器 `MMC_CLKDIV[clk_divider]`的值。不同卡类型支持的时钟频率不同，卡侧 `FSDIO_CCLK_OUT` 最高不超过 200MHz。

在改变 MMC 卡的时钟频率之前，必须保证没有数据或指令正在传输。为了避免输出到 MMC 卡的时钟产生毛刺，在改变 MMC 卡的时钟频率时应该遵照以下步骤：



步骤 1. 关闭接口时钟。

将寄存器 `MMC_CLKENA` 配置为 `0x0000_0000`，并将寄存器 `MMC_CMD[Start_cmd]`、`MMC_CMD[Update_clk_regs_only]`和 `MMC_CMD[Wait_prvdata_complete]`置“1”，等待寄存器 `MMC_CMD[Start_cmd]`被自动清零。

步骤 2. 设置分频因子。

根据所需要的时钟频率设置寄存器 `MMC_CLKDIV`，并将寄存器 `MMC_CMD[Start_cmd]`和 `MMC_CMD[Update_clk_regs_only]`置“1”，等待寄存器 `MMC_CMD[Start_cmd]`被自动清零。

步骤 3. 重新使能接口时钟。

将寄存器 `MMC_CLKENA` 配置为 `0x0000_0001`，并将寄存器 `MMC_CMD[Start_cmd]`和 `MMC_CMD[Update_clk_regs_only]`置“1”，等待寄存器 `MMC_CMD[Start_cmd]`被自动清零。

----结束



注意

只有当寄存器 `MMC_CMD [Start_cmd]`和 `MMC_CMD [Update_clk_only]`置“1”时，寄存器 `MMC_CLKDIV`、`MMC_CLKENA` 的值才会被载入。当载入成功以后，MMC 会自动清零寄存器 `MMC_CMD[Start_cmd]`。如果此时有其他指令正在执行，则会产生 HLE ( Hardware Locked Error ) 中断。若产生 HLE 中断，清除中断后重新发命令即可。

当有指令执行和数据传输时，不能改变卡的时钟参数。

## 初始化

与卡进行命令和数据的交互前，需要初始化 MMC，步骤如下：

步骤 1. 配置 MMC 工作时钟频率。请参见“12.5.2 应用说明”中的“工作时钟配置”。

步骤 2. 当卡上电，指令和数据信号线上拉稳定后，软复位 MMC。请参见“12.5.2 应用说明”中的“软复位”。

步骤 3. 清中断。将寄存器 `MMC_RINTSTS` bit[15:0]所有位置“1”，清除原始中断状态位。

步骤 4. 设置寄存器 `MMC_INTMASK`。将寄存器 `MMC_INTMASK` bit[15:0]所有位置“1”，使能各中断源。

若使用 DMA 方式进行数据传输，应将 `MMC_INTMASK` bit[4]、`MMC_INTMASK` bit[5]置“0”，以屏蔽接收/发送 FIFO 数据请求中断。

步骤 5. 将寄存器 `MMC_CTRL[Int_enable]`置“1”，使能 MMC 中断。

步骤 6. 配置超时参数寄存器 `MMC_TMOUT`。



步骤 7. 配置 FIFO 参数寄存器 `MMC_FIFOTH`。

----结束

完成以上步骤后，就可以配置接口时钟，往卡发送指令了。

## 非数据传输指令

MMC 在指令发送后，一旦收到响应（无论对错或超时），就会将寄存器 `MMC_RINTSTS` bit[2]置位。短响应保存到寄存器 `MMC_RESP0` 中，长响应保存到寄存器 `MMC_RESP0~MMC_RESP3` 中，寄存器 `MMC_RESP3` bit[31]为最高位，`MMC_RESP0` bit[0]为最低位。当指令发出以后，其错误是由指令响应以及寄存器 `MMC_RINTSTS` 的错误位反映。

发送非数据传输指令的步骤如下：

- 步骤 1. 在寄存器 `MMC_CMDARG` 中设置相应的指令参数。
- 步骤 2. 根据表 12-8 设置指令寄存器 `MMC_CMD`。
- 步骤 3. 等待指令被 MMC 执行。如果指令已执行，MMC 自动清零寄存器 `MMC_CMD` [Start\_cmd]。
- 步骤 4. 检查寄存器 `MMC_RINTSTS` bit[12]是否产生 HLE 中断。
- 步骤 5. 等待指令执行完毕。MMC 收到响应（无论对错或超时）时将寄存器 `MMC_RINTSTS` bit[2]置“1”，表示 Command Done。
- 步骤 6. 检查是否有响应异常，必要时可读取响应值。

读取寄存器 `MMC_RINTSTS` bit[8]、`MMC_RINTSTS` bit[6]和 `MMC_RINTSTS` bit[1]，检查响应超时、响应 CRC 错误和响应错误。

----结束



注意

只有当寄存器 `MMC_CMD`[Start\_cmd]置“1” `MMC_CMD`[Update\_clock\_registers\_only]置“0”时，寄存器 `MMC_BYTCNT`、`MMC_BLKSIZE`、`MMC_CMDARG` 和 `MMC_CMD` 的值才能被载入。载入成功后，MMC 自动清零 `MMC_CMD`[Start\_cmd]。

如果有其他指令正在执行，会产生 HLE 中断，此时重新执行操作即可。在非数据传输指令执行时，寄存器 `MMC_BYTCNT` 和 `MMC_BLKSIZE` 的值被忽略。

表12-8 非数据传输指令时的寄存器 `MMC_CMD` 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。



参数	取值	描述
Update_clock_registers_only	0	非时钟参数更新指令。
data_transfer_expected	0	非数据传输指令。
card_number	0	-
cmd_index	Cmd index	指令序号。
send_initialization	0	当指令为卡复位时置“1”，如指令 CMD0。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 CMD12。
response_length	0	当响应为长响应类型时置“1”。
response_expect	1	当指令无响应时置“0”，如：指令 CMD0、指令 CMD4、指令 CMD15。
Wait_prvdata_complete	1 or 0	在发送指令之前，MMC 必须等待正在处理的数据传输指令结束。建议此位一直置“1”，除非该指令是为了在数据传输时查询卡状态或停止当前数据的传输。
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

## 单块或多块读数据

读取单块或多块数据的步骤如下：

- 步骤 1. 向寄存器 `MMC_CTRL[fifo_reset]` 写“1”，复位 FIFO 指针，查询等待该位自动清零。
- 步骤 2. 向寄存器 `MMC_BYTCNT` 写入待传输数据的字节数。
- 步骤 3. 向寄存器 `MMC_BLKSIZE` 写入块的大小。
- 步骤 4. 向寄存器 `MMC_CMDARG` 写入读取数据的起始地址。
- 步骤 5. 根据表 12-9 设置寄存器 `MMC_CMD`。

对于 SD/MMC 卡，分别使用指令 CMD17/CMD18 进行单块/多块读操作；对于 SDIO 卡，使用指令 CMD53 进行单块/多块读操作。

一旦寄存器 `MMC_CMD` 被写入，MMC 就执行指令；当指令被送到总线上以后，产生 `cmd_done` 中断。

- 步骤 6. 检查寄存器 `MMC_RINTSTS` bit[5]和 `MMC_RINTSTS` bit[10]，如果其中之一为 1 或都为 1，则从寄存器 `MMC_DATA` 读取 FIFO 中的数据，以便 MMC 接收后面的数据；同时检查数据错误中断，即寄存器 `MMC_RINTSTS` bit[7]、`MMC_RINTSTS` bit[9]、`MMC_RINTSTS` bit[13]和 `MMC_RINTSTS` bit[15]。此时，程序可以发送一个停止指令中止数据的传输。



- 步骤 7. 当寄存器 `MMC_RINTSTS` bit[3]为 1 时，数据传输完成，从寄存器 `MMC_DATA` 中读取残留在 FIFO 中的数据。
- 步骤 8. 若执行指令时已将寄存器 `MMC_CMD[Send_auto_stop]`置“1”，MMC 自动发送停止指令结束一次数据传输，请参见“12.5.2 应用说明”中的“Auto-stop 使用配置”。

---结束

表12-9 单块或多块读数据时的寄存器 `MMC_CMD` 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
card_number	0	-
send_initialization	0	当指令为卡复位时置“1”，如指令 <code>CMD0</code> 。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 <code>CMD12</code> 。
send_auto_stop	0 or 1	请参见“12.5.2 应用说明”中的“Auto-stop 使用配置”。
transfer_mode	0	块传输。
read/write	0	从卡中读取数据。
response_length	0	数据指令均为短响应。
data_transfer_expected	1	数据传输指令。
response_expect	1	当指令无响应时置“0”，如：指令 <code>CMD0</code> 、 <code>CMD4</code> 、 <code>CMD15</code> 。
cmd_index	Cmd index	命令序号。
Wait_prvdata_complete	1 or 0	在发送指令之前，主设备必须等待正在处理的数据传输指令结束。建议此位一直置 1，除非该指令是为了询问卡状态或停止当前数据的传输。
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

## 单块与多块写数据

写入单块或多块数据的步骤如下：

- 步骤 1. 向寄存器 `MMC_CTRL[fifo_reset]`写“1”，复位 FIFO 指针，查询等待直至该位自动清零。





- 步骤 2. 向寄存器 `MMC_BYTCNT` 写入待传输数据的大小。
- 步骤 3. 向寄存器 `MMC_BLKSIZE` 写入块的大小。
- 步骤 4. 向寄存器 `MMC_CMDARG` 写入数据的起始地址。
- 步骤 5. 将数据写入 FIFO，即写寄存器 `MMC_DATA`，通常在开始时应写满 FIFO。
- 步骤 6. 根据表 12-10 设置寄存器 `MMC_CMD`。  
对于 SD/MMC 卡，分别使用指令 `CMD24/CMD25` 进行单块/多块写操作；对于 SDIO 卡，使用指令 `CMD53` 进行单块/多块写操作。
- 步骤 7. 检查寄存器 `MMC_RINTSTS` bit[4]和 `MMC_RINTSTS` bit[10]，如果其中之一为 1 或都为 1，写寄存器 `MMC_DATA` 往 FIFO 填充数据；同时应检查数据错误中断，即检查寄存器 `MMC_RINTSTS` bit[7]、`MMC_RINTSTS` bit[9]、`MMC_RINTSTS` bit[13]和 `MMC_RINTSTS` bit[15]。如果有需要，程序可以发送一个停止指令以中止数据的传输。当寄存器 `MMC_RINTSTS` bit[3]为 1，数据传输结束。
- 步骤 8. 若执行指令时已将寄存器 `MMC_CMD[Send_auto_stop]`置“1”，MMC 自动发送停止指令结束一次数据传输。请参见“12.5.2 应用说明”中的“Auto-stop 使用配置”。
- 步骤 9. 查询并等待寄存器 `MMC_STATUS[data_busy]`由 1 变为 0。

----结束

表12-10 单块或多块写数据时的寄存器 `MMC_CMD` 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
card_number	0	-
send_initialization	0	当指令为卡复位时置“1”，如指令 <code>CMD0</code> 。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 <code>CMD12</code> 。
send_auto_stop	0 or 1	请参见“12.5.2 应用说明”中的“Auto-stop 使用配置”。
transfer_mode	0	块传输。
read_write	1	往卡写入数据。
response_length	0	数据指令均为短响应。
data_transfer_expected	1	数据传输指令。
response_expect	1	当指令无响应时置“0”，如：指令 <code>CMD0</code> 、 <code>CMD4</code> 、 <code>CMD15</code> 。
cmd_index	Cmd index	命令序号。



参数	取值	描述
Wait_prvdata_complete	1 or 0	在发送指令之前，主设备必须等待直到正在处理的数据传输指令结束。建议此位一直置“1”，除非该指令是为了询问卡状态或停止当前数据的传输。
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

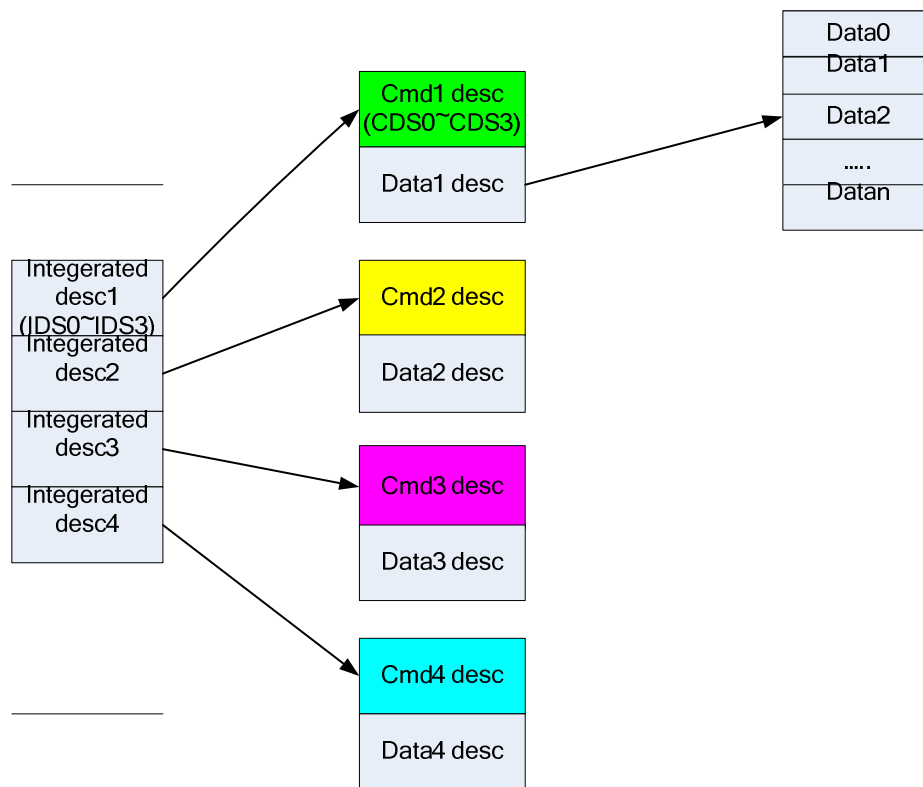
## 流数据读写

流数据的读写方式，除了将寄存器 `MMC_CMD[Transfer_mode]` 置“1”外，其他与块数据的读写方式一致。对于流数据的传输，通常需要使用 Auto-stop 功能。

## ADMA3 方式的数据传输

数据和命令描述子结构如图 12-28 所示。

图12-28 整体描述子结构



- 综合描述子结构

IDS0 表示综合描述子的控制信息，各 bit 含义如表 12-11 所示。



表12-11 IDS0 各 bit 的含义

位	名称	说明
31	OWN	描述子属性指示。 0: 表示该描述子属于 CPU; 1: 表示该描述子属于 ADMA3。 内部 ADMA3 完成数据传输后, 将该位清 0。
30	RES	保留。
29	INT	是否上报多包中断。 0: 不上报中断; 1: 上报中断。
28:0	RES	保留。

IDS1 表示命令描述子的地址信息, 各 bit 含义如表 12-12 所示。

表12-12 IDS1 各 bit 的含义

位	名称	说明
31:0	CMD_ADDR	命令描述子地址, 指向需要发送的命令地址。

- 命令描述子结构

CDS0 表示数据块的大小, 各 bit 含义如表 12-13 所示。

表12-13 CDS0 各 bit 的含义

位	名称	说明
31:16	RES	保留。
15:0	BLK_SIZE	数据传输的 block 大小。

CDS1 表示传输的数据长度, 各 bit 含义如表 12-14 所示。

表12-14 CDS1 各 bit 的含义

位	名称	说明
31:0	BYTECNT	需传输的数据块长度。

CDS2 表示指令的参数值, 各 bit 含义如表 12-15 所示。



表12-15 CDS2 各 bit 的含义

位	名称	说明
31:0	CMD_ARG	命令指令参数值。

CDS3 表示指令的命令配置值，各 bit 含义如表 12-16 所示。

表12-16 CDS3 各 bit 的含义

位	名称	说明
31:0	CMD	命令寄存器值。

- 数据描述子结构同描述子的 IDMAC 的描述子结构。

## ADMA3 初始化

- 步骤 1. 配置 `ADMA_DEEPth` 寄存器，设置命令队列深度。
- 步骤 2. 配置 `ADMA_TIMEOUT`，设置超时时间。
- 步骤 3. 配置 `ADMA_IDS_ADDR`，配置综合描述子起始地址。
- 步骤 4. 配置 `MMC_IDINTEN` 寄存器，屏蔽不需要的寄存器。
- 步骤 5. 配置 `ADMA_CONTROL`，使能 ADMA3。
- 步骤 6. 创建综合描述子，命令描述子，数据描述子链表，然后配置 `ADMA_ID_WRPTR` 寄存器，设置有效命令的指针地址。
- 步骤 7. ADMA3 尝试从描述子链表中获取描述子。

---结束

## 内置 DMA 方式数据传输

MMC 控制器含有内置 DMA 控制器 (IDMAC)，IDMAC 可以根据指定的描述子把数据从原地址搬移到目的地址。

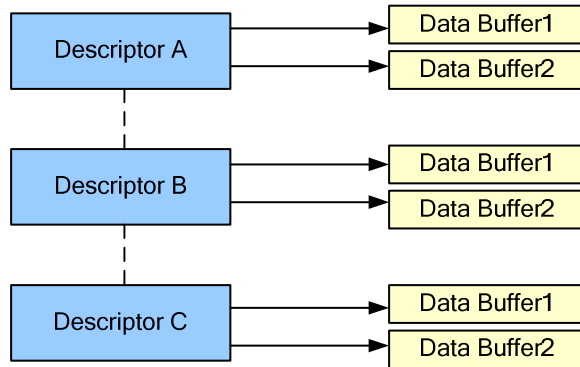
## 描述子

IDMAC 可以使用如下两种类型的描述子：

- 双 Buffer 结构：两个描述子之间的间隔根据 `MMC_BMOD` 寄存器的 DSL 位来指定。双 buffer 结构的示意图如图 12-29 所示。

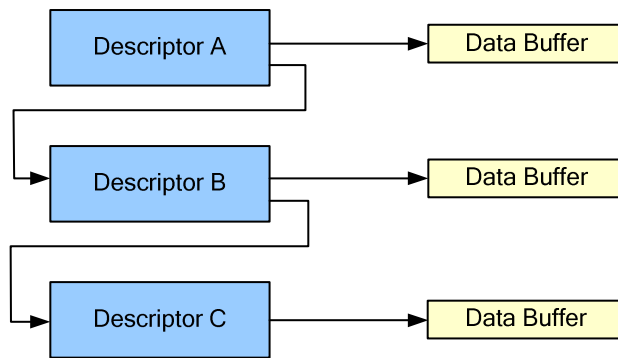


图12-29 双 buffer 结构示意图



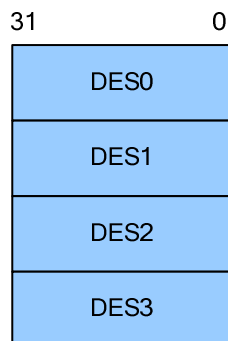
- 链结构：每个描述子指向唯一的 buffer 和下一个描述子。链结构的示意图如图 12-30 所示。

图12-30 链结构示意图



描述子必须以 word 对齐，每个描述子包含 16bytes 的控制和状态信息。描述子的内部结构如图 12-31 所示。

图12-31 32bit 位宽的描述子的结构



DES0 保护控制和状态信息，具体含义如表 12-17 所示。



表12-17 DES0 各 bit 的含义

位	名称	说明
31	OWN	描述子属性指示。 0: 表示该描述子属于 CPU; 1: 表示该描述子属于 IDMAC。 使用内部 DMA 完成数据传输后, IDMAC 将该位清 0
30	CES	读写卡时出错的状态指示。 0: 没有错; 1: 出错。
29:6	RES	保留。
5	ER	描述子链路结束指示。 0: 不是最后一个; 1: 该链路最后一个描述子。 只对双 buffer 结构的描述子有意义。
4	CH	第二个地址 (DES3 的地址) 的含义。 0: DES3 中的第二个地址是指第二个 buffer 的地址; 1: DES3 中的第二个地址是指下一个描述子的地址。 但该位为 1 时, DES1[25:13]应该是 0。
3	FS	为 1 表示该描述子包含第一个数据 buffer, 如果第 1 个数据 buffer 的大小为 0, 那么下一个描述子包含起始数据。
2	LD	为 1 表示该描述子指向的 buffer 是最后一个数据 buffer。
1	DIC	为 1 时阻止数据传输结束上报中断。
0	RES	保留。

DES1 指示 buffer 大小, 具体含义如表 12-18 所示。

表12-18 DES1 各 bit 的含义

位	名称	说明
31:26	RES	保留。
25:13	BS2	第二个数据 buffer 的 byte 数, 必须是 4 的整数倍。DES0[4]为 1 时该位无意义。
12:0	BS1	第一个数据 buffer 的 byte 数, 必须是 4 的整数倍。



DES2 表示第一个数据 buffer 的地址指针，具体含义如表 12-19 所示。

表12-19 DES2 各 bit 的含义

位	名称	说明
31:0	BAP1	第一个数据 buffer 的物理地址，必须 word 对齐。

DES3 表示第二个地址，具体含义如表 12-20 所示。

表12-20 DES3 各 bit 的含义

位	名称	说明
31:0	BAP2	当使用的是双 buffer 结构时，表示第二个数据 buffer 的物理地址。如果 DES0[4]是 1，该地址表示下一个描述子的物理地址。

## 初始化

- 步骤 1. 配置 `MMC_BMOD` 寄存器，设置总线参数。
- 步骤 2. 配置 `MMC_IDINTEN` 寄存器，屏蔽不需要的寄存器。
- 步骤 3. 创建发送或接收描述子链表，然后配置 `MMC_DBADDR` 寄存器，设置起始地址。
- 步骤 4. IDMAC 尝试从描述子链表中获取描述子。

----结束

## 发送

- 步骤 1. CPU 创建描述子 (DES0~DES3) 并将 DES0[31]位 OWN 置为 1，同时准备好数据 buffer。
- 步骤 2. 把写数据命令写入 `MMC_CMD` 寄存器。
- 步骤 3. 通过 `MMC_FIFOTH` 寄存器设置 TX\_Wmark。
- 步骤 4. IDMAC 获取描述子并判断 OWN 是否为 1，如果 OWN 不为 1 则需要等待 CPU 释放描述子，同时，IDMAC 会进入 suspend 状态，需要 CPU 配置 `MMC_PLDMND` 寄存器使 IDMAC 重新获取描述子。
- 步骤 5. OWN 为 1 时，IDMAC 从数据 buffer 中搬移数据到 MMC 内部 FIFO。
- 步骤 6. 如果中断已经使能，数据搬移完成后 IDMAC 状态寄存器 `MMC_IDSTS` 的相应位将被更新，同时 OWN 位被清零。

----结束



## 接收

- 步骤 1. CPU 创建描述子 (DES0~DES3) 并将 DES0[31]位 OWN 置为 1。
- 步骤 2. 把读数据命令写入 MMC\_CMD 寄存器。
- 步骤 3. 通过 MMC\_FIFOTH 寄存器设置 RX\_WMark。
- 步骤 4. IDMAC 获取描述子并判断 OWN 是否为 1, 如果 OWN 不为 1 则需要等待 CPU 释放描述子, 同时, IDMAC 会进入 suspend 状态, 需要 CPU 配置 MMC\_PLDMND 寄存器使 IDMAC 重新获取描述子。
- 步骤 5. OWN 为 1 时, IDMAC 从 MMC 内部 FIFO 中搬移数据到外部的数据 buffer。
- 步骤 6. 如果中断已经使能, 数据搬移完成后 IDMAC 状态寄存器 MMC\_IDSTS 的相应位将被更新, 同时 OWN 位被清零。

----结束

## Auto-stop 使用配置

在多块读写指令操作中, 需使用停止指令完成一次数据传输。停止指令的发送可以通过非数据传输指令的方式发送, 也可以使用 Auto-stop 功能发送。

Auto-stop 功能的应用场合如下:

- SD 卡  
多块读写操作, 如指令 CMD18 和指令 CMD25。
- MMC 卡
  - 流数据读写操作。
  - open-ended 方式多块读写操作, 如指令 CMD18 和指令 CMD25。

建议使用控制器提供的 Auto-stop 功能, 配置过程如下:

- 步骤 1. 在执行块数据传输指令操作中, 将寄存器 MMC\_CMD[Send\_auto\_stop]置“1”。
- 步骤 2. 在所有数据传输完成后, MMC 自动发送一次停止指令, 以便卡能返回相应的状态。
- 步骤 3. 检查寄存器 MMC\_RINTSTS[auto\_cmd\_done], 判断该停止指令是否完成。其响应保存在寄存器 MMC\_RESP1 中。

----结束

## 停止或中止数据传输

停止指令用于打断 MMC 与卡之间的数据传输, 中止指令用于打断 I/O 数据的传输 (仅用于 SDIO\_IOONLY 或 SDIO\_COMBO)。

这两种指令的用法如下:

- 停止指令





该指令可以在数据传送的任何阶段进行发送。因为该指令用于停止数据传输，所以需要将寄存器 `MMC_CMD` bit[5:0] 设为指令 `CMD12`，将寄存器 `MMC_CMD` bit[14] 设为 1，将寄存器 `MMC_CMD` bit[13] 设为 0。

- 中止指令

该指令仅用于 `SDIO_IOONLY` 或 `SDIO_COMBO`。为了中止数据的传输，需要通过指令 `CMD52` 设置 `SDIO` 卡的寄存器 `CCCR[ASx]`。

## Suspend 和 Resume 操作

对于 `SDIO` 卡（内部最多可容纳 7 个功能设备），`MMC` 可通过 `Suspend` 操作暂停某一功能设备的数据传输，将 `SD` 接口总线出让给另一个有更高优先级的功能设备。高优先级的功能设备完成数据传输后，`MMC` 通过 `Resume` 操作恢复前一功能设备未完成的数据传输。

`Suspend` 与 `Resume` 操作通过设置 `SDIO` 卡的寄存器 `CCCR` 来实现。读写寄存器 `CCCR`，使用指令 `CMD52`。

`Suspend` 操作步骤如下：

- 步骤 1. 查询寄存器 `CCCR[SBS]`，判断 `SDIO` 卡是否支持 `suspend/resume` 操作。
- 步骤 2. 查询寄存器 `CCCR[FSx]` 和 `[BS]`，判断待暂停的功能设备是否正在进行数据传输。

如果 `[BS]` 为 1，则 `[FSx]` 位所指定的功能设备正在进行数据传输。

- 步骤 3. 将寄存器 `CCCR[BR]` 置“1”，暂停当前数据传输。
- 步骤 4. 检测寄存器 `CCCR[BS]` 和 `[BR]` 状态是否清零。

`[BS]`（Bus 状态）在数据总线正被使用时保持为 1。`[BR]`（Bus 释放）在总线完全释放之前保持为 1。当 `[BR]` 与 `[BS]` 都为 0 时，所选功能设备的数据传输被暂停。

- 步骤 5. 如果暂停正在进行的读操作，在 `suspend` 操作成功完成以后，必须置位寄存器 `MMC_CTRL[Abort_read_data]` 来复位 `MMC` 的数据传输功能。复位完成后，寄存器 `MMC_CTRL[Abort_read_data]` 自动清零。
- 步骤 6. 读寄存器 `MMC_TCBCNT` 获取已传输数据字节数。

----**结束**

`Resume` 操作步骤如下：

- 步骤 1. 检查卡是否处于非传输状态，以确认总线处于空闲状态。
- 步骤 2. 如果卡处于 `disconnect` 状态，使用指令 `CMD7` 将它选中。卡的状态可以通过指令 `CMD52/CMD53` 获取。
- 步骤 3. 检查待恢复的功能设备是否准备好进行数据传输（查询寄存器 `CCCR[RF]`）。如果 `[RF]=1`，则该功能设备已准备好进行数据传输。
- 步骤 4. 为了恢复传输，使用指令 `CMD52` 将功能设备号写入寄存器 `CCCR[FS]`。发送指令 `CMD52` 的同时应启动 `MMC` 进入数据传输状态，即向寄存器 `MMC_BLKSIZE` 写入块的大小，向寄存器 `MMC_BYTCNT` 写入剩余待传输数据量。



寄存器 `MMC_CMDARG` 的配置如表 12-21 所示，寄存器 `MMC_CMD` 的配置与块传输类似。

- 步骤 5. 当指令 `CMD52` 成功发送以后，数据传输恢复正常。读取 `SDIO` 设备的 `DF` (`Resume Data Flag`) 标志位，如果为 1，则在功能被恢复的同时，数据开始传输；如果为 0，则已无数据需要传输。
- 步骤 6. 如果 `DF` 标志位为 0，在读数据的情况下，`MMC` 会等待一段时间后产生数据超时错误中断。

----结束

表12-21 Resume 操作时的寄存器 `MMC_CMDARG` 配置参考

MMC_CMDARG	取值	描述
Bit[31]	1	读写标志。
Bit[30:28]	0	功能设备号，访问寄存器 <code>CCCR</code> 。
Bit[27]	1	实时标志，先写后读。
Bit[26]	-	-
Bit[25:9]	0x0D	寄存器地址。
Bit[8]	-	-
Bit[7:0]	被恢复的功能号	写数据。



注意

系统处于低功耗模式后不能通过 `MMC` 唤醒。

## Read wait 操作

`Read wait` 操作用于暂停 `SDIO` 卡当前功能设备的数据传输。`MMC` 根据需要决定暂停数据传输的时间长度。

`Read wait` 操作步骤如下：

- 步骤 1. 检查卡是否支持 `read wait` 操作。

使用指令 `CMD52` 读取寄存器 `CCCR[SRW]`。如果为 1，则卡的所有功能设备都支持 `read wait` 操作。

- 步骤 2. 将寄存器 `MMC_CTRL[Read_wait]` 置“1”。

- 步骤 3. 如需恢复数据传输，清零寄存器 `MMC_CTRL[Read_wait]`。

----结束



### 12.5.3 寄存器概览

MMC 寄存器概览如表 12-22 所示。

表12-22 MMC 寄存器概览 (SDIO0 基址是 0x100C\_0000, SDIO1 基址是 0x100D\_0000, EMMC 基址是 0x100E\_0000)

偏移地址	名称	描述	页码
0x0000	MMC_CTRL	MMC 控制寄存器	12-92
0x0004	MMC_PWREN	Power_en 控制寄存器	12-94
0x0008	MMC_CLKDIV	时钟分频系数寄存器, 显示模块输出时钟与输入时钟分频比	12-95
0x0010	MMC_CLKENA	时钟使能寄存器	12-95
0x0014	MMC_TMOUT	超时时间寄存器	12-96
0x0018	MMC_CTYPE	卡类型寄存器	12-96
0x001C	MMC_BLKSIZ	块大小配置寄存器	12-97
0x0020	MMC_BYTCNT	块传输计数寄存器	12-97
0x0024	MMC_INTMASK	MMC 中断屏蔽寄存器	12-98
0x0028	MMC_CMDARG	MMC 指令参数寄存器	12-99
0x002C	MMC_CMD	MMC 命令寄存器	12-100
0x0030	MMC_RESP0	MMC 响应寄存器 0	12-102
0x0034	MMC_RESP1	MMC 响应寄存器 1	12-103
0x0038	MMC_RESP2	MMC 响应寄存器 2	12-103
0x003C	MMC_RESP3	MMC 响应寄存器 3	12-104
0x0040	MMC_MINTSTS	MMC 屏蔽后中断状态寄存器	12-104
0x0044	MMC_RINTSTS	MMC 原始中断状态寄存器	12-105
0x0048	MMC_STATUS	MMC 状态寄存器	12-106
0x004C	MMC_FIFOTH	FIFO 水线值寄存器	12-108
0x0050	MMC_CDETECT	卡检测寄存器	12-109
0x0054	MMC_WRTPRT	卡写保护寄存器	12-109
0x005C	MMC_TCBCNT	发送到卡的 byte 数目寄存器	12-110
0x0060	MMC_TBBCNT	BIU FIFO 传送数据的 byte 数目寄存器	12-110



偏移地址	名称	描述	页码
0x0064	MMC_DEBNCE	去抖动计数器	12-111
0x0074	MMC_UHS_REG	UHS-1 寄存器	12-111
0x0078	MMC_CARD_RSTN	EMMC 器件复位控制寄存器	12-112
0x0080	MMC_BMOD	总线模式寄存器	12-113
0x0084	MMC_PLDMND	Poll demand 寄存器	12-113
0x0088	MMC_DBADDR	描述子链表的基地址寄存器	12-114
0x008C	MMC_IDSTS	IDMAC 状态寄存器	12-114
0x0090	MMC_IDINTEN	IDMAC 中断使能寄存器	12-114
0x0094	MMC_DSCADDR	当前描述子地址寄存器	12-117
0x0098	MMC_BUFADDR	当前数据 buffer 地址寄存器	12-119
0x00B0	ADMA_CONTROL	adma3 控制寄存器	12-120
0x00B4	ADMA_IDS_ADDR	队列起始地址寄存器	12-121
0x00B8	ADMA_DEEPth	队列深度寄存器	12-121
0x00BC	ADMA_ID_RDPTR	队列读指针寄存器	12-121
0x00C0	ADMA_ID_WRPTR	队列写指针寄存器	12-122
0x00C4	ADMA_TIMEOUT	timeout 配置寄存器	12-122
0x0100	MMC_CARDTHRCTL	阈值控制寄存器	12-120
0x0108	MMC_UHS_REG_EX T	UHS 扩展寄存器	12-123
0x010C	MMC_DDR_REG	EMMC4.5 DDR START bit 检测控制 寄存器	12-124
0x0110	MMC_ENABLE_SHIF T	相移寄存器	12-125
0x0200	MMC_DATA	数据寄存器，为 FIFO 入口地址	12-126

## 12.5.4 寄存器描述

### MMC\_CTRL

MMC\_CTRL 为 MMC 控制寄存器。



Offset Address		Register Name		Total Reset Value												
0x0000		MMC_CTRL		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved		use_internal_dmac	reserved				abort_read_data	send_irq_response	read_wait	reserved	int_enable	reserved	dma_reset	fifo_reset	controller_reset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0								
Bits	Access	Name	Description													
[31:26]	RO	reserved	保留。													
[25]	RW	use_internal_dmac	是否使用内置 DMA 搬移数据。 0: CPU 使用 slave 接口搬移数据; 1: 使用内部 DMA 搬移数据。													
[24:9]	RO	reserved	保留。													
[8]	RW	abort_read_data	读数据过程中是否中止。 0: 无效; 1: 在读操作过程中发送 suspend 指令后, 软件让卡去查找 suspend 何时出现。 一旦 suspend 出现, 软件把该位置“1”, 使数据传输状态机回到 Idle 状态, 等待下一个块传输。 状态机回到 Idle 后状态, 此比特自动清零。													
[7]	RW	send_irq_response	发送中断响应控制。 0: 无效; 1: 发送自动 IRQ 回复。 当回复已经发送, 此比特自动清零。 为了等待 MMC 产生中断, 主机发送指令 CMD40 并等待来自 MMC 的中断回复。同时, 如果主机希望不再停留在中断等待状态, 可将该比特置“1”, 发送指令 CMD40 并回到 IDLE 状态。													
[6]	RW	read_wait	读等待控制。 0: 禁止读等待; 1: 使能读等待。 此位仅用在具有 SDIO 功能的卡上, 要求卡支持读等待功能。													
[5]	RO	reserved	保留。													



[4]	RW	int_enable	全局中断使能。 0: 禁止; 1: 使能。 当该比特有效且有中断源被使能时, 中断输出才有效。
[3]	RO	reserved	保留。
[2]	RW	dma_reset	内部 DMAC 软复位控制。 0: 无效; 1: 复位内部 DMA 接口。 该比特在两个 AHB 时钟周期后自动复位。
[1]	RW	fifo_reset	内部 FIFO 软复位控制。 0: 无效; 1: 复位 FIFO 指针。 当复位操作结束后, 该比特自动复位。
[0]	RW	controller_reset	控制器软复位控制。 0: 无效; 1: 复位 MMC/SD/SDIO Host 模块。

## MMC\_PWREN

MMC\_PWREN 为 Power\_en 控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				MMC_PWREN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										power_enable					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	RO	reserved	保留。																												
	[0]	RW	power_enable	POWER 控制。 0: 关闭电源; 1: 打开电源。																												



## MMC\_CLKDIV

MMC\_CLKDIV 为时钟分频系数寄存器，显示模块输出时钟与输入时钟分频比。假如模块输入时钟为 40MHz，寄存器配置为 1，则输出时钟为 20MHz。时钟分频系数值为  $2 \times N$ 。比如，N 为 0x0 时， $2 \times 0 = 0$ （无分频）；N 为 0x1 时为 2 分频；N 为 0xFF 时为 510 分频。

Offset Address		Register Name		Total Reset Value						
0x0008		MMC_CLKDIV		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						clk_divider0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	clk_divider0	SDIO 时钟分频系数。时钟分频系数是 $2 * n$ ，比如，0 为无分频，1 为 2 分频，ff 即为 510 分频等等。							

## MMC\_CLKENA

MMC\_CLKENA 为时钟使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x0010		MMC_CLKENA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cclk_low_power	reserved				cclk_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	RO	reserved	保留。						
[16]	RW	cclk_low_power	卡的低功耗控制，用于关闭卡时钟。 0: 无低功耗模式； 1: 低功耗模式。 当卡处于 IDLE 状态时，停止该卡时钟。该功能一般只用于 MMC/SD 卡。对于 SDIO，为了能检测到中断，时钟不能停止。						
[15:1]	RO	reserved	保留。						



[0]	RW	cclk_enable	卡的时钟使能控制。 0: 时钟关闭; 1: 时钟使能。
-----	----	-------------	-----------------------------------

## MMC\_TMOUT

MMC\_TMOUT 为超时时间寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0014				MMC_TMOUT				0xFFFF_FF40																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	data_timeout												response_timeout																			
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RW		data_timeout		卡数据传输超时时间，该值同时用作 CPU 的 data starvation 超时时间。单位为该卡的 mmc_clk 周期。																											
[7:0]	RW		response_timeout		回复超时时间，单位为该卡的 mmc_clk 周期。																											

## MMC\_CTYPE

MMC\_CTYPE 为卡类型寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0018				MMC_CTYPE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												card_width	reserved												card_width1						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:17]	RO		reserved		保留。																											





[16]	RW	card_width_0	配置卡的总线宽度。 0: 非 8bit 模式; 1: 8bit 模式。 下面为卡配置说明: 如果 bit[16]=0, 卡将会是 1bit 或者 4bit 模式, 取决于 bit[0]的配置。
[15:1]	RO	reserved	保留。
[0]	RW	card_width_1	配置卡的总线宽度。 0: 1bit 模式; 1: 4bit 模式。

## MMC\_BLKSIZE

MMC\_BLKSIZE 为块大小配置寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x001C	MMC_BLKSIZE	0x0000_0200	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 1 0   0 0 0 0   0 0 0 0			
Bits	Access	Name	Description	
[31:16]	RO	reserved	保留。	
[15:0]	RW	block_size	块大小值, 初始值为 512byte/block。	

## MMC\_BYTCNT

MMC\_BYTCNT 为块传输计数寄存器。



Offset Address		Register Name		Total Reset Value				
0x0020		MMC_BYTCNT		0x0000_0200				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	byte_count							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	byte_count	被传输的字节数，应该为块大小的整数倍。 如果为非块传输，本寄存器需要置“0”，此时必须由软件发出 stop/abort 命令来控制数据传输操作。					

## MMC\_INTMASK

MMC\_INTMASK 为 MMC 中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value				
0x0024		MMC_INTMASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			sdio_int_mask	Int_mask			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	RO	reserved	保留。					
[16]	RW	sdio_int_mask	中断屏蔽控制。 0：屏蔽； 1：使能。					



[15:0]	RW	int_mask	<p>屏蔽中断。 0: 屏蔽; 1: 使能。 每 bit 对应的含义如下: Bit[15]: End-bit error (read)/Write no CRC (EBE) Bit[14]: Auto command done (ACD) Bit[13]: Start-bit error (SBE) /Busy Complete Interrupt(BCI) Bit[12]: Hardware locked write error (HLE) Bit[11]: FIFO underrun/overrun error (FRUN) Bit[10]: Data starvation-by-host timeout(HTO) /Volt_switch_int Bit[9]: Data read timeout (DRTO) Bit[8]: Response timeout (RTO) Bit[7]: Data CRC error (DCRC) Bit[6]: Response CRC error (RCRC) Bit[5]: Receive FIFO data request (RXDR) Bit[4]: Transmit FIFO data request (TXDR) Bit[3]: Data transfer over (DTO) Bit[2]: Command done (CD) Bit[1]: Response error (RE) Bit[0]: Card detect (CD)</p>
--------	----	----------	---

## MMC\_CMDARG

MMC\_CMDARG 为 MMC 指令参数寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x0028				MMC_CMDARG								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	cmd_arg																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RW		cmd_arg		配置传输给卡的指令参数。指令参数与协议相关，每个指令都对应一个具体的指令参数。																															



## MMC\_CMD

MMC\_CMD 为 MMC 命令寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x002C								MMC_CMD								0x2000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	start_cmd	reserved	use_hold_reg	volt_switch	boot_mode	disable_boot	expect_boot_ack	enable_boot	reserved	update_clock_registes_only	card_number								send_initialization	stop_abort_cmd	wait_privdata_complete	send_auto_stop	transfer_mode	read_write	data_transfer_expected	check_response_crc	response_length	response_expect	cmd_index							
Reset	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

Bits	Access	Name	Description
[31]	RW	start_cmd	启动控制。 0: 不启动; 1: 启动命令。当命令已经被传到 CIU, 该比特被清零。 CPU 不允许修改此寄存器。如果修改, 产生 hardware lock error 中断。 CPU 发送完命令以后需要查询该比特, 查到该比特变为 0 以后再发下一个命令。
[30]	RO	reserved	保留。
[29]	RW	use_hold_reg	Use Hold 寄存器。 0: 发送到卡的 CMD 和 DATA 信号不经过 HOLD 寄存器; 1: 发送到卡的 CMD 和 DATA 信号经过 HOLD 寄存器。
[28]	RW	volt_switch	电压切换控制。 0: 禁止电压切换; 1: 使能电压切换。
[27]	RW	boot_mode	Boot 模式。 0: 强制 Boot 模式; 1: 交替 Boot 模式。
[26]	RW	disable_boot	禁用 Boot。 当软件同时使能此 bit 和 Start_cmd 时, 控制器终止 Boot 操作。 不允许同时使能 Enable_boot 和 Disable_boot。



[25]	RW	expect_boot_ack	使能 Boot 响应。 当软件同时使能此 bit 和 Enable_boot 时，控制器将检测 Boot 响应信号，即“0-1-0”序列。
[24]	RW	enable_boot	使能 Boot。 此 bit 只能使用在“强制 Boot 模式”。当软件同时使能此 bit 和 Start_cmd 时，控制器拉低 CMD 信号启动 Boot 流程。 不允许同时使能 Enable_boot 和 Disable_boot。
[23:22]	RO	reserved	保留。
[21]	RW	update_clock_registers_only	是否自动更新。 0: 正常命令顺序，寄存器 MMC_CMD、MMC_CMDARG、MMC_TMOUT、MMC_CTYPE、MMC_BLKSIZE、MMC_BYTCNT 的值会从 BIU 传到 CIU。CIU 在新命令中使用寄存器新值； 1: 不发送命令，只更新卡时钟域的时钟寄存器值。寄存器 MMC_CLKDIV、MMC_CLKENA 的值被转换到卡时钟域。 无需发命令给卡即可转换卡时钟(转换频率和时钟开关)，用于调整卡时钟频率以及控制卡时钟开关。 每次改变卡时钟时，需要将该比特设为“1”。此时不会有命令被传送给卡，也不会产生 Command Done 中断。
[20:16]	RW	card_number	正在使用的卡的序号。
[15]	RW	send_initialization	是否发初始序列。 0: 在发送 Send_initialization 命令前不送出初始序列(80 个时钟周期的“1”); 1: 在发送 Send_initialization 命令前送出初始序列。 卡上电时，在发送任何命令以前，都必须先送出初始序列来做初始化，即该比特置“1”。
[14]	RW	stop_abort_cmd	当 open_end 或定长的数据传输操作正在进行时，该位取值含义如下。 0: 不发送 stop/abort 命令； 1: 发送 stop/abort 命令，终止正在进行的数据传输。
[13]	RW	wait_prvdata_complete	是否立即发送指令。 0: 立即发送命令(即使前一个数据传输还没完成); 1: 等到前一个数据传输完成才发送命令。 “0”为典型值，用于数据传输时读取状态或中断传输。
[12]	RW	send_auto_stop	是否发送 stop 命令。 0: 数据传完以后不发 stop 命令； 1: 数据传完以后发 stop 命令。 在非数据传输时，该比特被忽略。



[11]	RW	transfer_mode	传输模式。 0: block 传输命令; 1: stream 传输命令。 在非数据传输时, 该比特被忽略。
[10]	RW	read_write	读写控制。 0: 从卡读取数据; 1: 往卡写数据。 在非数据传输时, 该比特被忽略。
[9]	RW	data_transfer_expected	数据传输指示。 0: 没有数据从卡输出; 1: 有数据从卡输出。
[8]	RW	check_response_crc	是否 CRC 检查。 0: 不检查 CRC response; 1: 检查 CRC response。 一些命令回复时没有返回有效的 CRC。为了禁止 Host 对 CRC 进行检查, 软件需要针对这些命令禁止该功能。
[7]	RW	response_length	Response 长度。 0: 短 response 从卡输出; 1: 长 response 从卡输出。 长 response 是 128bit, 短 response 是 32bit。
[6]	RW	response_expect	是否有 response。 0: 无 response 从卡输出; 1: 有 response 从卡输出。
[5:0]	RW	cmd_index	指令序号。

## MMC\_RESP0

MMC\_RESP0 为 MMC 响应寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0030		MMC_RESP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	response0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	response0	Response 的 bit[31:0]。					

## MMC\_RESP1

MMC\_RESP1 为 MMC 响应寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0034		MMC_RESP1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	response1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	response1	长 Response 的 bit[63:32]。 当 CIU 发出 Auto-stop 命令，response 就会被保存在该寄存器。上一条命令的 response 仍然会被保存在寄存器 <a href="#">MMC_RESP0</a> 内。 Auto-stop 只供数据传输使用，回复类型一直是短 response。					

## MMC\_RESP2

MMC\_RESP2 为 MMC 响应寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0038		MMC_RESP2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	response2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	response2	长 Response 的 bit[95:64]。					



## MMC\_RESP3

MMC\_RESP3 为 MMC 响应寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x003C		MMC_RESP3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	response3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	response3	长 Response 的 bit[127:96]。					

## MMC\_MINTSTS

MMC\_MINTSTS 为 MMC 屏蔽后中断状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x0040		MMC_MINTSTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			sdio_interrupt	int_status			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	RO	reserved	保留。					
[16]	RO	sdio_interrupt	中断屏蔽状态。 SDIO 中断只有在对应的 <a href="#">MMC_INTMASK</a> [sdio_int_mask] 被使能才有效。 0: 无 SDIO 中断从卡输出; 1: 有 SDIO 中断从卡输出。					





[15:0]	RO	int_status	<p>各中断状态。</p> <p>Bit[15]: End-bit error(read)/write no CRC(EBE)</p> <p>Bit[14]: Auto command done(ACD)</p> <p>Bit[13]: Start bit error(SBE)/Busy Complete Interrupt(BCI)</p> <p>Bit[12]: Hardware locked write error(HLE)</p> <p>Bit[11]: FIFO underrun/overrun error(FRUN)</p> <p>Bit[10]: Data starvation by host timeout(HTO)/Volt_switch_int</p> <p>Bit[9]: Data read timeout(DRTO)</p> <p>Bit[8]: Response timeout(RTO)</p> <p>Bit[7]: Data CRC error(DCRC)</p> <p>Bit[6]: Response CRC error(RCRC)</p> <p>Bit[5]: Receive FIFO data request(RXDR)</p> <p>Bit[4]: Transmit FIFO data request(TXDR)</p> <p>Bit[3]: Data transfer over(DTO)</p> <p>Bit[2]: Command done(CD)</p> <p>Bit[1]: Response error(RE)</p> <p>Bit[0]: Card detect(CD)</p>
--------	----	------------	---

## MMC\_RINTSTS

MMC\_RINTSTS 为 MMC 原始中断状态寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0044	MMC_RINTSTS	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 40%; text-align: center;">reserved</div> <div style="width: 5%; text-align: center; border-left: 1px solid black;">sdio_interrupt</div> <div style="width: 55%; text-align: center;">int_status</div> </div>		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:17]	RO	reserved	保留。
[16]	RW	sdio_interrupt	<p>中断原始状态。</p> <p>0: 无 SDIO 中断从卡输出；</p> <p>1: 有 SDIO 中断从卡输出。</p> <p>中断状态位的值与中断屏蔽无关。</p>



[15:0]	RW	int_status	<p>各中断的原始状态。写“1”清零，写“0”不修改。中断状态位的值与中断屏蔽无关。</p> <p>Bit[15]: End-bit error (read)/write no CRC (EBE)</p> <p>Bit[14]: Auto command done (ACD)</p> <p>Bit[13]: Start bit error(SBE)/Busy Complete Interrupt(BCI)</p> <p>Bit[12]: Hardware locked write error (HLE)</p> <p>Bit[11]: FIFO underrun/overrun error (FRUN)</p> <p>Bit[10]: Data starvation by host timeout(HTO)/Volt_switch_int</p> <p>Bit[9]: Data read timeout (DRTO)/Boot Data Start(BDS)</p> <p>Bit[8]: Response timeout (RTO)/Boot Ack Received(BAR)</p> <p>Bit[7]: Data CRC error (DCRC)</p> <p>Bit[6]: Response CRC error (RCRC)</p> <p>Bit[5]: Receive FIFO data request (RXDR)</p> <p>Bit[4]: Transmit FIFO data request (TXDR)</p> <p>Bit[3]: Data transfer over (DTO)</p> <p>Bit[2]: Command done (CD)</p> <p>Bit[1]: Response error (RE)</p> <p>Bit[0]: Card detect (CD)</p>
--------	----	------------	---

## MMC\_STATUS

MMC\_STATUS 为 MMC 状态寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0048	MMC_STATUS	0x0000_0106													
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved	fifo_count				response_index			data_state_mc_busy	data_busy	reserved	command fsm states	fifo_full	fifo_empty	fifo_tx_watermark	fifo_rx_watermark
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 1 1 0								
Bits	Access	Name	Description													
[31:30]	RO	reserved	保留。													
[29:17]	RO	fifo_count	FIFO 计数值。													
[16:11]	RO	response_index	前一个 response 的序号，包括 Auto-stop 的 response。													



[10]	RO	data_state_mc_busy	数据发送和接收状态机状态。 0: 数据发送/接收状态机空闲; 1: 数据发送/接收状态机正忙。
[9]	RO	data_busy	DAT[0]指示的 data_busy 的状态。 0: 卡闲; 1: 卡忙。
[8]	RO	reserved	reserved
[7:4]	RO	commandfsm_states	Command 状态机状态。 0x0: Idle; 0x1: Send init sequence; 0x2: Tx cmd start bit; 0x3: Tx cmd tx bit; 0x4: Tx cmd index +arg; 0x5: Tx cmd crc7; 0x6: Tx cmd end bit; 0x7: Rx resp start bit; 0x8: Rx resp IRQ response; 0x9: Rx resp tx bit; 0xA: Rx resp cmd idx; 0xB: Rx resp data; 0xC: Rx resp crc7; 0xD: Rx resp end bit; 0xE: Cmd path wait NCC; 0xF: Wait, CMD-to-response turnaround。
[3]	RO	fifo_full	FIFO 满标志。 0: FIFO 空; 1: FIFO 满。
[2]	RO	fifo_empty	FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[1]	RO	fifo_tx_watermark	FIFO 是否到达 Transmit watermark level。 0: 未达到水位; 1: 达到水位。
[0]	RO	fifo_rx_watermark	FIFO 是否到达 Receive watermark level。 0: 未达到水位; 1: 达到水位。



## MMC\_FIFOTH

MMC\_FIFOTH 为 FIFO 水位值寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x004C				MMC_FIFOTH				0x60FF_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				Multiple_Transaction_Size				rx_wmark				reserved				tx_wmark															
Reset	0	1	1	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31]	RO	reserved	保留。																												
	[30:28]	RW	Multiple_Transaction_Size	传输的突发长度。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 256。																												
	[27:16]	RW	rx_wmark	读数据时的 FIFO threshold watermark level。当 FIFO 计数大于该值时，使能 DMA 请求。数据传输结束后为了完成剩余的数据，不论该值为多少，都会产生 DMA 请求。 在非 DMA 模式，使能 RXDR 中断。在数据传输完成后如果 FIFO 计数没有大于该值，不会产生中断。这需要软件主动查询 DTD 中断来读取剩余的数据。 在 DMA 模式，当数据传输结束时，即使剩余的数据比门限低，DMA 还是会发出 single 传送请求读取数据，直到产生 DTD 中断。 限制：RX_WMark (FIFO_DEPTH) - 2。 建议：配置为 (FIFO_DEPTH/2) - 1。																												
	[15:12]	RO	reserved	保留。																												



[11:0]	RW	tx_wmark	<p>发送数据时的 FIFO threshold watermark level。当 FIFO 计数小于该值时，使能 DMA 请求。数据传输结束后为了完成剩余的数据，不论该值为多少，都会产生 DMA 请求。</p> <p>在非 DMA 模式，使能 RXDR 中断。在数据传输完成后如果 FIFO 计数没有大于该值，不会产生中断。这需要软件主动查询 DTD 中断来读取剩余的数据。</p> <p>在 DMA 模式，当数据传输结束时，即使剩余的数据比门限低，DMA 还是会发出 single 传送请求读取数据，直到产生 DTD 中断。</p> <p>限制：TX_WMark (FIFO_DEPTH) - 2。 建议：大于 (FIFO_DEPTH/2) - 1 时发出请求。</p>
--------	----	----------	--

## MMC\_CDETECT

MMC\_CDETECT 为卡检测寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0050	MMC_CDETECT	0x0000_0001
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		card_detect_n
Reset	0 1		
Bits	Access	Name	Description
[31:1]	RO	reserved	保留。
[0]	RO	card_detect_n	卡检测信号。 值由管脚 SDIO_CARD_DETECT 决定。

## MMC\_WRTPRT

MMC\_WRTPRT 为卡写保护寄存器。



Offset Address		Register Name		Total Reset Value					
0x0054		MMC_WRTprt		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								write_protect
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	write_protect	卡写保护信号。 值由管脚 SDIO_CWPR 决定。						

## MMC\_TCBCNT

MMC\_TCBCNT 为发送到卡的 byte 数目寄存器。

Offset Address		Register Name		Total Reset Value				
0x005C		MMC_TCBCNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	trans_card_byte_count							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	trans_card_byte_count	已经从 CIU 发送到卡的 byte 数目。 32bit AHB 总线对该寄存器进行访问时，应该一次读完 32bit，避免出现 read-coherency 错误。					

## MMC\_TBBCNT

MMC\_TBBCNT 为 BIU FIFO 传送数据的 byte 数目寄存器。



Offset Address		Register Name		Total Reset Value				
0x0060		MMC_TBBCNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	trans_fifo_byte_count							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	trans_fifo_byte_count	在 CPU/DMA 与 BIU FIFO 之间传送数据的 byte 数目。 32bit AHB 总线对该寄存器进行访问时，应该一次读完 32bit，避免出现 read-coherency 错误。					

### MMC\_DEBNCE

MMC\_DEBNCE 为去抖动计数器。

Offset Address		Register Name		Total Reset Value				
0x0064		MMC_DEBNCE		0x00FF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			debounce_count				
Reset	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:0]	RW	debounce_count	去抖动过滤逻辑使用的总线时钟周期的数目，通常的去抖动时间为 5ms-25ms。					

### MMC\_UHS\_REG

MMC\_UHS\_REG 为 UHS-1 寄存器。



Offset Address		Register Name		Total Reset Value						
0x0074		MMC_UHS_REG		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				ddr_reg	reserved				volt_reg
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RO	reserved	保留。							
[16]	RW	ddr_reg	DDR 模式控制寄存器。 0: 非 DDR 模式; 1: DDR 模式。							
[15:1]	RO	reserved	保留。							
[0]	RW	volt_reg	电压模式控制寄存器。 bit[1]、bit[0]分别控制 EMMC、SDIO 电压模式。以 bit0 为例 0: 3.3V; 1: 1.8V。							

## MMC\_CARD\_RSTN

MMC\_CARD\_RSTN 为 EMMC 器件复位控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0078		MMC_CARD_RSTN		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								card_reset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	card_reset	EMMC 器件复位控制器，控制管脚 CARD_RESET。 0: 复位; 1: 撤销复位。						





## MMC\_BMOD

MMC\_BMOD 为总线模式寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0080				MMC_BMOD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											pbl	de	dsl		fb	swr															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:11]	RO		reserved		保留。																											
[10:8]	RO		pbl		IDMAC burst 传输的长度。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 256。																											
[7]	RW		de		IDMAC 使能。 0: 不使能; 1: 使能。																											
[6:2]	RW		dsl		描述子跨越的长度。即两个非链接的描述子之间间隔多少个 WORD。该参数只用于双 buffer 结构描述子。																											
[1]	RW		fb		固定 burst 长度。 0: 使用 SINGLE 和 INCR burst 类型; 1: 使用 SINGLE、INCR4、INCR8、INCR16 burst 类型。																											
[0]	RW		swr		IDMAC 内部寄存器软复位控制。 0: 不复位; 1: 复位。置位后 1 个时钟周期自动清零。																											

## MMC\_PLDMND

MMC\_PLDMND 为 Poll demand 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0084		MMC_PLDMND		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	pd	如果描述子 DES0[OWN]为 0, IDMAC 会进入 suspend 状态, CPU 往该寄存器中写任何值都可以使 IDMAC 重新获取描述子。					

## MMC\_DBADDR

MMC\_DBADDR 为描述子链表的基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0088		MMC_DBADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sdl							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sdl	描述子链表的起始地址。即第一个描述子的基地址。					

## MMC\_IDSTS

MMC\_IDSTS 为 IDMAC 状态寄存器。



Offset Address		Register Name		Total Reset Value	
0x008C		MMC_IDSTS		0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0				
Name	reserved cmd_lock_err ids_ownbit_err ids_queue_overflow resp_check_err packet_int packet_timeout_int auto_stop_err ids_queue_full ids_queue_empty adma3_fsm fsm eb ais nis reserved ces du reserved fbe ri ti				
Reset	0 0				
Bits	Access	Name	Description		
[31:30]	RO	reserved	保留。		
[29]	RWC	cmd_lock_err	命令冲突寄存器。 0: 正常; 1: 命令冲突。		
[28]	RWC	ids_ownbit_err	ownbit 错误寄存器。 0: ownbit 正常; 1: ownbit 错误。		
[27]	RWC	ids_queue_overflow	队列溢出寄存器。 0: 不溢出; 1: 溢出。		
[26]	RWC	resp_check_err	resp 错误检测寄存器。 0: 无错误; 1: 有错误。		
[25]	RWC	packet_int	多包中断寄存器。 0: 无中断; 1: 多包中断。		
[24]	RWC	packet_timeout_int	超时中断寄存器。 0: 无中断; 1: 超时中断。		
[23]	RWC	auto_stop_err	硬件 stop 错误检测寄存器。 0: 无错误; 1: 有错误。		



[22]	RWC	ids_queue_full	队列满寄存器。 0: 队列非满; 1: 队列满。
[21]	RWC	ids_queue_empty	队列空寄存器。 0: 队列非空; 1: 队列空。
[20:17]	RO	adma3_fsm	ADMA3 状态机当前状态。 0x0: ADMA3_IDLE; 0x1: ADMA3_FIDS; 0x2: ADMA3_SREG; 0x3: ADMA3_CMD; 0x4: ADMA3_TRANS; 0x5: ADMA3_DESC_CLOSE; 0x6: ADMA3_AUTO_STOP; 0x7: ADMA3_WAIT; 其他: 保留。
[16:13]	RO	fsm	IDMAC 状态机当前状态。 0x0: DMA_IDLE; 0x1: DMA_SUSPEND; 0x2: DESC_RD; 0x3: DESC_CHK; 0x4: DMA_RD_REQ_WAIT; 0x5: DMA_WR_REQ_WAIT; 0x6: DMA_RD; 0x7: DMA_WR; 0x8: DESC_CLOSE; 其他: 保留。
[12:10]	RW	eb	总线错误类型指示。 001: 发送被中止; 010: 接收被中止; 其它: 保留。
[9]	RW	ais	异常总中断。是 FBE、DU、CES 取或。写 1 清 0。
[8]	RW	nis	正常总中断。是 TI、RI 取或。写 1 清 0。
[7:6]	RO	reserved	保留。



[5]	RW	ces	卡出错指示。指示卡在接收发送数据过程中状态。 0: 无出错指示; 1: 有出错指示
[4]	RW	du	描述子无效中断。当 DES0[OWN]为 0 时, 该位被置位。写 1 清 0。
[3]	RO	reserved	保留。
[2]	RW	fbe	致命的总线错误中断。当该 bit 被置位时, IDMAC 停止总线访问。写 1 清 0。
[1]	RW	ri	接收完成中断。指示一个描述子的数据接收完成。写 1 清 0。 0: 接收未完成; 1: 接收完成。
[0]	RW	ti	发送完成中断。指示一个描述子的数据发送完成。写 1 清 0。 0: 发送未完成; 1: 发送完成。

## MMC\_IDINTEN

MMC\_IDINTEN 为 IDMAC 中断使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x0090		MMC_IDINTEN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved cmd_lock_err ids_ownbit_err ids_queue_overflow resp_check_err packet_int packet_timeout_int auto_stop_err ids_queue_full ids_queue_empty	adma3_fsm		fsm				ai ni	reserved ces du reserved fbe ri ti
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29]	RW	cmd_lock_err	命令冲突寄存器。 0: 不使能; 1: 使能。						



[28]	RW	ids_ownbit_err	ownbit 错误寄存器。 0: 不使能; 1: 使能。
[27]	RW	ids_queue_overflow	队列溢出寄存器。 0: 不使能; 1: 使能。
[26]	RW	resp_check_err	resp 错误检测寄存器。 0: 不使能; 1: 使能。
[25]	RW	packet_int	多包中断寄存器。 0: 不使能; 1: 使能。
[24]	RW	packet_timeout_int	超时中断寄存器。 0: 不使能; 1: 使能。
[23]	RW	auto_stop_err	硬件 stop 错误检测寄存器。 0: 不使能; 1: 使能。
[22]	RW	ids_queue_full	队列满寄存器。 0: 不使能; 1: 使能。
[21]	RW	ids_queue_empty	队列空寄存器。 0: 不使能; 1: 使能。
[20:17]	RO	adma3_fsm	保留。
[16:10]	RO	fsm	保留。
[9]	RW	ai	异常中断使能位。 0: 不使能; 1: 使能 FBE/DU/CES 中断。
[8]	RW	ni	正常中断使能位。 0: 不使能; 1: 使能 TI/RI 中断。
[7:6]	RO	reserved	保留。



[5]	RW	ces	卡出错中断使能位。 0: 不使能; 1: 使能。
[4]	RW	du	描述子无效中断使能位。 0: 不使能; 1: 使能。
[3]	RO	reserved	保留。
[2]	RW	fbe	致命总线错中断使能位。 0: 不使能; 1: 使能。
[1]	RW	ri	接收中断使能位。 0: 不使能; 1: 使能。
[0]	RW	ti	发送中断使能位。 0: 不使能; 1: 使能。

## MMC\_DSCADDR

MMC\_DSCADDR 为当前描述子地址寄存器。

	Offset Address	Register Name	Total Reset Value								
	0x0094	MMC_DSCADDR	0x0000_0000								
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0								
Name	had										
Reset	0 0 0 0 0 0 0 0	0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0								
Bits	Access	Name	Description								
[31:0]	RO	had	描述子指针。在数据传输过程中自动更新。该寄存器指向当前正要被 IDMAC 使用的描述子的起始地址。								

## MMC\_BUFADDR

MMC\_BUFADDR 为当前数据 buffer 地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0098		MMC_BUFADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hba							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	hba	数据 buffer 指针。在数据传输过程中自动更新，该寄存器指向当前正被 IDMAC 访问的数据 buffer 地址。					

## ADMA\_CONTROL

ADMA\_CONTROL 为 adma3 控制寄存器

Offset Address		Register Name		Total Reset Value							
0x00B0		ADMA_CONTROL		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						resp_check_en	soft_change_rdpnr_en	packet_int_en	adma3_restart	adma3_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:5]	RO	reserved	保留。								
[4]	RW	resp_check_en	resp 错误检测功能使能寄存器。 0: 不使能 1: 使能								
[3]	RW	soft_change_rdpnr_en	软件改写逻辑读指针功能使能寄存器。 0: 不使能 1: 使能								
[2]	RW	packet_int_en	多包中断功能使能寄存器。 0: 不使能 1: 使能								





[1]	RW	adma3_restart	adma3 重启寄存器。 0: 不使能 1: 使能
[0]	RW	adma3_enable	adma3 使能寄存器。 0: 不使能; 1: 使能。

## ADMA\_IDS\_ADDR

ADMA\_IDS\_ADDR 为队列起始地址寄存器

	Offset Address	Register Name	Total Reset Value
	0x00B4	ADMA_IDS_ADDR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	ids_start_addr		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	ids_start_addr	综合描述子起始地址寄存器。

## ADMA\_DEEPTH

ADMA\_DEEPTH 为队列深度寄存器

	Offset Address	Register Name	Total Reset Value
	0x00B8	ADMA_DEEPTH	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	ids_depth		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	ids_depth	综合描述子深度寄存器。

## ADMA\_ID\_RDPTR

ADMA\_ID\_RDPTR 为队列读指针寄存器



Offset Address		Register Name		Total Reset Value				
0x00BC		ADMA_ID_RDPTR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ids_rdptr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ids_rdptr	综合描述子读指针。					

## ADMA\_ID\_WRPTR

ADMA\_ID\_WRPTR 为队列写指针寄存器

Offset Address		Register Name		Total Reset Value				
0x00C0		ADMA_ID_WRPTR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ids_wrptr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ids_wrptr	综合描述子写指针。					

## ADMA\_TIMEOUT

ADMA\_TIMEOUT 为 timeout 配置寄存器

Offset Address		Register Name		Total Reset Value				
0x00C4		ADMA_TIMEOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	timeout_count							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	timeout_count	多包超时中断超时计数配置寄存器。					

## MMC\_CARDTHRCTL

MMC\_CARDTHRCTL 为阈值控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x0100		MMC_CARDTHRCTL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cardrdthreshold			reserved			cardwrthr_en	BsyClrIntEn	cardrdthr_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:28]	RO	reserved	保留。							
[27:16]	RW	cardrdthreshold	读阈值大小。 最大只能配置为 512。							
[15:3]	RO	reserved	保留。							
[2]	RW	cardwrthr_en	写阈值使能控制。 0: 不使能; 1: 使能。							
[1]	RW	BsyClrIntEn	Busy Clear Interrupt 使能。 0: 不使能 Busy Clear Interrupt; 1: 使能 Busy Clear Interrupt。							
[0]	RW	cardrdthr_en	读阈值使能控制。 0: 不使能; 1: 使能。							

## MMC\_UHS\_REG\_EXT

MMC\_UHS\_REG\_EXT 为 UHS 扩展寄存器



Offset Address		Register Name		Total Reset Value																												
0x0108		MMC_UHS_REG_EXT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				clk_drv_phase_ctrl		reserved				clk_smpl_phase_ctrl		reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:23]	RW		clk_drv_phase_ctrl		控制 clk_in_drv 的时钟相位。 000: 0° ; 001: 45° ; 010: 90° ; 011: 135° ; 100: 180° ; 101: 225° ; 110: 270° ; 111: 315° 。																											
[22:19]	RO		reserved		保留。																											
[18:16]	RW		clk_smpl_phase_ctrl		控制 clk_in_sample 的时钟相位。 000: 0° ; 001: 45° ; 010: 90° ; 011: 135° ; 100: 180° ; 101: 225° ; 110: 270° ; 111: 315° 。																											
[15:0]	RO		reserved		保留。																											

## MMC\_DDR\_REG

MMC\_DDR\_REG 为 EMMC4.5 DDR START bit 检测控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x010C		MMC_DDR_REG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							half_start_bit	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	hs400_mode	HS400 模式控制寄存器。 0: 非 HS400 模式; 1: HS400 模式。						
[30:2]	RO	reserved	保留。						
[1]	RW	half_start_bit	对于 EMMC4.5 器件, 当 half_start_bit 设置为 1'b1, 在 DDR 模式的传输时, 收到 CMD12 时 RINTSTS[15]中断会被置起。						
[0]	RO	reserved	保留。						

## MMC\_ENABLE\_SHIFT

MMC\_ENABLE\_SHIFT 为相移寄存器。

Offset Address		Register Name		Total Reset Value				
0x0110		MMC_ENABLE_SHIFT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							Enable Shift
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:2]	RO	reserved	保留。					



[1:0]	RW	Enable Shift	相移控制寄存器。 00: 默认相移; 01: 相移生效在下一个上升沿; 10: 相移生效在下一个下降沿; 11: 保留。
-------	----	--------------	--

## MMC\_DATA

MMC\_DATA 为数据寄存器，为 FIFO 入口地址。在读写 FIFO 时，应先读取 FIFO 溢出。

	Offset Address				Register Name				Total Reset Value																											
	0x0200				MMC_DATA				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	data																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	data		读写 FIFO 的地址。地址范围 0x200~0x200+FIFO_DEPTH，均选中 FIFO。																															

## 12.6 红外接口

### 12.6.1 概述

红外遥控接收单元 IR (Infrared Remoter) 通过红外接口接收红外数据。

### 12.6.2 特点

IR 模块具有以下特点：

- 软件可配置关闭红外遥控接收模块。
- 支持 2 种工作模式：
  - 模式 0: 支持 NEC with simple repeat code、NEC with full repeat code、SONY 和 TC9012 四种数据格式解码，及接收数据错误检测和红外遥控唤醒等功能。
  - 模式 1: 支持任意数据格式的 symbol 电平宽度检测。
- 模式 0 时，支持接收数据帧溢出中断、接收数据帧格式错误中断、接收数据帧中断、按键释放的中断、各种中断构成的组合中断。
- 模式 1 时，支持接收 symbol 溢出中断、接收到 symbol 中断、symbol 超时中断、各种中断构成的组合中断。



- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持中断清除和屏蔽（写清）。
- 支持红外遥控唤醒。
- 支持参考时钟频率 1MHz~128MHz 可选，软件可编程控制分频因子使工作时钟预分频到 1MHz。

### 12.6.3 功能描述

当 IR 模块接收到红外遥控器发射的红外信号时，便对其进行解码，然后传送给 ARM 系统。ARM 系统再根据接收到的码的不同进行相应的操作，实现期望的功能。IR 模块连接在 ARM 子系统内的 APB 总线上，当芯片处于低功耗状态时（CPU 处于低频模式），IR 模块会在接收一个完整的帧数据后，产生中断信号送给 CPU，实现红外遥控唤醒功能。

通过对多种红外遥控器发出的信号进行分析，发现在不同的遥控器发出的红外指令中，引导码各不相同，而且后面的控制指令也有较大差别，甚至指令码的位数也不相同，这是因为这些红外遥控器的设计没有遵循统一的红外遥控标准。尽管遵循的标准不同，但是基本的编码思想是相同的，都是采用不同的周期和不同占空比的脉冲分别表示 0 和 1。不同遥控器占空比可能不同，且脉冲周期也不相同。根据这些不同，对一些码型类似的红外数据进行分类：NEC with simple repeat code 的数据格式、NEC with full repeat code 的数据格式、TC9012 的数据格式和 SONY 的数据格式。

红外接收数据码型统计情况如表 12-23~表 12-25 所示。



说明

此统计表以芯片实测为准，表格上的数据只是以前的测量值，并不完全正确。

表12-23 红外接收数据码型的统计表（NEC with simple repeat code）

数据格式		NEC with simple repeat code			
		uPD6121G	D6121/BU5777/D1913	LC7461M-C13	AEHA
引导码（10μs）	LEAD_S	900	900	900	337.6
	LEAD_E	450	450	450	168.8
bit0（10μs）	B0_L	56	56	56	42.2
	B0_H	56	56	56	42.2
bit1（10μs）	B1_L	56	56	56	42.2
	B1_H	169	169	169	126.6
simple repeat code（10μs）	SLEAD_S	900	900	900	337.6
	SLEAD_E	225	225	225	337.6
burst（10μs）		55	55	55	42.2
帧长（10μs）		10800	10800	10800	8777.6~12828.8



数据格式	NEC with simple repeat code			
	uPD6121G	D6121/BU5777/D1913	LC7461M-C13	AEHA
有效数据位	32	32	42	48

表12-24 红外接收数据码型的统计表（NEC with full repeat code）

数据格式		NEC with full repeat code						
		uPD6121G	LC7461 M-C13	MN602 4-C5D6	MN6014 -C6D6	MATNEW	MN6030	PANA SONIC
引导码 (10μs)	LEAD_S	900	900	337.6	349.2	348.8	349	352
	LEAD_E	450	450	337.6	349.2	374.4	349	352
bit0 (10μs)	B0_L	56	56	84.4	87.3	43.6	87.3	88
	B0_H	56	56	84.4	87.3	43.6	87.3	88
bit1 (10μs)	B1_L	56	56	84.4	87.3	43.6	87.3	88
	B1_H	169	169	253.2	174.6	130.8	261.9	264
simple repeat code (10μs)	SLEAD_S	无	无	无	无	无	无	无
	SLEAD_E							
burst (10μs)		55	55	84.4	87.3	43.6	87.3	88
帧长 (10μs)		10800	10800	10130	10470	12413.6~ 16594.4	10500	10400
有效数据位		32	42	22	24	48	22	22

表12-25 红外接收数据码型的统计表（TC9012 和 SONY 码）

数据格式		TC9012	SONY			
		TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
引导码 (10μs)	LEAD_S	450	240	240	240	240
	LEAD_E	450	60	60	60	60
bit0 (10μs)	B0_L	56	60	60	60	60
	B0_H	56	60	60	60	60
bit1 (10μs)	B1_L	56	120	120	120	120
	B1_H	169	60	60	60	60





数据格式		TC9012	SONY			
		TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
simple repeat code (10μs)	SLEAD_S	无	无	无	无	无
	SLEAD_E					
burst (10μs)		56	无	无	无	无
帧长 (10μs)		10800	4500	4500	4500	4500
有效数据位		32	12	13	15	20

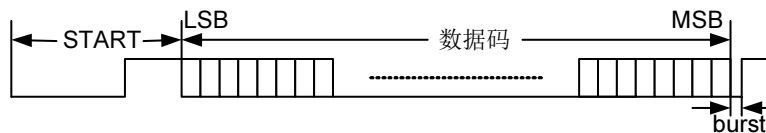
### 12.6.3.1 NEC with simple repeat code 数据格式

#### 帧格式

NEC with simple repeat code 数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。

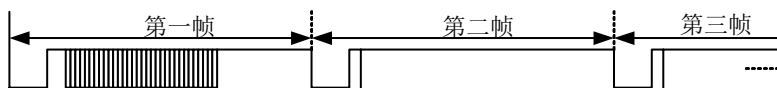
发送单个 NEC with simple repeat code 的帧格式如图 12-32 所示。

图12-32 发送单个 NEC with simple repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧后，接下来收到的数据帧仅由简化的引导码和 burst 信号组成。引导码也是由起始码（低电平）和结束码（高电平）组成，持续按键连续发送 NEC with simple repeat code 码的帧格式如图 12-33 所示。

图12-33 持续按键连续发送 NEC with simple repeat code 码的帧格式

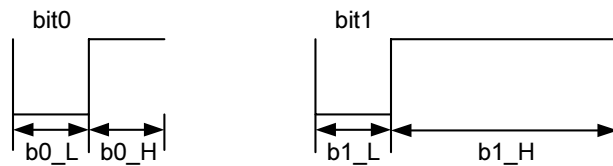


#### 码格式

NEC with simple repeat code 的 bit0 或 bit1 定义如图 12-34 所示。



图12-34 NEC with simple repeat code 码 bit0 和 bit1 定义



NEC simple repeat code 单发代码格式和连发代码格式分别如图 12-35 和图 12-36 所示。

图12-35 NEC with simple repeat code 码单发代码格式

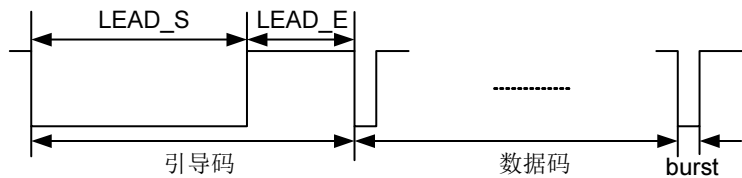
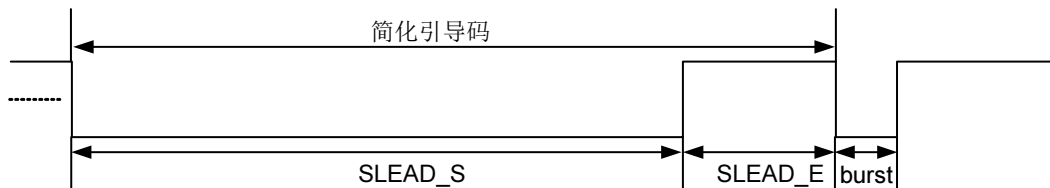


图12-36 NEC with simple repeat code 码连发代码格式



注 1：图中高低电平脉宽的宽度以及帧长均有各个具体码型决定，请参见表 12-23～表 12-25。

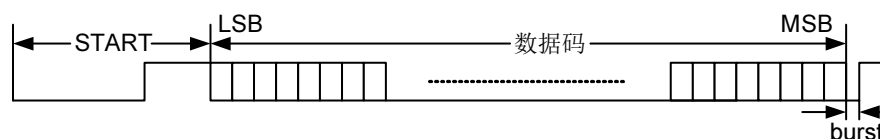
注 2：帧长不能大于 160ms，否则无法识别简化引导码。

### 12.6.3.2 NEC with full repeat code 数据格式

#### 帧格式

NEC with full repeat code 的数据格式是由 START（引导码）、数据码和 burst 三部分组成。START 是由一个起始码（低电平）和一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 NEC with full repeat code 帧格式如图 12-37 所示。

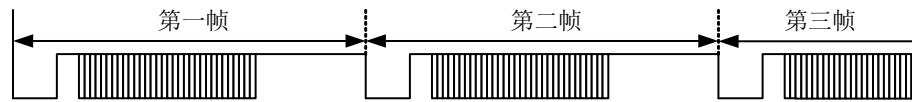
图12-37 发送单个 NEC with full repeat code 码的帧格式





如果按键时间持续超过一帧的时间，则在收到完整数据帧（第一帧）后，接下来收到的数据帧还是一个完整的数据帧格式（即按照帧间隔重复发送第一帧数据），持续按键连续发送 NEC with full repeat code 码的帧格式如图 12-38 所示。

图12-38 持续按键连续发送 NEC with full repeat code 码的帧格式

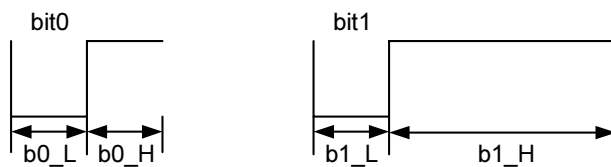


通过图 12-37 和图 12-38 可以看出：NEC with simple repeat code 与 NEC with full repeat code 唯一不同之处就是重复帧的格式，NEC with simple repeat code 发送的是简化的引导码，而 NEC with full repeat code 发送的是完整帧格式，第一帧和重复帧完全相同。

## 码格式

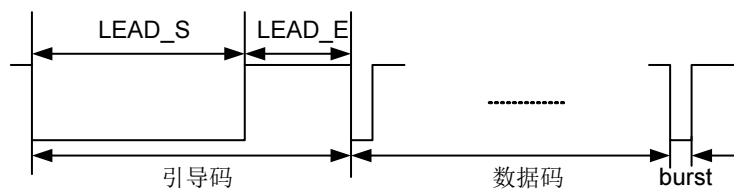
NEC with full repeat code 码 bit0 或 bit1 定义如图 12-39 所示。

图12-39 NEC with full repeat code 码 bit0 和 bit1 定义



NEC with full repeat code 码单发代码格式如图 12-40 所示。

图12-40 NEC with full repeat code 码单发代码格式



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定，请参见表 12-23～表 12-25。

### 12.6.3.3 TC9012 数据格式

#### 帧格式

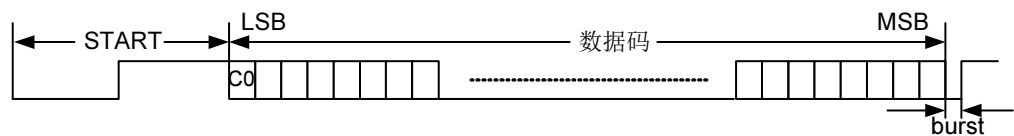


**注意**

根据 TC9012 码的数据格式特点，所有按键编码的第一位都必须全是 1 或者全是 0，否则会产生不需要的持续按键帧。

TC9012 的数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 TC9012 码的帧格式如图 12-41 所示。

图12-41 发送单个 TC9012 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧后，接下来收到的数据帧由引导码、一个数据位和 burst 信号三部分组成。引导码也是由起始码（低电平）和结束码（高电平）组成；该数据位是上一帧接收的第一个数据位（C0）的反码。发送连续 TC9012 码的帧格式如图 12-42 所示。

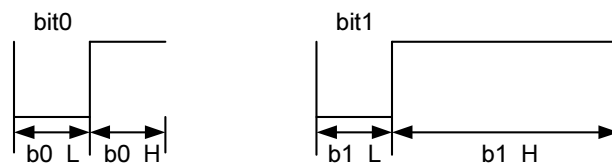
图12-42 持续按键连续发送 TC9012 码的帧格式



## 码格式

TC9012 码 bit0 或 bit1 定义如图 12-43 所示。

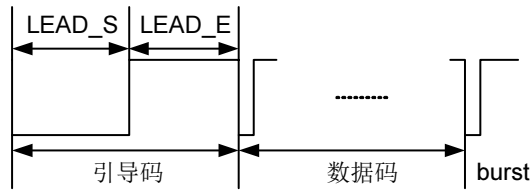
图12-43 TC9012 码 bit0 和 bit1 定义



TC9012 码单发代码格式如图 12-44 所示。

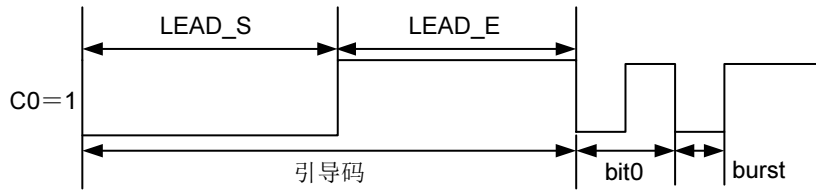


图12-44 TC9012 码单发代码格式



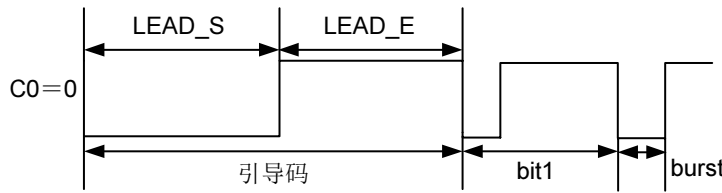
C0=1 时，TC9012 码连发代码格式如图 12-45 所示。

图12-45 TC9012 码连发代码格式 (C0=1)



C0=0 时，TC9012 码连发代码格式如图 12-46 所示。

图12-46 TC9012 码连发代码格式 (C0=0)



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 12-23~表 12-25。另外值得注意的是帧长不能大于 160ms，否则无法识别重复帧。

### 12.6.3.4 SONY 的数据格式

#### 帧格式

SONY 码数据格式是由 START（引导码）和数据码两部分组成。其中 START 由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的。发送单个 SONY 码帧格式如图 12-47 所示。

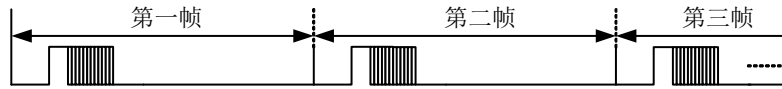
图12-47 发送单个 SONY 帧格式





如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧还是一个完整的数据帧格式。持续按键连续发送 SONY 码帧格式如图 12-48 所示。

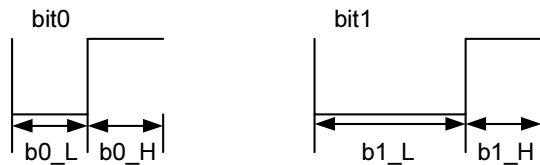
图12-48 持续按键连续发送 SONY 码帧格式



## 码格式

SONY 码 bit0 或 bit1 定义如图 12-49 所示。

图12-49 bit0 和 bit1 定义



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 12-23～表 12-25。

## 12.6.4 工作方式

### 软复位

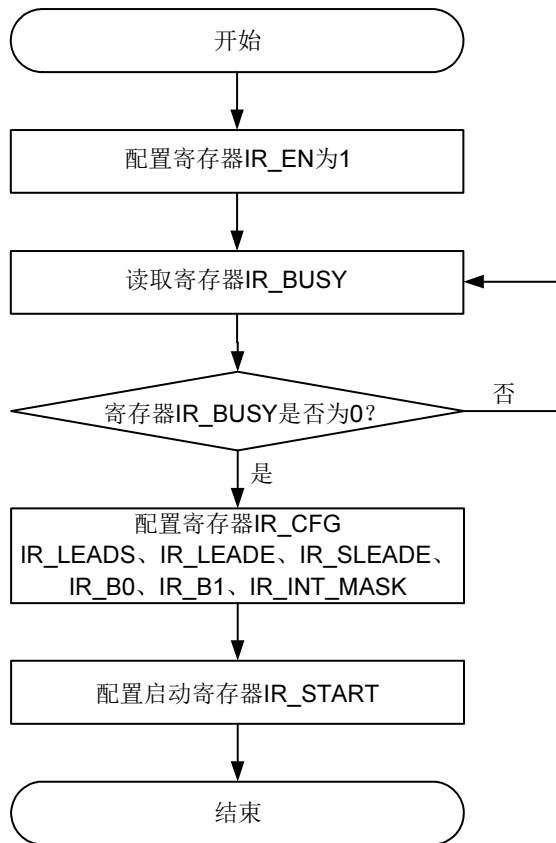
配置 CRG 寄存器 PERI\_CRG57[ir\_srst\_req]为 1，对 IR 模块单独软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

### 寄存器配置实例

IR 模块初始化操作流程如图 12-50 所示。



图12-50 IR 模块初始化操作流程



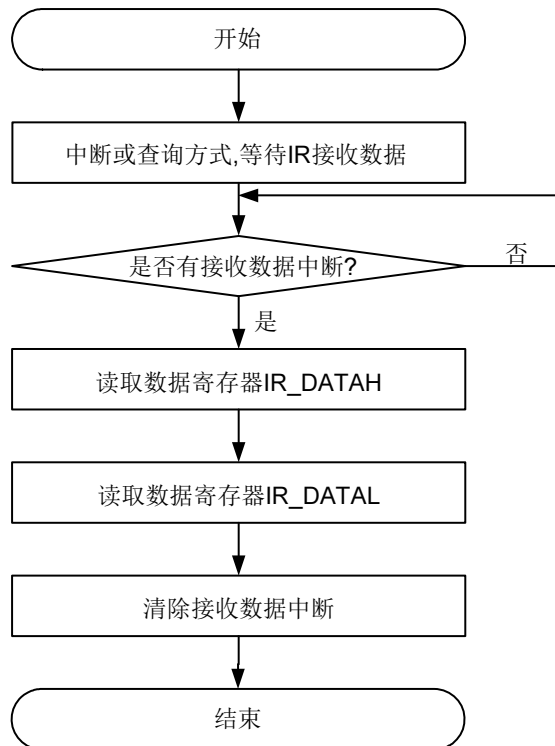
IR 模块初始化操作流程如下：

- 步骤 1. 选中 IR 模块地址空间，开始 IR 初始化配置操作。
- 步骤 2. 配置 `IR_EN` bit[0]为 1，打开 IR 接收模块。
- 步骤 3. 读 `IR_BUSY`，判断 IR 模块配置的当前状态。
  - 若读取的值为 1，表明 IR 模块处于配置忙状态，则继续查询 `IR_BUSY`（注意：此时软件不要对 IR 模块的其他控制寄存器进行配置，否则配置无效）。
  - 若读取的值为 0，表明 IR 模块处于配置空闲状态，则执行步骤 4。
- 步骤 4. 配置 `IR_CFG`、`IR_LEADS`、`IR_LEADE`、`IR_SLEADE`、`IR_B0`、`IR_B1`、`IR_INT_MASK`。注意：用户可以根据需要更新相应寄存器，如果不更新，则寄存器保持原值。
- 步骤 5. 配置 `IR_START`。必须要等所有的 IR 控制寄存器都配置完成后，才能配置 `IR_START`，因为它被用来产生启动信号，只要对其进行配置，IR 模块就会根据控制寄存器的值进行红外数据接收。

---结束



图12-51 读取解码数据的操作流程



读取解码数据的操作流程如下：

步骤 1. 选中 IR 模块地址空间。

步骤 2. 中断或查询方式等待接收数据帧。

- 中断方式下，当 CPU 接收到 IR 模块的中断请求信号时，查询 [IR\\_INT\\_STATUS\[intms\\_rcv\]](#) 的值。若读取的值为 1 表明 IR 模块接收到一个数据帧，执行步骤 3；若读取的值为 0，重新执行步骤 2，继续等待中断。
- 查询方式下，软件不停（或每间隔一定时间）读取 [IR\\_INT\\_STATUS\[intrs\\_rcv\]](#) 的值，若读取的值为 1 表明 IR 模块接收到一个数据帧，执行步骤 3；若读取的值为 0 时，表明 IR 模块尚未接收到数据帧，重新执行步骤 2，继续查询。

步骤 3. 读取数据寄存器 [IR\\_DATAH](#)。（如果一帧内的数据位数不大于 32 位，可以省略此步骤）

步骤 4. 读取数据寄存器 [IR\\_DATA L](#)。

步骤 5. 清除接收数据中断。

---结束

## 12.6.5 IR 寄存器概览

IR 寄存器概览如表 12-26 所示。





表12-26 IR 寄存器概览（基址是 0x120F\_0000）

偏移地址	名称	描述	页码
0x000	IR_EN	IR 接收使能控制寄存器	12-137
0x004	IR_CFG	IR 配置寄存器	12-138
0x008	IR_LEADS	引导码起始位裕量配置寄存器（只在 IR_CFG [ir_mode]=0 时使用）	12-140
0x00C	IR_LEADE	引导码结束位裕量配置寄存器（只在 IR_CFG [ir_mode]=0 时使用）	12-141
0x010	IR_SLEADE	简化引导码结束位裕量配置寄存器（只在 IR_CFG [ir_mode]=0 时使用）	12-142
0x014	IR_B0	数据 0 的判断电平裕量配置寄存器（只在 IR_CFG [ir_mode]=0 时使用）	12-143
0x018	IR_B1	数据 1 的判断电平裕量配置寄存器（只在 IR_CFG [ir_mode]=0 时使用）	12-144
0x01C	IR_BUSY	配置忙标志寄存器	12-145
0x020	IR_DATAH	IR 接收解码数据的高 16 位寄存器（当 IR_CFG [ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG [ir_mode]=1 时）	12-146
0x024	IR_DATAH	IR 接收解码数据的低 32 位寄存器（当 IR_CFG [ir_mode]=0 时）或 IR 模块接收到的 symbol 宽度寄存器（当 IR_CFG [ir_mode]=1 时）	12-146
0x028	IR_INT_MASK	IR 中断屏蔽寄存器	12-147
0x02C	IR_INT_STATUS	IR 中断状态寄存器	12-149
0x030	IR_INT_CLR	IR 中断清除寄存器	12-151
0x034	IR_START	IR 启动配置寄存器	12-153

## 12.6.6 IR 寄存器描述

### IR\_EN

IR\_EN 为 IR 接收使能控制寄存器。



**注意**

软件必须先配置寄存器 IR\_EN[ir\_en]=1，才能配置其他寄存器，否则配置无效。当寄存器 IR\_EN[ir\_en]=0 时，其他寄存器只可读不可写，且读出值为寄存器的复位值。

	Offset Address				Register Name								Total Reset Value																			
	0x000				IR_EN								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ir_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RO	reserved		保留。																											
	[0]	RW	ir_en		IR 接收模块的使能。 0: 关闭 IR 接收模块; 1: 打开 IR 接收模块。																											

## IR\_CFG

IR\_CFG 为 IR 配置寄存器。



**注意**

必须在确保 IR\_BUSY[ir\_busy]=0 并且 IR\_EN[ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值。

IR 支持的参考时钟频率为 1MHz~128MHz，其与分频因子 ir\_freq 的对应关系是：

- 当参考时钟频率为 1MHz 时，分频因子 ir\_freq 需配置为 0x00。
- 当参考时钟频率为 128MHz 时，分频因子 ir\_freq 需配置为 0x7F。

当 IR 的参考时钟为 1MHz~128MHz 内的非整数倍频率时，选用四舍五入的方法选择相应的分频因子。举例：参考时钟为 12.1MHz，选用分频因子为 0x0B；参考时钟为 12.8MHz，选用分频因子为 0x0C。

对于频偏和计数偏差的关系：基频 f，频率变化 Df，则频偏率 ratio=Df/f；计数器计数偏差 Dcnt；判断电平宽度 s（μs 为单位），则计数偏差： $Dcnt = \lceil 0.1 \times s \times ratio \rceil$ 。所以在时钟有频偏的情况下，参数值的有效范围要移位，如果频率上升，相应的裕量值



应改为:  $[\min + Dcnt, \max + Dcnt]$ , 其中  $\min$  和  $\max$  为无偏移时的裕量值; 如果频率下降, 相应的裕量值应改为:  $[\min - Dcnt, \max - Dcnt]$ 。以引导码的起始位裕量举例来说: 假如基频为 100MHz, 频率上漂 0.1MHz, 那么  $\text{ratio} = 0.1/100 = 0.001$ , 设  $s = 9000 \mu s$ , 则  $Dcnt = \lceil 0.1 \times 9000 \times 0.001 \rceil = 1$ , 则  $\text{ir\_leads}$  的裕量值应改为  $[0x033D, 0x3CD]$ 。

	Offset Address 0x004								Register Name IR_CFG								Total Reset Value 0x3E80_1F0B																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	ir_max_level_width								ir_format		ir_bits								ir_mode		ir_freq															
Reset	0	0	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	1	0	1	1				
	Bits	Access	Name	Description																																
	[31:16]	RW	ir_max_level_width	当 IR_CFG [ir_mode]=0 时, 无效; 当 IR_CFG [ir_mode]=1 时, 表示 symbol 的最大电平宽度 (单位 10 $\mu s$ ), 用以确定一个 symbol stream 结束。																																
	[15:14]	RW	ir_format	当 IR_CFG [ir_mode]=0 时, 表示数据码型。 00: NEC with simple repeat code 的数据格式; 01: TC9012 的数据格式; 10: NEC with full repeat code 的数据格式; 11: SONY 的数据格式。 关于具体码型属于哪类码族, 请参见表 12-23~表 12-25。 当 IR_CFG [ir_mode]=1 时, 表示 symbol 格式。 bit[15]: 保留; bit[14]的含义如下: 0: symbol 的格式为先低后高, symbol stream 结束在高电平; 1: symbol 的格式为先高后低, symbol stream 结束在低电平。																																
	[13:8]	RW	ir_bits	当 IR_CFG [ir_mode]=0 时, 表示一帧内的数据位数。 0x00~0x2F: 分别对应一帧内包含 1~48 个数据位; 0x30~0x3F: 保留。 如果软件对该域配置 0x30~0x3F 范围内的值, 则配置无效, ir_bits 保持原值不变。 当 IR_CFG [ir_mode]=1 时, 表示接收到 symbol 的中断水线。 bit[13]: 保留; bit[12:8]: 0x0~0x1F: 分别对应 FIFO 中至少有 1~32 个 symbol 时报中断。																																



[7]	RW	ir_mode	IR 工作模式。 0: 输出解码后的完整数据帧; 1: 只输出 symbol 宽度。
[6:0]	RW	ir_freq	工作时钟分频因子。 0x00~0x7F 分别对应工作时钟分频因子 1~128。

## IR\_LEADS

IR\_LEADS 为引导码起始位裕量配置寄存器（只在表 12-23~表 12-25 [ir\_mode]=0 时使用）。



### 注意

必须在确保 IR\_BUSY[ir\_busy]=0 并且 IR\_EN[ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。

为了准确判断引导码的起始位，需要在具体码型的典型值左右考虑一定的裕量，具体码型的典型值请参见表 12-23~表 12-25 中 LEAD\_S 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD\_S 的典型值为 900，那么相应的 cnt\_leads\_min=900 x 92%=828=0x33C，cnt\_leads\_max=900 x 108%=972=0x3CC。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD\_S 的典型值为 240，那么相应的 cnt\_leads\_min=240 x 80%=192=0xC0，cnt\_leads\_max=240 x 120%=288=0x120。

基本的配置原则：cnt\_leads\_max 不小于 cnt\_leads\_min，并且 cnt\_leads\_min 大于 cnt0\_b\_max 和 cnt1\_b\_max

Offset Address		Register Name		Total Reset Value					
0x008		IR_LEADS		0x033C_03CC					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cnt_leads_min		reserved		cnt_leads_max		
Reset	0 0 0 0	0 0 1 1	0 0 1 1	1 1 0 0	0 0 0 0	0 0 1 1	1 1 0 0	1 1 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	cnt_leads_min	引导码起始位的最小脉宽。 0x000~0x007: 保留。						



	Offset Address				Register Name				Total Reset Value																							
	0x008				IR_LEADS				0x033C_03CC																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt_leads_min				reserved				cnt_leads_max																			
Reset	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0	0
	Bits	Access	Name		Description																											
	[15:10]	RO	reserved		保留。																											
	[9:0]	RW	cnt_leads_max		引导码起始位的最大脉宽。 0x000~0x007: 保留。																											

## IR\_LEADE

IR\_LEADE 为引导码结束位裕量配置寄存器（只在 IR\_CFG [ir\_mode]=0 时使用）。



### 注意

- 必须在确保 IR\_BUSY [ir\_busy]=0 并且 IR\_EN [ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，其 cnt\_sleade 的裕量范围和 cnt\_leade 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。

为了准确判断引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 8%。具体码型的典型值请参见表 12-23~表 12-25 中 LEAD\_E 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD\_E 的典型值为 450，那么相应的 cnt\_leade\_min=450 x 92%=414=0x19E，cnt\_leade\_max=450 x 108%=486=0x1E6。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD\_E 的典型值为 60，那么相应的 cnt\_leade\_min=60 x 80%=48=0x030，cnt\_leade\_max=60 x 120%=72=0x048。

基本的配置原则是：cnt\_leade\_max 不小于 cnt\_leade\_min 的值。



	Offset Address 0x00C								Register Name IR_LEADE								Total Reset Value 0x019E_01E6															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt_leade_min				reserved				cnt_leade_max																			
Reset	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0
Bits	Access		Name		Description																											
[31:25]	RO		reserved		保留。																											
[24:16]	RW		cnt_leade_min		引导码结束位的最小脉宽。 0x000~0x007: 保留。																											
[15:9]	RO		reserved		保留。																											
[8:0]	RW		cnt_leade_max		引导码结束位的最大脉宽。 0x000~0x007: 保留。																											

## IR\_SLEADE

IR\_SLEADE 为简化引导码结束位裕量配置寄存器（只在 IR\_CFG [ir\_mode]=0 时使用）。



- 必须在确保 IR\_BUSY [ir\_busy]=0 并且 IR\_EN [ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，cnt\_sleade 的裕量范围和 cnt\_leade 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。
- 对于 NEC with simple repeat code 的数据格式，才需配置此寄存器；对于其他格式，无需配置此寄存器。

为了准确判断简化引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量。具体码型的典型值请参见表 12-23~表 12-25 中 SLEAD\_E 的值。

- 对于典型值不小于 225（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 SLEAD\_E 的典型值为 225，那么相应的 cnt\_sleade\_min=225 x 92%=207=0xCF，cnt\_sleade\_max=225 x 108%=243=0xF3。



- 对于典型值小于 225（其精度为 10 $\mu$ s）的脉宽，建议裕量范围设为典型值的 20%。举例说明：比如某种码型其 SLEAD\_E 的典型值为 60，那么相应的  $\text{cnt\_sleade\_min}=60 \times 80\%=48=0x30$ ， $\text{cnt\_sleade\_max}=60 \times 120\%=72=0x48$ 。

基本的配置原则是：cnt\_sleade\_max 不小于 cnt\_sleade\_min 的值。

Offset Address		Register Name		Total Reset Value					
0x010		IR_SLEADE		0x00CF_00F3					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cnt_sleade_min		reserved		cnt_sleade_max		
Reset	0 0 0 0	0 0 0 0	1 1 0 0	1 1 1 1	0 0 0 0	0 0 0 0	1 1 1 1	0 0 1 1	
Bits	Access	Name	Description						
[31:25]	RO	reserved	保留。						
[24:16]	RW	cnt_sleade_min	简化引导码结束位的最小脉宽。 0x000~0x007：保留。						
[15:9]	RO	reserved	保留。						
[8:0]	RW	cnt_sleade_max	简化引导码起始位的最大脉宽。 0x000~0x007：保留。						

## IR\_B0

IR\_B0 为数据 0 的判断电平裕量配置寄存器（只在 IR\_CFG [ir\_mode]=0 时使用）。



### 注意

- 必须在确保 IR\_BUSY [ir\_busy]=0 并且 IR\_EN [ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit0，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码型，其包含的具体码型的典型值请参见表 12-23~表 12-25 中 B0\_H 的值。举例说明：D6121 码型，其 B0\_H 的典型值为 56（其精度为 10 $\mu$ s），那么相应的  $\text{cnt0\_b\_min}=56 \times 80\%=45=0x2D$ ， $\text{cnt0\_b\_max}=56 \times 120\%=67=0x43$ 。



- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 12-23~表 12-25 中 B0\_L 的值。举例说明：SONY-D7C5 码型，其 B0\_L 的典型值为 60（其精度为 10μs），那么相应的 cnt0\_b\_min=60 x 80%=48=0x30，cnt0\_b\_max=60 x 120%=72=0x48。

基本的配置原则是：cnt0\_b\_max 不小于 cnt0\_b\_min 的值。

	Offset Address								Register Name								Total Reset Value															
	0x014								IR_B0								0x002D_0043															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt0_b_min								reserved				cnt0_b_max															
Reset	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1
Bits	Access		Name		Description																											
[31:25]	RO		reserved		保留。																											
[24:16]	RW		cnt0_b_min		bit0 判断电平的最小脉宽。 0x000~0x007：保留。																											
[15:9]	RO		reserved		保留。																											
[8:0]	RW		cnt0_b_max		bit0 判断电平的最大脉宽。 0x000~0x007：保留。																											

## IR\_B1

IR\_B1 为数据 1 的判断电平裕量配置寄存器（只在 IR\_CFG [ir\_mode]=0 时使用）。



- 必须在确保 IR\_BUSY [0]=0 并且 IR\_EN [0]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit1，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码族，其包含的具体码型的典型值请参见表 12-23~表 12-25 中 B1\_H 的值。举例说明：D6121 码型，其 B1\_H 的典型值为 169（其精度为 10μs），那么相应的 cnt1\_b\_min=169 x 80%=135=0x87，cnt1\_b\_max=169 x 120%=203=0xCB。





- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 12-23~表 12-25 中 B1\_L 的值。举例说明：SONY-D7C5 码型，其 B1\_L 的典型值为 120（其精度为 10μs），那么相应的 cnt1\_b\_min=120 x 80%=96=0x60，cnt1\_b\_max=120 x 120%=144=0x90。

基本的配置原则是：cnt1\_b\_max 不小于 cnt1\_b\_min 的值。

	Offset Address 0x018								Register Name IR_B1								Total Reset Value 0x0087_00CB															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt1_b_min								reserved				cnt1_b_max															
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	1
	Bits	Access	Name		Description																											
	[31:25]	RO	reserved		保留。																											
	[24:16]	RW	cnt1_b_min		bit1 判断电平的最小脉宽。 0x000~0x007：保留。																											
	[15:9]	RO	reserved		保留。																											
	[8:0]	RW	cnt1_b_max		bit1 判断电平的最大脉宽。 0x000~0x007：保留。																											

## IR\_BUSY

IR\_BUSY 为配置忙标志寄存器。

	Offset Address 0x01C								Register Name IR_BUSY								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															ir_busy																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RO	reserved		保留。																											
	[0]	RO	ir_busy		忙状态标志。 0：空闲状态，软件可以配置数据； 1：忙状态，软件不可以配置数据。																											



## IR\_DATAH

IR\_DATAH 为 IR 接收解码数据的高 16 位寄存器（当 IR\_CFG [ir\_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR\_CFG [ir\_mode]=1 时）。

IR\_DATAH 是接收到的解码数据的高 16 位，IR\_DATAH 是接收到的解码数据的低 32 位。具体哪些数据位有效取决于具体码型一帧内包含的有效数据位数，请参见表 12-23~表 12-25 的有效数据位。

数据存储原则：按照由高到低的顺序存储在 IR\_DATAH 和 IR\_DATAH 中（MSB……LSB），先存满 IR\_DATAH，然后再存放 IR\_DATAH，未用到的高位作为保留位。软件读取数据的顺序必须是：先读 IR\_DATAH，然后再读 IR\_DATAH。

对于具体每个数据位表示的含义，硬件不做判断，仅负责接收所有数据位，最终由软件统一处理。

	Offset Address		Register Name		Total Reset Value			
	0x020		IR_DATAH		0x0000_0000			
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ir_datah			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name	Description				
	[31:16]	RO	reserved	保留。				
	[15:0]	RO	ir_datah	当 IR_CFG [ir_mode]=0 时，表示接收到的解码数据的高 16 位数据。 当 IR_CFG [ir_mode]=1 时，表示 symbol FIFO 中的 symbol 个数。 bit[15:6]: 保留； bit[5:0]: symbol FIFO 中的 symbol 个数。				

## IR\_DATAH

IR\_DATAH 为 IR 接收解码数据的低 32 位寄存器（当 IR\_CFG [ir\_mode]=0 时）或，IR 模块接收到的 symbol 宽度寄存器（当 IR\_CFG [ir\_mode]=1 时）。



Offset Address		Register Name		Total Reset Value				
0x024		IR_DATAL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ir_datal							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	ir_datal	<p>当 <b>IR_CFG</b> [ir_mode]=0 时，表示接收到的解码数据的低 32 位数据。</p> <p>当 <b>IR_CFG</b> [ir_mode]=1 时，表示 IR 模块接收到的 symbol 宽度。</p> <p>bit[31:16]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）。</p> <p>bit[15:0]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）。</p>					

## IR\_INT\_MASK

IR\_INT\_MASK 为 IR 中断屏蔽寄存器。



### 注意

- 必须在确保 **IR\_EN** [ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值。
- 如果中断全部屏蔽后，无法支持红外遥控唤醒功能。
- **IR\_CFG** [ir\_mode]=0 时，IR\_INT\_MASK bit[3:0]有效；**IR\_CFG** [ir\_mode]=1 时，IR\_INT\_MASK bit[18:16]有效。

涉及到的中断定义如下：

- 接收数据溢出中断



如果 CPU 没有及时响应取走当前帧的数据，而下一帧数据也已经收到的情况，下一帧数据将会覆盖当前帧数据，同时上报屏蔽前接收数据溢出错中断请求。

- 接收数据帧格式错误中断

如果接收到的数据帧不完整以及数据脉宽不满足裕量范围，则会上报屏蔽前的接收帧格式错误中断请求。

- 接收到数据帧中断

当接收到一个完整的帧数据后，则会上报屏蔽前接收到数据帧中断请求。

- 支持按键释放的检测中断

对于 NEC with simple repeat code 和 TC9012 码族的数据格式，在检测到一个有效起始同步码之后的 160ms 内，如果没有再次检测到起始同步码，或者检测到非简化引导码而是有效数据帧时，则会上报屏蔽前遥控器按键释放中断。对于 NEC with full repeat code 和 SONY 两种码制不支持按键释放中断。

- 接收 symbol 溢出中断

如果 CPU 没有及时响应取走数据，导致 symbol FIFO 满，而下一个 symbol 已经收到，则会上报屏蔽前接收 symbol 溢出错中断请求。

- 接收到 symbol 中断

当接收到一个完整的 symbol 后，且 symbol FIFO 中的 symbol 个数超过 **IR\_CFG** [ir\_bits]设置的水线，则会上报屏蔽前接收到 symbol 中断请求。

- symbol 超时中断

在接收到一个有效的 symbol 后，**IR\_CFG** [ir\_max\_level\_width]设置的时间内没有再接收到新的 symbol 的中断请求，则会上报屏蔽前 symbol 超时中断请求。

硬件没有中断优先级仲裁，任何一个或多个屏蔽后的中断源有效，都会产生中断。

	Offset Address				Register Name				Total Reset Value																							
	0x028				IR_INT_MASK				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												intm_overrun	intm_time_out	intm_symb_rcv	reserved												intm_release	intm_overflow	intm_frame	intm_rcv	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:19]	RO		reserved		保留。																											
[18]	RW		intm_overrun		当 <b>IR_CFG</b> [ir_mode]=1 时，symbol 溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。																											



[17]	RW	intm_time_out	当 IR_CFG [ir_mode]=1 时，symbol 超时中断屏蔽。 0：不屏蔽； 1：屏蔽。
[16]	RW	intm_symb_rcv	当 IR_CFG [ir_mode]=1 时，接收到 N 个 symbol 中断屏蔽。 0：不屏蔽； 1：屏蔽。
[15:4]	RO	reserved	保留。
[3]	RW	intm_release	当 IR_CFG [ir_mode]=0 时，按键释放中断屏蔽。 0：不屏蔽； 1：屏蔽。
[2]	RW	intm_overflow	当 IR_CFG [ir_mode]=0 时，接收数据溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。
[1]	RW	intm_frame	当 IR_CFG [ir_mode]=0 时，接收数据帧格式错误中断屏蔽。 0：不屏蔽； 1：屏蔽。
[0]	RW	intm_rcv	当 IR_CFG [ir_mode]=0 时，接收到数据帧中断屏蔽。 0：不屏蔽； 1：屏蔽。

## IR\_INT\_STATUS

IR\_INT\_STATUS 为 IR 中断状态寄存器。



### 注意

- IR\_CFG [ir\_mode]=0 时，IR\_INT\_STATUS bit[3:0]和 IR\_INT\_STATUS bit[19:16]有效；
- IR\_CFG [ir\_mode]=1 时，IR\_INT\_STATUS bit[10:8]和 IR\_INT\_STATUS bit[26:24]有效。



Offset Address		Register Name		Total Reset Value				
0x02C		IR_INT_STATUS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	intms_overrun intms_time_out intms_symb_rcv	reserved	intms_release intms_overflow intms_framerr intms_rcv	reserved	intrs_overrun intrs_time_out intrs_symb_rcv	reserved	intrs_release intrs_overflow intrs_framerr intrs_rcv
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26]	RO	intms_overrun	当 IR_CFG [ir_mode]=1 时，屏蔽后的 symbol 溢出中断状态。 0: 无中断； 1: 有中断。					
[25]	RO	intms_time_out	当 IR_CFG [ir_mode]=1 时，屏蔽后的 symbol 超时中断状态。 0: 无中断； 1: 有中断。					
[24]	RO	intms_symb_rcv	当 IR_CFG [ir_mode]=1 时，屏蔽后的接收到 symbol 的中断状态。 0: 无中断； 1: 有中断。					
[23:20]	RO	reserved	保留。					
[19]	RO	intms_release	当 IR_CFG [ir_mode]=0 时，屏蔽后的按键释放的中断状态。 0: 无中断； 1: 有中断。					
[18]	RO	intms_overflow	当 IR_CFG [ir_mode]=0 时，屏蔽后的接收数据溢出错中断状态。 0: 无中断； 1: 有中断。					
[17]	RO	intms_framerr	当 IR_CFG [ir_mode]=0 时，屏蔽后的接收数据帧格式错误中断状态。 0: 无中断； 1: 有中断。					



[16]	RO	intms_rcv	当 IR_CFG [ir_mode]=0 时，屏蔽后的接收到数据帧中断状态。 0: 无中断; 1: 有中断。
[15:11]	RO	reserved	保留。
[10]	RO	intrs_overrun	当 IR_CFG [ir_mode]=1 时，屏蔽前的 symbol 溢出中断状态。 0: 无中断; 1: 有中断。
[9]	RO	intrs_time_out	当 IR_CFG [ir_mode]=1 时，屏蔽前的 symbol 超时中断状态。 0: 无中断; 1: 有中断。
[8]	RO	intrs_symb_rcv	当 IR_CFG [ir_mode]=1 时，屏蔽前的接收到 symbol 的中断状态。 0: 无中断; 1: 有中断。
[7:4]	RO	reserved	保留。
[3]	RO	intrs_release	当 IR_CFG [ir_mode]=0 时，屏蔽前的按键释放的中断状态。 0: 无中断; 1: 有中断。
[2]	RO	intrs_overflow	当 IR_CFG [ir_mode]=0 时，屏蔽前的接收数据溢出错中断状态。 0: 无中断; 1: 有中断。
[1]	RO	intrs_framerr	当 IR_CFG [ir_mode]=0 时，屏蔽前的接收数据帧格式错误中断状态。 0: 无中断; 1: 有中断。
[0]	RO	intrs_rcv	当 IR_CFG [ir_mode]=0 时，屏蔽前的接收到数据帧中断状态。 0: 无中断; 1: 有中断。

## IR\_INT\_CLR

IR\_INT\_CLR 为 IR 中断清除寄存器。



注意

- **IR\_CFG** [ir\_mode]=0 时，IR\_INT\_CLR bit[3:0]有效；
- **IR\_CFG** [ir\_mode]=1 时，IR\_INT\_CLR bit[18:16]有效。

Offset Address		Register Name		Total Reset Value																													
0x030		IR_INT_CLR		0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved												intc_overrun	intc_time_out	intc_symb_rcv	reserved												intc_release	intc_overflow	intc_framerr	intc_rev		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																														
[31:19]	RO	reserved	保留。																														
[18]	WC	intc_overrun	<b>IR_CFG</b> [ir_mode]=1 时，清除 symbol 溢出中断请求。 0: 无影响； 1: 清除。																														
[17]	WC	intc_time_out	<b>IR_CFG</b> [ir_mode]=1 时，清除 symbol 超时中断请求。 0: 无影响； 1: 清除。																														
[16]	WC	intc_symb_rcv	<b>IR_CFG</b> [ir_mode]=1 时，清除接收到 symbol 中断请求。 0: 无影响； 1: 清除。																														
[15:4]	RO	reserved	保留。																														
[3]	WC	intc_release	<b>IR_CFG</b> [ir_mode]=0 时，清除遥控器按键释放中断请求。 0: 无影响； 1: 清除。																														
[2]	WC	intc_overflow	<b>IR_CFG</b> [ir_mode]=0 时，清除接收数据溢出错中断请求。 0: 无影响； 1: 清除。																														
[1]	WC	intc_framerr	<b>IR_CFG</b> [ir_mode]=0 时，清除接收数据帧格式错误中断请求。 0: 无影响； 1: 清除。																														





[0]	WC	intc_rcv	<p>IR_CFG [ir_mode]=0 时，清除接收到数据帧中断请求。</p> <p>0：无影响；</p> <p>1：清除。</p> <p>如果接收数据帧中断请求产生后，软件未读走 IR_DATA1 中的数据就直接对本位进行写 1 操作，无法清除该中断请求。</p>
-----	----	----------	---

## IR\_START

IR\_START 为 IR 启动配置寄存器。

在其他寄存器的值配置完成后，启动 IR 模块时，只要往该地址进行一次写操作（写操作数可以为任意值），就可以启动配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x034				IR_START								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ir_start					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	RO	reserved	保留。																												
	[0]	WO	ir_start	IR 启动配置寄存器。																												

## 12.7 GPIO

### 12.7.1 概述

Hi3519V100 支持 14 组 GPIO (General Purpose Input/Output)，即 GPIO0~GPIO13。每组 GPIO 提供 8 个可编程的输入输出管脚 (GPIO13 只有 4 个)。每个管脚可以配置为输入或者输出。这些管脚用于生成特定应用的输出信号或采集特定应用的输入信号。作为输入管脚时，GPIO 可作为中断源；作为输出管脚时，每个 GPIO 都可以独立地清 0 或置 1。

GPIO 可以根据电平或跳变值产生可屏蔽的中断。GPIOINTR (General Purpose Input Output Interrupt) 信号给中断控制器一个指示，表示有中断发生。



### 注意

- GPIO 具体管脚个数、管脚与其他管脚复用及相关复用控制的说明请参见 Hi3519V100\_PINOUT\_CN.xlsx。
- 对于默认是输出信号的管脚上复用的 GPIO，请注意对接芯片和器件的管脚必须是输入。
- 由于管脚 SDIO0\_CCLK\_OUT、SDIO0\_CCMD 和 SDIO0\_CDATA0~3 ( 对应 GPIO8\_1、GPIO8\_2、GPIO8\_3、GPIO8\_4、GPIO8\_5 和 GPIO8\_6 ) 是由芯片内部的 powerswitch0 供电，所以当这些管脚用于 GPIO 功能时，需要把 powerswitch0 的控制配置为由 MISC\_CTRL3 寄存器控制，即配置 MISC\_CTRL3[powerswitch0\_sel\_mux]为 0x1，MISC\_CTRL3[powerswitch0\_enable\_mux]为 0x1，MISC\_CTRL3[powerswitch0\_enable]为 0x1。对于这些管脚，若要支持的电压为 3.3V，则需要配置 MISC\_CTRL3[powerswitch0\_sel]为 0x0；若要支持的电压为 1.8V，则需要配置 MISC\_CTRL3[powerswitch0\_sel]为 0x1，同时电源管脚 DVDD18\_SDIO 必须接上 1.8V 电源。
- 由于管脚 SDIO1\_CCLK\_OUT、SDIO1\_CCMD 和 SDIO1\_CDATA0~3 ( 对应 GPIO9\_2、GPIO9\_3、GPIO9\_4、GPIO9\_5、GPIO9\_6 和 GPIO9\_7 ) 是由芯片内部的 powerswitch1 供电，所以当这些管脚用于 GPIO 功能时，需要把 powerswitch1 的控制配置为由 MISC\_CTRL3 寄存器控制，即配置 MISC\_CTRL3[powerswitch1\_sel\_mux]为 0x1，MISC\_CTRL3[powerswitch1\_enable\_mux]为 0x1，MISC\_CTRL3[powerswitch1\_enable]为 0x1。对于这些管脚，若要支持的电压为 3.3V，则需要配置 MISC\_CTRL3[powerswitch1\_sel]为 0x0；若要支持的电压为 1.8V，则需要配置 MISC\_CTRL3[powerswitch1\_sel]为 0x1，同时电源管脚 DVDD18\_SDIO 必须接上 1.8V 电源。

## 12.7.2 特点

每个 GPIO 管脚均可配置为输入、输出。

- 作为输入管脚时，可作为中断源。
- 作为输出管脚时，每个 GPIO 管脚都可以独立地清 0 或置 1。



## 12.7.3 工作方式

### 接口复位

在芯片上电复位或系统复位时，GPIO 模块同时被复位，GPIO 管脚在复位之后处于输入状态。

### 通用输入输出

每个管脚可以配置为输入或者输出，具体步骤如下：

- 步骤 1. 参考“管脚复用控制寄存器”配置管脚的相应位，使能需要使用的 GPIO 管脚功能。
- 步骤 2. 配置寄存器 `GPIO_DIR`，选择 GPIO 是作为输入还是输出。
- 步骤 3. 当配置成输入管脚时，读取 `GPIO_DATA` 寄存器可查看输入信号值；当配置成输出管脚时，通过向 `GPIO_DATA` 寄存器写入输出值可控制 GPIO 管脚输出电平。

----结束



### 注意

当 GPIO 用作输出时，应不使能 GPIO 的中断功能，否则当输出信号符合中断产生条件时，会产生 GPIO 中断。

### 中断操作

GPIO 的中断通过 `GPIO_IS` 等 7 个寄存器进行控制。通过这些寄存器可以选择中断源、极性以及边沿特性。GPIO 对应的中断号请参见“3.3 中断系统”。

当有多个中断同时发生时，将会统一汇集成一个中断进行上报，GPIO 的中断映射关系请参见“3.3 中断系统”。

`GPIO_IS`、`GPIO_IBE`、`GPIO_IEV` 三个寄存器共同决定了中断源的特性和中断触发类别。

通过 `GPIO_RIS` 和 `GPIO_MIS` 分别读取中断的原始状态和屏蔽后的状态。通过 `GPIO_IE` 可以控制中断的最终上报情况。此外还提供了单独的 `GPIO_IC` 用于对中断状态进行清除控制。

每个 GPIO 管脚都可以配置成中断模式，配置步骤如下：

- 步骤 1. 配置 `GPIO_IS`，选择边沿触发或电平触发。
- 步骤 2. 配置 `GPIO_IEV`，选择下降沿/上升沿触发和高电平/低电平触发。
- 步骤 3. 如果选择边沿触发，需配置 `GPIO_IBE`，选择单沿或双沿触发方式。
- 步骤 4. 向寄存器 `GPIO_IC` 写 0xFF，清中断。



步骤 5. 配置 `GPIO_IE` 为 1，使能中断。

---结束



### 注意

初始化过程中需 GPIO 管脚上数据保持稳定，以免产生假中断。

GPIO 的中断设置由 7 个寄存器控制。当有一个或多个 GPIO 管脚产生中断，一个组合中断输出会送到中断控制器。边沿触发和电平触发有以下不同：

- 边沿触发的中断：软件必需清除该中断以使能更深的中断。
- 电平触发的中断：外部中断源应该保持该电平直到处理器识别到该中断。

## 12.7.4 GPIO 寄存器概览

14 组 GPIO 寄存器的基地址如表 12-27 所示。

表12-27 14 组 GPIO 寄存器对应的基地址

寄存器	基地址
GPIO13	0x1214_D000
GPIO12	0x1214_C000
GPIO11	0x1214_B000
GPIO10	0x1214_A000
GPIO9	0x1214_9000
GPIO8	0x1214_8000
GPIO7	0x1214_7000
GPIO6	0x1214_6000
GPIO5	0x1214_5000
GPIO4	0x1214_4000
GPIO3	0x1214_3000
GPIO2	0x1214_2000
GPIO1	0x1214_1000
GPIO0	0x1214_0000

表 12-28 是单组 GPIO 内部寄存器的偏移地址以及定义，GPIO0~GPIO13 具有相同的寄存器组。



说明

- GPIO<sub>n</sub> 对应的寄存器地址为：GPIO<sub>n</sub> 基地址+该寄存器偏移地址。
- n 的取值范围：[0, 13]

表12-28 GPIO 寄存器概览

偏移地址	名称	描述	页码
0x000~0x3FC	GPIO_DATA	GPIO 数据寄存器	12-157
0x400	GPIO_DIR	GPIO 方向控制寄存器	12-158
0x404	GPIO_IS	GPIO 中断触发寄存器	12-158
0x408	GPIO_IBE	GPIO 双沿触发中断寄存器	12-159
0x40C	GPIO_IEV	GPIO 触发中断条件寄存器	12-159
0x410	GPIO_IE	GPIO 中断屏蔽寄存器	12-160
0x414	GPIO_RIS	GPIO 原始中断状态寄存器	12-160
0x418	GPIO_MIS	GPIO 屏蔽状态中断寄存器	12-161
0x41C	GPIO_IC	GPIO 中断清除寄存器	12-161

## 12.7.5 GPIO 寄存器描述

### GPIO\_DATA

GPIO\_DATA 为 GPIO 数据寄存器。用来对输入或输出数据进行缓存。

当配置 GPIO\_DIR 中对应位为输出时，写入 GPIO\_DATA 寄存器的值将会输出到相应的管脚（注意需要配置正确的管脚复用）；如果配置为输入时，将会读取相应输入管脚的值。



注意

当 GPIO\_DIR 相应的比特配置为输入时，有效读取的结果将返回管脚的值；当配置为输出的时候，有效读取的结果将返回写入的值。

GPIO\_DATA 寄存器利用 PADDR[9:2]实现了读写寄存器比特的屏蔽操作。该寄存器对应 256 个地址空间。PADDR[9:2]分别对应 GPIO\_DATA[7:0]，当相应的 bit 为高时，则可以对相应的位进行读写操作；反之，若对应 bit 为低则不能进行操作。例如：

- 若地址为 0x3FC ( 0b11\_1111\_1100 )，则对 GPIO\_DATA[7:0]这 8bit 操作全部有效。



- 若地址为 0x200 ( 0b10\_0000\_0000 ), 则仅对 GPIO\_DATA[7]的操作有效。

Offset Address		Register Name		Total Reset Value				
0x000~0x3FC		GPIO_DATA		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_data							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_data	当 GPIO 配置为输入模式时, 为 GPIO 输入数据; 当 GPIO 配置为输出模式时, 为输出数据。各比特均可独立控制。与 <a href="#">GPIO_DIR</a> 配合使用。					

## GPIO\_DIR

GPIO\_DIR 为 GPIO 方向控制寄存器。用来配置 GPIO 管脚方向。

Offset Address		Register Name		Total Reset Value				
0x400		GPIO_DIR		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_dir							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_dir	GPIO 方向控制寄存器。bit[7:0]分别对应 <a href="#">GPIO_DATA</a> [7:0], 各比特可独立控制。 0: 输入; 1: 输出。					

## GPIO\_IS

GPIO\_IS 为 GPIO 中断触发寄存器。用来配置 GPIO 管脚触发电平方式。



Offset Address		Register Name		Total Reset Value				
0x404		GPIO_IS		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_is							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_is	GPIO 中断触发控制寄存器，bit[7:0]分别对应 <a href="#">GPIO_DATA[7:0]</a> ，各比特独立控制。 0: 边沿触发中断； 1: 电平触发中断。					

## GPIO\_IBE

GPIO\_IBE 为 GPIO 双沿触发中断寄存器。用来配置 GPIO 管脚沿触发方式。

Offset Address		Register Name		Total Reset Value				
0x408		GPIO_IBE		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ibe							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ibe	GPIO 中断沿触发控制寄存器，bit[7:0]分别对应 <a href="#">GPIO_DATA[7:0]</a> ，各比特独立控制。 0: 单边沿触发中断，具体是上升沿还是下降沿触发由 <a href="#">GPIO_IEV</a> 控制； 1: 双边触发中断。					

## GPIO\_IEV

GPIO\_IEV 为 GPIO 触发中断条件寄存器。用来配置 GPIO 管脚触发中断条件。



Offset Address		Register Name		Total Reset Value				
0x40C		GPIO_IEV		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_iev							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_iev	GPIO 触发中断条件寄存器，bit[7:0]分别对应 <a href="#">GPIO_DATA[7:0]</a> ，各比特独立控制。 0：下降沿或低电平触发中断； 1：上升沿或高电平触发中断。					

## GPIO\_IE

GPIO\_IE 为 GPIO 中断屏蔽寄存器。用来屏蔽 GPIO 管脚中断。

Offset Address		Register Name		Total Reset Value				
0x410		GPIO_IE		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ie							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ie	GPIO 中断屏蔽寄存器，bit[7:0]分别对应 <a href="#">GPIO_DATA[7:0]</a> ，各比特独立控制。 0：屏蔽中断； 1：不屏蔽中断。					

## GPIO\_RIS

GPIO\_RIS 为 GPIO 原始中断状态寄存器。用来查询 GPIO 管脚原始中断状态。





Offset Address		Register Name		Total Reset Value				
0x414		GPIO_RIS		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ris							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_ris	GPIO 原始中断寄存器，bit[7:0]分别对应 <a href="#">GPIO_DATA[7:0]</a> ，指示未屏蔽的中断状态。该状态不受 <a href="#">GPIO_IE</a> 寄存器屏蔽控制。 0：未发生中断； 1：已发生中断。					

## GPIO\_MIS

GPIO\_MIS 为 GPIO 屏蔽状态中断寄存器。用来查询 GPIO 管脚屏蔽后的中断状态。

Offset Address		Register Name		Total Reset Value				
0x418		GPIO_MIS		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_mis							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_mis	GPIO 屏蔽后中断寄存器，bit[7:0]分别对应 <a href="#">GPIO_DATA[7:0]</a> ，指示经屏蔽后的中断状态。该状态受 <a href="#">GPIO_IE</a> 寄存器屏蔽控制。 0：中断无效； 1：中断有效。					

## GPIO\_IC

GPIO\_IC 为 GPIO 中断清除寄存器。用来清除 GPIO 管脚产生的中断，同时清除 [GPIO\\_RIS](#) 寄存器和 [GPIO\\_MIS](#) 寄存器。



	Offset Address			Register Name			Total Reset Value	
	0x41C			GPIO_IC			0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_ic							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	WC	gpio_ic	GPIO 中断清除寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特可独立控制。 0：无影响； 1：清除中断。					

## 12.8 PCI Express

### 12.8.1 概述

Hi3519V100 的 PCI Express（以下简称 PCIe）主要应用于 PCIe 外扩 SATA、网口、WIFI 以及片间级联等。

### 12.8.2 特点

Hi3519V100 中 PCI Express 控制器具有以下特点：

- 支持一个 PCI Express Gen2 X1 控制器。
- 支持 1 VC，1 TC。
- 支持 RC 模式。
- 支持 EP 模式。
- 支持 DMA 功能。

### 12.8.3 信号描述

Hi3519V100 中 PCI Express 接口信号描述如下：

表12-29 PCI Express 接口信号描述

信号名称	方向	描述	对应管脚
Refclk_m	I	PCIe 参考时钟管脚负极	PCIE_REFCLKM
Refclk_p	I	PCIe 参考时钟管脚正极	PCIE_REFCLKP
Rx_m	I	PCIe 接收差分信号负极	USB3_PCIE_RXM



信号名称	方向	描述	对应管脚
Rx_p	I	PCIe 接收差分信号正极	USB3_PCIE_RXP
Tx_m	O	PCIe 发送差分信号负极	USB3_PCIE_TXM
Tx_p	O	PCIe 发送差分信号正极	USB3_PCIE_TXP



### 注意

在 Hi3519V100 芯片中，由于 PCI Express 接口与 USB3.0 的 Port 接口信号是复用的，因此当这些信号被用作 PCI Express 接口时，USB3.0 功能不可用。

可以通过如下管脚确认此接口设置为 PCI Express 模式：

- 芯片的管脚 VO\_DATA7 必须设置为接下拉电阻。

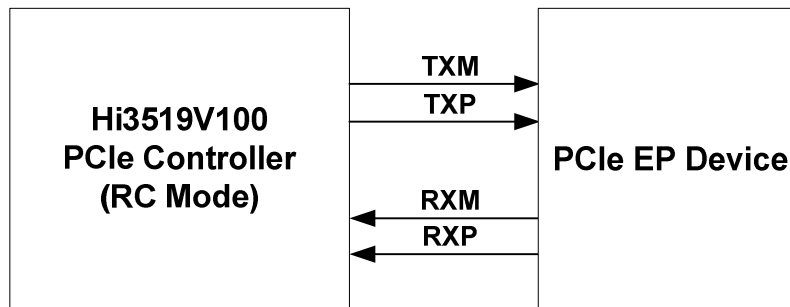
## 12.8.4 功能描述

### RC (Root-Complex) 模式

Hi3519V100 PCIe 接口在 RC 模式下可与其它 PCIe EP 设备进行对接以实现功能扩展。

PCIe 控制器 RC 模式下的应用框图如图 12-52 所示。

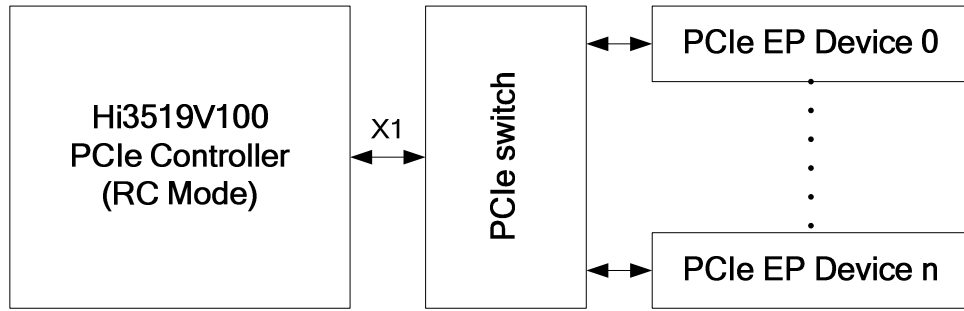
图12-52 PCIe 控制器应用框图 (RC 模式外接 EP 设备)



Hi3519V100 PCIe 控制器还可以连接 SWITCH 设备，实现更多数量的功能扩展，RC 模式下与 SWITCH 设备连接应用框图如图 12-53 所示。



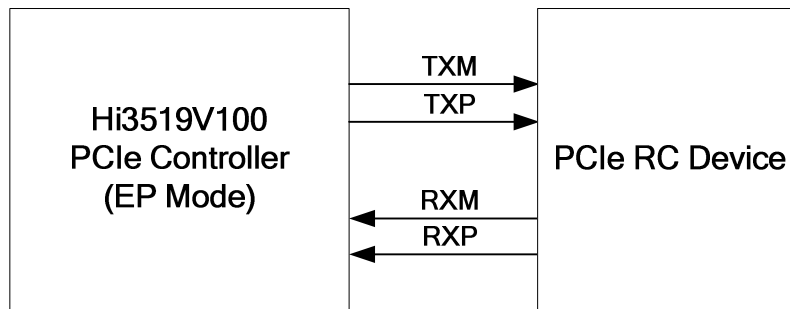
图12-53 PCIe 控制器与 PCIe switch 设备连接应用框图（RC 模式）



## EP（End-Point）模式

Hi3519V100 中的 PCIe 接口可以设置为 EP 模式，以实现与 PCIe RC 或 SWITCH 设备对接。

图12-54 Hi3519V100 与 RC 设备连接应用框图（EP 模式）



## 12.8.5 工作方式

### 12.8.5.1 时钟和复位

#### 时钟设置

PCIe PHY 工作时需要一个 100MHz 的参考时钟，此参考时钟有两个来源：

- Hi3519V100 内部 CRG  
将芯片 VO\_DATA5 下拉，此时 PCIe 接口时钟管脚被设置成输出模式，Hi3519V100 接受内部 CRG 产生的时钟作为 PHY 参考时钟并将此内部差分时钟通过 PCI Express 时钟管脚输出给对端设备作为参考时钟使用。
- 外部 PCIe 差分时钟  
将芯片 VO\_DATA5 上拉，此时 PCIe 接口时钟管脚被设置成输入模式，接受外部差分时钟作为 PHY 的参考时钟。



## PCIe 软复位

软件可通过 PCI Express 复位寄存器来控制 PCI Express 复位，PCI Express 控制器复位寄存器位于 CRG 寄存器中的 PERI\_CRG44 寄存器，请参考 CRG 寄存器中关于 PERI\_CRG44 寄存器的描述。

### 12.8.5.2 使能 PCIe 控制器

按如下步骤使能 PCIe 控制器：

- 步骤 1. 通过向 PCIe 内部系统控制寄存器 `PCIE_SYS_CTRL7[pcie_app_ltssm_enable]` 写入 0，关闭 PCIe 控制器。
- 步骤 2. 设置 CRG 寄存器 PERI\_CRG44 使能 PCIe 控制器时钟。
- 步骤 3. 通过 PCIe 内部系统控制寄存器中的 `PCIE_SYS_CTRL0[pcie_device_type]` 寄存器设置 PCIe 控制器的工作模式(RC 模式/EP 模式)。
- 步骤 4. 向 CRG 寄存器 PERI\_CRG44[pcie\_bus\_srst\_req]写 1，以复位 PCIe 控制器。
- 步骤 5. 向 CRG 寄存器 PERI\_CRG44[pcie\_bus\_srst\_req]写 0，以撤销 PCIe 控制器复位。
- 步骤 6. 当工作在 RC 模式时，需要配置对应的控制器的类代码寄存器（CLASS Code Register）为 0x060400（对应为 PCI 到 PCI 桥设备）。PCIe 控制器的类代码寄存器位于各自的 PCIe 配置寄存器空间内。
- 步骤 7. 通过向 PCIe 内部系统控制寄存器 `PCIE_SYS_CTRL7[pcie_app_ltssm_enable]` 写入 1，使能 PCIe 控制器。PCIe 控制器使能后，PCIe 控制器开始链路建立过程。

---结束



#### 注意

在没有初始化好相关的系统控制器之前不要使能 PCIe 控制器。

链路初始化和定向是配置和初始化设备物理层、端口和相关链路的物理层的过程，使链路可以传输正常的数据包流量。链路的建立均是由硬件自动完成的，完成 PCIe 控制器的初始化和使能后，PCIe 链路的建立自动发起，无需任何软件参与。

PCIe 控制器与对端设备之间的连接未建立，不可向对端设备发起任何 PCIe 事务。

软件通过查询系统控制寄存器 `PERI_PCIE_STAT0 [pcie_rdlh_link_up]` 可以确定 PCIe 控制器是否已与对端设备建立连接。

请参考系统控制器中关于 `PERI_PCIE_STAT0` 寄存器的定义。

### 12.8.5.3 发起 PCIe 事务

通过本地总线接口，可以由 CPU 发起总线读写操作，经地址转换单元转换为对应的 PCIe 事务。



## 配置事务

只有在 RC 模式下才可以发起配置事务。

由 12.8.5.5 地址转换一节中可知，PCIe 控制器的配置事务地址空间为 0x20000000~0x27FFFFFFF。

PCIe 控制器的地址转换单元负责将在 0x20000000~0x27FFFFFFF 地址范围内的本地总线操作转换为对应的 PCIe 配置事务。

CPU 在本地总线上发起总线读/写请求，且总线地址各字段组成如图 12-55 配置，就可由 PCIe 控制器发出配置读/写事务。

图12-55 PCIe 控制器配置事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	2		0	BUS_ID				DEV_ID			FUN_ID			REG_NUM					0													

其中：

- BUS\_ID: 配置事务的目标总线号。
- DEV\_ID: 配置事务的目标设备号。
- FUN\_ID: 配置事务的目标功能号。
- REG\_NUM: 配置事务的目标寄存器号



### 注意

PCIe 控制器中的 ATU 应该实现类型 0 和类型 1 配置事务转换区(CFG TYPE0 & CFG TYPE 1)，以实现发起类型 0 和类型 1 的配置事务。设置参考如下：

假设 PCIe 控制器的总线号为 I, 下一级设备总线号为 J(J=I+1), 总线号为 J 的总线下一级总线号为 K(K=I+2)。

按照 PCIe 协议，由 PCIe 控制器对总线号为 J 的总线发起的配置操作为类型 0 的配置事务，对总线号大于 J 的总线发起的配置操作为类型 1 的操作。

因此需创建一个地址转换区，实现由本地总线地址 0x20J00000 ~ 0x20JFFFFFF 转换为类型 0 配置操作的地址转换区域；同时创建一个地址转换区，实现由本地总线地址 0x20K00000 ~ 0x27FFFFFFF 转换为类型 1 配置事务的地址转换区域。

## 存储器事务

RC 和 EP 模式下，CPU 在存储器地址空间内发起的总线读/写操作将转化为 PCIe 总线上的 PCIe 存储器读/写事务。



CPU 在本地总线上发起读/写请求，且总线地址各字段组成如图 12-56 配置，就可由 PCIe 控制器发起存储器读/写事务。

图12-56 PCIe 控制器存储器事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	2		1		Target_address[26:0]																											



**注意**

如果 PCIe 控制器中 ATU 没有设置原始地址范围在 0x28000000 ~ 0x2FFFFFFF 内的地址转换区，则不会对总线上地址在 0x28000000 ~ 0x2FFFFFFF 内地址做地址转换操作，此时 PCIe 控制器只能发起地址为 0x28000000 ~ 0x2FFFFFFF 内的存储器事务。

如果需要由 PCIe 控制器发起 0x28000000 ~ 0x2FFFFFFF 地址范围之外的存储器事务，例如需发起 0x50000000 ~ 0x5FFFFFFF 的存储器事务，PCIe 控制器需创建一个地址转换区域实现地址 0x28000000 ~ 0x2FFFFFFF 到地址 0x50000000 ~ 0x5FFFFFFF 的地址映射。这样，CPU 在本地总线上发起的地址 0x28000000 ~ 0x2FFFFFFF 的读写事务可以通过地址转换单元转换为对 0x50000000 ~ 0x5FFFFFFF 的存储器读写事务。

## IO 事务

CPU 在本地总线上发起读/写请求，且总线地址各字段组成如图 12-57 配置，就可由 PCIe 控制器发起 IO 读/写事务。

图12-57 PCIe 控制器 IO 事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	2		Target_address[27:0]																													



**注意**

PCIe 控制器中的 ATU 应该实现 IO 事务转换区，以实现将本地总线操作转换为 PCIe IO 事务的功能。且在本地总线上发起的操作地址在此 IO 事务转换区的原始地址范围内。

由于 IO 事务主要是为了兼容 PCI 卡，当前芯片没有预留专用的 IO 地址空间。



但 IO 地址空间可以利用 0x20000000 ~ 0x27FFFFFF (PCIe 配置事务空间) 或者 0x28000000 ~ 0x2FFFFFFF (PCIe 存储器事务空间) 中, 剩余没有分配的地址进行 IO 事务的转换。

例如: 如果需要由 PCIe 控制器发起 0x28000000 ~ 0x2FFFFFFF 地址范围之外的 IO 事务, 例如需发起 0x50000000 ~ 0x5FFFFFFF 的 IO 事务, PCIe 控制器需创建一个地址的 IO 事务转换区域实现地址 0x28000000 ~ 0x2FFFFFFF 到地址 0x50000000 ~ 0x5FFFFFFF 的地址映射。这样, CPU 在本地总线上发起的地址 0x28000000 ~ 0x2FFFFFFF 的读写事务可以通过地址转换单元转换为对 0x50000000 ~ 0x5FFFFFFF 的 IO 读写事务。

#### 12.8.5.4 使用 DMA 传输

Hi3519V100 PCIe 控制器内含 DMA 控制器, DMA 控制器包含有两个 DMA 通道 (一个 DMA 读通道和一个 DMA 写通道)。PCIe 控制器内包含的 DMA 控制器用于大数据量存储器读写事务, 以提高在数据传输的速率。

DMA 控制器可以实现如下的存储器读写事务:

- DMA 写: 将一块数据从本地内存空间搬移至对端设备的内存空间。
- DMA 读: 将一块数据从对端设备的内存空间搬移至本地内存空间。

通过配置 DMA 控制寄存器能够实现 DMA 读通道和 DMA 写通道的全双工工作, 即 DMA 读操作和 DMA 写操作可以同时进行。

#### DMA 控制寄存器

软件可通过 DMA 控制寄存器来配置 DMA 传输, 也可以通过 DMA 控制寄存器启动和停止 DMA 传输。DMA 控制寄存器位于 PCIe 控制器的配置寄存器空间内, DMA 控制寄存器的定义请参考本章的 PCIe 寄存器描述。



#### 注意

为了减少 DMA 控制寄存器占用的配置寄存器空间, 部分 DMA 控制寄存器地址是 DMA 读通道和 DMA 写通道共用。当需要配置这部分寄存器时, 软件需要先通过配置 DMA 通道索引寄存器 (DMA\_CH\_INDEX) 以表明后续对这些寄存器的操作对象是写通道控制寄存器还是读通道控制寄存器。

这部分 DMA 控制寄存器包含:

1. DMA\_CH\_CTRL 寄存器
2. DMA\_TRANS\_SIZE 寄存器
3. DMA\_SAR\_LOW 和 DMA\_SAR\_HIGH 寄存器
4. DMA\_DAR\_LOW 和 DMA\_DAR\_HIGH 寄存器





例如：软件要设置 DMA 读通道 0 的 DMA 传输长度为 1024Byte，需按如下顺序操作：

软件设置 `DMA_CH_INDEX[ch_dir]=1`，表明后续操作目标寄存器为读通道控制寄存器。

软件设置 `DMA_TRANS_SIZE=0x400`，表明传输长度为 1024Byte。

## DMA 读写通道使能

DMA 通道在系统复位后默认是没有使能的，要使用 PCIe 的 DMA 通道，需使能 DMA 的读写通道。

- 通过设置 `DMA_RD_ENGINE_EN[dma_rd_engine_en]` 为 1，使能 DMA 读通道。
- 通过设置 `DMA_WR_ENGINE_EN[dma_wr_engine_en]` 为 1，使能 DMA 写通道。

## DMA 源地址和目标地址

DMA 写：源地址(SAR)为本地内存空间，目标地址(DAR)为对端设备内存空间。

DMA 读：源地址(SAR)为对端设备内存空间，目标地址(DAR)为本地内存空间。

配置 DMA 读或写通道的 `DMA_SAR_LOW` 和 `DMA_SAR_HIGH` 寄存器可以指定 DMA 传输的源地址，配置 DMA 读或写通道的 `DMA_DAR_LOW` 和 `DMA_DAR_HIGH` 寄存器可以指定 DMA 传输的目的地址。DMA 源地址和目的地址寄存器请参看 PCIe DMA 控制寄存器定义。

DMA 传输过程中，源地址和目的地址寄存器随着传输过程而递增。可以通过读取源地址和目的地址寄存器的值来确定 DMA 当前传输所获取数据的源地址和当前所写数据的目标地址。

DMA 源地址和 DMA 目的地址都是双字节对齐的，因此最低两比特都必须设置为 0。在传输过程中此最低两比特也一直为 0。

## DMA 传输长度

DMA 读或写操作的传输长度由 DMA 读或写通道的 `DMA_TRANS_SIZE` 寄存器来指定。该寄存器的值表示 DMA 请求传输的数据的字节数。在 DMA 传输过程，此寄存器的值会随着传输过程递减，可以通过读取此寄存器确定当前还有多少字节未传输。传输成功结束后此寄存器值应该为 0。

DMA 传输长度取值范围为：最小为 1 个字节，最大为 4G 字节。

## 启动 DMA 传输

在配置好 DMA 读通道的控制寄存器之后，通过向 `DMA_RD_DOORBELL[rd_doorbell_num]` 写入 0，启动 DMA 读传输。

在配置好 DMA 写通道的控制寄存器之后，通过向 `DMA_WR_DOORBELL[wr_doorbell_num]` 写入 0，启动 DMA 写传输。



## 停止 DMA 传输

在 DMA 传输过程中如果需要停止 DMA 传输，可以通过如下寄存器控制来手动停止 DMA 读或者 DMA 写传输：

- 通过向 [DMA\\_RD\\_DOORBELL\[dma\\_rd\\_stop\]](#) 写入 1，停止 DMA 读传输。
- 通过向 [DMA\\_WR\\_DOORBELL\[dma\\_wr\\_stop\]](#) 写入 1，停止 DMA 写传输。

如果 DMA 传输过程中没有发生错误，DMA 传输将在所有的数据传输完成后自动停止。

## DMA 中断

DMA 通道产生两种中断：

- 完成中断：表明 DMA 成功的完成了一次 DMA 传输。
- 中止中断：表明 DMA 传输不成功，或者传输过程中出现了错误。

DMA 读和 DMA 写通道共用同一个中断，CPU 接收到 PCIe DMA 本地中断后，通过查询 [DMA\\_RD\\_INT\\_STAT](#) 和 [DMA\\_WR\\_INT\\_STAT](#) 寄存器来确定是 DMA 读通道中断还是 DMA 写通道中断，以及是 DMA 完成中断还是 DMA 中止中断。请参考 PCIe DMA 寄存器中关于 [DMA\\_RD\\_INT\\_STAT](#) 和 [DMA\\_WR\\_INT\\_STAT](#) 的描述。

通过 [DMA\\_RD\\_INT\\_CLR](#) 和 [DMA\\_WR\\_INT\\_CLR](#) 寄存器，可以清除对应读或写通道的完成或中止中断。请参考寄存器中关于 [DMA\\_RD\\_INT\\_CLR](#) 和 [DMA\\_WR\\_INT\\_CLR](#) 的描述。

### 12.8.5.5 地址转换

#### 地址空间

Hi3519V100 中 PCIe 控制器使用三个地址空间：

- 配置寄存器空间：CPU 通过此空间可以访问 PCIe 控制器的配置寄存器。
- 存储器和 IO 事务地址空间：CPU 通过此空间可发起 PCIe 存储器或 IO 事务。
- 配置事务地址空间：CPU 通过此空间可发起 PCIe 配置读写事务。

PCIe 控制器使用的三个地址空间如表 12-30 所示。

表12-30 PCIe 控制器相关地址空间

地址空间类型	大小	起始地址	结束地址	说明
PCIe 内部配置寄存器空间	4K	0x12160000	0x12160FFF	此空间为 PCI Express 协议所定义的配置寄存器空间和 PCIe 内部系统控制寄存器空间。
PCIe 内部系统控制寄存器空间	4K	0x12161000	0x12161FFF	此空间为 PCI Express P 内部系统控制寄存器空间。



存储器和 IO 事务地址空间	128M	0x20000000	0x27FFFFFF	在此空间内的读写操作将在 PCIe 链路上转换为 PCIe 协议所定义的存储器读写或 I/O 读写事务（需地址转换功能配合，地址转换功能请参考下一节）。
配置事务地址空间	128M	0x28000000	0x2FFFFFFF	在此空间内的读写操作将在 PCIe 链路上转换为 PCIe 协议所定义的类型 0 配置事务或者类型 1 配置事务（需地址转换功能配合，地址转换功能请参考下一节）。

在上述地址空间中，除了地址“配置寄存器空间”的目标地址是 PCIe 控制器自身外，其余的地址空间的目标地址都是跟 PCIe 控制器建立连接的对端设备。地址转换单元实现将不同的地址空间范围内的操作转换为对应的 PCIe 事务，或者实现目标地址转换的功能。

## 地址转换单元(ATU)

在不同的应用中，事务类型转换和目标地址转换的配置可能不同，Hi3535 中提供了地址转换单元（ATU）用来实现本地总线上不同地址的读写操作到 PCIe 事务类型的转换，也可以通过地址转换单元(ATU)实现目标地址的转换的功能。

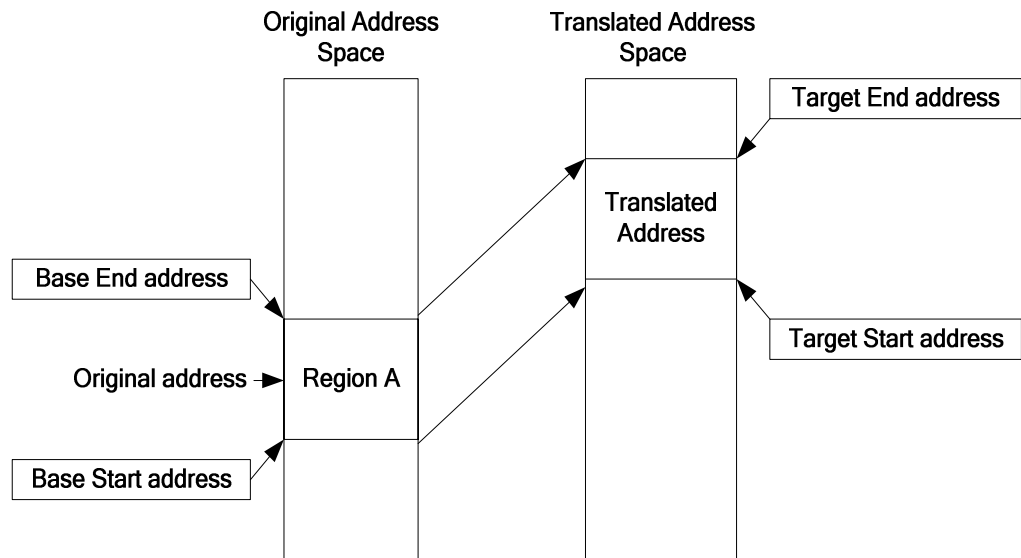
Hi3535 中对发送方向和接收方向各提供了 6 个地址转换区，每一个区可单独实现某一种事务类型或地址转换功能。

发送方向的地址转换单元可实现由本地总线操作的地址到 PCIe 事务类型的转换或者本地总线操作的地址到 PCIe 事务地址的转换。

由本地操作地址到 PCIe 事务地址转换如图 12-58 所示，本地总线上的地址原始地址 (Original address)如果在地址转换区 Region A 的范围内，则地址转换单元将此地址转换为经此地址转换区域转换后的地址(Translated Address)，在 PCIe 总线上出现的 PCIe 事务中的地址将由转换后的地址(Translated Address)来代替。



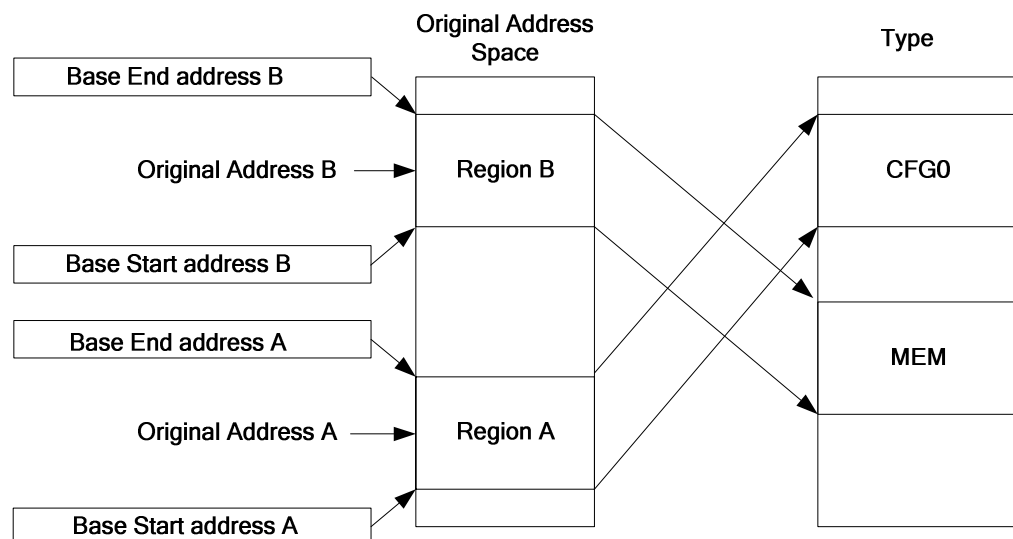
图12-58 发送方向地址转换单元实现 PCIe 事务地址转换



$$\text{Translated Address} = \text{Target Start Address} + \text{Original Address} - \text{Base Start address}$$

由本地操作地址到 PCIe 事务类型转换如图 12-59 所示，地址转换区 A 配置为某段地址范围到 PCIe 配置 0 事务（CFG Type 0）的转换区域，本地操作地址在地址转换区 A 范围内的操作将会转换为 PCIe 总线上的 CFG0 操作。地址转换区 B 配置为某段地址范围到 PCIe 存储器事务的转换区域，本地操作地址在地址转换区 B 范围内的操作将转换为 PCIe 总线上的存储器事务。

图12-59 发送方向地址转换单元实现 PCIe 事务类型转换

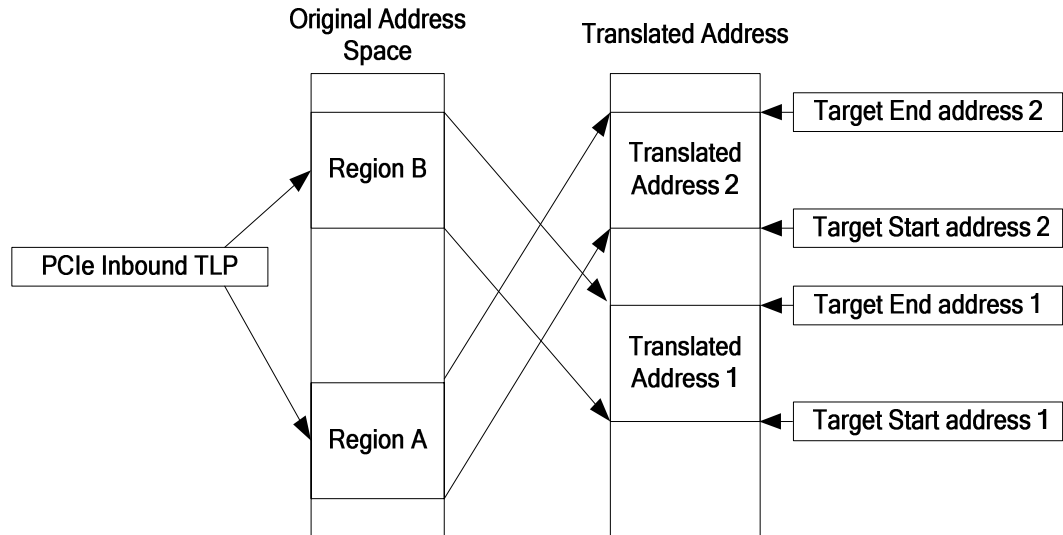


通过灵活配置每个发送方向的地址转换区域，可以实现多种不同的由本地总线操作到 PCIe 事务的转换方式。



与发送方向类似，接收方向也有地址转换单元可实现 PCIe 事务到内部总线的地址转换。如图 12-60 所示，接收方向接收到的 PCIe 事务经地址转换区 A 或 B 转换后，可将对应的操作转换到地址区域 Translated Address 1 或 Translated Address 2 上，若 Translated Address 1 对应为 DDR 内存地址空间，则可将从 PCIe 总线上接收到的满足地址转换区域条件的操作转化为对 DDR 内存空间的操作。

图12-60 接收方向地址转换单元实现 PCIe 事务地址转换



## ATU 控制寄存器

发送和接收方向的地址转换单元在系统复位后是默认未使能的，因此在系统复位后，需根据需要对地址转换单元进行配置，并使之使能以实现地址转换功能。

Hi3519V100 在 PCIe 配置寄存器空间内提供了一组寄存器接口用以配置地址转换单元 (ATU)。通过这一组寄存器，可以实现对发送方向和接收方向的各 6 个地址转换区进行配置。

ATU 设置步骤如下：

- 步骤 1. 设置 ATU 区域号寄存器为需要配置的地址转换区编号。
- 步骤 2. 设置 ATU Region Lower Base Address Register 和 ATU Region Upper Base Address Register。（在此区域内的目标地址将由区域号寄存器所在的 ATU 转换）
- 步骤 3. 设置 ATU Region Limit Address Register。
- 步骤 4. 设置 ATU Region Lower Target Address Register 和 ATU Region Upper Target Address Register。
- 步骤 5. 设置 ATU Region Control 1 Register。
- 步骤 6. 设置 ATU Region Control 2 Register 并使能此 ATU Region。。

----结束



### 注意

为了减少 ATU 控制寄存器占用的配置寄存器空间，发送和接收方向的各 6 个 ATU 区域都是由同一组寄存器来配置，当需要对其中一个 ATU 区域进行配置时，必须先设置 `ATU_VIEWPORT` 寄存器，以表明后续对 ATU 寄存器的操作目标是哪一个 ATU 区域的 ATU 控制寄存器。

例如：当需要将发送方向的 ATU 区域 3 设置为一个地址转换区域并使之有效，需按如下步骤设置：

1. 设置 `ATU_VIEWPORT[atu_reg_region_dir]=0x0`，表明操作对象是发送方向的 ATU 区域寄存器。
2. 设置 `ATU_VIEWPORT[atu_reg_region_index]=0x3`，表明操作对象是发送方向的 ATU 区域 3。
3. 按此 ATU 区域特性设置其他的 ATU 寄存器。

## ATU 设置

在系统上电复位之后，ATU 寄存器未配置，ATU 功能未启用，不能实现地址转换和事务类型转换的功能。此时本地总线上的发起的地址在配置事务空间或存储器和 IO 事务空间内的操作都传递为 PCIe 总线上的存储器事务，PCIe 控制器无法发起配置事务或者 IO 事务，也无法实现地址转换的功能。

要使 PCIe 控制器能够发出配置事务或者 IO 事务，或者实现地址映射功能，必须通过 ATU 配置寄存器创建地址转换区域。

RC 模式下，RC 需具备将本地总线上发起的操作转换为 PCIe 总线上的配置事务的能力，为了实现将本地总线操作转换为不同的 PCIe 事务，至少需要设置如下发送方向的 ATU 区：

- 区域 1：类型 0 配置事务转换区，此区实现将本地总线操作转换为类型 0 配置事务 (CFG0)。
- 区域 2：类型 1 配置事务转换区，此区实现将本地总线操作转换为类型 1 配置事务 (CFG1)。
- 区域 3：IO 操作转换区，此区实现将本地总线操作转换为 IO 读写事务。

以上三个区域即可实现 RC 模式的基本的事务类型转换。如有需要，可根据实际情况调整三个区域的配置，也可以增加地址转换区的数量（发送方向最多为 6 个地址转换区）。

EP 模式下，ATU 输入区域需配置以实现的对端设备对 Hi3519V100 内部地址空间的访问。此配置可根据实际应用需要进行。



例如在 EP 模式下，将对端 RC 设备访问 Hi3519V100 PCIe BAR0 地址空间的操作映射至 DDR 内存空间的读写操作，可将接收方向的地址转换区 0 配置为 BAR 地址匹配模式下的 BAR0 到 DDR 内存地址的地址转换区域。

## 12.8.6 PCI Express 控制器寄存器

PCIe 控制器配置寄存器空间里包含有 PCIe 标准寄存器。

当 PCIe 控制器配置为 RC 模式时，此 PCIe 控制器配置寄存器空间里包含类型 1 的 PCIe 配置寄存器头；当 PCIe 控制器设置为 EP 模式时，此 PCIe 控制器配置寄存器空间里包含类型 0 的 PCIe 配置寄存器头。

关于类型 0 和类型 1 配置寄存器头的定义，请参考 PCIe 规范，此处不再详述。

下面只针对 Hi3519V100 中厂商定义的寄存器做详细描述。

### 12.8.6.1 PCIe\_iATU 寄存器概览

PCIe\_iATU 寄存器概览如表 12-31 所示。

表12-31 PCIe\_iATU 寄存器概览（基址是 0x1216\_0000）

偏移地址	名称	描述	页码
0x0900	ATU_VIEWPORT	ATU 区域号寄存器	12-175
0x0904	ATU_REGION_CTRL1	ATU 区域控制寄存器	12-176
0x0908	ATU_REGION_CTRL2	ATU 区域控制寄存器	12-177
0x090C	ATU_BASE_LOW	ATU 基地址低位寄存器	12-180
0x0910	ATU_BASE_HIGH	ATU 基地址高位寄存器	12-181
0x0914	ATU_LIMIT	ATU 地址界限寄存器	12-181
0x0918	ATU_TARGET_LOW	ATU 目标地址低位寄存器	12-182
0x091C	ATU_TARGET_HIGH	ATU 目标地址高位寄存器	12-182

### 12.8.6.2 PCIe\_iATU 寄存器描述

#### ATU\_VIEWPORT

ATU\_VIEWPORT 为 ATU 区域号寄存器。



Offset Address		Register Name		Total Reset Value					
0x0900		ATU_VIEWPORT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	atu_reg_region_dir							atu_reg_region_index	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	atu_reg_region_dir	区域方向。 表明是发送还是接收地址转换区域，与区域号配合使用以确定操作的具体 ATU 区域。 0：输出地址转换区域； 1：输入地址转换区域。						
[30:4]	RO	reserved	保留。						
[3:0]	RW	atu_reg_region_index	区域编号。 表明地址转换控制寄存器操作对应的区域号。 区域号赋值范围为 0~5。						

## ATU\_REGION\_CTRL1

ATU\_REGION\_CTRL1 为 ATU 区域控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x0904		ATU_REGION_CTRL1		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved			atu_reg_func_num	reserved	atu_reg_at	reserved	atu_reg_attr	atu_reg_id	atu_reg_ic	atu_reg_type
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description								
[31:23]	RO	reserved	保留。								





[22:20]	RW	atu_reg_func_num	<p>功能号。</p> <p>发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中功能号字段换成此寄存器的值。</p> <p>接收(Inbound): 当接收到的 TLP 包中与此寄存器值相对应的功能号的 BAR 地址匹配时, 则对此接收的 TLP 做地址转换处理(仅当接收区域匹配模式为 BAR 地址匹配时)。</p>
[19:18]	RO	reserved	保留。
[17:16]	RW	atu_reg_at	<p>AT 字段。</p> <p>发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 AT 字段换成此寄存器的值。</p> <p>接收(Inbound): 当接收到的 TLP 包中 AT 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。</p>
[15:11]	RO	reserved	保留。
[10:9]	RW	atu_reg_attr	<p>ATTR 字段。</p> <p>发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 ATTR 字段换成此寄存器的值。</p> <p>接收(Inbound): 当接收到的 TLP 包中 ATTR 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。</p>
[8]	RW	atu_reg_td	<p>TD 字段。</p> <p>发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 TD 字段换成此寄存器的值。</p> <p>接收(Inbound): 当接收到的 TLP 包中 TD 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。</p>
[7:5]	RW	atu_reg_tc	<p>TC 字段。</p> <p>发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 TC 字段换成此寄存器的值。</p> <p>接收(Inbound): 当接收到的 TLP 包中 TC 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。</p>
[4:0]	RW	atu_reg_type	<p>TYPE 字段。</p> <p>发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 TYPE 字段换成此寄存器的值。</p> <p>接收(Inbound): 当接收到的 TLP 包中 TYPE 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。</p>

## ATU\_REGION\_CTRL2

ATU\_REGION\_CTRL2 为 ATU 区域控制寄存器。



		Offset Address								Register Name								Total Reset Value															
		0x0908								ATU_REGION_CTRL2								0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		atu_reg_region_enable	atu_reg_in_bar_match	reserved	atu_reg_shift	atu_reg_fuzzy	reserved	atu_reg_rsp_code	reserved	atu_reg_msgcode_match_en	reserved	atu_reg_func_match_en	atu_reg_at_match_en	reserved	atu_reg_attr_match_en	atu_reg_id_match_en	atu_reg_tc_match_en	reserved	atu_reg_bar_num	atu_reg_msg_code													
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31]	RW	atu_reg_region_enable		ATU 区域使能。 0: 不使能。 1: 使能。																													
[30]	RW	atu_reg_in_bar_match		接收 ATU 匹配模式选择。 发送(Outbound): 无作用。 接收(Inbound): 选择接收 MEM/IO 数据包的匹配模式。 0: 地址匹配模式: 当接收到的 MEM/IO TLP 地址在 ATU 控制寄存器 1 中的地址相匹配时, 则做地址转换。 1: BAR 匹配模式: 当接收到的 MEM/IO TLP 地址与 BAR 编号相匹配时, 则做地址转换。																													
[29]	RO	reserved		保留。																													
[28]	RW	atu_reg_shift		配置事务移位功能。 此寄存器在做配置类型转换时使能, 能实现操作地址和总线号、设备号、功能号的转换(以实现用 256M 地址空间访问所有配置空间的功能。) 发送(Outbound): 将未转换的地址的 27~12 比特赋值给转换后地址的 31~16 比特。 接收(Inbound): 将接收到的配置事务的未转换的地址的 31~16 比特赋值给转换后地址的 27~12 比特。 0: 不使能; 1: 使能。																													
[27]	RW	atu_reg_fuzzy		模糊类型匹配模式。 若使能, 则使能事务类型模糊匹配模式。 0: 不使能; 1: 使能。																													



[26]	RO	reserved	保留。
[25:24]	RW	atu_reg_rsp_code	完成状态代码： 必须设置为 0。
[23:22]	RO	reserved	保留。
[21]	RW	atu_reg_msgcode_match_en	消息代码匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的消息代码与 ATURegionCtrl2 中的 atu_reg_msg_code 做匹配。 0: 不使能; 1: 使能。
[20]	RO	reserved	保留。
[19]	RW	atu_reg_func_match_en	功能号匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的功能号与 ATURegionCtrl1 中的 atu_reg_func_num 做匹配。 0: 不使能; 1: 使能。
[18]	RW	atu_reg_at_match_en	AT 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 AT 字段与 ATURegionCtrl1 中的 atu_reg_at 做匹配。 0: 不使能; 1: 使能。
[17]	RO	reserved	保留。
[16]	RW	atu_reg_attr_match_en	ATTR 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 ATTR 字段与 ATURegionCtrl1 中的 atu_reg_attr 做匹配。 0: 不使能; 1: 使能。
[15]	RW	atu_reg_td_match_en	TD 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 TD 字段与 ATURegionCtrl1 中的 atu_reg_td 做匹配。 0: 不使能; 1: 使能。



[14]	RW	atu_reg_tc_match_en	TC 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 TC 字段与 ATURegionCtrl1 中的 atu_reg_tc 做匹配。 0: 不使能; 1: 使能。
[13:11]	RO	reserved	保留。
[10:8]	RW	atu_reg_bar_num	BAR 编号。 发送(Outbound): 未使用。 接收(Inbound): 当接收到的 TLP 中 BAR 地址与此寄存器对应的 BAR 地址相匹配时, 则对此 TLP 做地址转换处理。 000: BAR#0; 001: BAR#1; 010: BAR#2; 011: BAR#3; 100: BAR#4; 101: BAR#5; 110: ROM; 111: 保留。
[7:0]	RW	atu_reg_msg_code	消息代码。 发送(Outbound): 当发送的 TLP 地址与此区域匹配, 且 ATURegionCtrl1 中 atu_reg_type 字段为 MSG,则将转换后的 TLP 中 MSP 字段设置为此寄存器的值。 接收(Inbound): 当 ATURegionCtrl2 中的 atu_reg_msgcode_match_en 使能时, 且接收到的消息事务中消息代码与此寄存器值相匹配时, 则对此事务包做地址转换处理。

## ATU\_BASE\_LOW

ATU\_BASE\_LOW 为 ATU 基地址低位寄存器。



Offset Address		Register Name		Total Reset Value						
0x090C		ATU_BASE_LOW		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	atu_reg_base_low						reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RW	atu_reg_base_low	表示此区域的起始地址中的 31~12 比特，当未转换的地址位于起始地址和地址界限范围内时，则满足地址匹配条件。ATUBaseLow 和 ATUBaseHigh 共同组成基地址。							
[11:0]	RO	reserved	保留。							

## ATU\_BASE\_HIGH

ATU\_BASE\_HIGH 为 ATU 基地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0910		ATU_BASE_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_base_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	atu_reg_base_high	基地址高 32 位。 此区域的起始地址的 63-32 比特，当未转换的地址位于起始地址和地址界限范围内时，则满足地址匹配条件。(此寄存器只在 64 比特地址下有效，32 比特地址模式下需设置为 0。)ATUBaseLow 和 ATUBaseHigh 共同组成基地址。					

## ATU\_LIMIT

ATU\_LIMIT 为 ATU 地址界限寄存器。



Offset Address		Register Name		Total Reset Value					
0x0914		ATU_LIMIT		0x0000_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	atu_reg_limit					reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:12]	RW	atu_reg_limit	地址界限。 此区域的界限地址的中的 31~12 比特，当未转换的地址位于起始地址和地址界限范围内时，则满足地址匹配条件。						
[11:0]	RO	reserved	保留。						

## ATU\_TARGET\_LOW

ATU\_TARGET\_LOW 为 ATU 目标地址低位寄存器。

Offset Address		Register Name		Total Reset Value					
0x0918		ATU_TARGET_LOW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	atu_reg_trgt_low					reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RW	atu_reg_trgt_low	当做地址转换时，转换后的地址的 31~12 比特。 ATUTargetLow 和 ATUTargetHigh 共同组成目标地址。 地址转换公式为： 转换后的地址=转换地址-基地址+目标地址。 转换后的地址=转换地址-基地址+目标地址。						
[11:0]	RO	reserved	保留。						

## ATU\_TARGET\_HIGH

ATU\_TARGET\_HIGH 为 ATU 目标地址高位寄存器。



Offset Address		Register Name		Total Reset Value				
0x091C		ATU_TARGET_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_trgt_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	atu_reg_trgt_high	目标地址高 32 位。 当做地址转换时，转换后的地址的 63~32 比特。 ATUTargetHigh 共同组成目标地址。					

### 12.8.6.3 PCIe\_DMA 寄存器概览

PCIe\_DMA 寄存器概览如表 12-32 所示。

表12-32 PCIe\_DMA 寄存器概览（基址是 0x1216\_0000）

偏移地址	名称	描述	页码
0x097C	DMA_WR_ENGINE_EN	DMA 写通道使能寄存器	12-185
0x0980	DMA_WR_DOORBELL	DMA 写操作启动和停止控制寄存器	12-185
0x099C	DMA_RD_ENGINE_EN	DMA 读通道使能寄存器	12-186
0x09A0	DMA_RD_DOORBELL	DMA 读操作启动和停止控制寄存器	12-187
0x09BC	DMA_WR_INT_STAT	DMA 写操作中断状态寄存器	12-187
0x09C4	DMA_WR_INT_MASK	DMA 写操作中断掩码寄存器	12-188
0x09C8	DMA_WR_INT_CLR	DMA 写操作中断清除寄存器	12-189
0x09CC	DMA_WR_ERR_STAT	DMA 写操作错误状态寄存器	12-190
0x09D0	DMA_WR_DONE_INTERRUPT_ADDR_LOW	DMA 写完成消息中断地址低位寄存器	12-191
0x09D4	DMA_WR_DONE_INTERRUPT_ADDR_HIGH	DMA 写完成消息中断地址高位寄存器	12-191
0x09D8	DMA_WR_ABORT_INTERRUPT_ADDR_LOW	DMA 写中止消息中断地址低位寄存器	12-191



偏移地址	名称	描述	页码
0x09DC	DMA_WR_ABORT_IMWR_ADDR_HIGH	DMA 写中止消息中断地址高位寄存器	12-192
0x09E0	DMA_WR_IMWR_DATA_0	DMA 写操作消息中断数据寄存器	12-192
0x0A10	DMA_RD_INT_STAT	DMA 读操作中断状态寄存器	12-193
0x0A18	DMA_RD_INT_MASK	DMA 读操作中断掩码寄存器	12-193
0x0A1C	DMA_RD_INT_CLR	DMA 读操作中断清除寄存器	12-194
0x0A24	DMA_RD_ERR_STAT_LOW	DMA 读操作错误状态低位寄存器	12-195
0x0A28	DMA_RD_ERR_STAT_HIGH	DMA 读操作错误状态高位寄存器	12-196
0x0A3C	DMA_RD_DONE_IMWR_ADDR_LOW	DMA 读完成消息中断地址低位寄存器	12-196
0x0A40	DMA_RD_DONE_IMWR_ADDR_HIGH	DMA 读完成消息中断地址高位寄存器	12-197
0x0A44	DMA_RD_ABORT_IMWR_ADDR_LOW	DMA 读中止消息中断地址低位寄存器	12-197
0x0A48	DMA_RD_ABORT_IMWR_ADDR_HIGH	DMA 读中止消息中断地址高位寄存器	12-198
0x0A4C	DMA_RD_IMWR_DATA_0	DMA 读操作消息中断数据寄存器	12-198
0x0A6C	DMA_CH_INDEX	DMA 通道索引寄存器	12-198
0x0A70	DMA_CH_CTRL	DMA 通道控制寄存器	12-199
0x0A78	DMA_TRANS_SIZE	DMA 传输长度寄存器寄存器	12-201
0x0A7C	DMA_SAR_LOW	DMA 数据源地址低位寄存器	12-201
0x0A80	DMA_SAR_HIGH	DMA 数据源地址高位寄存器	12-201
0x0A84	DMA_DAR_LOW	DMA 目标地址低位寄存器	12-202
0x0A88	DMA_DAR_HIGH	DMA 目标地址高位寄存器	12-202





### 12.8.6.4 PCIe\_DMA 寄存器描述

#### DMA\_WR\_ENGINE\_EN

DMA\_WR\_ENGINE\_EN 为 DMA 写通道使能寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x097C				DMA_WR_ENGINE_EN								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																															dma_wr_engine_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:1]	RO	reserved		保留。																															
	[0]	RW	dma_wr_engine_en		DMA 写通道使能。 0: 不使能 DMA 写通道。 1: 使能 DMA 写通道。																															

#### DMA\_WR\_DOORBELL

DMA\_WR\_DOORBELL 为 DMA 写操作启动和停止控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0980		DMA_WR_DOORBELL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dma_wr_stop	wr_doorbell_num
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	dma_wr_stop	DMA 写通道停止。此寄存器与 wr_doorbell_num 配合使用，停止对应的 DMA 写通道数据传输。 0: 无影响。 1: 停止当前 DMA 传输。						
[30:3]	RO	reserved	保留。						
[2:0]	RW	wr_doorbell_num	DMA 写通道启动。 通过对此寄存器写入 0 启动 DMA 写传输(DMA 引擎检测到对此寄存器的写操作即启动对应写通道的 DMA 操作。由于目前 PCIe 控制器只支持一个写通道，因此此寄存器必须写 0)。						

## DMA\_RD\_ENGINE\_EN

DMA\_RD\_ENGINE\_EN 为 DMA 读通道使能寄存器。

Offset Address		Register Name		Total Reset Value				
0x099C		DMA_RD_ENGINE_EN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							dma_wr_engine_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					



[0]	RW	dma_wr_engine_en	DMA 读通道使能。 0: 不使能 DMA 读通道。 1: 使能 DMA 读通道。
-----	----	------------------	---

## DMA\_RD\_DOORBELL

DMA\_RD\_DOORBELL 为 DMA 读操作启动和停止控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x09A0	DMA_RD_DOORBELL	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0	
Name	reserved		rd_doorbell_num	
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0	
	Bits	Access	Name	Description
	[31]	RW	dma_rd_stop	DMA 读通道停止。 此寄存器与 rd_doorbell_num 配合使用，停止对应的 DMA 读通道数据传输。 0: 无影响。 1: 停止当前 DMA 传输。
	[30:3]	RO	reserved	保留。
	[2:0]	RW	rd_doorbell_num	DMA 读通道启动。 通过对此寄存器写入 0 启动 DMA 读传输(DMA 引擎检测到对此寄存器的写操作即启动对应读通道的 DMA 操作。由于目前 PCIe 控制器只支持一个读通道，因此此寄存器必须写 0)。

## DMA\_WR\_INT\_STAT

DMA\_WR\_INT\_STAT 为 DMA 写操作中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x09BC		DMA_WR_INT_STAT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dma_wr_abort_int_stat	reserved												dma_wr_done_int_stat						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:17]	RO	reserved	保留。																													
[16]	RW	dma_wr_abort_int_stat	DMA 写操作中中止中断状态。 表明 DMA 写通道检测到错误或者手动停止 DMA 写操作。 0: 无效。 1: 有效。																													
[15:1]	RO	reserved	保留。																													
[0]	RW	dma_wr_done_int_stat	DMA 写操作完成中断状态。 表明已成功完成一次 DMA 写操作。 0: 无效。 1: 有效。																													

## DMA\_WR\_INT\_MASK

DMA\_WR\_INT\_MASK 为 DMA 写操作中中断掩码寄存器。



Offset Address		Register Name		Total Reset Value																												
0x09C4		DMA_WR_INT_MASK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dma_wr_abort_int_mask	reserved												dma_wr_done_int_mask						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:17]	RO	reserved	保留。																													
[16]	RW	dma_wr_abort_int_mask	DMA 写操作中中断掩码。 0: dma_wr_abort_int_stat 不产生 edma_int 中断。 1: dma_wr_abort_int_stat 可产生 edma_int 中断。																													
[15:1]	RO	reserved	保留。																													
[0]	RW	dma_wr_done_int_mask	DMA 写操作完成中断掩码。 0: dma_wr_done_int_stat 不产生 edma_int 中断。 1: dma_wr_done_int_stat 可产生 edma_int 中断。																													

## DMA\_WR\_INT\_CLR

DMA\_WR\_INT\_CLR 为 DMA 写操作中中断清除寄存器。



Offset Address		Register Name		Total Reset Value				
0x09C8		DMA_WR_INT_CLR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			dma_wr_abort_int_clr	reserved			dma_wr_done_int_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	RO	reserved	保留。					
[16]	RW	dma_wr_abort_int_clr	DMA 写操作中中止中断清除。 向此位写入 1 将清除 DMA_WR_INT_STAT 寄存器中的 dma_wr_abort_int_stat 中断状态。					
[15:1]	RO	reserved	保留。					
[0]	RW	dma_wr_done_int_clr	DMA 写操作完成中断清除。 向此位写入 1 将清除 DMA_WR_INT_STAT 寄存器中的 dma_wr_done_int_stat 中断状态。					

## DMA\_WR\_ERR\_STAT

DMA\_WR\_ERR\_STAT 为 DMA 写操作错误状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x09CC		DMA_WR_ERR_STAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			reserved	reserved			app_rd_err_det
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	RO	reserved	保留。					
[16]	RW	reserved	保留					



[15:1]	RO	reserved	保留。
[0]	RW	app_rd_err_det	DMA 写通道读数据错误。

## DMA\_WR\_DONE\_IMWR\_ADDR\_LOW

DMA\_WR\_DONE\_IMWR\_ADDR\_LOW 为 DMA 写完成消息中断地址低位寄存器。

Offset Address	Register Name	Total Reset Value	
0x09D0	DMA_WR_DONE_IMWR_ADDR_LO W	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	dma_wr_done_imwr_addr_low		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	dma_wr_done_imwr_addr_low	DMA 写完成中断消息地址低 32 位。

## DMA\_WR\_DONE\_IMWR\_ADDR\_HIGH

DMA\_WR\_DONE\_IMWR\_ADDR\_HIGH 为 DMA 写完成消息中断地址高位寄存器。

Offset Address	Register Name	Total Reset Value	
0x09D4	DMA_WR_DONE_IMWR_ADDR_HIG H	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	dma_wr_done_imwr_addr_high		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	dma_wr_done_imwr_addr_high	DMA 写完成中断消息地址高 32 位。

## DMA\_WR\_ABORT\_IMWR\_ADDR\_LOW

DMA\_WR\_ABORT\_IMWR\_ADDR\_LOW 为 DMA 写中止消息中断地址低位寄存器。



Offset Address		Register Name		Total Reset Value				
0x09D8		DMA_WR_ABORT_IMWR_ADDR_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_wr_abort_imwr_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_wr_abort_imwr_addr_low	DMA 写中止中断消息地址低 32 位。					

### DMA\_WR\_ABORT\_IMWR\_ADDR\_HIGH

DMA\_WR\_ABORT\_IMWR\_ADDR\_HIGH 为 DMA 写中止消息中断地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x09DC		DMA_WR_ABORT_IMWR_ADDR_HI GH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_wr_abort_imwr_addr_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_wr_abort_imwr_addr_high	DMA 写中止中断消息地址高 32 位。					

### DMA\_WR\_IMWR\_DATA\_0

DMA\_WR\_IMWR\_DATA\_0 为 DMA 写操作消息中断数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x09E0		DMA_WR_IMWR_DATA_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				dma_wr_imwr_data_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	dma_wr_imwr_data_0	DMA 写通道 0 的中断消息数据。					





## DMA\_RD\_INT\_STAT

DMA\_RD\_INT\_STAT 为 DMA 读操作中断状态寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0A10	DMA_RD_INT_STAT	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved		reserved	
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
	Bits	Access	Name	Description
	[31:17]	RO	reserved	保留。
	[16]	RW	dma_wr_abort_int_stat	DMA 读操作中止中断状态。 表明 DMA 读通道检测到错误或者手动停止 DMA 写操作。 0: 无效。 1: 有效。
	[15:1]	RO	reserved	保留。
	[0]	RW	dma_wr_done_int_stat	DMA 读操作完成中断状态。 表明已成功完成一次 DMA 读操作。 0: 无效。 1: 有效。

## DMA\_RD\_INT\_MASK

DMA\_RD\_INT\_MASK 为 DMA 读操作中断掩码寄存器。



Offset Address		Register Name		Total Reset Value						
0x0A18		DMA_RD_INT_MASK		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				dma_wr_abort_int_mask	reserved				dma_wr_done_int_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RO	reserved	保留。							
[16]	RW	dma_wr_abort_int_mask	DMA 读操作中止中断掩码。 0: dma_rd_abort_int_stat 不产生 edma_int 中断。 1: dma_rd_abort_int_stat 可产生 edma_int 中断。							
[15:1]	RO	reserved	保留。							
[0]	RW	dma_wr_done_int_mask	DMA 读操作完成中断掩码。 0: dma_rd_done_int_stat 不产生 edma_int 中断。 1: dma_rd_done_int_stat 可产生 edma_int 中断。							

## DMA\_RD\_INT\_CLR

DMA\_RD\_INT\_CLR 为 DMA 读操作中中断清除寄存器。



Offset Address		Register Name		Total Reset Value						
0x0A1C		DMA_RD_INT_CLR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				dma_wr_abort_int_clr	reserved				dma_wr_done_int_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RO	reserved	保留。							
[16]	RW	dma_wr_abort_int_clr	DMA 读操作中止中断清除。 向此位写入 1 将清除 DMA_RD_INT_STAT 寄存器中的 dma_rd_abort_int_stat 中断状态。							
[15:1]	RO	reserved	保留。							
[0]	RW	dma_wr_done_int_clr	DMA 读操作中止中断清除。 向此位写入 1 将清除 DMA_RD_INT_STAT 寄存器中的 dma_rd_done_int_stat 中断状态。							

## DMA\_RD\_ERR\_STAT\_LOW

DMA\_RD\_ERR\_STAT\_LOW 为 DMA 读操作错误状态低位寄存器。

Offset Address		Register Name		Total Reset Value						
0x0A24		DMA_RD_ERR_STAT_LOW		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				reserved	reserved				app_rd_err_det
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RO	reserved	保留。							



[16]	RW	reserved	保留。
[15:1]	RO	reserved	保留。
[0]	RW	app_rd_err_det	DMA 读通道检测到 AXI 总线错误响应。

## DMA\_RD\_ERR\_STAT\_HIGH

DMA\_RD\_ERR\_STAT\_HIGH 为 DMA 读操作错误状态高位寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0A28				DMA_RD_ERR_STAT_HIGH				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				dp_err	reserved				to_err	reserved				ca_err	reserved				ur_err												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:25]				[24]	[23:17]				[16]	[15:9]				[8]	[7:1]				[0]												
Access	RO				RW	RO				RW	RO				RW	RO				RW												
Name	reserved				dp_err	reserved				to_err	reserved				ca_err	reserved				ur_err												
Description	保留。				DMA 通道检测到来自对端设备的中毒数据。	保留。				DMA 通道读操作超时。	保留。				DMA 通道检测到来自对端设备的 CA(Completion Abort)完成包。	保留。				DMA 通道检测到来自对端设备的 UR(Unsupported Request)完成包。												

## DMA\_RD\_DONE\_IMWR\_ADDR\_LOW

DMA\_RD\_DONE\_IMWR\_ADDR\_LOW 为 DMA 读完成消息中断地址低位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A3C		DMA_RD_DONE_IMWR_ADDR_LO W		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_rd_done_imwr_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_rd_done_imwr_addr_low	DMA 读完成中断消息地址低 32 位。					

### DMA\_RD\_DONE\_IMWR\_ADDR\_HIGH

DMA\_RD\_DONE\_IMWR\_ADDR\_HIGH 为 DMA 读完成消息中断地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A40		DMA_RD_DONE_IMWR_ADDR_HIG H		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_rd_done_imwr_addr_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_rd_done_imwr_addr_high	DMA 读完成中断消息地址高 32 位。					

### DMA\_RD\_ABORT\_IMWR\_ADDR\_LOW

DMA\_RD\_ABORT\_IMWR\_ADDR\_LOW 为 DMA 读中止消息中断地址低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A44		DMA_RD_ABORT_IMWR_ADDR_LO W		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_rd_abort_imwr_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_rd_abort_imwr_addr_low	DMA 读中止中断消息地址低 32 位。					



## DMA\_RD\_ABORT\_IMWR\_ADDR\_HIGH

DMA\_RD\_ABORT\_IMWR\_ADDR\_HIGH 为 DMA 读中止消息中断地址高位寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x0A48	DMA_RD_ABORT_IMWR_ADDR_HI GH	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dma_rd_abort_imwr_addr_high								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	dma_rd_abort_imwr_addr_high	DMA 读中止中断消息地址高 32 位。						

## DMA\_RD\_IMWR\_DATA\_0

DMA\_RD\_IMWR\_DATA\_0 为 DMA 读操作消息中断数据寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x0A4C	DMA_RD_IMWR_DATA_0	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				dma_wr_imwr_data_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	dma_wr_imwr_data_0	DMA 读通道 0 的中断消息数据。						

## DMA\_CH\_INDEX

DMA\_CH\_INDEX 为 DMA 通道索引寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0A6C		DMA_CH_INDEX		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ch_dir		reserved												reserved																	
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0															
Bits	Access	Name	Description																													
[31]	RW	ch_dir	通道方向。 通过此位选择要配置的寄存器属于读通道还是写通道。 0: 写通道。 1: 读通道。																													
[30:3]	RO	reserved	保留。																													
[2:0]	RO	reserved	保留，必须设置为 0。																													

## DMA\_CH\_CTRL

DMA\_CH\_CTRL 为 DMA 通道控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0A70		DMA_CH_CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	addr_trans		traffic_class		traffic_digest		relaxed_order		no_snoop		reserved				fun_num				reserved		reserved		ch_status		reserved		local_int_enable		reserved			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31:30]	RW	addr_trans	PCIe 事务 AT 位。 DMA 发起的 PCIe 存储器读写事务包中的的 AT 位将由此成员值代替。																													
[29:27]	RW	traffic_class	PCIe 事务 TC 位。 DMA 发起的 PCIe 存储器读写事务包中的的 TC 位将由此成员值代替。																													



[26]	RW	traffic_digest	PCIe 事务 TD 位。 DMA 发起的 PCIe 存储器读写事务包中的的 TD 位将由此成员值代替。
[25]	RW	relaxed_order	PCIe 事务 RO 位。 DMA 发起的 PCIe 存储器读写事务包中的的 RO 位将由此成员值代替。
[24]	RW	no_snoop	PCIe 事务 NS 位。 DMA 发起的 PCIe 存储器读写事务包中的的 NS 位将由此成员值代替。
[23:17]	RO	reserved	保留。
[16:12]	RW	fun_num	PCIe 事务 fun_num 位。 DMA 发起的 PCIe 存储器读写事务包中的的功能号将由此成员值代替。
[11:10]	RO	reserved	保留。
[9]	RO	reserved	保留。
[8]	RO	reserved	保留。
[7]	RO	reserved	保留。
[6:5]	RW	ch_status	通道状态。 表明通道所处的工作状态。 00: 保留。 01: 正在进行 DMA 传输。 10: 运行错误。 11: 通道成功完成 DMA 传输或通道被手动停止传输。
[4]	RO	reserved	保留。
[3]	RW	local_int_enable	本地 DMA 中断使能。 设置此位有效，则可以在 DMA 传输完成或失败时发出 DMA 本地中断。 0: 不使能 DMA 本地中断； 1: 使能 DMA 本地中断。
[2]	RO	reserved	保留。
[1]	RO	reserved	保留。
[0]	RO	reserved	保留。





## DMA\_TRANS\_SIZE

DMA\_TRANS\_SIZE 为 DMA 传输长度寄存器寄存器。

Offset Address		Register Name		Total Reset Value																																
0x0A78		DMA_TRANS_SIZE		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dma_trans_size																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RW		dma_trans_size		DMA 传输长度。 在 DMA 传输之前将需要传输的数据长度写入此寄存器，最小传输长度是 1 个字节，最大 4G 字节。 在 DMA 传输过程中，此寄存器值会自动递减。寄存器的值为未传输的字节数，传输成功结束后此寄存器为 0。																															

## DMA\_SAR\_LOW

DMA\_SAR\_LOW 为 DMA 数据源地址低位寄存器。

Offset Address		Register Name		Total Reset Value																																
0x0A7C		DMA_SAR_LOW		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dma_sar_low																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RW		dma_sar_low		DMA 传输数据的源地址(低 32 位)。 在 DMA 传输之前将源数据的起始地址写入此寄存器，DMA 通道将从此地址获取将要传输的数据。 在 DMA 传输过程中，此寄存器的值会自动递增。 此寄存器低 2 比特必须为 0。																															

## DMA\_SAR\_HIGH

DMA\_SAR\_HIGH 为 DMA 数据源地址高位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A80		DMA_SAR_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_sar_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_sar_high	DMA 传输数据的源地址(高 32 位)。 32 位地址模式下必须为 0。 64 位地址模式下与 <a href="#">DMA_SAR_LOW</a> 组成 64 位的源地址。					

## DMA\_DAR\_LOW

DMA\_DAR\_LOW 为 DMA 目标地址低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A84		DMA_DAR_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_dar_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_dar_low	DMA 传输数据的目标地址(低 32 位)。 在 DMA 传输之前将目标地址写入此寄存器，DMA 通道将从源地址获取的数据写入目标地址内。 在 DMA 传输过程中，此寄存器的值会自动递增。 此寄存器低 2 比特必须为 0。					

## DMA\_DAR\_HIGH

DMA\_DAR\_HIGH 为 DMA 目标地址高位寄存器。



	Offset Address				Register Name								Total Reset Value																							
	0x0A88				DMA_DAR_HIGH								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dma_dar_high																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name	Description																																	
[31:0]	RW	dma_dar_high	DMA 传输数据的目标地址(高 32 位)。 32 位地址模式下必须为 0。 64 位地址模式下与 <a href="#">DMA_DAR_LOW</a> 组成 64 位的目标地址。																																	

### 12.8.6.5 PCIe MISC 寄存器概览

PCIe MISC 寄存器概览如表 12-33 所示。

表12-33 PCIe MISC 寄存器概览（基址是 0x1216\_0000）

偏移地址	名称	描述	页码
0x1000	PCIE_SYS_CTRL0	PCIE 控制寄存器 0	<a href="#">12-203</a>
0x1004	PCIE_SYS_CTRL1	PCIE 控制寄存器 1	<a href="#">12-205</a>
0x1008	PCIE_SYS_CTRL2	PCIE 控制寄存器 2	<a href="#">12-205</a>
0x100C	PCIE_SYS_CTRL3	PCIE 控制寄存器 3	<a href="#">12-206</a>
0x1010	PCIE_SYS_CTRL4	PCIE 控制寄存器 4	<a href="#">12-207</a>
0x1014	PCIE_SYS_CTRL5	PCIE 控制寄存器 5	<a href="#">12-208</a>
0x1018	PCIE_SYS_CTRL6	PCIE 控制寄存器 6	<a href="#">12-208</a>
0x101C	PCIE_SYS_CTRL7	PCIE 控制寄存器 7	<a href="#">12-209</a>
0x1100	PERI_PCIE_STAT0	PCIE 状态寄存器 0	<a href="#">12-210</a>

### 12.8.6.6 PCIe MISC 寄存器描述

#### PCIE\_SYS\_CTRL0

PCIE\_SYS\_CTRL0 为 PCIE 控制寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x1000		PCIE_SYS_CTRL0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie_device_type				pcie_slv_resp_err_map5	pcie_slv_resp_err_map4	pcie_slv_resp_err_map3	pcie_slv_resp_err_map2	pcie_slv_resp_err_map1	pcie_slv_resp_err_map0	reserved																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:28]	RW	pcie_device_type	PCIe 控制器的模式。 0x0: PCI Express EP 设备; 0x1: Legacy PCI Express 设备; 0x4: PCI Express RC 设备; 其他: 保留。																													
[27]	RW	pcie_slv_resp_err_map5	PCIe 总线 SLV 端口 CPL TIMEOUT 错误映射控制。 0: 将 CPL TIMEOUT 错误映射为 DEC_ERR; 1: 将 CPL TIMEOUT 错误映射为 SLV_ERR。																													
[26]	RW	pcie_slv_resp_err_map4	PCIe 总线 SLV 端口 CPL ECRC 错误映射控制。 0: 将 CPL ECRC 错误映射为 DEC_ERR; 1: 将 CPL ECRC 错误映射为 SLV_ERR。																													
[25]	RW	pcie_slv_resp_err_map3	PCIe 总线 SLV 端口 CPL poisoned 错误映射控制。 0: 将 CPL poisoned 错误映射为 DEC_ERR; 1: 将 CPL poisoned 错误映射为 SLV_ERR。																													
[24]	RW	pcie_slv_resp_err_map2	PCIe 总线 SLV 端口 CPL CA 错误映射控制。 0: 将 CPL CAT 错误映射为 DEC_ERR; 1: 将 CPL CA 错误映射为 SLV_ERR。																													
[23]	RW	pcie_slv_resp_err_map1	PCIe 总线 SLV 端口 CPL CRS 错误映射控制。 0: 将 CPL CRS 错误映射为 DEC_ERR; 1: 将 CPL CRS 错误映射为 SLV_ERR。																													



[22]	RW	pcie_slv_resp_err_map0	PCIe 总线 SLV 端口 CPL UR 错误映射控制。 0: 将 CPL UR 错误映射为 DEC_ERR; 1: 将 CPL UR 错误映射为 SLV_ERR。
[21:0]	RO	reserved	保留。

## PCIE\_SYS\_CTRL1

PCIE\_SYS\_CTRL1 为 PCIe 控制寄存器 1。

	Offset Address	Register Name	Total Reset Value
	0x1004	PCIE_SYS_CTRL1	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		pcie_app_clk_req_n
			reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23]	RW	pcie_app_clk_req_n	PCIe 控制器应用层时钟请求。 0: 申请时钟; 1: 不申请时钟。
[22:0]	RO	reserved	保留。

## PCIE\_SYS\_CTRL2

PCIE\_SYS\_CTRL2 为 PCIe 控制寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x1008		PCIE_SYS_CTRL2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	pcie_ven_msi_vect or pcie_ven_msi_req		reserved						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RW	pcie_ven_msi_vect or	PCIe 控制器 MSI 数据调整控制寄存器。 当 PCIe 控制器发起 MSI 中断请求时，此寄存器的值是 MSI 数据的最低 5 比特(此寄存器的值与 MSI 数据寄存器的值按位或的值为新的 MSI 数据)。						
[26]	RW	pcie_ven_msi_req	指示 PCIe 控制器是否请求发送消息中断(MSI)。 0: 无请求; 1: 请求。						
[25:0]	RO	reserved	保留。						

### PCIE\_SYS\_CTRL3

PCIE\_SYS\_CTRL3 为 PCIE 控制寄存器 3。



Offset Address		Register Name		Total Reset Value							
0x100C		PCIE_SYS_CTRL3		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	pcie_ven_msg_code		pcie_ven_msg_tag		reserved	pcie_ven_msg_attr	pcie_ven_msg_ep	pcie_ven_msg_td	pcie_ven_msg_type	pcie_ven_msg_fmt	pcie_ven_msg_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description								
[31:24]	RW	pcie_ven_msg_code	PCIe 厂商自定义消息的消息代码。 当由 PCIe 发送厂商定义消息时，此寄存器指定厂商自定义消息的消息代码。								
[23:16]	RW	pcie_ven_msg_tag	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 TAG 字段。								
[15:12]	RO	reserved	保留。								
[11:10]	RW	pcie_ven_msg_attr	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 ATTR 字段。								
[9]	RW	pcie_ven_msg_ep	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 EP 字段。								
[8]	RW	pcie_ven_msg_td	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 TD 字段。								
[7:3]	RW	pcie_ven_msg_type	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 TYPE 字段。								
[2:1]	RW	pcie_ven_msg_fmt	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 FMT 字段。								
[0]	RW	pcie_ven_msg_req	指示 PCIe 控制器是否请求发送一个厂商定义的消息。 0：不请求； 1：请求。								

## PCIE\_SYS\_CTRL4

PCIE\_SYS\_CTRL4 为 PCIe 控制寄存器 4。



Offset Address		Register Name		Total Reset Value					
0x1010		PCIE_SYS_CTRL4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	pcie_ven_msg_data_low								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	pcie_ven_msg_data_low	当由 PCIe 控制器发起 PCIe 厂商自定义消息事务时，此寄存器用于配置 PCIe 厂商自定义消息事务数据包的第三个双字 (DWORD)。						

## PCIE\_SYS\_CTRL5

PCIE\_SYS\_CTRL5 为 PCIE 控制寄存器 5。

Offset Address		Register Name		Total Reset Value					
0x1014		PCIE_SYS_CTRL5		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	pcie_ven_msg_data_high								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	pcie_ven_msg_data_high	当由 PCIe 控制器发起 PCIe 厂商自定义消息事务时，此寄存器用于配置 PCIe 厂商自定义消息事务数据包的第四个双字 (DWORD)。						

## PCIE\_SYS\_CTRL6

PCIE\_SYS\_CTRL6 为 PCIE 控制寄存器 6。

Offset Address		Register Name		Total Reset Value					
0x1018		PCIE_SYS_CTRL6		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	pcie_sys_ctrl6								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	pcie_sys_ctrl6	PCIE 建链超时限制寄存器。						





## PCIE\_SYS\_CTRL7

PCIE\_SYS\_CTRL7 为 PCIE 控制寄存器 7。

Offset Address		Register Name		Total Reset Value																												
0x101C		PCIE_SYS_CTRL7		0x0000_2800																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								pcie_cfg_l1_clk_removal_en	reserved								cmd_sel	reserved	pcie_app_ltssm_enable	pcie_sys_aux_pwr_det	pcie_apps_pm_xmt_pme	pcie_apps_pm_xmt_turnoff	pcie_app_unlock_msg	pcie_outband_pwrup_cmd	pcie_sys_int	pcie_app_req_retry_en	pcie_app_req_exit_l1	reserved	pcie_app_req_entr_l1	pcie_app_init_rst	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:21]	RO	reserved	保留。																													
[20]	RW	pcie_cfg_l1_clk_removal_en	L1 状态下参考时钟控制。 0: 禁止在 L1 状态下移除参考时钟; 1: 允许在 L1 状态下移除参考时钟。																													
[19:14]	RO	reserved	保留。																													
[13]	RW	cmd_sel	PCIe 寄存器访问使能。 0: 本地 CPU 不能访问 PCIe 寄存器; 1: 本地 CPU 能够访问 PCIe 寄存器。																													
[12]	RO	reserved	保留。																													
[11]	RW	pcie_app_ltssm_enable	PCIe 控制器使能。 0: 不使能 PCIe 控制器; 1: 使能 PCIe 控制器。																													
[10]	RW	pcie_sys_aux_pwr_det	PCIe 控制器辅助电源检测。 0: 辅助电源不存在; 1: 辅助电源存在。																													
[9]	RW	pcie_apps_pm_xmt_pme	PCIe 控制器低功耗状态唤醒。 0: 不唤醒; 1: 唤醒。																													



[8]	RW	pcie_apps_pm_xmt_turnoff	PCIe 控制器 PM_TRUN_OFF 消息请求。 0: 不请求; 1: 请求。
[7]	RW	pcie_app_unlock_msg	PCIe 控制器 Unlock 消息请求。 0: 不请求; 1: 请求。
[6]	RW	pcie_outband_pwrup_cmd	PCIe 控制器低功耗状态唤醒。 0: 不唤醒; 1: 唤醒。
[5]	RW	pcie_sys_int	PCIe 控制器中断请求。 此寄存器值由 0 变为 1 时, PCIe 控制器产生一个 Assert_INTx 消息; 此寄存器值由 1 变为 0 时, PCIe 控制器产生一个 Deassert_INTx 消息。
[4]	RW	pcie_app_req_retry_en	PCIe 控制器推迟接收配置请求。 0: 无效; 1: 有效。
[3]	RW	pcie_app_req_exit_l1	PCIe 控制器应用层请求退出 L1 状态。 0: 不请求; 1: 请求。
[2]	RO	reserved	保留。
[1]	RW	pcie_app_req_entr_l1	PCIe 控制器应用层请求进入 L1 状态。 0: 不请求; 1: 请求。
[0]	RW	pcie_app_init_rst	将此寄存器的值由 0 变为 1, 将导致 PCIe 控制器发送一个 HOT_RESET 给下游设备。

## PERI\_PCIE\_STAT0

PERI\_PCIE\_STAT0 为 PCIE 状态寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x1100		PERI_PCIE_STAT0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																pcie_xmlh_link_up	reserved								pcie_rdlh_link_up	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	reserved	保留。																													
[15]	RO	pcie_xmlh_link_up	PCIe PHY 链路连接状态。 0: 连接已断开; 1: 连接已建立。																													
[14:6]	RO	reserved	保留。																													
[5]	RO	pcie_rdlh_link_up	PCIe 控制器数据链路层连接状态指示。 0: 连接已断开; 1: 连接已建立。																													
[4:0]	RO	reserved	保留。																													

## 12.9 USB 2.0

### 12.9.1 概述

USB 2.0 Host 控制器支持 High-speed (480Mbit/s)、Full-speed (12Mbit/s) 和 Low-speed (1.5Mbit/s) 三种数据传输。USB 2.0 Host 控制器支持 USB 2.0、OHCI Rev 1.0a 和 EHCI Rev 1.0 协议。USB 2.0 Host 控制器中包含一个 Root Hub (USB 系统中的一部分, 通过 Hub 可以扩展 USB 接口)。USB 2.0 Host 控制器的特性如下:

- 完成对传输的控制和处理
- 对数据包的解析和打包
- 对 USB 传输信号的编码和解码
- 为驱动程序提供了中断向量等接口

USB 2.0 Device 控制器支持 High-speed (480Mbit/s) 和 Full-speed (12Mbit/s) 两种数据传输。支持 host/device 智能切换。

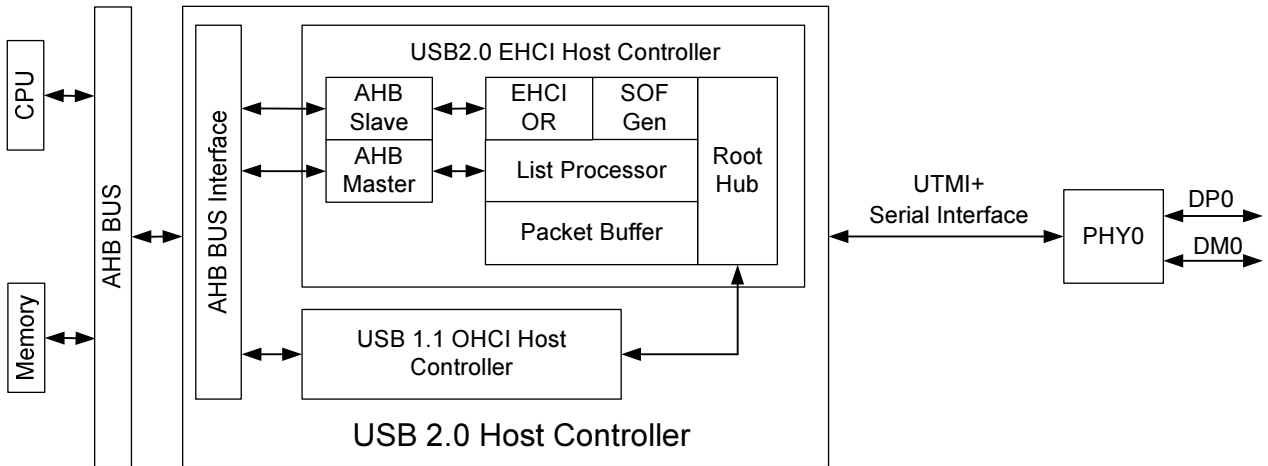


## 12.9.2 功能描述

### 逻辑框图

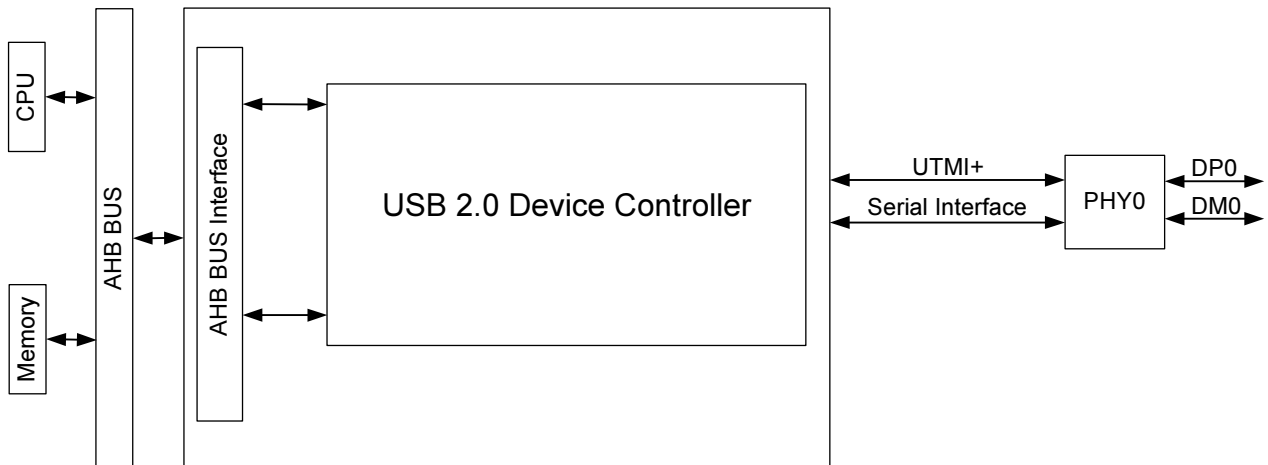
USB 2.0 Host 逻辑框图如图 12-61 所示。

图12-61 USB 2.0 Host 逻辑框图



USB 2.0 Device 逻辑框图如图 12-62 所示。

图12-62 USB 2.0 Device 逻辑框图



UTMI: USB2.0 Transceiver Macrocell Interface

EHCI: Enhanced Host Controller Interface

OHCI: Open Host Controller Interface



## 典型应用

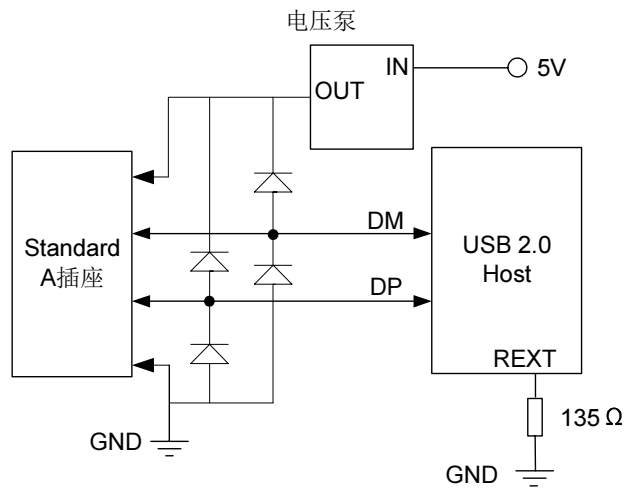
USB 2.0 Host 的参考设计如图 12-63 所示。



### 注意

- DP 和 DM 的单端阻抗为  $45\Omega \pm 1\%$ ，所以 DP 和 DM 无需外接任何的匹配电阻。
- REXT 电阻的精度是  $\pm 1\%$ 。
- 需要使用高速 ESD 器件，电容值推荐为 1pF 左右。

图12-63 USB 2.0 Host 参考设计



## 功能特点

USB 2.0 Host 具有以下功能特点：

- 完全兼容 USB 2.0。
- 完全符合 OHCI Rev 1.0a、EHCI Rev 1.0。
- 可以支持 High-speed、Full-speed、Low-speed 三种设备。
- 支持低功耗的解决方案。
- 支持 Control Transfer、Bulk Transfer、Isochronous Transfer、Interrupt Transfer 四种基本数据传输类型。
- 可以通过连接 USB Hub，连接最多 127 个设备。

USB 2.0 Device 有以下功能特点：

- 完全兼容 USB 2.0。
- 可以支持 High-speed 和 Full-speed 两种设备。



- 支持 Control Transfer、Bulk Transfer、Isochronous Transfer、Interrupt Transfer 四种基本数据传输类型。

## 工作原理

USB 2.0 Host 支持以下 4 种标准的传输方式：

- Control Transfer（控制传输）  
主要用于 USB Host 与 USB Device 端点 0 之间的传输，某些特定型号的 USB 设备的控制传输可能用到其他的端点。控制传输是双向传输，数据量通常较小，可以传输 8byte、16byte、32byte 或 64byte 的数据，取决于设备和传输速度。
- Bulk Transfer（批量传输）  
主要用于没有带宽和间隔时间要求的情况下发送和接收大量的数据，这种类型的设备适合于传输非常慢和大量被延迟的数据，可以等到所有其它类型的数据的传送完成之后再发送和接收数据。它的特点是以错误检测和重传的方式保证 USB Host 与 USB Device 之间无差错的数据传输。
- Isochronous Transfer（同步传输）  
主要用于时间严格并具有较强容错性的数据传输，或者用于数据传输速率恒定的即时应用中。同步传输提供了确定的带宽和间隔时间。
- Interrupt Transfer（中断传输）  
主要用于少量、分散、不可预测的数据的传输。中断传输方式下，定时查询设备是否有中断数据要发送。设备的端点模式器的结构决定了它的查询频率为 1ms~255ms。典型的中断方式传输是单向的，并且对于 USB Host 来说只有输入的方式。

### 12.9.3 工作方式

#### Host/Device 切换

可以通过配置系统控制寄存器 MISC\_CTRL30[usb2\_chipid]设置工作在 Host 模式下或者 Device 模式。

如果工作在 Device 模式下，MISC\_CTRL30[usb2\_chipid]配置为 0，MISC\_CTRL30[usb2\_phy\_dmpulldown]配置为 1，MISC\_CTRL30[usb2\_phy\_dppulldown]配置为 1。

如果工作在 DEVICE 模式下，MISC\_CTRL30[usb2\_chipid]配置为 1，MISC\_CTRL30[usb2\_phy\_dmpulldown]配置为 0，MISC\_CTRL30[usb2\_phy\_dppulldown]配置为 0。

#### 管脚极性控制

通过设置系统控制寄存器 MISC\_CTRL30 [usbpwr\_ctrl]可以设置 USB PHY 电源关断的有效极性；通过设置系统控制寄存器 MISC\_CTRL30 [usbovr\_p\_ctrl]设置 USB 过流保护的有效极性。



## 时钟门控

在不使用 USB 2.0 Host 时，可关断 USB 2.0 Host 的时钟，以降低功耗。

关断时钟的步骤如下：

- 步骤 1. 分别向 PERI\_CRG45 [usb\_phy\_port0\_treq]、PERI\_CRG45[usb\_phy\_req]、PERI\_CRG45[usb\_ctrl\_utmi0\_req]、PERI\_CRG45[usb2\_device\_ctrl\_srst\_req]、PERI\_CRG45[usb\_hrst\_req]写 1，对 USB 控制器和 PHY 进行复位；
- 步骤 2. 将系统控制器 PERI\_CRG45[usb\_cken]置 0，关断 USB 2.0 Host 相关时钟。

----结束

打开时钟的步骤如下：

- 步骤 1. 将系统控制器的 PERI\_CRG45 [usb\_cken]置 1，打开 USB 2.0 Host 相关时钟；
- 步骤 2. 撤消 USB 控制器和 PHY 的复位，详细信息请参见“[撤消复位](#)”。

----结束

## 撤消复位

USB 控制器和 PHY 在上电后默认处于复位状态，撤消复位的步骤如下：

- 步骤 1. 至少延时 10us；
- 步骤 2. 向 PERI\_CRG45[usb\_phy\_req]写 0，撤消 USB PHY 的 POR(Power On Reset)复位；
- 步骤 3. 延时至少 1ms，向 PERI\_CRG45[usb\_phy\_port0\_treq]写 0，撤消 USB PHY 的 port0 端口软复位；
- 步骤 4. 延时至少 100us 后，向 PERI\_CRG45[usb\_ctrl\_utmi0\_req]、PERI\_CRG45[usb2\_device\_ctrl\_srst\_req]、PERI\_CRG45[usb\_hrst\_req]写 0，撤消 USB Host 控制器的 port0 软复位、USB Device 控制器的软复位、USB 总线侧软复位。

----结束

## 工作过程中单独复位 port

工作过程中单独复位 port 的步骤如下：

- 步骤 1. 向 PERI\_CRG45[usb\_ctrl\_utmi0\_req]、PERI\_CRG45[usb2\_device\_ctrl\_srst\_req]写 1，对 USB 控制器的 port0 进行软复位；
- 步骤 2. 向 PERI\_CRG45[usb\_phy\_port0\_treq]写 1，对 USB PHY 的 port0 端口进行软复位；
- 步骤 3. 延时至少 100us 后，向 PERI\_CRG45[usb\_phy\_port0\_treq]写 0，撤消 USB PHY 的 port0 端口复位；
- 步骤 4. 向 PERI\_CRG45[usb\_ctrl\_utmi0\_req]、PERI\_CRG45[usb\_device\_ctrl\_srst\_req]写 0，撤消 USB 控制器的 port0 复位。

----结束



## USB 2.0 寄存器偏移地址变量表

各模块的寄存器偏移地址中变量的取值范围和含义如表 12-34 所示。

表12-34 各模块的寄存器偏移地址变量表

变量名称	取值范围	描述
FIFO_num	0~14	FIFO 的数量
n	0~15	第 n 个 endpoint

## 12.9.4 USB 2.0 寄存器概览

### USB HOST 寄存器概览

USB 2.0 寄存器概览如表 12-35 所示。

表12-35 USB 2.0 寄存器概览（基地址：0x1012\_0000）

偏移地址	名称	描述	页码
0x90	INTNREG00	配置微帧长度寄存器	<a href="#">12-219</a>
0x94	INSNREG01	配置 PBUF OUT/IN 寄存器	<a href="#">12-220</a>
0x98	INSNREG02	配置 PBUF 深度寄存器	<a href="#">12-220</a>
0x9C	INSNREG03	中断 memory 传输使能寄存器	<a href="#">12-221</a>
0xA0	INTNREG04	DEBUG 寄存器	<a href="#">12-222</a>
0xA4	INTNREG05	UTMI Vendor 控制及状态寄存器	<a href="#">12-223</a>
0xA8	INTNREG06	AHB 错误状态寄存器	<a href="#">12-223</a>
0xAC	INTNREG07	AHB 错误地址寄存器	<a href="#">12-224</a>

注：EHCI 寄存器基地址是 0x1012\_0000，OHCI 寄存器基地址是 0x1011\_0000，表 12-35 中寄存器基地址是 EHCI 寄存器基地址。

### USB Device 寄存器概览

USB Device 寄存器概览如表 12-36 所示。

表12-36 USB Device 寄存器概览（基址是 0x1013\_0000）

偏移地址	名称	描述	页码
0x0000	GOTGCTL	Device 行为控制与状态查询寄存器	<a href="#">12-224</a>





偏移地址	名称	描述	页码
0x0004	GOTGINT	Device 中断发生指示/消除寄存器	<a href="#">12-227</a>
0x0008	GAHBCFG	AHB 配置寄存器	<a href="#">12-228</a>
0x000C	GUSBCFG	USB 配置寄存器	<a href="#">12-230</a>
0x0010	GRSTCTL	复位硬件特性寄存器	<a href="#">12-233</a>
0x0014	GINTSTS	系统中断寄存器	<a href="#">12-237</a>
0x0018	GINTMSK	系统中断屏蔽寄存器	<a href="#">12-240</a>
0x001C	GRXSTSR	接收状态 debug read 寄存器	<a href="#">12-244</a>
0x0020	GRXSTSP	接收状态 read&pop 寄存器	<a href="#">12-244</a>
0x0024	GRXFSIZ	Receive FIFO size 配置寄存器	<a href="#">12-245</a>
0x0028	GNPTXFSIZ	Non-Periodic Transmit FIFO Size 配置寄存器	<a href="#">12-246</a>
0x002C	GNPTXSTS	Non-periodic TxFIFO 和 the Nonperiodic Transmit Request Queue 信息查询寄存器	<a href="#">12-246</a>
0x0030	GI2CCTL	I2C 访问寄存器	<a href="#">12-248</a>
0x0034	GPVNDCTL	PHY 供应商控制寄存器	<a href="#">12-249</a>
0x0038	GGPIO	通用输入/输出寄存器	<a href="#">12-250</a>
0x003C	GUID	用户 ID 查询寄存器	<a href="#">12-250</a>
0x0040	GSNPSID	Synopsys ID 查询寄存器	<a href="#">12-251</a>
0x0044	GHWCFG1	用户硬件配置寄存器 1	<a href="#">12-251</a>
0x0048	GHWCFG2	用户硬件配置寄存器 2	<a href="#">12-252</a>
0x004C	GHWCFG3	用户硬件配置寄存器 3	<a href="#">12-254</a>
0x0050	GHWCFG4	用户硬件配置寄存器 4	<a href="#">12-255</a>
0x0054	GLPMCFCG	LPM 配置寄存器	<a href="#">12-257</a>
0x0058	GPWRDN	下电寄存器	<a href="#">12-260</a>
0x005C	GDFIFOCFG	DFIFO 软件配置寄存器	<a href="#">12-264</a>
0x0060	GADPCTL	ADP 的计时器，控制与状态寄存器	<a href="#">12-264</a>
0x0100	HPTXFSIZ	TxFIFO 配置寄存器	<a href="#">12-267</a>
0x0104+ 0x0004× FIFO_num	DPTXFSIZN	Device Periodic Transmit FIFO-n Size 寄存器	<a href="#">12-267</a>



偏移地址	名称	描述	页码
0x0104+ 0x0004× FIFO_num	DIEPTXFN	Device IN Endpoint Transmit FIFO Size 寄存器	12-268
0x0800	DCFG	Device 配置寄存器	12-268
0x0804	DCTL	Device 控制寄存器	12-269
0x0808	DSTS	Device 状态查询寄存器	12-271
0x0810	DIEPMSK	Device IN Endpoint common 中断屏蔽寄存器	12-272
0x0814	DOEPMSK	Device OUT Endpoint 公共中断屏蔽寄存器	12-273
0x0818	DAINT	Device 所有 Endpoint 中断寄存器	12-275
0x081C	DAINTMSK	所有 Endpoint 中断屏蔽寄存器	12-276
0x0820	DTKNQR1	Device IN Token Sequence Learning Queue 读寄存器 1	12-276
0x0824	DTKNQR2	Device IN Token Sequence Learning Queue 读寄存器 2	12-277
0x0830	DTKNQR3	Device IN Token Sequence Learning Queue 读寄存器 3	12-277
0x0834	DTKNQR4	Device IN Token Sequence Learning Queue 读寄存器 4	12-278
0x0828	DVBUSDIS	Device VBUS 放电时间寄存器	12-278
0x082C	DVBUSPULSE	Device VBUS pulsing 时间寄存器	12-279
0x0830	DTHRCTL	device 水线控制寄存器	12-279
0x0834	DIEPEMPMSK	Device IN Endpoint FIFO Empty 中断屏蔽寄存器	12-280
0x0838	DEACHINT	Device Each Endpoint 中断寄存器	12-281
0x083C	DEACHINTMSK	Device Each Endpoint 中断屏蔽寄存器	12-281
0x0840+ (0x0004×n)	DIEPEACHMSK N	device each in Endpoint-n 中断寄存器	12-282
0x0880+ (0x0004×n)	DOEPEACHMSK N	device each out Endpoint-n 中断寄存器	12-284
0x0900	DIEPCTL0	Device Control IN Endpoint 0 控制寄存器	12-285



偏移地址	名称	描述	页码
0x0B00	DOEPCTL0	Device Control OUT Endpoint 0 控制寄存器	12-287
0x0900+ (0x0020×n)	DIEPCTLN	Device IN Endpoint-n 控制寄存器	12-289
0x0B00+ (0x0020×n)	DOEPCTLN	Device OUT Endpoint-n 控制寄存器	12-292
0x0908+ (0x0020×n)	DIEPINTn	Device IN Endpoint-n 中断寄存器	12-295
0x0B08+ (0x0020×n)	DOEPINTn	Device OUT Endpoint-n 中断寄存器	12-298
0x0910	DIEPTSIZ0	Device IN Endpoint 0 传输大小寄存器	12-300
0x0B10	DOEPTSIZ0	Device OUT Endpoint 0 传输大小寄存器	12-300
0x0910+ (0x0020×n)	DIEPTSIZn	Device IN Endpoint-n 传输大小寄存器	12-301
0x0B10+ (0x0020×n)	DOEPTSIZn	Device OUT Endpoint-n 传输大小寄存器	12-302
0x0914+ (0x0020×n)	DIEPDMAN	Device IN Endpoint-n DMA 地址寄存器	12-303
0x0B14+ (0x0020×n)	DOEPDMAN	Device OUT Endpoint-n DMA 地址寄存器	12-303
0x091C+ (0x0020×n)	DIEPDMABN	Device IN Endpoint-n DMA buffer 地址寄存器	12-304
0x0B1C+ (0x0020×n)	DOEPDMABN	Device OUT Endpoint-n DMA buffer 地址寄存器	12-304
0x0938	DTXFSTSn	Device IN Endpoint Transmit FIFO 状态寄存器	12-305

## 12.9.5 USB 2.0 寄存器描述

### 12.9.5.1 USB HOST 寄存器描述

#### INTNREG00

INTNREG00 为配置微帧长度寄存器。



Offset Address		Register Name		Total Reset Value					
0x90		INTNREG00		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					val			en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	RO	reserved	保留。						
[13:1]	RW	val	微帧计数器值。该寄存器仅用于仿真。正常工作时，微帧长度是协议规定的 125μs；仿真时，为了缩短仿真时间，根据需要可以配置该寄存器改变微帧长度。						
[0]	RW	en	使能微帧长度寄存器。 0：禁止； 1：使能。						

## INSNREG01

INSNREG01 为配置 PBUF OUT/IN 寄存器。

Offset Address		Register Name		Total Reset Value				
0x94		INSNREG01		0x0020_0020				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	out_threshold					in_threshold		
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	out_threshold	发送水线。发送数据时，当 PBUF 中数据超过发送水线，开始发送数据。单位为 32bit。					
[15:0]	RW	in_threshold	接收水线。接收数据时，当 PBUF 中的数据超过接收水线，将数据从 PBUF 中读走。单位为 32bit。					

## INSNREG02

INSNREG02 为配置 PBUF 深度寄存器。



Offset Address		Register Name		Total Reset Value					
0x98		INSNREG02		0x0000_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						pbuf_depth		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RW	pbuf_depth	PBUF 深度。单位为 32bit。						

### INSNREG03

INSNREG03 为中断 memory 传输使能寄存器。

Offset Address		Register Name		Total Reset Value								
0x9C		INSNREG03		0x0000_0001								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						dis	ctrl	val	fetch	offset	brk_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1	
Bits	Access	Name	Description									
[31:15]	RO	reserved	保留。									
[14]	RW	dis	256MHz 时钟检查使能 0: 禁止; 1: 使能。									
[13]	RW	ctrl	在 TESTSE0 NAK 期间忽略线态。 0: 禁止; 1: 使能。									
[12:10]	RW	val	tx-tx turnaround 延迟附加。									
[9]	RW	fetch	Periodic 帧列表取指令, 仅在 CONFIG1 模式下有效。 0: 控制器只在微帧 0 时从周期性链表取指令; 1: 控制器每个微帧都从周期性链表取指令。									
[8:1]	RW	offset	可用时间 offset。									



[0]	RO	brk_en	中断 Memory 传输使能。 0: 禁止; 1: 使能。
-----	----	--------	-------------------------------------

## INTNREG04

INTNREG04 为 DEBUG 寄存器。

	Offset Address	Register Name	Total Reset Value															
	0xA0	INTNREG04	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved												auto_en	nak_reldfix_en	reserved	scaledwn_enum_time	hccparam_en	hccparam_en
Reset	0 0																	
Bits	Access	Name	Description															
[31:6]	RO	reserved	保留。															
[5]	RW	auto_en	自动规格使能。 0: 使能（当软件复位 run/stop，但 hchalted 位还未设置时挂起信号有效）； 1: 禁止（即软件清除 run/stop 位时端口不挂起）。 默认为 0。															
[4]	RW	nak_reldfix_en	NAK 重载使能。 0: 使能； 1: 禁止。															
[3]	RO	reserved	保留。															
[2]	RW	scaledwn_enum_time	减少端口枚举时间。 0: 禁止； 1: 使能。															
[1]	RW	hccparam_en	HCCPARAMS 寄存器可写使能。 0: 禁止； 1: 使能。															



[0]	RW	hcsparam_en	HCSPARAMS 寄存器可写使能。 0: 禁止; 1: 使能。
-----	----	-------------	--

## INTNREG05

INTNREG05 为 UTMI Vendor 控制及状态寄存器，用于读写 UTMI PHY 寄存器。

	Offset Address 0xA4								Register Name INTNREG05				Total Reset Value 0x0000_1000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vbusy	vport				vcontrol_loadm	reserved																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:18]	RO		reserved		保留。																											
[17]	RO		vbusy		“1”表明硬件现在正在执行数据写操作，只有当进程结束时，该位清零。																											
[16:13]	RW		vport		端口号，不能超过支持的端口数。																											
[12]	RW		vcontrol_loadm		装载使能。 0: 使能; 1: 禁止。																											
[11:0]	RO		reserved		保留。																											

## INTNREG06

INTNREG06 为 AHB 错误状态寄存器。



Offset Address		Register Name		Total Reset Value						
0xA8		INTNREG06		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	err_capture reserved				hbusrt_err		num_beat_err		num_beat_ok	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RW	err_capture	发生了 AHB 错误。							
[30:12]	RO	reserved	保留。							
[11:9]	RO	hbusrt_err	发生 AHB 错误时控制传输阶段 hburst 值。							
[8:4]	RO	num_beat_err	发生 AHB 错误时该次 burst 传输的拍数。最大拍数为 16。 0x00~0x10: 有效; 0x11~0x1F: 保留。							
[3:0]	RO	num_beat_ok	发生 AHB 错误时该次 burst 传输中已经成功完成的拍数。							

## INTNREG07

INTNREG07 为 AHB 错误地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xAC		INTNREG07		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	err_addr	发生 AHB 错误时控制传输阶段的地址。					

### 12.9.5.2 USB Device 寄存器描述

## GOTGCTL

GOTGCTL 为 Device 行为控制与状态查询寄存器。





		Offset Address 0x0000								Register Name GOTGCTL								Total Reset Value 0x04C1_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				chirpen	multvalidbc				reserved	otgver	bsesvld	asesvld	dbnctime	conidsts	reserved				devhmpen	hstsethmpen	hmpreq	hstnegscs	bvalidovval	bvalidoven	avalidovval	avalidoven	vvalidovval	vvalidoven	sesreq	sesreqscs	
Reset		0	0	0	0	0	1	0	0	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31:28]	RO	reserved		保留。																													
[27]	RW	chirpen		Chirp On 使能。 0: 禁止; 1: 使能。 <b>注意:</b> 此比特位只有当 OTG_BC_SUPPORT=1 的时候有效, 若 OTG_BC_SUPPORT 不等于 1, 此比特位保留。																													
[26:22]	RO	multvalidbc		BC ACA 输入如下: Bit[26]: rid_float; Bit[25]: rid_gnd; Bit[24]: rid_a; Bit[23]: rid_b; Bit[22]: rid_c。																													
[21]	RO	reserved		保留。																													
[20]	RW	otgver		Device 版本标识。 0: Device 版本 1.3; 1: Device 版本 2.0。																													
[19]	RO	bsesvld		Device Mode 下 transceiver 状态指示。 0: B-session 无效; 1: B-session 有效。																													
[18]	RO	asesvld		Host Mode 下 transceiver 状态指示。 0: A-session 无效; 1: A-session 有效。																													
[17]	RO	dbnctime		消抖时间指示。 0: 长消抖时间; 1: 短消抖时间。																													



[16]	RO	conidsts	USB_ID 状态。 0: Device 在 A-Device 模式下工作; 1: Device 在 B-Device 模式下工作。
[15:12]	RO	reserved	保留。
[11]	RW	devhnpn	Device HNP 使能。 0: 禁止; 1: 使能。
[10]	RW	hstsethnpn	Host HNP 使能。 0: 禁止; 1: 使能。
[9]	RW	hnpreq	HNP 请求。 0: 不请求; 1: 请求。
[8]	RO	hstnegscs	Host Negotiation 指示。 0: Host Negotiation 失败; 1: Host Negotiation 成功。
[7]	RW	bvalidovval	Bvalid 设置。 0: Bvalid = 0; 1: Bvalid = 1, 当 GOTGCTL.BvalidOvEn = 1, 此位有效。
[6]	RW	bvalidoven	Bvalid 信号覆盖赋值使能/禁止。 0: Bvalid 可以被覆盖; 1: Bvalid 不能被覆盖。
[5]	RW	avalidovval	Avalid 设置。 0: Avalid = 0; 1: Avalid = 1。 当 GOTGCTL.AvalidOvEn = 1, 此位有效。
[4]	RW	avalidoven	Avalid 信号覆盖赋值使能/禁止。 0: Avalid 可以被覆盖; 1: Avalid 不能被覆盖。
[3]	RW	vbvalidovval	vbusvalid 信号设置。 0: vbusvalid = 0; 1: vbusvalid = 1。 当 GOTGCTL.VbvalidOvEn = 1, 此为有效。



[2]	RW	vbvalidoven	vbvalid 信号覆盖赋值使能/禁止。 0: vbvalid 可以被覆盖; 1: vbvalid 不能被覆盖。
[1]	RW	sesreq	session 请求。 0: 不请求; 1: 请求。
[0]	RO	sesreqscs	session 请求状态指示。 0: session 请求失败; 1: session 请求成功。

## GOTGINT

GOTGINT 为 Device 中断发生指示/消除寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x0004				GOTGINT								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								multvalipchng	dbncedone	adevtoutchg	hstnegdet	reserved				hstnegsucstschng	sesreqsucstschng	reserved				sesenddet	reserved												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:21]	RO		reserved		保留。																															
[20]	RO		multvalipchng		至少一个 ACA pin 的值发生变化是发生中断，置一中断清除。 此比特为仅在 OTG_BC_SUPPORT=1 时有效。																															
[19]	RO		dbncedone		消抖成功时发生中断，置一中断清除。 此比特为仅在 HNP Capable 或者 SRP Capable 设为 1 时有效。																															
[18]	RO		adevtoutchg		等待 B 设备连接超时发生中断，置一中断清除。																															
[17]	RO		hstnegdet		检测到 Host Negotiation 时发生中断，置一中断清除。																															
[16:10]	RO		reserved		保留。																															
[9]	RO		hstnegsucstschng		当 Host Negotiation 请求成功或者失败时发生中断，置一清除。																															



[8]	RO	sesreqsuctschng	当 Session 请求成功或者失败时发生中断，置一中断清除。
[7:3]	RO	reserved	保留。
[2]	RO	sesenddet	当 utmiotg_bvalid 被解除时发生中断，置一中断清除。
[1:0]	RO	reserved	保留。

## GAHBCFG

GAHBCFG 为 AHB 配置寄存器。

Offset Address		Register Name		Total Reset Value													
0x0008		GAHBCFG		0x0000_0000													
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0									
Name	reserved				reserved				invdescendianness	ahbsingle	notialldmawrit	remmemsupp	npixtemplvl	reserved	dimaen	hbstlen	gfbintrmsk
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description														
[31:25]	RO	reserved	保留。														
[24]	RW	invdescendianness	Descriptor 字节取反。 0: Descriptor 字节顺序与 AHB master 字节顺序类似; 1: 当 AHB master 字节顺序为 Big Endian, Descriptor 的字节顺序为 Little Endian。当 AHB master 字节顺序为 Little Endian, Descriptor 的字节顺序为 Big Endian。														
[23]	RW	ahbsingle	在 DMA 模式的一个传输中。 0: 剩余数据采用 INCR burst size 传输; 1: 剩余数据采用 Single burst size 传输。														
[22]	RW	notialldmawrit	通报所有 DMA 写操作, 此比特位仅当 GAHBCFG.RemMemSupp 为 1 的时候有效。														



[21]	RW	remmempsupp	<p>远程 memory 支持。</p> <p>0: int_dma_req 信号和 int_dma_done 信号不会被置位，控制器 core 在 DMA 写操作完成之后立即处理 XferComp 中断；</p> <p>1: 当 HSOTG DMA 开始向外部存储器写数据的时候，int_dma_req 会置位，然后当控制器 core 完成传输，将 int_dma_done 置位，表示通过 HSOTG 的写操作已经完成。这时控制器 core 等待系统给出的 sys_dma_done 信号有效，然后进行下一步的 DMA 传输。</p>
[20:8]	RO	reserved	保留。
[7]	RW	nptxfemplvl	<p>非周期型 Tx FIFO 空状态等级。</p> <p>0: TxFEmp 中断指示的是 IN 端点 Tx FIFO 状态为半空；</p> <p>1: TxFEmp 中断指示的是 IN 端点 Tx FIFO 状态为全空。</p>
[6]	RO	reserved	保留。
[5]	RW	dmaen	<p>DMA 模式使能。</p> <p>0: core 在 Slave 模式下工作；</p> <p>1: core 在 DMA 模式下工作。</p>
[4:1]	RW	hbstlen	<p>Burst 长度/类型，在外部与内部 DMA 模式下均能使用。外部 DMA 模式：</p> <p>0x0: 1 word；</p> <p>0x1: 4 words；</p> <p>0x2: 8 words；</p> <p>0x3: 16 words；</p> <p>0x4: 32 words；</p> <p>0x5: 64 words；</p> <p>0x6: 128 words；</p> <p>0x7: 256 words；</p> <p>其他：保留。</p> <p>内部 DMA 模式：</p> <p>0x0: Single；</p> <p>0x1: INCR；</p> <p>0x3: INCR4；</p> <p>0x5: INCR8；</p> <p>0x7: INCR16；</p> <p>其他：保留。</p>
[0]	RW	gblintrmsk	<p>全局中断屏蔽。</p> <p>0: 屏蔽；</p> <p>1: 不屏蔽。</p>



## GUSBCFG

GUSBCFG 为 USB 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x000C		GUSBCFG		0x0000_1400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	corrupttxpkt forcedevmode forcehstmode txenddelay usbtrafctl ic_usbcap ulpi indicator complement termseidpulse ulpiextvbusindicator ulpiextvbusdrv	ulpiclksum ulpiautores ulpifsis otg2csel phylpwrciksel reserved	usbtrdtim	hnpcap srpcap ddrsel physel fsintf ulpi_utmi_sel phyif	toutcal			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	WO	corrupttxpkt	非预期 tx 包。 debug 专用，此比特位永远置 0。					
[30]	RW	forcedevmode	强制 Device 模式。 0: 普通模式； 1: 强制设置为 Device 模式。					
[29]	RW	forcehstmode	强制 Host 模式。 0: 普通模式； 1: 强制设置为 Host 模式。					
[28]	RW	txenddelay	Tx 结束延迟使能。 0: 禁止； 1: 使能。					
[27]	RW	usbtrafctl	USB 上下拉电阻控制(traffic signaling)。 0: 上下拉电阻 attached； 1: 上下拉电阻 detached。 <b>注意：</b> <b>此比特位仅当 OTG_ENABLE_IC_USB=1 和 USBCFG.IC_USBCap = 1 时有效。</b>					
[26]	RO	ic_usbcap	IC_USB 使能控制。 0: IC_USB PHY 接口不被选择； 1: IC_USB PHY 接口被选择。					



[25]	RW	ulpi	ULPI 接口保护废除使能。 0: 使能接口保护电路; 1: 废除接口保护电路。
[24]	RW	indicator	Indicator Pass Through。 0: 互补输出信号由内部 Vbusvalid 比较器决定; 1: 互补输出信号不由内部 Vbusvalid 比较器决定。 当 TG_HSPHY_INTERFACE = 1 时, 此比特位为只读; 当 TG_HSPHY_INTERFACE = 0 时, 此比特位保留。
[23]	RW	complement	Indicator 互补 0: PHY 不倒置 ExternalVbusIndicator 信号; 1: PHY 倒置 ExternalVbusIndicator 信号。
[22]	RW	termseldlpulse	SRP 中行脉冲驱动。 0: utmi_txvalid 驱动行脉冲; 1: utmi_termsel 驱动行脉冲。
[21]	RW	ulpiextvbusindicator	ULPI 外部 VBUS 过流指示器。 0: PHY 使用内部 VBUS valid 比较器; 1: PHY 使用外部 VBUS valid 比较器。 此比特位仅在 OTG_HSPHY_INTERFACE = 2 或 3 有效。
[20]	RW	ulpiextvbusdrv	ULPI 外部 VBUS 驱动。 0: PHY 使用内部 charge pump 驱动 VBUS; 1: PHY 使用外部电源驱动 VBUS。 <b>注意:</b> <b>此比特位仅在 OTG_HSPHY_INTERFACE = 2 或 3 有效。</b>
[19]	RW	ulpiclksusm	ULPI 时钟 suspend。 0: suspend 时 PHY 关闭内部时钟; 1: suspend 时 PHY 不关闭内部时钟。 <b>注意:</b> <b>此比特位仅在 OTG_HSPHY_INTERFACE = 2 或 3 有效。</b>
[18]	RW	ulpiautores	ULPI 自动恢复。 0: PHY 不使用自动恢复特性; 1: PHY 使用自动恢复特性。 <b>注意:</b> <b>此比特位仅在 OTG_HSPHY_INTERFACE=2 或 3 有效。</b>



[17]	RW	ulpifsls	<p>ULPI FS/LS 选择。</p> <p>0: ULPI 接口；</p> <p>1: ULPI FS/LS 串行接口。</p> <p><b>注意：</b></p> <p><b>设置此比特位需要保证 GUSBCFG.ULPI_UTMI_SEL=1。</b></p>
[16]	RW	otgi2csel	<p>UTMI 或 I2C 接口选择。</p> <p>0: UTMI USB1.1 全速接口；</p> <p>1: I2C 接口。</p> <p><b>注意：</b></p> <p><b>此比特位仅在 OTG_I2C_INTERFACE=2 有效，读此比特位将返回 0。</b></p>
[15]	RW	phylpwrclocksel	<p>PHY 低功耗时钟选择。</p> <p>0: 480-MHz 内部 PLL 时钟；</p> <p>1: 48-MHz 外部时钟。</p>
[14]	RO	reserved	保留。
[13:10]	RW	usbtrdtim	<p>USB Turnaround 时间。</p> <p>0101: 当 MAC 接口为 16bit UTMI+；</p> <p>1001: 当 MAC 接口为 8bit UTMI+；</p> <p>其他: 保留。</p>
[9]	RW	hnpcap	<p>HNP 使能。</p> <p>0: 禁止；</p> <p>1: 使能。</p>
[8]	RW	srpcap	<p>SRP 使能。</p> <p>0: 禁止；</p> <p>1: 使能。</p>
[7]	RW	ddrsel	<p>ULPI DDR 选择。</p> <p>0: 单数率 ULPI 接口；</p> <p>1: 双数率 ULPI 接口。</p> <p>此比特位仅当 OTG_HSPHY_INTERFACE=2 or 3 有效。</p>





[6]	RW	physel	<p>USB2.0 高速 PHY 或 USB1.1 全速串行 Transceiver 选择。</p> <p>0: USB2.0 高速 UTMI+或者 ULPI PHY; 1: USB1.1 全速串行 Transceiver。</p> <p>若 USB1.1 全速串行 Transceiver 没有被选择, 此比特位永远为 0, 且为只读。</p> <p>若 USB2.0 高速 PHY 没有被选择, 此比特位永远为 1, 且为只读。</p> <p>若两种接口类型都没有被选择(非 0 参数), 此比特位被用来选择哪个接口被激活, 并且此比特位为可读可写。</p>
[5]	RW	fsintf	<p>全速串行接口选择。</p> <p>0: 6-pin 单向全速串行接口; 1: 3-pin 双向全速串行接口。</p> <p>若 USB1.1 全速串行 Transceiver 没有被选择, 此比特位永远为 0, 且为只写。</p> <p>若 USB1.1 全速接口被选择, 此比特位可以用来选择 3-pin 或者 6-pin 的接口, 且为可读可写。</p>
[4]	RW	ulpi_utmi_sel	<p>ULPI 或 UTMI 选择。</p> <p>0: UTMI+接口; 1: ULPI 接口。</p>
[3]	RW	phyif	<p>PHY 接口。</p> <p>0: 8 位; 1: 16 位。</p>
[2:0]	RW	toutcal	<p>HS/FS 超时校准。</p> <p>高速操作:</p> <p>One 30-MHz PHY clock = 16 bit times One 60-MHz PHY clock = 8 bit times</p> <p>全速操作:</p> <p>One 30-MHz PHY clock = 0.4 bit times One 60-MHz PHY clock = 0.2 bit times One 48-MHz PHY clock = 0.25 bit times。</p>

## GRSTCTL

GRSTCTL 为复位硬件特性寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0010		GRSTCTL		0x8000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ahbidle	dmareq	reserved												txfnum				txffish	rxffish	in1knqfish	fimcentrst	reserved	csfirst								
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31]		[30]		[29:11]																											
Access	RO		RO		RO																											
Name	ahbidle		dmareq		reserved																											
Description	AHB Master Idle 指示 AHB Master 状态机处于 IDLE 状态。 0: AHB Master 状态机处于非 IDLE 状态 1: AHB Master 状态机处于 IDLE 状态		DMA 请求信号。 指示 DMA 请求正在处理, debug 专用。 0: 其它 1: DMA 请求正在处理		保留。																											



[10:6]	RW	txfnum	<p>TxFIFO 号，必须使用 TxFIFO Flush 位刷新 FIFO 号，在控制器 core 清除 TxFIFO Flush 位之前不能被改写。</p> <p>0x0:</p> <ul style="list-style-type: none"> <li>-在 host 模式下无周期型 TxFIFO 清除；</li> <li>-在 shared FIFO 操作中，device 模式下无周期型 TxFIFO 清除；</li> <li>- 在 dedicatied FIFO 模式中，device 模式下 TxFIFO 0 清除。</li> </ul> <p>0x1:</p> <ul style="list-style-type: none"> <li>-在 host 模式下，周期型 TxFIFO 清除；</li> <li>-在 shared FIFO 操作中，device 模式下周期型 TxFIFO 1 清除；</li> <li>- 在 dedicatied FIFO 模式中，device 模式下 TxFIFO 1 清除。</li> </ul> <p>0x2:</p> <ul style="list-style-type: none"> <li>-在 shared FIFO 操作中，device 模式下周期型 TxFIFO 2 清除；</li> <li>- 在 dedicatied FIFO 模式中，device 模式下 TxFIFO 2 清除；</li> </ul> <p>...</p> <p>0xF:</p> <ul style="list-style-type: none"> <li>-在 shared FIFO 操作中，device 模式下周期型 TxFIFO 15 清除；</li> <li>- 在 dedicatied FIFO 模式中，device 模式下 TxFIFO 15 清除；</li> </ul> <p>0x10:</p> <ul style="list-style-type: none"> <li>- device 模式或者 host 模式下的所有 transmits FIFO 清除。</li> </ul>
[5]	R_WS_S C	txfflsh	<p>TxFIFO 清除。</p> <p>此比特位可选择刷新单个或者所有 transmit FIFO，但是不能在 transaction 中间进行。应用程序必须检查控制器 core 没有对 TxFIFO 进行读或写之后才能写该比特。清除该 bit 需要 8 个时钟周期，期间应用程序必须等待。</p> <p>0: 不清除；</p> <p>1: 清除。</p>
[4]	RO	rxfflsh	<p>RxFIFO 清除，但是不能在 transaction 中间进行。应用程序必须检查控制器 core 没有对 RxFIFO 进行读或写之后才能写该比特。清除该 bit 需要 8 个时钟周期，期间应用程序必须等待。</p> <p>0: 不清除；</p> <p>1: 清除。</p>



[3]	R_WS_SC	intknqflsh	In Token Sequence Learning Queue 清除。 此比特位仅当 OTG_EN_DED_TX_FIFO=0 时有效。 0: 不清除; 1: 清除。
[2]	RO	frmctrst	Host Frame Counter 复位。 此比特位用于复位 frame number counter, 当 frame number counter 被复位, 接下来发出的 SOF 微帧号为 0。 0: 不复位; 1: 复位。
[1]	RO	reserved	保留。
[0]	RW	csfrst	内核软中断。 1)清除除了下列比特位外所有的中断和 csr 寄存器: - PCGCCTL.RstPdnModule - PCGCCTL.GateHclk - PCGCCTL.PwrClmp - PCGCCTL.StopPPhyLPwrClkSelclk - GUSBCFG.PhyLPwrClkSel - GUSBCFG.DDRSel - GUSBCFG.PHYSel - GUSBCFG.FSIntf - GUSBCFG.ULPI_UTMI_Sel - GUSBCFG.PHYIf - GUSBCFG.TxEndDelay - GUSBCFG.TermSelDLPulse - GUSBCFG.ULPIClkSusM - GUSBCFG.ULPIAutoRes - GUSBCFG.ULPIFsLs - GGPIIO - GPWRDN - GADPCTL - HCFG.FSLSPclkSel - DCFG.DevSpd - DCTL.SftDiscon 2)所有模块状态机被复位成 idle 状态, 所有 transmit FIFO 和 receive FIFO 被清除。 3)所有 AHB Master 上的 transaction 被尽快中断, 所有在 USB 上的 transaction 被立刻中断。 4)当 Hibernation 或 ADP 特性使能的时候, PMU 模块不会被内核软复位。



## GINTSTS

GINTSTS 为系统中断寄存器。

	Offset Address 0x0014				Register Name GINTSTS								Total Reset Value 0x0800_0080																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wkupint	sessreqint	disconnint	conidstschng	lpm_int	ptxfemp	hchint	prtint	resetdet	fetsusp	incomplincompi	soin	oeoint	ieoint	epmis	rstrdoneint	eopf	isoutdrop	enumdone	usbrst	usbsusp	erly susp	i2oint	ulpickini2ceckint	goutnakeff	ginnakeff	npixfemp	rxflvl	sof	otgint	modemis	curmod
Reset	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RWSC		wkupint		恢复/唤醒检测中断，置一清除中断。																											
[30]	RWSC		sessreqint		在 Host 模式下，当检测到 device 的 session 请求时发生中断。 在 Device 模式下，当 utmisrp_bvalid 为 1 时发生中断。 此比特位置一清除中断。																											
[29]	RWSC		disconnint		检测到 device 断开连接时发生中断。 此比特位置一清除中断。																											
[28]	RWSC		conidstschng		插槽 ID 状态改变时发生中断。 此比特位置一清除中断。																											
[27]	RWSC		lpm_int		在 DEVICE 模式下，当设备接收到一个 LPM transaction 并发出无错误响应时发生中断。 在 HOST 模式下，当设备接收到一个 LPM transaction 并发出无错误响应时，或者当 host core 完成 LPM transaction 预订的次数时发生中断。 <b>注意：</b> <b>此比特位仅在 LPMCapable 为 1 或者 OTG_ENABLE_LPM 为 1 时有效。</b> <b>此比特位置一可清除中断。</b>																											
[26]	RO		ptxfemp		当 Periodic Transmit FIFO 全空或者半空的时候发生中断。																											
[25]	RO		hchint		指示在 HOST 模式下，内核的某通道发证了中断。 此比特位消除需要消除相关的状态位。																											



[24]	RO	prtint	<p>在 HOST 模式下，DWC_otg core 的某一端口的端口状态发生改变时发生中断。</p> <p><b>注意：</b> 此比特位消除需要消除在 Host Port Control and Status register 中的相关比特位。</p>
[23]	RWSC	resetdet	<p>在 DEVICE 模式下，当 device 挂起时，当 USB 在 power-down 模式下被检测到复位时发生中断，在 host 模式下，此中断不会发生。</p> <p><b>注意：</b> 此比特位置一可清除中断。</p>
[22]	RWSC	fetsusp	<p>此中断只在 DMA 模式下有效。这个中断说明 core 停止 IN 端点获取数据。</p>
[21]	RWSC	incomplpincompisout	<p>在 HOST 模式下，当有未完成的 transaction 仍然待决时发生中断。</p> <p>在 DEVICE 模式下，当有未完成的 isochronous OUT Transfer 时发生中断。</p> <p><b>注意：</b> 此比特位置一可清除中断。</p>
[20]	RWSC	incompisoin	<p>当有未完成的 Isochronous IN Transfer 发生中断。</p> <p>在 Scatter/Gather DMA 模式下此中断不会发生。</p> <p><b>注意：</b> 此比特位置一可清除中断。</p>
[19]	RO	oepint	<p>指示在 DEVICE 模式下，某一个 OUT 端点发生中断。消除此中断需要在 DOEPINTn 寄存器中清零相关状态比特位。</p>
[18]	RO	iepint	<p>指示在 DEVICE 模式下，某一个 IN 端点发生中断。消除此中断需要在 DOEPINTn 寄存器中清零相关状态比特位。</p>
[17]	RO	epmis	<p>端点不匹配时发生中断，此比特位仅在 shared FIFO 操作时有效。</p> <p><b>注意：</b> 此比特位置一可清除中断。</p>
[16]	RWSC	rstrdoneint	<p>指示 Hibernation 完成之后的 restore 命令导致中断。</p> <p><b>注意：</b> 此比特位仅在 hibernation 特性使能时有效。</p>
[15]	RWSC	eopf	<p>Periodic Frame 结束中断。</p> <p>此比特位置一可清除中断。</p>



[14]	RWSC	isooutdrop	<p>Isochronous OUT 包掉落中断。</p> <p><b>注意:</b> 此比特位置一可清除中断。</p>
[13]	RWSC	enumdone	<p>指示速度枚举完成。</p> <p><b>注意:</b> 此比特位置一可清除中断。</p>
[12]	RWSC	usbrst	<p>指示 USB 检测到复位。</p> <p><b>注意:</b> 此比特位置一可清除中断。</p>
[11]	RWSC	usbsusp	<p>指示 USB 检测到挂起。</p> <p><b>注意:</b> 此比特位置一可清除中断。</p>
[10]	RWSC	erlylsusp	<p>指示在 USB 上检测处于 idle 状态 3ms。</p> <p><b>注意:</b> 此比特位置一可清除中断。</p>
[9]	RWSC	i2cint	<p>当 I2C 接口上的 I2C 访问完成时发生中断。</p> <p>此比特位仅在 OTG_I2C_INTERFACE=1 时使能。</p> <p><b>注意:</b> 此比特位置一可清除中断。</p>
[8]	RWSC	ulpickinti2cckint	<p>当 ULPI Carkit 中断发生时，core 设置此中断位。</p> <p>此比特位仅当 OTG_ULPI_CARKIT = 1 时有效，否则读返回 0；</p> <p>当 I2C Carkit Interrupt，core 设置此中断位。</p> <p>此比特位仅当 OTG_I2C_INTERFACE = 1 时有效，否则读返回 0。</p> <p><b>注意:</b> 此比特位置一可清除中断。</p>
[7]	RO	goutnakeff	<p>指示在 Device 控制 register 中的 global OUT NAK 位被设置。此中断可以通过清零 Global OUT NAK 实现。</p>
[6]	RO	ginnakeff	<p>当 Set Global Non-periodic IN NAK 在 device control 寄存器中北设置的时候发生中断。</p>
[5]	RO	nptxfemp	<p>当 Non-periodic Tx FIFO 全空或者半空时产生中断。</p>
[4]	RO	rxflvl	<p>指示至少一个 packet 正在待决给 Rx FIFO 读。</p>



[3]	RWSC	sof	Host mode: 指示有一个 SOF,micro-SOF 或者 Keep-acitve 正在被发送。 Device mode: 指示有个 SOF token 被 USB 接收。
[2]	RO	otgint	指示有一个 OTG 协议事件在进行。 消除此中断需要清零 GOTGINT 寄存器上的相关比特位。
[1]	RWSC	modemis	模式不匹配中断。 -当 core 在 DEVICE 模式下工作, 一个 host 模式的寄存器要被访问; -当 core 在 HOST 模式下工作, 一个 device 模式的寄存器要被访问。 0: 无效; 1: 有效。 <b>注意:</b> <b>此比特位置一可清除中断。</b>
[0]	RO	curmod	当前工作模式。 0: DEVICE 模式; 1: HOST 模式。

## GINTMSK

GINTMSK 为系统中断屏蔽寄存器。

		Offset Address 0x0018																				Register Name GINTMSK												Total Reset Value 0x0000_0000			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		wkupintmsk	sessreqintmsk	disconnintmsk	conidstschngmsk	lpm_intmsk	ptxfempmsk	hchintmsk	prntmsk	resetdetrmsk	fetsuspmsk	incomplpmskincompisoooutmsk	incompisoimsk	oeptintmsk	ieptintmsk	epmismsk	rstrdoneintmsk	eopfmsk	isoooutdropmsk	enumdonemsk	usbrstmsk	usbsuspmsk	erlysuspmask	i2cintmsk	ulpickintmsk	goutnafeffmsk	ginnakeffmsk	npixfempmsk	rxflvlmsk	sofmsk	otgintmsk	modemismsk	reserved				
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access		Name		Description																															
	[31]	RW		wkupintmsk		Resume/Remote Wakeup 检测中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																															





[30]	RW	sessreqintmsk	Session Request/New Session 检测中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[29]	RW	disconnintmsk	Disconnect 检测中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[28]	RW	conidstschngmsk	Connector ID 状态改变中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[27]	RW	lpm_intmsk	LPM Transaction 接收中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[26]	RW	ptxfempmsk	Periodic TxFIFO Empty 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[25]	RW	hchintmsk	Host Channel 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[24]	RW	prtintmsk	Host Port 中断屏蔽 0: 屏蔽; 1: 不屏蔽。
[23]	RW	resetdetmsk	Reset 检测中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[22]	RW	fetsuspmsk	Data Fetch Suspended 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[21]	RW	incomplpmskincom pisooutmsk	Incomplete Periodic Transfer 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 Incomplete Isochronous OUT Transfer 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。



[20]	RW	incompisoimask	Incomplete Isochronous IN Transfer 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 此比特位仅在 Dedicated TxFIFO mode 当 periodic endpoints 使能的情况下才使能。
[19]	RW	oepintmask	OUT Endpoints 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[18]	RW	iepintmask	IN Endpoints 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[17]	RW	epmismask	Endpoint Mismatch Interrupt 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[16]	RW	rstrdoneintmask	Restore Done 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 这个区域仅在 Hibernation 特性使能时(OTG_EN_PWROPT=2)有效。
[15]	RW	eopfmask	End of Periodic Frame 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[14]	RW	isooutdropmask	Device only Isochronous OUT 丢包中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[13]	RW	enumdonemask	Enumeration Done 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[12]	RW	usbrstmask	USB Reset 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[11]	RW	usbsuspmask	USB Suspend 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。



[10]	RW	erlysuspendmsk	Early Suspend 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[9]	RW	i2cintmsk	I2C 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[8]	RW	ulpickintmsk	ULPI Carkit 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 I2C Carkit 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[7]	RW	goutnakeffmsk	Global OUT NAK Effective 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[6]	RW	ginnakeffmsk	Global Non-periodic IN NAK Effective 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RW	nptxfempmsk	Non-periodic Tx FIFO Empty 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	rxflvlmsk	Receive FIFO Non-Empty 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	sofmsk	Start of (micro)Frame 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	otgintmsk	Device 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	modemismsk	Mode Mismatch 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RO	reserved	保留。



## GRXSTSR

GRXSTSR 为接收状态 debug read 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x001C				GRXSTSR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved_devicemode				fn_devicemode				pktsts_devicemode				dpid_devicemode				bcnt_devicemode				chnum_devicemode											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:25]	RO	reserved	保留。																													
[24:21]	RO	fn_devicemode	Frame 数量。																													
[20:17]	RO	pktsts_devicemode	数据包状态 0001: Global OUT NAK(引发中断); 0010: IN 数据包接收; 0011: IN 传输完成 (引发中断); 0101: 数据 toggle 错误(引发中断); 0111: Channel 停止(引发中断); 其他: 保留。																													
[16:15]	RO	dpid_devicemode	收包的数据 PID 识别。 00: DATA0; 10: DATA1; 01: DATA2; 11: MDATA。																													
[14:4]	RO	bcnt_devicemode	计算收到 IN 数据包的字节大小。																													
[3:0]	RO	chnum_devicemode	指示当前收到数据包归属通道数量。																													

## GRXSTSP

GRXSTSP 为接收状态 read&pop 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0020		GRXSTSP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved_devicemode		fn_devicemode	pktsts_devicemode	dpid_devicemode	bcnt_devicemode		chnum_devicemode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RO	reserved_devicemode	保留。					
[24:21]	RO	fn_devicemode	Frame 数量。					
[20:17]	RO	pktsts_devicemode	数据包状态。 0x1: Global OUT NAK(引发中断); 0x2: IN 数据包接收; 0x3: IN 传输完成 (引发中断); 0x4: 数据 toggle 错误(引发中断); 0x7: Channel 停止(引发中断); 其他: 保留。					
[16:15]	RO	dpid_devicemode	收包的数据 PID 识别。 00: DATA0; 10: DATA1; 01: DATA2; 11: MDATA。					
[14:4]	RO	bcnt_devicemode	计算收到 IN 数据包的字节大小。					
[3:0]	RO	chnum_devicemode	指示当前收到数据包归属通道数量。					

## GRXFSIZ

GRXFSIZ 为 Receive FIFO size 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x0024		GRXFSIZ		0x0000_0211					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rxfdep				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 1	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	rxfdep	RxFIFO 深度。16~32,768。						

## GNPTXFSIZ

GNPTXFSIZ 为 Non-Periodic Transmit FIFO Size 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0028		GNPTXFSIZ		0x0100_0211					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	ineptxf0dep				ineptxf0staddr				
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 1	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RW	ineptxf0dep	IN Endpoint TxFIFO 0 深度。16~32,768。						
[15:0]	RW	ineptxf0staddr	IN Endpoint FIFO0 Transmit RAM 起始地址。						

## GNPTXSTS

GNPTXSTS 为 Non-periodic TxFIFO 和 the Nonperiodic Transmit Request Queue 信息查询寄存器。



Offset Address		Register Name		Total Reset Value																												
0x002C		GNPTXSTS		0x0008_0100																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				nptxqtop				nptxqspcavail				nptxfspcavail																			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				1 0 0 0				0 0 0 0				0 0 0 1				0 0 0 0				0 0 0 0			
Bits	Access	Name		Description																												
[31]	RO	reserved		保留。																												
[30:24]	RO	nptxqtop		Non-periodic Transmit Request Queue 顶层。 bit[30:27]: Channel/endpoint 数量。 bit[26:25]: 00: IN/OUT token; 01: Zero-length transmit packet (device IN/host OUT); 10: PING/CSPLIT token; 11: Channel 停止命令。 bit[24]: 停止 (对于被选择的 channel/endpoint 最后尝试)。																												
[23:16]	RO	nptxqspcavail		Non-periodic Transmit Request Queue 空间可用 0x0: Non-periodic Transmit Request Queue 已满; 0x1: 1 个地址可用; 0x2: 2 个地址可用; 0xn: n 个地址可用 ( $0 \leq n \leq 8$ ) ; 其他: 保留。																												
[15:0]	RO	nptxfspcavail		Non-periodic Transmit Request Queue 可用空间总数。 0x0: Non-periodic TxFIFO 已满; 0x1: 1 word 可用; 0x2: 2 words 可用; 0xn: n words 可用 ( $0 \leq n \leq 32,768$ ); 0x8000: 32,768 words 可用; 其他: 保留。																												



## GI2CCTL

GI2CCTL 为 I2C 访问寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0030		GI2CCTL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	bsydne	rw	reserved	i2cdatse0	i2cdevadr	i2csuspctl	ack	i2cen	addr				regaddr				rwdata															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name		Description																												
[31]	RWSC	bsydne		I2C Busy/Done。 0: I2C Done; 1: I2C Busy。																												
[30]	RW	rw		读写指示。 0: 写; 1: 读。																												
[29]	RO	reserved		保留。																												
[28]	RW	i2cdatse0		FS 接口 USB 模式选择。 0: VP_VM USB 模式; 1: DAT_SE0 USB 模式。																												
[27:26]	RW	i2cdevadr		I2C 设备地址。 00: 7h2C; 01: 7h2D; 10: 7h2E; 11: 7h2F。																												
[25]	RW	i2csuspctl		I2C 挂起控制。 0: 使用 utmi_suspend_n; 1: 使用 I2C write 编辑 PHY 寄存器的 Suspend 位。																												
[24]	RO	ack		I2C ACK。 0: NAK; 1: ACK。																												
[23]	RW	i2cen		I2C Transaction 使能。 0: 禁止; 1: 使能。																												





[22:16]	RW	addr	I2C Slave 地址。
[15:8]	RW	regaddr	I2C 寄存器地址。
[7:0]	RW	rwwdata	I2C 读写数据。

## GPVNDCTL

GPVNDCTL 为 PHY 供应商控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0034				GPVNDCTL								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	disulpidrvr	reserved			vstsdone	vstbsy	newregreq	reserved	regwr	regaddr				vctrlexregaddr				regdata														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RWSC		disulpidrvr		ULPI 驱动禁止。 0: ULPI 接口使能; 1: ULPI 接口禁止。 <b>注意:</b> 此比特位仅在 OTG_ULPI_CARKIT=1 有效, 否则读返回 0。																											
[30:28]	RO		reserved		保留。																											
[27]	RWSC		vstsdone		vendor 控制访问状态(完成) 0: New Register 请求被设置; 1: Vendor Contrl 访问结束。																											
[26]	RO		vstbsy		vendor 控制访问(繁忙) 0: Vendor control 访问结束; 1: Vendor control 正在访问。																											
[25]	RWSC		newregreq		新 vendor 控制访问 0: 无访问请求; 1: 新的 vendor control 访问请求。																											
[24:23]	RO		reserved		保留。																											



[22]	RW	regwr	寄存器读写。 0: 读; 1: 写。
[21:16]	RW	regaddr	寄存器访问地址。
[15:8]	RW	vctrlxtregaddr	UTMI+ Vendor Control 寄存器地址。 [15:12]为 4-bit 并行输出总线寻址 [11:8]来自 utmi_vcontrol[3:0]
[7:0]	RW	regdata	寄存器数据。 当 Vstatus Done 被设置之后有效。

## GGPIO

GGPIO 为通用输入/输出寄存器。

	Offset Address 0x0038								Register Name GGPIO								Total Reset Value 0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	gpo																gpi																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	<b>Bits</b>	<b>Access</b>	<b>Name</b>		<b>Description</b>																																
	[31:16]	RW	gpo		通用输出，被 core 中的 gp_o[15:0]驱动。																																
	[15:0]	RW	gpi		通用输入，反映 core 中 gp_i[15:0]的值。																																

## GUID

GUID 为用户 ID 查询寄存器。

	Offset Address 0x003C								Register Name GUID								Total Reset Value 0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	userid																																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	<b>Bits</b>	<b>Access</b>	<b>Name</b>		<b>Description</b>																																
	[31:0]	RW	userid		用户 ID。																																



## GSNPSID

GSNPSID 为 Synopsys ID 查询寄存器。

Offset Address		Register Name		Total Reset Value				
0x0040		GSNPSID		0x4F54_300A				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	synopsysid							
Reset	0 1 0 0	1 1 1 1	0 1 0 1	0 1 0 0	0 0 1 1	0 0 0 0	0 0 0 0	1 0 1 0
Bits	Access	Name	Description					
[31:0]	RW	synopsysid	当前使用的 DWC_otg core 编号。					

## GHWCFG1

GHWCFG1 为用户硬件配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0044		GHWCFG1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	epdir							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	epdir	Endpoint 方向 每一个 endpoint 使用两位表示其方向 Endpoint Bits [31:30]: Endpoint 15 的方向; Bits [29:28]: Endpoint 14 的方向; ... Bits [3:2]: Endpoint 1 的方向; Bits [1:0]: Endpoint 0 的方向 (永远双向) 方向。 00: 双向 (IN 和 OUT) endpoint; 01: IN endpoint; 10: OUT endpoint; 11: 保留。					



## GHWCFG2

GHWCFG2 为用户硬件配置寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x0048		GHWCFG2		0x2284_C850					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	otg_enable_ic_usb	tknqdepth	ptxqdepth nptxqdepth reserved	multiprocintrpt dynfifosizing periosupport	numhstchnl	numdeveps	fsphtype hsphtype singpnt	otgarch	otgmode
Reset	0 0 1 0	0 0 1 0	1 0 0 0	0 1 0 0	1 1 0 0	1 0 0 0	0 1 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	otg_enable_ic_usb	IC_USB 选择使能。 0: 禁止; 1: 使能。						
[30:26]	RO	tknqdepth	Device 模式 IN Token Sequence Learning Queue 深度。 范围: 0~30。						
[25:24]	RO	ptxqdepth	Host 模式 Periodic Request Queue 深度。 00: 2; 01: 4; 10: 8; 11: 16。						
[23:22]	RO	nptxqdepth	Non-periodic Request Queue 深度。 00: 2; 01: 4; 10: 8; 其他: 保留。						
[21]	RO	reserved	保留。						
[20]	RW	multiprocintrpt	多处理器中断使能。 0: 禁止; 1: 使能。						
[19]	RO	dynfifosizing	动态 FIFO 大小变化使能。 0: 禁止; 1: 使能。						



[18]	RO	periosupport	Host 模式 Periodic OUT Channels 支持。 0: 不支持; 1: 支持。
[17:14]	RO	numhstchnl	Host Channel 数量。 0~15: 0 表示 1 个 channel, 15 表示 16 个 channel。
[13:10]	RO	numdeveps	除端点 0 外的 Device Endpoints 数量。 范围: 1~15。
[9:8]	RO	fsphytype	Full-Speed PHY 接口类型。 00: 不支持 Full-speed 接口; 01: 支持 Full-speed 接口; 10: FS pins 与 UTMI+ pins 共享; 11: FS pins 与 ULPI pins 共享。
[7:6]	RO	hsphytype	High-Speed PHY 接口类型。 00: 不支持 high-speed 接口; 01: UTMI+; 10: ULPI; 11: UTMI+ 和 ULPI。
[5]	RO	singpnt	Point-to-Point。 0: 多点应用(支持 hub 和 split); 1: 单点应用(不支持 hub 和 split)。
[4:3]	RO	otgarch	Device 架构。 00: Slave-Only; 01: 外部 DMA; 10: 内部 DMA; 其他: 保留。
[2:0]	RO	otgmode	操作模式。 000: HNP- and SRP-Capable OTG (Host & Device); 001: SRP-Capable OTG (Host & Device); 010: Non-HNP and Non-SRP Capable OTG (Host & Device); 011: SRP-Capable Device; 100: Non-OTG Device; 101: SRP-Capable Host; 110: Non-OTG Host; 其他: 保留。



## GHWCFG3

GHWCFG3 为用户硬件配置寄存器 3。

	Offset Address 0x004C								Register Name GHWCFG3								Total Reset Value 0x0501_54E8															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dfifodepth												lpmmode	bcsupport	hxicmode	adpsupport	rsttype	optfeature	vndctlsupt	i2cintsel	otgen	pktsizewidth				xfersizewidth						
Reset	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	0	1	1	1	0	1	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	dfifodepth	DFIFO 深度。32~32,768。																													
[15]	RO	lpmmode	LPM 工作模式指定，可配置。																													
[14]	RO	bcsupport	指示 HS Device 控制器是否支持 Battery Charger。 0: 不支持; 1: 支持。																													
[13]	RO	hxicmode	HSIC 模式选择。 0: HSIC-capable 共享 UTMI PHY 接口; 1: 不选择。																													
[12]	RO	adpsupport	指示 Device 控制器是否带有 ADP 逻辑。 0: 不带有; 1: 带有。																													
[11]	RO	rsttype	Clock always Blocks 的 reset 方式。 0: 异步 reset; 1: 同步 reset。																													
[10]	RO	optfeature	可选择的特性移除。 特性包括 User ID register, GPIO interface ports, 和 SOF toggle and counter ports。 0: 不移除; 1: 移除。																													
[9]	RO	vndctlsupt	Vendor 控制接口支持。 0: 不支持; 1: 支持。																													



[8]	RO	i2cintsel	I2C 接口选择。 0: 不选择; 1: 选择。
[7]	RO	otgen	Device 功能使能。 0: 不使能; 1: 使能。
[6:4]	RO	pktsizewidth	数据包宽度。 000: 4 bits; 001: 5 bits; 010: 6 bits; 011: 7 bits; 100: 8 bits; 101: 9 bits; 110: 10 bits; 其他: 保留。
[3:0]	RO	xfersizewidth	传输宽度。 0000: 11 bits; 0001: 12 bits; 1000: 19 bits; 其他: 保留。

## GHWCFG4

GHWCFG4 为用户硬件配置寄存器 4。



Offset Address		Register Name		Total Reset Value																												
0x0050		GHWCFG4		0x4600_8020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	descdma	descdmaen	ineps				dedfifomode	sessendfltr	bvalidfltr	avalidfltr	vbusvalidfltr	iddgfltr	numctleps			phydatawidth		reserved						extndedhibernation	hibernation	ahbfreq	partialpwrdrn	numdeyperiodps				
Reset	0	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31]	RO	descdma		Scatter/Gather DMA。 0: 无动态配置; 1: 动态配置。																												
[30]	RO	descdmaen		PAD Slew rate。 0: fast; 1: slow。																												
[29:26]	RO	ineps		Device 模式下 IN Endpoint 的数量。 0: 1 个 IN Endpoint; 1: 2 个 IN Endpoints; .... 15: 16 个 IN Endpoints。																												
[25]	RO	dedfifomode		Device IN Endpoint 的 Dedicated Transmit FIFO 使能。 0: 禁止; 1: 使能。																												
[24]	RO	sessendfltr		session_end Filter 使能。 0: 禁止; 1: 使能。																												
[23]	RO	bvalidfltr		b_valid Filter 使能。 0: 禁止; 1: 使能。																												
[22]	RO	avalidfltr		a_valid Filter 使能。 0: 禁止; 1: 使能。																												





[21]	RO	vbusvalidfltr	VBUS Valid Filter 使能。 0: 禁止; 1: 使能。
[20]	RO	iddgfltr	IDDIG Filter 使能。 0: 禁止; 1: 使能。
[19:16]	RO	numctleps	Device 模式除了 Endpoint 0 外的控制 Endpoint 数量 范围: 0~15。
[15:14]	RO	phydatawidth	UTMI+ PHY/ULPI-to-Internal UTMI+ Wrapper 数据宽度。 00: 8 bits; 01: 16 bits; 10: 8/16 bits, 软件可配; 其他: 保留。
[13:8]	RO	reserved	保留。
[7]	RO	extndedhibernation	Extended Hibernation 使能。 0: 禁止; 1: 使能。
[6]	RO	hibernation	Hibernation 使能。 0: 禁止; 1: 使能。
[5]	RO	ahbfreq	AHB 最小频率低于 60 MHz。 0: 否; 1: 是。
[4]	RO	partialpwrn	Partial Power Down 使能。 0: 禁止; 1: 使能。
[3:0]	RO	numdevperioeps	Device 模式下 Periodic IN Endpoints 数量 范围: 0~15。

## GLPMCFCG

GLPMCFCG 为 LPM 配置寄存器。



Offset Address		Register Name		Total Reset Value																																			
0x0054		GLPMCFG		0x0000_0000																																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
Name	invselhsic	hsiccon	rstrslpsts	enbesl	lpm_retrycnt_sts		sndlpm		lpm_retry_cnt			lpm_chnl_idx				l1resumeok		slpsts		corelres				hird_thres				enblslpm		bremotewake		hird				applres		lpmcap	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					

Bits	Access	Name	Description
[31]	RW	invselhsic	通过 HSIC-Invert 选择 HSIC 使能。 若 if_sel_hsic = 1; InvSelHsic = 1: 禁止; InvSelHsic = 0: 使能。 若 if_sel_hsic = 0; InvSelHsic = 1: 使能; InvSelHsic = 0: 禁止。
[30]	RW	hsiccon	HSIC-Connect。 Host Mode: 此比特位设置为 1 时, 驱动总线上 HSIC 为 IDLE 态, 并且等待 device 发出 HSIC Connect Sequence; Device Mode: 此比特位设置为 1 时, device 等待总线上出现 HSIC Idle 线态, 出现 Idle 线态后开始 HSIC Connect。 <b>注意:</b> 此比特位仅当 OTG_ENABLE_HSIC = 1 时有效, 否则读返回 0。
[29]	RW	rstrslpsts	Restore SlpSts。 0: core 进入 Shallow Sleep 模式; 1: core 进入 Deep Sleep 模式。
[28]	RW	enbesl	Best Effort Service Latency 使能。 0: 禁止; 1: 使能。
[27:25]	RO	lpm_retrycnt_sts	LPM Retry 计数状态。 统计剩余的 retry 次数。
[24]	RWSC	sndlpm	LPM Transaction 发送。
[23:21]	RW	lpm_retry_cnt	LPM Retry 次数统计。 当 device 给出错误信息, 这里显示 host 在 device 有效信号到来之前额外的 LPM Retry 次数。



[20:17]	RW	lpm_chnl_idx	LPM Channel 指数。 LPM transaction 的 channel 数量已经给出，基于 LPM Channel 指数，core 会自动计算 device 的地址和 endpoint 的数量。
[16]	RO	llresumeok	睡眠状态恢复。 0: 恢复； 1: 不恢复。
[15]	RO	slpsts	Port 睡眠状态。 0: 恢复； 1: 睡眠。
[14:13]	RO	corellres	LPM 响应。 device 模式：LPM Transaction 的响应通过这两个比特位反映； host 模式：LPM transaction 中从 device 收到的握手响应。 11: ACK； 10: NYET； 01: STALL； 00: ERROR (无握手响应)。
[12:8]	RW	hird_thres	BESL or HIRD 水线。
[7]	RW	enblslpm	utmi_sleep_n 使能。 0: 禁止； 1: 使能。
[6]	RW	bremotewake	RemoteWake 使能。 host 模式：使能信号由 LPM Transaction 的 wIndex 域发出； device 模式(只读)：当 ACK, NYET 或者 STALL 响应被发送到 LPM Transcation 时，此比特位会随着收到的 LPM Token, bRemoteWake 和 bmAttribute 被更新。



[5:2]	RW	hird	<p>当 EnBESL = 0</p> <p>Host-Initiated 恢复周期</p> <p>Host 模式：由 LPM transaction 赋值。</p> <p>Device 模式：由 LPM Token HIRD bmAttribute 更新。</p> <p>Sl. No HIRD[3:0] THIRD (μs)</p> <table border="1"> <tr><td>1</td><td>4'b0000</td><td>50</td></tr> <tr><td>2</td><td>4'b0001</td><td>125</td></tr> <tr><td>3</td><td>4'b0010</td><td>200</td></tr> <tr><td>4</td><td>4'b0011</td><td>275</td></tr> <tr><td>5</td><td>4'b0100</td><td>350</td></tr> <tr><td>6</td><td>4'b0101</td><td>425</td></tr> <tr><td>7</td><td>4'b0110</td><td>500</td></tr> <tr><td>8</td><td>4'b0111</td><td>575</td></tr> <tr><td>9</td><td>4'b1000</td><td>650</td></tr> <tr><td>10</td><td>4'b1001</td><td>725</td></tr> <tr><td>11</td><td>4'b1010</td><td>800</td></tr> <tr><td>12</td><td>4'b1011</td><td>875</td></tr> <tr><td>13</td><td>4'b1100</td><td>950</td></tr> <tr><td>14</td><td>4'b1101</td><td>1025</td></tr> <tr><td>15</td><td>4'b1110</td><td>1100</td></tr> <tr><td>16</td><td>4'b1111</td><td>1175</td></tr> </table> <p>当 EnBESL = 1</p> <p>Best Effort Service Latency(BESL)</p> <p>Host 模式：BESL 的值发到 LPM transaction 中</p> <p>device 模式：由 LPM Token BESL bmAttribute 更新。</p>	1	4'b0000	50	2	4'b0001	125	3	4'b0010	200	4	4'b0011	275	5	4'b0100	350	6	4'b0101	425	7	4'b0110	500	8	4'b0111	575	9	4'b1000	650	10	4'b1001	725	11	4'b1010	800	12	4'b1011	875	13	4'b1100	950	14	4'b1101	1025	15	4'b1110	1100	16	4'b1111	1175
1	4'b0000	50																																																	
2	4'b0001	125																																																	
3	4'b0010	200																																																	
4	4'b0011	275																																																	
5	4'b0100	350																																																	
6	4'b0101	425																																																	
7	4'b0110	500																																																	
8	4'b0111	575																																																	
9	4'b1000	650																																																	
10	4'b1001	725																																																	
11	4'b1010	800																																																	
12	4'b1011	875																																																	
13	4'b1100	950																																																	
14	4'b1101	1025																																																	
15	4'b1110	1100																																																	
16	4'b1111	1175																																																	
[1]	RW	applres	<p>LPM 响应。</p> <p>0: NYET;</p> <p>1: ACK。</p>																																																
[0]	RW	lpmcap	<p>LPM 使能</p> <p>0: 禁止;</p> <p>1: 使能。</p>																																																

## GPWRDN

GPWRDN 为下电寄存器。



Offset Address		Register Name												Total Reset Value																		
0x0058		GPWRDN												0x1320_0010																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				multvalidbc				adpint	bsessvld	iddig	linestate	stschngintmsk	stschngint	srpdetectmsk	srpdetect	connctmsk	connectdet	disconnectdetectmsk	disconnectdetect	resetdetmsk	resetdetected	linestagechangemsk	lnstschng	disablevbus	pwrdrnswich	pwrdrnst_n	pwrdrclmp	restore	pmuactv	pmuintsel	
Reset	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:29]	RO	reserved	保留。																													
[28:24]	RO	multvalidbc	BC ACA 输入如下： Bit 28 - rid_float Bit 27 - rid_gnd Bit 26 - rid_a Bit 25 - rid_b Bit 24 - rid_c。																													
[23]	RWSC	adpint	当有 ADP 进行时发生中断。 置一消除中断。																													
[22]	RO	bsessvld	B Session 有效。 0: B-Valid = 0; 1: B-valid = 1。																													
[21]	RO	iddig	IDDIG 信号状态指示。 当前工作模式。 0: Host 模式; 1: Device 模式。																													
[20:19]	RO	linestate	USB 当前线态指示。 00: DM = 0, DP = 0; 01: DM = 0, DP = 1; 10: DM = 1, DP = 0; 11: 未定义。																													
[18]	RW	stschngintmsk	StsChng 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																													



[17]	RWSC	stschngint	StsChng 中断。 此比特位指示 IDDIG 或者 BSessVld 信号的状态有变化。 0: 无状态变化; 1: 状态变化。
[16]	RW	srpdetectmsk	SRPDetect 中断屏蔽, 仅在 HOST 模式有效。 0: 不屏蔽; 1: 屏蔽中断。
[15]	RWSC	srpdetect	SRP 检测。 0: 未检测; 1: 已检测。
[14]	RW	conndetmsk	连接检测中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 此比特位仅在 OTG_EN_PWROPT = 2 时有效。
[13]	RO	connectdet	连接检测。 0: 未连接; 1: 已连接。 此比特位仅在 OTG_EN_PWROPT = 2 时有效
[12]	RW	disconnectdetectmsk	断开检测中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 此比特位仅在 OTG_EN_PWROPT = 2 时有效。
[11]	RWSC	disconnectdetect	断开检测。 0: 未断开; 1: 已断开。 此比特位仅在 OTG_EN_PWROPT = 2 时有效。
[10]	RW	resetdetmsk	复位检测中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 此比特位仅在 OTG_EN_PWROPT = 2 时有效。
[9]	RWSC	resetdetected	复位检测。 0: 未复位; 1: 已复位。 此比特位仅在 OTG_EN_PWROPT = 2 时有效。



[8]	RW	linestagechangemsk	线态改变中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 此比特位仅在 OTG_EN_PWROPT = 2 时有效。
[7]	RWSC	lnstschng	线态改变检测。 0: 未改变; 1: 已改变。 此比特位仅在 GPWRDN.PMUActv = 1 且 OTG_EN_PWROPT = 2 时有效。
[6]	RW	disablevbus	Vbus Disable。 host mode: 0: PrtPwr 不等于 0; 1: PrtPwr 等于 0; device mode: 0: bvalid 信号为高电平; 1: bvalid 信号为低电平。 此比特位仅在 GPWRDN.PMUActv = 1 时有效。
[5]	RW	pwrdsnwtch	Power down 开关。 0: 开; 1: 关。
[4]	RW	pwrdnrst_n	Power down 复位。 0: 复位; 1: 不复位。
[3]	RW	pwrdnclmp	power down 打拍使能。 0: 禁止; 1: 使能。
[2]	RW	restore	Restore。 0: DWC_otg 处于普通模式; 1: DWC_otg 处于 restore 模式。 注意: 此比特位仅在 OTG_EN_PWROPT = 2 时有效。
[1]	RW	pmuactv	PMU 使能。 0: PMU module 禁止; 1: PMU module 使能。
[0]	RW	pmuintsel	PMU 中断选择。 0: 内部 DWC_otg_core 中断; 1: 外部 DWC_otg_core 中断。



## GDFIFOCFG

GDFIFOCFG 为 DFIFO 软件配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x005C				GDFIFOCFG				0x0501_0511																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	epinfobaseaddr								gdfifocfg																							
Reset	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	0	1	0	0	0	1
Bits	Access		Name		Description																											
[31:16]	RW		epinfobaseaddr		此域提供 EP info 控制器的起始地址。																											
[15:0]	RW		gdfifocfg		动态配置 DFIFO 的 size。																											

## GADPCTL

GADPCTL 为 ADP 的计时器，控制与状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0060				GADPCTL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ar	adptoutmsk	adpsnsintmsk	adpprbintmsk	adptoutint	adpsnsint	adpprbint	adpen	adres	enasns	enaprb	rtim				prbper	prbdelta	prbdschg										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:27]	RW		ar		访问请求。 00: 读写有效; 01: 只读; 10: 只写; 11: 保留。																											





[26]	RW	adptoutmsk	ADP 超时中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 <b>注意:</b> 此比特位仅在 OTG_Ver = 1 时有效。
[25]	RW	adpsnsintmsk	ADP Sense 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 <b>注意:</b> 此比特位仅在 OTG_Ver = 1 时有效。
[24]	RWC	adpprbintmsk	ADP Probe 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。 <b>注意:</b> 此比特位仅在 OTG_Ver = 1 时有效。
[23]	RWC	adptoutint	ADP 超时中断。 置 1 可消除中断。 <b>注意:</b> 此比特位仅在 OTG_Ver = 1 时有效。
[22]	RWC	adpsnsint	ADP Sense 中断。 置 1 可消除中断。 <b>注意:</b> 此比特位仅在 OTG_Ver = 1 时有效。
[21]	RWC	adpprbint	ADP Probe 中断。 置 1 可消除中断。 <b>注意:</b> 此比特位仅在 OTG_Ver = 1 时有效。
[20]	RW	adpen	ADP 使能。 0: 禁止; 1: 使能。 <b>注意:</b> 此比特位仅在 OTG_Ver = 1 时有效。



[19]	RWC	adpres	ADP 复位。 0: 未复位; 1: 已复位。 <b>注意:</b> <b>此比特位仅在 OTG_Ver = 1 时有效。</b>
[18]	RW	enasns	sense 使能。 0: 禁止; 1: 使能。 <b>注意:</b> <b>此比特位仅在 OTG_Ver = 1 时有效。</b>
[17]	RW	enaprb	probe 使能。 0: 禁止; 1: 使能。 <b>注意:</b> <b>此比特位仅在 OTG_Ver = 1 时有效。</b>
[16:6]	RO	rtim	Ramp Time。 32kHz 时钟周期数定义。 0x000: 1 cycles; 0x001: 2 cycles; 0x002: 3 cycles; ... 0x7FF: 2048 cycles。
[5:4]	RW	prbper	Probe Period。 00: 0.625 to 0.925s(通常为 0.775s); 01: 1.25 to 1.85s(通常为 1.55s); 10: 1.9 to 2.6s (通常为 2.275s); 11: 保留。
[3:2]	RW	prbdelta	Probe Delta。 32kHz 时钟周期数定义。 00: 1 cycle; 01: 2 cycles; 10: 3 cycles; 11: 4 cycles。



[1:0]	RW	prbdschg	Probe 放电。 为 TADP_DSCHG 定义时间。 00: 4 ms; 01: 8 ms; 10: 16 ms; 11: 32 ms。
-------	----	----------	---

## HPTXFSIZ

HPTXFSIZ 为 TxFIFO 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0100		HPTXFSIZ		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	ptxfsize				ptxfstaddr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	ptxfsize	Host Periodic TxFIFO 深度。16~32768。						
[15:0]	RW	ptxfstaddr	Host Periodic TxFIFO 起始地址。						

## DPTXFSIZN

DPTXFSIZN 为 device Periodic Transmit FIFO-n Size 寄存器。



说明

该寄存器只在 share FIFO 模式下有效。

Offset Address		Register Name		Total Reset Value					
0x0104+0x0004×FIFO_num (FIFO_num=0~14)		DPTXFSIZN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dptxfsize				dptxfstaddr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	dptxfsize	Device Periodic TxFIFO Size 4~768。						
[15:0]	RW	dptxfstaddr	Device Periodic TxFIFO RAM 起始地址。						



## DIEPTXFN

DIEPTXFN 为 Device IN Endpoint Transmit FIFO Size 寄存器。



该寄存器只在 dedicated FIFO 模式下有效。

	Offset Address	Register Name	Total Reset Value						
	0x0104+0x0004×FIFO_num (FIFO_num = 0~14)	DIEPTXFN	0x0300_0251						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	inepntxfdep				inepntxfstaddr				
Reset	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 1	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RW	inepntxfdep	IN Endpoint TxFIFO 深度 16~32768。						
[15:0]	RW	inepntxfstaddr	IN Endpoint FIFO Transmit RAM 起始地址。						

## DCFG

DCFG 为 Device 配置寄存器

	Offset Address	Register Name	Total Reset Value					
	0x0800	DCFG	0x8100_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	resvalid	perschintvl descdma	epmisent	reserved	endevoutmak perfrint	devaddr	ena32khzsusp nzstouthshk	devspd
Reset	1 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:26]	RW	resvalid	Resume 所需时间控制。 此比特为仅在 DCFG.Ena32kHzSusp = 1 的时候有效。					



[25:24]	RW	perschintvl	Scatter/Gather DMA mode 下(micro)frame 的比例确定。 00: 25% of (micro)frame; 01: 50% of (micro)frame; 10: 75% of (micro)frame; 11: Reserved。
[23]	RW	descdma	Device 模式下 Scatter/Gather DMA 使能。 0: 禁止; 1: 使能。
[22:18]	RW	epmiscnt	IN Endpoint 不匹配统计。
[17:14]	RO	reserved	保留。
[13]	RW	endevoutnak	Device OUT NAK 使能。 0: 禁止; 1: 使能。
[12:11]	RW	perfrint	周期性帧间隔。 00: 80% of the (micro)frame interval; 01: 85%; 10: 90%; 11: 95%。
[10:4]	RW	devaddr	Device 地址。
[3]	RW	ena32khzsusp	32 kHz Suspend 模式使能。 0: 禁止; 1: 使能。
[2]	RW	nzstsouthshk	Non-Zero-Length Status OUT 握手选择。
[1:0]	RW	devspd	Device 速度。 00: 高速 (USB 2.0 PHY 时钟为 30 MHz or 60 MHz); 01: 全速 (USB 2.0 PHY 时钟为 30 MHz or 60 MHz); 10: 低速 (USB 1.1 transceiver 时钟为 6 MHz); 11: 全速 (USB 1.1 transceiver 时钟为 48 MHz)。

## DCTL

DCTL 为 Device 控制寄存器。



Offset Address		Register Name												Total Reset Value																						
0x0804		DCTL												0x0000_0002																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																encontonbna	nakonbble	ignrfrmnum	reserved				pwrnprgdone	cgoutnak	sgoutnak	cgnpinnak	sgnpinnak	tsictl				goutnaksts	gnpinnaksts	sftdiscon	rmtwkupsig
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																																	
[31:18]	RO	reserved	保留。																																	
[17]	RW	encontonbna	Continue on BNA 使能。 0: 禁止; 1: 使能。																																	
[16]	RW	nakonbble	NAK on Babble 错误。 0: 无操作; 1: 在收到的 babble 上设置 NAK。																																	
[15]	RW	ignrfrmnum	忽略 isochronous endpoints 的 frame 数量。 0: 不忽略帧数; 1: 忽略帧数。																																	
[14:12]	RO	reserved	保留。																																	
[11]	RW	pwrnprgdone	指示从 power-down 模式中唤醒。 0: 不唤醒; 1: 唤醒。																																	
[10]	WO	cgoutnak	清除 Global OUT NAK。 0: 无操作; 1: 清除。																																	
[9]	WO	sgoutnak	设置 Global OUT NAK。 0: 无操作不设置; 1: 设置。																																	
[8]	WO	cgnpinnak	清除 Global Non-periodic IN NAK。 0: 无操作; 1: 清除。																																	
[7]	WO	sgnpinnak	设置 Global Non-periodic IN NAK。 0: 无操作不设置; 1: 设置。																																	



[6:4]	RW	tsctl	测试控制。 000: 测试模式禁止; 001: Test_J 模式; 010: Test_K 模式; 011: Test_SE0_NAK 模式; 100: Test_Packet 模式; 101: Test_Force_Enable; 其他: 保留。
[3]	RO	goutnaksts	Global OUT NAK 状态。 0: handshake 发送; 1: NAK handshake 发送。
[2]	RO	gnpinnaksts	Global Non-periodic IN NAK 状态。 0: handshake 发送; 1: NAK handshake 发送。
[1]	RW	sftdiscon	软断连。 0: 普通模式; 1: core 驱动 phy_opmode_o 为 2'b01, 然后触发 USB 断连。
[0]	RW	rmtwkupsig	Remote Wakeup 信号发送。 0: 不远程唤醒; 1: 远程唤醒。

## DSTS

DSTS 为 Device 状态查询寄存器。

	Offset Address 0x0808				Register Name DSTS								Total Reset Value 0x0007_FF02																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				devInsts	soffn								reserved				errIccerr	enumspc	suspsis																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	1	0				
Bits	Access		Name		Description																															
[31:24]	RO		reserved		保留。																															



[23:22]	RO	devlnsts	指示当前 USB 数据线的 logic level。 Bit[23]: Logic level of D+; Bit[22]: Logic level of D - 。
[21:8]	RO	soffn	收到的 SOF 包的 Frame 或者 Microfram 的数量。
[7:4]	RO	reserved	保留。
[3]	RO	errticerr	不规则的错误指示。 当 UTMI+接口上出现任何不规则错误（例如 phy_rxvalid_i 因为 PHY 错误而被置位 2ms），控制器 core 将该比特置位。 0: 正常; 1: UTMI+接口上出现不规则错误。
[2:1]	RO	enumspd	枚举速度。 00: 高速 (PHY clock 为 30 or 60 MHz); 01: 全速 (PHY clock 为 30 or 60 MHz); 10: 低速 (PHY clock 为 6 MHz); 11: 全速 (PHY clock 为 48 MHz)。
[0]	RO	suspsts	suspend 状态, 当 suspend 条件被检测, 此位为 1。

## DIEPMSK

DIEPMSK 为 Device IN Endpoint common 中断屏蔽寄存器。

Offset Address	Register Name	Total Reset Value	
0x0810	DIEPMSK	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved   reserved   nakmsk   reserved   bnaintrmsk   txffoundrmsk   reserved   inepnakeffmsk   intknepmismsk   intkntxfempmsk   timeoutmsk   albrmsk   epdisblmsk   xfercomplmsk		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:14]	RO	reserved	保留。
[13]	RW	nakmsk	NAK 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[12:10]	RO	reserved	保留。





[9]	RW	bnainintrmsk	BNA 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[8]	RW	txfifoundrnmask	FIFO Underrun 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[7]	RO	reserved	保留。
[6]	RW	inpnakeffmsk	IN Endpoint NAK Effective 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RW	intknepmismask	IN Token received with EP Mismatch 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	intkntxfempmask	IN Token Received When TxFIFO Empty 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	timeoutmsk	超时条件中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	ahberrmsk	AHB 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	epdisblmsk	Endpoint Disabled 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	xfercomplmsk	Transfer Completed 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

## DOEPMSK

DOEPMSK 为 Device OUT Endpoint 公共中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value														
0x0814		DOEPMASK		0x0000_0000														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0										
Name	reserved				nyetmsk	nakmsk	bbleerrmsk	reserved	bnaoutintrmsk	outpktermask	reserved	back2backsetupmsk	stsphsercvdmsk	outfknepdismask	setupmsk	ahbermsk	epdisbltdmsk	xfercomplmsk
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description															
[31:15]	RO	reserved	保留。															
[14]	RW	nyetmsk	NYET 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。															
[13]	RW	nakmsk	NAK 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。															
[12]	RW	bbleerrmsk	Babble Error 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。															
[11:10]	RO	reserved	保留。															
[9]	RW	bnaoutintrmsk	BNA 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。															
[8]	RW	outpktermask	OUT Packet Error 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。															
[7]	RO	reserved	保留。															
[6]	RW	back2backsetupmsk	Back-to-Back SETUP Packets Received 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。															
[5]	RW	stsphsercvdmsk	Status Phase Received 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。															



[4]	RW	outtknepdismask	W OUT Token Received when Endpoint Disabled 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	setupmask	SETUP Phase Done 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	ahberrmask	AHB Error 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	epdisbldmask	Endpoint Disabled 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	xfercomplmask	Transfer Completed 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

## DAINT

DAINT 为 Device 所有 Endpoint 中断寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0818				DAINT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	outepint												inepint																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:16]	RO	outepint	OUT Endpoint 中断位。 bit16 表示 out endpoint 0; ..... bit31 表示 out endpoint 15。																												
	[15:0]	RO	inepint	IN Endpoint 中断位。 bit0 表示 in endpoint 0 ..... bit15 表示 in endpoint 15。																												



## DAINTMSK

DAINTMSK 为所有 Endpoint 中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value					
0x081C		DAINTMSK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	outepmsk				inepmsk				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	outepmsk	OUT Endpoint 中断屏蔽位。 bit16 表示 out endpoint 0; ..... bit31 表示 out endpoint 15。						
[15:0]	RW	inepmsk	IN Endpoint 中断屏蔽位。 bit0 表示 in endpoint 0; ..... bit15 表示 in endpoint 15。						

## DTKNQR1

DTKNQR1 为 Device IN Token Sequence Learning Queue 读寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x0820		DTKNQR1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	eptkn						wrapbit	reserved	intknwptr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	eptkn	Token 的端点号。 每个令牌用 4 个比特只是令牌的端点号 Bits[31:28]: Token 5 的端点号; Bits[27:24]: Token 4 的端点号; ..... Bits[15:12]: Token 1 的端点号; Bits[11:8]: Token 0 的端点号。						



[7]	RO	wrapbit	打包位。 0: IN 令牌的学习队列清除; 1: 写指针打包。
[6:5]	RO	reserved	保留。
[4:0]	RO	intknwptr	IN Token Queue 写指针。

## DTKNQR2

DTKNQR2 为 Device IN Token Sequence Learning Queue 读寄存器 2。

	Offset Address				Register Name				Total Reset Value																							
	0x0824				DTKNQR2				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	eptkn																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	eptkn		Token 的端点号。 每个令牌用 4 个比特只是令牌的端点号 Bits[31:28]: Token 13 的端点号; Bits[27:24]: Token 12 的端点号; ..... Bits[7:4]: Token 7 的端点号; Bits[3:0]: Token 6 的端点号。																											

## DTKNQR3

DTKNQR3 为 Device IN Token Sequence Learning Queue 读寄存器 3。



Offset Address		Register Name		Total Reset Value				
0x0830		DTKNQR3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	eptkn							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	eptkn	Token 的端点号。 每个令牌用 4 个比特只是令牌的端点号 Bits[31:28]: Token 21 的端点号; Bits[27:24]: Token 20 的端点号; ..... Bits[7:4]: Token 15 的端点号; Bits[3:0]: Token 14 的端点号。					

## DTKNQR4

DTKNQR4 为 Device IN Token Sequence Learning Queue 读寄存器 4。

Offset Address		Register Name		Total Reset Value				
0x0834		DTKNQR4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	eptkn							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	eptkn	Token 的端点号。 每个令牌用 4 个比特只是令牌的端点号 Bits[31:28]: Token 29 的端点号; Bits[27:24]: Token 28 的端点号; ..... Bits[7:4]: Token 23 的端点号; Bits[3:0]: Token 22 的端点号。					

## DVBUSDIS

DVBUSDIS 为 Device VBUS 放电时间寄存器。



Offset Address		Register Name		Total Reset Value					
0x0828		DVBUSDIS		0x0000_17D7					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				dvbusdis				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	1 1 0 1	0 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	dvbusdis	Device Vbus 放电时间。						

## DVBUSPULSE

DVBUSPULSE 为 Device VBUS pulsing 时间寄存器。

Offset Address		Register Name		Total Reset Value					
0x082C		DVBUSPULSE		0x0000_05B8					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				dvbuspulse				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	1 0 1 1	1 0 0 0	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						
[11:0]	RO	dvbuspulse	Device Vbus 脉冲时间。						

## DTHRCTL

DTHRCTL 为 device 水线控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0830		DTHRCTL		0x0C10_0020					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	arbpken reserved	rxthrlen	rxthren reserved	abthrratio	txthrlen	isothren nomisothren		
Reset	0 0 0 0	1 1 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						



[27]	RW	arbprken	仲裁器 parking 使能。 0: 禁止; 1: 使能。
[26]	RO	reserved	保留。
[25:17]	RW	rxthrlen	接收水线长度。
[16]	RW	rxthren	接收水线使能。 使能后可能会引起 RxFIFO 一些问题, 尤其在 RxError 和 Babble 等错误情况下。 0: 不使能 1: 使能
[15:13]	RO	reserved	保留。
[12:11]	RW	ahbthrratio	AHB 水线比率。 00: AHB 水线 = MAC 水线; 01: AHB 水线 = MAC 水线 / 2; 10: AHB 水线 = MAC 水线 / 4; 11: AHB 水线 = MAC 水线 / 8。
[10:2]	RW	txthrlen	Transmit 水线长度。
[1]	RW	isothren	ISO IN Endpoints 水线使能。 0: 禁止; 1: 使能。
[0]	RW	nonisothren	非 ISO IN Endpoints 水线使能。 0: 禁止; 1: 使能。

## DIEPEMPMSK

DIEPEMPMSK 为 Device IN Endpoint FIFO Empty 中断屏蔽寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0834	DIEPEMPMSK	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								ineptxfempmsk							
Reset	0 0															
Bits	Access	Name	Description													
[31:16]	RO	reserved	保留。													





[15:0]	RW	ineptxfempmsk	IN EP Tx FIFO Empty 中断屏蔽。 Bit[0]控制 IN endpoint 0; ... Bit[15]控制 endpoint 15。
--------	----	---------------	---

## DEACHINT

DEACHINT 为 Device Each Endpoint 中断寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0838	DEACHINT	0x0000_0000	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
	19 18 17 16	15 14 13 12	11 10 9 8	
	7 6 5 4	3 2 1 0		
Name	echoutepint			
	echinepint			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description	
[31:16]	RW	echoutepint	OUT Endpoint 中断。 Bit[16]控制 OUT endpoint 0; ... Bit[31]控制 OUT endpoint 15。	
[15:0]	RW	echinepint	IN Endpoint 中断。 Bit[15]控制 IN endpoint 0; ... Bit[0]控制 IN endpoint 15。	

## DEACHINTMSK

DEACHINTMSK 为 Device Each Endpoint 中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0x083C		DEACHINTMSK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	echoutepmsk				echinepmsk				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	echoutepmsk	OUT Endpoint 中断屏蔽。 Bit[16]控制 OUT endpoint 0; ... Bit[31]控制 OUT endpoint 15。 0: 屏蔽; 1: 不屏蔽。						
[15:0]	RW	echinepmsk	IN Endpoint 中断屏蔽。 Bit[16]控制 IN endpoint 0; ... Bit[31]控制 IN endpoint 15。 0: 屏蔽; 1: 不屏蔽。						

## DIEPEACHMSKN

DIEPEACHMSKN 为 device each in Endpoint-n 中断寄存器。

Offset Address		Register Name		Total Reset Value												
0x0840+(0x0004×n)		DIEPEACHMSKN		0x0040_0000												
(n = 0~15)																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				nakmsk	reserved	bnaintrmsk	txfifoundrmsk	reserved	inepnakeffmsk	intknepmismsk	intkntxfempmsk	timeoutmsk	ahbermsk	epdisblmsk	xfercomplmsk
Reset	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description													
[31:14]	RO	reserved	保留。													



[13]	RW	nakmsk	NAK 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[12:10]	RO	reserved	保留。
[9]	RW	bnainintrmsk	BNA 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[8]	RW	txfifoundrnmsk	FIFO Underrun 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[7]	RO	reserved	保留。
[6]	RW	inepnakeffmsk	IN Endpoint NAK Effective 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RW	intknepmismsk	IN Token received with EP 不匹配中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	intkntxfempmsk	IN Token Received When TxFIFO Empty 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	timeoutmsk	超时中断屏蔽(Non-isochronous endpoints)。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	ahberrmsk	AHB 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	epdisbldmsk	Endpoint 失效中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	xfercomplmsk	Transfer 完成中断屏蔽。 0: 屏蔽; 1: 不屏蔽。



## DOEPEACHMSKN

DOEPEACHMSKN 为 device each out Endpoint-n 中断寄存器。

Offset Address  
0x0880+(0x0004×n)  
(n = 0~15)

Register Name  
DOEPEACHMSKN

Total Reset Value  
0x0080\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												nyetmsk	nakmsk	bbleerrmsk	reserved	bnaoutintrmsk	outpkterrmsk	reserved	back2backsetup	reserved	outtknepdismsk	setupmsk	ahbermsk	epdisblmsk	xfercomplmsk						
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:15]	RO	reserved	保留。
[14]	RW	nyetmsk	NYET 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[13]	RW	nakmsk	NAK 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[12]	RW	bbleerrmsk	Babble 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[11:10]	RO	reserved	保留。
[9]	RW	bnaoutintrmsk	BNA 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[8]	RW	outpkterrmsk	OUT Packet 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[7]	RO	reserved	保留。
[6]	RW	back2backsetup	Back-to-Back SETUP Packets Received 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RO	reserved	保留。



[4]	RW	outtknepdismsk	OUT Token Received when Endpoint Disabled 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	setupmsk	SETUP Phase Done 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	ahberrmsk	AHB 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	epdisbldmsk	Endpoint Disabled 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	xfercomplmsk	Transfer 完成中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

## DIEPCTL0

DIEPCTL0 为 Device Control IN Endpoint 0 控制寄存器。

	Offset Address 0x0900										Register Name DIEPCTL0										Total Reset Value 0x0000_8000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	epena	epdis	reserved		snak	cnak	txfnum			stall	reserved	eptype	naksts	reserved	usbactep	nextep				reserved							mps										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
	Bits		Access		Name			Description																													
	[31]		RWSC		epena			端点使能。 当 IN 端点工作在 Scatter/Gather DMA 模式时，该比特有效表示将要发送数据的描述子结构和数据缓存已建立；当 Scatter/Gather DMA 模式禁止时，该比特有效表示待发送的数据已经准备好。 0: 无效； 1: 有效。																													



[30]	RWSC	epdis	<p>端点禁止。</p> <p>应用程序对该比特置位，以终止该端点的数据发送。</p> <p>仅在 DMA 模式下使能。</p> <p>0: 无效； 1: 有效。</p>
[29:28]	RO	reserved	保留。
[27]	WO	snak	<p>NAK 设置。</p> <p>写操作会置位端点的 NAK 比特位。应用程序可以利用该比特来控制一次传输过程中某个端点的 NAK 握手。控制器 core 也可以在某个端点收到 SETUP 包后设置端点的该比特位。</p> <p>0: 无效； 1: 有效。</p>
[26]	WO	cnak	<p>NAK 清除。</p> <p>写操作会清除端点的 NAK 比特位。</p> <p>0: 无效； 1: 有效。</p>
[25:22]	RW	txfnum	TxFIFO 数量。
[21]	RWSC	stall	<p>STALL 握手。</p> <p>应用程序可以设置该比特位，控制器 core 在端点收到 SETUP 包之后清除该比特位。</p> <p>0: 无效； 1: 有效。</p>
[20]	RO	reserved	保留。
[19:18]	RO	eptype	<p>Endpoint 类型。</p> <p>00: 控制传输端点； 01: 实时传输端点； 10: 批量传输端点； 11: 中断传输端点。</p>
[17]	RO	naksts	<p>NAK 状态。</p> <p>0: non-NAK 握手发送； 1: NAK 握手发送。</p>
[16]	RO	reserved	保留。



[15]	RO	usbactep	USB 激活端点 0。 该比特位始终为 1，表示控制端点 0 总是有效的。 0: 无效; 1: 有效。
[14:11]	RO	nextep	临近 Endpoint。 指出下个接收数据的 endpoint 的编号。
[10:2]	RO	reserved	保留。
[1:0]	RW	mps	最小数据包大小。 00: 64 bytes; 01: 32 bytes; 10: 16 bytes; 11: 8 bytes。

## DOEPCTL0

DOEPCTL0 为 Device Control OUT Endpoint 0 控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B00		DOEPCTL0		0x0000_8000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	epena epdis reserved	snak cnak reserved	stall snp	eptype naksts reserved usbactep	reserved				mps
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RWSC	epena	Endpoint 使能。 Scatter/Gather DMA 使能 0: 描述符结构和数据 buffer 接收数据功能禁止; 1: 描述符结构和数据 buffer 接收数据功能使能。 Scatter/Gather DMA 禁用 0: memory 从 USB 直接接收数据功能禁止; 1: memory 从 USB 直接接收数据功能使能。						
[30]	RO	epdis	端点不使能。 应用程序不能禁止 OUT 控制传输的端点 0 0: 使能; 1: 不使能。						



[29:28]	RO	reserved	保留。
[27]	WO	snak	NAK 设置。 写操作会置位端点的 NAK 比特位。应用程序可以利用该比特来控制一次传输过程中某个端点的 NAK 握手。控制器 core 也可以在某个端点收到 SETUP 包后设置端点的该比特位。 0: 无效; 1: 有效。
[26]	WO	cnak	NAK 清除。 写操作会清除端点的 NAK 比特位。 0: 无效; 1: 有效。
[25:22]	RO	reserved	保留。
[21]	RWSC	stall	STALL 握手。 应用程序可以设置该比特位，控制器 core 在端点收到 SETUP 包之后清除该比特位。 0: 无效 1: 有效
[20]	RW	snp	探听模式。 设置端点工作在探听模式。在探听模式下，控制器 core 将 OUT 包发送到应用存储器之后才检查包是否正确。 0: 无效 1: 有效
[19:18]	RO	eptype	端点的类型。 00: 控制传输端点; 01: 实时传输端点; 10: 批量传输端点; 11: 中断传输端点。
[17]	RO	naksts	NAK 状态。 0: non-NAK 握手发送; 1: NAK 握手发送。
[16]	RO	reserved	保留。
[15]	RO	usbactep	USB 激活端点 0。 该比特位始终为 1，表示控制端点 0 总是有效的。 0: 无效; 1: 有效。
[14:2]	RO	reserved	保留。





[1:0]	RW	mps	最小数据包大小。 00: 64 bytes; 01: 32 bytes; 10: 16 bytes; 11: 8 bytes。
-------	----	-----	---

## DIEPCTLN

DIEPCTLN 为 Device IN Endpoint-n 控制寄存器。

Offset Address  
0x0900+(0x0020×n)  
(n = 0~15)

Register Name  
DIEPCTLN

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	EPEna	EPDis	SetDIPID_SetOddFr	SetD0PID_SetEvenFr	SNAK	CNAK	TxFNum			Stall	Sp	EPTYPE	NAKSts	DPID_EO_FrNum	USBActEP	NextEp						MPS														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31]	RWSC	EPEna		端点使能。 当 Scatter/Gather DMA 使能。 0: 描述符结构和数据 buffer 发送数据功能禁止; 1: 描述符结构和数据 buffer 发送数据功能使能。 当 Scatter/Gather DMA 禁止。 0: 端点上数据没有准备好; 1: 端点上数据已经准备好。																															
	[30]	RWSC	EPDis		端点不使能。 适用于 IN 和 OUT 端点。 应用程序置位该比特可以停止向该端点发送/接收数据。 0: 使能; 1: 不使能。																															



[29]	WO	SetD1PID_SetOddFr	<p>DATA1 PID 设置/奇数号微帧设置。</p> <p>中断端点、批量 IN 和批量 OUT 端点： 通过置位该比特可以设置端点的 Data PID 为 DATA1 0: 无效； 1: 有效。</p> <p>实时 IN 和 OUT 端点： 通过置位该比特可以设置偶数或奇数号的微帧为奇数号微帧 0: 无效； 1: 有效。</p>
[28]	WO	SetD0PID_SetEvenFr	<p>DATA0 PID 设置/偶数号微帧设置。</p> <p>中断端点、批量 IN 和批量 OUT 端点： 通过置位该比特可以设置端点的 Data PID 为 DATA0 0: 无效； 1: 有效。</p> <p>实时 IN 和 OUT 端点： 通过置位该比特可以设置偶数或奇数号的微帧为偶数号微帧 0: 无效； 1: 有效。</p>
[27]	WO	SNAK	<p>NAK 设置。</p> <p>写操作会置位端点的 NAK 比特位。应用程序可以利用该比特来控制一次传输过程中某个端点的 NAK 握手。对于一个 OUT 端点，控制器 core 可以在收到传输完成中断的时候，或者该端点收到 SETUP 包后设置端点的该比特位。 0: 无效； 1: 有效。</p>
[26]	WO	CNAK	<p>NAK 清除。</p> <p>适用于 IN 和 OUT 端点 写操作清除该端点的 NAK 比特位 0: 无效； 1: 有效。</p>
[25:22]	RW	TxFNum	<p>TxFIFO 数量</p> <p>Shared FIFO Operation: 0: Non-Periodic Tx FIFO; 其他: Specified Periodic Tx FIFO.number.</p> <p>Dedicated FIFO Operation: FIFO 数量指示。 仅对于 IN Endpoint 有效。</p>



[21]	RW	Stall	<p>STALL 握手。</p> <p>对于非控制传输、非实时传输的 IN、OUT 端点。</p> <p>应用程序置位该比特，阻塞 USB host 控制器发送至端点的令牌包。</p> <p>0: 无效； 1: 有效。</p> <p>对于控制端点(RWSC), 该比特只能在端点接收到 SETUP 令牌的时候，由应用程序置位，由控制器 core 清零。</p> <p>0: 无效； 1: 有效。</p>
[20]	RW	Snp	<p>探听模式。</p> <p>仅适用于 OUT 端点</p> <p>该比特配置端点工作在探听模式，控制器 core 在将 OUT 包传输到应用存储器之前不检查包的正确性。</p> <p>0: 无效； 1: 有效。</p>
[19:18]	RW	EPTYPE	<p>端点类型。</p> <p>00: 控制传输端点； 01: 实时传输端点； 10: 批量传输端点； 11: 中断传输端点。</p>
[17]	RO	NAKSts	<p>NAK 状态。</p> <p>0: non-NAK 握手发送； 1: NAK 握手发送。</p>
[16]	RO	DPID_EO_FrNum	<p>端点数据 PID。</p> <p>0: DATA0； 1: DATA1。</p> <p>偶数/奇数 Frame。</p> <p>non-Scatter/Gather DMA mode。</p> <p>0: 偶数 frame； 1: 奇数 frame。</p> <p>Scatter/Gather DMA mode。</p> <p>保留。</p>
[15]	RWSC	USBActEP	<p>USB 端点激活 endpoint。</p> <p>适用于 IN 端点和 OUT 端点，指示端点是否有效。</p> <p>0: 无效 1: 有效</p>



[14:11]	RW	NextEp	临近端点。 指出下个接收数据的 endpoint 的编号。
[10:0]	RW	MPS	最大数据包大小。

## DOEPCTLN

DOEPCTLN 为 Device OUT Endpoint-n 控制寄存器。

Offset Address  
0x0B00 + (0x0020 × n)  
(n = 0 ~ 15)

Register Name  
DOEPCTLN

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	EPEna	EPDis	SetDIPID_SetOddFr	SetDIPID_SetEvenFr	SNAK	CNAK	TxFNum		Stall	Sn	p	EPTyp	NAKSts	DPID_EO_FrNum	USBActEP	NextEp					MPS											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RWSC	EPEna	端点使能。 当 Scatter/Gather DMA 使能 0: 描述符结构和数据 buffer 接收数据功能禁止; 1: 描述符结构和数据 buffer 接收数据功能使能。 当 Scatter/Gather DMA 禁止 0: memory 从 USB 直接接收数据功能禁止; 1: memory 从 USB 直接接收数据功能使能。
[30]	RWSC	EPDis	端点不使能。 适用于 IN 和 OUT 端点。 应用程序置位该比特可以停止向该端点发送/接收数据。 0: 使能; 1: 不使能。



[29]	WO	SetD1PID_SetOddFr	<p>DATA1 PID 设置/奇数号微帧设置。</p> <p>中断端点、批量 IN 和批量 OUT 端点： 通过置位该比特可以设置端点的 Data PID 为 DATA1 0: 无效； 1: 有效。</p> <p>实时 IN 和 OUT 端点： 通过置位该比特可以设置偶数或奇数号的微帧为奇数号微帧 0: 无效； 1: 有效。</p>
[28]	WO	SetD0PID_SetEvenFr	<p>DATA0 PID 设置/偶数号微帧设置。</p> <p>中断端点、批量 IN 和批量 OUT 端点： 通过置位该比特可以设置端点的 Data PID 为 DATA0 0: 无效 1: 有效</p> <p>实时 IN 和 OUT 端点： 通过置位该比特可以设置偶数或奇数号的微帧为偶数号微帧 0: 无效 1: 有效</p>
[27]	WO	SNAK	<p>NAK 设置。</p> <p>写操作会置位端点的 NAK 比特位。应用程序可以利用该比特来控制一次传输过程中某个端点的 NAK 握手。对于一个 OUT 端点，控制器 core 可以在收到传输完成中断的时候，或者该端点收到 SETUP 包后设置端点的该比特位。 0: 无效； 1: 有效。</p>
[26]	WO	CNAK	<p>NAK 清除。</p> <p>适用于 IN 和 OUT 端点 写操作清除该端点的 NAK 比特位 0: 无效； 1: 有效。</p>



[25:22]	RW	TxFNum	<p>TxFIFO 数量。</p> <p>Shared FIFO Operation: 0: Non-Periodic TxFIFO; 其他: Specified Periodic TxFIFO.number。</p> <p>Dedicated FIFO Operation: FIFO 数量指示。 仅对于 IN Endpoint 有效。</p>
[21]	RW	Stall	<p>STALL 握手(RW)。</p> <p>对于非控制传输、非实时传输的 IN、OUT 端点。 应用程序置位该比特, 阻塞 USB host 控制器发送至端点的令牌包。</p> <p>0: 无效; 1: 有效。</p> <p>对于控制端点(RWSC), 该比特只能在端点接收到 SETUP 令牌的时候, 由应用程序置位, 由控制器 core 清零。</p> <p>0: 无效; 1: 有效。</p>
[20]	RW	Snp	<p>探听模式。</p> <p>仅适用于 OUT 端点。</p> <p>配置端点工作在探听模式, 在探听模式下, 控制器 core 在将 OUT 包传输到应用存储器之前不检查包的正确性。</p> <p>0: 无效; 1: 有效。</p>
[19:18]	RW	EPTType	<p>端点类型。</p> <p>00: 控制传输端点; 01: 实时传输端点; 10: 批量传输端点; 11: 中断传输端点。</p>
[17]	RO	NAKSts	<p>NAK 状态。</p> <p>0: non-NAK 握手发送; 1: NAK 握手发送。</p>



[16]	RO	DPID_EO_FrNum	Endpoint 数据 PID。 0: DATA0; 1: DATA1 偶数/奇数 Frame。 non-Scatter/Gather DMA mode。 0: 偶数 frame; 1: 奇数 frame。 Scatter/Gather DMA mode。 保留。
[15]	RWSC	USBActEP	USB 端点激活 endpoint。 适用于 IN 端点和 OUT 端点，指示端点是否有效。 0: 无效; 1: 有效。
[14:11]	RW	NextEp	临近 Endpoint。 指出下个接收数据的 endpoint 的编号。
[10:0]	RW	MPS	最大数据包大小。

## DIEPINTn

DIEPINTn 为 Device IN Endpoint-n 中断寄存器。

Offset Address		Register Name		Total Reset Value																
0x0908+(0x0020×n)		DIEPINTn		0x0000_0000																
(n = 0~15)																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				StupPktRcvd	NYETIntrpt	NAKIntrpt	BbleErrIntrpt	PktDrpSts	reserved	BNAIntr	TxfifoUndrm_OutPktErr	TxFEmp	INEPNakEff_Back2BackSETup	INTknEMPmis_SisPhseRcvd	INTknTXFEmp_OUTTknEPdis	TimeOUT_SetUp	AHBErr	EPDisbld	XferCompl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description																
	[31:16]	RO	reserved	保留。																



[15]	RWSC	StupPktRcvd	已接收的 setup 包。 0: 无 setup 包接收; 1: 有 setup 包接收。
[14]	RWSC	NYETIntrpt	NYET interrupt。 NYET 响应发送时中断。 0: 清除; 1: 中断。
[13]	RWSC	NAKIntrpt	NAK 中断。 NAK 发送时中断。 0: 清除; 1: 中断。
[12]	RWSC	BbleErrIntrpt	Babble 错误中断。 endpoint 接到 babble 时中断。 0: 清除; 1: 中断。
[11]	RWSC	PktDrpSts	丢包状态中断。 0: 清除; 1: 中断。
[10]	RO	reserved	保留。
[9]	RWSC	BNAIntr	BNA 中断。 descriptor 访问没有准备好时发生中断。 0: 清除; 1: 中断。
[8]	RWSC	TxfifoUndrn_OutPktErr	FIFO Underrun 中断。 当 FIFO underrun 条件发送时发生中断。 当下列条件满足时中断有效: - OTG_EN_DED_TX_FIFO=1; - Thresholding 使能。 OUT 包错误。 当检测到溢出或者 CRC 错误时发生中断。 当下列条件满足时中断有效: - OTG_EN_DED_TX_FIFO=1; - Thresholding 使能。





[7]	RO	TxFEmp	<p>Transmit FIFO 空状态中断。 TxFIFO 全空或者半空的时候发生中断。</p> <p>0: 清除; 1: 中断。</p> <p> 说明 此位仅对 IN Endpoint 有效。</p>
[6]	RWSC	INEPNakEff_Back2BackSETup	<p>IN Endpoint NAK Effective 中断。 IN Endpoint bit 已经被设置时发生中断。</p> <p>接收 Back-to-Back SETUP 包。 core 接收到多于 3 个 back-to-back SETUP 包时发生中断。</p> <p>0: 清除; 1: 中断。</p>
[5]	RWSC	INTknEPMis_StsPhseRcvd	<p>指示接收到带不匹配 EP 的 IN Token 的中断。 指示接收到 Control Write 的状态脉冲。</p> <p>0: 清除; 1: 接收。</p>
[4]	RWSC	INTknTXFEmp_OUTTknEPdis	<p>当对应 TxFIFO 为空时接收到 IN Token 发生中断。 当 Endpoint 失效时接收到 OUT Token 发生中断。</p> <p>0: 清除; 1: 中断。</p>
[3]	RWSC	TimeOUT_SetUp	<p>超时条件中断。 指示超时条件被检测到时发生中断。</p> <p>SETUP Phase Done 中断。</p> <p>0: 清除; 1: 中断。</p>
[2]	RWSC	AHBErr	<p>AHB 错误中断。 仅在 Internal DMA 模式下当 AHB 读/写时发生 AHB 错误。</p> <p>0: 清除; 1: 中断。</p>
[1]	RWSC	EPDisbld	<p>Endpoint 失效中断。</p> <p>0: 清除; 1: 中断。</p>
[0]	RWSC	XferCompl	<p>传输完成中断。</p> <p>0: 清除; 1: 中断。</p>



## DOEPINTn

DOEPINTn 为 Device OUT Endpoint-n 中断寄存器。

Offset Address		Register Name		Total Reset Value																
0x0B08 + (0x0020 × n)		DOEPINTn		0x0000_0000																
(n = 0~15)																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				StupPktRcvd	NYETIntrpt	NAKIntrpt	BbleErrIntrpt	PktDrpSts	reserved	BNAIntr	TxfifoUndm_OutPktErr	TxFEmp	INEPNakEff_Back2BackSETup	INTknEPMis_StsPhseRcvd	INTknTXFEmp_OUTTknEPdis	TimeOUT_SetUp	AHBErr	EPDisbld	XferCompl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0												
Bits	Access	Name	Description																	
[31:16]	RO	reserved	保留。																	
[15]	RWSC	StupPktRcvd	已接收的 setup 包。 0: 无 setup 包接收; 1: 有 setup 包接收。																	
[14]	RWSC	NYETIntrpt	NYET interrupt。 NYET 响应发送时中断。 0: 清除; 1: 中断。																	
[13]	RWSC	NAKIntrpt	NAK 中断。 NAK 发送时中断。 0: 清除; 1: 中断。																	
[12]	RWSC	BbleErrIntrpt	Babble 错误中断。 endpoint 接到 babble 时中断。 0: 清除; 1: 中断。																	
[11]	RWSC	PktDrpSts	丢包状态中断 0: 清除; 1: 中断。																	



[10]	RO	reserved	保留。
[9]	RWSC	BNAIntr	BNA 中断。 descriptor 访问没有准备好时发生中断。 0: 清除; 1: 中断。
[8]	RWSC	TxfifoUndrn_OutPktErr	FIFO Underrun 中断。 当 FIFO underrun 条件发送时发生中断。 当下列条件满足时中断有效: - OTG_EN_DED_TX_FIFO=1; - Thresholding 使能。 OUT 包错误。 当检测到溢出或者 CRC 错误时发生中断。 当下列条件满足时中断有效: - OTG_EN_DED_TX_FIFO=1; - Thresholding 使能。
[7]	RO	TxFEmp	Transmit FIFO 空状态中断。 TxFIFO 全空或者半空的时候发生中断。 此位仅对 IN Endpoint 有效。 0: 清除; 1: 中断。
[6]	RWSC	INEPNakEff_Back2BackSETup	IN Endpoint NAK Effective 中断。 IN Endpoint bit 已经被设置时发生中断。 接收 Back-to-Back SETUP 包。 core 接收到多于 3 个 back-to-back SETUP 包时发生中断。 0: 清除; 1: 中断。
[5]	RWSC	INTknEPMis_StsPhseRcvd	指示接收到带不匹配 EP 的 IN Token。 指示接收到 Control Write 的状态脉冲。 0: 清除; 1: 中断。
[4]	RWSC	INTknTXFEmp_OUTTknEPdis	当对应 TxFIFO 为空时接收到 IN Token 发生中断。 当 Endpoint 失效时接收到 OUT Token 发生中断。 0: 清除; 1: 中断。



[3]	RWSC	TimeOUT_SetUp	<p>超时条件中断。 指示超时条件被检测到时发生中断。 SETUP Phase Done 中断。 0: 清除; 1: 中断。</p>
[2]	RWSC	AHBErr	<p>AHB 错误中断。 仅在 Internal DMA 模式下当 AHB 读/写时发生 AHB 错误。 0: 清除; 1: 中断。</p>
[1]	RWSC	EPDisbld	<p>Endpoint 失效中断。 0: 清除; 1: 中断。</p>
[0]	RWSC	XferCompl	<p>传输完成中断。 0: 清除; 1: 中断。</p>

## DIEPTSIZE0

DIEPTSIZE0 为 Device IN Endpoint 0 传输大小寄存器。

	Offset Address	Register Name	Total Reset Value										
	0x0910	DIEPTSIZE0	0x0000_0000										
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0												
Name	reserved				PktCnt	reserved				XferSize			
Reset	0 0												
Bits	Access	Name	Description										
[31:21]	RO	reserved	保留。										
[20:19]	RW	PktCnt	数据包数量。										
[18:7]	RO	reserved	保留。										
[6:0]	RW	XferSize	传输大小。										

## DOEPTSIZE0

DOEPTSIZE0 为 Device OUT Endpoint 0 传输大小寄存器。



Offset Address		Register Name		Total Reset Value					
0x0B10		DOEPTSIZ0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved SUPCnt	reserved			PktCnt	reserved			XferSize
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	reserved	保留。						
[30:29]	RW	SUPCnt	SETUP 包统计。 00: 0 packets; 01: 1 packets; 10: 2 packets; 11: 3 packets。						
[28:20]	RO	reserved	保留。						
[19]	RW	PktCnt	数据包数量。						
[18:7]	RO	reserved	保留。						
[6:0]	RW	XferSize	传输大小。						

## DIEPTSIZn

DIEPTSIZn 为 Device IN Endpoint-n 传输大小寄存器。

Offset Address		Register Name		Total Reset Value				
0x0910+(0x0020×n)		DIEPTSIZn		0x0000_0000				
(n = 0~15)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved mc_rxdpid_supcnt	PktCnt			XferSize			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					



[30:29]	RW	mc_rxdpid_supent	数据包统计(IN endpoint)(RW)。 00: 0 packets; 01: 1 packets; 10: 2 packets; 11: 3 packets。 数据包统计 (Non-periodic IN endpoints)(RO)。 此位仅在内部 DMA 模式下有效。 接收到的数据 PID(isochronous OUT endpoints)(RO)。 00: DATA0; 01: DATA2; 10: DATA1; 11: MDATA。 SETUP 包统计(OUT Endpoint)(RW) 01: 1 packet; 10: 2 packets; 11: 3 packets。
[28:19]	RW	PktCnt	数据包数量。
[18:0]	RW	XferSize	传输大小。

## DOEPTSIZn

DOEPTSIZn 为 Device OUT Endpoint-n 传输大小寄存器。

	Offset Address 0x0B10+(0x0020×n) (n = 0~15)	Register Name DOEPTSIZn	Total Reset Value 0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved mc_rxdpid_supent	PktCnt	XferSize
Reset	0 0		
Bits	Access	Name	Description
[31]	RO	reserved	保留。



[30:29]	RW	mc_rxdpid_supent	数据包统计(IN endpoint)(RW)。 00: 0 packets; 01: 1 packets; 10: 2 packets; 11: 3 packets; 数据包统计 (Non-periodic IN endpoints)(RO) 此位仅在内部 DMA 模式下有效。 接收到的数据 PID(isochronous OUT endpoints)(RO)。 00: DATA0; 01: DATA2; 10: DATA1; 11: MDATA。 SETUP 包统计(OUT Endpoint)(RW)。 01: 1 packet; 10: 2 packets; 11: 3 packets。
[28:19]	RW	PktCnt	数据包数量。
[18:0]	RW	XferSize	传输大小。

## DIEPDMAN

DIEPDMAN 为 Device IN Endpoint-n DMA 地址寄存器。

	Offset Address 0x0914+(0x0020×n) (n = 0~15)				Register Name DIEPDMAN				Total Reset Value 0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dmaaddr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RW	dmaaddr		DMA 地址。																															

## DOEPDMAN

DOEPDMAN 为 Device OUT Endpoint-n DMA 地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0B14+(0x0020×n)		DOEPDMAN		0x0000_0000				
(n = 0~15)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dmaaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dmaaddr	DMA 地址。					

## DIEPDMABN

DIEPDMABN 为 Device IN Endpoint-n DMA buffer 地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x091C+(0x0020×n)		DIEPDMABN		0x0000_0000				
(n = 0~15)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DMABufferAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	DMABufferAddr	DMA buffer 地址。					

## DOEPDMABN

DOEPDMABN 为 Device OUT Endpoint-n DMA buffer 地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B1C+(0x0020×n)		DOEPDMABN		0x0000_0000				
(n = 0~15)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DMABufferAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	DMABufferAddr	DMA buffer 地址。					





## DTXFSTSn

DTXFSTSn 为 Device IN Endpoint Transmit FIFO 状态寄存器

	Offset Address	Register Name	Total Reset Value	
	0x0938	DTXFSTSn	0x0000_0000	
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0			
Name	reserved			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0			
	Bits	Access	Name	Description
	[31:16]	RO	reserved	保留。
	[15:0]	RO	INEPTxFSpAvail	IN Endpoint Tx FIFO 空间可用性。 0x0: Endpoint Tx FIFO 已满; 0x1: 1 word 可用; 0x2: 2 words 可用; 0xn: n words 可用(0 ≤ n ≤ 32,768); 0x8000: 32,768 words 可用; 其他: 保留。

## 12.10 USB3.0 DRD

### 12.10.1 概述

USB3.0 DRD (Dual Role Device) 模块支持 USB3.0 host 和 USB3.0 device 的静态操作，即只需要配置相关寄存器就能使改模块工作在 USB3.0 host 或者 USB3.0 device 模式；此模块支持 USB3.0 协议规定的 5Gbit/s 传输速率以及向后兼容 USB2.0 协议规定的 480Mbit/s 传输速率；完全支持 XHCI 1.0 协议；支持超速传输的 pipe 接口协议以及兼容高速传输的 UTMI 接口协议；模块内部集成了一个 Root Hub，可以扩展 USB 接口或者其他 Hub；USB3.0 DRD 控制器的大部分硬件逻辑可以完成：

- 完成对传输的控制和处理
- 对数据包的解析和打包
- 对 USB 传输信号的编码和解码
- 为驱动程序提供了中断向量等接口

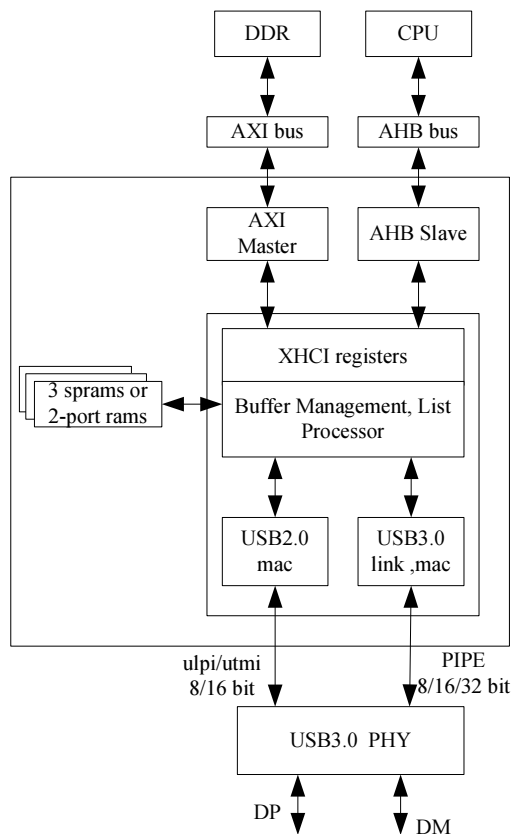
### 12.10.2 功能描述

#### 逻辑框图

USB 3.0 DRD 逻辑框图如图 12-61 所示。



图12-64 USB 3.0 DRD 逻辑框图



UTMI: USB2.0 Transceiver Macrocell Interface  
XHCI: eXtensible Host Controller Interface

## 典型应用

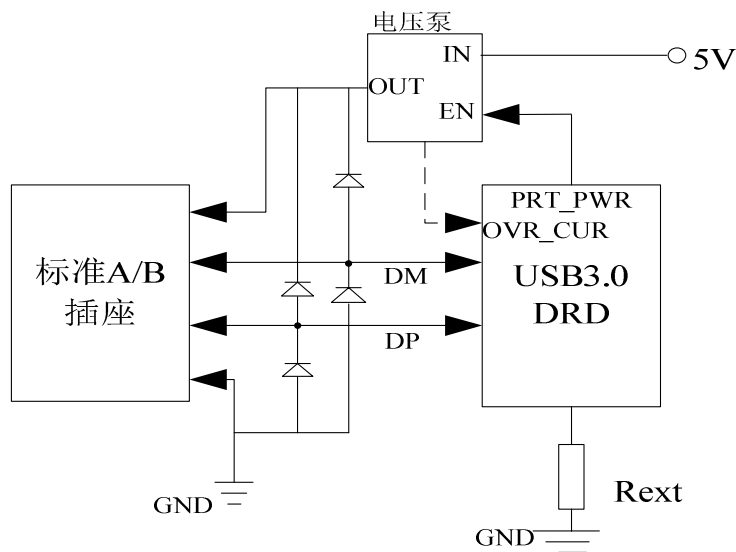
USB 3.0 DRD 的参考设计如图 12-63 所示。



### 注意

- DP 和 DM 的单端阻抗为  $45\Omega \pm 1\%$ ，所以 DP 和 DM 无需外接任何的匹配电阻。
- REXT 电阻的精度是  $\pm 1\%$ 。
- 需要使用高速的 ESD 器件，电容值推荐为 1pF 左右。

图12-65 USB 3.0 DRD 参考设计



## 功能特点

USB 3.0 DRD 具有以下功能特点：

- 完全兼容 USB3.0 以及向下兼容 USB 2.0。
- 完全符合 XHCI 1.0。
- 可单独工作在 Host 或者 Device 模式。
- 可以支持 Super-speed、High-speed、Full-speed、Low-speed 四种设备。
- 支持 USB 2.0 低功耗的解决方案 和 USB3.0 的 U0、U1、U2、U3 四种功耗状态。
- 支持 Host 工作模式下 Control Transfer、Bulk Transfer、Isochronous Transfer、Interrupt Transfer 四种基本数据传输类型。支持 Device 工作模式下的 Control Transfer、Bulk Transfer、Isochronous Transfer、Interrupt Transfer 四种基本数据传输类型。
- 支持内部 DMA 控制器。
- 可以通过连接 USB Hub，连接最多 127 个设备。



## 工作原理

USB 3.0 DRD 工作于 host 模式时，支持以下 4 种标准的传输方式：

- **Control Transfer（控制传输）**  
主要用于 USB Host 与 USB Device 端点 0 之间的传输，某些特定型号的 USB 设备的控制传输可能用到其他的端点。控制传输是双向传输，数据量通常较小，可以传输 8byte、16byte、32byte 或 64byte 的数据，依赖于设备和传输速度。
- **Bulk Transfer（批量传输）**  
主要用于没有带宽和间隔时间要求的情况下发送和接收大量的数据，这种类型的设备适合于传输非常慢和大量被延迟的传输，可以等到所有其他类型的数据的传送完成之后再传送和接收数据。它的特点是以错误检测和重传的方式保证 USB Host 与 USB Device 的数据被无差错地发送。
- **Isochronous Transfer（同步传输）**  
主要用于时间严格并具有较强容错性的流数据传输，或者用于数据传输速率恒定的即时应用中。同步传输提供了确定的带宽和间隔时间。
- **Interrupt Transfer（中断传输）**  
主要用于少量、分散、不可预测的数据的传输。中断传输方式下，定时查询设备是否有中断数据要发送。设备的端点模式器的结构决定了它的查询频率为 1ms~255ms。典型的中断方式传输是单向的，并且对于 USB Host 来说只有输入的方式。

当 USB3.0 DRD 工作于 Device 工作模式时，支持 Control Transfer（控制传输）、Bulk Transfer（批量传输）、Isochronous Transfer（同步传输）和 Interrupt Transfer（中断传输）。

## 12.10.3 工作方式

### 时钟复位

在初始化控制器之前，对时钟复位寄存器做相应的配置。

关断时钟的步骤如下：

- 步骤 1. 向 PERI\_CRG45 写入 0xF9，撤离 U2PHY 的复位。
- 步骤 2. 向 PERI\_CRG46 写入 0x1F01，U3 控制器 UTMI 时钟源选择 U2PHY 供给。
- 步骤 3. 向 PERI\_CRG43[9]写入 0x1，选择 COMPHYPHY 的参考时钟 25M。
- 步骤 4. 向 PERI\_CRG43[8]写入 0x1，打开 COMPHY 时钟门控。
- 步骤 5. 向 PERI\_CRG43[1]写入 0x1，COMPHY 端口软复位模式选择由 PERI\_CRG45[0]控制。
- 步骤 6. 向 PERI\_CRG43[0]写入 0x0，撤离 COMPHY 的复位。
- 步骤 7. 向 PERI\_CRG46[0]写入 0x0，撤离 U3 控制器的复位。

----结束



## Host/device 工作模式切换

切换操作如下：

- 向 PERI\_USB3\_GCTL [prtcapdir] 写入 2'b01，DRD 控制器将工作于 Host 模式。
- 向 PERI\_USB3\_GCTL [prtcapdir] 写入 2'b10，DRD 控制器将工作于 Device 模式。



**注意**

Host/Device 工作模式切换只支持静态切换，不支持动态切换。

## 12.10.4 寄存器概览

USB3.0 寄存器概览如表 12-37 所示。

表12-37 USB3.0 寄存器概览（基址是 0x1018\_0000）

偏移地址	名称	描述	页码
0xC100	PERI_USB3_GSBUS_CFG0	全局 SOC 总线配置寄存器 0	12-311
0xC104	PERI_USB3_GSBUS_CFG1	全局 SOC 总线配置寄存器 1	12-313
0xC108	PERI_USB3_GTXT_HRCFG	全局发送门限控制寄存器	12-314
0xC10C	PERI_USB3_GRXT_HRCFG	全局接收门限控制寄存器	12-315
0xC110	PERI_USB3_GCTL	全局 core 控制寄存器	12-315
0xC118	PERI_USB3_GSTS	全局状态寄存器	12-320
0xC11C	PERI_USB3_GUCTL_1	全局用户控制寄存器 1	12-321
0xC124	PERI_USB3_GGPIO	全局 GPIO 寄存器	12-322
0xC128	PERI_USB3_GUID	全局用户 ID 寄存器	12-322
0xC12C	PERI_USB3_GUCTL	全局用户控制寄存器	12-322
0xC130	PERI_USB3_GBUSE_RRADDR_HI	全局总线错误地址高 32 位寄存器	12-324
0xC134	PERI_USB3_GBUSE_RRADDR_LO	全局总线错误地址低 32 位寄存器	12-324
0xC138	PERI_USB3_GPRTB_IMAP_HI	超速端口-总线映射高 32 位寄存器	12-325



偏移地址	名称	描述	页码
0xC13C	PERI_USB3_GPRTB IMAP_LO	超速端口-总线映射低 32 位寄存器	<a href="#">12-325</a>
0xC180	PERI_USB3_GPRTB IMAP_HS_HI	高速端口-总线映射高 32 位寄存器	<a href="#">12-326</a>
0xC184	PERI_USB3_GPRTB IMAP_HS_LO	高速端口-总线映射低 32 位寄存器	<a href="#">12-326</a>
0xC188	PERI_USB3_GPRTB IMAP_FS_HI	全速端口-总线映射高 32 位寄存器	<a href="#">12-326</a>
0xC18C	PERI_USB3_GPRTB IMAP_FS	全速端口-总线映射低 32 位寄存器	<a href="#">12-327</a>
0xC200	PERI_USB3_GUSB2 PHYCFGN	全局 USB2.0 PHY 配置寄存器	<a href="#">12-327</a>
0xC2C0	PERI_USB3_GUSB3 PIPECTLN	全局 USB3.0 PIPE 控制寄存器	<a href="#">12-329</a>
0xC304	PERI_USB3_GTXFI FOSIZN	全局发送 FIFO 大小寄存器	<a href="#">12-333</a>
0xC384	PERI_USB3_GRXFI FOSIZN	全局接收 FIFO 大小寄存器	<a href="#">12-333</a>
0xC410	PERI_USB3_GEVN TADRN_HI	全局 event buffer 的地址高 32 位寄存器	<a href="#">12-334</a>
0xC414	PERI_USB3_GEVN TADRN_LO	全局 event buffer 的地址低 32 位寄存器	<a href="#">12-334</a>
0xC418	PERI_USB3_GEVN TSIZN	全局 event buffer 的大小寄存器	<a href="#">12-334</a>
0xC41C	PERI_USB3_GEVN TCOUNTN	全局 event buffer 的计数寄存器	<a href="#">12-335</a>
0xC610	PERI_USB3_GTXFI FOPRIDEV	外设的全局 TX FIFO DMA 优先寄存器	<a href="#">12-335</a>
0xC618	PERI_USB3_GTXFI FOPRIHST	host 的全局 TX FIFO DMA 优先寄存器	<a href="#">12-336</a>
0xC61C	PERI_USB3_GRXFI FOPRIHST	host 的全局 RX FIFO DMA 优先寄存器	<a href="#">12-336</a>
0xC620	PERI_USB3_GFIFO PRIDBC	host 的全局 Debug 性能时 DMA 优先寄存器	<a href="#">12-337</a>
0xC624	PERI_USB3_GDMA HLRATIO	host 的全局 FIFO DMA 高、低优先权比例寄存器	<a href="#">12-338</a>
0xC630	PERI_USB3_GFLAD J	GFLADJ 为全局帧长度调整寄存器	<a href="#">12-338</a>



偏移地址	名称	描述	页码
0xC700	PERI_USB3_DCFG	外设配置寄存器	<a href="#">12-340</a>
0xC704	PERI_USB3_DCTL	外设控制寄存器	<a href="#">12-341</a>
0xC708	PERI_USB3_DEVTE N	外设事件使能寄存器	<a href="#">12-344</a>
0xC70C	PERI_USB3_DSTS	外设状态寄存器	<a href="#">12-346</a>
0xC710	PERI_USB3_DGCM DPAR	外设类命令参数寄存器	<a href="#">12-348</a>
0xC714	PERI_USB3_DGCM D	外设类命令寄存器	<a href="#">12-348</a>
0xC718	PERI_USB3_DALEP ENA	外设 USB 端点使能寄存器	<a href="#">12-349</a>
0xC810	PERI_USB3_DEPC MDPAR2N	外设端点命令参数寄存器 2	<a href="#">12-350</a>
0xC814	PERI_USB3_DEPC MDPAR1N	外设端点命令参数寄存器 1	<a href="#">12-350</a>
0xC818	PERI_USB3_DEPC MDPAR0N	外设端点命令参数寄存器 0	<a href="#">12-351</a>
0xC81C	PERI_USB3_DEPC MDN	外设物理端点命令寄存器	<a href="#">12-351</a>

## 12.10.5 USB3.0 寄存器描述

### PERI\_USB3\_GSBUSCFG0

PERI\_USB3\_GSBUSCFG0 为全局 SOC 总线配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0xC100		PERI_USB3_GSBUSCFG0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	datdreqinfo	desrdreqinfo	datwrreqinfo	deswrreqinfo	reserved	datbigend descbigend reserved	incr256brstena incr128brstena incr64brstena incr32brstena	incr16brstena incr8brstena incr4brstena incrbrstena
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	datdreqinfo	AHB-prot/AXI-cache/OCP-ReqInfo 读数据的请求。					
[27:24]	RW	desrdreqinfo	AHB-prot/AXI-cache/OCP-ReqInfo 读链表请求。					
[23:20]	RW	datwrreqinfo	AHB-prot/AXI-cache/OCP-ReqInfo 写数据请求。					
[19:16]	RW	deswrreqinfo	AHB-prot/AXI-cache/OCP-ReqInfo 写链表请求。					
[15:12]	RW	reserved	保留。					
[11]	RW	datbigend	数据存取大小端选择。 0: 小端; 1: 大端。					
[10]	RW	descbigend	链表存取大小端选择。 0: 小端; 1: 大端。					
[9:8]	RO	reserved	保留。					
[7]	RW	incr256brstena	AHB master INCR 进行 128 beat burst 传输使能信号。 0: 不使能; 1: 使能。					
[6]	RW	incr128brstena	AHB master INCR 进行 128 beat burst 传输使能信号。 0: 不使能; 1: 使能。					
[5]	RW	incr64brstena	AHB master INCR 进行 64 beat burst 传输使能信号。 0: 不使能; 1: 使能。					





[4]	RW	incr32brstena	AHB master INCR 进行 32 beat burst 传输使能信号。 0: 不使能; 1: 使能。
[3]	RW	incr16brstena	AHB master INCR 进行 16 beat burst 传输使能信号。 0: 不使能; 1: 使能。
[2]	RW	incr8brstena	AHB master INCR 进行 8 beat burst 传输使能信号。 0: 不使能; 1: 使能。
[1]	RW	incr4brstena	AHB master INCR 进行 4 beat burst 传输使能信号。 0: 不使能; 1: 使能。
[0]	RW	incrbrstena	AHB master INCR 进行 1 beat burst 传输使能信号。 0: 不使能; 1: 使能。

## PERI\_USB3\_GSBUSCFG1

PERI\_USB3\_GSBUSCFG1 为全局 SOC 总线配置寄存器 1。

	Offset Address	Register Name	Total Reset Value	
	0xC104	PERI_USB3_GSBUSCFG1	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0	
Name	reserved			
	en1kpage			
	pipetranslimit			
	reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description	
[31:13]	RO	reserved	保留。	
[12]	RW	en1kpage	1K Byte 边界选择。 0: 4K Byte 边界; 1: 1K Byte 边界。	



[11:8]	RW	pipetranslimit	AXI master outstanding 请求数目。 0x0: 1 个请求; 0x1: 2 个请求; 0x2: 3 个请求; 0x3: 4 个请求; ... 0xF: 16 个请求。
[7:0]	RO	reserved	保留。

## PERI\_USB3\_GTXTHRCFG

PERI\_USB3\_GTXTHRCFG 为全局发送门限控制寄存器。

	Offset Address 0xC108				Register Name PERI_USB3_GTXTHRCFG				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			usbtxpkttsel	reserved			usbtxpktcnt	usbmaxtxburstsize				reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:30]	RO		reserved		保留。																											
[29]	RW		usbtxpkttsel		USB TXFIFO 门限选择，仅在 SuperSpeed 时有效。 0: USB 只在 全部的包被读取到既定的 TXFIFO 后，才开始进行传输; 1: USB 只在 设定的包被读取到既定的 TXFIFO 后，才开始进行传输。																											
[28]	RO		reserved		保留。																											
[27:24]	RW		usbtxpktcnt		TXFIFO 门限值设置，有效值在 1-15 以内。																											
[23:16]	RW		usbmaxtxburstsize		发送 burst 的最大值，仅在 host 模式下 SuperSpeed 的 bulk, Isochronous 和 Interrupt 传输的 Out 端点时有效，有效值在 1-16 之间。																											
[15:0]	RO		reserved		保留。																											



## PERI\_USB3\_GRXTHRCFG

PERI\_USB3\_GRXTHRCFG 为全局接收门限控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC10C				PERI_USB3_GRXTHRCFG								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			usbtxpktcntsel	reserved			usbtxpktcnt	usbmaxtxburstsize				reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:30]	RO		reserved		保留。																											
[29]	RW		usbtxpktcntsel		USB RXFIFO 门限选择，仅在 SuperSpeed 时有效。 0: USB 只在全部的包被读取到既定的 RXFIFO 后，才开始进行传输； 1: USB 只在设定的包被读取到既定的 RXFIFO 后，才开始进行传输。																											
[28]	RO		reserved		保留。																											
[27:24]	RW		usbtxpktcnt		RXFIFO 门限值设置，有效值在 1-15 以内。																											
[23:19]	RO		usbmaxtxburstsize		接收 burst 的最大值，仅在 host 模式下 SuperSpeed 的 bulk, Isochronous 和 Interrupt 传输的 IN 端点时有效，有效值在 1-16 之间。																											
[18:0]	RO		reserved		保留。																											

## PERI\_USB3\_GCTL

PERI\_USB3\_GCTL 为全局 core 控制寄存器。



Offset Address		Register Name		Total Reset Value														
0xC110		PERI_USB3_GCTL		0x0000_0000														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0										
Name	pwrnyscale			masterfiltbypass	bypsssetaddr	u2rstecn	firmscldwn	prtcapdir	coresofreset	sofifpsync	u1u2timerscale	debugattach	ramclkssel	scaledown	dissscramble	u2exit_ifps	gblhibernationen	dsblclkgtng
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description															
[31:19]	RW	pwrnyscale	Suspend_clk 设置, GCTL[31:19] * 16K = Suspend_clk 说明: 32kHz<Suspend_clk<125MHz。															
[18]	RW	masterfiltbypass	滤波功能选择。 0: 当 DWC_USB3_EN_BUS_FILTERS 值为 1 时, 选择滤波功能; 1: 无论当 DWC_USB3_EN_BUS_FILTERS 值为多少, 关闭滤波功能。															
[17]	RW	bypsssetaddr	Device 模式下 SetAddress 命令选择。 0: Host 正常发送 SetAddress 命令给 Device; 1: Host 不发送 SetAddress 命令给 Device, Device 读取 DCFG[DevAddress]比特位的值作为 Address 的值。 说明: 只在仿真时设置此 bit 位。															
[16]	RW	u2rstecn	超时连接选择。 0: 当超速连接失败时, 设备处于 HS 模式; 1: 当超速连接失败时, Devcie 将花费大于 3 个 cycle 的时间等待连接。 说明: 此比特位仅在 Device 模式下有效。															



[15:14]	RW	frmsclown	<p>SOF/USOF/ITP 时间间隔选择。对于 SS/HS 模式： 00: 125us; 01: 62.5us; 10: 31.25us; 11: 15.625us; 其他：保留。</p> <p>对于 FS 模式，将上述值*8 即可。</p> <p>当选择 xHCI Debug 模式时，可配置仿真时 bulk in 和 bulkout 传输的 MaxPacketSize， 00: 1024 bytes; 01: 512 bytes; 10: 256 bytes; 11: 128bytes; 其他：保留。</p>
[13:12]	RW	prtcapdir	<p>端口配置类型。 00: 保留; 01: Host 配置; 10: Device 配置; 11: Otg 配置。</p>
[11]	RW	coresoftreset	<p>Core 软复位选择。 0: 不进行软复位; 1: 对 core 软复位。</p> <p>说明：当对 core 进行软复位操作时，将清掉中断及初下列寄存器以外的所有中断： -GCTL -GUCTL -GSTS -GSNPSID -GGPIO -GUID -GUSB2PHYCFGn -GUSB3PIPECTLn -DCFG -DCTL -DEVTEN -DSTS</p>



[10]	RW	sofitpsync	<p>0: UTMI/ULPI PHY 的第一个端口都将处于非挂起状态, 不管是否有其他的 SS 端口不处于 Rx.Detect, SS.Disable 和 U3 状态;</p> <p>1: UTMI/ULPI PHY 的第一个端口都将处于非挂起状态, 不管是否有其他的非 SS 端口不处于非挂起状态。</p> <p>说明: 此 bit 只在控制器工作于 Host 模式时有效。</p>
[9]	RW	u1u2timerscale	<p>U1/U2 timer scaledown 选择。</p> <p>0: 不关闭;</p> <p>1: 如果 PERI_USB3_GCTL[5:4] (ScaleDown) = X1, 则关闭 U1/U2 的反应时间的 scaledown。</p>
[8]	RW	debugattach	<p>Debug Attach 信号</p> <p>当此位被置 1 时</p> <p>-当 DCTL 寄存器里的 Ru/Stop 位被置位后, SS 控制器将直接进入 Polling link 状态而不需要检测远程设备的连接</p> <p>-Link LFPS polling 的超时 时间有限</p> <p>-TS1 的 Polling 超时时间有限。</p>
[7:6]	RW	ramclksel	<p>RAM Clock 选择。</p> <p>00: bus clock;</p> <p>01: pipe clock;</p> <p>10: pipe/2 clock;</p> <p>11: reserved。</p> <p>说明: 当处于 host 模式时, 硬件将置此 2 位为 00, 即将 ram_clk 接 bus_clk, 因为当 SS port 处于 P3 状态时, pipe_clk 会被关闭, USB2.0 port 将不会工作。</p>



[5:4]	RW	scaledown	<p>scale-down timing 选择。</p> <p>HS/FS/LS 模式下：</p> <p>00: 关闭掉所有的 scale-down timing, 使用实际的 timing 进行仿真；</p> <p>01: 启用除以下功能外地所有的 scale-down timing:</p> <ul style="list-style-type: none"> <li>-speed enumeration</li> <li>-HNP/SRP</li> <li>-Host 模式的 suspend 和 resume;</li> </ul> <p>10: 仅仅开启 device 模式时 suspend 和 resume 功能时的 scale-down timing;</p> <p>11: 打开所有的 scale-down timing。</p> <p>SS 模式下</p> <p>HS/FS/LS 模式下</p> <p>00: 关闭掉所有的 scale-down timing, 使用实际的 timing 进行仿真；</p> <p>01: 开启 SS 的 scale-down timing, 包括:</p> <ul style="list-style-type: none"> <li>-减少 TxEq training sequences 到 8</li> <li>-减少 LFPS polling burst time 到 100ns</li> <li>-减少 LFPS warm reset receive 到 30us</li> </ul> <p>10: 不发送 TxEq training sequences;</p> <p>11: 打开所有的 scale-down timing。</p>
[3]	RW	disscramble	<p>关闭加扰功能。</p> <p>1: 关闭；</p> <p>0: 不关闭。</p>
[2]	RW	u2exit_lfps	<p>U2 状态退出信号。</p> <p>0: link 将把 248ns 的 LFPS 信号当做有效的 U2 退出状态信号；</p> <p>1: link 层在检测到有效的 U2 退出信号前等待 8us。</p>
[1]	RW	gblhibernationen	<p>休眠使能。</p> <p>0: , 关闭全局休眠功能, pmu 接收 D0-&gt;D3 或者 D3-&gt;D0 的状态切换, core 内部的状态将不会保存或者恢复；</p> <p>1: 打开全局休眠功能。</p>
[0]	RW	dsblclkgtnng	<p>内部 Clock Gating 选择。</p> <p>0: 选择内部 clock gating；</p> <p>1: 当 core 处于 lpm 模式时, 关闭掉内部 clock gating。</p> <p>说明: 上电复位后可将此 bit 置为 1</p>



## PERI\_USB3\_GSTS

PERI\_USB3\_GSTS 为全局状态寄存器。

	Offset Address 0xC118								Register Name PERI_USB3_GSTS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cbelt								reserved								otg_ip	bc_ip	adp_ip	host_ip	device_ip	csrtimout	busserraddrvld	reserved	curmod							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:20]	RO	cbelt	指示在 Host 模式下，所有接收到的 device BELT value 的最小值，以及 Set Latency Tolerance Value 命令设置的 BELT 值。																													
[19:11]	RO	reserved	保留。																													
[10]	RO	otg_ip	指示 OEVT 寄存器中有一个与 OTG 有关的中断等待处理。 0: 无指示; 1: 有指示。																													
[9]	RO	bc_ip	指示 BCEVT 寄存器中有一个与 BC 有关的中断等待处理。 0: 无指示; 1: 有指示。																													
[8]	RO	adp_ip	指示 ADPEVT 寄存器中有一个与 ADP 有关的中断等待处理。 0: 无指示; 1: 有指示。																													
[7]	RO	host_ip	指示 Host event queue 中有一个与 xHCI 有关的中断等待处理。 0: 无指示; 1: 有指示。																													
[6]	RO	device_ip	指示 Device event queue 中有一个与 xHCI 有关的中断等待处理。 0: 无指示; 1: 有指示。																													





[5]	RO	csrtimeout	指示软件访问寄存器的时间超出了 DWC_USB3_CSR_ACCESS_TIMEOUT 定义的时间。 0: 无指示; 1: 有指示。
[4]	RO	buserraddrvld	指示 GBUSERRADDR 寄存器是否有效并指出发生错误的首地址。 0: 无指示; 1: 有指示。
[3:2]	RO	reserved	保留。
[1:0]	RO	curmod	当前的工作模式: 00: Device 模式; 01: Host 模式; 其他: 保留。

## PERI\_USB3\_GUCTL1

PERI\_USB3\_GUCTL1 为全局用户控制寄存器 1。

	Offset Address	Register Name	Total Reset Value														
	0xC11C	PERI_USB3_GUCTL1	0x0000_0000														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved															ovrld_l1_susp_com	loa_filter_en
Reset	0 0																
Bits	Access	Name	Description														
[31:2]	RO	reserved	保留。														
[1]	RW	ovrld_l1_susp_com	如果此位写 1, utmi_l1_suspend_com_n 信号将会被 utmi_sleep_n 替代。此位一般会在当 PHY 进入 L1 sleep 模式下停止提供时钟的情况下置起。														
[0]	RW	loa_filter_en	检测端口的关闭状态, 当此位置 1 时, 在端口关闭之前, controller 将发送三个连续的 cycle 检查端口的状态。														



## PERI\_USB3\_GGPIO

PERI\_USB3\_GGPIO 为全局 GPIO 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC124				PERI_USB3_GGPIO				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	gpo								gpi																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	gpo		驱动 gp_o[15:0]的值。																											
	[15:0]	RO	gpi		读取 gp_i[15:0]的值。																											

## PERI\_USB3\_GUID

PERI\_USB3\_GUID 为全局用户 ID 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC128				PERI_USB3_GUID				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	reserved		用户信息，包括： 系统版本； 硬件配置。																											

## PERI\_USB3\_GUCTL

PERI\_USB3\_GUCTL 为全局用户控制寄存器。



Offset Address		Register Name											Total Reset Value																			
0xC12C		PERI_USB3_GUCTL											0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	refclkper								noextrdl_	psqextrressp	sprscrtltransen	resbwhseps	cmdevaddr	usbhstlnautoretryen	enoverlapchk	extcapsupten	csr	dtct	dtft													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:22]	RW	refclkper	参考时钟 ref_clk 用 ns 表示 例如: ref_clk=125MHz,则此处为 1/125MHz=8ns。																													
[21]	RW	noextrdl_	SOF 包和第一个包之间的额外延时选择。 0: Host 在 SOF 包之后等待 2ms 再发送第一个包; 1: Host 在 SOF 之后不延时直接发送第一个包。																													
[20:18]	RW	psqextrressp	保留																													
[17]	RW	sprscrtltransen	分散控制传输使能。 0: 禁止; 1: 使能。 一些 Device 对控制传输的响应很慢, 在 1 帧/微帧内进行多次传输的话会导致 Device 行为紊乱。当此位被置 1 时, host 控制器将把一个控制传输分散在不同的帧或者微帧中。																													
[16]	RW	resbwhseps	保留 85%的带宽给高速周期性端点, 只在 HOST 模式或者 DRD 模式下的 Host 操作模式下有效。																													
[15]	RW	cmdevaddr	Device 地址的模式。 1: 根据每个设备分配地址命令递增; 0: 设备地址等于 Slot ID。																													
[14]	RW	usbhstlnautoretryen	Host 输入传输自动重传使能。 0: 自动重传功能关闭; 如果 host 的输入传输发生错误, host 变自动回复给 device 一个终结的 ACK(Retry = 1 and NumP = 0); 1: 自动重传功能开启。 当自动重传功能开启后, 如果 host 的输入传输发生错误, host 变自动回复给 device 一个不是终结的 ACK(Retry = 1 and NumP != 0)。																													



[13]	RW	enoverlapchk	LFPS 叠加信号检测使能。 0: 不检测 LFPS 叠加信号; 1: 检测 LFPS 叠加信号避免毛刺影响。
[12]	RW	extcapsupten	保留
[11]	RW	csr	在全速 BULKOUT 传输之间插入额外的延时。 0: 不插入; 1: 插入。
[10:9]	RW	dtct	Device 响应 Host 的 Timeout 粗略时间, 若此位置 0, 则 timeout 时间由 DTFT 定义, 若此位为非 0, 则: 00: 0us; 01: 500us; 10: 1.5ms; 11: 6.5ms。
[8:0]	RW	dtft	Device 响应 Host 的 Timeout 精确时间, DTCT 为 0 的时候有效, $T=DTFT*256*8\text{ us}$ 。

## PERI\_USB3\_GBUSERRADDR\_HI

PERI\_USB3\_GBUSERRADDR\_HI 为全局总线错误地址高 32 位寄存器。

	Offset Address	Register Name	Total Reset Value									
	0xC130	PERI_USB3_GBUSERRADDR_HI	0x0000_0000									
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0									
Name	busaddrhi											
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0									
Bits	Access	Name	Description									
[31:0]	RO	busaddrhi	发生错误的高 32 位地址。 说明: 只在 GSTS.BusErrAddrVld 为 1 时有效 只在复位时清 0, 只支持 AHB 和 AXI 的总线配置。									

## PERI\_USB3\_GBUSERRADDR\_LO

PERI\_USB3\_GBUSERRADDR\_LO 为全局总线错误地址低 32 位寄存器。



Offset Address		Register Name		Total Reset Value				
0xC134		PERI_USB3_GBUSERRADDR_LO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	busaddrlo							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	busaddrlo	发生错误的低 32 位地址。 说明：只在 GSTS.BusErrAddrVld 为 1 时有效 只在复位时清 0，只支持 AHB 和 AXI 的总线配置。					

### PERI\_USB3\_GPRTBIMAP\_HI

PERI\_USB3\_GPRTBIMAP\_HI 为超速端口-总线映射高 32 位寄存器。

Offset Address		Register Name		Total Reset Value				
0xC138		PERI_USB3_GPRTBIMAP_HI		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留					

### PERI\_USB3\_GPRTBIMAP\_LO

PERI\_USB3\_GPRTBIMAP\_LO 为超速端口-总线映射低 32 位寄存器。

Offset Address		Register Name		Total Reset Value				
0xC13C		PERI_USB3_GPRTBIMAP_LO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							binumn
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	binumn	指示当前连接的 superspeed 的总线号。					



## PERI\_USB3\_GPRTBIMAP\_HS\_HI

PERI\_USB3\_GPRTBIMAP\_HS\_HI 为高速端口-总线映射高 32 位寄存器。

Offset Address		Register Name		Total Reset Value				
0xC180		PERI_USB3_GPRTBIMAP_HS_HI		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。					

## PERI\_USB3\_GPRTBIMAP\_HS\_LO

PERI\_USB3\_GPRTBIMAP\_HS\_LO 为高速端口-总线映射低 32 位寄存器。

Offset Address		Register Name		Total Reset Value				
0xC184		PERI_USB3_GPRTBIMAP_HS_LO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							binumn
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	binumn	指示当前连接的 highspeed 的总线号。					

## PERI\_USB3\_GPRTBIMAP\_FS\_HI

PERI\_USB3\_GPRTBIMAP\_FS\_HI 为全速端口-总线映射高 32 位寄存器。

Offset Address		Register Name		Total Reset Value				
0xC188		PERI_USB3_GPRTBIMAP_FS_HI		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。					



## PERI\_USB3\_GPRTBIMAP\_FS

PERI\_USB3\_GPRTBIMAP\_FS 为全速端口-总线映射低 32 位寄存器。

Offset Address		Register Name		Total Reset Value				
0xC18C		PERI_USB3_GPRTBIMAP_FS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							binumn
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	binumn	指示当前连接的 fullspeed 的总线号。					

## PERI\_USB3\_GUSB2PHYCFGN

PERI\_USB3\_GUSB2PHYCFGN 为全局 USB2.0 PHY 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC200		PERI_USB3_GUSB2PHYCFGN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	phy_soft_rst u2_freclk_exists	reserved		ulpi_ext_vbus_indicator ulpi_ext_vbus_drv	reserved ulpi_auto_res	reserved	usbtrdtim	xevrdly enblslpm physel susphy fsintf ulpi_utmi_sel phyif toutcal
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	phy_soft_rst	触发 usb2phy_reset 信号对 UTMI PHY 进行软复位。此处不对 ULPI PHY 进行复位，因为 ULPIPHY 是通过 FunctionControl.Reset 寄存器进行复位的，当 core 复位的时候，core 自动配置如下寄存器进行复位：vcc_reset_n, 小 xHCI_USBCMD[hcrst], PERI_USB3_DCTL[SoftReset]or PERI_USB3_GCTL[SoftReset]。					



[30]	RW	u2_freeclk_exists	USB2 PHY 是否提供 free_clk。 0: 不提供 free clock; 1: 提供 free clock。
[29:19]	RO	reserved	保留。
[18]	RW	ulpi_ext_vbus_indicator	ULPI 接口外部 Vbus 指示。 0: PHY 使用内部 Vbus 作为比较电压; 1: PHY 使用外部 Vbus 作为比较电压。
[17]	RW	ulpi_ext_vbus_drv	ULPI 外 Vbus 驱动。 0: PHY 用内部 VBUS 电压驱动; 1: PHY 用外部 VBUS 电压驱动。
[16]	RO	reserved	保留。
[15]	RW	ulpi_auto_res	ULPI 自动唤醒。 0: PHY 不启用自动唤醒功能; 1: PHY 启用自动唤醒功能。
[14]	RO	reserved	保留。
[13:10]	RW	usbtrdtim	USB2 周转时间(Turnround Time), 指 MAC 请求 Packet FIFO Controller (PFC)从 DFIFO (SPRAM)取回数据的响应时间。 当 16-bit UTMI+ 时: 0x5 当 8-bit UTMI+/ULPI 接口时: 0x9。
[9]	RW	xcvrdly	收发延时选择,当此位置 1 时, 在 Transceiver Select 被置为 00(高速)和 TxValid 被拉为 0 之间加上 2.5us 的延时, 用于发送 chirp-K 握手信号。
[8]	RW	enblslpm	utmi_sleep_n 和 utmi_l1_suspend_n 信号使能。 0: utmi_sleep_n 和 utmi_l1_suspend_n 信号不接 PHY; 1: utmi_sleep_n 和 utmi_l1_suspend_n 信号接 PHY。
[7]	RW	physel	PHY 的接口类型选择。 0: USB2.0 高速 UTMI+ 或者 ULPI PHY; 1: USB1.1 全速串行接口; 当作为只写时, 此 bit 为 1。
[6]	RW	susphy	USB2.0 HS/FS/LS PHY 挂起选择。 0: 不挂起; 1: 挂起。 说明: DRD 模式时, core 初始化完毕后再将此 bit 置 1。





[5]	RW	fsintf	全速 PHY 串行接口类型选择。 0: 6-pin 单向全速串行传输接口; 1: 3-pin 双向全速串行传输接口。 当作为只读时, 返回值为 0。
[4]	RW	ulpi_utmi_sel	高速 PHY 接口类型选择。 0: UTMI+ ; 1: ULPI。
[3]	RW	phyif	UTMI 接口数据位宽选择。 0: 8bits; 1: 16bits。
[2:0]	RW	toutcal	HS/FS Timeout 校准。 每个 PHY clock 加上相应的 bit time High-speed 模式: One 30-MHz PHY clock = 16 bit times One 60-MHz PHY clock = 8 bit times Full-speed 模式: One 30-MHz PHY clock = 0.4 bit times One 60-MHz PHY clock = 0.2 bit times One 48-MHz PHY clock = 0.25 bit times

## PERI\_USB3\_GUSB3PIPECTLN

PERI\_USB3\_GUSB3PIPECTLN 为全局 USB3.0 PIPE 控制寄存器



		Offset Address 0xC2C0												Register Name PERI_USB3_GUSB3PIPECTLN												Total Reset Value 0x0000_0000							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Name	phy_soft_rst	hstprtcmpl	u2ssinactp3ok	disrxdetp3	ux_exit_in_px	ping_enhancement_en	u1u2exitifail_to_recov	request_p1p2p3	startxdetu3rxdet	disrxdetu3rxdet	delayp1p2p3	delay_phy_powerchange	suspend_en	datwidth	abortxdetinu2	skiprxdet	lfps_p0_align	p3p2_tran_ok	p3exsigp2	lfps_filter	polling_lfps_control	reserved	txswing	txmargin	txdeemphasis	elastic_buffer_mode						
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31]	RW	phy_soft_rst		USB3.0 软复位。 0: 不复位; 1: 复位。																													
[30]	RW	hstprtcmpl		保留。																													
[29]	RW	u2ssinactp3ok		U2/SSinactive 状态时 PHY 的状态选择。 0: PHY 进入 P2 状态; 1: PHY 进入 P3 状态。																													
[28]	RW	disrxdetp3		p3 状态接收检测使能。 0: 如果 PHY 处于 P3 状态, 并且 core 需要接收检测, 则 core 会在 P3 状态下进行接收检测; 1: 如果 PHY 处于 P3 状态, 并且 core 需要接收检测, 则 Core 会将 PHY 的状态转变为 P2,再进行接收检测, 在检测完毕后, core 再将 PHY 的状态转换回 P2。																													
[27]	RW	ux_exit_in_px		core 状态切换时, PHY 的状态选择。 0: core 退出 U1/U2/U3 状态时处于 PHY 的 P0 状态; 1: core 退出 U1/u2/u3 状态时处于 PHY 的相对应的 P1/P2/P3 状态。 说明: 当使用 synopsys 的 PHY 时, 此位置 0																													
[26]	RW	ping_enhancement_en		下行端口 U1 的 ping 命令的 timeout 从 500ms 变为 300ms。 0: 不变化; 1: 变化。 说明: 当使用 synopsys 的 PHY 时, 此位置 0。																													



[25]	RW	u1u2exitfail_to_recover	P2 状态下退出 P3 的信号选择。 当此位被置 1 时，core 会在发出退出 U3 的握手信号之前，将 PHY 的状态置为 P2。
[24]	RW	request_p1p2p3	当 core 从状态 U0 切换到 U1/U2/U3 时，core 总是会请求 PHY 从状态 P0 切换到 P1/P2/P3 0: 不切换； 1: 切换。 说明：当使用 synopsys 的 PHY 时，此位置 1。
[23]	RW	startrxdetu3rxdet	需固定为 0。
[22]	RW	disrxdetu3rxdet	需固定为 0。
[21:19]	RW	delayp1p2p3	P0 到 P1/P2/P3 状态的延时 当 core 进入 U1/U2/U3 状态时，延长 P0 进入 P1/P2/P3 的时间，直到 Pipe3_RxValid 被拉为 0，或者发生 8B10B 的错误。 说明：第 18bit 必须被置为 1 时才有效。
[18]	RW	delay_phy_powerchange	PHY 状态切换延时寄存器。 0: 当 core 从 U0 进入 U1/U2/U3 状态时，PHY 直接进入 P1/P2/P3 状态，不需要查看 Pipe3_RxElecIldc 和 pipe3_RxValid 的值； 1: 当 core 从 U0 进入 U1/U2/U3 状态时，PHY 到 P1/P2/P3 的状态将会被延时，直到 Pipe3_RxElecIldc 为 1 和 pipe3_RxValid 为 0。 说明：若使用 Synopsys 的 PHY，此位置 1。
[17]	RW	suspend_en	USB3.0 PHY 挂起使能。 0: 不挂起； 1: 挂起。 说明：DRD 模式时，core 初始化完毕后再将此 bit 置 1。
[16:15]	RW	datwidth	PIPE 接口的数据位宽。 00: 32 bits； 01: 16 bits； 10: 8 bits； 其他：保留。



[14]	RW	abortrxdetinu2	取消 U2 状态下的 Rx Detect。 0: 不取消; 1: 取消。 当此位被置 1 并且连接状态时 U2 时, core 接收到远端连接设备发送的 U2 退出信号时, 将不会采取接收检测。 说明: 当使用 synopsys 的 PHY 时, 此位置 0。
[13]	RW	skiprxdet	跳过 Rx Detect 状态。 0: 不跳过; 1: 跳过。 如果此位被置 1, 当 pipe3_RxElecIdle 被拉低时, 将跳过 Rx Detection。
[12]	RW	lfps_p0_align	控制器退出 U1/U2/U3 状态时在请求 PHY P0 的信号的时钟边沿终止发送 LFPS, 否则 LFPS 信号将早一个 cycle 之前发送 当 PHY 从 P1 或 P2 状态切换到 P0 状态时, 在 PHY 设置 PhyStatus 以后 2 个时钟周期, 控制器请求传输。
[11]	RW	p3p2_tran_ok	P3/P2 状态直接切换。 0: PHY 每次进行 P2P3 质检的切换都需要经过中间状态 P0; 1: PHY 的双胎直接从 P2 切换到 P3, 或者直接从 P3 切换到 P2, 不需要经过中间状态 P0。 说明: 当使用 synopsys 的 PHY 时, 此位置 0。
[10]	RW	p3exsigp2	P3 退出状态选择。 当此位为 1 时, 当 core 从 U3 退出时, PHY 的状态一定是从 P3 退出到 P2, 否则可从 P3 退出到 p1 或者 P0。 说明: 当使用 synopsys 的 PHY 时, 此位置 0。
[9]	RW	lfps_filter	LFPS 过滤。 0: 不过滤; 1: 过滤。 当此位置 1 时, 控制器将过滤来自 PHY 的 LFPS 信号除非 pipe3_Rxelecidle 和 pipe3_RxValid 被撤销。
[8]	RW	polling_lfps_control	RX_DETECT 到 Polling.LFPS 控制。 0: (默认值)RX_DETECT 后延时 400us 开始 Polling LFPS; 1: RX_DETECT 后不加延时直接开始 Polling LFPS。
[7]	RO	reserved	保留。
[6]	RW	txswing	PIPE 接口发送摆幅。
[5:3]	RW	txmargin	PIPE 接口发送端余量。
[2:1]	RW	txdeemphasis	PIPE 接口发送端预加重。



[0]	RW	elastic_buffer_mode	弹性 buffer 模式选择使能。 0: 禁止; 1: 使能。
-----	----	---------------------	---------------------------------------

## PERI\_USB3\_GTXFIFOSIZN

PERI\_USB3\_GTXFIFOSIZN 为全局发送 FIFO 大小寄存器。

	Offset Address	Register Name	Total Reset Value					
	0xC304	PERI_USB3_GTXFIFOSIZN	0x0000_0000					
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0					
Name	txfstaddr_n				txfdep_n			
Reset	0 0 0 0 0 0 0 0 0 0 0 0				0 0 0 0 0 0 0 0 0 0 0 0			
Bits	Access	Name	Description					
[31:16]	RW	txfstaddr_n	Transmit FIFO 在 RAM 在 memory 中的起始地址。					
[15:0]	RW	txfdep_n	Transmit FIFO 深度。 最小: 32 MDWIDTH-bit words; 最大: 32768 MDWIDTH-bit words。					

## PERI\_USB3\_GRXFIFOSIZN

PERI\_USB3\_GRXFIFOSIZN 为全局接收 FIFO 大小寄存器。

	Offset Address	Register Name	Total Reset Value					
	0xC384	PERI_USB3_GRXFIFOSIZN	0x0000_0000					
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0					
Name	rxfstaddr_n				rxfdep_n			
Reset	0 0 0 0 0 0 0 0 0 0 0 0				0 0 0 0 0 0 0 0 0 0 0 0			
Bits	Access	Name	Description					
[31:16]	RW	rxfstaddr_n	Receive FIFO 在 RAM 在 memory 中的起始地址。					
[15:0]	RW	rxfdep_n	Receive FIFO 深度。 最小: 32 MDWIDTH-bit words; 最大: 32768 MDWIDTH-bit words。					



## PERI\_USB3\_GEVNTADRN\_HI

PERI\_USB3\_GEVNTADRN\_HI 为全局 event buffer 的地址高 32 位寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0xC410				PERI_USB3_GEVNTADRN_HI				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	evntadrhi																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RWSC		evntadrhi		Event Buffer 高 32 位地址。																															

## PERI\_USB3\_GEVNTADRN\_LO

PERI\_USB3\_GEVNTADRN\_LO 为全局 event buffer 的地址低 32 位寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0xC414				PERI_USB3_GEVNTADRN_LO				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	evntadrlo																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RWSC		evntadrlo		Event Buffer 低 32 位地址。																															

## PERI\_USB3\_GEVNTSIZN

PERI\_USB3\_GEVNTSIZN 为全局 event buffer 的大小寄存器。



Offset Address		Register Name		Total Reset Value										
0xC418		PERI_USB3_GEVNTSIZN		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	evntintmask				reserved					evntsiz				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0						
Bits	Access	Name	Description											
[31]	RW	evntintmask	Event 中断 Mask。											
[30:16]	RO	reserved	保留。											
[15:0]	RW	evntsiz	Event Buffer 大小(byte)。											

## PERI\_USB3\_GEVNTCOUNTN

PERI\_USB3\_GEVNTCOUNTN 为全局 event buffer 的计数寄存器。

Offset Address		Register Name		Total Reset Value					
0xC41C		PERI_USB3_GEVNTCOUNTN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				evntcount				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RWSC	evntcount	当读此寄存器的时候,返回 Event Buffer 中有效的 event 数; 当写此寄存器的时候, 硬件将自减写入的 count 数。						

## PERI\_USB3\_GTXFIFOPRIDEV

PERI\_USB3\_GTXFIFOPRIDEV 为外设的全局 TX FIFO DMA 优先寄存器。



Offset Address		Register Name		Total Reset Value					
0xC610		PERI_USB3_GTXFIFOPRIDEV		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								device_txfifo_priority
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	device_txfifo_priority	Device TXFIFO 优先级。 0: low; 1: high。						

### PERI\_USB3\_GTXFIFOPRIHST

PERI\_USB3\_GTXFIFOPRIHST 为 Host 的全局 TX FIFO DMA 优先寄存器。

Offset Address		Register Name		Total Reset Value					
0xC618		PERI_USB3_GTXFIFOPRIHST		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								host_txfifo_priority
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	host_txfifo_priority	Host TXFIFO 优先级。 0: low; 1: high。						

### PERI\_USB3\_GRXFIFOPRIHST

PERI\_USB3\_GRXFIFOPRIHST 为 Host 的全局 RX FIFO DMA 优先寄存器。





Offset Address		Register Name		Total Reset Value					
0xC61C		PERI_USB3_GRXFIFOPRIHST		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								host_rxfifo_priority
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	host_rxfifo_priority	Host RXFIFO 优先级。 0: low; 1: high。						

### PERI\_USB3\_GFIFOPRIDBC

PERI\_USB3\_GFIFOPRIDBC 为 host 的全局 Debug 性能时 DMA 优先寄存器。

Offset Address		Register Name		Total Reset Value					
0xC620		PERI_USB3_GFIFOPRIDBC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								host_dbc_dma_priority
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						



[1:0]	RW	host_dbc_dma_priority	Host DbC DMA 优先级。 00: Low; 01: Normal; 10: High; 其他: 保留。
-------	----	-----------------------	--

## PERI\_USB3\_GDMAHLRATIO

PERI\_USB3\_GDMAHLRATIO 为 host 的全局 FIFO DMA 高、低优先级比例寄存器。

	Offset Address 0xC624								Register Name PERI_USB3_GDMAHLRATIO								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																hst_rxfifo_dma_hilo_priority_ratio				reserved				hst_txfifo_dma_hilo_priority_ratio											
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																															
[31:13]	RO		reserved		保留。																															
[12:8]	RW		hst_rxfifo_dma_hilo_priority_ratio		Host RXFIFO DMA 高-低 优先级 比例。																															
[7:5]	RO		reserved		保留。																															
[4:0]	RW		hst_txfifo_dma_hilo_priority_ratio		Host TXFIFO DMA 高-低 优先级 比例。																															

## PERI\_USB3\_GFLADJ

PERI\_USB3\_GFLADJ 为 GFLADJ 为全局帧长度调整寄存器。



Offset Address		Register Name		Total Reset Value																												
0xC630		PERI_USB3_GFLADJ		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	gfladj_refclk_240mhzdecr_pls1				gfladj_refclk_240mhzdecr				gfladj_refclk_lpm_sel		reserved		gfladj_refclk_fladj								gfladj_30mhz_reg_sel		reserved		gfladj_30mhz							
Reset	0 0 0 0				0 0 0 0				0 0 0 0		0 0 0 0		0 0 0 0								0 0 0 0		0 0 0 0		0 0 0 0							
Bits	Access	Name	Description																													
[31]	RW	gfladj_refclk_240mhzdecr_pls1	GFLADJ_REFCLK_240MHZ_DECR/ref_frequency 的精度调整。 0: 余数小于 0.5; 1: 余数大于等于 0.5。																													
[30:24]	RW	gfladj_refclk_240mhz_decr	以 240/ref_clk_frequency 计算得出的计数器值: GFLADJ_REFCLK_240MHZ_DECR = 240/ref_clk_frequency。																													
[23]	RW	gfladj_refclk_lpm_sel	SOF/ITP 计数时钟选择。 若此位被置 1, 则 SOF/ITP 已 ref_clk 为时钟计数。																													
[22]	RO	reserved	保留																													
[21:8]	RW	gfladj_refclk_fladj	当 bit[23]为 1 时, SOF/ITP 校准值 FLADJ_REF_CLK_FLADJ=((125000/ref_clk_period_integer)-(125000/ref_clk_period)) * ref_clk_period。																													
[7]	RW	gfladj_30mhz_reg_sel	SOF/ITP 校准选择信号。 0: 控制器用 fladj_30mhz_reg 的值来对 SOF/ITP 进行校准; 1: 控制器用 GFLADJ.GFLADJ_30MHZ 的值来对 SOF/ITP 进行校准。																													
[6]	RO	reserved	保留。																													
[5:0]	RW	gfladj_30mhz	当第 bit[7]为 1 且 SOF/ITP 以 UTMI/ULPI 为时钟计数时, 控制器用 此域的值来对 SOF/ITP 进行校准。																													



## PERI\_USB3\_DCFG

PERI\_USB3\_DCFG 为外设配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0xC700	PERI_USB3_DCFG	0x0008_0004
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved	ignore_stream_pp lpm_capable	number_of_receive_buffers interrupt_number reserved device_address device_speed
Reset	0 0 0 0	0 0 0 0	0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23]	RW	ignore_stream_pp	忽略 Packet Pending 比特位。 0:不忽略; 1: 忽略。
[22]	RW	lpm_capable	LPM 功能选择。 0: LPM 功能开启; 1: LPM 功能关闭。
[21:17]	RW	number_of_receive_buffers	接收 Buffer 号。 指示 ACK TP 中返回的接收 buffer 号。
[16:12]	RW	interrupt_number	中断号指示。 指示设备产生的非端点中断的中断号。
[11:10]	RO	reserved	保留。
[9:3]	RW	device_address	设备地址。 每当 Device 接收到 SetAddress 命令, 对此处配置 device 的地址。USB 复位后, 此处清 0。
[2:0]	RW	device_speed	Device 传输速率选择。 000: 高速; 001: 全速; 100: 超速; 其他: 保留。



## PERI\_USB3\_DCTL

PERI\_USB3\_DCTL 为外设控制寄存器。

	Offset Address	Register Name	Total Reset Value					
	0xC704	PERI_USB3_DCTL	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	run_stop soft_core_reset reserved	hird_threshold	applres reserved	keepconnect ll_hibernation_en controller_restore_state controller_save_state reserved	initiate_u2_enable accept_u2_enable initiate_u1_enable accept_u1_enable	ulstchngraq	test_control	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name	Description				
	[31]	RW	run_stop	<p>设备开启/停止选择。</p> <p>软件写 1 开启 device 的操作；如果要停止 device 操作，先停止一切的正在进行的传输，在往此 bit 写 0。</p> <p>Run/stop 比特的必须在如下的情况下操作：</p> <ol style="list-style-type: none"> <li>1.上电复位后，软件必须给此位写 1 以初始化 device 控制器，否则 device controller 将不会知会 host 已经连接上；</li> <li>2.如果软件要在软断开或者检测到断开事件后重新启动连接，则需要往此比特写 1 之前将 DCTL[8: 5]设置成 5；</li> <li>3.当 USB 处于低功耗状态并且 USB 是双电源域配置，软件对此比特写 0 意味着将关闭 core 电源域。在软件重启 core 电源域和 device 控制器后，将此比特置 1。</li> </ol>				



[30]	RWSC	soft_core_reset	<p>core 软复位。</p> <p>将对所有时钟域的中断和寄存器做如下操作：</p> <p>1：清除所有中断和复位出一下寄存器以外的所有寄存器；</p> <ul style="list-style-type: none"> <li>- GCTL</li> <li>- GUCTL</li> <li>- GSTS</li> <li>- GSNPSID</li> <li>- GGPIO</li> <li>- GUID</li> <li>- GUSB2PHYCFGn registers</li> <li>- GUSB3PIPECTLn registers</li> <li>- DCFG</li> <li>- DCTL</li> <li>- DEVTEN</li> <li>- DSTS</li> </ul> <p>2：所有状态机将回归 IDLE 状态，所有的 FIFO 将清 0；</p> <p>3：SoC 总线上的所有传输将立刻终止。</p>
[29]	RO	reserved	保留。
[28:24]	RW	hird_threshold	<p>HIRD 门限值</p> <p>core 将在满足以下的条件下产生 utmi_11_suspend_n 和 utmi_sleep_n 信号。</p> <p>1.当满足下面的条件时，core 在 L1 状态产生 utmi_11_suspend_n ，将 PHY 切换到深度 Low-Power:</p> <ul style="list-style-type: none"> <li>-HIRD 的值大于或者等于 DCTL.HIRD_Thres[3:0]</li> <li>-HIRD_Thres[4]的值为 1</li> </ul> <p>2.当满足以下条件时，core 在 L1 状态将产生 utmi_sleep_n:</p> <ul style="list-style-type: none"> <li>-HIRD 的值小于 HIRD_Thres[3:0]</li> <li>-HIRD_Thres[4]的值为 0</li> </ul>



[23]	RW	appl1res	<p>LPM 响应配置。</p> <p>当 PERI_USB3_DCFG[lpm_capable]为 0: core 没有响应;</p> <p>当 PERI_USB3_DCFG[lpm_capable]为 1:</p> <p>0: 当满足下面的条件时, LPM 收发成功后将返回 ACK</p> <ul style="list-style-type: none"> <li>-没有校验错误</li> <li>-接收到有效的 bLinkState = 0001B (L1)</li> <li>-发送 FIFO 中没有存留数据并且 OUT 端点没有处于 flow controlled state (NYET 除外)</li> </ul> <p>1: 当满足下面的条件时, LPM 收发成功后将返回 ACK</p> <ul style="list-style-type: none"> <li>-没有校验错误</li> <li>-接收到有效的 bLinkState = 0001B (L1)。</li> </ul>
[22:20]	RO	reserved	保留。
[19]	RW	keepconnect	<p>保持连接状态。</p> <p>如果此位被置 1 时, 当 runStop =0 时, 所有涉及模型将得到保存或被恢复。同时, 当 link 进入 U3 或者 L2 时, 将使能 Hibernation Request Event。</p>
[18]	RW	l1_hibernation_en	<p>当 keepconnect 为 1, 并且此位为 1, 如果 L1 被使能 并且 HIRD 的值大于 PERI_USB3_DCTL[hird_threshold] 中配置的 门限值, device core 将产生一个 Hibernation Request Event。</p>
[17]	RW	controller_restore_s tate	<p>控制器恢复状态。</p> <p>当软件对此比特写 1 时, 控制器立即将 DSTS.RSS 置 1, 当控 制器完成恢复以后, 将 PERI_USB3_DSTS[rss]置 0。</p> <p>说明: 当读此比特的时候, 返回 0。</p>
[16]	RW	controller_save_sta te	<p>控制器保存状态。</p> <p>当软件对此比特写 1 时, 控制器立即将 DSTS.SSS 置 1, 当控 制器保存以后, 将 PERI_USB3_DSTS[sss]置 0。</p> <p>说明: 当读此比特的时候, 返回 0。</p>
[15:13]	RO	reserved	保留。
[12]	RW	initiate_u2_enable	<p>初始化 U2 使能寄存器。</p> <p>0: 不初始化 U2;</p> <p>1: 初始化 U2。</p>
[11]	RW	accept_u2_enable	<p>U2 状态使能。</p> <p>0: core 拒绝进入 U1 状态除非; Force_LinkPM_Accep 为 1</p> <p>1: 如果用户端没有任何设备在等待, 则 core 可以接受允许进 入 U2 状态。</p> <p>说明: USB 复位后, 硬件自动清除此比特位。</p>



[10]	RW	initiate_u1_enable	初始化 U1 使能寄存器。 0: 不初始化 U1; 1: 初始化 U1。
[9]	RW	accept_u1_enable	U1 状态使能。 0: core 拒绝进入 U1 状态除非; Force_LinkPM_Accep 为 1; 1: 如果用户端没有任何设备在等待, 则 core 可以接受允许进入 U1 状态 说明: USB 复位后, 硬件自动清除此比特位。
[8:5]	WO	ulstchngraq	USB/Link 状态切换请求。 软件对配置此处发起相应的状态切换请求 SS 模式: 0x0: No Action; 0x4: SS.Disabled; 0x5: Rx.Detect; 0x6: SS.Inactive; 0x8: Recovery; 0xA: Compliance; 其他: 保留。 HS/FS/LS 模式: 0x8: Remote wakeup request; 其他: 保留。
[4:1]	RW	test_control	测试控制。 0x0: Test mode 关闭; 0x1: Test_J mode; 0x2: Test_K mode; 0x3: Test_SE0_NAK mode; 0x4: Test_Packet mode; 0x5: Test_Force_Enable; 其他: 保留。
[0]	RO	reserved	保留。

## PERI\_USB3\_DEVTEN

PERI\_USB3\_DEVTEN 为外设事件使能寄存器。





Offset Address		Register Name		Total Reset Value																																							
0xC708		PERI_USB3_DEVTEN		0x0000_0000																																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
Name	reserved																							erratic_error_event_enable	reserved	sof_en	u3l2l1_susp_en	hibernation_req_evt_en	wkup_evt_en	ulst_cng_en	connect_done_en	usbrst_en	disconn_evt_en										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
Bits	Access	Name	Description																																								
[31:10]	RO	reserved	保留。																																								
[9]	RW	erratic_error_event_enable	不规则错误事件使能。 0: 禁止; 1: 使能。																																								
[8]	RO	reserved	保留。																																								
[7]	RW	sof_en	SOF 包使能。 0: 禁止; 1: 使能。																																								
[6]	RW	u3l2l1_susp_en	U3/L2-L1 挂起事件使能。 0: 禁止; 1: 使能。																																								
[5]	RW	hibernation_req_evt_en	休眠请求使能。 0: 禁止; 1: 使能。																																								
[4]	RW	wkup_evt_en	恢复/远程唤醒检测事件使能。 0: 禁止; 1: 使能。																																								
[3]	RW	ulst_cng_en	USB/LINK 状态切换事件使能。 0: 禁止; 1: 使能。																																								



[2]	RW	connect_done_en	连接完成使能。 0: 禁止; 1: 使能。
[1]	RW	usbrst_en	USB 复位使能。 0: 禁止; 1: 使能。
[0]	RW	disconn_evt_en	断开检测使能。 0: 禁止; 1: 使能。

## PERI\_USB3\_DSTS

PERI\_USB3\_DSTS 为外设状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC70C				PERI_USB3_DSTS				0x0012_0004																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				reserved				rss	sss	core_idle		devctrlhit		usb_lnk_st		reserved				soffin				connect_spd							
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
Bits	[31:30]				[29]				[28:26]				[25]				[24]				[23]											
Access	RO				RO				RO				RO				RO															
Name	reserved				dcnrd				reserved				rss				sss				core_idle											
Description	保留。				Device 控制器未准备好。 指示控制器从休眠状态退出后，正在进行状态转换。				保留。				恢复状态。 当控制器完成恢复的操作后，将此位置 0。				保存状态。 当控制器完成保存的操作后，将此位置 0。				core 空闲状态。 指示 core 完成了所有 RxFIFO 的数据向系统 memory 的传输，完成所有链表的输出，所有事件计数器归 0。											



[22]	RO	devctrlhlt	Device 控制器挂起。 当 PERI_USB3_DCTL[run_stop]为 1 的时候，此位置 0； 当软件向 PERI_USB3_DCTL[run_stop]写 0 后，并且 core 处于空闲状态以及更下一层完成断开的操作，core 将对此位写 1。
[21:18]	RO	usb_lnk_st	USB/Link 状态。 SS 模式： 0x0: U0； 0x1: U1； 0x2: U2； 0x3: U3； 0x4: SS_DIS； 0x5: RX_DET； 0x6: SS_INACT； 0x7: POLL； 0x8: RECOV； 0x9: HRESET； 0xa: CMPPLY； 0xb: LPBK； 0xf: Resume/Reset； 其他：保留。 HS/FS/LS 模式： 0x0: On 状态； 0x2: Sleep (L1) 状态； 0x3: Suspend (L2) 状态； 0x4: Disconnected 状态 (默认状态)； 0x5: Early Suspend 状态(仅当休眠功能关闭是有效)； 0xe: Reset (仅当休眠功能开启时有效)； 0xf: Resume (仅当休眠功能开启时有效)； 其他：保留。
[17]	RO	reserved	保留。
[16:3]	RO	soffn	SOF 帧/微帧数目： HS 模式 [16:6]指示帧数目 [5:3]指示微帧数目 全速模式 [16:14]不用 [13:3]指帧数目



[2:0]	RO	connect_spd	<p>连接速度指示。</p> <p>000: 高速(PHY clock 工作在 30 或者 60MHz);</p> <p>001: 全速(PHY clock 工作在 30 或者 60MHz);</p> <p>010: 低速 (PHY clock 工作在 6MHz);</p> <p>010: 低速 (PHY clock 工作在 48MHz)100: 超速(PHY clock 工作在 125 或者 250MHz)。</p>
-------	----	-------------	---

## PERI\_USB3\_DGCMDPAR

PERI\_USB3\_DGCMDPAR 为外设类命令参数寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0xC710				PERI_USB3_DGCMDPAR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	parameter31_0																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	parameter31_0		配置外设类命令参数寄存器。																															

## PERI\_USB3\_DGCMD

PERI\_USB3\_DGCMD 为外设类命令寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0xC714				PERI_USB3_DGCMD								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																cmd_status	reserved				cmdact	reserved	cmdloc	reserved				cmdtyp							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:16]	RO	reserved		保留。																															
	[15]	RO	cmd_status		<p>命令状态。</p> <p>0: Device 控制器处理命令成功;</p> <p>1: Device 控制器处理命令时遇到错误。</p>																															



[14:11]	RO	reserved	保留。
[10]	RWSC	cmdact	软件设置此位为 1，使能 Device 控制器执行产生的命令 控制器执行完命令后将此位置 0。
[9]	RO	reserved	保留。
[8]	WO	cmdloc	命令完成中断。 说明：PERI_USB3_DCTL[run_stop] 为 0 时，此位为 1。
[7:4]	RO	reserved	保留。
[3:0]	RW	cmdtyp	命令类型。 0x0：保留； 0x1：设置端点的配置； 0x2：设置端点传输源配置； 0x3：获取端点状态； 0x4：设置挂起； 0x5：清除挂起； 0x6：开始传输； 0x7：跟新传输； 0x8：结束传输； 0x9：开始新的配置； 其他：保留。

## PERI\_USB3\_DALEPENA

PERI\_USB3\_DALEPENA 为外设 USB 端点使能寄存器。



Offset Address		Register Name		Total Reset Value				
0xC718		PERI_USB3_DALEPENA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	usbactep							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	usbactep	<p>指示了在当前的配置和接口下，USB 的端口是否有效。对于 USB 输入端点 0-15 和输出端点 0-15，所有 32 个端点每个通过 1bit 来控制，偶数位控制输出端点，奇数位控制输入端点。例：</p> <p>Bit[0]: USB 输出端点 0 Bit[1]: USB 输入端点 0 Bit[2]: USB 输出端点 1 Bit[3]: USB 输入端点 1</p> <p>对该寄存器操作时必须设置 bit0 和 bit1，这样 USBReset 后才会使能物理端点中的控制端点。</p> <p>当探测到 USB reset 时，应用软件会清除除了输出端点 0/输入端点 0 其他所有端点对应的位。当收到设置配置和设置接口要求时，应用程序相应的设置端点寄存器以及本寄存器的这些位。</p>					

## PERI\_USB3\_DEPCMDPAR2N

PERI\_USB3\_DEPCMDPAR2N 为外设端点命令参数寄存器 2。

Offset Address		Register Name		Total Reset Value				
0xC810		PERI_USB3_DEPCMDPAR2N		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	parameter2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	parameter2	<p>外设的物理端点命令参数寄存器 2，该寄存器必须在执行命令之前进行配置。</p>					

## PERI\_USB3\_DEPCMDPAR1N

PERI\_USB3\_DEPCMDPAR1N 为外设端点命令参数寄存器 1。



Offset Address		Register Name		Total Reset Value				
0xC814		PERI_USB3_DEPCMDPAR1N		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	parameter1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	parameter1	外设的物理端点命令参数寄存器 1，该寄存器必须在执行命令之前进行配置。					

### PERI\_USB3\_DEPCMDPAR0N

PERI\_USB3\_DEPCMDPAR0N 为外设端点命令参数寄存器 0。

Offset Address		Register Name		Total Reset Value				
0xC818		PERI_USB3_DEPCMDPAR0N		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	parameter0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	parameter0	外设的物理端点命令参数寄存器 0，该寄存器必须在命令之前或者伴随着进行配置。因为命令仅仅需要 32bit 的参数，所以该寄存器必须随着命令寄存器进行配置。					

### PERI\_USB3\_DEPCMDN

PERI\_USB3\_DEPCMDN 为外设物理端点命令寄存器。



Offset Address		Register Name		Total Reset Value																												
0xC81C		PERI_USB3_DEPCMDN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	command_parameters								cmd_status				hipri_forcerm	cmd_act	reserved	cmdloc	reserved				cmdtyp											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RW	command_parameters	<p>这些 bit 表示命令的参数，往寄存器写相关值其意义如下：</p> <p>对于开始传输命令：</p> <p>[31: 16]：表示为本次传输声明的 USB StreamID。</p> <p>对于实时端点的开始传输命令：</p> <p>[31: 16]：表示首个 TRB 应用时的微帧(帧)的数目。</p> <p>对于更新传输、结束传输和开始新的配置命令：</p> <p>[22: 16]：传输资源索引(XferRscIdx)。硬件为传输申明传输资源索引，其返回后来响应开始传输命令；应用软件为开始新的配置命令声明传输资源索引。</p>																													
[15:12]	RW	cmd_status	命令完成状态：这些位保存了已完成命令的额外信息。这些信息与端点命令完成事件的 bit[15: 12]完全相同。																													
[11]	RW	hipri_forcerm	<p>HighPriority： 仅在开始传输命令才有效。</p> <p>ForceRM： 仅在结束传输命令才有效。</p>																													
[10]	RW	cmd_act	<p>软件设置该 bit 为 1 来使能外设端点控制器执行类命令。</p> <p>当本寄存器的 CmdStatus 有效，同时端点已经准备好来接收另一个命令时，外设控制器将会设置该 bit 为 0。但是这并不能表明先前发送的命令都已实现。</p>																													
[9]	RO	reserved	保留。																													
[8]	RW	cmdloc	<p>命令完成中断：当该 bit 设置为 1 时，表明执行命令后，外设控制器产生了一个通用的端点命令完成事件。</p> <p>说明：当 PERI_USB3_DCTL[run_stop]=0 时，该 bit 不能设置为 1。</p>																													
[7:4]	RO	reserved	保留。																													





[3:0]	RW	cmdtyp	<p>定义了驱动要求 core 去执行的命令类型。</p> <p>0x0: 保留;</p> <p>0x1: 设置端点配置(64 或 96bit 参数);</p> <p>0x2: 设置端点传输资源配置(32bit 参数);</p> <p>0x3: 得到端点状态(不需要参数);</p> <p>0x4: 设置 Stall(不需要参数);</p> <p>0x5: 清除 Stall(不需要参数);</p> <p>0x6: 开始传输(64bit 参数);</p> <p>0x7: 更新传输(不需要参数);</p> <p>0x8: 结束传输(不需要参数);</p> <p>0x9: 开始新的配置(不需要参数);</p> <p>其他: 保留。</p>
-------	----	--------	---

## 12.11 LSADC\_CTRL

### 12.11.1 概述

LSADC\_CTRL (LSADC Controller) 提供 ADC 控制器接口连接片内 LSADC，完成对片内 LSADC 的驱动、按键值上报等功能。

### 12.11.2 特点

LSADC 具有以下特点:

- 电源电压 3.3V。
- 扫描频率不能高于 200K/s。
- 4 个独立通道。

LSADC\_CTRL 具有以下特点:

- 支持单次启动，每次扫描一个通道，不滤毛刺，提供中断以及查询。
- 支持连续扫描功能:
  - 根据 ch\_vld 自动轮询各通道;
  - 根据 Tscan (扫描间隔) 启动连续查询;
  - 根据 Tglitch 进行滤毛刺，完成对毛刺的有效判定;
  - 上报 LSADC 转换结果、对应的通道号;
  - 上报中断: 有按键中断，按键有变化中断。

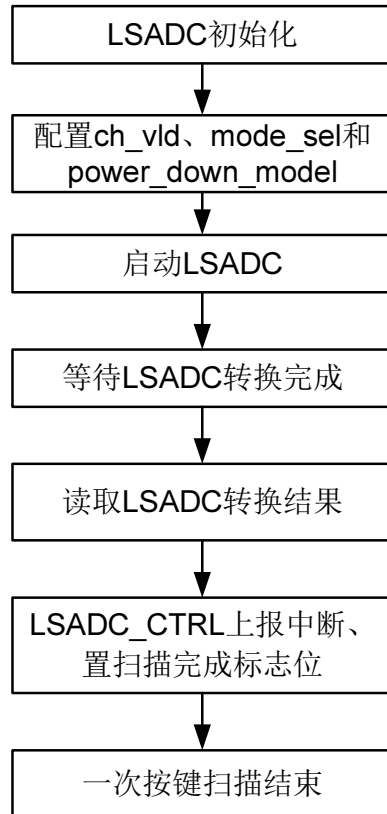


## 12.11.3 工作方式

### 单次扫描处理流程

在单次读取模式（`LSADC_CTRL0[model_sel]=0`），CPU 配置扫描通道号、扫描模式、键值映射表信息，启动 LSADC 完成一次通道扫描。LSADC\_CTRL 获取 ADC 转换值，上报中断同时置转换完成标志位。在单次读取模式，不进行滤毛刺操作。

图12-66 单次扫描处理流程



### 连续扫描处理流程

在连续读取模式（`LSADC_CTRL0[model_sel]=1`），CPU 根据应用场景设置连续扫描的时间间隔  $T_{scan}$ 、毛刺宽度 ( $T_{glitch}$ )、有效通道号 (`ch_vld`)，启动 LSADC\_CTRL。LSADC\_CTRL 在一个时间间隔  $T_{scan}$  内完成一个有效通道的扫描。在下一个扫描时刻到来时，启动对下一个有效通道的扫描。待完成对所有有效通道的扫描后，启动下一轮对有效通道的扫描（如图 12-68 所示）。各通道的轮询如图 12-67 所示。

图12-67 连续扫描模式下通道轮询扫描示意图

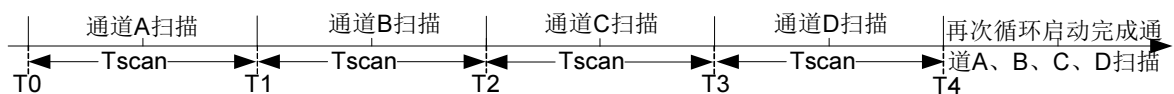
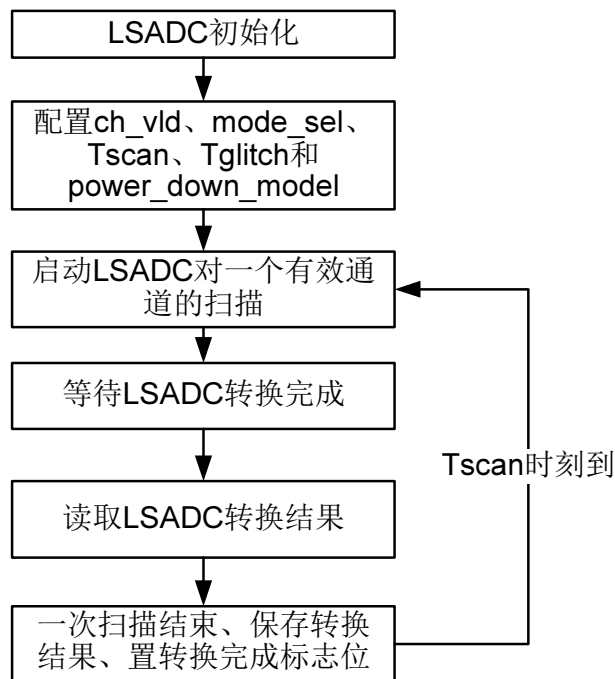




图12-68 连续扫描处理流程



### 滤毛刺流程

滤毛刺电路采用多数判决算法。在滤毛刺窗口 Tglitch 中，如果出现多数次的 ADC 采样值 value，且 value 不为空按键时 ADC 采样值，则认为 value 为一次有效的按键值，否则认为是一个毛刺信号。

在连续扫描模式下，对滤毛刺后得到的有效扫描值，上报中断并置扫描完成标志位。由于 LSADC 每次采样时有误差，对结果值取 6bit 精度。

用户可以设置是否使能硬件滤毛刺功能。

上报的中断包括：有按键中断。

## 12.11.4 LSADC\_CTRL 寄存器概览

LSADC\_CTRL 寄存器概览如表 12-38 所示。

表12-38 LSADC\_CTRL 寄存器概览（基址是 0x120E\_0000）

偏移地址	名称	描述	页码
0x0000	LSADC_CTRL0	LSADC_CTRL 配置寄存器	12-356
0x0004	LSADC_CTRL1	滤毛刺配置寄存器	12-357
0x0008	LSADC_CTRL2	扫描间隔配置寄存器	12-358
0x0010	LSADC_CTRL4	中断使能寄存器	12-358



偏移地址	名称	描述	页码
0x0014	LSADC_CTRL5	中断状态寄存器	12-359
0x0018	LSADC_CTRL6	中断清除寄存器	12-360
0x001C	LSADC_CTRL7	Start 配置寄存器	12-361
0x0020	LSADC_CTRL8	Stop 配置寄存器	12-361
0x0024	LSADC_CTRL9	转换结果精度寄存器	12-362
0x0028	LSADC_CTRL10	LSADC_ZERO 寄存器	12-362
0x002C	LSADC_CTRL11	LSADC 数据保持寄存器 1	12-362
0x0030	LSADC_CTRL12	LSADC 数据保持寄存器 2	12-363
0x0034	LSADC_CTRL13	LSADC 数据保持寄存器 3	12-363
0x0038	LSADC_CTRL14	LSADC 数据保持寄存器 4	12-364

## 12.11.5 LSADC\_CTRL 寄存器描述

### LSADC\_CTRL0

LSADC\_CTRL0 为 LSADC\_CTRL 配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0000	LSADC_CTRL0	0x0000_80FF
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved	lsadc_data_delta	reserved
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   1 0 0 0   0 0 0 0   1 1 1 1   1 1 1 1		
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:20]	RW	lsadc_data_delta	LSADC 转换结果误差范围(在连续扫描模式下使用, 使用确定两次转换结果间的误差范围, 在误差范围内, 则认定两次转换结果相同)。
[19:18]	RO	reserved	保留。



[17]	RW	deglitch_bypass	滤毛刺功能 bypass。(此功能在连续扫描模式下使用) 0: 使能滤毛刺功能; 1: bypass。
[16]	RO	reserved	保留。
[15]	RW	lsadc_reset	设置 LSADC 是否进入复位状态。 1: 进入复位状态; 0: 退出复位状态。
[14]	RW	power_down_mode	是否支持 power_down 操作。 0: 不支持; 1: 支持。
[13]	RW	model_sel	LSADC_CTRL 扫描模式选择。 0: 单次扫描模式; 1: 连续扫描模式;
[12]	RO	reserved	保留。
[11]	RW	ch_d_vld	LSADC 通道 D 是否有效。 0: 无效; 1: 有效;
[10]	RW	ch_c_vld	LSADC 通道 C 是否有效。 0: 无效; 1: 有效;
[9]	RW	ch_b_vld	LSADC 通道 B 是否有效。 0: 无效; 1: 有效;
[8]	RW	ch_a_vld	LSADC 通道 A 是否有效。 0: 无效; 1: 有效。
[7:0]	RO	reserved	保留。

## LSADC\_CTRL1

LSADC\_CTRL1 为滤毛刺配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x0004		LSADC_CTRL1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	glitch_sample							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	glitch_sample	滤毛刺时间窗口(当 LSADC 的转换结果在此时间窗口内保持不变时, 则认为此转换结果为有效值, 否则则认为是毛刺, 此窗口值一般设为 ms 级, 在连续扫描模式下不能配置为 0)。					

## LSADC\_CTRL2

LSADC\_CTRL2 为扫描间隔配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0008		LSADC_CTRL2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	time_scan							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	time_scan	在连续扫描模式下, 两个扫描通道之间连续扫描的时间间隔 (3M 时钟域 N/3MHz, 连续扫描时间间隔应该大于 LSADC 的转换时间 14cycle, 在连续扫描模式下不能配置为 0)。					

## LSADC\_CTRL4

LSADC\_CTRL4 为中断使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0010		LSADC_CTRL4		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															int_enable																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:1]	RO	reserved		保留。																												
[0]	RW	int_enable		扫描值有效中断使能位。 0: 不使能; 1: 使能。																												

## LSADC\_CTRL5

LSADC\_CTRL5 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0014		LSADC_CTRL5		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															lsadc_auto_busy	int_flag_ind	int_flag_inc	int_flag_inb	int_flag_ina												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:5]	RO	reserved		保留。 写无效, 读为 0。																												
[4]	RO	lsadc_auto_busy		在自动扫描模式下, LSADC busy 状态指示。 0: IDLE; 1: BUSY。																												



[3]	RO	int_flag_ind	通道 D 扫描值有效中断标志位。 0: 无中断; 1: 有中断。
[2]	RO	int_flag_inc	通道 C 扫描值有效中断标志位。 0: 无中断; 1: 有中断。
[1]	RO	int_flag_inb	通道 B 扫描值有效中断标志位。 0: 无中断; 1: 有中断。
[0]	RO	int_flag_ina	通道 A 扫描值有效中断标志位。 0: 无中断; 1: 有中断。

## LSADC\_CTRL6

LSADC\_CTRL6 为中断清除寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0018	LSADC_CTRL6	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
		19 18 17 16	15 14 13 12
		11 10 9 8	7 6 5 4
			3 2 1 0
Name	reserved		
			clr_int_flag_ind
			clr_int_flag_inc
			clr_int_flag_inb
			clr_int_flag_ina
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:4]	RO	reserved	保留。
[3]	WO	clr_int_flag_ind	通道 D 中断清除寄存器。 0: 不清除; 1: 清除中断。
[2]	WO	clr_int_flag_inc	通道 C 中断清除寄存器。 0: 不清除; 1: 清除中断。





[1]	WO	clr_int_flag_inb	通道 B 中断清除寄存器。 0: 不清除; 1: 清除中断。
[0]	WO	clr_int_flag_ina	通道 A 中断清除寄存器。 0: 不清除; 1: 清除中断。

## LSADC\_CTRL7

LSADC\_CTRL7 为 Start 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x001C		LSADC_CTRL7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	start							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	start	LSADC_CTRL 启动信号(向此寄存器写任意值都可以启动 LSADC_CTRL)。					

## LSADC\_CTRL8

LSADC\_CTRL8 为 Stop 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0020		LSADC_CTRL8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	stop							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	stop	停止自动扫描(在自动扫描模式下, 向此寄存器写任意值都可以停止 lsadc_ctrl 的自动扫描功能, 需再写使能 start 才可以重新启动自动扫描)					



## LSADC\_CTRL9

LSADC\_CTRL9 为转换结果精度寄存器。

Offset Address		Register Name		Total Reset Value						
0x0024		LSADC_CTRL9		0x0000_03FF						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						lsadc_active_bit			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 1	1 1 1 1		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9:0]	RW	lsadc_active_bit	lsadc 转换结果精度。 10'b1111111111 表示 10 比特精度； 10'b1111111110 表示 9 比特精度； ..... 10'b1000000000 表示 1 比特精度							

## LSADC\_CTRL10

LSADC\_CTRL10 为 LSADC\_ZERO 寄存器。

Offset Address		Register Name		Total Reset Value						
0x0028		LSADC_CTRL10		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						lsadc_zero			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9:0]	RW	lsadc_zero	键盘无键按下时 LSADC 的值。							

## LSADC\_CTRL11

LSADC\_CTRL11 为 LSADC 数据保持寄存器 1。



Offset Address		Register Name		Total Reset Value						
0x002C		LSADC_CTRL11		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						lsadc_data_ina			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9:0]	RW	lsadc_data_ina	LSADC 通道 A 扫描值。							

## LSADC\_CTRL12

LSADC\_CTRL12 为 LSADC 数据保持寄存器 2。

Offset Address		Register Name		Total Reset Value						
0x0030		LSADC_CTRL12		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						lsadc_data_inb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9:0]	RW	lsadc_data_inb	LSADC 通道 B 扫描值。							

## LSADC\_CTRL13

LSADC\_CTRL13 为 LSADC 数据保持寄存器 3。

Offset Address		Register Name		Total Reset Value						
0x0034		LSADC_CTRL13		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						lsadc_data_inc			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9:0]	RW	lsadc_data_inc	LSADC 通道 C 扫描值。							



## LSADC\_CTRL14

LSADC\_CTRL14 为 LSADC 数据保持寄存器 4。

	Offset Address	Register Name	Total Reset Value							
	0x0038	LSADC_CTRL14	0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						lsadc_data_ind			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	RO	reserved	保留。							
[9:0]	RW	lsadc_data_ind	LSADC 通道 D 扫描值。							

## 12.12 PWM

### 12.12.1 概述

Hi3519V100 提供 1 组 8 路独立的脉宽调制信号输出。

### 12.12.2 特点

对于每组 PWM 输出：

- 3MHz、24MHz 和 50MHz 时钟源可选。
- 内部有 32bit 计数器，输出周期可配置。支持最高 25MHz (50MHz/2) 输出，最低约 0.0007Hz (3MHz/4294967296) 输出。
- 内部有 32bit 计数器，输出高电平拍数可配置。
- 内部 10bit 计数器，输出脉冲个数 (最大 1023 个) 可配置。可以工作在固定个数输出模式和一直输出模式：
  - 当 pwmn\_keep(pwmn 表示第 n 路 pwm) 配置为 0 时，pwmn 输出固定数目的方波，该数目由 pwmn\_num (pwmn 表示第 n 路 pwm) 寄存器控制。
  - 当 pwmn\_keep(pwmn 表示第 n 路 pwm) 配置为 1 时，pwmn 一直输出方波。

### 12.12.3 工作方式

PWM 内部工作于 3MHz 或者 24MHz 或者 50MHz，PWM (以 PWM0 为例) 输出配置流程如下：

步骤 1. 选择合适的时钟源，通过计算得到需要的周期数和高电平拍数。



- 步骤 2. 将对应数据写入 `PWM0_CFG0`、`PWM0_CFG1`、`PWM0_CFG2` 寄存器。  
步骤 3. 对 `PWM0_CTRL` bit[0]写入 1，使能 PWM 输出。

----结束

例如：需要输出 1 个频率为 3kHz，高电平占 72.5%（即占空比），脉冲个数为 10 的波形。

选择 3MHz 时钟为时钟源，周期数配置为  $3\text{MHz} / 3\text{kHz} = 1000$ ，四舍五入后为 1000，十六进制为 `0x00003E8`。高电平数配置为  $1000 \times 72.5\%$ （占空比）=725，四舍五入后为 725，十六进制为 `0x00002D5`。

按如下步骤进行寄存器操作，即可输出所需要的波形：

- 步骤 4. 向写 `PERI_CRG55` 写 `0x2`，选择 PWM 的时钟源为 3MHz，打开 PWM 时钟。  
步骤 5. 读取 `PWM0_STATE2` bit[10]，等待 bit[10]为 0（表示 PWM 空闲，可以输出方波）  
步骤 6. 向 `PWM0_CFG0` 写入 `0x0000_03E8`。  
步骤 7. 向 `PWM0_CFG1` 写入 `0x0000_02D5`。  
步骤 8. 向 `PWM0_CFG2` 写入 `0x0000_000A`。  
步骤 9. 向 `PWM0_CTRL` 写入 `0x1`。（以下步骤可以省略，只是为了验证正在输出的方波是否按配置输出）  
步骤 10. 读取 `PWM0_STATE2` bit[10]，等待 bit10 位为 1（表示 PWM 正在输出方波）  
步骤 11. 读取 `PWM0_STATE0` 和 `0x0000_03E8` 进行校验。  
步骤 12. 读取 `PWM0_STATE1` 和 `0x0000_02D5` 进行校验。  
步骤 13. 读取 `PWM0_STATE2` bit[9:0]和 `0x0A` 进行校验(当 bit[10]为 1 时表示 PWM 正在输出方波，当该位为 0 时表示已经输出完设定的方波数目)。

----结束

## 12.12.4 PWM 寄存器概览

PWMn (n=0, 1, 2, 3,4,5,6,7) 的寄存器除基地址不同外，功能相同，各路 PWM 寄存器的基地址如表 12-39 所示。

表12-39 PWMn 的寄存器基地址表

n 取值	基地址
0	0x1213_0000
1	0x1213_0020
2	0x1213_0040
3	0x1213_0060



n 取值	基地址
4	0x1213_0080
5	0x1213_00A0
6	0x1213_00C0
7	0x1213_00E0

以 PWM0 寄存器的描述为例，寄存器概览如表 12-40 所示。

表12-40 PWM0 寄存器概览（基址是 0x1213\_0000）

偏移地址	名称	描述	页码
0x0000	PWM0_CFG0	PWM0 的配置 0 寄存器	12-366
0x0004	PWM0_CFG1	PWM0 的配置 1 寄存器	12-367
0x0008	PWM0_CFG2	PWM0 的配置 2 寄存器	12-367
0x000C	PWM0_CTRL	PWM0 的控制寄存器	12-367
0x0010	PWM0_STATE0	PWM0 的状态 0 寄存器	12-368
0x0014	PWM0_STATE1	PWM0 的状态 1 寄存器	12-368
0x0018	PWM0_STATE2	PWM0 的状态 2 寄存器	12-369

## 12.12.5 PWM 寄存器描述

### PWM0\_CFG0

PWM0\_CFG0 为 PWM0 的配置 0 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0000	PWM0_CFG0	0x0000_018F
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	pwm0_period		
Reset	0 1 1 0 0 0 0 1 1 1 1		
	Bits	Access	Name
	[31:0]	RW	pwm0_period
	Description		
	PWM0 的周期数。 说明 要求配置值必须≥2。		



## PWM0\_CFG1

PWM0\_CFG1 为 PWM0 的配置 1 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				PWM0_CFG1				0x0000_00C7																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pwm0_duty																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1
Bits	Access	Name	Description																													
[31:0]	RW	pwm0_duty	PWM0 的高电平拍数，如果大于等于周期数，则输出一直为高电平。 <b>注意：</b> <b>要求配置值必须≥1。</b>																													

## PWM0\_CFG2

PWM0\_CFG2 为 PWM0 的配置 2 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0008				PWM0_CFG2				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											pwm0_num																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9:0]	RW	pwm0_num	PWM0 输出方波的数目。																													

## PWM0\_CTRL

PWM0\_CTRL 为 PWM0 的控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x000C		PWM0_CTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							pwm0_keep	pwm0_inv	pwm0_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	pwm0_keep	PWM 输出模式。 0: PWM0 输出固定数目的方波; 1: PWM0 一直输出方波。							
[1]	RW	pwm0_inv	PWM 输出正反相控制。 0: PWM0 正常输出方波; 1: PWM0 反相输出方波。							
[0]	RW	pwm0_enable	PWM 使能控制。 0: PWM0 模块关闭; 1: PWM0 模块使能。							

## PWM0\_STATE0

PWM0\_STATE0 为 PWM0 的状态 0 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0010		PWM0_STATE0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pwm0_period_st							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	pwm0_period_st	PWM0 的内部模块采用的计数周期数。					

## PWM0\_STATE1

PWM0\_STATE1 为 PWM0 的状态 1 寄存器。





Offset Address		Register Name		Total Reset Value				
0x0014		PWM0_STATE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pwm0_duty_st							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	pwm0_duty_st	PWM0 的内部模块采用的高电平拍数。					

## PWM0\_STATE2

PWM0\_STATE2 为 PWM0 的状态 2 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0018		PWM0_STATE2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		pwmn_cnt_st		pwm0_keep_st pwm0_busy		pwm0_period_st	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:22]	RO	reserved	保留。					
[21:12]	RO	pwm0_cnt_st	PWM0 模块还需要输出的方波数目。只有当 pwm0_busy==1,pwm0_keep_st==0 时才有意义。					
[11]	RO	pwm0_keep_st	PWM0 的内部模块采用的输出方波的模式。 0: 输出固定数目的方波; 1: 一直输出方波。					
[10]	RO	pwm0_busy	PWM0 模块的工作状态。 0: 空闲, 输出完成; 1: 正在输出方波。					
[9:0]	RO	pwm0_period_st	PWM0 的内部模块采用的输出方波数目。					



## 目 录

<b>13 安全模块</b> .....	<b>13-1</b>
13.1 CIPHER .....	13-1
13.1.1 概述 .....	13-1
13.1.2 特点 .....	13-1
13.1.3 功能描述.....	13-2
13.1.4 工作方式.....	13-15
13.1.5 CIPHER 寄存器概览 .....	13-16
13.1.6 CIPHER 寄存器描述 .....	13-20
13.2 HASH.....	13-56
13.2.1 概述 .....	13-56
13.2.2 特点 .....	13-56
13.2.3 功能描述.....	13-56
13.2.4 工作方式.....	13-56
13.2.5 HASH 寄存器概览.....	13-60
13.2.6 HASH 寄存器描述.....	13-62
13.3 RNG_GEN .....	13-75
13.3.1 概述 .....	13-75
13.3.2 特点 .....	13-75
13.3.3 工作方式.....	13-75
13.3.4 RNG_GEN 寄存器概览.....	13-75
13.3.5 RNG_GEN 寄存器描述.....	13-75
13.4 RSA .....	13-78
13.4.1 概述 .....	13-78
13.4.2 特点 .....	13-78
13.4.3 功能描述.....	13-78
13.4.4 工作方式.....	13-79
13.4.5 RSA 寄存器概览.....	13-80
13.4.6 RSA 寄存器描述.....	13-81
13.5 Cipher Hash Key Ctrl.....	13-87
13.5.1 工作方式.....	13-87



---

13.5.2 Cipher Hash Key Ctrl 寄存器概览.....	13-88
13.5.3 Cipher Hash Key Ctrl 寄存器描述.....	13-88



## 插图目录

图 13-1 3 个密钥和 2 个密钥的 3DES 加密操作 .....	13-3
图 13-2 3 个密钥和 2 个密钥的 3DES 解密操作 .....	13-3
图 13-3 AES/DES 的电子密码本 (ECB) 模式 .....	13-4
图 13-4 3DES 的电子密码本 (ECB) 模式 .....	13-4
图 13-5 AES/DES 的密码分组链接 (CBC) 模式 .....	13-5
图 13-6 3DES 的密码分组链接 (CBC) 模式 .....	13-6
图 13-7 AES/DES 的 s 位密码反馈 (CFB) 模式 .....	13-7
图 13-8 3DES 的 s 位密码反馈 (CFB) 模式 .....	13-8
图 13-9 AES 的输出反馈 (OFB) 模式 .....	13-9
图 13-10 DES 的 s 位输出反馈 (OFB) 模式 .....	13-10
图 13-11 3DES 的 s 位输出反馈 (OFB) 模式 .....	13-11
图 13-12 AES 的 CTR 模式 .....	13-12
图 13-13 AES 的 CCM 模式 .....	13-13
图 13-14 AES 的 GCM 模式 .....	13-14
图 13-15 多分组加解密通道链表头结构 .....	13-16
图 13-16 CAS 各个 bit 标志 .....	13-16



## 表格目录

表 13-1 CIPHER 寄存器概览（基址是 0x1008_0000） .....	13-16
表 13-2 CIPHER 寄存器偏移地址变量表 .....	13-20
表 13-3 HASH 寄存器概览（基址是 0x1009_0000） .....	13-60
表 13-4 RNG_GEN 寄存器概览（基址是 0x120C_0000） .....	13-75
表 13-5 RSA 寄存器概览（基址是 0x120B_0000） .....	13-80
表 13-6 Cipher Hash Key Ctrl 寄存器概览（基址是 0x1207_0800） .....	13-88



# 13 安全模块

## 13.1 CIPHER

### 13.1.1 概述

CIPHER 是一个实现 DES (Data Encryption Standard) /3DES 和 AES (Advanced Encryption Standard) 加解密处理的模块, DES/3DES 和 AES 算法的实现符合 FIPS46-3/FIPS 197 标准。DES/3DES 和 AES 的工作模式符合 FIPS -81/NIST special800-38a 标准。

CIPHER 模块适用于进行大量数据的高效加解密处理, 可支持一次实现单个分组的加解密或多个分组的加解密。

### 13.1.2 特点

CIPHER 模块有如下特点:

- AES 密钥长度支持 128 位、192 位、256 位, 由芯片密钥管理模块配置密钥时密钥长度只支持 128 位。
- DES 密钥长度支持 64 位, 其中 0、8、16、24、32、40、48、56 位的值是每个 byte 的奇偶校验值, 实际加解密操作中不使用。
- 3DES 支持 3 个密钥的方式, 也支持 2 个密钥的方式, 由芯片密钥管理模块配置密钥时只支持 2 个密钥的方式。
- AES 支持 CCM(Counter with Cipher Block Chaining-Message Authentication Code)、GCM(Galois/Counter Mode)、ECB (Electronic CodeBook)、CBC (Cipher Block Chaining)、1/8/128-CFB (Cipher FeedBack)、128-OFB (Output FeedBack) 和 CTR (Counter) 几种工作模式, 工作模式符合 NIST special800-38a 标准。
- DES/3DES 支持 ECB、CBC、1/8/64-CFB、1/8/64-OFB 几种工作模式, 工作模式符合 FIPS-81 标准。
- ECB、CBC、CFB、OFB、CTR 工作模式下, 支持一次实现多个分组的加解密运算, 也支持一次实现单个分组的加解密运算。
- AES 的 CTR 工作模式下, 支持一次实现多个分组的加解密运算, 也支持一次实现单个分组的加解密运算



- 提供 8 个 CPU 配置的加解密密钥，可以配置为 64bits，128bits，192bits 或者 256bits。
- 提供 8 个芯片密钥管理模块配置的密钥，固定为 128bits，主 CPU 能写不能读。
- 提供一个单分组加解密通道和 7 个通道的多分组加解密通道。单分组加解密通道每次只能完成一个单分组加解密，由 CPU 将数据写入通道寄存器中，结果由 CPU 读取。多分组加解密通道由逻辑自动从 DDR 中读取数据完成加解密后再自动写回到 DDR 中。
- 各个通道采用加权轮循的工作方法，除了单分组通道的权值默认为 1，其他的多分组通道的权值都可以配置。
- 任何通道可以使用同一组密钥或者不同组密钥。
- 当多分组通道数据不是加解密分组的整数倍时，最后不足一个分组的数据不进行加解密。
- 多分组加解密通道支持字节地址。
- 多分组加解密通道支持多链表结构，支持拼接多个链表数据，每个链表的长度用 20 bit 表示，即最大数据量为 1M-1 byte。
- 提供中断状态查询、中断屏蔽和中断清除功能。
- 每个通道提供单独的中断处理和控制在。
- 支持多包中断和老化时间中断。

### 13.1.3 功能描述

DES/3DES、AES 算法支持的几种工作模式分别符合 FIPS-81 标准和 NIST special800-38a/c/d 标准，对于 DES/3DES 和 AES 算法，ECB、CBC 和 CFB 工作模式相同，OFB 和 CTR（只有 AES 算法中包括）工作模式略有区别。

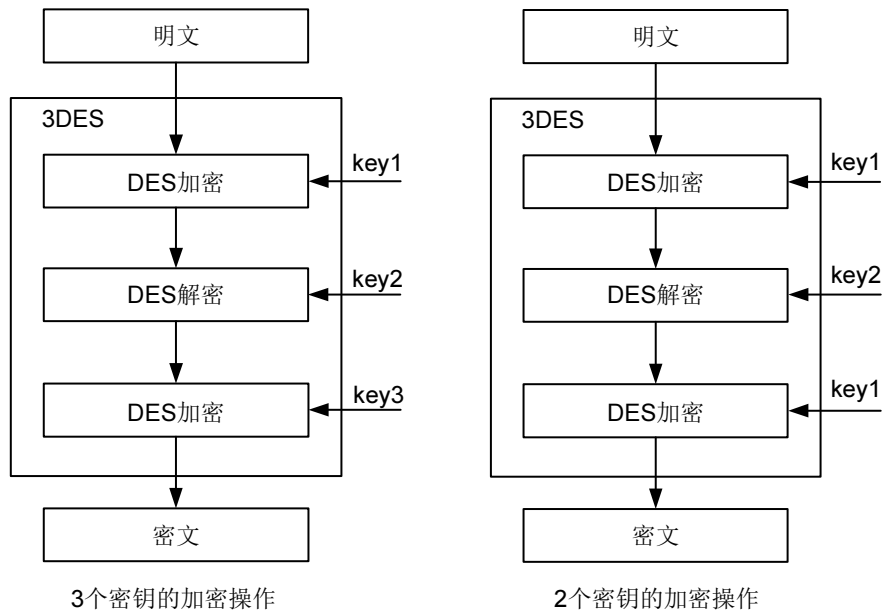
#### 3DES 算法

3DES 支持 3 个密钥和 2 个密钥的运算，2 个密钥的运算可以看作 3 个密钥的一种简化情况，在 2 个密钥的操作中的第三个密钥（key3）都使用第一个密钥（key1）代替。

3 个密钥和 2 个密钥的 3DES 加密运算过程如图 13-1 所示。

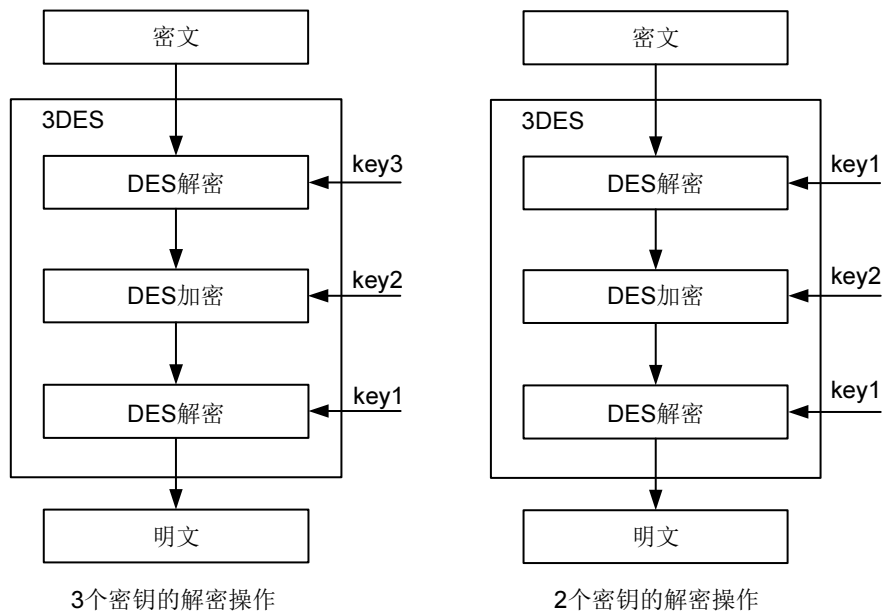


图13-1 3个密钥和2个密钥的3DES 加密操作



3个密钥和2个密钥的3DES解密运算过程如图13-2所示。

图13-2 3个密钥和2个密钥的3DES解密操作



## ECB 模式

ECB (Electronic CodeBook) 模式中，加、解密算法是直接应用到各个分组数据，而且各个分组的运算均独立。这个特点使得明文的加密操作和密文的解密操作可以并行进行。AES/DES 和 3DES 的电子密码本 (ECB) 模式分别如图 13-3 和图 13-4 所示。





图13-3 AES/DES 的电子密码本 (ECB) 模式

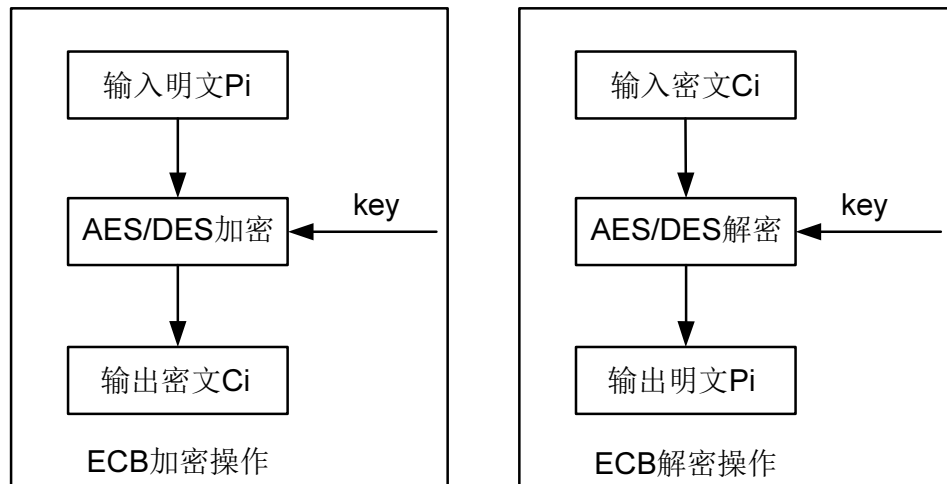
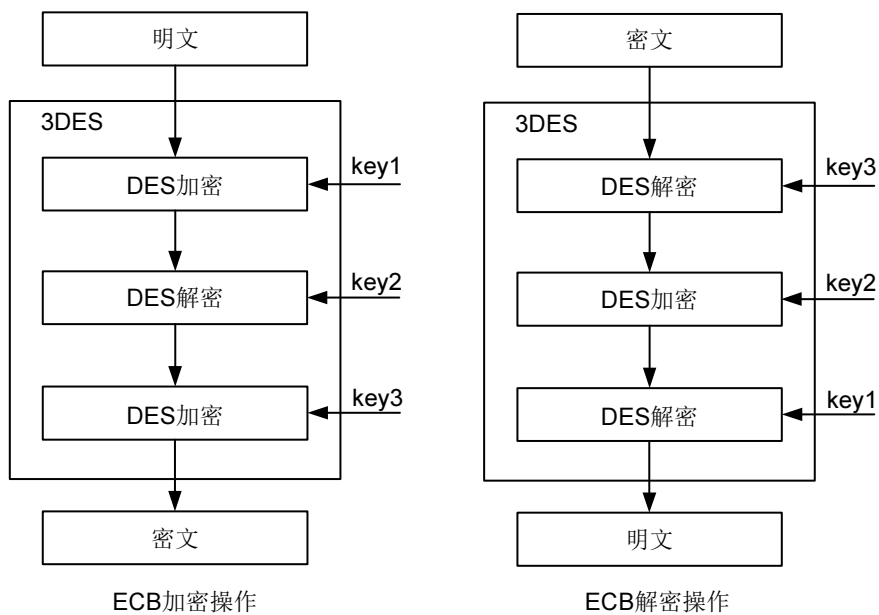


图13-4 3DES 的电子密码本 (ECB) 模式



## CBC 模式

CBC (Cipher Block Chaining) 模式下, 加密的输入明文分组需要先与输入向量 IV (Intialization Vector) 进行异或操作, 才进入加密操作, 而每个明文分组的加密处理都与上一个明文分组处理的结果 (即密文) 相关, 因此 CBC 模式下的加密操作是不能进行并行处理的。但是解密操作不依赖于上一个分组的明文输出, 是可以进行并行处理的。AES/DES 和 3DES 的密码分组链接 (CBC) 模式分别如图 13-5 和图 13-6 所示。



图13-5 AES/DES 的密码分组链接 (CBC) 模式

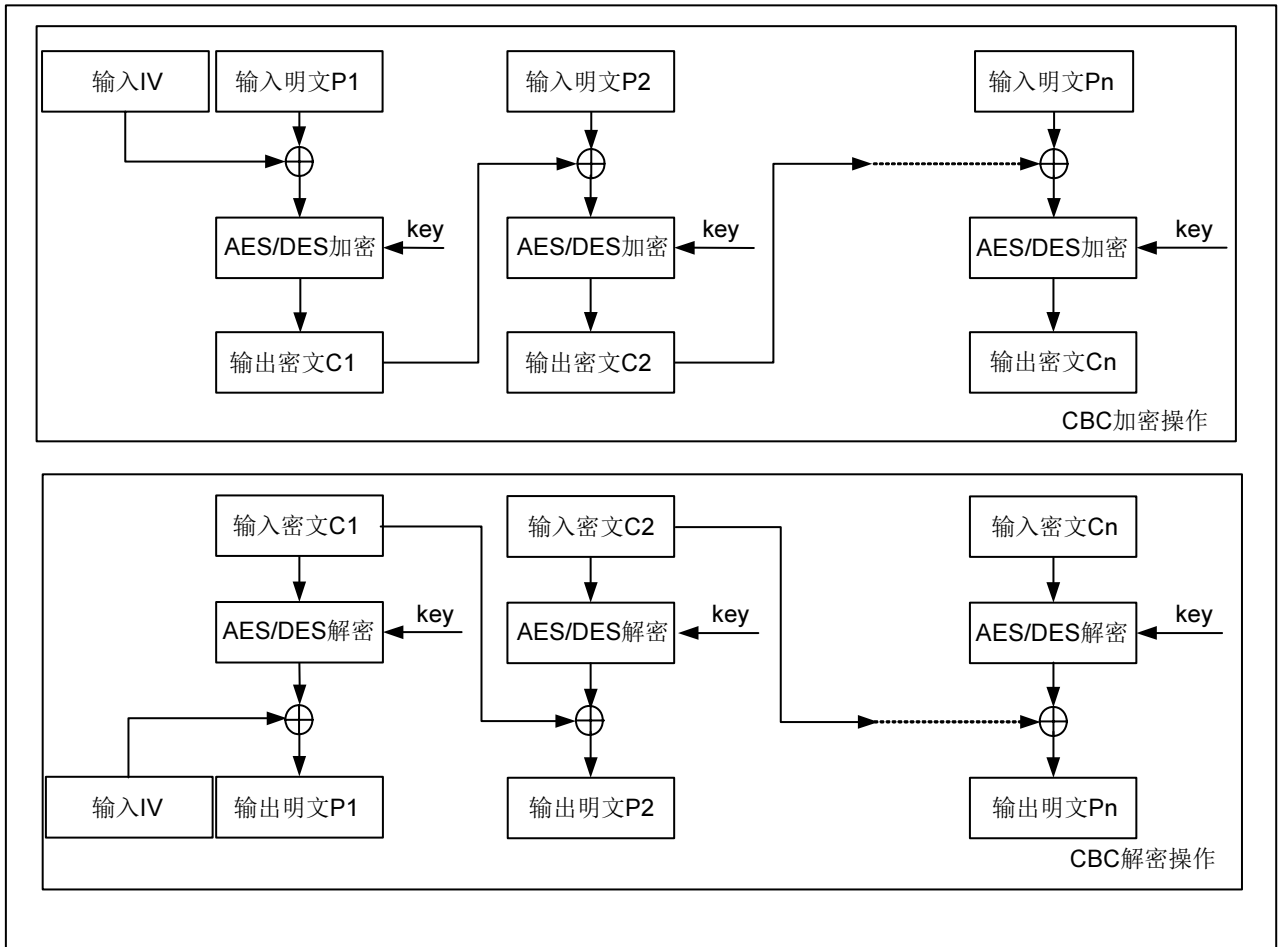
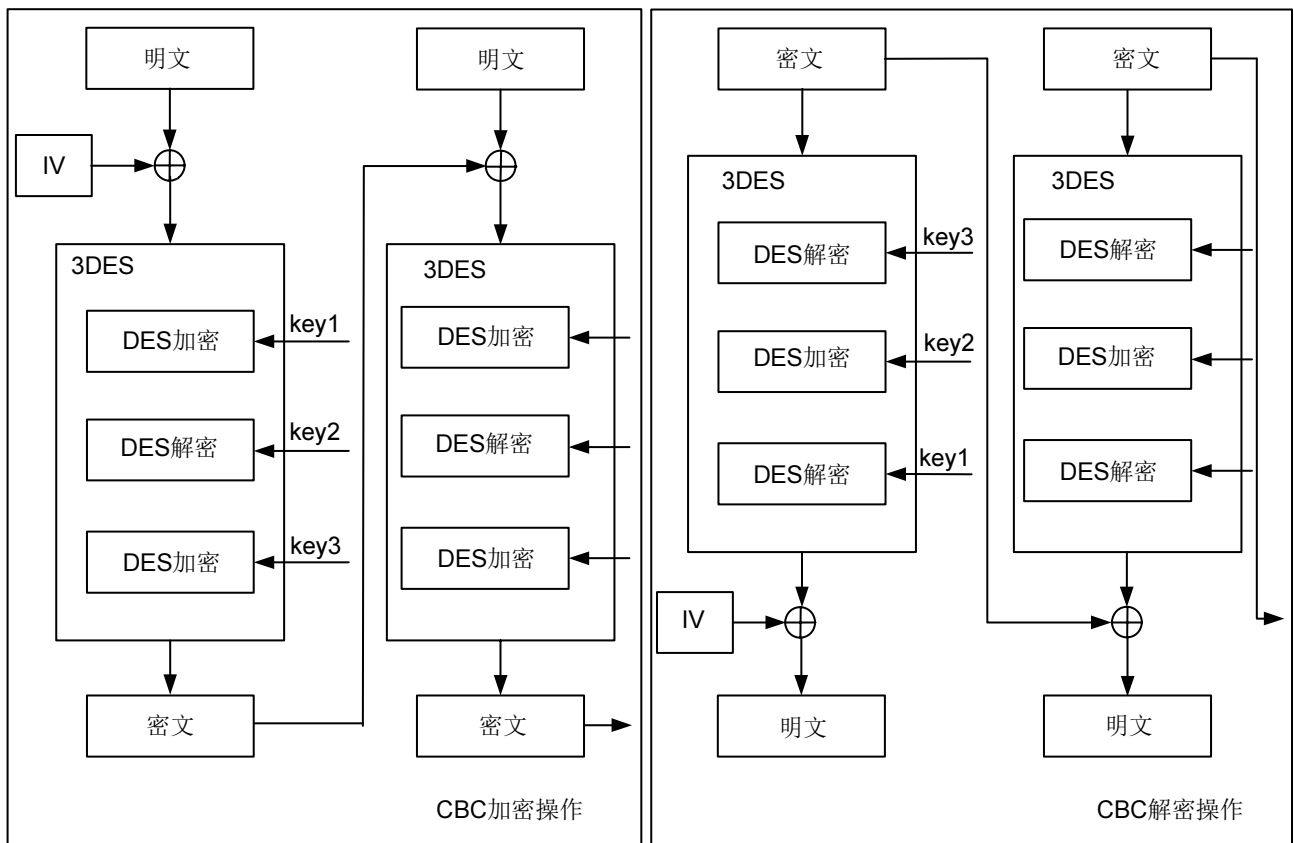


图13-6 3DES 的密码分组链接 (CBC) 模式



## CFB 模式

CFB (Cipher FeedBack) 模式是将分组密码转换成流密码的一种工作模式, 可以通过选择 CFB 的操作位数来实现。移位操作的位数用  $s$  位表示, 关于  $s$  位, 存在以下 2 种情况:

- 对于 DES/3DES,  $s$  位可以是 1 位、8 位或 64 位。
- 对于 AES,  $s$  位可以是 1 位、8 位或 128 位。

AES/DES 的  $s$  位密码反馈 (CFB) 模式和 3DES 的  $s$  位密码反馈 (CFB) 模式分别如图 13-7 和图 13-8 所示。



图13-7 AES/DES 的 s 位密码反馈 (CFB) 模式

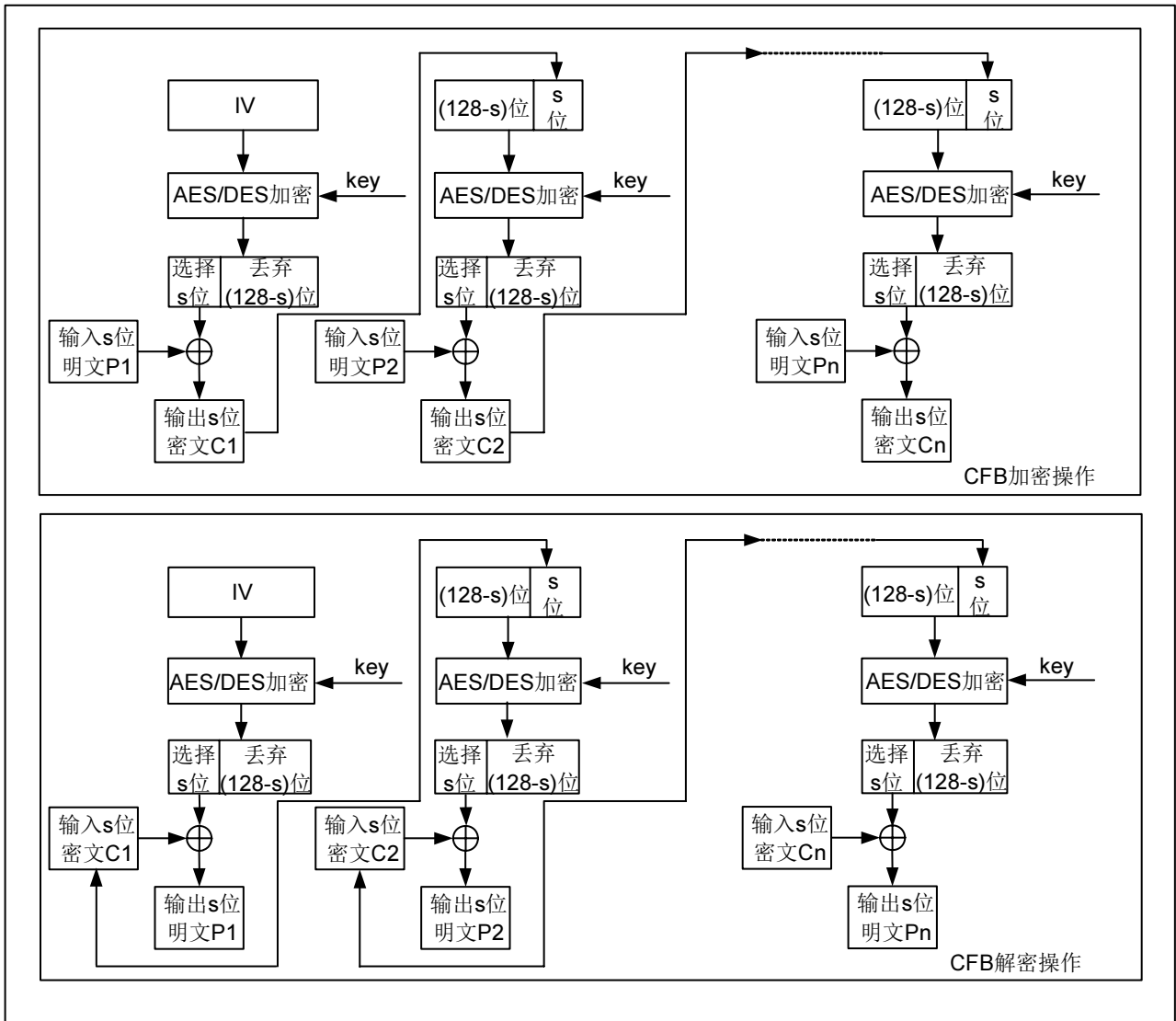
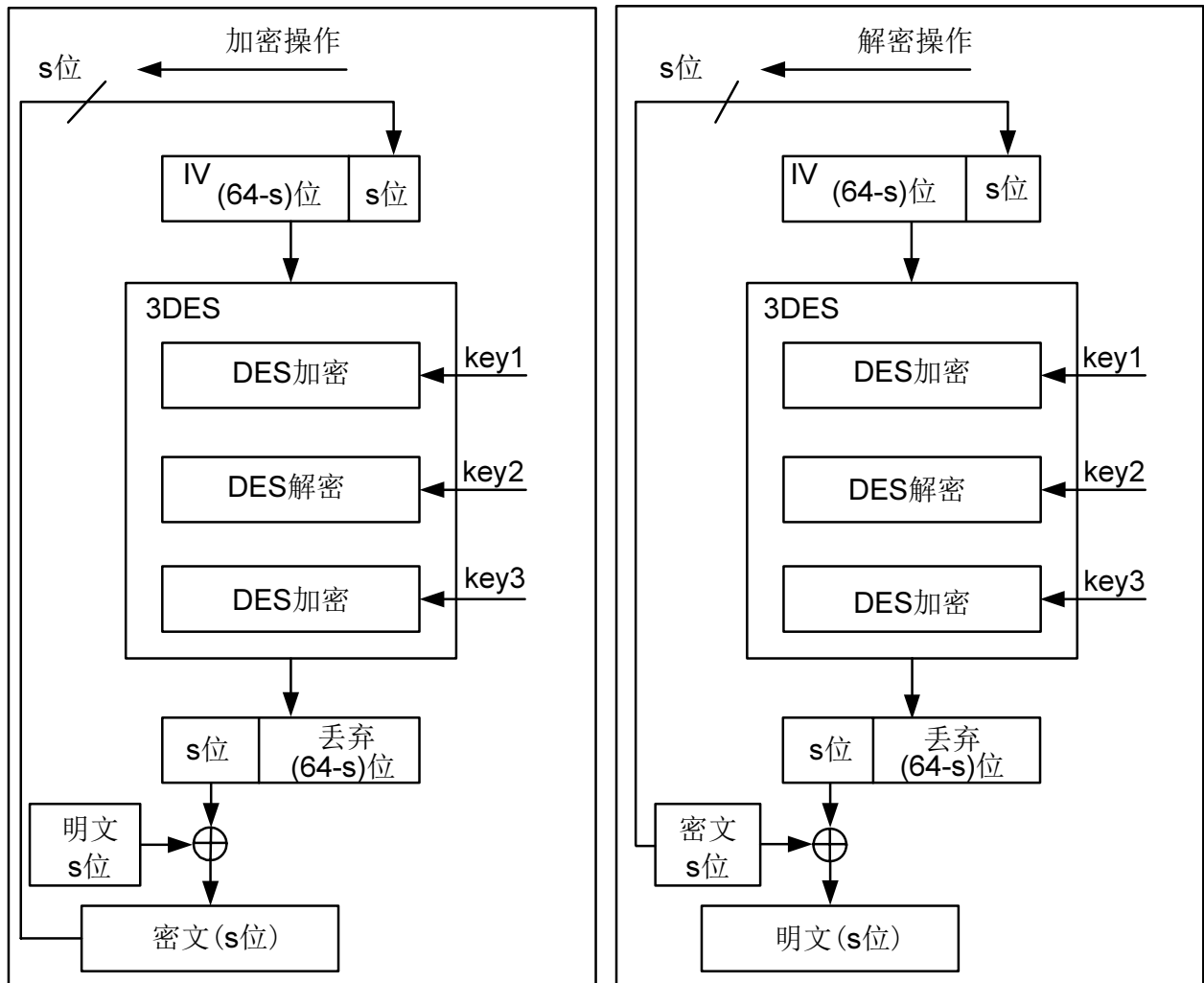


图13-8 3DES 的 s 位密码反馈 (CFB) 模式



## OFB 模式

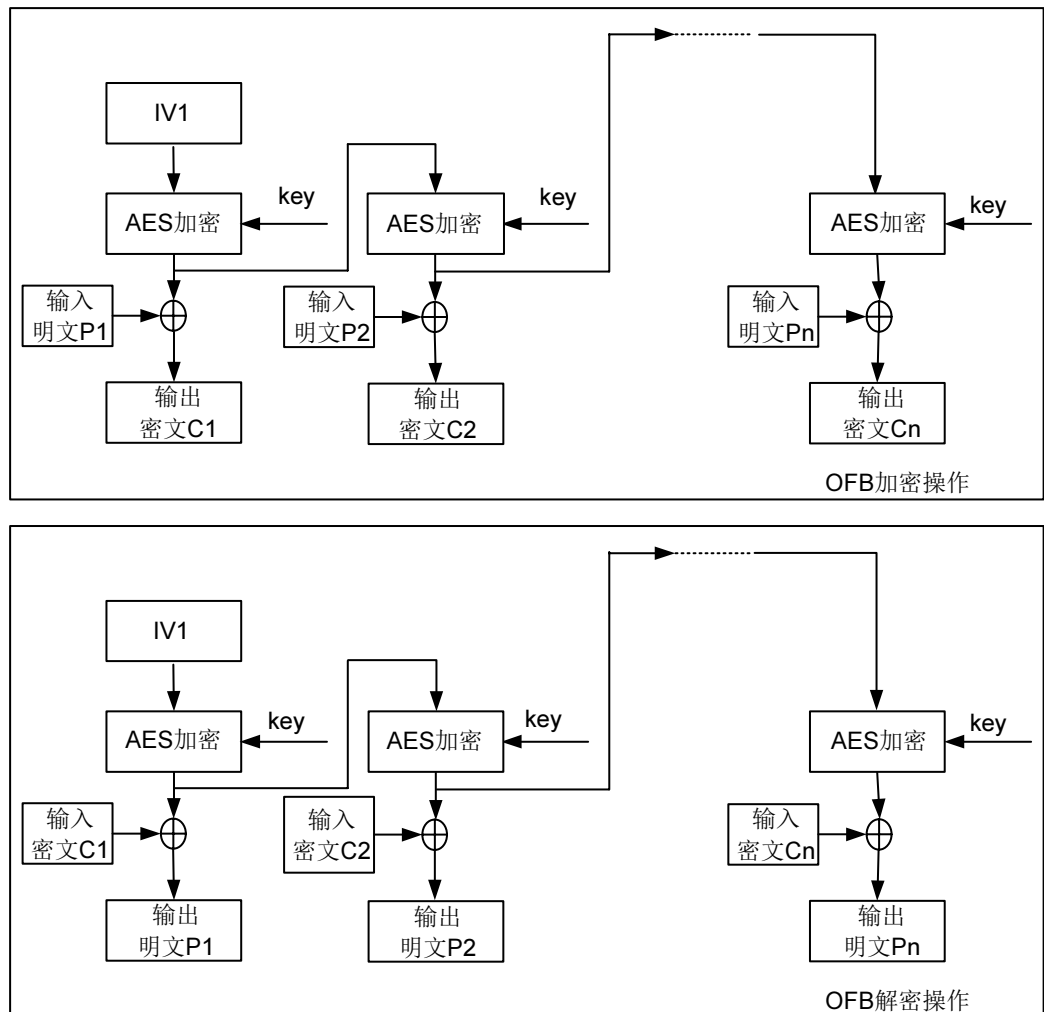
OFB (Output FeedBack) 模式下, 将 IV 直接作为加密操作的输入, 因此对同一个密钥的操作情况下, 应该使用不相同的 IV, 避免降低操作的安全性。关于 s 位, 存在以下 2 种情况:

- 对于 DES/3DES, s 位可以是 1 位、8 位或 64 位。
- 对于 AES, s 位只能是 128 位。



AES 的输出反馈（OFB）模式如图 13-9 所示。

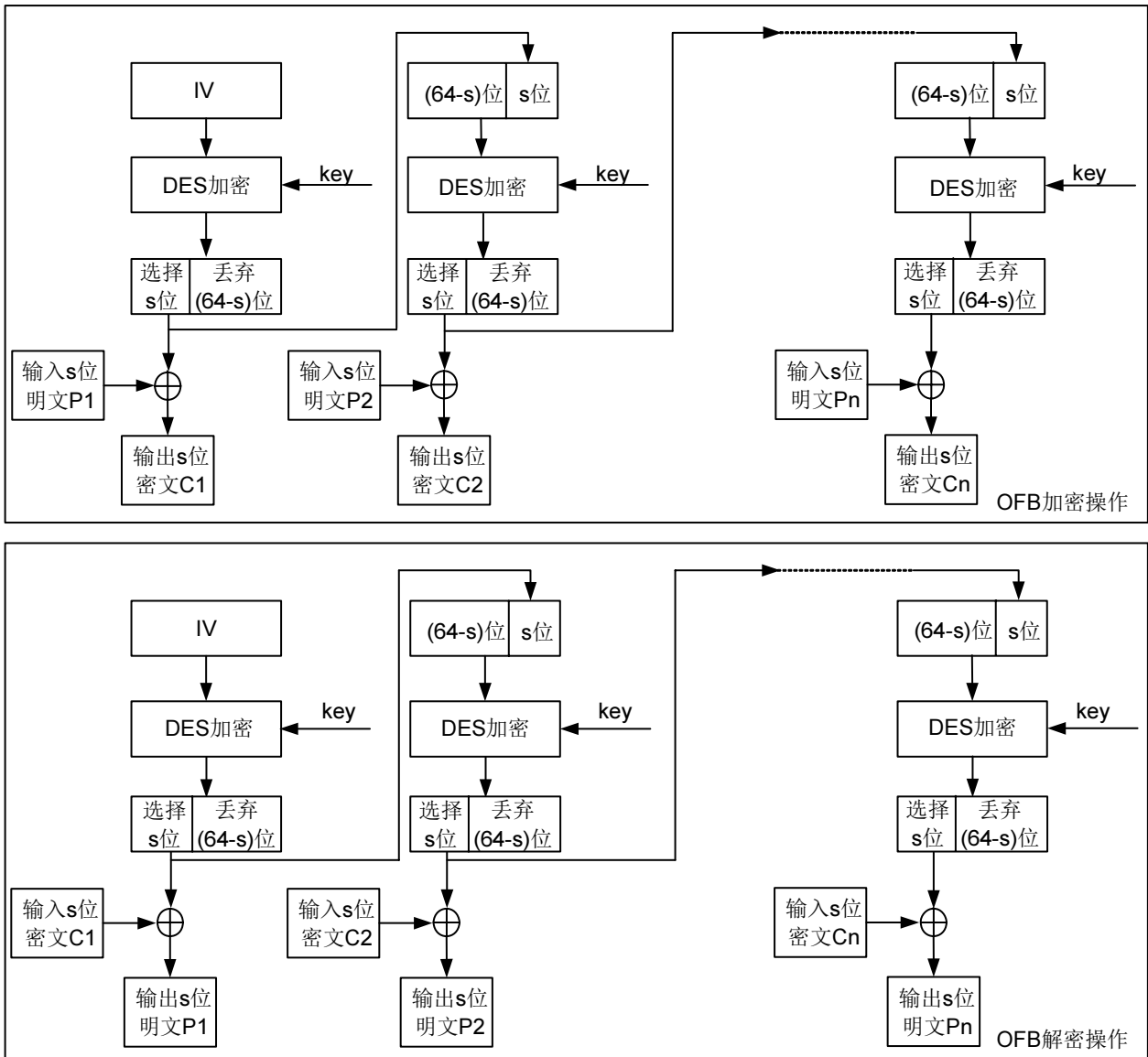
图13-9 AES 的输出反馈（OFB）模式



DES 的  $s$  位输出反馈模式如图 13-10 所示。

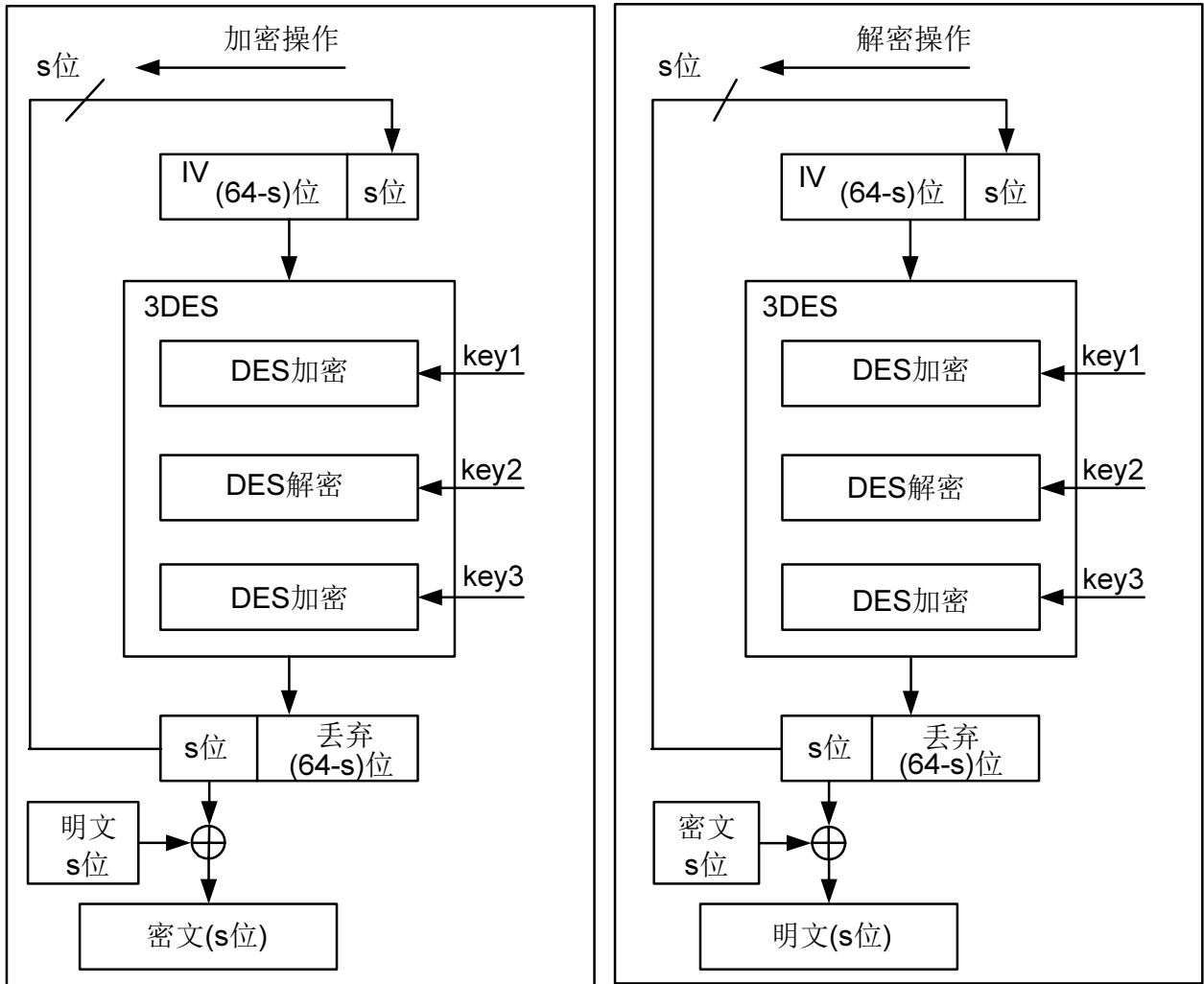


图13-10 DES 的 s 位输出反馈 (OFB) 模式



3DES 的  $s$  位输出反馈模式如图 13-11 所示。

图13-11 3DES 的 s 位输出反馈 (OFB) 模式



## CTR 模式

CTR (Counter) 模式下, 向 AES 加密或解密处理模块输入不同的数据来保证数据处理的安全性, 这种数据可以是计数的值。因此, 计数值  $CTR_n$  的选取也决定了这种方式应用的安全性。

### 说明

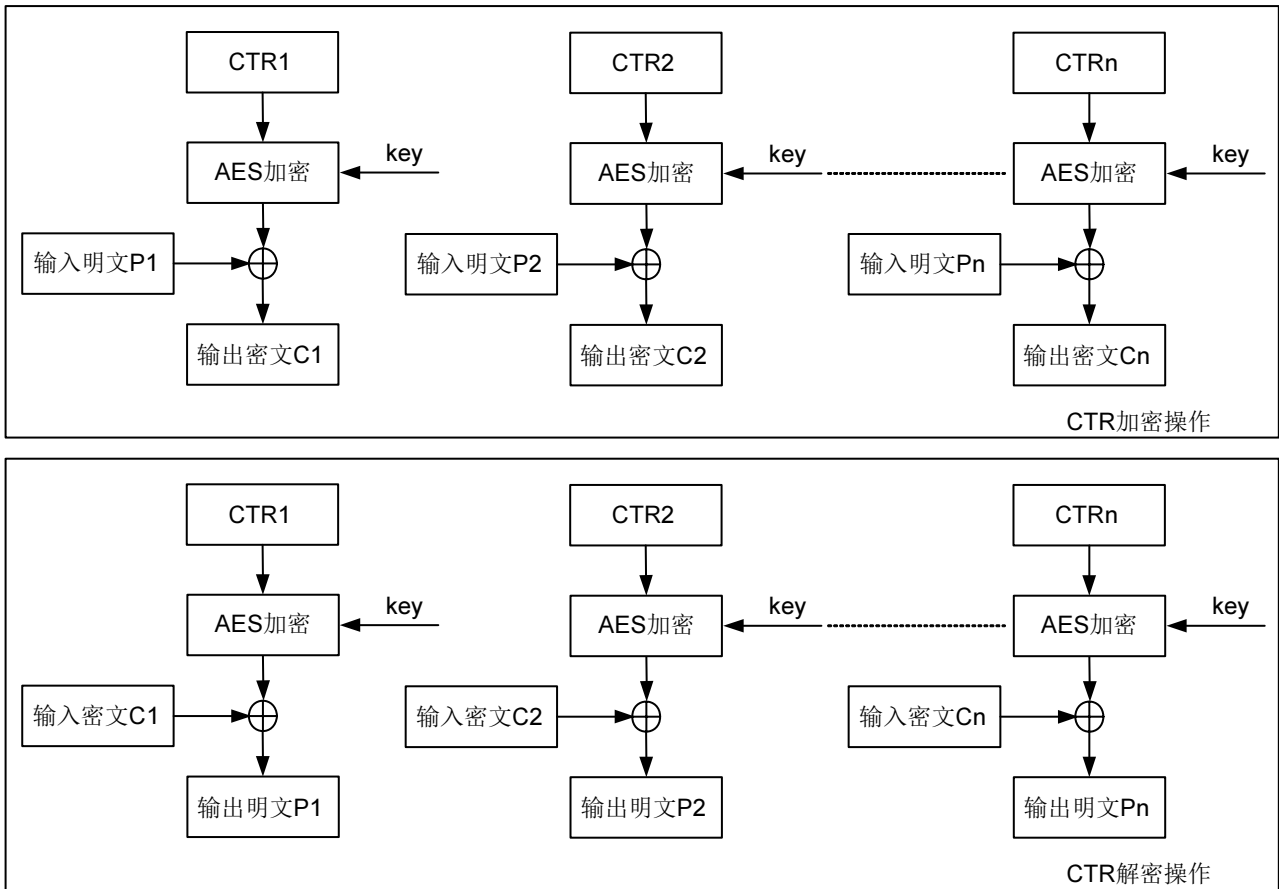
$CTR_n$  一般采用累加计数的方式获取。

AES 的 CTR 模式如图 13-12 所示。





图13-12 AES 的 CTR 模式



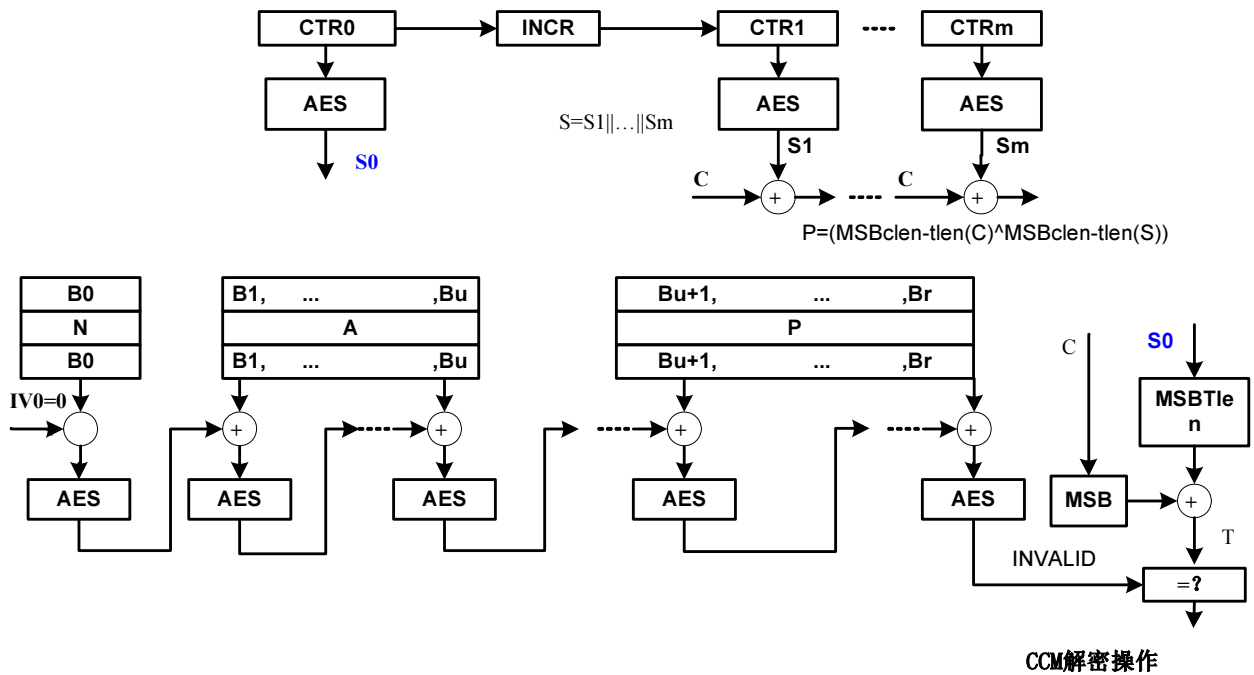
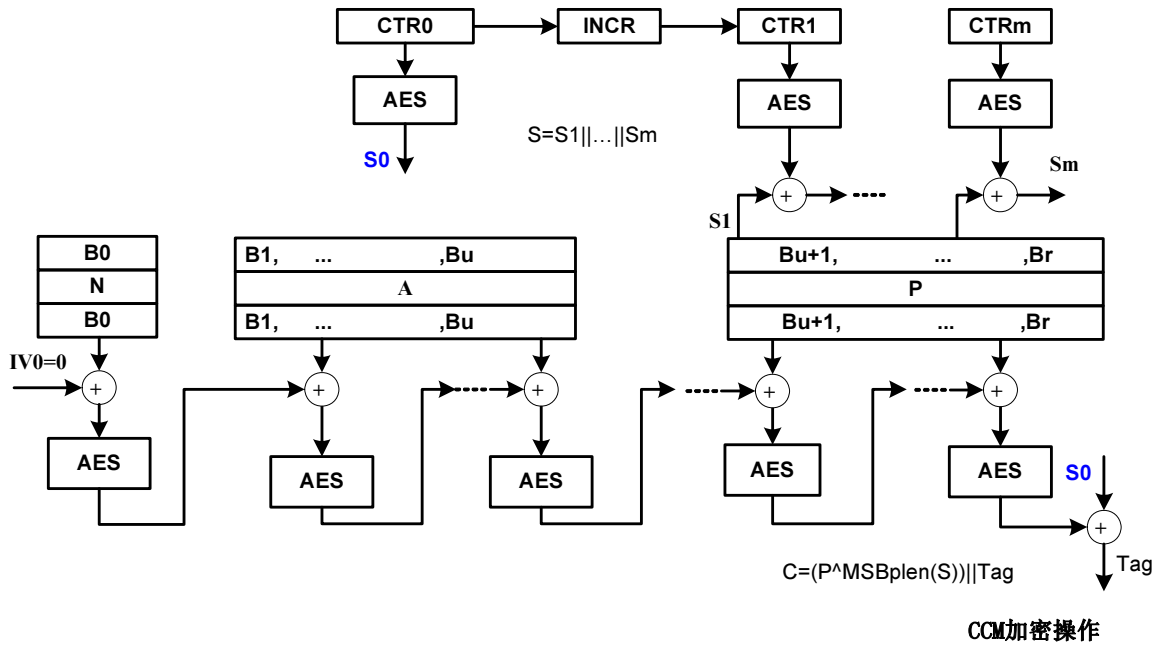
## CCM 模式

AES 算法 CCM 模式由 AES CTR 和 AES CBC 模式构成，既可以保证数据的保密性，也能保证数据的完整性。

AES 的 CCM 模式如图 13-13 所示。



图13-13 AES 的 CCM 模式



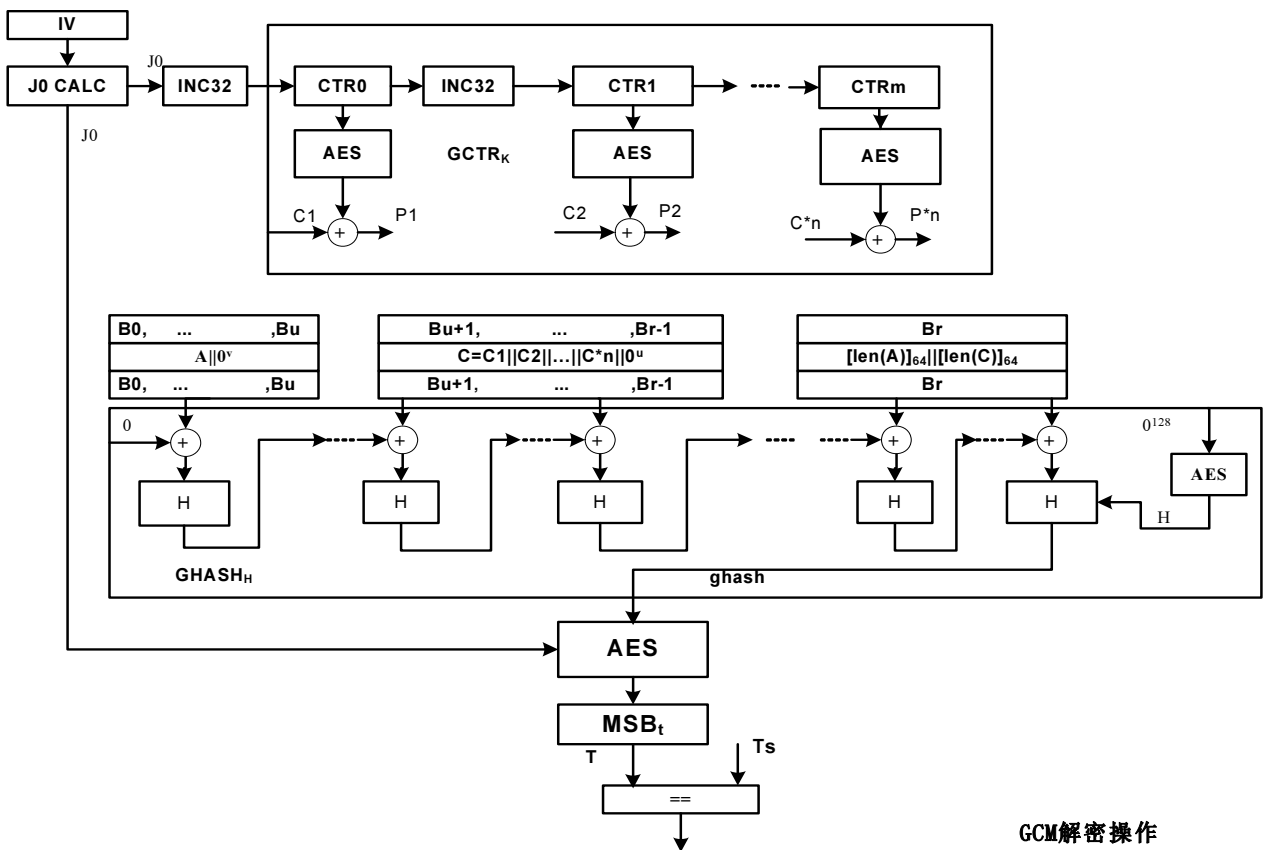
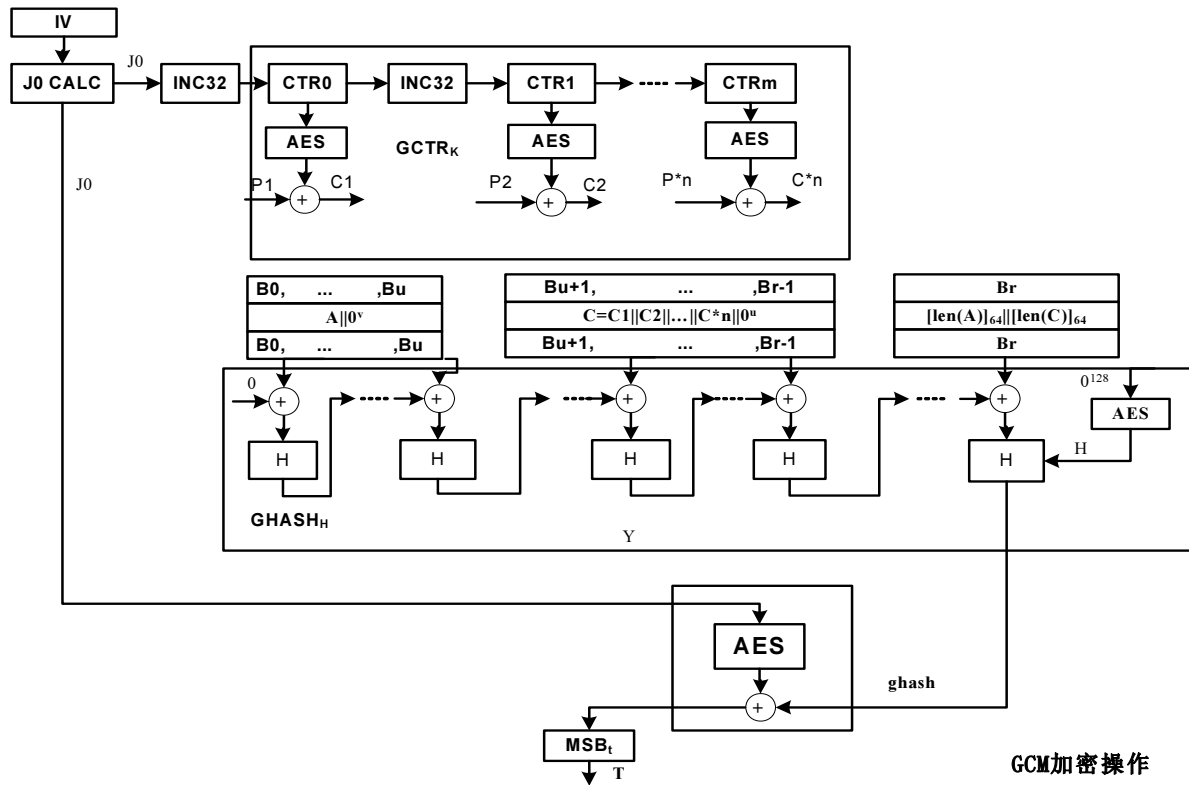
## GCM 模式

AES 算法 GCM 模式由 AES CTR 和 GHASH 构成，既可以保证数据的保密性，也能保证数据的完整性。

AES 的 GCM 模式如图 13-14 所示。



图13-14 AES 的 GCM 模式





## 13.1.4 工作方式

### CIPHER 的单分组操作流程

CIPHER 提供通道 0 作为单分组加解密通道，操作流程如下：

- 步骤 1. 查询通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_busy` 域，如果通道 0 不忙，则配置通道 0 的数据输入和将相关配置信息写入通道 0 的寄存器中。
- 步骤 2. 写通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_start` 域，启动通道 0 加解密。

----结束

判断通道 0 加解密结束，有两种方式：

- 步骤 1. 查询等待通道 0 加解密结束后 `ch0_busy` 变为不忙或使能通道 0 中断，在通道 0 数据完成中断有效后读取数据。
- 步骤 2. 通道 0 加解密完成，从通道 0 的 `CHAN0_CIPHER_DOUT` 和 `CHAN0_CIPHER_IVOUT` 寄存器中读取相应结果。

----结束

### CIPHER 的多分组操作流程

CIPHER 模块提供 7 个多分组加解密通道，软件可以根据每个通道速率大小设置每个通道的权值。多分组加解密通道自动从 DDR 中读取数据，完成加解密后再写入到 DDR 中。

CIPHER 的多分组操作流程如下：

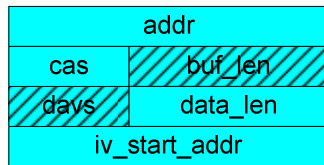
- 步骤 1. 通道初始化配置。即每个通道输入队列深度和输出队列深度，输入输出队列的首地址，多包中断个数和老化中断时间，配置每个通道 `CTRL` 寄存器信息。
- 步骤 2. 当有数据需要加解密时，查询 `CHANn_IBUF_CNT` 寄存器，如果该寄存器的值小于 `CHANn_IBUF_NUM` 的值，则配置待加解密数据链表头到输入队列中，进入步骤 4；否则进入步骤 3；
- 步骤 3. 打开输入队列通道对应的中断，等待该中断发生时，读取 `CHANn_IEMPTY_CNT` 寄存器代表输入队列处理完成的包个数，软件通过向该寄存器写入相应的值清除中断，然后可以向输入队列中添加新的数据。
- 步骤 4. 向输出队列中加入对应的输出缓冲区链表头；
- 步骤 5. 打开输出队列通道对应中断；
- 步骤 6. 在输出队列中断发生时，软件取走输出队列数据并写本次收包个数到 `CHANn_OFULL_CNT`，以便清除中断。

----结束

多分组加解密通道链表头结构如图 13-15 所示：

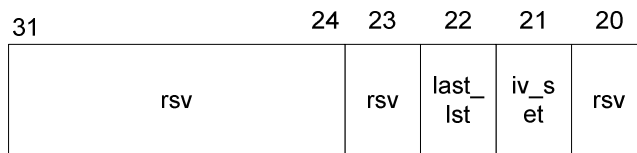


图13-15 多分组加解密通道链表头结构



- addr 表示该链表头指向的 Buffer 的首地址，可以是字节地址。
- data\_len 表示该链表头指示的有效数据的长度。
- cas 代表 cipher 加解密的控制信息，具体 bit 数如图 13-16 所示：

图13-16 CAS 各个 bit 标志



- iv\_set: 标志当前链表头指示的数据需要重新更换初始向量，此时需要通过 iv\_start\_addr 指示当前 IV 在 DDR 中的初始地址，此地址必须是 WORD 对齐地址。
- last\_lst: 标志当前链表头指示的数据是一个数据块的最后一个链表，逻辑在该链表处理结束时如果遇到不足一个加解密分组的数据，逻辑将剩余数据直接写入到输出 Buffer 中，不进行加解密。

## 时钟门控

当不需要进行加密操作，且 CIPHER 模块处于空闲状态时，可以通过配置系统控制器的寄存器，关断 CIPHER 模块时钟以降低功耗。

## 软复位

可以通过配置系统控制器的寄存器对 CIPHER 模块进行软复位。

## 13.1.5 CIPHER 寄存器概览

CIPHER 寄存器概览如表 13-1 所示。

表13-1 CIPHER 寄存器概览（基址是 0x1008\_0000）

偏移地址	名称	描述	页码
0x0000~ 0x000C	CHAN0_CIPHER_D OUT	CIPHER 模块通道 0（单分组加解密）输出寄存器	13-20



偏移地址	名称	描述	页码
0x0010~ 0x001C	CHAN0_CIPHER_IV OUT	CIPHER 操作完成之后的向量输出寄 存器	13-21
0x0020~ 0x008C	CHAN_CIPHER_IV OUT	通道 1~7 向量输出寄存器	13-22
0x0090~ 0x018C	CIPHER_KEY	CIPHER 模块的 CPU 配置密钥寄存 器	13-22
0x0840	CHAN0_GCM_A_LE N_0	CHAN0 的 AES GCM 的 A 的低 32bit 寄存器	13-24
0x0844	CHAN0_GCM_A_LE N_1	CHAN0 的 AES GCM 的 A 的高 32bit 寄存器	13-24
0x0848	CHAN1_GCM_A_LE N_0	CHAN1 的 AES GCM 的 A 的低 32bit 寄存器	13-24
0x084C	CHAN1_GCM_A_LE N_1	CHAN1 的 AES GCM 的 A 的高 32bit 寄存器	13-25
0x0850	CHAN2_GCM_A_LE N_0	CHAN2 的 AES GCM 的 A 的低 32bit 寄存器	13-25
0x0854	CHAN2_GCM_A_LE N_1	CHAN2 的 AES GCM 的 A 的高 32bit 寄存器	13-26
0x0858	CHAN3_GCM_A_LE N_0	CHAN3 的 AES GCM 的 A 的低 32bit 寄存器	13-26
0x085C	CHAN3_GCM_A_LE N_1	CHAN3 的 AES GCM 的 A 的高 32bit 寄存器	13-26
0x0860	CHAN4_GCM_A_LE N_0	CHAN4 的 AES GCM 的 A 的低 32bit 寄存器	13-27
0x0864	CHAN4_GCM_A_LE N_1	CHAN4 的 AES GCM 的 A 的高 32bit 寄存器	13-27
0x0868	CHAN5_GCM_A_LE N_0	CHAN5 的 AES GCM 的 A 的低 32bit 寄存器	13-27
0x086C	CHAN5_GCM_A_LE N_1	CHAN5 的 AES GCM 的 A 的高 32bit 寄存器	13-28
0x0870	CHAN6_GCM_A_LE N_0	CHAN6 的 AES GCM 的 A 的低 32bit 寄存器	13-28
0x0874	CHAN6_GCM_A_LE N_1	CHAN6 的 AES GCM 的 A 的高 32bit 寄存器	13-29
0x0878	CHAN7_GCM_A_LE N_0	CHAN7 的 AES GCM 的 A 的低 32bit 寄存器	13-29



偏移地址	名称	描述	页码
0x087C	CHAN7_GCM_A_LEN_1	CHAN7 的 AES GCM 的 A 的高 32bit 寄存器	13-29
0x0880	CHAN0_GCM_PC_LEN_0	CHAN0 的 AES GCM 的 Payload 的低 32bit 寄存器	13-30
0x0884	CHAN0_GCM_PC_LEN_1	CHAN0 的 AES GCM 的 Payload 的高 32bit 寄存器	13-30
0x0888	CHAN1_GCM_PC_LEN_0	CHAN1 的 AES GCM 的 Payload 的低 32bit 寄存器	13-30
0x088C	CHAN1_GCM_PC_LEN_1	CHAN1 的 AES GCM 的 Payload 的高 32bit 寄存器	13-31
0x0890	CHAN2_GCM_PC_LEN_0	CHAN2 的 AES GCM 的 Payload 的低 32bit 寄存器	13-31
0x0894	CHAN2_GCM_PC_LEN_1	CHAN2 的 AES GCM 的 Payload 的高 32bit 寄存器	13-31
0x0898	CHAN3_GCM_PC_LEN_0	CHAN3 的 AES GCM 的 Payload 的低 32bit 寄存器	13-32
0x089C	CHAN3_GCM_PC_LEN_1	CHAN3 的 AES GCM 的 Payload 的高 32bit 寄存器	13-32
0x08A0	CHAN4_GCM_PC_LEN_0	CHAN4 的 AES GCM 的 Payload 的低 32bit 寄存器	13-33
0x08A4	CHAN4_GCM_PC_LEN_1	CHAN4 的 AES GCM 的 Payload 的高 32bit 寄存器	13-33
0x08A8	CHAN5_GCM_PC_LEN_0	CHAN5 的 AES GCM 的 Payload 的低 32bit 寄存器	13-33
0x08AC	CHAN5_GCM_PC_LEN_1	CHAN5 的 AES GCM 的 Payload 的高 32bit 寄存器	13-34
0x08B0	CHAN6_GCM_PC_LEN_0	CHAN6 的 AES GCM 的 Payload 的低 32bit 寄存器	13-34
0x08B4	CHAN6_GCM_PC_LEN_1	CHAN6 的 AES GCM 的 Payload 的高 32bit 寄存器	13-35
0x08B8	CHAN7_GCM_PC_LEN_0	CHAN7 的 AES GCM 的 Payload 的低 32bit 寄存器	13-35
0x08BC	CHAN7_GCM_PC_LEN_1	CHAN7 的 AES GCM 的 Payload 的高 32bit 寄存器	13-35
0x08C0	CHAN0_3_GCM_IV_LEN	CHAN0~3 的 AES GCM 的 IV 的长度	13-36



偏移地址	名称	描述	页码
0x08C4	CHAN4_7_GCM_IV_LEN	CHAN4~7 的 AES GCM 的 IV 的长度	13-36
0x08CC	CHANn_GCM_IV_LEN_VLD	GCM 的 IV 长度有效信号	13-37
0x08D0	CHANn_GCM_TAG_VLD	GCM 的 TAG 有效信号	13-37
0x08D4	CHANn_GCM_GHASH_A_END	GCM 的 A 计算结束信号	13-38
0x0900+0x10x n+0x00	CHANn_GCM_TAG_0	CHANn 的 GCM 的 TAG 寄存器 0	13-38
0x0900+0x10x n+0x04	CHANn_GCM_TAG_1	CHANn 的 GCM 的 TAG 寄存器 1	13-38
0x0900+0x10x n+0x08	CHANn_GCM_TAG_2	CHANn 的 GCM 的 TAG 寄存器 2	13-39
0x0900+0x10x n+0x0C	CHANn_GCM_TAG_3	CHANn 的 GCM 的 TAG 寄存器 3	13-39
0x1000	CHAN0_CIPHER_CTRL	通道 0 加解密控制寄存器	13-39
0x1004~0x1010	CHAN0_CIPHER_IV_IN	CIPHER 模块通道 0 的向量分组的输入寄存器	13-42
0x1014~0x1020	CHAN0_CIPHER_DIIN	CIPHER 模块的 128 位分组输入寄存器	13-43
0x1000+ n x 0x80	CHANn_IBUF_NUM	通道 n (n 为 1~7) 输入队列总深度, 即为可以配置链表头的总个数寄存器	13-44
0x1000+ n x 0x80+0x4	CHANn_IBUF_CNT	通道 n 输入队列中待处理的数据 Buffer 的个数寄存器	13-44
0x1000+ n x 0x80+0x8	CHANn_IEMPTY_CNT	通道 n 输入队列中处理完成的数据 Buffer 个数寄存器	13-45
0x1000+ n x 0x80+0xC	CHANn_INT_ICNTCFG	通道 n 输入队列多包中断流水线寄存器	13-45
0x1000+ n x 0x80+0x10	CHANn_CIPHER_CTRL	通道 n 加解密控制寄存器	13-46
0x1000+ n x 0x80+0x14	CHANn_SRC_LST_SADDR	通道 n 输入队列的起始地址寄存器	13-48
0x1000+ n x 0x80+0x18	CHANn_IAGE_TIMER	通道 n 输入队列中断的老化时间配置寄存器	13-48
0x1000+ n x	CHANn_OBUF_NUM	通道 n 输出队列总深度, 即为可以配	13-49





偏移地址	名称	描述	页码
0x80+0x3C	M	置链表头的总个数寄存器	
0x1000+ n x 0x80+0x40	CHANn_OBUF_CNT	通道 n 输出队列中待处理的数据 Buffer 的个数寄存器	13-49
0x1000+ n x 0x80+0x44	CHANn_OFULL_CN T	通道 n 输出队列中处理完成的数据 Buffer 个数寄存器	13-50
0x1000+ n x 0x80+0x48	CHANn_INT_OCNT CFG	通道 n 输出队列多包中断流水线寄存器	13-50
0x1000+ n x 0x80+0x4C	CHANn_DEST_LST _SADDR	通道 n 输出队列的起始地址寄存器	13-50
0x1000+ n x 0x80+0x50	CHANn_OAGE_TIM ER	通道 n 输出队列中断的老化时间配置寄存器	13-51
0x1400	INT_STATUS	中断状态寄存器	13-51
0x1404	INT_EN	中断使能寄存器	13-52
0x1408	INT_RAW	原始中断状态寄存器	13-53
0x140C	RST_STATUS	复位状态指示寄存器	13-54
0x1410	CHAN0_CFG	通道 0 配置寄存器	13-55

CIPHER 寄存器偏移地址中变量的取值范围和含义如表 13-2 所示。

表13-2 CIPHER 寄存器偏移地址变量表

变量名称	取值范围	描述
n	1~7	CIPHER 模块的通道 1 至通道 7。

## 13.1.6 CIPHER 寄存器描述

### CHAN0\_CIPHER\_DOUT

CHAN0\_CIPHER\_DOUT 为 CIPHER 模块通道 0（单分组加解密）输出寄存器。

读取本寄存器时需要注意：

从该寄存器中读取的数据是单分组的运算的结果数据。AES 运算和 DES 或 3DES 运算对应的情况不同：

- 如果选择进行 AES 运算
  - 如果选择 1-CFB 模式，最低位有效，即 CIPHER\_DOUT bit[0]为有效数据。
  - 如果选择 8-CFB 模式，低 8 位有效，即 CIPHER\_DOUT bit[7:0]为有效数据。



- 如果选择 128-CFB 操作，128 位数据均有效。
- 其它模式下 128 位数据均有效。
- 如果选择进行 DES 或 3DES 运算
  - 如果选择 1-CFB 或 1-OFB 模式，低 1 位有效，即 CIPHER\_DOUT bit[0]为有效数据。
  - 如果选择 8-CFB 或 8-OFB 模式，低 8 位有效，即 CIPHER\_DOUT bit[7:0]为有效数据。
  - 如果选择 64-CFB 或 64-OFB 模式，低 64 位数据有效，即 CIPHER\_DOUT bit[63:0]为有效数据。
  - 其它模式下低 64 位数据有效，即 CIPHER\_DOUT bit[63:0]为有效数据。

Offset Address		Register Name		Total Reset Value				
0x0000~0x000C		CHAN0_CIPHER_DOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_dout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan0_cipher_dout	CIPHER 模块 128 位分组输出，每 1 个地址对应 32 位的数据。 CIPHER_DOUT[31:0]: 0x0000 地址; CIPHER_DOUT[63:32]: 0x0004 地址; CIPHER_DOUT[95:64]: 0x0008 地址; CIPHER_DOUT[127:96]: 0x000C 地址。					

## CHAN0\_CIPHER\_IVOUT

CHAN0\_CIPHER\_IVOUT 为 CIPHER 操作完成之后的向量输出寄存器。

读取本寄存器时需要注意：

- 如果执行的是 ECB 或 CTR 工作模式，不需要关注此寄存器。
- 如果选择进行单分组的处理，该寄存器中的数据是该分组的向量结果输出，可以作为同一数据包的下一个分组运算的向量输入。
  - 如果选择进行 AES 运算，128 位数据均有效。
  - 如果选择进行 DES 或 3DES 运算（CIPHER\_CTRL[cipher\_mode]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER\_IVOUT bit[63:0]为有效数据。
- 如果选择进行多分组的处理，该寄存器中读取的数据是最后一个分组运算的向量结果输出。
  - 如果选择进行 AES 运算，128 位数据均有效。
  - 如果选择进行 DES 或 3DES 运算，低 64 位数据有效，即 CIPHER\_IVOUT bit[63:0]为有效数据。



Offset Address		Register Name		Total Reset Value				
0x0010~0x001C		CHAN0_CIPHER_IVOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_ivout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan0_cipher_ivout	CIPHER 模块操作完成之后的向量 IV 的输出（ECB、CTR 工作模式下无需关注），每 1 地址对应 32 位的数据。 CIPHER_IVOUT[31:0]: 0x0010 地址; CIPHER_IVOUT[63:32]: 0x0014 地址; CIPHER_IVOUT[95:64]: 0x0018 地址; CIPHER_IVOUT[127:96]: 0x001C 地址。					

## CHAN\_CIPHER\_IVOUT

CHAN\_CIPHER\_IVOUT 为通道 1~7 向量输出寄存器。

Offset Address		Register Name		Total Reset Value				
0x0020~0x008C		CHAN_CIPHER_IVOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan_cipher_ivout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan_cipher_ivout	0x0020~0x002C: 通道 1; 0x0030~0x003C: 通道 2; 0x0040~0x004C: 通道 3; 0x0050~0x005C: 通道 4; 0x0060~0x006C: 通道 5; 0x0070~0x007C: 通道 6; 0x0080~0x008C: 通道 7。					

## CIPHER\_KEY

CIPHER\_KEY 为 CIPHER 模块的 CPU 配置密钥寄存器，该密钥为 CPU 配置值，CPU 可以读写。

配置本寄存器时需要注意：



- 选择 DES 运算时，低 64 位数据有效，即 CIPHER\_KEY[63:0]为有效数据。
- 选择 3DES 运算：  
选择 3 个密钥运算（CIPHER\_CTRL[key\_length]=0b00、0b01 或 0b10）时，低 192 位数据有效，此时：
  - CIPHER\_KEY bit[63:0]表示第一个密钥。
  - CIPHER\_KEY bit[127:64]表示第二个密钥。
  - CIPHER\_KEY bit[191:128]表示第三个密钥。
 选择 2 个密钥运算（即 CIPHER\_CTRL[key\_length]=0b11）时，低 128 位数据有效，此时：
  - CIPHER\_KEY bit[63:0]表示第一个密钥。
  - CIPHER\_KEY bit[127:64]表示第二个密钥。
- 选择 AES 运算时：
  - 如果选择 128 位密钥操作，低 128 位数据有效，即 CIPHER\_KEY bit[127:0]为有效数据。
  - 如果选择 192 位密钥操作，低 192 位数据有效，即 CIPHER\_KEY bit[191:0]为有效数据。
  - 如果选择 256 位密钥操作，256 位数据均有效。

CIPHER 模块共支持配置 8 个密钥，每个通道可以配置使用其中一个密钥，可以多个通道共同使用同一个密钥。

Offset Address		Register Name		Total Reset Value				
0x0090~0x018C		CIPHER_KEY		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cipher_key							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cipher_key	CIPHER 模块的密钥输入，每 1 个地址对应一个 32 位宽的数据。 CIPHER_KEY[31:0]: 0x0090 地址; CIPHER_KEY[63:32]: 0x0094 地址; CIPHER_KEY[95:64]: 0x0098 地址; CIPHER_KEY[127:96]: 0x009C 地址; CIPHER_KEY[159:128]: 0x00A0 地址; CIPHER_KEY[191:160]: 0x00A4 地址; CIPHER_KEY[223:192]: 0x00A8 地址; CIPHER_KEY[255:224]: 0x00AC 地址。 0x0090~0x00AC: host_key0; 0x00B0~0x00CC: host_key1; 0x00D0~0x00EC: host_key2;					



			0x00F0~0x010C: host_key3; 0x0110~0x012C: host_key4; 0x0130~0x014C: host_key5; 0x0150~0x016C: host_key6; 0x0170~0x018C: host_key7。
--	--	--	---

### CHAN0\_GCM\_A\_LEN\_0

CHAN0\_GCM\_A\_LEN\_0 为 CHAN0 的 AES GCM 的 A 的低 32bit 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0840	CHAN0_GCM_A_LEN_0	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	chan0_gcm_a_len_0		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	chan0_gcm_a_len_0	CHAN0 的 AES GCM 的 A 的长度，低 32bit，单位为 8bit。

### CHAN0\_GCM\_A\_LEN\_1

CHAN0\_GCM\_A\_LEN\_1 为 CHAN0 的 AES GCM 的 A 的高 32bit 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0844	CHAN0_GCM_A_LEN_1	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	chan0_gcm_a_len_1		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	chan0_gcm_a_len_1	CHAN0 的 AES GCM 的 A 的长度，高 32bit，单位为 8bit。

### CHAN1\_GCM\_A\_LEN\_0

CHAN1\_GCM\_A\_LEN\_0 为 CHAN1 的 AES GCM 的 A 的低 32bit 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0848		CHAN1_GCM_A_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan1_gcm_a_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan1_gcm_a_len_0	CHAN1 的 AES GCM 的 A 的长度，低 32bit，单位为 8bit。					

### CHAN1\_GCM\_A\_LEN\_1

CHAN1\_GCM\_A\_LEN\_1 为 CHAN1 的 AES GCM 的 A 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x084C		CHAN1_GCM_A_LEN_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan1_gcm_a_len_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan1_gcm_a_len_1	CHAN1 的 AES GCM 的 A 的长度，高 32bit，单位为 8bit。					

### CHAN2\_GCM\_A\_LEN\_0

CHAN2\_GCM\_A\_LEN\_0 为 CHAN2 的 AES GCM 的 A 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0850		CHAN2_GCM_A_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan2_gcm_a_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan2_gcm_a_len_0	CHAN2 的 AES GCM 的 A 的长度，低 32bit，单位为 8bit。					



### CHAN2\_GCM\_A\_LEN\_1

CHAN2\_GCM\_A\_LEN\_1 为 CHAN2 的 AES GCM 的 A 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0854		CHAN2_GCM_A_LEN_1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chan2_gcm_a_len_1								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	chan2_gcm_a_len_1	CHAN2 的 AES GCM 的 A 的长度，高 32bit，单位为 8bit。						

### CHAN3\_GCM\_A\_LEN\_0

CHAN3\_GCM\_A\_LEN\_0 为 CHAN3 的 AES GCM 的 A 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0858		CHAN3_GCM_A_LEN_0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chan3_gcm_a_len_0								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	chan3_gcm_a_len_0	CHAN3 的 AES GCM 的 A 的长度，低 32bit，单位为 8bit。						

### CHAN3\_GCM\_A\_LEN\_1

CHAN3\_GCM\_A\_LEN\_1 为 CHAN3 的 AES GCM 的 A 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value					
0x085C		CHAN3_GCM_A_LEN_1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chan3_gcm_a_len_1								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	chan3_gcm_a_len_1	CHAN3 的 AES GCM 的 A 的长度，高 32bit，单位为 8bit。						



## CHAN4\_GCM\_A\_LEN\_0

CHAN4\_GCM\_A\_LEN\_0 为 CHAN4 的 AES GCM 的 A 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0860		CHAN1_GCM_A_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan1_gcm_a_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan4_gcm_a_len_0	CHAN4 的 AES GCM 的 A 的长度，低 32bit，单位为 8bit。					

## CHAN4\_GCM\_A\_LEN\_1

CHAN4\_GCM\_A\_LEN\_1 为 CHAN4 的 AES GCM 的 A 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0864		CHAN4_GCM_A_LEN_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan1_gcm_a_len_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan4_gcm_a_len_1	CHAN4 的 AES GCM 的 A 的长度，高 32bit，单位为 8bit。					

## CHAN5\_GCM\_A\_LEN\_0

CHAN5\_GCM\_A\_LEN\_0 为 CHAN5 的 AES GCM 的 A 的低 32bit 寄存器。





Offset Address		Register Name		Total Reset Value				
0x0868		CHAN5_GCM_A_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan5_gcm_a_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan5_gcm_a_len_0	CHAN5 的 AES GCM 的 A 的长度，低 32bit，单位为 8bit。					

### CHAN5\_GCM\_A\_LEN\_1

CHAN5\_GCM\_A\_LEN\_1 为 CHAN5 的 AES GCM 的 A 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x086C		CHAN5_GCM_A_LEN_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan5_gcm_a_len_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan5_gcm_a_len_1	CHAN5 的 AES GCM 的 A 的长度，高 32bit，单位为 8bit。					

### CHAN6\_GCM\_A\_LEN\_0

CHAN6\_GCM\_A\_LEN\_0 为 CHAN6 的 AES GCM 的 A 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0870		CHAN6_GCM_A_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan6_gcm_a_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan6_gcm_a_len_0	CHAN6 的 AES GCM 的 A 的长度，低 32bit，单位为 8bit。					



## CHAN6\_GCM\_A\_LEN\_1

CHAN6\_GCM\_A\_LEN\_1 为 CHAN6 的 AES GCM 的 A 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0874		CHAN6_GCM_A_LEN_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan6_gcm_a_len_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan6_gcm_a_len_1	CHAN6 的 AES GCM 的 A 的长度，高 32bit，单位为 8bit。					

## CHAN7\_GCM\_A\_LEN\_0

CHAN7\_GCM\_A\_LEN\_0 为 CHAN7 的 AES GCM 的 A 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0878		CHAN7_GCM_A_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan7_gcm_a_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan7_gcm_a_len_0	CHAN7 的 AES GCM 的 A 的长度，低 32bit，单位为 8bit。					

## CHAN7\_GCM\_A\_LEN\_1

CHAN7\_GCM\_A\_LEN\_1 为 CHAN7 的 AES GCM 的 A 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x087C		CHAN7_GCM_A_LEN_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan7_gcm_a_len_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan7_gcm_a_len_1	CHAN7 的 AES GCM 的 A 的长度，高 32bit，单位为 8bit。					



## CHAN0\_GCM\_PC\_LEN\_0

CHAN0\_GCM\_PC\_LEN\_0 为 CHAN0 的 AES GCM 的 Payload 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0880		CHAN0_GCM_PC_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_gcm_pc_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan0_gcm_pc_len_0	CHAN0 的 AES GCM 的 Payload 的长度，低 32bit，单位为 8bit。					

## CHAN0\_GCM\_PC\_LEN\_1

CHAN0\_GCM\_PC\_LEN\_1 为 CHAN0 的 AES GCM 的 Payload 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0884		CHAN0_GCM_PC_LEN_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_gcm_pc_len_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan0_gcm_pc_len_1	CHAN0 的 AES GCM 的 Payload 的长度，高 32bit，单位为 8bit。					

## CHAN1\_GCM\_PC\_LEN\_0

CHAN1\_GCM\_PC\_LEN\_0 为 CHAN1 的 AES GCM 的 Payload 的低 32bit 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0888		CHAN1_GCM_PC_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_gcm_pc_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan1_gcm_pc_len_0	CHAN1 的 AES GCM 的 PayLoad 的长度，低 32bit，单位为 8bit。					

### CHAN1\_GCM\_PC\_LEN\_1

CHAN1\_GCM\_PC\_LEN\_1 为 CHAN1 的 AES GCM 的 PayLoad 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x088C		CHAN1_GCM_PC_LEN_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan1_gcm_pc_len_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan1_gcm_pc_len_1	CHAN1 的 AES GCM 的 PayLoad 的长度，高 32bit，单位为 8bit。					

### CHAN2\_GCM\_PC\_LEN\_0

CHAN2\_GCM\_PC\_LEN\_0 为 CHAN2 的 AES GCM 的 PayLoad 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0890		CHAN2_GCM_PC_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan2_gcm_pc_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan2_gcm_pc_len_0	CHAN2 的 AES GCM 的 PayLoad 的长度，低 32bit，单位为 8bit。					



### CHAN2\_GCM\_PC\_LEN\_1

CHAN2\_GCM\_PC\_LEN\_1 为 CHAN2 的 AES GCM 的 Payload 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0894		CHAN2_GCM_PC_LEN_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan2_gcm_pc_len_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan2_gcm_pc_len_1	CHAN2 的 AES GCM 的 Payload 的长度，高 32bit，单位为 8bit。					

### CHAN3\_GCM\_PC\_LEN\_0

CHAN3\_GCM\_PC\_LEN\_0 为 CHAN3 的 AES GCM 的 Payload 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0898		CHAN3_GCM_PC_LEN_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan3_gcm_pc_len_0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan3_gcm_pc_len_0	CHAN3 的 AES GCM 的 Payload 的长度，低 32bit，单位为 8bit。					

### CHAN3\_GCM\_PC\_LEN\_1

CHAN3\_GCM\_PC\_LEN\_1 为 CHAN3 的 AES GCM 的 Payload 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x089C		CHAN3_GCM_PC_LEN_1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan3_gcm_pc_len_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan3_gcm_pc_len_1	CHAN3 的 AES GCM 的 Payload 的长度，高 32bit，单位为 8bit。					



			8bit。
--	--	--	-------

### CHAN4\_GCM\_PC\_LEN\_0

CHAN4\_GCM\_PC\_LEN\_0 为 CHAN4 的 AES GCM 的 Payload 的低 32bit 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x08A0	CHAN4_GCM_PC_LEN_0	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	chan0_gcm_pc_len_0		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	chan4_gcm_pc_len_0	CHAN4 的 AES GCM 的 Payload 的长度，低 32bit，单位为 8bit。

### CHAN4\_GCM\_PC\_LEN\_1

CHAN4\_GCM\_PC\_LEN\_1 为 CHAN4 的 AES GCM 的 Payload 的高 32bit 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x08A4	CHAN4_GCM_PC_LEN_1	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	chan0_gcm_pc_len_1		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	chan4_gcm_pc_len_1	CHAN4 的 AES GCM 的 Payload 的长度，高 32bit，单位为 8bit。

### CHAN5\_GCM\_PC\_LEN\_0

CHAN5\_GCM\_PC\_LEN\_0 为 CHAN5 的 AES GCM 的 Payload 的低 32bit 寄存器。



Offset Address		Register Name		Total Reset Value					
0x08A8		CHAN5_GCM_PC_LEN_0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chan0_gcm_pc_len_0								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	chan5_gcm_pc_len_0	CHAN5 的 AES GCM 的 PayLoad 的长度，低 32bit，单位为 8bit。						

### CHAN5\_GCM\_PC\_LEN\_1

CHAN5\_GCM\_PC\_LEN\_1 为 CHAN5 的 AES GCM 的 PayLoad 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value					
0x08AC		CHAN5_GCM_PC_LEN_1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chan0_gcm_pc_len_1								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	chan5_gcm_pc_len_1	CHAN5 的 AES GCM 的 PayLoad 的长度，高 32bit，单位为 8bit。						

### CHAN6\_GCM\_PC\_LEN\_0

CHAN6\_GCM\_PC\_LEN\_0 为 CHAN6 的 AES GCM 的 PayLoad 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value					
0x08B0		CHAN6_GCM_PC_LEN_0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chan0_gcm_pc_len_0								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	chan6_gcm_pc_len_0	CHAN6 的 AES GCM 的 PayLoad 的长度，低 32bit，单位为 8bit。						



## CHAN6\_GCM\_PC\_LEN\_1

CHAN6\_GCM\_PC\_LEN\_1 为 CHAN6 的 AES GCM 的 PayLoad 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value					
0x08B4		CHAN6_GCM_PC_LEN_1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chan6_gcm_pc_len_1								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	chan6_gcm_pc_len_1	CHAN6 的 AES GCM 的 PayLoad 的长度，高 32bit，单位为 8bit。						

## CHAN7\_GCM\_PC\_LEN\_0

CHAN7\_GCM\_PC\_LEN\_0 为 CHAN7 的 AES GCM 的 PayLoad 的低 32bit 寄存器。

Offset Address		Register Name		Total Reset Value					
0x08B8		CHAN7_GCM_PC_LEN_0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chan7_gcm_pc_len_0								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	chan7_gcm_pc_len_0	CHAN7 的 AES GCM 的 PayLoad 的长度，低 32bit，单位为 8bit。						

## CHAN7\_GCM\_PC\_LEN\_1

CHAN7\_GCM\_PC\_LEN\_1 为 CHAN7 的 AES GCM 的 PayLoad 的高 32bit 寄存器。

Offset Address		Register Name		Total Reset Value					
0x08BC		CHAN7_GCM_PC_LEN_1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chan7_gcm_pc_len_1								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	chan7_gcm_pc_len_1	CHAN7 的 AES GCM 的 PayLoad 的长度，高 32bit，单位为 8bit。						







[20:16]	RW	chan6_gcm_iv_len	CHAN6 的 IV 长度。
[15:13]	RO	reserved	保留。
[12:8]	RW	chan5_gcm_iv_len	CHAN5 的 IV 长度。
[7:5]	RO	reserved	保留。
[4:0]	RW	chan4_gcm_iv_len	CHAN4 的 IV 长度。

## CHANn\_GCM\_IV\_LEN\_VLD

CHANn\_GCM\_IV\_LEN\_VLD 为 GCM 的 IV 长度有效信号。

Offset Address		Register Name		Total Reset Value					
0x08CC		CHANn_GCM_IV_LEN_VLD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						chann_gcm_iv_len_vld		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RO	chann_gcm_iv_len_vld	AES GCM 模式下，启动运算之后才指示第 n 个通道 IV 是否有效信号。 0: 无效(通道长度为 0 或者大于 16Byte); 1: 有效。						

## CHANn\_GCM\_TAG\_VLD

CHANn\_GCM\_TAG\_VLD 为 GCM 的 TAG 有效信号。

Offset Address		Register Name		Total Reset Value					
0x08D0		CHANn_GCM_TAG_VLD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						chann_gcm_tag_vld		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RWC	chann_gcm_tag_vld	AES GCM 模式下，指示第 n 个通道 tag 是否有效信号。 0: 无效;						



			1: 有效, 写 1 清零。
--	--	--	----------------

## CHANn\_GCM\_GHASH\_A\_END

CHANn\_GCM\_GHASH\_A\_END 为 GCM 的 a 计算结束信号。

	Offset Address				Register Name								Total Reset Value																			
	0x08D4				CHANn_GCM_GHASH_A_END								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																chann_gcm_ghash_a_end															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7:0]	RWC	chann_gcm_ghash_a_end		AES GCM 模式下, 在 A 的长度不为 0 的情况下, 指示第 n 个通道 ghash 是否结束信号。 1: 结束, 写 1 清零; 0: 不结束。																											

## CHANn\_GCM\_TAG\_0

CHANn\_GCM\_TAG\_0 为 CHANn 的 GCM 的 TAG 寄存器 0。

	Offset Address				Register Name								Total Reset Value																			
	0x0900+0x10 x n+0x00				CHANn_GCM_TAG_0								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	chann_gcm_tag_0																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	chann_gcm_tag_0		CHANn 的 GCM 的 TAG[31:0]。																											

## CHANn\_GCM\_TAG\_1

CHANn\_GCM\_TAG\_1 为 CHANn 的 GCM 的 TAG 寄存器 1。



Offset Address		Register Name		Total Reset Value					
0x0900+0x10 x n+0x04		CHANn_GCM_TAG_1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chann_gcm_tag_1								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	chann_gcm_tag_1	CHANn 的 GCM 的 TAG[63:32]。						

## CHANn\_GCM\_TAG\_2

CHANn\_GCM\_TAG\_2 为 CHANn 的 GCM 的 TAG 寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x0900+0x10 x n+0x08		CHANn_GCM_TAG_2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chann_gcm_tag_2								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	chann_gcm_tag_2	CHANn 的 GCM 的 TAG[95:64]。						

## CHANn\_GCM\_TAG\_3

CHANn\_GCM\_TAG\_3 为 CHANn 的 GCM 的 TAG 寄存器 3。

Offset Address		Register Name		Total Reset Value					
0x0900+0x10 x n+0x04		CHANn_GCM_TAG_3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	chann_gcm_tag_3								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	chann_gcm_tag_3	CHANn 的 GCM 的 TAG[127:96]。						

## CHAN0\_CIPHER\_CTRL

CHAN0\_CIPHER\_CTRL 为通道 0 加解密控制寄存器，通道 0 为单分组加解密通道。



配置本寄存器时需要注意：

- 在进行模块的其它寄存器配置之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER\_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER\_CTRL[width]配置为 01 或 10。

Offset Address		Register Name		Total Reset Value										
0x1000		CHAN0_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				key_adder	key_sel	reserved	reserved	key_length	ivin_sel	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:17]	RO	reserved	保留。											
[16:14]	RW	key_adder	当前通道使用 Key 的序号。 000: host_key0; 001: host_key1; 010: host_key2; 011: host_key3; 100: host_key4; 101: host_key5; 110: host_key6; 111: host_key7。											
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥或者芯片密钥管理模块产生的密钥。 0: 使用 CPU 配置的密钥; 1: 使用芯片密钥管理模块产生的密钥。											
[12]	RO	reserved	保留。											
[11]	RO	reserved	保留。											



[10:9]	RW	key_length	<p>密钥长度控制。</p> <p>AES 算法下：</p> <p>00: 128 位密钥长度；</p> <p>01: 192 位密钥长度；</p> <p>10: 256 位密钥长度；</p> <p>11: 128 位密钥长度。</p> <p>DES 算法下：</p> <p>00: 3 个密钥；</p> <p>01: 3 个密钥；</p> <p>10: 3 个密钥；</p> <p>11: 2 个密钥。</p>
[8]	RW	ivin_sel	<p>CIPHER_IVIN 的输入选择控制。</p> <p>0: CIPHER_IVIN 不需要进行配置；</p> <p>1: CIPHER_IVIN 需要配置。</p>
[7:6]	RW	width	<p>位宽控制。</p> <p>DES/3DES 算法下：</p> <p>00: 64 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 64 位模式。</p> <p>AES 算法下：</p> <p>00: 128 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 128 位模式。</p>
[5:4]	RW	alg_sel	<p>算法类型选择控制。</p> <p>00: DES 运算；</p> <p>01: 3DES 运算；</p> <p>10: AES 运算；</p> <p>11: DES 运算。</p>



[3:1]	RW	mode	<p>工作模式控制。</p> <p>在 AES 算法下： 000: ECB 模式； 001: CBC 模式； 010: CFB 模式； 011: OFB 模式； 100: CTR 模式； 其它: ECB 模式。</p> <p>在 DES 算法下： 000: ECB 模式； 001: CBC 模式； 010: CFB 模式； 011: OFB 模式； 其它: ECB 模式。</p>
[0]	RW	decrypt	<p>加解密控制。</p> <p>0: 加密； 1: 解密。</p>

## CHAN0\_CIPHER\_IVIN

CHAN0\_CIPHER\_IVIN 为 CIPHER 模块通道 0 的向量分组的输入寄存器。

配置该寄存器时需要注意：

如果选择使用通道 0 进行单分组加解密且执行的不是 ECB 模式（CIPHER\_CTRL[mode]=0b001、0b010、0b011 或 0b100）时：

- 如果选择不需要进行输入向量配置（CIPHER\_CTRL[ivin\_sel]=0b0），则不需要进行该寄存器的配置。
- 如果选择需要进行输入向量配置（CIPHER\_CTRL[ivin\_sel]=0b1），则需要进行该寄存器的配置。如果此时选择进行 AES 运算（即 CIPHER\_CTRL[alg\_sel]=0b10），CIPHER\_IVIN bit[127:0]为有效数据；如果选择进行 DES 或 3DES 运算（CIPHER\_CTRL[alg\_sel]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER\_IVIN bit[63:0]为有效数据。



Offset Address		Register Name		Total Reset Value				
0x1004~0x1010		CHAN0_CIPHER_IVIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_ivin							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan0_cipher_ivin	通道 0 CIPHER 模块的 128 位 IV 向量或 Counter 输入的数据，每个地址对应一个 32 位宽的数据。 CIPHER_IVIN[31:0]: 0x1004 地址; CIPHER_IVIN[63:32]: 0x1008 地址; CIPHER_IVIN[95:64]: 0x100C 地址; CIPHER_IVIN[127:96]: 0x1010 地址。					

## CHAN0\_CIPHER\_DIN

CHAN0\_CIPHER\_DIN 为 CIPHER 模块的 128 位分组输入寄存器。

配置该寄存器时需要注意：

如果选择通道 0 进行单分组的处理，需要配置该寄存器：

- 如果选择进行 AES 运算（CIPHER\_CTRL[alg\_sel]=0b10）
  - 如果选择 1-CFB 操作，低 1 位有效，即 CIPHER\_DIN bit[0]为有效数据。
  - 如果选择 8-CFB 操作，低 8 位有效，即 CIPHER\_DIN bit[7:0]为有效数据。
  - 如果选择 128-CFB 操作，128 位数据均有效。
  - 如果选择其他操作模式，128 位数据均有效。
- 如果选择进行 DES 或 3DES 运算（CIPHER\_CTRL[alg\_sel]=0b00、0b01 或 0b11）
  - 如果选择 1-CFB/1-OFB 操作，低 1 位有效，即 CIPHER\_DIN bit[0]为有效数据。
  - 如果选择 8-CFB/8-OFB 操作，低 8 位有效，即 CIPHER\_DIN bit[7:0]为有效数据。
  - 如果选择 64-CFB/64-OFB 操作，低 64 位数有效，即 CIPHER\_DIN bit[63:0]为有效数据。
  - 如果选择其他操作模式，低 64 位数有效，即 CIPHER\_DIN bit[63:0]为有效数据。





Offset Address		Register Name		Total Reset Value				
0x1014~0x1020		CHAN0_CIPHER_DIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_din							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan0_cipher_din	通道 0CIPHER 模块的 128 位分组输入，每个地址对应一个 32 位宽的数据。 CIPHER_DIN[31:0]: 0x1014 地址; CIPHER_DIN[63:32]: 0x1018 地址; CIPHER_DIN[95:64]: 0x101c 地址; CIPHER_DIN[127:96]: 0x1020 地址。					

## CHANn\_IBUF\_NUM

CHANn\_IBUF\_NUM 为 CHANn\_IBUF\_BUN 为通道 n (n 为 1~7) 输入队列总深度，即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value				
0x1000+ n x 0x80		CHANn_IBUF_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ibuf_num			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	ibuf_num	输入队列深度，即每个通道可以配置的链表头信息总个数。					

## CHANn\_IBUF\_CNT

CHANn\_IBUF\_CNT 为通道 n 输入队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。



Offset Address		Register Name		Total Reset Value					
0x1000+ n x 0x80+0x4		CHANn_IBUF_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				ibuf_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	ibuf_cnt	输入队列中待处理的数据 Buffer 个数。						

### CHANn\_IEMPTY\_CNT

CHANn\_IEMPTY\_CNT 为通道 n 输入队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

Offset Address		Register Name		Total Reset Value					
0x1000+ n x 0x80+0x8		CHANn_IEMPTY_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				iempty_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	iempty_cnt	输入队列中处理完成的 Buffer 个数。						

### CHANn\_INT\_ICNTCFG

CHANn\_INT\_ICNTCFG 为通道 n 输入队列多包中断水线，当逻辑处理完成的输入队列 Buffer 数目大于等于该值时，会报输入队列中断。

Offset Address		Register Name		Total Reset Value					
0x1000+ n x 0x80+0xC		CHANn_INT_ICNTCFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				int_icnt_cfg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	int_icnt_cfg	输入队列多包中断门限。
--------	----	--------------	-------------

## CHANn\_CIPHER\_CTRL

CHANn\_CIPHER\_CTRL 为通道 n 加解密控制寄存器。

配置本寄存器时需要注意：

- 在启动该通道加解密处理之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER\_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER\_CTRL[width]配置为 01 或 10。

	Offset Address				Register Name								Total Reset Value																			
	0x1000+ n x 0x80+0x10				CHANn_CIPHER_CTRL								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	weight				reserved				key_adder				key_sel	byte_seq	ts_vid	key_length	reserved	width		alg_sel		mode		decrypt								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:22]	RO		weight		当前通道的权重，单位为 64bytes。																											
[21:17]	RO		reserved		保留。																											
[16:14]	RW		key_adder		当前通道使用 Key 的序号，可以配置选择 0~7 地址中的一个 Key。																											
[13]	RW		key_sel		选择当前使用 CPU 配置的密钥或者芯片密钥管理模块产生的密钥。 0：使用 CPU 配置的密钥； 1：使用芯片密钥管理模块产生的密钥。																											
[12:11]	RO		reserved		保留。																											



[10:9]	RW	key_length	<p>密钥长度控制。</p> <p>AES 算法下：</p> <p>00: 128 位密钥长度；</p> <p>01: 192 位密钥长度；</p> <p>10: 256 位密钥长度；</p> <p>11: 128 位密钥长度。</p> <p>DES 算法下：</p> <p>00: 3 个密钥；</p> <p>01: 3 个密钥；</p> <p>10: 3 个密钥；</p> <p>11: 2 个密钥。</p>
[8]	RO	reserved	保留。
[7:6]	RW	width	<p>位宽控制。</p> <p>DES/3DES 算法下：</p> <p>00: 64 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 64 位模式。</p> <p>AES 算法下：</p> <p>00: 128 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 128 位模式。</p>
[5:4]	RW	alg_sel	<p>算法类型选择控制。</p> <p>00: DES 运算；</p> <p>01: 3DES 运算；</p> <p>10: AES 运算；</p> <p>11: DES 运算。</p>



[3:1]	RW	mode	<p>工作模式控制。</p> <p>在 AES 算法下：</p> <p>000: ECB 模式；</p> <p>001: CBC 模式；</p> <p>010: CFB 模式；</p> <p>011: OFB 模式；</p> <p>100: CTR 模式；</p> <p>其它: ECB 模式。</p> <p>在 DES 算法下：</p> <p>000: ECB 模式；</p> <p>001: CBC 模式；</p> <p>010: CFB 模式；</p> <p>011: OFB 模式；</p> <p>其它: ECB 模式。</p>
[0]	RW	decrypt	<p>加解密控制。</p> <p>0: 加密；</p> <p>1: 解密。</p>

## CHANn\_SRC\_LST\_SADDR

CHANn\_SRC\_LST\_SADDR 为通道 n 输入队列的起始地址，该地址必须为 WORD 对齐地址。

	Offset Address								Register Name								Total Reset Value																							
	0x1000+ n x 0x80+0x14								CHANn_SRC_LST_SADDR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	src_lst_saddr																																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
	Bits		Access		Name				Description																															
	[31:0]		RW		src_lst_saddr				输入队列的起始地址。																															

## CHANn\_IAGE\_TIMER

CHANn\_IAGE\_TIMER 为通道 n 输入队列中断的老化时间配置，如果在老化时间计数器溢出时，输入队列处理完成的 Buffer 数如果大于 0，会报输入队列处理完成中断。



Offset Address		Register Name		Total Reset Value					
0x1000+ n x 0x80+0x18		CHANn_IAGE_TIMER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				iage_timer				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	iage_timer	老化中断定时器。						

### CHANn\_OBUF\_NUM

CHANn\_OBUF\_NUM 为通道 n 输出队列总深度，即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value					
0x1000+ n x 0x80+0x3C		CHANn_OBUF_NUM		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_num				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	obuf_num	输出队列总深度。						

### CHANn\_OBUF\_CNT

CHANn\_OBUF\_CNT 为通道 n 输出队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。

Offset Address		Register Name		Total Reset Value					
0x1000+ n x 0x80+0x40		CHANn_OBUF_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	obuf_cnt	输出队列中待处理的数据 Buffer 个数。
--------	----	----------	------------------------

## CHANn\_OFULL\_CNT

CHANn\_OFULL\_CNT 为通道 n 输出队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

Offset Address		Register Name		Total Reset Value					
0x1000+ n x 0x80+0x44		CHANn_OFULL_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				ofull_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	ofull_cnt	输出队列中处理完成的 Buffer 个数。						

## CHANn\_INT\_OCNTCFG

CHANn\_INT\_OCNTCFG 为通道 n 输出队列多包中断流水线，当逻辑处理完成的输出队列 Buffer 数目大于等于该值时，会报输出队列中断。

Offset Address		Register Name		Total Reset Value					
0x1000+ n x 0x80+0x48		CHANn_INT_OCNTCFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				int_ocnt_cfg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	int_ocnt_cfg	输出队列多包中断门限。						

## CHANn\_DEST\_LST\_SADDR

CHANn\_DEST\_LST\_SADDR 为通道 n 输出队列的起始地址，该地址必须为 WORD 对齐地址。



Offset Address		Register Name		Total Reset Value				
0x1000+ n x 0x80+0x4C		CHANn_DEST_LST_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dest_lst_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dest_lst_saddr	输出队列的起始地址。					

## CHANn\_OAGE\_TIMER

CHANn\_OAGE\_TIMER 为通道 n 输出队列中断的老化时间配置，如果在老化时间计数器溢出时，输出队列处理完成的 Buffer 数如果大于 0，会报输出队列处理完成中断。

Offset Address		Register Name		Total Reset Value				
0x1000+ n x 0x80+0x50		CHANn_OAGE_TIMER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				oage_timer			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	oage_timer	老化中断定时器。					

## INT\_STATUS

INT\_STATUS 为中断状态寄存器。





Offset Address		Register Name		Total Reset Value																												
0x1400		INT_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ch7_ibuf_int	ch6_ibuf_int	ch5_ibuf_int	ch4_ibuf_int	ch3_ibuf_int	ch2_ibuf_int	ch1_ibuf_int	ch0_ibuf_int	ch7_obuf_int	ch6_obuf_int	ch5_obuf_int	ch4_obuf_int	ch3_obuf_int	ch2_obuf_int	ch1_obuf_int	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	reserved	保留。																													
[15]	RO	ch7_ibuf_int	通道 7 输入队列数据中断。																													
[14]	RO	ch6_ibuf_int	通道 6 输入队列数据中断。																													
[13]	RO	ch5_ibuf_int	通道 5 输入队列数据中断。																													
[12]	RO	ch4_ibuf_int	通道 4 输入队列数据中断。																													
[11]	RO	ch3_ibuf_int	通道 3 输入队列数据中断。																													
[10]	RO	ch2_ibuf_int	通道 2 输入队列数据中断。																													
[9]	RO	ch1_ibuf_int	通道 1 输入队列数据中断。																													
[8]	RO	ch0_ibuf_int	通道 0 数据处理完成中断。																													
[7]	RO	ch7_obuf_int	通道 7 输出队列数据中断。																													
[6]	RO	ch6_obuf_int	通道 6 输出队列数据中断。																													
[5]	RO	ch5_obuf_int	通道 5 输出队列数据中断。																													
[4]	RO	ch4_obuf_int	通道 4 输出队列数据中断。																													
[3]	RO	ch3_obuf_int	通道 3 输出队列数据中断。																													
[2]	RO	ch2_obuf_int	通道 2 输出队列数据中断。																													
[1]	RO	ch1_obuf_int	通道 1 输出队列数据中断。																													
[0]	RO	reserved	保留。																													

## INT\_EN

INT\_EN 为中断使能寄存器。



Offset Address		Register Name		Total Reset Value															
0x1404		INT_EN		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	reserved			ch7_ibuf_en	ch6_ibuf_en	ch5_ibuf_en	ch4_ibuf_en	ch3_ibuf_en	ch2_ibuf_en	ch1_ibuf_en	ch0_ibuf_en	ch7_obuf_en	ch6_obuf_en	ch5_obuf_en	ch4_obuf_en	ch3_obuf_en	ch2_obuf_en	ch1_obuf_en	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																
[31]	RW	int_en	Cipher 模块的总中断使能。																
[30:16]	RO	reserved	保留。																
[15]	RW	ch7_ibuf_en	通道 7 输入队列数据中断使能。																
[14]	RW	ch6_ibuf_en	通道 6 输入队列数据中断使能。																
[13]	RW	ch5_ibuf_en	通道 5 输入队列数据中断使能。																
[12]	RW	ch4_ibuf_en	通道 4 输入队列数据中断使能。																
[11]	RW	ch3_ibuf_en	通道 3 输入队列数据中断使能。																
[10]	RW	ch2_ibuf_en	通道 2 输入队列数据中断使能。																
[9]	RW	ch1_ibuf_en	通道 1 输入队列数据中断使能。																
[8]	RW	ch0_ibuf_en	通道 0 数据处理完成中断使能。																
[7]	RW	ch7_obuf_en	通道 7 输出队列数据中断使能。																
[6]	RW	ch6_obuf_en	通道 6 输出队列数据中断使能。																
[5]	RW	ch5_obuf_en	通道 5 输出队列数据中断使能。																
[4]	RW	ch4_obuf_en	通道 4 输出队列数据中断使能。																
[3]	RW	ch3_obuf_en	通道 3 输出队列数据中断使能。																
[2]	RW	ch2_obuf_en	通道 2 输出队列数据中断使能。																
[1]	RW	ch1_obuf_en	通道 1 输出队列数据中断使能。																
[0]	RO	reserved	保留。																

## INT\_RAW

INT\_RAW 为原始中断状态寄存器。



	Offset Address				Register Name								Total Reset Value																							
	0x1408				INT_RAW								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ch7_ibuf_raw	ch6_ibuf_raw	ch5_ibuf_raw	ch4_ibuf_raw	ch3_ibuf_raw	ch2_ibuf_raw	ch1_ibuf_raw	ch0_ibuf_raw	ch7_obuf_raw	ch6_obuf_raw	ch5_obuf_raw	ch4_obuf_raw	ch3_obuf_raw	ch2_obuf_raw	ch1_obuf_raw	reserved				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name	Description																																	
[31:16]	RO	reserved	保留。																																	
[15]	RWC	ch7_obuf_raw	通道 7 输出队列数据原始中断。																																	
[14]	RWC	ch6_obuf_raw	通道 6 输出队列数据原始中断。																																	
[13]	RWC	ch5_obuf_raw	通道 5 输出队列数据原始中断。																																	
[12]	RWC	ch4_obuf_raw	通道 4 输出队列数据原始中断。																																	
[11]	RWC	ch3_obuf_raw	通道 3 输出队列数据原始中断。																																	
[10]	RWC	ch2_obuf_raw	通道 2 输出队列数据原始中断。																																	
[9]	RWC	ch1_obuf_raw	通道 1 输出队列数据原始中断。																																	
[8]	RWC	ch0_ibuf_raw	通道 0 数据处理完成原始中断。																																	
[7]	RWC	ch7_ibuf_raw	通道 7 输入队列数据原始中断。																																	
[6]	RWC	ch6_ibuf_raw	通道 6 输入队列数据原始中断。																																	
[5]	RWC	ch5_ibuf_raw	通道 5 输入队列数据原始中断。																																	
[4]	RWC	ch4_ibuf_raw	通道 4 输入队列数据原始中断。																																	
[3]	RWC	ch3_ibuf_raw	通道 3 输入队列数据原始中断。																																	
[2]	RWC	ch2_ibuf_raw	通道 2 输入队列数据原始中断。																																	
[1]	RWC	ch1_ibuf_raw	通道 1 输入队列数据原始中断。																																	
[0]	RO	reserved	保留。																																	

## RST\_STATUS

模块复位状态指示信号。



Offset Address		Register Name		Total Reset Value					
0x140C		RST_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								rst_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	rst_status	CIPHER 模块复位状态指示信号。 0: CIPHER 当前正处于复位状态; 1: CIPHER 当前处于正常工作状态。						

## CHAN0\_CFG

CHAN0\_CFG 为通道 0 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1410		CHAN0_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							ch0_busy	ch0_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RO	ch0_busy	通道 0 状态信号。						
[0]	RW	ch0_start	通道 0 加解密启动信号。						



## 13.2 HASH

### 13.2.1 概述

HASH 是一个实现 SHA1/SHA256/HMAC\_SHA1/HMAC\_SHA256 算法的模块。SHA1/SHA256 算法的实现符合 FIPS180-2 标准。HMAC\_SHA1/HMAC\_SHA256 算法的实现符合 RFC2104 标准。

HASH 模块适用于数据完整性认证和构建数字签名。

### 13.2.2 特点

HASH 模块有如下特点：

- 支持算法 SHA1、SHA256、HMAC-SHA1、HMAC-SHA256。
- 支持 CPU 配置输入数据和 DMA 方式读取输入数据。
- 输入数据（软件填充之后）的总长度必须按照块对齐，即 64Byte 的倍数，由软件配置，支持最长为  $2^{64}$ -64Byte。对于 SHA1 和 SHA256，配置的数据长度为填充(填充需要软件完成)之后的消息长度；对于 HMAC-SHA1 和 HMAC-SHA256，配置的数据长度为填充之后的消息长度+64Byte。
- HMAC 的密钥支持硬件(Cipher Hash Key Ctrl)配置或者软件配置，HMAC 的密钥长度支持配置 128 位。
- SHA1 和 SHA256 支持初始值可配置。

### 13.2.3 功能描述

HASH 模块主要用于数据完整性认证和构建数字签名。软件可以配置为初始值更新模式(初始值更新模式需要配置初始值)或者非初始值更新模式，然后启动 SHA1 或者 SHA256 算法计算消息摘要；软件可以启动 HMAC\_SHA1 或者 HMAC\_SHA256 算法计算 MAC，不支持初始值配置。

### 13.2.4 工作方式

#### CPU 模式 SHA1 操作流程

CPU 配置输入数据，操作流程如下：

- 步骤 1. 先判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 表示当前没有计算；如果为 0 则等待；
- 步骤 2. 配置 `TOTAL_LEN1.total_len1` 和 `TOTAL_LEN2.total_len2`，配置的消息长度 64Byte 对齐；
- 步骤 3. 配置 `HASH_CTRL.read_ctrl=1`，`HASH_CTRL.sha_sel=0`，`HASH_CTRL.hmac_flag=0`，`HASH_CTRL.hardkey_sel=0`，`HASH_CTRL.small_end_en=0`，`HASH_CTRL.sha_init_update_en=0`(如果需要更新初始值，那么配置为 1)；
- 步骤 4. 配置 `SHA_START.sha_start`；
- 步骤 5. 判断 `HASH_STATUS.rec_rdy` 为 1，如果为 1 继续执行；如果为 0 则等待；



- 步骤 6. CPU 配置 `DATA_IN.data_in`;
- 步骤 7. 重复步骤 5 和步骤 6, 直到输入完所有需要计算的数据;
- 步骤 8. 判断 `HASH_STATUS.hash_rdy` 是否为 1, 如果为 1 那么读取计算结果 `SHA_OUT1~5.sha_out1~5`; 否则等待。

----结束

## DMA 模式 SHA1 操作流程

DMA 读取输入数据, 操作流程如下:

- 步骤 1. 先判断 `HASH_STATUS.hash_rdy` 是否为 1, 如果为 1 表示当前没有计算; 如果为 0 则等待;
- 步骤 2. 配置 `TOTAL_LEN1.total_len1` 和 `TOTAL_LEN2.total_len2`, 配置的消息长度 64Byte 对齐;
- 步骤 3. 配置 `HASH_CTRL.read_ctrl=0`, `HASH_CTRL.sha_sel=0`, `HASH_CTRL.hmac_flag=0`, `HASH_CTRL.hardkey_sel=0`, `HASH_CTRL.small_end_en=0`, `HASH_CTRL.sha_init_update_en=0`(如果需要更新初始值, 那么配置为 1);
- 步骤 4. 配置 `SHA_START.sha_start`;
- 步骤 5. 判断 `HASH_STATUS.rec_rdy` 为 1, 如果为 1 继续执行; 如果为 0 则等待;
- 步骤 6. CPU 配置 `DMA_START_ADDR.dma_start_addr`;
- 步骤 7. CPU 配置 `DMA_LEN.dma_len`;
- 步骤 8. 判断 `HASH_STATUS.hash_rdy` 是否为 1, 如果为 1 那么读取计算结果 `SHA_OUT1~5.sha_out1~5`; 否则等待。

----结束

## CPU 模式 SHA256 操作流程

CPU 配置输入数据, 操作流程如下:

- 步骤 1. 先判断 `HASH_STATUS.hash_rdy` 是否为 1, 如果为 1 表示当前没有计算; 如果为 0 则等待;
- 步骤 2. 配置 `TOTAL_LEN1.total_len1` 和 `TOTAL_LEN2.total_len2`, 配置的消息长度 64Byte 对齐;
- 步骤 3. 配置 `HASH_CTRL.read_ctrl=1`, `HASH_CTRL.sha_sel=1`, `HASH_CTRL.hmac_flag=0`, `HASH_CTRL.hardkey_sel=0`, `HASH_CTRL.small_end_en=0`, `HASH_CTRL.sha_init_update_en=0`(如果需要更新初始值, 那么配置为 1);
- 步骤 4. 配置 `SHA_START.sha_start`;
- 步骤 5. 判断 `HASH_STATUS.rec_rdy` 为 1, 如果为 1 继续执行; 如果为 0 则等待;
- 步骤 6. CPU 配置 `DATA_IN.data_in`;



- 步骤 7. 重复步骤 5 和步骤 6，直到输入完所有需要计算的数据；
- 步骤 8. 判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 那么读取计算结果 `SHA_OUT1~8.sha_out1~8`；否则等待。

----结束

## DMA 模式 SHA256 操作流程

DMA 读取输入数据，操作流程如下：

- 步骤 9. 先判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 表示当前没有计算；如果为 0 则等待；
- 步骤 10. 配置 `TOTAL_LEN1.total_len1` 和 `TOTAL_LEN2.total_len2`，配置的消息长度 64Byte 对齐；
- 步骤 11. 配置 `HASH_CTRL.read_ctrl=0`，`HASH_CTRL.sha_sel=1`，`HASH_CTRL.hmac_flag=0`，`HASH_CTRL.hardkey_sel=0`，`HASH_CTRL.small_end_en=0`，`HASH_CTRL.sha_init_update_en=0`(如果需要更新初始值，那么配置为 1)；
- 步骤 12. 配置 `SHA_START.sha_start`；
- 步骤 13. 判断 `HASH_STATUS.rec_rdy` 为 1，如果为 1 继续执行；如果为 0 则等待；
- 步骤 14. CPU 配置 `DMA_START_ADDR.dma_start_addr`；
- 步骤 15. CPU 配置 `DMA_LEN.dma_len`；
- 步骤 16. 判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 那么读取计算结果 `SHA_OUT1~8.sha_out1~8`；否则等待。

----结束

## CPU 模式 HMAC\_SHA1 操作流程

CPU 配置输入数据，操作流程如下：

- 步骤 17. 先判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 表示当前没有计算；如果为 0 则等待；
- 步骤 18. 配置 `TOTAL_LEN1.total_len1` 和 `TOTAL_LEN2.total_len2`，配置的消息长度 64Byte 对齐；
- 步骤 19. 配置 `HASH_CTRL.read_ctrl=1`，`HASH_CTRL.sha_sel=0`，`HASH_CTRL.hmac_flag=1`，`HASH_CTRL.hardkey_sel=1`(Cipher Hash Key Ctrl 要先配置 key，如果为 0，那么需要 CPU 先配置 `MCU_KEY0~3.mcu_key0~3`)，`HASH_CTRL.small_end_en=0`，`HASH_CTRL.sha_init_update_en=0`；
- 步骤 20. 配置 `SHA_START.sha_start`；
- 步骤 21. 判断 `HASH_STATUS.rec_rdy` 为 1，如果为 1 继续执行；如果为 0 则等待；
- 步骤 22. CPU 配置 `DATA_IN.data_in`；
- 步骤 23. 重复步骤 5 和步骤 6，直到输入完所有需要计算的数据；



步骤 24. 判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 那么读取计算结果 `SHA_OUT1~5.sha_out1~5`；否则等待。

----结束

## DMA 模式 HMAC\_SHA1 操作流程

DMA 读取输入数据，操作流程如下：

步骤 25. 先判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 表示当前没有计算；如果为 0 则等待；

步骤 26. 配置 `TOTAL_LEN1.total_len1` 和 `TOTAL_LEN2.total_len2`，配置的消息长度 64Byte 对齐；

步骤 27. 配置 `HASH_CTRL.read_ctrl=0`，`HASH_CTRL.sha_sel=0`，`HASH_CTRL.hmac_flag=0`，`HASH_CTRL.hardkey_sel=0`(Cipher Hash Key Ctrl 要先配置 key，如果为 0，那么需要 CPU 先配置 `MCU_KEY0~3.mcu_key0~3`)，`HASH_CTRL.small_end_en=0`，`HASH_CTRL.sha_init_update_en=0`；

步骤 28. 配置 `SHA_START.sha_start`；

步骤 29. 判断 `HASH_STATUS.rec_rdy` 为 1，如果为 1 继续执行；如果为 0 则等待；

步骤 30. CPU 配置 `DMA_START_ADDR.dma_start_addr`；

步骤 31. CPU 配置 `DMA_LEN.dma_len`；

步骤 32. 判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 那么读取计算结果 `SHA_OUT1~5.sha_out1~5`；否则等待。

----结束

## CPU 模式 HMAC\_SHA256 操作流程

CPU 配置输入数据，操作流程如下：

步骤 33. 先判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 表示当前没有计算；如果为 0 则等待；

步骤 34. 配置 `TOTAL_LEN1.total_len1` 和 `TOTAL_LEN2.total_len2`，配置的消息长度 64Byte 对齐；

步骤 35. 配置 `HASH_CTRL.read_ctrl=1`，`HASH_CTRL.sha_sel=1`，`HASH_CTRL.hmac_flag=1`，`HASH_CTRL.hardkey_sel=1`(Cipher Hash Key Ctrl 要先配置 key，如果为 0，那么需要 CPU 先配置 `MCU_KEY0~3.mcu_key0~3`)，`SHA_CTRL.small_end_en=0`，`HASH_CTRL.sha_init_update_en=0`；

步骤 36. 配置 `SHA_START.sha_start`；

步骤 37. 判断 `HASH_STATUS.rec_rdy` 为 1，如果为 1 继续执行；如果为 0 则等待；

步骤 38. CPU 配置 `DATA_IN.data_in`；

步骤 39. 重复步骤 5 和步骤 6，直到输入完所有需要计算的数据；





步骤 40. 判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 那么读取计算结果 `SHA_OUT1~8.sha_out1~8`；否则等待。

----结束

## DMA 模式 HMAC\_SHA256 操作流程

DMA 读取输入数据，操作流程如下：

- 步骤 1. 先判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 表示当前没有计算；如果为 0 则等待；
- 步骤 2. 配置 `TOTAL_LEN1.total_len1` 和 `TOTAL_LEN2.total_len2`，配置的消息长度 64Byte 对齐；
- 步骤 3. 配置 `HASH_CTRL.read_ctrl=0`，`HASH_CTRL.sha_sel=1`，`HASH_CTRL.hmac_flag=0`，`HASH_CTRL.hardkey_sel=0`(Cipher Hash Key Ctrl 要先配置 key，如果为 0，那么需要 CPU 先配置 `MCU_KEY0~3.mcu_key0~3`)，`HASH_CTRL.small_end_en=0`，`HASH_CTRL.sha_init_update_en = 0`；
- 步骤 4. 配置 `SHA_START.sha_start`；
- 步骤 5. 判断 `HASH_STATUS.rec_rdy` 为 1，如果为 1 继续执行；如果为 0 则等待；
- 步骤 6. CPU 配置 `DMA_START_ADDR.dma_start_addr`；
- 步骤 7. CPU 配置 `DMA_LEN.dma_len`；
- 步骤 8. 判断 `HASH_STATUS.hash_rdy` 是否为 1，如果为 1 那么读取计算结果 `SHA_OUT1~8.sha_out1~8`；否则等待。

----结束

## 时钟门控

当不需要进行 HASH 计算时，可以通过配置系统控制器的寄存器，关断 HASH 模块时钟以降低功耗。

## 软复位

可以通过配置系统控制器的寄存器对 HASH 模块进行软复位。

## 13.2.5 HASH 寄存器概览

HASH 寄存器概览如表 13-3 所示。

表13-3 HASH 寄存器概览（基址是 0x1009\_0000）

偏移地址	名称	描述	页码
0x0	TOTAL_LEN1	hash message 总长度低 32bit 寄存器	13-62
0x4	TOTAL_LEN2	hash message 总长度高 32bit 寄存器	13-62



偏移地址	名称	描述	页码
0x8	HASH_STATUS	HASH 状态寄存器	13-63
0xC	HASH_CTRL	HASH 控制寄存器	13-64
0x10	SHA_START	启动 SHA 计算寄存器	13-65
0x14	DMA_START_ADDR	读 message 的起始地址	13-65
0x18	DMA_LEN	DMA 传输长度寄存器	13-65
0x1C	DATA_IN	SHA 计算输入数据寄存器	13-66
0x20	REC_LEN1	接收 message 长度寄存器 1	13-66
0x24	REC_LEN2	接收 message 长度寄存器 2	13-67
0x30	SHA_OUT1	SHA 输出结果寄存器 1	13-67
0x34	SHA_OUT2	SHA 输出结果寄存器 2	13-67
0x38	SHA_OUT3	SHA 输出结果寄存器 3	13-68
0x3C	SHA_OUT4	SHA 输出结果寄存器 4	13-68
0x40	SHA_OUT5	SHA 输出结果寄存器 5	13-69
0x44	SHA_OUT6	SHA 输出结果寄存器 6	13-69
0x48	SHA_OUT7	SHA 输出结果寄存器 7	13-69
0x4C	SHA_OUT8	SHA 输出结果寄存器 8	13-70
0x70	MCU_KEY0	hmac 输入 key 0~31bit (cpu 配置) 寄存器	13-70
0x74	MCU_KEY1	hmac 输入 key 32~63bit (cpu 配置) 寄存器	13-71
0x78	MCU_KEY2	hmac 输入 key 64~95bit (cpu 配置) 寄存器	13-71
0x7C	MCU_KEY3	hmac 输入 key 96~127bit (cpu 配置) 寄存器	13-71
0x90	SHA_INIT1_UPDATE	SHA 初始值寄存器 1	13-72
0x94	SHA_INIT2_UPDATE	SHA 初始值寄存器 2	13-72
0x98	SHA_INIT3_UPDATE	SHA 初始值寄存器 3	13-73
0x9C	SHA_INIT4_UPDATE	SHA 初始值寄存器 4	13-73
0xA0	SHA_INIT5_UPDATE	SHA 初始值寄存器 5	13-73
0xA4	SHA_INIT6_UPDATE	SHA 初始值寄存器 6	13-74



偏移地址	名称	描述	页码
0xA8	SHA_INIT7_UPDATE	SHA 初始值寄存器 7	13-74
0xAC	SHA_INIT8_UPDATE	SHA 初始值寄存器 8	13-74

## 13.2.6 HASH 寄存器描述

### TOTAL\_LEN1

TOTAL\_LEN1 为 hash message 总长度低 32bit 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0	TOTAL_LEN1	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	total_len1		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:0]	RW	total_len1
	Description		
	SHA: padded message 的 Byte 长度的低位; HMAC: 整个 i_key_pad + padded message 的 Byte 长度的低位。		

### TOTAL\_LEN2

TOTAL\_LEN2 为 hash message 总长度高 32bit 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x4	TOTAL_LEN2	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	total_len2		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:0]	RW	total_len2
	Description		
	SHA: padded message 的 Byte 长度的高位; HMAC: 整个 i_key_pad + padded message 的 Byte 长度的高位。		



## HASH\_STATUS

HASH\_STATUS 为 HASH 状态寄存器。

	Offset Address 0x8								Register Name HASH_STATUS								Total Reset Value 0x0000_000F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								error_state	error_state	rec_rdy	msg_rdy	dma_rdy	hash_rdy		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6]	RO	len_err	长度信号正确标志。 0: 长度正确; 1: 长度错误。																													
[5:4]	RO	error_state	AHB 总线状态。 err_state[4]: 0: ahb OKAY; 1: ahb Error。 err_state[5]: 0: ahb slave is idle; 1: ahb slave is busy。																													
[3]	RO	rec_rdy	可以接收新的数据(reg_rdy = msg_rdy & dma_rdy)。 0: 逻辑内部接收数据没准备好; 1: 逻辑内部接收数据准备好。																													
[2]	RO	msg_rdy	block 计算调试信息。 0: CPU 通道接收数据不 ready; 1: CPU 通道接收数据 ready。																													
[1]	RO	dma_rdy	DMA 调试信息。 0: 一块数据的 dma 读取没有完成; 1: 一块数据的 dma 读取完成。																													
[0]	RO	hash_rdy	整个 TOTAL_LEN 计算完毕信号。 0: 没有计算完毕; 1: 计算完毕。																													



## HASH\_CTRL

HASH\_CTRL 为 HASH 控制寄存器。

	Offset Address 0xC								Register Name HASH_CTRL								Total Reset Value 0x0000_0020															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sha_init_update_en	small_end_en	hardkey_sel	hmac_flag	sha_sel	read_ctrl		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:7]	RO		reserved		保留。																											
[6]	RW		sha_init_update_en		SHA 初始值 update 使能； HMAC 配置为 0。 0：不使能,使用 SHA 算法默认初始值； 1：使能，在启动 SHA 计算的时候，会把 sha_initn_update 的值作为初始值。																											
[5]	RW		small_end_en		输出结果 word 大小使能。 0：大端存储使能； 1：小端存储使能。																											
[4]	RW		hardkey_sel		HMAC 的 key 选择； SHA 配置为 0。 0：选择 kl_key(硬件 key)； 1：选择 mcu key(软件 key)。																											
[3]	RW		hmac_flag		计算模式选择。 0：SHA 计算； 1：HMAC 计算。																											
[2:1]	RW		sha_sel		SHA 模式选择。 00：SHA1 模式； 01：SHA256 模式； 其他：保留，不能配置这个模式。																											
[0]	RW		read_ctrl		读取计算数据的方式。 0：read message by DMA； 1：read message by CPU。																											



## SHA\_START

SHA\_START 为开始 SHA 计算寄存器。

Offset Address		Register Name		Total Reset Value					
0x10		SHA_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								sha_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	sha_start	HASH 计算启动信号。 0: 不开始 SHA 计算; 1: 开始 SHA 计算。						

## DMA\_START\_ADDR

DMA\_START\_ADDR 为读 message 的起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x14		DMA_START_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_start_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_start_addr	DMA 读 message 的起始地址。Byte 地址，需要软件配置为 Word 对齐。					

## DMA\_LEN

DMA\_LEN 为 DMA 传输长度寄存器。



Offset Address		Register Name		Total Reset Value					
0x18		DMA_LEN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	segment_len1								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	segment_len1	DMA 读取数据长度。单位 Byte。只支持 Word 对齐。配置完长度之后，逻辑内部自动启动数据读取并计算。						

## DATA\_IN

DATA\_IN 为 SHA 计算输入数据寄存器。

Offset Address		Register Name		Total Reset Value					
0x1C		DATA_IN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	data_in								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	WO	data_in	需要通过 SHA 计算摘要的输入数据(CPU 配置输入数据)在 debug_disable 为 1，不能读该寄存器。						

## REC\_LEN1

REC\_LEN1 为接收 message 长度寄存器。

Offset Address		Register Name		Total Reset Value					
0x20		REC_LEN1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	receive_byte_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	receive_byte_cnt	当前 HASH 模块计算的 Byte 数(每个 block 计算是 64Byte)，启动运算时清零。						



## REC\_LEN2

REC\_LEN2 为接收 message 长度寄存器。

Offset Address		Register Name		Total Reset Value				
0x24		REC_LEN2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	receive_byte_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	receive_byte_cnt	当前 HASH 模块 byte 数(每个 block 计算是 64byte)，启动运算时清零。					

## SHA\_OUT1

SHA\_OUT1 为 HASH 输出结果寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x30		SHA_OUT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_out1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sha_out1	SHA1/SHA256 摘要输出 0~31bit。 去掉复位端，初始值随机。					

## SHA\_OUT2

SHA\_OUT2 为 HASH 输出结果寄存器 2。





Offset Address		Register Name		Total Reset Value				
0x34		SHA_OUT2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_out2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sha_out2	SHA1/SHA256 摘要输出 32~63bit。 去掉复位端，初始值随机。					

### SHA\_OUT3

SHA\_OUT3 为 HASH 输出结果寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x38		SHA_OUT3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_out3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sha_out3	SHA1/SHA256 摘要输出 64~95bit。 去掉复位端，初始值随机。					

### SHA\_OUT4

SHA\_OUT4 为 HASH 输出结果寄存器 4。

Offset Address		Register Name		Total Reset Value				
0x3C		SHA_OUT4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_out4							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sha_out4	SHA1/SHA256 摘要输出 96~127bit。 去掉复位端，初始值随机。					



## SHA\_OUT5

SHA\_OUT5 为 HASH 输出结果寄存器 5。

Offset Address		Register Name		Total Reset Value				
0x40		SHA_OUT5		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_out5							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sha_out5	SHA1/SHA256 摘要输出 128~159bit。 去掉复位端，初始值随机。					

## SHA\_OUT6

SHA\_OUT6 为 HASH 输出结果寄存器 6。

Offset Address		Register Name		Total Reset Value				
0x44		SHA_OUT6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_out6							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sha_out6	SHA1 无意义， SHA256 摘要输出 160~191bit。					

## SHA\_OUT7

SHA\_OUT7 为 HASH 输出结果寄存器 7。



Offset Address		Register Name		Total Reset Value				
0x48		SHA_OUT7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_out7							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sha_out7	SHA1 无意义, SHA256 摘要输出 192~223bit。					

## SHA\_OUT8

SHA\_OUT8 为 HASH 输出结果寄存器 8。

Offset Address		Register Name		Total Reset Value				
0x4C		SHA_OUT8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_out8							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sha_out8	SHA1 无意义, SHA256 摘要输出 224~255bit。					

## MCU\_KEY0

MCU\_KEY0 为 hmac 输入 key 0~31bit (cpu 配置) 寄存器。

Offset Address		Register Name		Total Reset Value				
0x70		MCU_KEY0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mcu_key0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mcu_key0	HMAC 输入 key 0~31bit(cpu 配置)。 在 debug_disable 为 1, 不能读该寄存器					



## MCU\_KEY1

MCU\_KEY1 为 hmac 输入 key 32~63bit (cpu 配置) 寄存器。

Offset Address		Register Name		Total Reset Value				
0x74		MCU_KEY1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mcu_key1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mcu_key1	HMAC 输入 key 32~63bit(cpu 配置)。 在 debug_disable 为 1, 不能读该寄存器					

## MCU\_KEY2

MCU\_KEY2 为 hmac 输入 key 64~95bit (cpu 配置) 寄存器。

Offset Address		Register Name		Total Reset Value				
0x78		MCU_KEY2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mcu_key2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mcu_key2	HMAC 输入 key 64~95bit(cpu 配置)。 在 debug_disable 为 1, 不能读该寄存器					

## MCU\_KEY3

MCU\_KEY3 为 hmac 输入 key 96~127bit (cpu 配置) 寄存器。



Offset Address		Register Name		Total Reset Value				
0x7C		MCU_KEY3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mcu_key3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mcu_key3	HMAC 输入 key 96~127bit(cpu 配置)。 在 debug_disable 为 1, 不能读该寄存器					

## SHA\_INIT1\_UPDATE

SHA\_INIT1\_UPDATE 为 SHA 初始值寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x90		SHA_INIT1_UPDATE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_init1_update							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sha_init1_update	SHA 初始值的 31bit~0bit。					

## SHA\_INIT2\_UPDATE

SHA\_INIT2\_UPDATE 为 SHA 初始值寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x94		SHA_INIT2_UPDATE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_init2_update							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sha_init2_update	SHA 初始值的 63bit~32bit。					



## SHA\_INIT3\_UPDATE

SHA\_INIT3\_UPDATE 为 SHA 初始值寄存器 3。

Offset Address		Register Name		Total Reset Value					
0x98		SHA_INIT3_UPDATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	sha_init3_update								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	sha_init3_update	SHA 初始值的 95bit~64bit。						

## SHA\_INIT4\_UPDATE

SHA\_INIT4\_UPDATE 为 SHA 初始值寄存器 4。

Offset Address		Register Name		Total Reset Value					
0x9C		SHA_INIT4_UPDATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	sha_init4_update								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	sha_init4_update	SHA 初始值的 127bit~96bit。						

## SHA\_INIT5\_UPDATE

SHA\_INIT5\_UPDATE 为 SHA 初始值寄存器 5。

Offset Address		Register Name		Total Reset Value					
0xA0		SHA_INIT5_UPDATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	sha_init5_update								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	sha_init5_update	SHA 初始值的 159bit~128bit。						



## SHA\_INIT6\_UPDATE

SHA\_INIT6\_UPDATE 为 SHA 初始值寄存器 6。

Offset Address		Register Name		Total Reset Value				
0xA4		SHA_INIT6_UPDATE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_init6_update							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sha_init6_update	SHA 初始值的 191bit~160bit。					

## SHA\_INIT7\_UPDATE

SHA\_INIT7\_UPDATE 为 SHA 初始值寄存器 7。

Offset Address		Register Name		Total Reset Value				
0xA8		SHA_INIT7_UPDATE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_init7_update							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sha_init7_update	SHA 初始值的 223bit~192bit。					

## SHA\_INIT8\_UPDATE

SHA\_INIT8\_UPDATE 为 SHA 初始值寄存器 8。

Offset Address		Register Name		Total Reset Value				
0xAC		SHA_INIT8_UPDATE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sha_init8_update							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sha_init8_update	SHA 初始值的 255bit~224bit。					



## 13.3 RNG\_GEN

### 13.3.1 概述

RNG\_GEN 是一个能够产生真随机数的模块。产生的真随机数符合 FIPS140-1 的随机测试标准。

### 13.3.2 特点

RNG\_GEN 模块有如下特点：

- 支持真随机数产生。
- 支持三个随机源选择，CPU 可配置。
- 支持关闭随机数源。

### 13.3.3 工作方式

#### RNG\_GEN 操作流程

操作流程如下：

- 步骤 1. 先判断 [RNG\\_STAT.rng\\_data\\_count](#) 是否大于等于 1，如果是表示有随机数，继续执行；否则等待；
- 步骤 2. 读取 [RNG\\_FIFO\\_DATA.rng\\_fifo\\_data](#)；
- 步骤 3. 重复步骤 1、2，直到读取到需要的随机数个数。

----结束

### 13.3.4 RNG\_GEN 寄存器概览

RNG\_GEN 寄存器概览如表 13-4 所示。

表13-4 RNG\_GEN 寄存器概览（基址是 0x120C\_0000）

偏移地址	名称	描述	页码
0x00	RNG_CTRL	RNG 控制寄存器	<a href="#">13-75</a>
0x04	RNG_FIFO_DATA	RNG FIFO 数据	<a href="#">13-77</a>
0x08	RNG_STAT	RNG 状态寄存器	<a href="#">13-77</a>

### 13.3.5 RNG\_GEN 寄存器描述

#### RNG\_CTRL

RNG\_CTRL 为 RNG 控制寄存器。





Offset Address		Register Name		Total Reset Value																												
0x00		RNG_CTRL		0x0000_1082																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	low_osc_st1	low_osc_st0	reserved								post_process_depth								post_process_enable	reserved	drop_enable	filter_enable	mix_en	cleardata	osc_sel						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31]	RO	reserved	保留。																													
[30]	WC	low_osc_st1	低频振荡器异常测试。 0: 低频振荡器正常; 1: 低频振荡器输出一直为 1, 写清零。																													
[29]	WC	low_osc_st0	低频振荡器异常测试。 0: 低频振荡器正常; 1: 低频振荡器输出一直为 0, 写清零。																													
[28:16]	RO	reserved	保留。																													
[15:8]	RW	post_process_depth	后处理混合深度, 越大随机效果越好, 但是速度越慢。																													
[7]	RW	post_process_enable	随机数前处理使能, 使用此功能后随机数产生速度降低 $1/(post\_process\_depth+1)$ 。 0: 不使能; 1: 使能。																													
[6]	RO	reserved	保留。																													
[5]	RW	drop_enable	丢掉连续两比特值相同的 2 比特数据使能, 使用此功能后随机数产生速度降低 1/3。 0: 不使能; 1: 使能。																													
[4]	RW	filter_enable	随机数前处理过滤使能, 使用此功能后随机数产生速度降低 4 倍。 0: 不使能; 1: 使能。																													



[3]	RW	mix_en	数据混合使能。 0: 不使能; 1: 使能。
[2]	WC	cleardata	清空随机数。 0: 不清空; 1: 清空。
[1:0]	RW	osc_sel	随机源选择。 00: disable RNG; 01: 使用随机源 1; 10: 使用随机源 2; 11: 使用随机源 3。

## RNG\_FIFO\_DATA

RNG\_FIFO\_DATA 为 RNG FIFO 数据。

	Offset Address				Register Name				Total Reset Value																							
	0x04				RNG_FIFO_DATA				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rng_fifo_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:0]	RO	rng_fifo_data		直接读取本寄存器可以读出随机数。																												

## RNG\_STAT

RNG\_STAT 为 RNG 状态寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x08				RNG_STAT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rng_data_count							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
	Bits	Access	Name		Description																											
	[31:3]	RO	reserved		保留。																											
	[2:0]	RO	rng_data_count		随机数 fifo 中有多少个 32bit 的随机数，最多 4 个。																											

## 13.4 RSA

### 13.4.1 概述

RSA 是一个公钥加解密算法，主要通过模幂计算实现加解密。加密： $C = M^E \bmod N$ ；解密： $M = C^D \bmod N$ 。M 是明文，C 是密文，(N,E)为公钥，(N,D) 为私钥。

RSA 支持 RSA1024/2048/4096，符合 PKCS#1 V1.5/2.1 标准。

RSA 模块适用于数据加解密、数字签名校验。

### 13.4.2 特点

RSA 具备以下特点：

- 支持 1024bit、2048bit、4096bit 的密钥位宽。
- 支持 2048 密钥位宽性能最低为 10 ops/s（10 次/秒）。
- 支持 CRC16 对密钥进行调试。
- 支持 RSA 内部密钥 RAM、报文 RAM、结果 RAM 的清 0。

### 13.4.3 功能描述

#### 功能原理

RSA 模块主要用于数据加解密、数字签名校验。软件可以配置寄存器，然后启动 RSA 模块完成模幂运算。RSA 同时支持 CRC16 计算逻辑内部存储的密钥，并输出结果，以



便调试密钥是否正确；同时也支持对内部密钥 RAM、报文 RAM、结果 RAM 进行清 0 处理。

## 13.4.4 工作方式

### RSA 加解密操作流程

操作流程如下：

- 步骤 1. 读取 `SEC_RSA_BUSY_REG.sec_rsa_busy_reg` 状态寄存器，判断是否为 0； 如果为 0 则继续执行； 否则等待；
- 步骤 2. 配置 `SEC_RSA_MOD_REG.sec_rsa_mod_sel=0`；  
配置 `SEC_RSA_MOD_REG.sec_rsa_key_width=1`；（RSA 密钥位宽值为：RSA1024=0；RSA2048=1；RSA4096=2；RSA1024=3）；  
配置 `SEC_RSA_MOD_REG.sec_rsa_data0_clr=0`；  
配置 `SEC_RSA_MOD_REG.sec_rsa_data1_clr=0`；  
配置 `SEC_RSA_MOD_REG.sec_rsa_data2_clr=0`；
- 步骤 3. 配置 `SEC_RSA_WPKT_REG.sec_rsa_wpkt_reg`，配置报文长度需要和模式寄存器中指示的密钥位宽相同；
- 步骤 4. 配置 `SEC_RSA_WSEC_REG.sec_rsa_wsec_reg`，先配置密钥参数 N，再配置密钥参数 E/D，每个参数长度需要和模式寄存器中指示的密钥位宽相同；
- 步骤 5. 配置 `SEC_RSA_START_REG.sec_rsa_start_reg=1`；
- 步骤 6. 读取 `SEC_RSA_BUSY_REG.sec_rsa_busy_reg` 状态寄存器，判断是否为 0； 如果为 0 则继续执行； 否则等待；
- 步骤 7. 读取 `SEC_RSA_RRSLT_REG.sec_rsa_rrslt_reg`，读取结果长度需要和模式寄存器中指示的密钥位宽相同。

----结束

### CRC16 密钥调试

操作流程如下：

- 步骤 1. 读取 `SEC_RSA_BUSY_REG.sec_rsa_busy_reg` 状态寄存器，判断是否为 0； 如果为 0 则继续执行； 否则等待；
- 步骤 2. 配置 `SEC_RSA_MOD_REG.sec_rsa_mod_sel=3`；  
配置 `SEC_RSA_MOD_REG.sec_rsa_key_width=1`；（RSA 密钥位宽值为：RSA1024=0；RSA2048=1；RSA4096=2；RSA1024=3）；  
配置 `SEC_RSA_MOD_REG.sec_rsa_data0_clr=0`；  
配置 `SEC_RSA_MOD_REG.sec_rsa_data1_clr=0`；  
配置 `SEC_RSA_MOD_REG.sec_rsa_data2_clr=0`；



- 步骤 3. 配置 SEC\_RSA\_START\_REG. sec\_rsa\_start\_reg=1;
- 步骤 4. 读取 SEC\_RSA\_BUSY\_REG. sec\_rsa\_busy\_reg 状态寄存器，判断是否为 0；如果为 0 则继续执行；否则等待；
- 步骤 5. 读取 CRC 结果 SEC\_CRC16\_REG. sec\_rsa\_crc16\_dat.

----结束

## RAM 清 0

操作流程如下：

- 步骤 1. 读取 SEC\_RSA\_BUSY\_REG. sec\_rsa\_busy\_reg 状态寄存器，判断是否为 0；如果为 0 则继续执行；否则等待；
- 步骤 2. 配置 SEC\_RSA\_MOD\_REG. sec\_rsa\_mod\_sel=2；  
配置 SEC\_RSA\_MOD\_REG. sec\_rsa\_key\_width=1；（RSA 密钥位宽值为：RSA1024=0；RSA2048=1；RSA4096=2；RSA1024=3）；  
配置 SEC\_RSA\_MOD\_REG. sec\_rsa\_data0\_clr=1；（1 为清除密钥 RAM 中的数据；0 为不清除密钥 RAM）；  
配置 SEC\_RSA\_MOD\_REG. sec\_rsa\_data1\_clr=1；（1 为清除报文 RAM 中的数据；0 为不清除报文 RAM）；  
配置 SEC\_RSA\_MOD\_REG. sec\_rsa\_data2\_clr=1；（1 为清除结果 RAM 中的数据；0 为不清楚结果 RAM）；
- 步骤 3. 配置 SEC\_RSA\_START\_REG. sec\_rsa\_start\_reg=1；
- 步骤 4. 读取 SEC\_RSA\_BUSY\_REG. sec\_rsa\_busy\_reg 状态寄存器，判断是否为 0；如果为 0 则继续执行；否则等待；
- 步骤 5. 读取 SEC\_RSA\_RPKT\_REG sec\_rsa\_rpkt\_reg，判断报文 RAM 是否被清 0；
- 步骤 6. 读取 SEC\_RSA\_RRSLT\_REG sec\_rsa\_rrslt\_reg，判断结果 RAM 是否被清 0；
- 步骤 7. 通过 CRC 流程进行对密钥进行校验；判断密钥 RAM 是否被清 0。

----结束

## 13.4.5 RSA 寄存器概览

RSA 寄存器概览如表 13-5 所示。

表13-5 RSA 寄存器概览（基址是 0x120B\_0000）

偏移地址	名称	描述	页码
0x50	SEC_RSA_BUSY_REG	SEC_RSA 模块 BUSY 状态寄存器	13-81
0x54	SEC_RSA_MOD_REG	SEC_RSA 模块工作模式寄存器	13-82



偏移地址	名称	描述	页码
0x58	SEC_RSA_WSEC_REG	SEC_RSA 模块写密钥寄存器	13-83
0x5C	SEC_RSA_WPKT_REG	SEC_RSA 模块写报文数据寄存器	13-83
0x60	SEC_RSA_RPKT_REG	SEC_RSA 模块读报文寄存器	13-83
0x64	SEC_RSA_RRSLT_REG	SEC_RSA 模块读计算结果寄存器	13-84
0x68	SEC_RSA_START_REG	SEC_RSA 模块启动模幂配置寄存器	13-84
0x6C	SEC_RSA_ADDR_REG	SEC_RSA 模块密钥、报文、结果的 RAM 地址寄存器	13-84
0x70	SEC_RSA_ERROR_REG	SEC_RSA 模块错误报警状态寄存器	13-85
0x74	SEC_CRC16_REG	SEC_RSA 的密钥 CRC 计算结果	13-86

### 13.4.6 RSA 寄存器描述

#### SEC\_RSA\_BUSY\_REG

SEC\_RSA\_BUSY\_REG 为 SEC\_RSA 模块 BUSY 状态寄存器。

Offset Address	Register Name	Total Reset Value						
0x50	SEC_RSA_BUSY_REG	0x0000_0000						
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0							
Name	reserved							sec_rsa_busy_reg
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0							
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RO	sec_rsa_busy_reg	SEC_RSA 的 BUSY 状态寄存器。 0: 模块处于空闲状态; 1: 模块处于 BUSY 状态。					



## SEC\_RSA\_MOD\_REG

SEC\_RSA\_MOD\_REG 为 SEC\_RSA 模块工作模式寄存器。

Offset Address		Register Name		Total Reset Value																																													
0x54		SEC_RSA_MOD_REG		0x0000_0000																																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																	
Name	reserved																								sec_rsa_data2_clr	sec_rsa_data1_clr	sec_rsa_data0_clr	sec_rsa_key_width			sec_rsa_mod_sel																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
Bits	Access	Name	Description																																														
[31:7]	RO	reserved	保留。																																														
[6]	RW	sec_rsa_data2_clr	清除 RSA 结果 RAM 使能。 0: 不对结果 RAM 进行清 0; 1: 清除存储结果的 RAM 数据。																																														
[5]	RW	sec_rsa_data1_clr	清除 RSA 报文 RAM 使能。 0: 不对报文 RAM 进行清 0; 1: 清除存储报文的 RAM 数据。																																														
[4]	RW	sec_rsa_data0_clr	清除 RSA 密钥 RAM 使能。 0: 不对密钥 RAM 进行清 0; 1: 清除存储密钥的 RAM 数据。																																														
[3:2]	RW	sec_rsa_key_width	密钥位宽选择。 00: 密钥位宽为 1024; 01: 密钥位宽为 2048; 10: 密钥位宽为 4096; 11: 密钥位宽为 1024。																																														
[1:0]	RW	sec_rsa_mod_sel	工作模式选择。 00: 模幂加解密计算; 01: 更新密钥, 不进行模幂计算(暂不支持此模式配置); 10: 对 RAM 进行清 0 操作; 11: 对密钥进行 CRC16 计算。																																														



## SEC\_RSA\_WSEC\_REG

SEC\_RSA\_WSEC\_REG 为 SEC\_RSA 模块写密钥寄存器。

Offset Address		Register Name		Total Reset Value				
0x58		SEC_RSA_WSEC_REG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sec_rsa_wsec_reg							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	sec_rsa_wsec_reg	CPU 配置密钥地址寄存器。					

## SEC\_RSA\_WPKT\_REG

SEC\_RSA\_WPKT\_REG 为 SEC\_RSA 模块写报文数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x5C		SEC_RSA_WPKT_REG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sec_rsa_wpkt_reg							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	sec_rsa_wpkt_reg	CPU 配置报文地址寄存器。					

## SEC\_RSA\_RPKT\_REG

SEC\_RSA\_RPKT\_REG 为 SEC\_RSA 模块读报文寄存器。

Offset Address		Register Name		Total Reset Value				
0x60		SEC_RSA_RPKT_REG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sec_rsa_rpkt_reg							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sec_rsa_rpkt_reg	CPU 读取报文地址寄存器。					





## SEC\_RSA\_RRSLT\_REG

SEC\_RSA\_RRSLT\_REG 为 SEC\_RSA 模块读计算结果寄存器。

Offset Address		Register Name		Total Reset Value				
0x64		SEC_RSA_RRSLT_REG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sec_rsa_rrslt_reg							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	sec_rsa_rrslt_reg	CPU 读取结果地址寄存器。					

## SEC\_RSA\_START\_REG

SEC\_RSA\_START\_REG 为 SEC\_RSA 模块启动模幂配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x68		SEC_RSA_START_REG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	RW	sec_rsa_start_reg	CPU 配置启动。 0: 不启动 RSA; 1: 启动 RSA。					

## SEC\_RSA\_ADDR\_REG

SEC\_RSA\_ADDR\_REG 为 SEC\_RSA 模块密钥、报文、结果的 RAM 地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x6C		SEC_RSA_ADDR_REG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sec_rsa_addere_rslt		sec_rsa_addre_pkt		sec_rsa_addre_d		sec_rsa_addr_n	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	sec_rsa_addere_rslt	结果 RAM 地址。 每次地址偏移值为 4B；即如果该值指示为 1，则表示内部已存储了 4B 的数据；由于从 0 开始计数，存储到密钥位宽最大值时，该值为 0。					
[23:16]	RO	sec_rsa_addre_pkt	报文 RAM 地址。 每次地址偏移值为 4B；即如果该值指示为 1，则表示内部已存储或读取了 4B 的数据；由于从 0 开始计数，存储到密钥位宽最大值时，该值为 0。					
[15:8]	RO	sec_rsa_addre_d	密钥参数 E/D RAM 地址。 每次地址偏移值为 4B；即如果该值指示为 1，则表示内部已存储了 4B 的数据；由于从 0 开始计数，存储到密钥位宽最大值时，该值为 0。					
[7:0]	RO	sec_rsa_addr_n	密钥参数 N RAM 地址。 每次地址偏移值为 4B；即如果该值指示为 1，则表示内部已存储了 4B 的数据；由于从 0 开始计数，存储到密钥位宽最大值时，该值为 0。					

## SEC\_RSA\_ERROR\_REG

SEC\_RSA\_ERROR\_REG 为 SEC\_RSA 模块错误报警状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x70		SEC_RSA_ERROR_REG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							sec_rsa_err1	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RO	sec_rsa_err1	当前外部 RSA 输入密钥 N 偶数告警。(密钥 RAM 清 0 时, 不进行检测) 0: 外部输入密钥无异常; 1: 外部输入密钥 N 为偶数。						
[0]	RO	reserved	保留。						

## SEC\_CRC16\_REG

SEC\_CRC16\_REG 为 SEC\_RSA 的密钥 CRC 计算结果。

Offset Address		Register Name		Total Reset Value				
0x74		SEC_CRC16_REG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				sec_rsa_crc16_dat			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	sec_rsa_crc16_dat	密钥的 CRC 计算结果。					



## 13.5 Cipher Hash Key Ctrl

### 13.5.1 工作方式

Cipher Hash Key Ctrl 有三种工作模式：烧写 KEY 到 OTP、加载 KEY 到 cipher，加载 KEY 到 hash。

#### 13.5.1.1 烧写 KEY 到 OTP

烧写之前，OTP 中的数据全部为 0；烧写使能后，Cipher Key Ctrl 将根据 KEY 值和 KEY 的 OTP 地址(otp\_key\_add)对应的宏单元烧写为 1。

- 步骤 1. 对 KEY 寄存器 `KL_WKEY0`、`KL_WKEY1`、`KL_WKEY2`、`KL_WKEY3` 赋值。
- 步骤 2. 查询状态寄存器 `KL_STA` 状态,等待 `ctrl_rdy` 为 1, `ctrl_busy0` 为 0, `ctrl_busy1` 为 0。
- 步骤 3. 向控制寄存器 `KL_CTRL` 中的 `otp_key_add` 写入 KEY 的 OTP 地址, `otp_kd_mode` 写 1, `cipher_kl_mode` 和 `hash_kl_mode` 写 0, 使能烧写 KEY 到 OTP 模式。
- 步骤 4. 向控制寄存器 `KL_CTRL` 中的 `start` 写 1, 启动操作。
- 步骤 5. 查询状态寄存器 `KL_STA` 中的 `key_wt_finish` 的值由 0 变为 1, 指示数据已全部烧写完毕。烧写操作结束。注意：如果 `key_wt_error` 为 1, 即表示烧写失败, 该 KEY 地址已经烧写过。

----结束

#### 13.5.1.2 加载 KEY 到 cipher

操作流程如下：

- 步骤 1. 查询状态寄存器 `KL_STA` 状态,等待 `ctrl_rdy` 为 1, `ctrl_busy0` 为 0, `ctrl_busy1` 为 0。
- 步骤 2. 给控制寄存器 `KL_CTRL` 中的 `otp_key_add` 写入 KEY 的 OTP 地址, `cipher_key_add` 写入加载 KEY 到 cipher 的 KEY 地址, `cipher_kl_mode` 写 1, `otp_kd_mode` 和 `hash_kl_mode` 写 0, 使能加载 KEY 到 cipher 模式。
- 步骤 3. 向控制寄存器 `KL_CTRL` 中的 `start` 写 1, 启动操作。
- 步骤 4. 查询状态寄存器 `KL_STA` 中的 `cipher_kl_finish` 的值由 0 变为 1, 指示 KEY 加载到 cipher 完毕。操作结束。

----结束

#### 13.5.1.3 加载 KEY 到 hash

操作流程如下：

- 步骤 1. 查询状态寄存器 `KL_STA` 状态,等待 `ctrl_rdy` 为 1, `ctrl_busy0` 为 0, `ctrl_busy1` 为 0。
- 步骤 2. 给控制寄存器 `KL_CTRL` 中的 `otp_key_add` 写入 KEY 的 OTP 地址, `hash_kl_mode` 写 1, `otp_kd_mode` 和 `cipher_kl_mode` 写 0, 使能加载 KEY 到 hash 模式。
- 步骤 3. 向控制寄存器 `KL_CTRL` 中的 `start` 写 1, 启动操作。



步骤 4. 查询状态寄存器 **KL\_STA** 中的 **hash\_key\_read\_busy** 的值由 1 变为 0，指示数据已全部加载完毕。操作结束。

----结束

## 13.5.2 Cipher Hash Key Ctrl 寄存器概览

Cipher Hash Key Ctrl 寄存器概览如表 13-6 所示。

表13-6 Cipher Hash Key Ctrl 寄存器概览（基址是 0x1207\_0800）

偏移地址	名称	描述	页码
0x0000	KL_WKEY0	KEY 烧写寄存器 0	13-88
0x0004	KL_WKEY1	KEY 烧写寄存器 1	13-88
0x0008	KL_WKEY2	KEY 烧写寄存器 2	13-89
0x000C	KL_WKEY3	KEY 烧写寄存器 3	13-89
0x0010	KL_CTRL	KL_CTRL 寄存器	13-89
0x0014	KL_STA	状态指示寄存器	13-91

## 13.5.3 Cipher Hash Key Ctrl 寄存器描述

### KL\_WKEY0

KL\_WKEY0 为 KEY 烧写寄存器 0。

	Offset Address	Register Name	Total Reset Value
	0x0000	KL_WKEY0	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	key0		
Reset	0 0		
	Bits	Access	Name
	[31:0]	WO	key0
	Description		
	向 OTP 烧写的 key[31:0]。		

### KL\_WKEY1

KL\_WKEY1 为 KEY 烧写寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x0004		KL_WKEY1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	key1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	key1	向 OTP 烧写的 key[63:32]。					

## KL\_WKEY2

KL\_WKEY2 为 KEY 烧写寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0008		KL_WKEY2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	key2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	key2	向 OTP 烧写的 key[95:64]。					

## KL\_WKEY3

KL\_WKEY3 为 KEY 烧写寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x000C		KL_WKEY3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	key3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	key3	向 OTP 烧写的 key[127:96]。					

## KL\_CTRL

KL\_CTRL 为 KL\_CTRL 寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0010		KL_CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											cipher_key_add				reserved		otp_key_add		hash_kl_mode	otp_kd_mode	cipher_kl_mode	start									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:11]	RO	reserved	保留。																													
[10:8]	RW	cipher_key_add	加载 KEY 到 cipher 的 KEY 地址。																													
[7:6]	RW	reserved	保留。																													
[5:4]	RW	otp_key_add	KEY 在 OTP 的地址。用于烧写或者加载 KEY。																													
[3]	RW	hash_kl_mode	加载 KEY 到 hash 操作使能。 0: 不使能; 1: 使能。 <b>hash_kl_mode, otp_kd_mode, cipher_kl_mode 三者有且只有一个为 1, 即同一时间只能有一个功能生效。</b>																													
[2]	RW	otp_kd_mode	向 OTP 烧写 KEY 操作使能。 0: 不使能; 1: 使能。 <b>hash_kl_mode, otp_kd_mode, cipher_kl_mode 三者有且只有一个为 1, 即同一时间只能有一个功能生效。</b>																													
[1]	RW	cipher_kl_mode	加载 KEY 到 cipher 操作使能。 0: 不使能; 1: 使能。 <b>hash_kl_mode, otp_kd_mode, cipher_kl_mode 三者有且只有一个为 1, 即同一时间只能有一个功能生效。</b>																													
[0]	RW	start	启动操作, 写 1 启动。回读无意思。 <b>只有在 ctrl_busy1 和 ctrl_busy0 都为 0, 并且 ctrl_rdy 为 1 时才可以发起新的操作。</b>																													







# 14 Hi3519V100 与 Hi3519V101 的差异说明

Hi3519V100 与 Hi3519V101 的差异说明如表 14-1 所示。

表14-1 Hi3519V100 与 Hi3519V101 的差异说明

差异点	Hi3519V100	Hi3519V101
CPU A17	最高支持到 1.15Ghz	最高支持到 1.25Ghz
DDR	DDR 最高频率支持到 800Mhz	DDR 最高频率支持到 933Mhz
JPEG	基础版本	增加 OSD, 循环 buffer 功能
智能	基础版本	SVM 查找表最大支持到 4K*16bit
双 sensor	不支持	<ul style="list-style-type: none"> <li>• 支持双路 sensor 输入</li> <li>• 支持双路 ISP 处理,第一路最大支持分辨率支持到 16M, 第二路最大分辨率支持到 8M</li> <li>• 系统最大性能支持第一路 8M 输入+第二路 2M 输入</li> </ul>
ISP	最高频率支持到 300Mhz	<ul style="list-style-type: none"> <li>• 第一路 ISP 最高频率支持到 600Mhz</li> <li>• 支持 bayer scaler</li> <li>• 支持拍照 ZSL (Zero Second Later) 模式</li> </ul>
双路拼接	不支持	<ul style="list-style-type: none"> <li>• 支持双路输入, 最大支持两路 4M@30fps 实时拼接, 支持两路 8M 非实时拼接。</li> <li>• 支持视频, 抓拍同时工作</li> </ul>



GDC	支持 180, 360 度和 normal 基本矫正模式	<ul style="list-style-type: none"><li>• 支持 PMF(project mapping fuction)/LMF(Lens mapping fuction)规格。</li><li>• 优化插值算法, 改进图像质量。</li><li>• 支持枕形失真矫正。</li></ul>
编码器性能	8M@30fps+720P@30fps	<ul style="list-style-type: none"><li>• 性能提升到 8M@30fps+1080P@30fps.</li><li>• H265/H264 支持 B 帧。</li><li>• H265 编码支持 SSD 和 PSNR 统计上报。</li><li>• 支持 smart QP(QP map), 支持 QP 直方图统计上报。</li><li>• 支持 madi、madv 上报。</li></ul>
工艺	TSMC 28HPC	TSMC 28HPC+
封装	15x15 TFBGA 0.65pitch	10x10 FC-BGA 0.4pitch
功耗	1.6w	1.25W (单路 4K2K H265 双码流 8M@30fps+720P@30fps 编码场景)



---

# 目 录

---

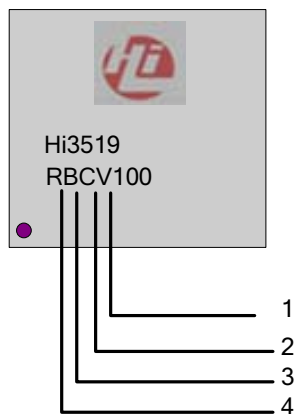
A 订购须知 ..... A-1



# A 订购须知

Hi3519V100 芯片标识如图 A-1 所示。

图A-1 Hi3519V100 芯片标识



Hi3519V100 芯片标识定义如表 A-1 所示。

表A-1 Hi3519V100 芯片标识定义

编号	标识	含义
1	版本号	芯片版本号
2	温度标识	C: Commercial(商业用品)
3	封装标识	B: BGA
4	环保标识	R: RoHS