



雅仪科技——【嵌入式智能互联设备】软硬件方案供应商。
专注【远程智能监控报警系统】研发设计。更多资讯浏览：
<http://www.travellinux.com> 获取。

Hi3531 H.264 编解码处理器

用户指南

文档版本 00B40
发布日期 2012-03-11
部件编码 N/A

深圳市海思半导体有限公司为客户提供全方位的技术支持，用户可与就近的海思办事处联系，也可直接与公司总部联系。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编： 518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： support@hisilicon.com

版权所有 © 深圳市海思半导体有限公司 2011-2012。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。



前言

概述

本文档介绍了 Hi3531 芯片的特性、逻辑结构，详细描述各个模块的功能、工作方式、相关寄存器定义，用图表的方式给出了接口时序关系和相关参数，并详细描述了芯片的管脚定义和用途以及芯片的性能参数和封装尺寸。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3531 H.264 编解码处理器	V100


读者对象

本文档主要适用于以下工程师：

- 电子产品设计维护人员
- 电子产品元器件市场销售人员

约定符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	以本标志开始的文本表示有高度潜在危险，如果不能避免，会导致人员死亡或严重伤害。



符号	说明
 警告	以本标志开始的文本表示有中度或低度潜在危险，如果不能避免，可能导致人员轻微或中等伤害。
 注意	以本标志开始的文本表示有潜在风险，如果忽视这些文本，可能导致设备或器件损坏、数据丢失、设备性能降低或不可预知的结果。
 窍门	以本标志开始的文本能帮助您解决某个问题或节省您的时间。
 说明	以本标志开始的文本是正文的附加信息，是对正文的强调和补充。

通用格式约定

格式	说明
宋体	正文采用宋体表示。
黑体	一级、二级、三级标题采用黑体。
楷体	警告、提示等内容一律用 楷体 ，并且在内容前后增加线条与正文隔离。
“Terminal Display”格式	“Terminal Display”格式表示屏幕输出信息。此外，屏幕输出信息中夹杂的用户从终端输入的信息采用加粗字体表示。

表格内容约定

内容	说明
-	表格中的无内容单元。
*	表格中的内容用户可根据需要进行配置。

寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	W0C	可读，写 0 清零，写 1 保持不变。
WO	只写。	W1S	可读，写 1 置 1，写 0 保持不变。



类型	说明	类型	说明
RW	可读可写。	W0S	可读, 写 0 置 1, 写 1 保持不变。
RC	读清零。	OSW	可读, 写 1 后片内自清零, 即产生一个脉冲。
W1C	可读, 写 1 清零, 写 0 保持不变。		

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量 (如 RAM 容量)	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列 (寄存器描述中除外)。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2012-03-13	00B40	第 14 章 外围设备 互换 DMA_WR_INT_MASK 和 DMA_RD_INT_MASK 的 bit16 和 bit0 的 0、1 含义描述。



修订日期	版本	修订说明
2012-02-15	00B30	<p>第 1 章 概述</p> <p>在 1.3.1 中修改芯片从 NAND Flash 启动时 BOOT_SEL0 和 BOOT_SEL1 的配置值；</p> <p>在 1.3.2 中修改芯片从 NAND Flash 启动时 BOOT_SEL0 的配置值。</p> <p>第 14 章 外围设备</p> <p>14.9.5.3 软复位中修改 HCLK 和 SATA Host 软复位时需要配置的寄存器的值。</p> <p>修改表 14-28，变量 n 的取值范围改为 0 和 1。</p> <p>修改寄存器 SATA_GHC_CAP1 的复位值和 bit[4:0]的描述。</p> <p>修改寄存器 SATA_GHC_IS bit[3:2]和 SATA_GHC_CCC_PORTS bit[3:2]为保留。</p> <p>修改寄存器 SATA_GHC_PI bit[3:0]、SATA_GHC_TM bit[2:0]的描述。</p> <p>修改 SATA_PORT_SSTS、SATA_PORT_FIFOH、SATA_PORT_LINK 的复位值。</p>
2012-01-15	00B20	<p>修改 1.3.1 从 bootrom 启动小节中芯片启动参考的文档名称。</p> <p>修改 11.1.3.1 典型应用小节的描述；删除原 11.1.3.5 外部端口与内部通道对应关系小节。</p> <p>11.2.3.5 数字输出接口中增加 8 路 BT656 接口复用关系说明；11.2.3.10 高清通道处理功能小节下的级联功能中增加对级联接口的说明。</p>
2011-11-30	00B10	<p>修改表 2-49 中 VIU2_CLK 的描述。</p> <p>修改 2.1.3 管脚信息描述中的 SPI_CSN6、SPI_CSN7、VIU1、VIU2、RGMII0_COL 和 RGMII_CRS 的描述。</p> <p>修改 DDRC_CONFIG1 bit[2]的描述。</p>
2011-11-10	00B03	修改部分问题。
2011-09-30	00B02	完整版本。
2011-08-15	00B01	初始版本。



目 录

1 产品概述	1-1
1.1 应用场景	1-1
1.1.1 单片 Hi3531 DVR 解决方案	1-1
1.1.2 双片 Hi3531 +Hi3532 DVR 解决方案	1-2
1.1.3 单片 Hi3531 NVR 解决方案	1-3
1.2 架构	1-4
1.2.1 概述	1-4
1.2.2 处理器	1-5
1.2.3 加密引擎	1-5
1.2.4 存储器接口	1-6
1.2.5 视频和图形处理	1-6
1.2.6 视频编码处理	1-7
1.2.7 视频解码处理	1-7
1.2.8 以太网接口	1-7
1.2.9 视频接口	1-8
1.2.10 音频接口	1-8
1.2.11 外围设备	1-8
1.2.12 智能加速引擎	1-10
1.2.13 硬件特性	1-10
1.3 启动模式	1-11
1.3.1 从 bootrom 启动	1-11
1.3.2 从 NAND Flash 启动	1-11
1.3.3 从 SPI Flash 启动	1-12
1.3.4 通过 PCIE 加载 DDR，从 DDR 启动	1-12
1.3.5 地址空间映射	1-12



插图目录

图 1-1 Hi3531 单片 DVR 应用框图	1-2
图 1-2 Hi3531+Hi3532 双片 DVR 应用框图	1-3
图 1-3 Hi3531 单片 NVR 应用框图	1-4
图 1-4 Hi3531 芯片逻辑框图.....	1-5



表格目录

表 1-1 地址空间映射表 1-12



1 产品概述

1.1 应用场景

Hi3531 是针对多路 D1 和多路高清 DVR、NVR 产品应用开发的一款专业高端 SOC 芯片。Hi3531 内置高性能双核 A9 处理器、高达 5 路 1080P 实时多协议编解码能力的引擎和专用 TOE 网络加速模块，应对越来越高的高清应用和网络需求；集成优异的视频引擎和编解码算法并结合多路高清显示输出能力，充分满足客户产品的高质量图像体验。Hi3531 高度集成和丰富的外围接口，在满足客户差异化产品功能、性能、图像质量要求的同时，大大降低 ebom 成本。通过专用的视频级联技术，多片 Hi3531 间、多片 Hi3531 与 Hi3532 间级联可提供更强的编解码能力。Hi3531 的典型应用场景如下：

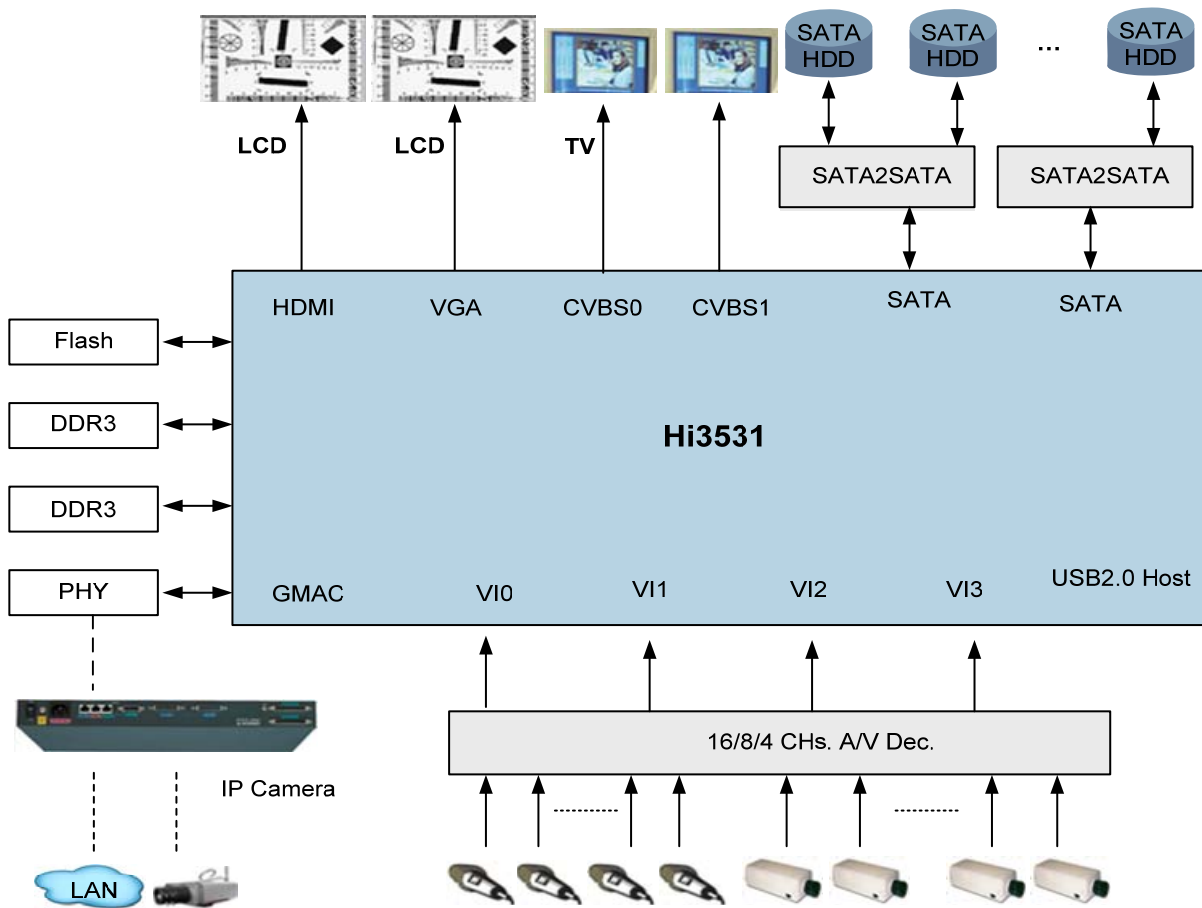
- 单片 Hi3531 DVR 解决方案
- Hi3531+Hi3532 DVR 解决方案
- 单片 Hi3531 NVR 解决方案

1.1.1 单片 Hi3531 DVR 解决方案

- Hi3531 单片 16D1+16CIF 编+4D1 解 DVR
 - 16D1+16CIF 双码流实时编码+16fps D1 JPEG 抓拍+4D1 实时解码
 - HDMI+VGA 1080P@60fps 同源输出+2 路 CVBS 输出
- 8D1 同编同解 DVR
 - 8D1+8CIF 双码流实时编码+8fps D1 JPEG 抓拍+8D1 实时解码
 - HDMI+VGA 1080P@60fps 非同源输出+1 路 CVBS 输出
- 4 路高清同编同解 DVR
 - 4x720P+4QVGA 双码流实时编码+4fps 720P JPEG 抓拍+4x720P 实时解码
 - HDMI+VGA 1080P@60fps 非同源输出+1 路 CVBS 输出



图1-1 Hi3531 单片 DVR 应用框图

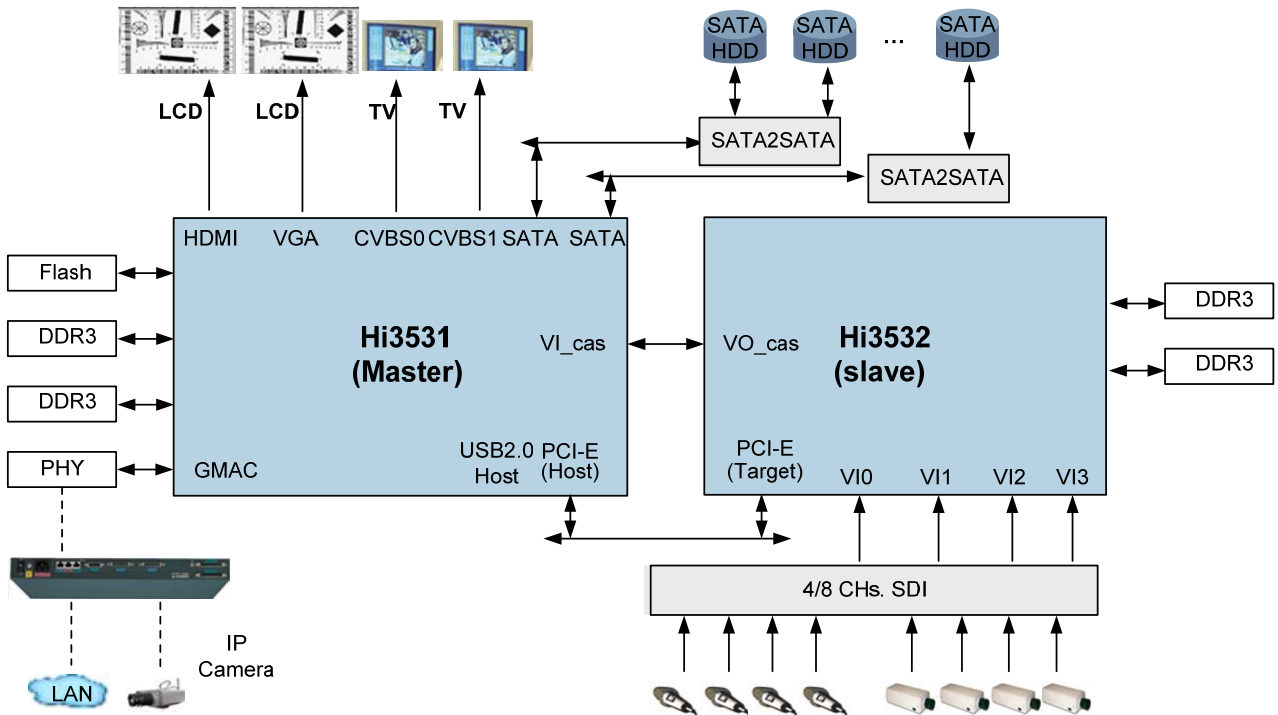


1.1.2 双片（Hi3531 + Hi3532）DVR 解决方案

- 16 路 D1 同编同解 DVR
 - 16D1+16CIF 双码流实时编码+16fps D1 JPEG 抓拍+16D1 实时解码
 - HDMI+VGA 1080P@60fps 非同源输出+1 路 CVBS 输出
- 8 路 720P 同编同解 DVR
 - 8x720P+8xQVGA 双码流实时编码+8fps 720P JPEG 抓拍+8x720P 实时解码
 - HDMI+VGA 1080P@60fps 非同源输出+1 路 CVBS 输出
- 4 路 1080P 同编同解 DVR
 - 4x1080P 实时+4x (960x540) @15fps 双码流编码+4fps 1080P JPEG 抓拍
4x1080P 实时解码
 - HDMI+VGA 1080P@60fps 非同源输出+1 路 CVBS 输出



图1-2 Hi3531+Hi3532 双片 DVR 应用框图

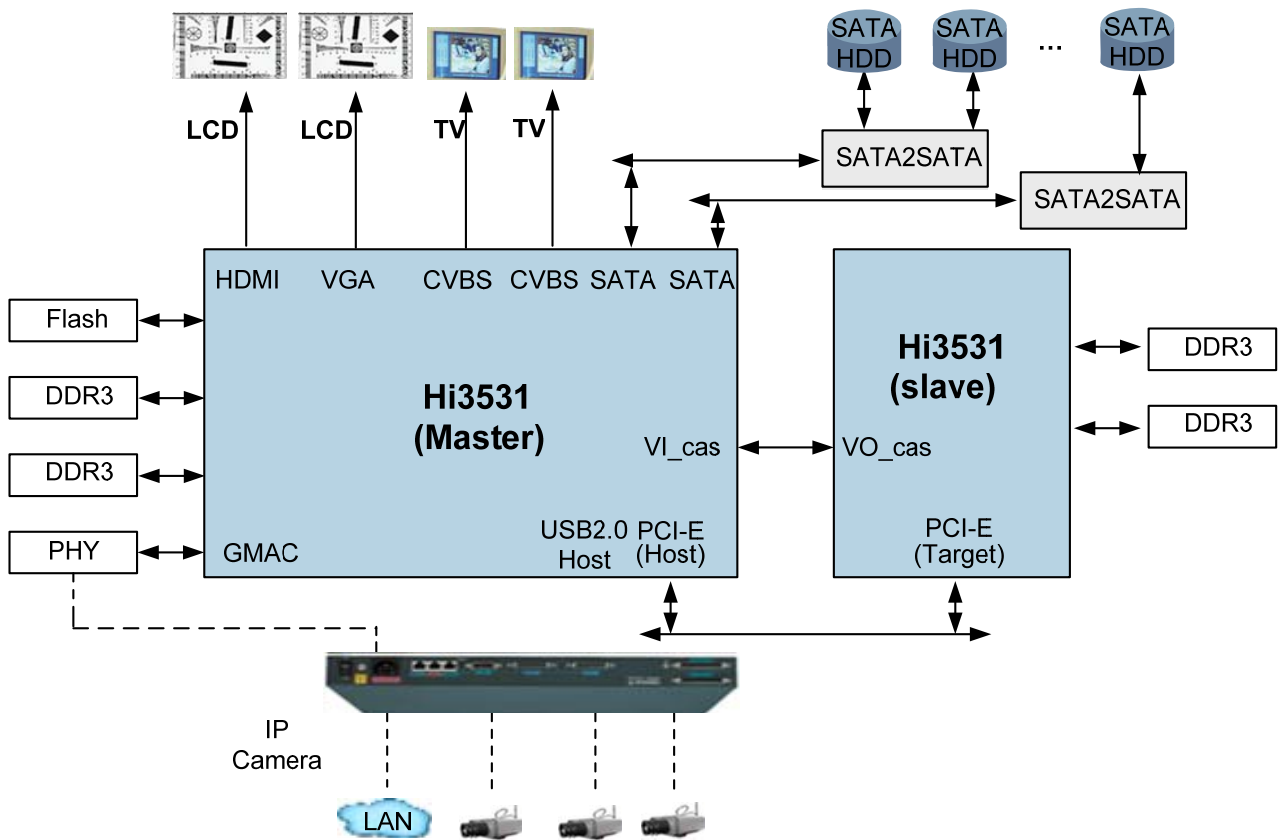


1.1.3 Hi3531 NVR 解决方案

- 单片 Hi3531 实现 16D1、8 x 720P、4 x 1080P 实时解码
- N 片 Hi3531 级联组合实现 16N x D1、8N x 720P、4N x 1080P 实时解码
- HDMI+VGA 1080P@60fps 非同源输出+1 路 CVBS 输出



图1-3 两片 Hi3531 NVR 应用框图



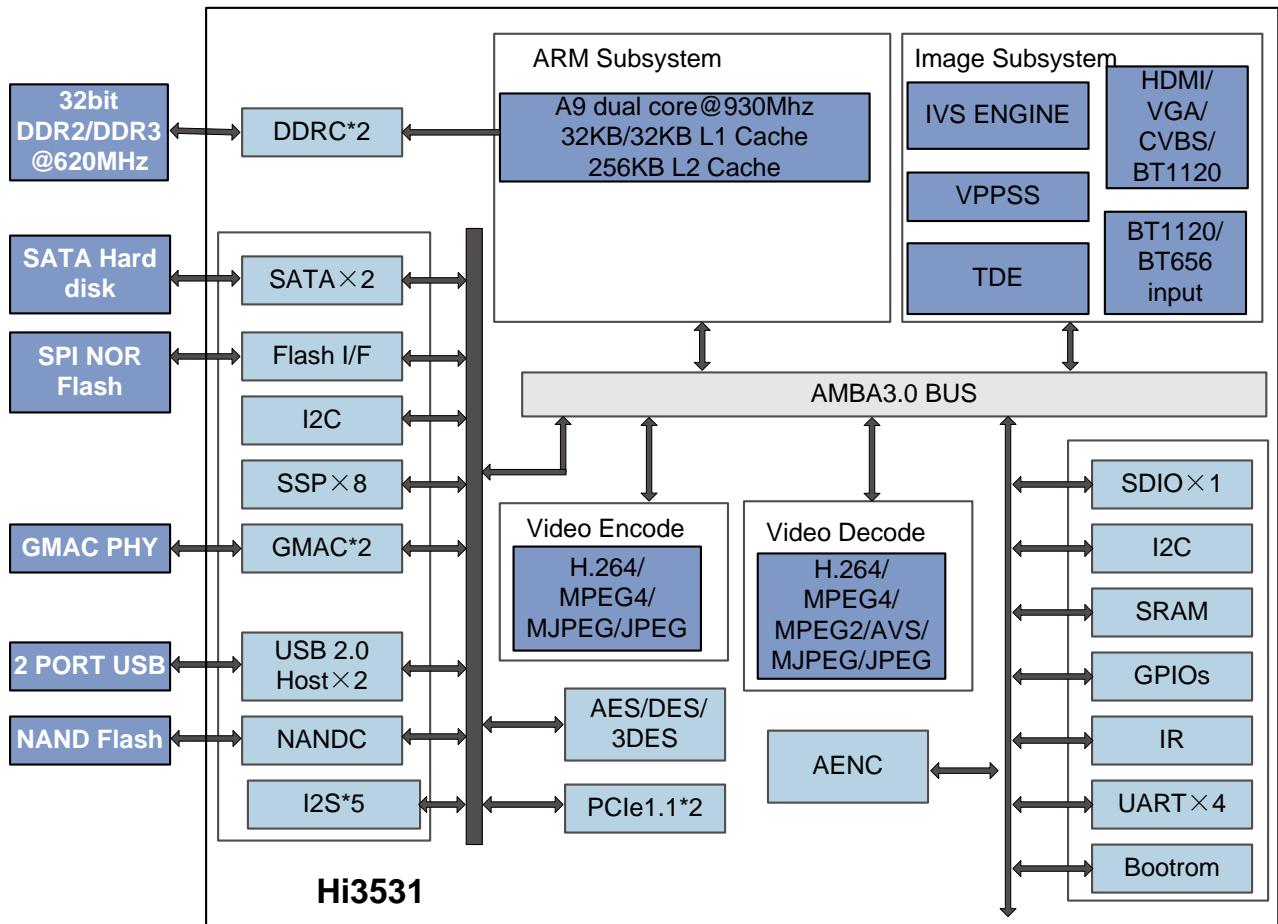
1.2 架构

1.2.1 概述

Hi3531 芯片逻辑框图如图 1-4 所示。



图1-4 Hi3531 芯片逻辑框图



1.2.2 处理器

Hi3531 集成高性能的 ARM Cortex A9 双核作为主控 CPU，完成系统任务和部分音视频处理功能。其主要规格如下：

- 集成 32KB L1 指令 Cache 和 32KB L1 数据 Cache
- 共享 256KB L2 Cache
- 最高频率 930MHz

1.2.3 加密引擎

Hi3531 集成高性能 DES/3DES/AES 加解密引擎，主要特点如下：

- DES/3DES 和 AES 算法符合 FIPS46-3/FIPS 197 标准
- DES/3DES 和 AES 的工作模式均符合 FIPS -81/NIST special800-38a 标准
- 支持数字水印技术



1.2.4 存储器接口

Hi3531 集成高性能 DDR2/DDR3 SDRAM 存储控制器 DDRC、NAND Flash 控制器 NANDC 和 SPI Flash 控制器 SFC。内置 2KB bootrom 和 10KB SRAM。

DDRC

DDRC 支持对动态存储器 DDR2/3 SDRAM 的存取控制，主要特点如下：

- 提供 2 个 DDR2/3 SDRAM 片选空间，支持数据总线位宽为 32/16bit
- 支持最大存储空间为：32bit 模式 1GB；16bit 模式 512MB
- 支持最大 620MHz DDR2/3 SDRAM 总线工作频率
- 支持 DDR2/3 SDRAM CONTROLLER 的自动功耗控制
- 支持 ODT 功能

NANDC

NANDC (NAND Flash Controller) 提供存储控制器接口连接片外 NAND Flash，从而完成数据的存取，支持从 NAND Flash 启动，主要特点如下：

- 支持 2 个片选信号和 2 个 ready/busy 信号，同时也支持 2 个 NAND Flash 器件共用 1 个 ready/busy 信号。
- 支持 8bit data-bus NAND Flash 接口。
- 支持 NAND Boot 功能，支持 2KB、4KB 和 8K page size 的 NAND Flash 器件，支持从片选 0 对应的 NAND Flash 启动。
- 支持 ECC 校验使能和关闭，支持纠错使能和关闭。
 - 对于 SLC 器件，支持 512byte Hamming 码 ECC (Error Correcting Code) 校验和 1bit 纠错。
 - 对于 MLC 器件，支持 4bit /512byte 的校验和纠错。支持 8bits/512byte 校验纠错。支持 24bit/1024byte 的校验纠错。

SFC

SFC (Serial Peripheral Interface Flash Controller) 是一个 SPI Flash 控制器。主要完成对 SPI Flash 的访问控制功能，系统支持从 SPI Flash 启动，主要特点如下：

- 支持 2 个片选，每个片选的存储空间最大支持到 32MByte
- 支持 1、2、4bit SPI Nor Flash

1.2.5 视频和图形处理

Hi3531 图形处理模块对视频输入图像或者视频输出图像进行处理，使其能够适应各种不同的应用场景，达到更好的图像显示效果。主要特点如下：

- 支持对输入图像的 De-interlace 处理
- 支持图像色彩和对比度增强及图像 3D 去噪功能
- 支持解码视频 De-Blocking 和 De-Ring 处理



- 支持 clip、alpha blending、ROP、colorkey 和 Gamma 校正等功能
- 支持视频 1/16~8x 缩放功能
- 支持图形 1/2~2x 缩放功能
- 支持前后 OSD (On Screen Display) 图像叠加功能
- 支持图像输出抗闪烁功能
- 支持 2D 数据拷贝和数据填充等功能
- 支持图形无损压缩

1.2.6 视频编码处理

视频编码器具有以下特点：

- 支持 H264 BP、MP(CABAC)、HP 编码
- 支持 JPEG/MJPEG Baseline 编码
- H.264 & JPEG 多码流实时编码能力
- CBR/VBR/ABR 码率控制，16Kbit/s~40Mbit/s
- 编码帧率支持 1/16~60fps
- 支持对感兴趣区域 (ROI) 编码功能
- 提供彩转灰编码功能

1.2.7 视频解码处理

视频解码器的主要特点如下：

- H.264 Baseline Profile Level 5.0 解码
- H.264 Main Profile Level5.0 解码
- H.264 High profile Level5.0 解码
- MPEG4 SP L0~L3 解码
- MPEG4 ASP L0~L5/MPEG4 短头解码
- MPEG2 MP/HL、M L、LL 解码
- MPEG2 SP/ML 解码
- MPEG1 解码
- VC1 SP@LL, ML 解码
- VC1 MP@LL, ML, HL
- VC1 AP@L0~L3
- AVS Jizhun Level 6.0 解码
- MJPEG/JPEG Baseline 解码
- 最大分辨率：H.264：5632x4224；其它：1920x1088
- 解码性能：1080P@60fps



1.2.8 以太网接口

符合 802.3 标准的 10/100/1000 Mbit/s 以太网接口，实现外部端口和 A9 主控处理器间无阻塞的数据交换，主要特点如下：

- 支持 2 个 GMAC 接口
- 支持 10/100 Mbit/s 全双工、半双工模式；支持 1000Mbit/s 全双工模式
- 提供 RGMII 和 MII 接口
- 支持流控帧的发送和接收
- 支持 MAC 地址过滤
- 提供流量限制功能
- 提供错包、丢包、超短包、超长包、单播包、多播包等计数调试功能
- 支持 TOE 网络加速，有效降低 CPU 开销

1.2.9 视频接口

- Hi3531 视频输入接口的主要特点如下：
 - 4xBT656@108/144MHz，支持 16D1/960H 实时视频输入
 - 8xBT656@54/72MHz，支持 16D1/960H 实时视频输入
 - 4xBT1120@148.5MHz，支持 4 路 1080P@30fps 或 4 路 720P@30/60fps 视频输入
 - 8xMultiplexed BT656@148.5MHz，支持 8 路 720P@30fps 视频输入
 - 1xBT1120 输入接口可配置为 BT1120@148.5MHz 输出
 - 1xBT1120 输入接口可配置为视频级联接口，用于 Hi3531 与 Hi3531、Hi3531 与 Hi3532 间视频数据级联传输
 - 支持内嵌同步、外置同步两种模式
- Hi3531 视频输出接口的主要特点如下：
 - 支持 8 路 BT 656 输出，此时视频输入接口作为数字输出接口
 - 支持 HDMI 1.3+VGA+CVBSx2 多视频输出
 - 支持 1xBT1120@148.5MHz 视频输出；可配置为与 VGA 或 HDMI 输出同源；可配置为视频级联输出口
 - HDMI 最高分辨率支持 1080P@60fps
 - VGA 最高分辨率支持 2560x1600@60fps
 - 提供 4 层 OSD，格式为 RGB1555、RGB8888 可配置，最大分辨率为 2560x1600
 - 提供 1 层 GUI，格式为 RGB1555、RGB8888 可配置，最大分辨率为 2560x1600
 - 提供 2 层硬件鼠标层，格式为 RGB1555、RGB8888 可配置，最大分辨率为 128x128
 - 提供 1 层独立的视频 PIP 层，可配置输出在 HDMI 或 VGA 上实现视频画中画功能



1.2.10 音频接口

Hi3531 音频接口主要特点如下：

- 5 个标准 I²S 接口
- 4 个仅支持输入
- 1 个支持输入输出
- 每个可支持最大 16 路 16bit 音频输入

1.2.11 外围设备

芯片提供丰富的外围接口，可以进行系统功能扩展。

GPIO

GPIO 提供可编程的输入输出管脚。每个管脚可以配置为输入或者输出。这些管脚用于生成特定应用的输出信号或采集特定应用的输入信号。作为输入管脚时，GPIO 可作为中断源；作为输出管脚时，每个 GPIO 都可以独立地清 0 或置 1。

UART

Hi3531 提供 4 个 UART 单元。主要特点如下：

- 支持 16x8bit 的发送 FIFO 和 16 x 12bit 的接收 FIFO。
- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8 比特；停止位可通过编程设定为 1bit 或 2bit。
- 支持奇、偶校验方式或者无校验。
- 支持传输速率可编程。
- 支持接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持通过编程禁止 UART 模块或者 UART 发送/接收功能以降低功耗。
- 支持关断 UART 时钟以节省功耗。

USB 2.0 Host

芯片集成了 USB2.0 Host 和 PHY，提供 2 个 USB 端口，支持 USB 2.0 协议，支持高速（480Mbit/s）、全速（12Mbit/s），以及低速（1.5Mbit/s）三种工作模式。USB 2.0 Host 控制器中包含一个 Root Hub（USB 系统中的一部分，通过 Hub 可以扩展 USB 接口）。

I²C 控制器

芯片集成了 I²C（The Inter-Integrated Circuit）控制器，提供 1 个 I²C 端口，实现标准 I²C 主设备功能，可完成对 I²C 总线上的从设备的数据发送和接收。



红外接口

红外遥控接收单元 IR (Infrared Remoter) 通过红外接口接收红外数据，可以灵活配置以适应多种数据格式解码，以及接收数据错误检测和红外遥控唤醒等功能。可支持的模式如下：

- 模式 0：支持 NEC with simple repeat code、NEC with full repeat code、SONY 和 TC9012 四种数据格式解码，及接收数据错误检测和红外遥控唤醒等功能。
- 模式 1：支持任意数据格式的 symbol 电平宽度检测。

PCI Express

Hi3531 集成 PCIe x1 控制器和 PHY，用于连接 WiFi、DSP 等设备，主要特点如下：

- 支持 2 个 PCIe 接口
- 支持 PCI Express spec Rev1.1
- 支持一条 X1 的链路，工作速率 2.5Gbps
- 支持 RC (Root Complex) 和 EP (End Point) 模式

SATA

Hi3531 集成 SATA 接口，主要特点如下：

- 2 个 SATA2.6 接口
- 支持 PM 功能
- 支持 eSATA

SPI

Hi3531 支持 1 个 SPI 接口，支持 8 个片选。

SDIO 控制器

Hi3531 支持 2 个 SDIO2.0 接口，最大支持 32GB。

1.2.12 智能加速引擎

Hi3531 集成视频智能加速引擎，与 A9 处理器配合完成如运动检测、镜头检测、周界防范、人脸检测等视频智能处理功能，主要特点如下：

- 支持 3x3 模板滤波
- 支持 YUV 到 RGB 的颜色空间转换
- 支持 3x3 模板滤波加 YUV 到 RGB 转换的复合功能
- 支持 SOBEL/SCHARR 等算子的 X/Y 方向的梯度计算
- 支持 CANNY 梯度幅值及方向计算
- 支持 3x3 腐蚀
- 支持 3x3 膨胀



- 支持图象二值化
- 支持两幅图象相与、相减、相或
- 支持积分图计算
- 支持直方图统计
- 支持链表级中断和节点级中断
- 支持查询模式

1.2.13 硬件特性

Hi3531 硬件特性如下：

- 功耗
 - 5000mW 典型功耗
 - 支持多级功耗控制
- 工作电压
 - 内核电压为 1.0V
 - IO 电压为 3.3V/ 2.5V，容限电压为 5V
 - DDR2/3 SDRAM 接口电压为 1.8/1.5V
 - 工作环境温度为-20℃~+70℃
- 封装
 - RoHS，EHS-FCBGA817 封装
 - 0.65mm 管脚间距
 - 25mm×25mm 封装大小

1.3 启动模式

支持以下四种启动方式：

- 从 bootrom 存储空间启动
- 从片外 NAND Flash 存储空间启动
- 从片外 SPI Flash 存储空间启动
- 通过 PCIE 加载到 DDR，从 DDR 启动

1.3.1 从 bootrom 启动

从片内 bootrom 启动时，启动介质为片内 ROM，此时需要设置 BOOTROM_SEL（与芯片外部管脚 MDCK 复用）的上下拉电平，用于选择是否从 BOOTROM 启动；

当 BOOTROM_SEL=1 时，芯片从片内 ROM 启动；

芯片从片内 ROM 启动，将会启动串口通信机制，通过串口与 PC 端相应的软件建立通信，下载 boot 程序后完成启动（请参考《Fastboot 工具使用说明》）；同时，在 BOOTROM 启动时如果与串口通信超时未相应，将会转向判断 BOOT_SEL1（与芯片



外部管脚 NF_ALE 复用) 和 BOOT_SEL0 (与芯片外部管脚 NF_CLE 复用) 的上下拉电平, 从 NAND FLASH 或 SPI FLASH 启动:

当 BOOTROM_SEL=1 时且串口通信超时未响应, 如果 BOOT_SEL1=1、BOOT_SEL0=0 时, 芯片将转向从 NANDC 接口挂接的 NAND Flash 启动。

当 BOOTROM_SEL=1 时且串口通信超时未响应, 如果 BOOT_SEL1=0、BOOT_SEL0=0 时, 芯片将转向从 SFC 接口挂接的 SPI Flash 启动。

1.3.2 从 NAND Flash 启动

直接从 NAND Flash 启动时 (非上述的从 BOOTROM 跳转), 外部连接的存储器为 NAND Flash, 此时需要设置 BOOTROM_SEL (与芯片外部管脚 MDCK 复用)、BOOT_SEL1 (与芯片外部管脚 NF_ALE 复用) 和 BOOT_SEL0 (与芯片外部管脚 NF_CLE 复用) 的上下拉电平, 用于选择 Boot 存储器:

当 BOOTROM_SEL=0、BOOT_SEL1=1、BOOT_SEL0=0 时, 芯片支持从 NANDC 接口挂接的 NAND Flash 启动。

1.3.3 从 SPI Flash 启动

直接从 SPI Flash 启动时 (非上述的从 BOOTROM 跳转), 外部连接的存储器为 SPI Flash, 此时需要设置 BOOTROM_SEL (与芯片外部管脚 MDCK 复用)、BOOT_SEL1 (与芯片外部管脚 NF_ALE 复用) 和 BOOT_SEL0 (与芯片外部管脚 NF_CLE 复用) 的上下拉电平, 用于选择 Boot 存储器:

当 BOOTROM_SEL=0、BOOT_SEL1=0、BOOT_SEL0=0 时, 芯片支持从 SFC 接口挂接的 SPI Flash 启动。

1.3.4 通过 PCIE 加载 DDR, 从 DDR 启动

通过 PCIE 加载 DDR, 从 DDR 启动时, 此时需要设置 BOOTROM_SEL (与芯片外部管脚 MDCK 复用)、BOOT_SEL1 (与芯片外部管脚 NF_ALE 复用) 和 BOOT_SEL0 (与芯片外部管脚 NF_CLE 复用) 的上下拉电平, 用于选择 Boot 存储器: 外部复位撤销后, A9 复位不撤销, 等待外部通过 PCIE 配置、加载程序到 DDR 中后, 外部控制 A9 撤销复位, A9 从零地址启动。此时零地址为 DDR 地址。

当 BOOTROM_SEL=0、BOOT_SEL1=0、BOOT_SEL0=1 时, 芯片支持从 DDR 启动。

1.3.5 地址空间映射

地址空间映射如表 1-1 所示。

表1-1 地址空间映射表

起始地址	结束地址	功能	大小	说明
0xC000_0000	0xFFFF_FFFF	DDR1 外接 DDR 器件地址空间	1GB	-
0x8000_0000	0xBFFF_FFFF	DDR0 外接 DDR 器件地址空间	1GB	-



起始地址	结束地址	功能	大小	说明
0x7000_0000	0x7FFF_FFFF	PCIE1 配置空间	256MB	-
0x6000_0000	0x6FFF_FFFF	PCIE1 MEMORY 地址空间	256MB	-
0x5C00_0000	0x5FFF_FFFF	保留	64MB	-
0x5800_0000	0x5BFF_FFFF	SPI FLASH 存储空间	64MB	-
0x5400_0000	0x57FF_FFFF	保留	64MB	-
0x5000_0000	0x53FF_FFFF	NANDC 存储空间	64MB	-
0x4000_0000	0x4FFF_FFFF	PCIE0 配置空间	256MB	-
0x3000_0000	0x3FFF_FFFF	PCIE0 MEMORY 地址空间	256MB	-
0x2082_0000	0x2FFF_FFFF	保留	248MB	-
0x2081_0000	0x2081_FFFF	PCIE1 寄存器空间	64KB	-
0x2080_0000	0x2080_FFFF	PCIE0 寄存器空间	64KB	-
0x2070_0000	0x207F_FFFF	L2 CACHE 空间	1MB	-
0x206E_0000	0x206F_FFFF	保留	127KB	-
0x206D_0000	0x206D_FFFF	BPD 寄存器	64KB	-
0x206C_0000	0x206C_FFFF	MD 寄存器	64KB	-
0x206B_0000	0x206B_FFFF	VCMP 寄存器	64KB	-
0x206A_0000	0x206A_FFFF	VDH1 寄存器	64KB	-
0x2069_0000	0x2069_FFFF	VENC1 寄存器	64KB	-
0x2068_0000	0x2068_FFFF	VPSS1 寄存器	64KB	-
0x2067_0000	0x2067_FFFF	保留	64KB	-
0x2066_0000	0x2066_FFFF	JPGE 寄存器	64KB	-
0x2065_0000	0x2065_FFFF	保留	64KB	-
0x2064_0000	0x2064_FFFF	VOIE 寄存器	64KB	-
0x2063_0000	0x2063_FFFF	VDH0 寄存器	64KB	-
0x2062_0000	0x2062_FFFF	VENC0 寄存器	64KB	-
0x2061_0000	0x2061_FFFF	TDE 寄存器	64KB	-
0x2060_0000	0x2060_FFFF	VPSS0 寄存器	64KB	-



起始地址	结束地址	功能	大小	说明
0x205F_0000	0x205F_FFFF	保留	64KB	-
0x205E_0000	0x205E_FFFF	IVE 寄存器	64KB	-
0x205D_0000	0x205D_FFFF	HDMI 寄存器	64KB	-
0x205C_0000	0x205C_FFFF	VDP 寄存器	64KB	-
0x2058_0000	0x205B_FFFF	VICAP 寄存器	256KB	-
0x2054_0000	0x2057_FFFF	保留	256KB	-
0x2052_0000	0x2053_FFFF	保留	128KB	-
0x2040_0000	0x2051_FFFF	ARM DEBUG	1152KB	-
0x2031_0000	0x203F_FFFF	保留	896KB	-
0x2030_0000	0x2030_FFFF	ARM wdg/timer/gic 等 内部寄存器	64KB	-
0x2028_0000	0x202F_FFFF	保留	512KB	-
0x2027_0000	0x2027_FFFF	GPIO18	64KB	-
0x2026_0000	0x2026_FFFF	GPIO17	64KB	-
0x2025_0000	0x2025_FFFF	GPIO16	64KB	-
0x2024_0000	0x2024_FFFF	GPIO15	64KB	-
0x2023_0000	0x2023_FFFF	GPIO14	64KB	-
0x2022_0000	0x2022_FFFF	GPIO13	64KB	-
0x2021_0000	0x2021_FFFF	GPIO12	64KB	-
0x2020_0000	0x2020_FFFF	GPIO11	64KB	-
0x201F_0000	0x201F_FFFF	GPIO10	64KB	-
0x201E_0000	0x201E_FFFF	GPIO9	64KB	-
0x201D_0000	0x201D_FFFF	GPIO8	64KB	-
0x201C_0000	0x201C_FFFF	GPIO7	64KB	-
0x201B_0000	0x201B_FFFF	GPIO6	64KB	-
0x201A_0000	0x201A_FFFF	GPIO5	64KB	-
0x2019_0000	0x2019_FFFF	GPIO4	64KB	-
0x2018_0000	0x2018_FFFF	GPIO3	64KB	-
0x2017_0000	0x2017_FFFF	GPIO2	64KB	-
0x2016_0000	0x2016_FFFF	GPIO1	64KB	-



起始地址	结束地址	功能	大小	说明
0x2015_0000	0x2015_FFFF	GPIO0	64KB	-
0x2014_0000	0x2014_FFFF	TIMER3	64KB	-
0x2013_0000	0x2013_FFFF	TIMER2	64KB	-
0x2012_0000	0x2012_FFFF	DDRC1	64KB	-
0x2011_0000	0x2011_FFFF	DDRC0	64KB	-
0x2010_0000	0x2010_FFFF	保留	64KB	-
0x200F_0000	0x200F_FFFF	IO config 寄存器	64KB	-
0x200E_0000	0x200E_FFFF	保留	64KB	-
0x200D_0000	0x200D_FFFF	I2C 寄存器	64KB	-
0x200C_0000	0x200C_FFFF	SPI 寄存器	64KB	8 片选 Hi3531 SPI CS1-7 为只输出
0x200B_0000	0x200B_FFFF	UART3 寄存器	64KB	-
0x200A_0000	0x200A_FFFF	UART2 寄存器	64KB	-
0x2009_0000	0x2009_FFFF	UART1 寄存器	64KB	-
0x2008_0000	0x2008_FFFF	UART0 寄存器	64KB	-
0x2007_0000	0x2007_FFFF	IR	64KB	-
0x2006_0000	0x2006_FFFF	RTC	64KB	-
0x2005_0000	0x2005_FFFF	SYS_CTRL	64KB	-
0x2004_0000	0x2004_FFFF	WDG	64KB	-
0x2003_0000	0x2003_FFFF	CRG	64KB	-
0x2002_0000	0x2002_FFFF	保留	64KB	-
0x2001_0000	0x2001_FFFF	Timer1	64KB	-
0x2000_0000	0x2000_FFFF	Timer0	64KB	-
0x101E_0000	0x1FFF_FFFF	保留	256MB	-
0x101C_0000	0x101D_FFFF	GMAC 寄存器	128KB	3 个片选，一套总线
0x101A_0000	0x101B_0000	保留	128KB	-
0x1019_0000	0x1019_FFFF	保留	64KB	-
0x1018_0000	0x1018_FFFF	保留	64KB	-
0x1017_0000	0x1017_FFFF	JPGD 寄存器	64KB	-
0x1016_0000	0x1016_FFFF	SCD1 寄存器	64KB	-



起始地址	结束地址	功能	大小	说明
0x1015_0000	0x1015_FFFF	SCD0 寄存器	64KB	-
0x1014_0000	0x1014_FFFF	保留	64KB	-
0x1013_0000	0x1013_FFFF	保留	64KB	-
0x1012_0000	0x1012_FFFF	保留	64KB	保留
0x1011_0000	0x1011_FFFF	保留	64KB	保留
0x1010_0000	0x1010_FFFF	保留	64KB	保留
0x100F_0000	0x100F_FFFF	SIO5	64KB	HDMI 音频
0x100E_0000	0x100E_FFFF	SIO4	64KB	双向对讲
0x100D_0000	0x100D_FFFF	DMAC 寄存器	64KB	-
0x100C_0000	0x100C_FFFF	CIPHER 寄存器	64KB	-
0x100B_0000	0x100B_FFFF	USB EHCI 寄存器	64KB	-
0x100A_0000	0x100A_FFFF	USB OHCI 寄存器	64KB	-
0x1009_0000	0x1009_FFFF	保留	64KB	-
0x1008_0000	0x1008_FFFF	SATA 寄存器	64KB	-
0x1007_0000	0x1007_FFFF	保留	64KB	-
0x1006_0000	0x1006_FFFF	SIO3 寄存器	64KB	纯输入方向
0x1005_0000	0x1005_FFFF	SIO2 寄存器	64KB	纯输入方向
0x1004_0000	0x1004_FFFF	SIO1 寄存器	64KB	纯输入方向
0x1003_0000	0x1003_FFFF	SIO0 寄存器	64KB	纯输入方向
0x1002_0000	0x1002_FFFF	SDIO 寄存器	64KB	-
0x1001_0000	0x1001_FFFF	SPI NOR FLASH 寄存器	64KB	-
0x1000_0000	0x1000_FFFF	NANDC 寄存器	64KB	-
0x0402_0000	0x0FFF_FFFF	保留	192MB	-
0x0401_0000	0x0401_FFFF	片内 RAM	64KB	实际大小只有 10KB
0x0400_0000	0x0400_FFFF	BOOTROM	64KB	实际大小只有 2KB



起始地址	结束地址	功能	大小	说明
0x0000_0000	0x03FF_FFFF	地址重映射撤销时选定的存储器。重映射撤销 Hi3531 指向片内 RAM	64MB	{BOOT_SEL1,BOOT_SEL0}: 00: SPI FLASH 存储空间 01: DDR 存储空间 (PCIE 从加载模式) 10: NAND FLASH 存储空间 11: bootrom 存储空间



目 录

2 硬件特性	2-1
2.1 封装与管脚.....	2-1
2.1.1 封装	2-1
2.1.2 管脚分布	2-4
2.1.3 管脚信息描述.....	2-22
2.1.4 复用寄存器概览.....	2-80
2.1.5 复用寄存器描述.....	2-86
2.1.6 软件复用管脚寄存器描述.....	2-163
2.1.7 硬件管脚复用.....	2-192
2.2 电性能参数.....	2-195
2.2.1 推荐工作条件.....	2-195
2.2.2 上下电顺序	2-196
2.2.3 DC/AC 电气参数	2-196
2.3 PCB 设计建议	2-198
2.4 接口时序.....	2-199
2.4.1 DDR 接口时序.....	2-199
2.4.2 NANDC 接口时序	2-203
2.4.3 SFC 接口时序	2-206
2.4.4 Ethernet MAC 接口时序.....	2-207
2.4.5 VI 接口时序	2-211
2.4.6 VO 接口时序.....	2-212
2.4.7 SIO 接口时序.....	2-212
2.4.8 I ² C 时序.....	2-214
2.4.9 SPI 接口时序.....	2-215



插图目录

图 2-1 芯片封装顶视图	2-1
图 2-2 芯片封装底视图	2-2
图 2-3 芯片封装侧视图	2-2
图 2-4 Detail B 放大图	2-3
图 2-5 Detail A 放大图	2-3
图 2-6 管脚分布图 part1 (A1~V18)	2-5
图 2-7 管脚分布图 part2 (W1~AU18)	2-6
图 2-8 管脚分布图 part3 (W19~AU37)	2-7
图 2-9 管脚分布图 part4 (A19~V37)	2-8
图 2-10 DDR2 中 dqs_out 相对于 dq_out 的写操作时序图	2-199
图 2-11 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图	2-199
图 2-12 DDR2 中 dqs_out 相对于 ck 的写操作时序图	2-200
图 2-13 DDR3 中 dqs_out 相对于 ck 的写操作时序图	2-200
图 2-14 命令和地址相对于 ck 的写操作时序图	2-200
图 2-15 DDRn SDRAM 输出时序图	2-201
图 2-16 NANDC 命令周期时序图	2-203
图 2-17 NANDC 地址周期时序图	2-204
图 2-18 NANDC 写数据时序图	2-205
图 2-19 NANDC 读数据时序图	2-206
图 2-20 SFC 输入方向时序图	2-206
图 2-21 SFC 输出方向时序图	2-207
图 2-22 MII 接口 100Mbit/s 接收时序	2-207
图 2-23 MII 接口 100Mbit/s 发送时序	2-208
图 2-24 MII 接口 10Mbit/s 接收时序	2-208
图 2-25 MII 接口 10Mbit/s 发送时序	2-208



图 2-26 MII 接口接收时序参数	2-208
图 2-27 MII 接口发送时序参数	2-209
图 2-28 RGMII 接口 1000Mbit/s 接收时序	2-209
图 2-29 RGMII 接口 1000Mbit/s 发送时序	2-209
图 2-30 MDIO 接口读时序	2-210
图 2-31 MDIO 接口写时序	2-210
图 2-32 MDIO 接口接收时序参数	2-211
图 2-33 VI 接口时序图	2-211
图 2-34 VO 接口时序	2-212
图 2-35 I ² S 接口接收时序图	2-213
图 2-36 I ² S 接口发送时序图	2-213
图 2-37 PCM 接口接收时序图	2-213
图 2-38 PCM 接口发送时序图	2-214
图 2-39 I ² C 传输时序图	2-214
图 2-40 SPICK 时序	2-215
图 2-41 SPI 主模式下接口时序 (sph=0)	2-216
图 2-42 SPI 主模式下接口时序 (sph=1)	2-216



表格目录

表 2-1 封装参数说明表	2-4
表 2-2 管脚排列表寄存器概览.....	2-8
表 2-3 VDAC0 管脚	2-22
表 2-4 VDAC1 管脚	2-23
表 2-5 HDMI 管脚.....	2-23
表 2-6 PLL 管脚	2-25
表 2-7 USB 管脚.....	2-25
表 2-8 DDR 电源管脚.....	2-27
表 2-9 DDR0 管脚.....	2-28
表 2-10 DDR1 管脚.....	2-32
表 2-11 DVDD10 管脚.....	2-37
表 2-12 DVDD33 管脚.....	2-37
表 2-13 GND 管脚.....	2-37
表 2-14 GPIO 管脚	2-39
表 2-15 I ² C 管脚	2-39
表 2-16 IR 管脚	2-40
表 2-17 JTAG 管脚.....	2-40
表 2-18 NANDC 管脚	2-40
表 2-19 PCIE0 管脚.....	2-43
表 2-20 PCIE1 管脚.....	2-44
表 2-21 DVDD2533 管脚.....	2-44
表 2-22 MDIO 管脚.....	2-45
表 2-23 GMAC0 管脚	2-45
表 2-24 GMAC1 管脚	2-47
表 2-25 SYS 管脚.....	2-49



表 2-26 SATA 管脚.....	2-50
表 2-27 SFC 管脚.....	2-50
表 2-28 SIO0 管脚.....	2-52
表 2-29 SIO1 管脚.....	2-53
表 2-30 SIO2.....	2-53
表 2-31 SIO3 管脚.....	2-54
表 2-32 SIO4 管脚.....	2-54
表 2-33 SPI 管脚.....	2-56
表 2-34 UART0 管脚.....	2-58
表 2-35 UART1 管脚.....	2-58
表 2-36 EFUSE 管脚.....	2-59
表 2-37 VGA 管脚.....	2-59
表 2-38 VIU0 管脚.....	2-60
表 2-39 VIU1 管脚.....	2-64
表 2-40 VIU2 管脚.....	2-69
表 2-41 VOU 管脚.....	2-73
表 2-42 OSC 管脚.....	2-80
表 2-43 复用寄存器概览（基地址是 0x200F_0000）.....	2-80
表 2-44 VIU0 的软件复用管脚.....	2-163
表 2-45 VIU0 的软件复用管脚.....	2-164
表 2-46 VIU1 的软件复用管脚.....	2-166
表 2-47 VIU1 的软件复用管脚描述.....	2-167
表 2-48 VIU2 的软件复用管脚.....	2-170
表 2-49 VIU2 的软件复用管脚描述.....	2-171
表 2-50 VGAD 的软件复用管脚.....	2-173
表 2-51 VGAD 的软件复用管脚描述.....	2-174
表 2-52 VOU 的软件复用管脚.....	2-174
表 2-53 VOU 的软件复用管脚描述.....	2-175
表 2-54 SIO0/1/2/3 的软件复用管脚.....	2-178
表 2-55 SIO 的软件复用管脚描述.....	2-179
表 2-56 SIO4 的软件复用管脚.....	2-180
表 2-57 SIO4 的软件复用管脚描述.....	2-180



表 2-58 SPI 的软件复用管脚.....	2-181
表 2-59 SPI 的软件复用管脚描述.....	2-182
表 2-60 I2C 的软件复用管脚.....	2-182
表 2-61 I2C 的软件复用管脚描述.....	2-183
表 2-62 UART 的软件复用管脚.....	2-183
表 2-63 UART 的软件复用管脚描述.....	2-183
表 2-64 RGMII0 的软件复用管脚.....	2-184
表 2-65 RGMII0 的软件复用管脚描述.....	2-184
表 2-66 RGMII1 的软件复用管脚.....	2-185
表 2-67 RGMII1 的软件复用管脚描述.....	2-186
表 2-68 IR 的软件复用管脚.....	2-187
表 2-69 IR 的软件复用管脚描述.....	2-187
表 2-70 NFC 的软件复用管脚.....	2-188
表 2-71 NFC 的软件复用管脚描述.....	2-188
表 2-72 SFC 的软件复用管脚.....	2-189
表 2-73 SFC 的软件复用管脚描述.....	2-189
表 2-74 USB 的软件复用管脚.....	2-190
表 2-75 USB 的软件复用管脚描述.....	2-190
表 2-76 HDMI 的软件复用管脚.....	2-191
表 2-77 HDMI 的软件复用管脚描述.....	2-191
表 2-78 GPIO 的软件复用管脚.....	2-192
表 2-79 GPIO 的软件复用管脚描述.....	2-192
表 2-80 SPI 硬件管脚复用.....	2-192
表 2-81 与 SPI 复用的管脚.....	2-193
表 2-82 MDIO 硬件管脚复用.....	2-193
表 2-83 与 MDIO 复用的管脚描述.....	2-194
表 2-84 NFC 硬件管脚复用.....	2-194
表 2-85 与 NFC 复用的管脚描述.....	2-194
表 2-86 功耗参数.....	2-195
表 2-87 推荐工作条件.....	2-195
表 2-88 DC 电气参数表 (DVDD33=3.3V, 5V 输入兼容, 部分接口不支持 5V 输入兼容).....	2-196
表 2-89 DC 电气参数表 (DVDD1518=1.8V, DDR2 SSTL18 模式).....	2-197



表 2-90 AC 电气参数表 (DVDD1518 =1.8V, DDR2 模式)	2-197
表 2-91 DC 电气参数表 (DVDD1518 =1.5V, DDR3 模式)	2-198
表 2-92 AC 电气参数表 (DVDD1518 =1.5V, DDR3 模式)	2-198
表 2-93 DDR2 时钟参数表	2-201
表 2-94 DDR2 SDRAM 存储器参数表 (DDR2-800)	2-202
表 2-95 DDR3 时钟参数表	2-202
表 2-96 DDR3 SDRAM 存储器参数表 (DDR3-1066)	2-202
表 2-97 NANDC 命令周期时序参数表	2-203
表 2-98 NANDC 地址周期时序参数表	2-204
表 2-99 NANDC 写数据时序参数表	2-205
表 2-100 NANDC 读数据时序参数表	2-206
表 2-101 SFC 输入方向时序参数表	2-206
表 2-102 SFC 输出方向时序参数表	2-207
表 2-103 MII 接口时序参数说明	2-209
表 2-104 RGMII 接口时序参数说明	2-210
表 2-105 MDIO 接口时序参数	2-211
表 2-106 VI 接口时序参数表	2-212
表 2-107 VO 接口时序参数表	2-212
表 2-108 I ² S 接口时序参数表	2-213
表 2-109 PCM 接口时序参数表	2-214
表 2-110 I ² C 接口时序参数表	2-214
表 2-111 SPI 接口时序参数	2-216



2 硬件特性

2.1 封装与管脚

2.1.1 封装

Hi3531 芯片采用 EHS-FCBGA 封装，封装尺寸为 25mmx25mm，管脚间距为 0.65mm，管脚总数为 817 个，详细封装请参见图 2-1~图 2-5，封装尺寸参数请参见表 2-1。

图2-1 芯片封装顶视图

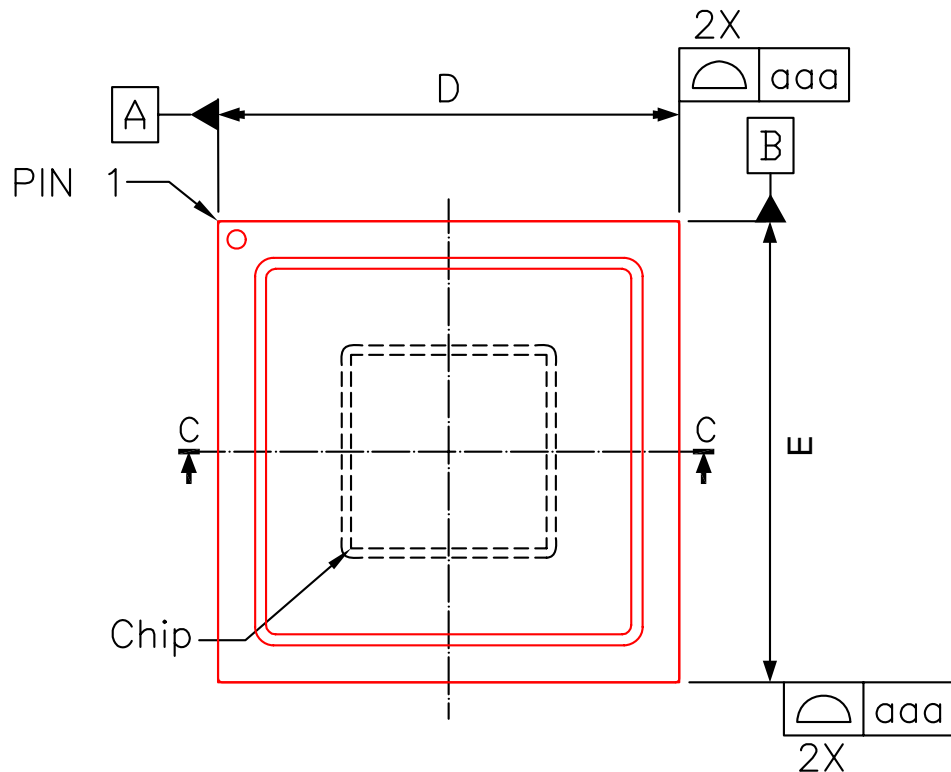




图2-2 芯片封装底视图

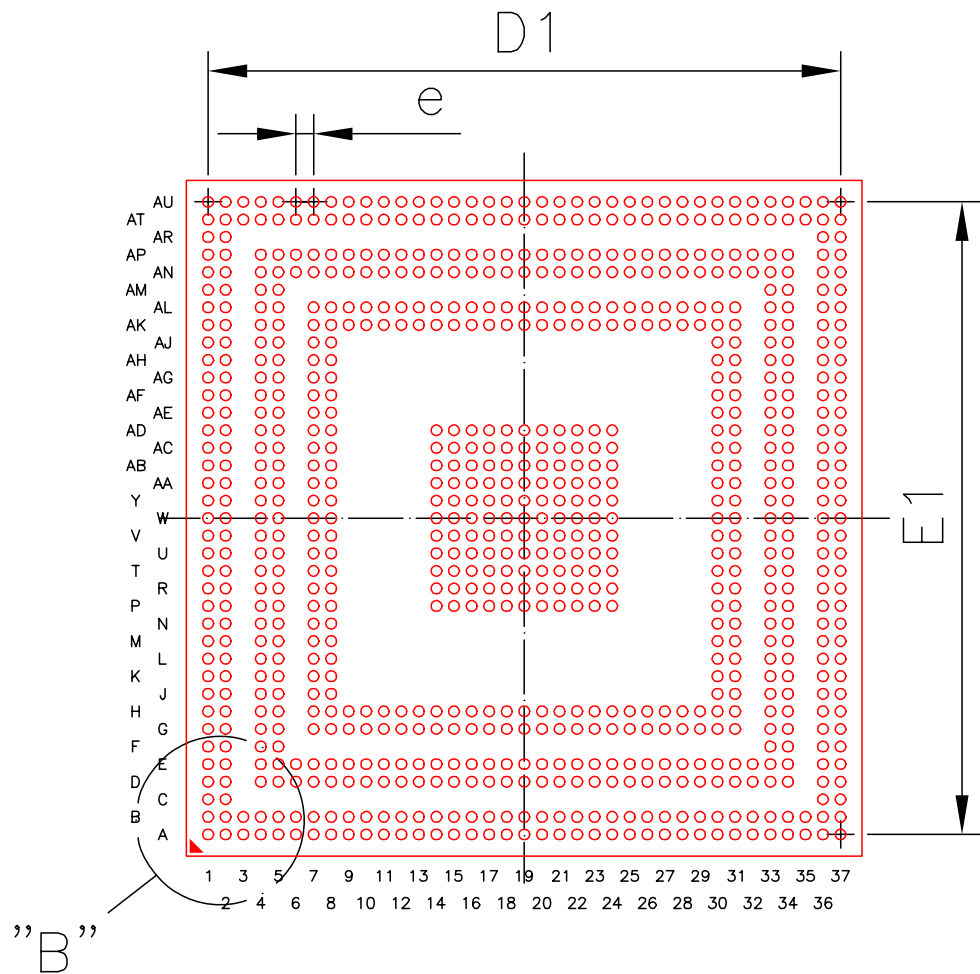


图2-3 芯片封装侧视图

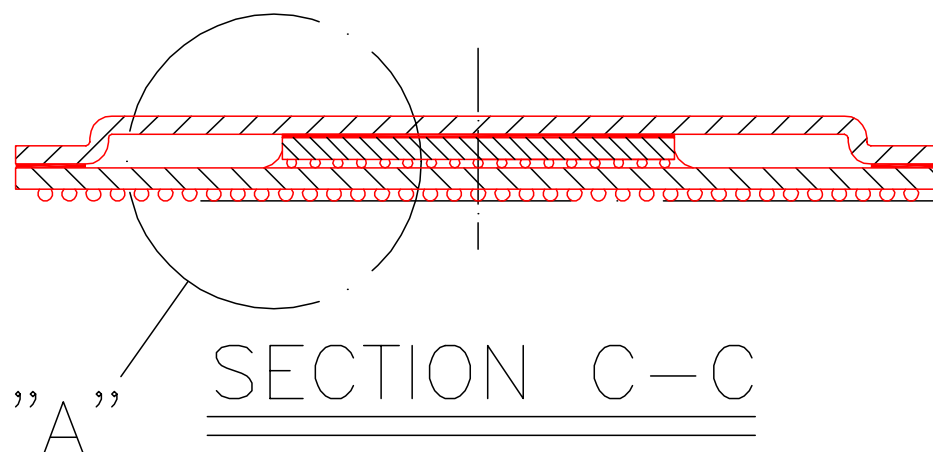
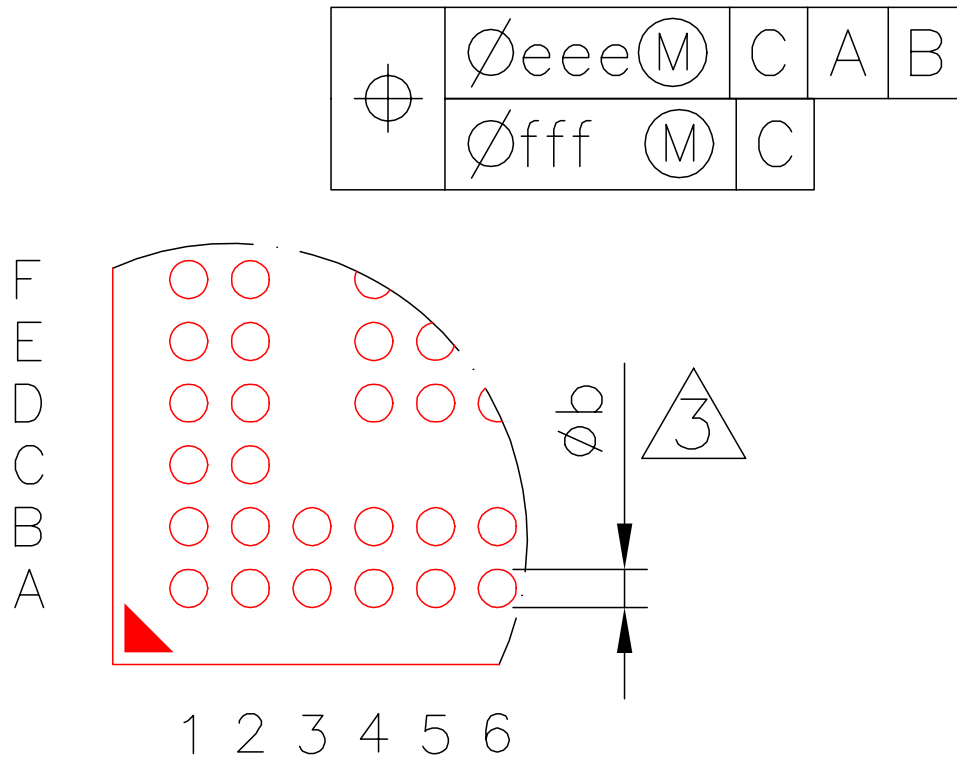




图2-4 Detail B 放大图



DETAIL : "B"

图2-5 Detail A 放大图

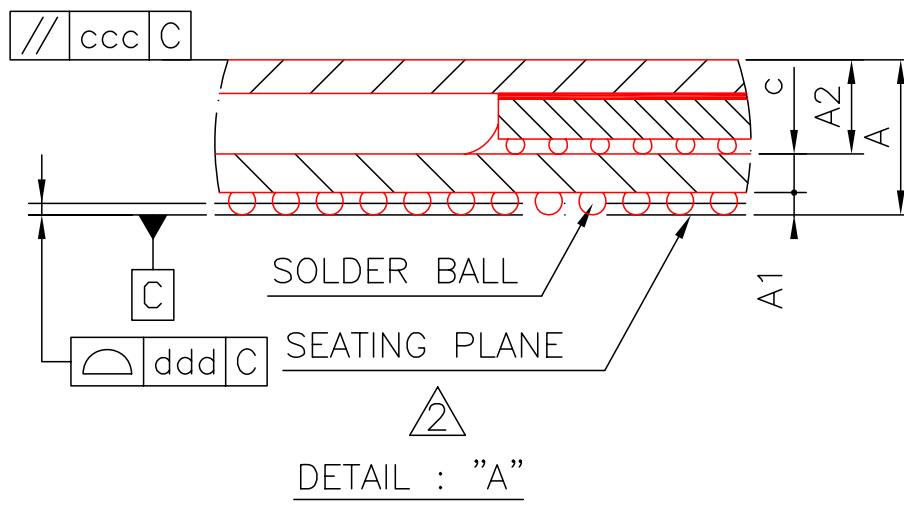




表2-1 封装参数说明表

参数	尺寸 (mm)		
	最小值	典型值	最大值
A	2.13	2.30	2.47
A1	0.28	0.33	0.38
A2	1.25	1.40	1.55
c	0.52	0.57	0.62
D/E	24.80	25.00	25.20
D1/E1	---	23.40	---
e	---	0.65	---
b	0.35	0.40	0.45
aaa	0.20		
ccc	0.25		
ddd	0.20		
eee	0.25		
fff	0.10		

2.1.2 管脚分布

管脚分布图

Hi3531 管脚分布如[图 2-6](#)~[图 2-9](#) 所示。



图2-6 管脚分布图 part1 (A1~V18)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
A	VSS	VSS	RGMII0_TXD0	RGMII0_TXCK	VSS	RGMII1_RXD0	RGMII1_RXCK	RGMII1_TXD2	RGMII1_TXCK	VSS	SIO1_R_CLK	SIO2_R_CLK	SIO2_DIN	AGND_V_DACO	VDACO_IOUT1	AGND_V_DACO	VDAC1_IOUT2	VDAC1_IOUT1
B	VSS	RGMII0_RXCK	RGMII0_TXD2	RGMII0_TXCKOU	VSS	RGMII1_RXD2	RGMII1_TXD1	RGMII1_TXD3	RGMII1_TXD0	VSS	SIO0_DIN	SIO1_R_FS	SIO2_R_FS	AGND_V_DACO	VDACO_IOUT2	VDACO_IOUT0	AGND_V_DACO	VDAC1_IOUT0
C	RGMII0_RXD3	RGMII0_TXD3																
D	RGMII0_RXD1	RGMII0_RXD2		RGMII0_TXD1	RGMII0_COL	RGMII1_RXDV	RGMII1_RXD3	RGMII1_RXD1	RGMII1_CRS	VSS	MDIO	SIO0_R_CLK	VSS	SIO3_R_CLK	SIO3_DIN	AVDD33_VDACO	VDACO_IREF	AGND_V_DAC1
E	AVSS_USB	AVSS_USB		VSS	VSS	RGMII0_TXEN	RGMII0_CRS	RGMII1_TXEN	RGMII1_TXCKOU	RGMII1_COL	MDCK	SIO0_R_FS	VSS	SIO1_DIN	SIO3_R_FS	AVDD33_VDACO	VDACO_VDREF	AGND_V_DAC1
F	USB1_DP	USB1_DM		RGMII0_RXD0	RGMII0_RXDV													
G	AVSS_USB	AVSS_USB		AVSS_USB	AVSS_USB		AVSS_USB	AVDD33_USB	AVDD33_USB	DVDD25_33	VSS	DVDD25_33	DVDD25_33	VSS	VSS	AGND_V_DACO	AVDD33_VDACO	AVDD33_VDACO
H	USB0_DP	USB0_DM		USB_REXT	AVSS_USB		AVSS_USB	AVSS_USB	AVDD33_USB	DVDD25_33	VSS	DVDD25_33	DVDD25_33	VSS	VSS	AGND_V_DACO	AVDD33_VDACO	AVDD33_VDACO
J	VSS	VSS		AVSS_USB	AVSS_USB		AVSS_USB	AVSS_PLL1										
K	XIN	XOUT		USB0_PWREN	USB1_PWREN		DVDD33	AVDD33_PLL1										
L	VSS	VSS		USB0_VRCUR	USB1_VRCUR		DVDD33	AVSS_PLL2345										
M	DDR1_DQ13	DDR1_DQ15		VSS	VSS		VSS	AVDD33_PLL234										
N	VSS	VSS		DDR1_DQ14	DDR1_RTT		VSS	VSS										
P	DDR1_DS1_N	DDR1_DS1_P		DDR1_DM1	DDR1_DQ12		VSS	VSS					DVDD10_USB	DVSS_USB	DVDD10	VSS	DVDD10	
R	DDR1_DQ9	DDR1_DQ10		DDR1_DQ11	DDR1_DQ7		DVDD15_18	DVDD15_18					VDD10_PLL1	DVDD10	VSS	DVDD10	VSS	
T	VSS	VSS		DDR1_DQ8	DDR1_DQ6		DVDD15_18	DVDD15_18					VDDREF10_PLL2	VSS	DVDD10	VSS	DVDD10	
U	DDR1_DS0_N	DDR1_DS0_P		DDR1_DQ5	DDR1_DM0		VSS	VSS					VDD10_PLL2345	DVDD10	VSS	DVDD10	VSS	
V	DDR1_DQ1	DDR1_DQ2		DDR1_DQ3	DDR1_DQ4		DVDD15_18	DVDD15_18					DVDD10	VSS	DVDD10	VSS	DVDD10	



图2-7 管脚分布图 part2 (W1~AU18)

W	DDR1_B A1	DDR1_R ESET_N		DDR1_D Q0	DDR1_ WE_N		VSS	VSS					VSS	DVDD10	VSS	DVDD10	VSS	
Y	DDR1_A 10	DDR1_C S_N		DDR1_C KE	DDR1_O DT		DVDD15 18	DVDD15 18					DDR1_R EF	VSS	DVDD10	VSS	DVDD10	
AA	DDR1_C LKO_P	DDR1_C LKO_N		DDR1_A 3	DDR1_B A2		VSS	VSS					VSS	DVDD10	VSS	DVDD10	VSS	
AB	VSS	VSS		DDR1_C AS_N	DDR1_R AS_N		DVDD15 18	DVDD15 18					DDR1_R EF	VSS	DVDD10	VSS	DVDD10	
AC	DDR1_A 1	DDR1_B A0		DDR1_A 6	DDR1_A 4		VSS	VSS					VSS	DVDD10	VSS	DVDD10	VSS	
AD	VSS	VSS		DDR1_A 0	DDR1_A 7		DVDD15 18	DVDD15 18					DVDD10	VSS	DVDD10	DVDD10	DDR0_R EF	
AE	DDR1_C LK1_P	DDR1_C LK1_N		DDR1_A 5	DDR1_A 2		DVDD15 18	DVDD15 18										
AF	DDR1_A 14	DDR1_A 11		DDR1_A 9	DDR1_A 12		VSS	VSS										
AG	DDR1_A 8	DDR1_A 13		DDR1_D Q26	DDR1_D Q27		VSS	VSS										
AH	DDR1_D Q24	DDR1_D Q25		DDR1_D M3	DDR1_D Q28		DVDD15 18	DVDD15 18										
AJ	DDR1_D QS3_P	DDR1_D QS3_N		DDR1_D Q29	DDR1_D Q31		DVDD15 18	DVDD15 18										
AK	VSS	VSS		DDR1_D Q18	DDR1_D Q16		VSS	VSS	VSS	DVDD15 18	DVDD15 18	VSS	VSS	DVDD15 18	DVDD15 18	VSS	VSS	DVDD15 18
AL	DDR1_D Q30	DDR1_D Q17		DDR1_D Q20	DDR1_D Q19		VSS	VSS	VSS	DVDD15 18	DVDD15 18	VSS	VSS	DVDD15 18	DVDD15 18	VSS	VSS	DVDD15 18
AM	DDR1_D QS2_N	DDR1_D QS2_P		DDR1_P ADHI	DDR1_P ADLO													
AN	VSS	VSS		DDR0_R TT	DDR0_D Q12	DDR0_D Q7	DDR0_D Q6	DDR0_D M0	DDR0_D Q4	DDR0_D WE_N	DDR0_O DT	DDR0_B A2	DDR0_R AS_N	DDR0_A 4	DDR0_A 7	DDR0_A 2	DDR0_A 12	DDR0_D Q27
AP	DDR1_D Q21	DDR1_D Q22		DDR0_D Q14	DDR0_D M1	DDR0_D Q11	DDR0_D Q8	DDR0_D Q5	DDR0_D Q3	DDR0_D Q0	DDR0_C KE	DDR0_A 3	DDR0_C AS_N	DDR0_A 6	DDR0_A 0	DDR0_A 5	DDR0_A 9	DDR0_D Q26
AR	DDR1_D M2	DDR1_D Q23																
AT	VSS	VSS	DDR0_D Q15	VSS	DDR0_D QS1_P	DDR0_D Q10	VSS	DDR0_D QS0_P	DDR0_D Q2	DDR0_R ESET_N	DDR0_C S_N	DDR0_C LKO_N	VSS	DDR0_B A0	VSS	DDR0_C LK1_N	DDR0_A 11	DDR0_A 13
AU	VSS	VSS	DDR0_D Q13	VSS	DDR0_D QS1_N	DDR0_D Q9	VSS	DDR0_D QS0_N	DDR0_D Q1	DDR0_B A1	DDR0_A 10	DDR0_C LKO_P	VSS	DDR0_A 1	VSS	DDR0_C LK1_P	DDR0_A 14	DDR0_A 8
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18



图2-8 管脚分布图 part3 (W19~AU37)

DVDD10	VSS	DVDD10	VSS	DVDD10	VSS							DVDD33	DVDD33		SPL_SD O	SPL_SCL K		SPL_CS N2	SPL_CS N0	W
VSS	DVDD10	VSS	DVDD10	VSS	DVDD10							VSS	VSS		SPL_CS N4	SPL_CS N3		VSS	VSS	Y
DVDD10	VSS	DVDD10	VSS	DVDD10	VSS							VSS	VSS		SPL_CS N6	SPL_CS N5		PCIE0_R EFCLKP	PCIE0_R EFCLKM	AA
VSS	DVDD10	VSS	DVDD10	VSS	DVDD10							PCIE0_V PH25	PCIE0_V PH25		VDD25_ EFUSE	SPL_CS N7		VSS	VSS	AB
DVDD10	VSS	DVDD10	VSS	DVDD10	VSS							PCIE1_R EXT	PCIE0_R EXT		VSS	VSS		PCIE0_R XM	PCIE0_R XP	AC
DVDD10	DDR0_R EF	VSS	DVDD10	VSS	DVDD10							PCIE0_V P10	PCIE0_V P10		PCIE1_R EFCLKM	PCIE1_R EFGLKP		VSS	VSS	AD
												PCIE1_V PH25	PCIE1_V PH25		VSS	VSS		PCIE0_T XM	PCIE0_T XP	AE
												PCIE1_V P10	PCIE1_V P10		PCIE1_R XM	PCIE1_R XP		PCIE1_T XP	PCIE1_T XM	AF
												DVDD33	DVDD33		VSS	VSS		VSS	VSS	AG
												SATA_V P25	SATA_V P25		UART0_ TXD	UART0_ RXD		SATA_T X0M	SATA_T X0P	AH
												SATA_V P10	SATA_R EXT		UART1_ RXD	UART1_ RTSN		VSS	VSS	AJ
DVDD15 18	VSS	VSS	DVDD15 18	DVDD15 18	VSS	DVDD33	DVDD33	VSS	VSS	VSS		SATA_V P10	SATA_V P10		UART1_ CTS	UART1_ TXD		SATA_R X0M	SATA_R X0P	AK
DVDD15 18	VSS	VSS	DVDD15 18	DVDD15 18	VSS	DVDD33	DVDD33	VSS	VSS	VSS		VSS	VSS		VSS	VSS		SATA_R X1P	SATA_R X1M	AL
															GPIO18 4	GPIO18 3		VSS	VSS	AM
DDR0_D Q28	DDR0_D Q31	DDR0_D Q16	DDR0_D Q19	DDR0_P ADLO	VSS	NF_CSN 1	NF_DQ7	NF_DQ5	SFC_CS 1N	VSS	TEST_M ODE	RSTN	JTAG_T RSTN	VSS	IR_IN			SATA_T X1M	SATA_T X1P	AN
DDR0_D M3	DDR0_D Q29	DDR0_D Q18	DDR0_D Q20	DDR0_P ADHI	VSS	NF_WE N	NF_CLE	NF_DQ6	NF_DQ4	VSS	SFC_CL K	WDG_R STN	JTAG_T MS	JTAG_T DI	VSS			VSS	VSS	AP
																		SATA_R EFCLKP	SATA_R EFCLKM	AR
DDR0_D Q25	DDR0_D QS3_N	VSS	DDR0_D Q17	DDR0_D QS2_P	VSS	DDR0_D Q22	DDR0_D Q23	VSS	NF_CSN 0	NF_RDY 1	NF_DQ3	NF_DQ1	SFC_HO LD IO3	SFC_W P IO2	SFC_DI O	JTAG_T CK	VSS	VSS		AT
DDR0_D Q24	DDR0_D QS3_P	VSS	DDR0_D Q30	DDR0_D QS2_N	VSS	DDR0_D Q21	DDR0_D M2	VSS	NF_ALE	NF_REN	NF_RDY 0	NF_DQ2	NF_DQ0	SFC_CS 0N	SFC_DO I	JTAG_T DO	VSS	VSS		AU
19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37		



位置	管脚名称	位置	管脚名称
A12	SIO2_RCLK	B10	VSS
A13	SIO2_DIN	B11	SIO0_DIN
A14	AGND_VDAC0	B12	SIO1_RFS
A15	VDAC0_IOUT1	B13	SIO2_RFS
A16	AGND_VDAC0	B14	AGND_VDAC0
A17	VDAC1_IOUT2	B15	VDAC0_IOUT2
A18	VDAC1_IOUT1	B16	VDAC0_IOUT0
A19	AGND_VDAC1	B17	AGND_VDAC0
A20	VGA_HS	B18	VDAC1_IOUT0
A21	SIO4_XCLK	B19	AGND_VDAC1
A22	AVSS_HDMI	B20	VGA_VS
A23	HDMI_TX2P	B21	SIO4_RCLK
A24	HDMI_TX1P	B22	AVSS_HDMI
A25	HDMI_TX0P	B23	HDMI_TX2N
A26	AVSS_HDMI	B24	HDMI_TX1N
A27	HDMI_TXCP	B25	HDMI_TX0N
A28	AVSS_HDMI	B26	AVSS_HDMI
A29	VOU1120_DATA0	B27	HDMI_TXCN
A30	VOU1120_DATA4	B28	AVSS_HDMI
A31	VOU1120_DATA8	B29	VOU1120_DATA1
A32	VOU1120_DATA14	B30	VOU1120_DATA5
A33	VSS	B31	VOU1120_DATA9
A34	VOU1120_CLK	B32	VOU1120_DATA15
A35	VIU0_DAT1	B33	VSS
A36	VSS	B34	VIU0_DAT0
A37	VSS	B35	VIU0_DAT3
AA1	DDR1_CLK0_P	B36	VSS
AA2	DDR1_CLK0_N	B37	VSS
AA4	DDR1_A3	C1	RGMII0_RXD3
AA5	DDR1_BA2	C2	RGMII0_TXD3
AA7	VSS	C36	VIU0_DAT7



位置	管脚名称	位置	管脚名称
AA8	VSS	C37	VIU0_DAT6
AA14	VSS	D1	RGMIIO_RXD1
AA15	DVDD10	D2	RGMIIO_RXD2
AA16	VSS	D4	RGMIIO_TXD1
AA17	DVDD10	D5	RGMIIO_COL
AA18	VSS	D6	RGMIIO_RXDV
AA19	DVDD10	D7	RGMIIO_RXD3
AA20	VSS	D8	RGMIIO_RXD1
AA21	DVDD10	D9	RGMIIO_CRS
AA22	VSS	D10	VSS
AA23	DVDD10	D11	MDIO
AA24	VSS	D12	SIO0_RCLK
AA30	VSS	D13	VSS
AA31	VSS	D14	SIO3_RCLK
AA33	SPI_CSN6	D15	SIO3_DIN
AA34	SPI_CSN5	D16	AVDD33_VDAC0
AA36	PCIE0_REFCLKP	D17	VDAC0_IREF
AA37	PCIE0_REFCLKM	D18	AGND_VDAC1
AB1	VSS	D19	VDAC1_IREF
AB2	VSS	D20	AVDD33_VDAC1
AB4	DDR1_CAS_N	D21	SIO4_RFS
AB5	DDR1_RAS_N	D22	SIO4_DOUT
AB7	DVDD1518	D23	AVSS_HDMI
AB8	DVDD1518	D24	HDMI_HOTPLUG
AB14	DDR1_REF	D25	HDMI_SDA
AB15	VSS	D26	VSS
AB16	DVDD10	D27	VOU1120_HS
AB17	VSS	D28	VOU1120_DATA2
AB18	DVDD10	D29	VOU1120_DATA7
AB19	VSS	D30	VOU1120_DATA10
AB20	DVDD10	D31	VOU1120_DATA12



位置	管脚名称	位置	管脚名称
AB21	VSS	D32	VIU0_HS
AB22	DVDD10	D33	VIU0_DAT2
AB23	VSS	D34	VIU0_DAT5
AB24	DVDD10	D36	VIU0_DAT14
AB30	PCIE0_VPH25	D37	VIU0_DAT15
AB31	PCIE0_VPH25	E1	AVSS_USB
AB33	VDD25_EFUSE	E2	AVSS_USB
AB34	SPI_CSN7	E4	VSS
AB36	VSS	E5	VSS
AB37	VSS	E6	RGMIIO_TXEN
AC1	DDR1_A1	E7	RGMIIO_CRS
AC2	DDR1_BA0	E8	RGMIIO_TXEN
AC4	DDR1_A6	E9	RGMIIO_TXCKOUT
AC5	DDR1_A4	E10	RGMIIO_COL
AC7	VSS	E11	MDCK
AC8	VSS	E12	SIO0_RFS
AC14	VSS	E13	VSS
AC15	DVDD10	E14	SIO1_DIN
AC16	VSS	E15	SIO3_RFS
AC17	DVDD10	E16	AVDD33_VDAC0
AC18	VSS	E17	VDAC0_VDREF
AC19	DVDD10	E18	AGND_VDAC1
AC20	VSS	E19	VDAC1_VDREF
AC21	DVDD10	E20	AVDD33_VDAC1
AC22	VSS	E21	SIO4_XFS
AC23	DVDD10	E22	SIO4_DIN
AC24	VSS	E23	AVSS_HDMI
AC30	PCIE1_REXT	E24	HDMI_CEC
AC31	PCIE0_REXT	E25	HDMI_SCL
AC33	VSS	E26	VSS
AC34	VSS	E27	VOU1120_VS



位置	管脚名称	位置	管脚名称
AC36	PCIE0_RXM	E28	VOU1120_DATA3
AC37	PCIE0_RXP	E29	VOU1120_DATA6
AD1	VSS	E30	VOU1120_DATA11
AD2	VSS	E31	VOU1120_DATA13
AD4	DDR1_A0	E32	VIU0_VS
AD5	DDR1_A7	E33	VIU0_DAT9
AD7	DVDD1518	E34	VIU0_DAT4
AD8	DVDD1518	E36	VSS
AD14	DVDD10	E37	VSS
AD15	VSS	F1	USB1_DP
AD16	DVDD10	F2	USB1_DM
AD17	DVDD10	F4	RGMII0_RXD0
AD18	DDR0_REF	F5	RGMII0_RXDV
AD19	DVDD10	F33	VIU0_DAT8
AD20	DDR0_REF	F34	VIU0_DAT11
AD21	VSS	F36	VIU0_CLK
AD22	DVDD10	F37	VIU2_DAT0
AD23	VSS	G1	AVSS_USB
AD24	DVDD10	G2	AVSS_USB
AD30	PCIE0_VP10	G4	AVSS_USB
AD31	PCIE0_VP10	G5	AVSS_USB
AD33	PCIE1_REFCLKM	G7	AVSS_USB
AD34	PCIE1_REFCLKP	G8	AVDD33_USB
AD36	VSS	G9	AVDD33_USB
AD37	VSS	G10	DVDD2533
AE1	DDR1_CLK1_P	G11	VSS
AE2	DDR1_CLK1_N	G12	DVDD2533
AE4	DDR1_A5	G13	DVDD2533
AE5	DDR1_A2	G14	VSS
AE7	DVDD1518	G15	VSS
AE8	DVDD1518	G16	AGND_VDAC0



位置	管脚名称	位置	管脚名称
AE30	PCIE1_VPH25	G17	AVDD33_VDAC0
AE31	PCIE1_VPH25	G18	AVDD33_VDAC0
AE33	VSS	G19	AGND_VDAC1
AE34	VSS	G20	AVDD33_VDAC1
AE36	PCIE0_TXM	G21	AVDD33_VDAC1
AE37	PCIE0_TXP	G22	VSS
AF1	DDR1_A14	G23	AVSS_HDMI
AF2	DDR1_A11	G24	HDMI_REXT
AF4	DDR1_A9	G25	AVCC10_HDMI
AF5	DDR1_A12	G26	VSS
AF7	VSS	G27	DVDD33
AF8	VSS	G28	VSS
AF30	PCIE1_VP10	G29	DVDD33
AF31	PCIE1_VP10	G30	VSS
AF33	PCIE1_RXM	G31	VSS
AF34	PCIE1_RXP	G33	VIU0_DAT10
AF36	PCIE1_TXP	G34	VIU0_DAT13
AF37	PCIE1_TXM	G36	VIU2_DAT1
AG1	DDR1_A8	G37	VIU2_DAT3
AG2	DDR1_A13	H1	USB0_DP
AG4	DDR1_DQ26	H2	USB0_DM
AG5	DDR1_DQ27	H4	USB_REXT
AG7	VSS	H5	AVSS_USB
AG8	VSS	H7	AVSS_USB
AG30	DVDD33	H8	AVSS_USB
AG31	DVDD33	H9	AVDD33_USB
AG33	VSS	H10	DVDD2533
AG34	VSS	H11	VSS
AG36	VSS	H12	DVDD2533
AG37	VSS	H13	DVDD2533
AH1	DDR1_DQ24	H14	VSS



位置	管脚名称	位置	管脚名称
AH2	DDR1_DQ25	H15	VSS
AH4	DDR1_DM3	H16	AGND_VDAC0
AH5	DDR1_DQ28	H17	AVDD33_VDAC0
AH7	DVDD1518	H18	AVDD33_VDAC0
AH8	DVDD1518	H19	AGND_VDAC1
AH30	SATA_VP25	H20	AVDD33_VDAC1
AH31	SATA_VP25	H21	AVDD33_VDAC1
AH33	UART0_TXD	H22	VSS
AH34	UART0_RXD	H23	AVSS_HDMI
AH36	SATA_TX0M	H24	AVSS_HDMI
AH37	SATA_TX0P	H25	AVCC10_HDMI
AJ1	DDR1_DQS3_P	H26	VSS
AJ2	DDR1_DQS3_N	H27	DVDD33
AJ4	DDR1_DQ29	H28	VSS
AJ5	DDR1_DQ31	H29	DVDD33
AJ7	DVDD1518	H30	VSS
AJ8	DVDD1518	H31	VSS
AJ30	SATA_VP10	H33	VIU2_DAT2
AJ31	SATA_REXT	H34	VIU0_DAT12
AJ33	UART1_RXD	H36	VIU2_DAT4
AJ34	UART1_RTSN	H37	VIU2_DAT5
AJ36	VSS	J1	VSS
AJ37	VSS	J2	VSS
AK1	VSS	J4	AVSS_USB
AK2	VSS	J5	AVSS_USB
AK4	DDR1_DQ18	J7	AVSS_USB
AK5	DDR1_DQ16	J8	AVSS_PLL1
AK7	VSS	J30	DVDD33
AK8	VSS	J31	DVDD33
AK9	VSS	J33	VIU2_VS
AK10	DVDD1518	J34	VIU2_HS



位置	管脚名称	位置	管脚名称
AK11	DVDD1518	J36	VIU2_DAT8
AK12	VSS	J37	VIU2_DAT9
AK13	VSS	K1	XIN
AK14	DVDD1518	K2	XOUT
AK15	DVDD1518	K4	USB0_PWREN
AK16	VSS	K5	USB1_PWREN
AK17	VSS	K7	DVDD33
AK18	DVDD1518	K8	AVDD33_PLL1
AK19	DVDD1518	K30	VSS
AK20	VSS	K31	VSS
AK21	VSS	K33	VIU2_DAT7
AK22	DVDD1518	K34	VIU2_DAT6
AK23	DVDD1518	K36	VIU2_DAT12
AK24	VSS	K37	VIU2_DAT13
AK25	DVDD33	L1	VSS
AK26	DVDD33	L2	VSS
AK27	VSS	L4	USB0_OVRCUR
AK28	VSS	L5	USB1_OVRCUR
AK29	VSS	L7	DVDD33
AK30	SATA_VP10	L8	AVSS_PLL2345
AK31	SATA_VP10	L30	DVDD33
AK33	UART1_CTSN	L31	DVDD33
AK34	UART1_TXD	L33	VIU2_DAT11
AK36	SATA_RX0M	L34	VIU2_DAT10
AK37	SATA_RX0P	L36	VSS
AL1	DDR1_DQ30	L37	VSS
AL2	DDR1_DQ17	M1	DDR1_DQ13
AL4	DDR1_DQ20	M2	DDR1_DQ15
AL5	DDR1_DQ19	M4	VSS
AL7	VSS	M5	VSS
AL8	VSS	M7	VSS



位置	管脚名称	位置	管脚名称
AL9	VSS	M8	AVDD33_PLL2345
AL10	DVDD1518	M30	VSS
AL11	DVDD1518	M31	VSS
AL12	VSS	M33	VIU2_DAT15
AL13	VSS	M34	VIU2_DAT14
AL14	DVDD1518	M36	VIU2_CLK
AL15	DVDD1518	M37	VIU1_DAT0
AL16	VSS	N1	VSS
AL17	VSS	N2	VSS
AL18	DVDD1518	N4	DDR1_DQ14
AL19	DVDD1518	N5	DDR1_RTT
AL20	VSS	N7	VSS
AL21	VSS	N8	VSS
AL22	DVDD1518	N30	DVDD33
AL23	DVDD1518	N31	DVDD33
AL24	VSS	N33	VIU1_HS
AL25	DVDD33	N34	VIU1_VS
AL26	DVDD33	N36	VIU1_DAT1
AL27	VSS	N37	VIU1_DAT2
AL28	VSS	P1	DDR1_DQS1_N
AL29	VSS	P2	DDR1_DQS1_P
AL30	VSS	P4	DDR1_DM1
AL31	VSS	P5	DDR1_DQ12
AL33	VSS	P7	VSS
AL34	VSS	P8	VSS
AL36	SATA_RX1P	P14	DVDD10_USB
AL37	SATA_RX1M	P15	DVSS_USB
AM1	DDR1_DQS2_N	P16	DVDD10
AM2	DDR1_DQS2_P	P17	VSS
AM4	DDR1_PADHI	P18	DVDD10
AM5	DDR1_PADLO	P19	VSS



位置	管脚名称	位置	管脚名称
AM33	GPIO18_4	P20	DVDD10
AM34	GPIO18_3	P21	VSS
AM36	VSS	P22	DVDD10
AM37	VSS	P23	VSS
AN1	VSS	P24	DVDD10
AN2	VSS	P30	VSS
AN4	DDR0_RTT	P31	VSS
AN5	DDR0_DQ12	P33	VIU1_DAT3
AN6	DDR0_DQ7	P34	VIU1_DAT4
AN7	DDR0_DQ6	P36	VIU1_DAT7
AN8	DDR0_DM0	P37	VIU1_DAT8
AN9	DDR0_DQ4	R1	DDR1_DQ9
AN10	DDR0_WE_N	R2	DDR1_DQ10
AN11	DDR0_ODT	R4	DDR1_DQ11
AN12	DDR0_BA2	R5	DDR1_DQ7
AN13	DDR0_RAS_N	R7	DVDD1518
AN14	DDR0_A4	R8	DVDD1518
AN15	DDR0_A7	R14	VDD10_PLL1
AN16	DDR0_A2	R15	DVDD10
AN17	DDR0_A12	R16	VSS
AN18	DDR0_DQ27	R17	DVDD10
AN19	DDR0_DQ28	R18	VSS
AN20	DDR0_DQ31	R19	DVDD10
AN21	DDR0_DQ16	R20	VSS
AN22	DDR0_DQ19	R21	DVDD10
AN23	DDR0_PADLO	R22	VSS
AN24	VSS	R23	DVDD10
AN25	NF_CSN1	R24	VSS
AN26	NF_DQ7	R30	DVDD33
AN27	NF_DQ5	R31	DVDD33
AN28	SFC_CS1N	R33	VIU1_DAT6



位置	管脚名称	位置	管脚名称
AN29	VSS	R34	VIU1_DAT5
AN30	TEST_MODE	R36	VIU1_DAT11
AN31	RSTN	R37	VIU1_DAT12
AN32	JTAG_TRSTN	T1	VSS
AN33	VSS	T2	VSS
AN34	IR_IN	T4	DDR1_DQ8
AN36	SATA_TX1M	T5	DDR1_DQ6
AN37	SATA_TX1P	T7	DVDD1518
AP1	DDR1_DQ21	T8	DVDD1518
AP2	DDR1_DQ22	T14	VDDREF10_PLL2345
AP4	DDR0_DQ14	T15	VSS
AP5	DDR0_DM1	T16	DVDD10
AP6	DDR0_DQ11	T17	VSS
AP7	DDR0_DQ8	T18	DVDD10
AP8	DDR0_DQ5	T19	VSS
AP9	DDR0_DQ3	T20	DVDD10
AP10	DDR0_DQ0	T21	VSS
AP11	DDR0_CKE	T22	DVDD10
AP12	DDR0_A3	T23	VSS
AP13	DDR0_CAS_N	T24	DVDD10
AP14	DDR0_A6	T30	VSS
AP15	DDR0_A0	T31	VSS
AP16	DDR0_A5	T33	VIU1_DAT10
AP17	DDR0_A9	T34	VIU1_DAT9
AP18	DDR0_DQ26	T36	VSS
AP19	DDR0_DM3	T37	VSS
AP20	DDR0_DQ29	U1	DDR1_DQS0_N
AP21	DDR0_DQ18	U2	DDR1_DQS0_P
AP22	DDR0_DQ20	U4	DDR1_DQ5
AP23	DDR0_PADHI	U5	DDR1_DM0
AP24	VSS	U7	VSS



位置	管脚名称	位置	管脚名称
AP25	NF_WEN	U8	VSS
AP26	NF_CLE	U14	VDD10_PLL2345
AP27	NF_DQ6	U15	DVDD10
AP28	NF_DQ4	U16	VSS
AP29	VSS	U17	DVDD10
AP30	SFC_CLK	U18	VSS
AP31	WDG_RSTN	U19	DVDD10
AP32	JTAG_TMS	U20	VSS
AP33	JTAG_TDI	U21	DVDD10
AP34	VSS	U22	VSS
AP36	VSS	U23	DVDD10
AP37	VSS	U24	VSS
AR1	DDR1_DM2	U30	DVDD33
AR2	DDR1_DQ23	U31	DVDD33
AR36	SATA_REFCLKP	U33	VIU1_DAT13
AR37	SATA_REFCLKM	U34	VIU1_DAT14
AT1	VSS	U36	VIU1_DAT15
AT2	VSS	U37	VIU1_CLK
AT3	DDR0_DQ15	V1	DDR1_DQ1
AT4	VSS	V2	DDR1_DQ2
AT5	DDR0_DQS1_P	V4	DDR1_DQ3
AT6	DDR0_DQ10	V5	DDR1_DQ4
AT7	VSS	V7	DVDD1518
AT8	DDR0_DQS0_P	V8	DVDD1518
AT9	DDR0_DQ2	V14	DVDD10
AT10	DDR0_RESET_N	V15	VSS
AT11	DDR0_CS_N	V16	DVDD10
AT12	DDR0_CLK0_N	V17	VSS
AT13	VSS	V18	DVDD10
AT14	DDR0_BA0	V19	VSS
AT15	VSS	V20	DVDD10



位置	管脚名称	位置	管脚名称
AT16	DDR0_CLK1_N	V21	VSS
AT17	DDR0_A11	V22	DVDD10
AT18	DDR0_A13	V23	VSS
AT19	DDR0_DQ25	V24	DVDD10
AT20	DDR0_DQS3_N	V30	VSS
AT21	VSS	V31	VSS
AT22	DDR0_DQ17	V33	SPI_SDI
AT23	DDR0_DQS2_P	V34	I2C_SDA
AT24	VSS	V36	I2C_SCL
AT25	DDR0_DQ22	V37	SPI_CSN1
AT26	DDR0_DQ23	W1	DDR1_BA1
AT27	VSS	W2	DDR1_RESET_N
AT28	NF_CSN0	W4	DDR1_DQ0
AT29	NF_RDY1	W5	DDR1_WE_N
AT30	NF_DQ3	W7	VSS
AT31	NF_DQ1	W8	VSS
AT32	SFC_HOLD_IO3	W14	VSS
AT33	SFC_WP_IO2	W15	DVDD10
AT34	SFC_DIO	W16	VSS
AT35	JTAG_TCK	W17	DVDD10
AT36	VSS	W18	VSS
AT37	VSS	W19	DVDD10
AU1	VSS	W20	VSS
AU2	VSS	W21	DVDD10
AU3	DDR0_DQ13	W22	VSS
AU4	VSS	W23	DVDD10
AU5	DDR0_DQS1_N	W24	VSS
AU6	DDR0_DQ9	W30	DVDD33
AU7	VSS	W31	DVDD33
AU8	DDR0_DQS0_N	W33	SPI_SDO
AU9	DDR0_DQ1	W34	SPI_SCLK



位置	管脚名称	位置	管脚名称
AU10	DDR0_BA1	W36	SPI_CSN2
AU11	DDR0_A10	W37	SPI_CSN0
AU12	DDR0_CLK0_P	Y1	DDR1_A10
AU13	VSS	Y2	DDR1_CS_N
AU14	DDR0_A1	Y4	DDR1_CKE
AU15	VSS	Y5	DDR1_ODT
AU16	DDR0_CLK1_P	Y7	DVDD1518
AU17	DDR0_A14	Y8	DVDD1518
AU18	DDR0_A8	Y14	DDR1_REF
AU19	DDR0_DQ24	Y15	VSS
AU20	DDR0_DQS3_P	Y16	DVDD10
AU21	VSS	Y17	VSS
AU22	DDR0_DQ30	Y18	DVDD10
AU23	DDR0_DQS2_N	Y19	VSS
AU24	VSS	Y20	DVDD10
AU25	DDR0_DQ21	Y21	VSS
AU26	DDR0_DM2	Y22	DVDD10
AU27	VSS	Y23	VSS
AU28	NF_ALE	Y24	DVDD10
AU29	NF_REN	Y30	VSS
AU30	NF_RDY0	Y31	VSS
AU31	NF_DQ2	Y33	SPI_CSN4
AU32	NF_DQ0	Y34	SPI_CSN3
AU33	SFC_CS0N	Y36	VSS
AU34	SFC_DOI	Y37	VSS
AU35	JTAG_TDO		



2.1.3 管脚信息描述

2.1.3.1 VDAC

VDAC0 管脚

VDAC0 管脚如表 2-3 所示。

表2-3 VDAC0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A14、 A16、 B14、 B17、 G16、 H16	AGND_VDAC0	G	-	-	VDAC0 的模拟地
D16、 E16、 G17、 G18、 H17、 H18	AVDD33_VDAC0	P	-	3.3	VDAC0 的模拟电源
B16	VDAC0_IOUT0	O	-	3.3	CVBS0 通道输出
A15	VDAC0_IOUT1	O	-	3.3	CVBS1 通道输出
B15	VDAC0_IOUT2	-	-	-	必须外接 75Ω 到地
D17	VDAC0_IREF	I/O	-	3.3	参考电流，采用外接电阻的时候输出电流，采用外接电流源的时候，输入电流
E17	VDAC0_VDREF	I/O	-	3.3	外部去耦参考电压，接 10nF 和 1nF 的电容到模拟地

VDAC1 管脚

VDAC1 管脚如表 2-4 所示。



表2-4 VDACC1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A19、 B19、 D18、 E18、 G19、 H19	AGND_VDAC1	G	-	-	VDACC1 的模拟地
D20、 E20、 G20、 G21、 H20、 H21	AVDD33_VDAC1	P	-	-	VDACC1 的模拟电源
B18	VDACC1_IOUT0	O	-	3.3	VGA 的 B 通道输出或 Pr 通道输出
A18	VDACC1_IOUT1	O	-	3.3	VGA 的 G 通道输出或 Pb 通道输出
A17	VDACC1_IOUT2	O	-	3.3	VGA 的 R 通道输出或 Y 通道输出
D19	VDACC1_IREF	I/O	-	3.3	参考电流，采用外接电阻的时候输出电流，采用外接电流源的时候，输入电流
E19	VDACC1_VDREF	I/O	-	3.3	外部去耦参考电压，接 10nF 和 1nF 的电容器到模拟地

2.1.3.2 HDMI 管脚

HDMI 管脚如表 2-5 所示。

表2-5 HDMI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G25、 H25	AVCC10_HDMI	P	-	1.0	HDMI 的模拟电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A22、 A26、 A28、 B22、 B26、 B28、 D23、 E23、 G23、 H23、 H24	AVSS_HDMI	G	-	-	HDMI 的模拟地
E24	HDMI_CEC	I _{PU} /O	4	-	功能 0: GPIO18_0 通用输入输出 功能 1: HDMI_CEC
D24	HDMI_HOTPLUG	I _{PD} /O	4	-	功能 0: GPIO17_7 通用输入输出 功能 1: HDMI_HOTPLUG
G24	HDMI_REXT	-	-	-	外接电阻, 详细请参见 《Hi3531 硬件设计 用户 指南》
E25	HDMI_SCL	I _{SPU} /O	8	-	功能 0: GPIO18_2 通用输入输出 功能 1: HDMI_SCL HDMI 专用 I2C 总线时 钟, OD 输出
D25	HDMI_SDA	I _{SPU} /O	4	-	功能 0: GPIO18_1 通用输入输出 功能 1: HDMI_SDA HDMI 专用 I ² C 总线数据/ 地址, OD 输出
B25	HDMI_TX0N	O	-	0.7	通道 0 串行差分信号
A25	HDMI_TX0P				
B24	HDMI_TX1N	O	-	0.7	通道 1 串行差分信号
A24	HDMI_TX1P				



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B23	HDMI_TX2N	O	-	0.7	通道 1 串行差分信号
A23	HDMI_TX2P				
B27	HDMI_TXCN	O	-	0.7	差分像素时钟
A27	HDMI_TXCP	O	-	0.7	差分像素时钟

2.1.3.3 PLL 管脚

PLL 管脚如表 2-6 所示。

表2-6 PLL 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K8	AVDD33_PLL1	P	-	3.3	PLL1 的模拟电源
M8	AVDD33_PLL2345	P	-	3.3	PLL2345 的模拟电源
J8	AVSS_PLL1	G	-	-	PLL1 的模拟地
L8	AVSS_PLL2345	G	-	-	PLL2345 的模拟地
R14	VDD10_PLL1	P	-	1.0	PLL1 数字电源
U14	VDD10_PLL2345	P	-	1.0	PLL2345 数字电源
T14	VDDREF10_PLL2345	P	-	1.0	PLL2345 数字参考电源

2.1.3.4 USB 管脚

USB 管脚如表 2-7 所示。

表2-7 USB 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G8、G9、H9	AVDD33_US B	P	-	3.3	USB 的模拟电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E1、E2、G1、G2、G4、G5、G7、H5、H7、H8、J4、J5、J7	AVSS_USB	G	-	-	USB 的模拟地
P14	DVDD10_US B	P	-	1.0	USB 的数字电源
P15	DVSS_USB	G	-	-	USB 的数字地
H4	USB_REXT	I/O	-	3.3	USB 外接电阻接口，电阻阻值是 $43.2\pm 1\%\Omega$ ，外接电阻到地
H2	USB0_DM	I/O	-	0.4/3.3	USB0 的 D-信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V
H1	USB0_DP	I/O	-	0.4/3.3	USB0 的 D+信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V
L4	USB0_OVRCUR	I _{SPD} /O	4	-	功能 0: GPIO17_3 通用输入输出 功能 1: USB0_OVRCUR USB 端口 0 的端口过流指示信号，高低电平可配，默认为高电平有效
K4	USB0_PWREN	I _{PU} /O	4	-	功能 0: GPIO17_4 通用输入输出 功能 1: USB0_PWREN USB 端口 0 电源控制输出管脚，高低电平可配，默认为高电平有效
F2	USB1_DM	I/O	-	0.4/3.3	USB 的 D-信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
F1	USB1_DP	I/O	-	0.4/3.3	USB 的 D+信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V
L5	USB1_OVRCUR	I _{SPD} /O	4	-	功能 0: GPIO17_5 通用输入输出 功能 1: USB1_OVRCUR USB 端口 1 的端口过流指示信号，高低电平可配，默认为高电平有效
K5	USB1_PWREN	I _{PU} /O	4	-	功能 0: GPIO17_6 通用输入输出 功能 1: USB1_PWREN USB 端口 1 电源控制输出管脚，高低电平可配，默认为高电平有效

2.1.3.5 DDR 管脚

DDR 电源管脚

DDR 电源管脚如表 2-8 所示。

表2-8 DDR 电源管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB7、AB8、AD7、AD8、AE7、AE8、AH7、AH8、AJ7、AJ8、AK10、AK11、AK14、AK15、AK18、AK19、AK22、AK23、AL10、AL11、AL14、AL15、AL18、AL19、AL22、AL23、R7、R8、T7、T8、V7、V8、Y7、Y8	DVDD1518	P		1.8/1.5/1.35	DDR2/DDR3/DDR3L 的 IO 电源



DDR0 管脚



说明

所有 DDR IO 依据 DDR 工作模式，可支持 SSTL_1.8V_ClassI、SSTL_1.8V_ClassII 和 SSTL_1.5V 三种驱动能力。

DDR0 管脚如表 2-9 所示。

表2-9 DDR0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AP15	DDR0_A0	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 0
AU14	DDR0_A1	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 1
AN16	DDR0_A2	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 2
AP12	DDR0_A3	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 3
AN14	DDR0_A4	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 4
AP16	DDR0_A5	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 5
AP14	DDR0_A6	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 6
AN15	DDR0_A7	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 7
AU18	DDR0_A8	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 8
AP17	DDR0_A9	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 9
AU11	DDR0_A10	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 10
AT17	DDR0_A11	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 11
AN17	DDR0_A12	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 12
AT18	DDR0_A13	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 13
AU17	DDR0_A14	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 14



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT14	DDR0_BA0	O	-	1.5/1.8/ 1.35	DDR SDRAM Bank 地址信号
AU10	DDR0_BA1	O	-	1.5/1.8/ 1.35	DDR SDRAM Bank 地址信号
AN12	DDR0_BA2	O	-	1.5/1.8/ 1.35	DDR SDRAM Bank 地址信号
AP13	DDR0_CAS_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 列地址选择
AP11	DDR0_CKE	O	-	1.5/1.8/ 1.35	DDR SDRAM 时钟使能
AT12	DDR0_CLK0_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 反向差分时钟 0
AU12	DDR0_CLK0_P	O	-	1.5/1.8/ 1.35	DDR SDRAM 正向差分时钟 0
AT16	DDR0_CLK1_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 反向差分时钟 1
AU16	DDR0_CLK1_P	O	-	1.5/1.8/ 1.35	DDR SDRAM 正向差分时钟 1
AT11	DDR0_CS_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 片选信号
AN8	DDR0_DM0	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据屏蔽信号 0
AP5	DDR0_DM1	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据屏蔽信号 1
AU26	DDR0_DM2	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据屏蔽信号 2
AP19	DDR0_DM3	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据屏蔽信号 3
AP10	DDR0_DQ0	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 0
AU9	DDR0_DQ1	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 1
AT9	DDR0_DQ2	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 2
AP9	DDR0_DQ3	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 3
AN9	DDR0_DQ4	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 4



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AP8	DDR0_DQ5	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 5
AN7	DDR0_DQ6	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 6
AN6	DDR0_DQ7	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 7
AP7	DDR0_DQ8	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 8
AU6	DDR0_DQ9	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 9
AT6	DDR0_DQ10	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 10
AP6	DDR0_DQ11	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 11
AN5	DDR0_DQ12	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 12
AU3	DDR0_DQ13	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 13
AP4	DDR0_DQ14	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 14
AT3	DDR0_DQ15	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 15
AN21	DDR0_DQ16	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 16
AT22	DDR0_DQ17	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 17
AP21	DDR0_DQ18	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 18
AN22	DDR0_DQ19	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 19
AP22	DDR0_DQ20	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 20
AU25	DDR0_DQ21	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 21
AT25	DDR0_DQ22	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 22
AT26	DDR0_DQ23	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 23



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AU19	DDR0_DQ24	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 24
AT19	DDR0_DQ25	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 25
AP18	DDR0_DQ26	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 26
AN18	DDR0_DQ27	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 27
AN19	DDR0_DQ28	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 28
AP20	DDR0_DQ29	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 29
AU22	DDR0_DQ30	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 30
AN20	DDR0_DQ31	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 31
AU8	DDR0_DQS0_N	I/O	-	1.5/1.8/ 1.35	DDR 反向 DQS Strobe 信号 0, 对应 DQ[7:0]
AT8	DDR0_DQS0_P	I/O	-	1.5/1.8/ 1.35	DDR 正向 DQS Strobe 信号 0, 对应 DQ[7:0]
AU5	DDR0_DQS1_N	I/O	-	1.5/1.8/ 1.35	DDR 反向 DQS Strobe 信号 1, 对应 DQ[15:8]
AT5	DDR0_DQS1_P	I/O	-	1.5/1.8/ 1.35	DDR 正向 DQS Strobe 信号 1, 对应 DQ[15:8]
AU23	DDR0_DQS2_N	I/O	-	1.5/1.8/ 1.35	DDR 反向 DQS Strobe 信号 2, 对应 DQ[23:16]
AT23	DDR0_DQS2_P	I/O	-	1.5/1.8/ 1.35	DDR 正向 DQS Strobe 信号 2, 对应 DQ[23:16]
AT20	DDR0_DQS3_N	I/O	-	1.5/1.8/ 1.35	DDR 反向 DQS Strobe 信号 3, 对应 DQ[31:24]
AU20	DDR0_DQS3_P	I/O	-	1.5/1.8/ 1.35	DDR 正向 DQS Strobe 信号 3, 对应 DQ[31:24]
AN11	DDR0_ODT	-	-	1.5/1.8/ 1.35	DDR 外接匹配参考电阻
AP23	DDR0_PADHI	-	-	1.5/1.8/ 1.35	DDR 外接下拉电阻



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AN23	DDR0_PADLO	-	-	1.5/1.8/ 1.35	DDR 外接上拉电阻
AN13	DDR0_RAS_N	-	-	1.5/1.8/ 1.35	DDR SDRAM 行地址选择
AD18	DDR0_REF	P	-	0.5%D VDD15 18	DDR 参考电压
AD20	DDR0_REF	P	-	0.5%D VDD15 18	DDR 参考电压
AT10	DDR0_RESET_N	P	-	1.5/1.8/ 1.35	DDR3 SDRAM 复位信号
AN4	DDR0_RTT	-	-	1.5/1.8/ 1.35	DDR 外接下拉电阻
AN10	DDR0_WE_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 写使能信号

DDR1 管脚

DDR1 管脚如表 2-10 所示。

表2-10 DDR1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AD4	DDR1_A0	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 0
AC1	DDR1_A1	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 1
AE5	DDR1_A2	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 2
AA4	DDR1_A3	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 3
AC5	DDR1_A4	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 4
AE4	DDR1_A5	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 5
AC4	DDR1_A6	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 6



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AD5	DDR1_A7	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 7
AG1	DDR1_A8	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 8
AF4	DDR1_A9	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 9
Y1	DDR1_A10	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 10
AF2	DDR1_A11	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 11
AF5	DDR1_A12	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 12
AG2	DDR1_A13	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 13
AF1	DDR1_A14	O	-	1.5/1.8/ 1.35	DDR SDRAM 地址信号 14
AC2	DDR1_BA0	O	-	1.5/1.8/ 1.35	DDR SDRAM Bank 地址信号
W1	DDR1_BA1	O	-	1.5/1.8/ 1.35	DDR SDRAM Bank 地址信号
AA5	DDR1_BA2	O	-	1.5/1.8/ 1.35	DDR SDRAM Bank 地址信号
AB4	DDR1_CAS_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 列地址选择
Y4	DDR1_CKE	O	-	1.5/1.8/ 1.35	DDR SDRAM 时钟使能
AA2	DDR1_CLK0_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 反向差分时钟 0
AA1	DDR1_CLK0_P	O	-	1.5/1.8/ 1.35	DDR SDRAM 正向差分时钟 0
AE2	DDR1_CLK1_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 反向差分时钟 1
AE1	DDR1_CLK1_P	O	-	1.5/1.8/ 1.35	DDR SDRAM 正向差分时钟 1
Y2	DDR1_CS_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 片选信号
U5	DDR1_DM0	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据屏蔽信号 0



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
P4	DDR1_DM1	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据屏蔽信号 1
AR1	DDR1_DM2	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据屏蔽信号 2
AH4	DDR1_DM3	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据屏蔽信号 3
W4	DDR1_DQ0	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 0
V1	DDR1_DQ1	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 1
V2	DDR1_DQ2	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 2
V4	DDR1_DQ3	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 3
V5	DDR1_DQ4	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 4
U4	DDR1_DQ5	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 5
T5	DDR1_DQ6	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 6
R5	DDR1_DQ7	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 7
T4	DDR1_DQ8	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 8
R1	DDR1_DQ9	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 9
R2	DDR1_DQ10	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 10
R4	DDR1_DQ11	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 11
P5	DDR1_DQ12	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 12
M1	DDR1_DQ13	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 13
N4	DDR1_DQ14	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 14
M2	DDR1_DQ15	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 15



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AK5	DDR1_DQ16	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 16
AL2	DDR1_DQ17	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 17
AK4	DDR1_DQ18	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 18
AL5	DDR1_DQ19	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 19
AL4	DDR1_DQ20	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 20
AP1	DDR1_DQ21	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 21
AP2	DDR1_DQ22	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 22
AR2	DDR1_DQ23	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 23
AH1	DDR1_DQ24	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 24
AH2	DDR1_DQ25	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 25
AG4	DDR1_DQ26	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 26
AG5	DDR1_DQ27	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 27
AH5	DDR1_DQ28	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 28
AJ4	DDR1_DQ29	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 29
AL1	DDR1_DQ30	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 30
AJ5	DDR1_DQ31	I/O	-	1.5/1.8/ 1.35	DDR SDRAM 数据线 31
U1	DDR1_DQS0_N	I/O	-	1.5/1.8/ 1.35	DDR 反向 DQS Strobe 信号 0, 对应 DQ[7:0]
U2	DDR1_DQS0_P	I/O	-	1.5/1.8/ 1.35	DDR 正向 DQS Strobe 信号 0, 对应 DQ[7:0]
P1	DDR1_DQS1_N	I/O	-	1.5/1.8/ 1.35	DDR 反向 DQS Strobe 信号 1, 对应 DQ[15:8]



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
P2	DDR1_DQS1_P	I/O	-	1.5/1.8/ 1.35	DDR 正向 DQS Strobe 信号 1, 对应 DQ[15:8]
AM1	DDR1_DQS2_N	I/O	-	1.5/1.8/ 1.35	DDR 反向 DQS Strobe 信号 2, 对应 DQ[23:16]
AM2	DDR1_DQS2_P	I/O	-	1.5/1.8/ 1.35	DDR 正向 DQS Strobe 信号 2, 对应 DQ[23:16]
AJ2	DDR1_DQS3_N	I/O	-	1.5/1.8/ 1.35	DDR 反向 DQS Strobe 信号 3, 对应 DQ[31:24]
AJ1	DDR1_DQS3_P	I/O	-	1.5/1.8/ 1.35	DDR 正向 DQS Strobe 信号 3, 对应 DQ[31:24]
Y5	DDR1_ODT	-	-	1.5/1.8/ 1.35	DDR 外接匹配参考电阻
AM4	DDR1_PADHI	-	-	1.5/1.8/ 1.35	DDR 外接下拉电阻
AM5	DDR1_PADLO	-	-	1.5/1.8/ 1.35	DDR 外接上拉电阻
AB5	DDR1_RAS_N	-	-	1.5/1.8/ 1.35	DDR SDRAM 行地址选择
AB14	DDR1_REF	P	-	0.5%D VDD1 518	DDR 参考电压
Y14	DDR1_REF	P	-	0.5%D VDD1 518	DDR 参考电压
W2	DDR1_RESET_N	P	-	1.5/1.8/ 1.35	DDR3 SDRAM 复位信号
N5	DDR1_RTT	-	-	1.5/1.8/ 1.35	DDR 外接下拉电阻
W5	DDR1_WE_N	O	-	1.5/1.8/ 1.35	DDR SDRAM 写使能信号

2.1.3.6 电源/地管脚

DVDD10 管脚

DVDD10 管脚如表 2-11 所示。



表2-11 DVDD10 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA15、AA17、AA19、AA21、AA23、AB16、AB18、AB20、AB22、AB24、AC15、AC17、AC19、AC21、AC23、AD14、AD16、AD17、AD19、AD22、AD24、P16、P18、P20、P22、P24、R15、R17、R19、R21、R23、T16、T18、T20、T22、T24、U15、U17、U19、U21、U23、V14、V16、V18、V20、V22、V24、W15、W17、W19、W21、W23、Y16、Y18、Y20、Y22、Y24	DVDD10	P	-	1.0	Core 电压

DVDD33 管脚

DVDD33 管脚如表 2-12 所示。

表2-12 DVDD33 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AG30、AG31、AK25、AK26、AL25、AL26、G27、G29、H27、H29、J30、J31、K7、L7、L30、L31、N30、N31、R30、R31、U30、U31、W30、W31	DVDD33	P	-	3.3	数字 IO 电压

GND 管脚

GND 管脚如表 2-13 所示。

表2-13 GND 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A1、A2、A5、A10、A33、	VSS	G	-	-	数字地



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A36、A37、AA7、AA8、AA14、AA16、AA18、AA20、AA22、AA24、AA30、AA31、AB1、AB2、AB15、AB17、AB19、AB21、AB23、AB36、AB37、AC7、AC8、AC14、AC16、AC18、AC20、AC22、AC24、AC33、AC34、AD1、AD2、AD15、AD21、AD23、AD36、AD37、AE33、AE34、AF7、AF8、AG7、AG8、AG33、AG34、AG36、AG37、AJ36、AJ37、AK1、AK2、AK7、AK8、AK9、AK12、AK13、AK16、AK17、AK20、AK21、AK24、AK27、AK28、AK29、AL7、AL8、AL9、AL12、AL13、AL16、AL17、AL20、AL21、AL24、AL27、AL28、AL29、AL30、AL31、AL33、AL34、AM36、AM37、AN1、AN2、AN24、AN29、AN33、AP24、AP29、AP34、AP36、AP37、AT1、AT2、AT4、AT7、AT13、AT15、AT21、AT24、AT27、AT36、AT37、AU1、AU2、AU4、AU7、AU13、AU15、AU21、AU24、AU27、AU36、AU37、B1、B5、B10、B33、B36、B37、D10、D13、D26、E4、E5、E13、E26、E36、E37、G11、G14、G15、G22、G26、G28、G30、G31、H11、H14、H15、H22、H26、H28、H30、H31、J1、J2、K30、K31、L1、L2、L36、L37、M4、M5、M7、M30、M31、N1、N2、N7、N8、P7、P8、P17、P19、P21、P23、P30、P31、R16、R18、R20、R22、R24、T1、T2、T15、T17、T19、					



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T21、T23、T30、T31、T36、T37、U7、U8、U16、U18、U20、U22、U24、V15、V17、V19、V21、V23、V30、V31、W7、W8、W14、W16、W18、W20、W22、W24、Y15、Y17、Y19、Y21、Y23、Y30、Y31、Y36、Y37					

2.1.3.7 GPIO 管脚

GPIO 管脚如表 2-14 所示。

表2-14 GPIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AM34	GPIO18_3	I _{PU} /O	4	3.3	通用输入输出
AM33	GPIO18_4	I _{PU} /O	4	3.3	通用输入输出

2.1.3.8 I²C 管脚

I²C 管脚如表 2-15 所示。

表2-15 I²C 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
V36	I2C_SCL	I _{SPU} /O	-	3.3	功能 0: GPIO12_5 通用输入输出 功能 1: I2C_SCL I ² C 总线时钟, OD 输出
V34	I2C_SDA	I _{SPU} /O	-	3.3	功能 0: GPIO12_4 通用输入输出 功能 1: I2C_SDA I ² C 总线数据/地址, OD 输出



2.1.3.9 IR 管脚

IR 管脚如表 2-16 所示。

表2-16 IR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AN34	IR_IN	I _{SPU/O}	4	3.3	功能 0: IR_IN 红外输入 功能 1: GPIO15_4 通用输入输出

2.1.3.10 JTAG 管脚

JTAG 管脚如表 2-17 所示。

表2-17 JTAG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT35	JTAG_TCK	I _{SPD}	-	3.3	JTAG 时钟输入
AP33	JTAG_TDI	I _{SPU}	-	3.3	JTAG 数据输入
AU35	JTAG_TDO	O	4	3.3	JTAG 数据输出
AP32	JTAG_TMS	I _{SPU/O}	4	3.3	JTAG 模式选择输入，或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制
AN32	JTAG_TRSTN	I _{SPD}	-	3.3	JTAG 复位输入

2.1.3.11 NANDC 管脚

NANDC 管脚如表 2-18 所示。

表2-18 NANDC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AU28	NF_ALE	I _{SPD/O}	8	3.3	功能 0: NF_ALE NANDFlash 地址锁存信号 功能 1: BOOT_SEL1



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AP26	NF_CLE	I _{SPD} /O	8	3.3	功能 0: NF_CLE NANDFlash 命令锁存信号 功能 1: BOOT_SEL0 { BOOT_SEL1,BOOT_SEL0}: 00: SPI FLASH 存储空间 01: DDR 存储空间 (PCIE 从加载模式) 10: NAND FLASH 存储空间 11: bootrom 存储空间
AT28	NF_CSN0	O	4	3.3	NAND Flash 片选信号, 低电平有效。用来挂接启动的 NAND Flash。
AN25	NF_CSN1	O	4	3.3	NAND Flash 片选信号, 低电平有效。用来挂接启动的 NAND Flash。
AU32	NF_DQ0	I _{PD} /O	8	3.3	功能 0: NF_DQ0 NAND Flash 数据总线 功能 1: GPIO15_5 通用输入输出
AT31	NF_DQ1	I _{PD} /O	8	3.3	功能 0: NF_DQ1 NAND Flash 数据总线 功能 1: GPIO15_6 通用输入输出
AU31	NF_DQ2	I _{PD} /O	8	3.3	功能 0: NF_DQ2 NAND Flash 数据总线 功能 1: GPIO15_7 通用输入输出
AT30	NF_DQ3	I _{PD} /O	8	-	功能 0: NF_DQ3 NAND Flash 数据总线 功能 1: GPIO16_0 通用输入输出
AP28	NF_DQ4	I _{PD} /O	8	3.3	功能 0: NF_DQ4 NAND Flash 数据总线 功能 1: GPIO16_1 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AN27	NF_DQ5	I _{PD} /O	8	3.3	功能 0: NF_DQ5 NAND Flash 数据总线 功能 1: GPIO16_2 通用输入输出
AP27	NF_DQ6	I _{PD} /O	8	3.3	功能 0: NF_DQ6 NAND Flash 数据总线 功能 1: GPIO16_3 通用输入输出
AN26	NF_DQ7	I _{PD} /O	8	3.3	功能 0: NF_DQ7 NAND Flash 数据总线 功能 1: GPIO16_4 通用输入输出
AU30	NF_RDY0	I _{SPU} /O	4	3.3	功能 0: NF_RDY0 NandFlash 忙/空闲指示。1: 空闲; 0: 忙 功能 1: GPIO16_5 通用输入输出
AT29	NF_RDY1	I _{SPU} /O	4	3.3	功能 0: NF_RDY1 NandFlash 忙/空闲指示。1: 空闲; 0: 忙 功能 1: GPIO16_6 通用输入输出
AU29	NF_REN	I _{SPD} /O	8	3.3	功能 0: NF_REN NANDFlash 读使能信号, 低电平有效 功能 1: JTAG_SEL0 JTAG 功能选择 {JTAG_SEL1,JTAG_SEL0}: 00: A9 01: SATA 10: PCIE0 11: PCIE1



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AP25	NF_WEN	I _{SPD} /O	8	3.3	功能 0: NF_WEN NANDFlash 写使能信号,低电平有效 功能 1: JTAG_SEL1

2.1.3.12 PCIE

PCIE0 管脚

PCIE0 管脚如表 2-19 所示。

表2-19 PCIE0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA37	PCIE0_REFCLKM	I/O	-	0.7	PCIE0 差分时钟接口
AA36	PCIE0_REFCLKP	I/O	-	0.7	PCIE0 差分时钟接口
AC31	PCIE0_REXT	I	-	-	PCIE0 外接电阻到地,阻值是 $191\pm 1\%\Omega$
AC36	PCIE0_RXM	I	-	0.7	PCIE0 通道 0 接收的差分信号
AC37	PCIE0_RXP	I	-	0.7	PCIE0 通道 0 接收的差分信号
AE36	PCIE0_TXM	O	-	0.7	PCIE0 通道 0 发送的差分信号
AE37	PCIE0_TXP	O	-	0.7	PCIE0 通道 0 发送的差分信号
AD30、AD31	PCIE0_VP10	P	-	1.0	PCIE0 1.0V 电源
AB30、AB31	PCIE0_VPH25	P	-	2.5	PCIE0 2.5V 电源

PCIE1 管脚

PCIE1 管脚如表 2-20 所示。



表2-20 PCIE1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AD33	PCIE1_REFCLKM	I/O	-	0.7	PCIE1 差分时钟接口
AD34	PCIE1_REFCLKP	I/O	-	0.7	PCIE1 差分时钟接口
AC30	PCIE1_REXT	I	-	-	PCIE1 外接电阻到地，阻值是 $191\pm 1\%\Omega$
AF33	PCIE1_RXM	I	-	0.7	PCIE1 通道 0 接收的差分信号
AF34	PCIE1_RXP	I	-	0.7	PCIE1 通道 0 接收的差分信号
AF37	PCIE1_TXM	O	-	0.7	PCIE1 通道 0 发送的差分信号
AF36	PCIE1_TXP	O	-	0.7	PCIE1 通道 0 发送的差分信号
AF30、 AF31	PCIE1_VP10	P	-	1.0	PCIE1 1.0V 电源
AE30、 AE31	PCIE1_VPH25	P	-	2.5	PCIE1 2.5V 电源

2.1.3.13 GMAC

DVDD2533 管脚

DVDD2533 管脚如表 2-21 所示。

表2-21 DVDD2533 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G10、G12、 G13、H10、 H12、H13	DVDD2533	P	-	2.5/3.3	网口 IO 电压

MDIO 管脚

MDIO 管脚如表 2-22 所示。



表2-22 MDIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E11	MDCK	I/O	可配置	3.3/2.5	功能 0: MDCK MDIO 接口时钟输出 功能 1: BOOTROM_SEL 0: 根据 BOOT_SEL0、 BOOT_SEL1 的设置来选择启动 方式; 1: 从 BOOTROM 启动
D11	MDIO	I/O	可配置	3.3/2.5	MDIO 接口的输入/输出信号

GMAC0 管脚

GMAC0 管脚如表 2-23 所示。

表2-23 GMAC0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D5	RGMII0_COL	I/O	可配置	2.5/3.3	功能 0: GPIO13_4 通用输入输出 功能 1: RGMII0_COL RGMII0 碰撞指示信号 功能 2: RGMII0_TXER MII0 发送错误。
E7	RGMII0_CRS	I/O	可配置	2.5/3.3	功能 0: GPIO13_3 通用输入输出 功能 1: RGMII0_CRS RGMII0 载波侦听信号 功能 2: RGMII0_RXER MII0 接收错误。
B2	RGMII0_RXCK	I		2.5/3.3	RGMII0 接口接收时钟，双沿有效，或 MII0 接收时钟
F4	RGMII0_RXD0	I		2.5/3.3	RGMII0 接口接收的数据，或 MII0 接收数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D1	RGMII0_RXD1	I	-	2.5/3.3	RGMII0 接口接收的数据，或 MII0 接收数据
D2	RGMII0_RXD2	I	-	2.5/3.3	RGMII0 接口接收的数据，或 MII0 接收数据
C1	RGMII0_RXD3	I	-	2.5/3.3	RGMII0 接口接收的数据，或 MII0 接收数据
F5	RGMII0_RXDV	I	-	2.5/3.3	RGMII0 接口接收使能，或 MII0 接收使能
A4	RGMII0_TXCK	I/O	可配置	2.5/3.3	功能 0: RGMII0_TXCK MII0 发送时钟 功能 1: GPIO13_2 通用输入输出
B4	RGMII0_TXCK OUT	O	可配置	2.5/3.3	RGMII0 千兆发送时钟，双沿有效
A3	RGMII0_TXD0	O	可配置	2.5/3.3	RGMII0 接口发送数据，或 MII0 发送数据
D4	RGMII0_TXD1	O	可配置	2.5/3.3	RGMII0 接口发送数据，或 MII0 发送数据
B3	RGMII0_TXD2	O	可配置	2.5/3.3	RGMII0 接口发送数据，或 MII0 发送数据
C2	RGMII0_TXD3	O	可配置	2.5/3.3	RGMII0 接口发送数据，或 MII0 发送数据
E6	RGMII0_TXEN	O	可配置	2.5/3.3	RGMII0 接口发送数据使能，或 MII0 接口发送数据使能

GMAC1 管脚

GMAC1 管脚如表 2-24 所示。



表2-24 GMAC1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E10	RGMI1_COL	I/O	可配置	2.5/3.3	功能 0: GPIO15_3 通用输入输出 功能 1: RGMI1_COL RGMI1 碰撞指示信号
D9	RGMI1_CRS	I/O	可配置	2.5/3.3	功能 0: GPIO15_2 通用输入输出 功能 1: RGMI1_CRS RGMI1 载波侦听信号
A7	RGMI1_RXCK	I/O	可配置	2.5/3.3	功能 0: GPIO14_2 通用输入输出 功能 1: RGMI1_RXCK RGMI1 接口接收时钟, 双沿有效, 或 MII1 接收时钟
A6	RGMI1_RXD0	I/O	可配置	2.5/3.3	功能 0: GPIO14_1 通用输入输出 功能 1: RGMI1_RXD0 RGMI1 接口接收的数据, 或 MII1 接收数据
D8	RGMI1_RXD1	I/O	可配置	2.5/3.3	功能 0: GPIO14_0 通用输入输出 功能 1: RGMI1_RXD1 RGMI1 接口接收的数据, 或 MII1 接收数据
B6	RGMI1_RXD2	I/O	可配置	2.5/3.3	功能 0: GPIO13_7 通用输入输出 功能 1: RGMI1_RXD2 RGMI1 接口接收的数据, 或 MII1 接收数据
D7	RGMI1_RXD3	I/O	可配置	2.5/3.3	功能 0: GPIO13_6 通用输入输出 功能 1: RGMI1_RXD3 RGMI1 接口接收的数据, 或 MII1 接收数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D6	RGMI1_RXDV	I/O	可配置	2.5/3.3	功能 0: GPIO13_5 通用输入输出 功能 1: RGMI1_RXDV RGMI1 接口接收使能, 或 MI1 接收使能
A9	RGMI1_TXCK	I/O	可配置	2.5/3.3	功能 0: GPIO15_0 通用输入输出 功能 1: RGMI1_TXCK MI1 发送时钟
E9	RGMI1_TXCK OUT	I/O	可配置	2.5/3.3	功能 0: GPIO15_1 通用输入输出 功能 1: RGMI1_TXCKOUT RGMI1 千兆发送时钟, 双沿有效
B9	RGMI1_TXD0	I/O	可配置	2.5/3.3	功能 0: PLL_TEST_OUT0; PLL 测试时钟输出 功能 1: RGMI1_TXD0; RGMI1 接口发送数据, 或 MI1 发送数据 功能 2: PLL_TEST_OUT1; PLL 测试时钟输出 功能 3: PLL_TEST_OUT2; PLL 测试时钟输出 功能 4: PLL_TEST_OUT3; PLL 测试时钟输出 功能 5: 保留; 功能 6: PLL_TEST_OUT4; PLL 测试时钟输出
B7	RGMI1_TXD1	I/O	可配置	2.5/3.3	功能 0: GPIO14_6 通用输入输出 功能 1: RGMI1_TXD1 RGMI1 接口发送数据, 或 MI1 发送数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A8	RGMI1_TXD2	I/O	可配置	2.5/3.3	功能 0: GPIO14_5 通用输入输出 功能 1: RGMI1_TXD2 RGMI1 接口发送数据, 或 MII1 发送数据
B8	RGMI1_TXD3	I/O	可配置	2.5/3.3	功能 0: GPIO14_4 通用输入输出 功能 1: RGMI1_TXD3 RGMI1 接口发送数据, 或 MII1 发送数据
E8	RGMI1_TXEN	I/O	可配置	2.5/3.3	功能 0: GPIO14_3 通用输入输出 功能 1: RGMI1_TXEN RGMI1 接口发送数据使能, 或 MII1 接口发送数据使能

2.1.3.14 SYS 管脚

SYS 管脚如表 2-25 所示。

表2-25 SYS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AN31	RSTN	I _{SPU}	-	3.3	系统上电复位信号输入, 低电平有效
AN30	TEST_MODE	I _{SPD}	-	3.3	功能模式和测试模式选择: 0: 功能模式 (正常使用必须为 0) 1: 测试模式
AP31	WDG_RSTN	O	4	3.3	看门狗复位输出, 低电平有效, OD 输出

2.1.3.15 SATA 管脚

SATA 管脚如表 2-26 所示。



表2-26 SATA 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AR37	SATA_REFCLKM	I	-	-	差分时钟输入
AR36	SATA_REFCLKP	I	-	-	差分时钟输入
AJ31	SATA_REXT	I	-	-	外接电阻, 阻值是 $191\pm 1\%\Omega$
AK36	SATA_RX0M	I	-	-	通道 0 接收的差分信号
AK37	SATA_RX0P	I	-	-	通道 0 接收的差分信号
AL37	SATA_RX1M	I	-	-	通道 1 接收的差分信号
AL36	SATA_RX1P	I	-	-	通道 1 接收的差分信号
AH36	SATA_TX0M	O	-	-	通道 0 发送的差分信号
AH37	SATA_TX0P	O	-	-	通道 0 发送的差分信号
AN36	SATA_TX1M	O	-	-	通道 1 发送的差分信号
AN37	SATA_TX1P	O	-	-	通道 1 发送的差分信号
AJ30、AK30、AK31	SATA_VP10	P	-	1.0	SATA 1.0V 电源
AH30、AH31	SATA_VP25	P	-	2.5	SATA 2.5V 电源

2.1.3.16 SFC 管脚

SFC 管脚如表 2-27 所示。

表2-27 SFC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AP30	SFC_CLK	O	12	3.3	送给 SPI Flash 的时钟信号, 时钟停靠的高低电平可选
AU33	SFC_CS0N	O	4	3.3	片选 0 信号, 低有效



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AN28	SFC_CS1N	O	4	3.3	片选 1 信号，低有效，用来挂接启动的 SPI Flash。
AT34	SFC_DIO	I _{PD} /O	8	3.3	功能 0: SFC_DIO 在 Standard SPI 模式，为数据的输出信号； 在 Dual SPI 模式下，为数据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。 功能 1: GPIO16_7 通用输入输出
AU34	SFC_DOI	I _{PD} /O	8	3.3	功能 0: SFC_DOI 在 Standard SPI 模式，为数据的输入信号； 在 Dual SPI 模式下，为数据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。 功能 1: GPIO17_1 通用输入输出
AT32	SFC_HOLD_IO3	I _{PD} /O	8	3.3	功能 0: SFC_HOLD_IO3 在 Standard SPI 模式，作为 hold 功能，低有效； 在 Dual SPI 模式下，作为 hold 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。 功能 1: GPIO17_2 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT33	SFC_WP_IO2	I _{PD} /O	8	3.3	功能 0: SFC_WP_IO2 在 Standard SPI 模式, 作为 write protect 功能, 低有效; 在 Dual SPI 模式下, 作为 write protect 功能, 低有效; 在 Quad SPI 模式下, 为数据的输入输出信号。 功能 1: GPIO17_0 通用输入输出

2.1.3.17 SIO

SIO0 管脚

SIO0 管脚如表 2-28 所示。

表2-28 SIO0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B11	SIO0_DIN	I _{PU} /O	4	3.3	功能 0: GPIO10_0 通用输入输出 功能 1: SIO0_DIN I ² S 或 PCM 接口数据输入。
D12	SIO0_RCLK	I _{PD} /O	8	3.3	功能 0: GPIO9_6 通用输入输出 功能 1: SIO0_RCLK I ² S 或 PCM 接收位流时钟
E12	SIO0_RFS	I _{PD} /O	8	3.3	功能 0: GPIO9_7 通用输入输出 功能 1: SIO0_RFS I ² S 接收左右声道选择信号 (与 ADC 接口), 或 PCM 帧同步信号



SIO1 管脚

SIO1 管脚如表 2-29 所示。

表2-29 SIO1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E14	SIO1_DIN	I _{PU} /O	4	3.3	功能 0: GPIO10_3 通用输入输出 功能 1: SIO1_DIN I ² S 或 PCM 接口数据输入。
A11	SIO1_RCLK	I _{PD} /O	8	3.3	功能 0: GPIO10_1 通用输入输出 功能 1: SIO1_RCLK I ² S 或 PCM 接收位流时钟
B12	SIO1_RFS	I _{PD} /O	8	3.3	功能 0: GPIO10_2 通用输入输出 功能 1: SIO1_RFS I ² S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号

SIO2 管脚

SIO2 管脚如表 2-30 所示。

表2-30 SIO2

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A13	SIO2_DIN	I _{PU} /O	4	3.3	功能 0: GPIO10_6 通用输入输出 功能 1: SIO2_DIN I ² S 或 PCM 接口数据输入。
A12	SIO2_RCLK	I _{PD} /O	8	3.3	功能 0: GPIO10_4 通用输入输出 功能 1: SIO2_RCLK I ² S 或 PCM 接收位流时钟



B13	SIO2_RFS	I _{PD} /O	8	3.3	功能 0: GPIO10_5 通用输入输出 功能 1: SIO2_RFS I ² S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号
-----	----------	--------------------	---	-----	---

SIO3 管脚

SIO3 管脚如表 2-31 所示。

表2-31 SIO3 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D15	SIO3_DIN	I _{PU} /O	4	3.3	功能 0: GPIO11_1 通用输入输出 功能 1: SIO3_DIN I ² S 或 PCM 接口数据输入。
D14	SIO3_RCLK	I _{PD} /O	8	3.3	功能 0: GPIO10_7 通用输入输出 功能 1: SIO3_RCLK I ² S 或 PCM 接收位流时钟
E15	SIO3_RFS	I _{PD} /O	8	3.3	功能 0: GPIO11_0 通用输入输出 功能 1: SIO3_RFS I ² S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号

SIO4 管脚

SIO4 管脚如表 2-32 所示。

表2-32 SIO4 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E22	SIO4_DIN	I _{PU} /O	4	3.3	功能 0: GPIO11_7



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					通用输入输出 功能 1: SIO4_DIN I ² S 或 PCM 接口数据输入。
D22	SIO4_DOUT	I _{PU} /O	4	3.3	功能 0: GPIO11_6 通用输入输出 功能 1: SIO4_DOUT I ² S 或 PCM 接口数据输出。
B21	SIO4_RCLK	I _{PD} /O	8	3.3	功能 0: GPIO11_4 通用输入输出 功能 1: SIO4_RCLK I ² S 或 PCM 接收位流时钟
D21	SIO4_RFS	I _{PD} /O	8	3.3	功能 0: GPIO11_5 通用输入输出 功能 1: SIO4_RFS I ² S 接收左右声道选择信号（与 ADC 接口），或 PCM 帧同步信号
A21	SIO4_XCLK	I _{PD} /O	8	-	功能 0: GPIO11_2 通用输入输出 功能 1: SIO4_XCLK I ² S 或 PCM 发送位流时钟
E21	SIO4_XFS	I _{PD} /O	8	3.3	功能 0: GPIO11_3 通用输入输出 功能 1: SIO4_XFS I ² S 发送左右声道选择信号（与 DAC 接口），或 PCM 帧同步信号

2.1.3.18 SPI 管脚

SPI 管脚如表 2-33 所示。



表2-33 SPI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
W37	SPI_CSN0	I _{PU} /O	4	3.3	功能 0: GPIO12_3 通用输入输出 功能 1: SPI_CSN0 SPI 的片选 0 输出
V37	SPI_CSN1	I _{SPU} /O	4	3.3	功能 0: SPI_CSN1 SPI 的片选 1 输出 功能 1: NF_ADNUM 发给 NANDFlash 器件的地址数目, 只在上电的瞬间有效: NF_ADNUM+4, 默认是 5 个地址
W36	SPI_CSN2	I _{SPU} /O	4	3.3	功能 0: SPI_CSN2 SPI 的片选 0 输出 功能 1: NF_PAGE0 boot 时, NandFlash 器件的 page 容量。(由 NF_PAGE1; NF_PAGE0) 00: 512byte; 01: 2KB; 10: 4KB; 11: 8KB。
Y34	SPI_CSN3	I _{SPD} /O	4	3.3	功能 0: SPI_CSN3 SPI 的片选 1 输出 功能 1: NF_PAGE1
Y33	SPI_CSN4	I _{SPD} /O	4	3.3	功能 0: SPI_CSN4 SPI 的片选 0 输出 功能 1: NF_BLKSIZE boot 时, NandFlash 器件的 block 容量。 0: 64 page, 对应 SLC 器件; 1: 128 page, 对应 MLC 器件。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA34	SPI_CSN5	I _{SPU} /O	4	3.3	功能 0: SPI_CSN5 SPI 的片选 1 输出 功能 1: NF_ECC_TYPE0 boot 时, 选择 ECC 模式。由 NF_ECC_TYPE2/1/0 决定 000: 无 ECC 001: 1bit 模式 010: 4bit 模式 011: 保留 100: 24bits 模式 for1KB 101: 24bits 模式 for512B 110~111: 保留
AA33	SPI_CSN6	I _{SPD} /O	4	3.3	功能 0: SPI_CSN6 SPI 的片选 0 输出 功能 1: NF_ECC_TYPE1 boot 时, 选择 ECC 模式
AB34	SPI_CSN7	I _{SPD} /O	4	3.3	功能 0: SPI_CSN7 SPI 的片选 1 输出 功能 1: NF_ECC_TYPE2 boot 时, 选择 ECC 模式 功能 2: CLK_TEST_OUT0 主测试时钟输出 功能 3: CLK_TEST_OUT1 主测试时钟输出 功能 4: CLK_TEST_OUT2 主测试时钟输出 功能 5: CLK_TEST_OUT3 主测试时钟输出
W34	SPI_SCLK	I _{PD} /O	12	3.3	功能 0: GPIO12_0 通用输入输出 功能 1: SPI_SCLK SPI 时钟信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
V33	SPI_SDI	I _{PD} /O	8	3.3	功能 0: GPIO12_2 通用输入输出 功能 1: SPI_SDI SPI 数据输入
W33	SPI_SDO	I _{PD} /O	12	3.3	功能 0: GPIO12_1 通用输入输出 功能 1: SPI_SDO SPI 数据输出

2.1.3.19 UART

UART0 管脚

UART0 默认为主调试串口，UART0 管脚如表 2-34 所示。

表2-34 UART0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AH34	UART0_RXD	I _{PU}	-	3.3	UART0 数据接收
AH33	UART0_TXD	O	4	3.3	UART0 数据发送

UART1 管脚

UART1 管脚如表 2-35 所示。

表2-35 UART1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AK33	UART1_CTSN	I _{PU} /O	4	3.3	功能 0: GPIO13_1 通用输入输出 功能 1: UART1_CTSN Modem 状态输入: Clear To Send.低有效。



AJ34	UART1_RTSN	I _{PU} /O	4	3.3	功能 0: GPIO12_6 通用输入输出 功能 1: UART1_RTSN Modem 状态输出: request to send, 低有效。复位值为 0
AJ33	UART1_RXD	I _{PU} /O	4	3.3	功能 0: GPIO12_7 通用输入输出 功能 1: UART1_RXD UART1 数据接收
AK34	UART1_TXD	I _{PU} /O	4	3.3	功能 0: GPIO13_0 通用输入输出 功能 1: UART1_TXD UART1 数据发送

2.1.3.20 EFUSE 管脚

EFUSE 管脚如表 2-36 所示。

表2-36 EFUSE 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB33	VDD25_EFUSE	P	-	2.5	EFUSE 2.5V 电源

2.1.3.21 VGA 管脚

VGA 管脚如表 2-37 所示。

表2-37 VGA 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A20	VGA_HS	I _{PU} /O	4	3.3	功能 0: GPIO7_1 通用输入输出 功能 1: VGA_HS VGA 行同步输出



B20	VGA_VS	I _{PU} /O	4	3.3	功能 0: GPIO7_2 通用输入输出 功能 1: VGA_VS VGA 场同步输出
-----	--------	--------------------	---	-----	--

2.1.3.22 VIU

VIU0 管脚

VIU0 管脚如表 2-38 所示。

表2-38 VIU0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
F36	VIU0_CLK	I _{PD} /O	8	3.3	功能 0: VIU0_CLK VIU0 的时钟信号。 功能 1: GPIO0_0 通用输入输出 功能 2: VOU0_CLK BT.656 接口的时钟信号输出
B34	VIU0_DAT0	I _{PU} /O	4	3.3	功能 0: VIU0_DAT0 VIU0 的数据输入 功能 1: GPIO2_2 通用输入输出 功能 2: VOU1_DATA0 BT.656 接口的数据信号输出
A35	VIU0_DAT1	I _{PU} /O	4	3.3	功能 0: VIU0_DAT1 VIU0 的数据输入 功能 1: GPIO2_1 通用输入输出 功能 2: VOU1_DATA1 BT.656 接口的数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D33	VIU0_DAT2	I _{PU} /O	4	3.3	功能 0: VIU0_DAT2 VIU0 的数据输入 功能 1: GPIO2_0 通用输入输出 功能 2: VOU1_DATA2 BT.656 接口的数据信号输出
B35	VIU0_DAT3	I _{PU} /O	4	3.3	功能 0: VIU0_DAT3 VIU0 的数据输入 功能 1: GPIO1_7 通用输入输出 功能 2: VOU1_DATA3 BT.656 接口的数据信号输出
E34	VIU0_DAT4	I _{PU} /O	4	3.3	功能 0: VIU0_DAT4 VIU0 的数据输入 功能 1: GPIO1_6 通用输入输出 功能 2: VOU1_DATA4 BT.656 接口的数据信号输出
D34	VIU0_DAT5	I _{PU} /O	4	3.3	功能 0: VIU0_DAT5 VIU0 的数据输入 功能 1: GPIO1_5 通用输入输出 功能 2: VOU1_DATA5 BT.656 接口的数据信号输出
C37	VIU0_DAT6	I _{PU} /O	4	3.3	功能 0: VIU0_DAT6 VIU0 的数据输入 功能 1: GPIO1_4 通用输入输出 功能 2: VOU1_DATA6 BT.656 接口的数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C36	VIU0_DAT7	I _{PU} /O	4	3.3	功能 0: VIU0_DAT7 VIU0 的数据输入 功能 1: GPIO1_3 通用输入输出 功能 2: VOU1_DATA7 BT.656 接口的数据信号输出
F33	VIU0_DAT8	I _{PU} /O	4	3.3	功能 0: VIU0_DAT8 VIU0 的数据输入 功能 1: GPIO1_2 通用输入输出 功能 2: VOU0_DATA0 BT.656 接口的数据信号输出
E33	VIU0_DAT9	I _{PU} /O	4	3.3	功能 0: VIU0_DAT9 VIU0 的数据输入 功能 1: GPIO1_1 通用输入输出 功能 2: VOU0_DATA1 BT.656 接口的数据信号输出
G33	VIU0_DAT10	I _{PU} /O	4	3.3	功能 0: VIU0_DAT10 VIU0 的数据输入 功能 1: GPIO1_0 通用输入输出 功能 2: VOU0_DATA2 BT.656 接口的数据信号输出
F34	VIU0_DAT11	I _{PU} /O	4	3.3	功能 0: VIU0_DAT11 VIU0 的数据输入 功能 1: GPIO0_7 通用输入输出 功能 2: VOU0_DATA3 BT.656 接口的数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H34	VIU0_DAT12	I _{PU} /O	4	3.3	功能 0: VIU0_DAT12 VIU0 的数据输入 功能 1: GPIO0_6 通用输入输出 功能 2: VOU0_DATA4 BT.656 接口的数据信号输出
G34	VIU0_DAT13	I _{PU} /O	4	3.3	功能 0: VIU0_DAT13 VIU0 的数据输入 功能 1: GPIO0_5 通用输入输出 功能 2: VOU0_DATA5 BT.656 接口的数据信号输出
D36	VIU0_DAT14	I _{PU} /O	4	3.3	功能 0: VIU0_DAT14 VIU0 的数据输入 功能 1: GPIO0_4 通用输入输出 功能 2: VOU0_DATA6 BT.656 接口的数据信号输出
D37	VIU0_DAT15	I _{PU} /O	4	3.3	功能 0: VIU0_DAT15 VIU0 的数据输入 功能 1: GPIO0_3 通用输入输出 功能 2: VOU0_DATA7 BT.656 接口的数据信号输出
D32	VIU0_HS	I _{PD} /O	8	3.3	功能 0: VIU0_HS VIU0 的行同步信号, 高有效 功能 1: GPIO0_2 通用输入输出 功能 2: VOU1_CLK BT.656 接口的时钟信号输出 功能 3: VIU0_CLKA VIU0 的时钟信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E32	VIU0_VS	I _{PU} /O	4	3.3	功能 0: VIU0_VS VIU0 的场同步信号, 高有效 功能 1: GPIO0_1 通用输入输出 功能 2: UART2_TXD UART2 数据发送

VIU1 管脚

VIU1 管脚如表 2-39 所示。

表2-39 VIU1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
U37	VIU1_CLK	I _{PD} /O	8	3.3	功能 0: VIU1_CLK VIU1 时钟信号 功能 1: GPIO2_3 通用输入输出 功能 2: VOU2_CLK BT.656 接口的时钟信号输出 功能 3: VIU4_CLK VIU4 的时钟信号
M37	VIU1_DAT0	I _{PU} /O	4	3.3	功能 0: VIU1_DAT0 VIU1 的数据输入 功能 1: GPIO4_5 通用输入输出 功能 2: VOU3_DATA0 BT.656 接口的数据信号输出 功能 3: VIU4_DAT0 VIU4 的数据输入



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
N36	VIU1_DAT1	I _{PU} /O	4	3.3	功能 0: VIU1_DAT1 VIU1 的数据输入 功能 1: GPIO4_4 通用输入输出 功能 2: VOU3_DATA1 BT.656 接口的数据信号输出 功能 3: VIU4_DAT1 VIU4 的数据输入
N37	VIU1_DAT2	I _{PU} /O	4	3.3	功能 0: VIU1_DAT2 VIU1 的数据输入 功能 1: GPIO4_3 通用输入输出 功能 2: VOU3_DATA2 BT.656 接口的数据信号输出 功能 3: VIU4_DAT2 VIU4 的数据输入
P33	VIU1_DAT3	I _{PU} /O	4	3.3	功能 0: VIU1_DAT3 VIU1 的数据输入 功能 1: GPIO4_2 通用输入输出 功能 2: VOU3_DATA3 BT.656 接口的数据信号输出 功能 3: VIU4_DAT3 VIU4 的数据输入
P34	VIU1_DAT4	I _{PU} /O	4	3.3	功能 0: VIU1_DAT4 VIU1 的数据输入 功能 1: GPIO4_1 通用输入输出 功能 2: VOU3_DATA4 BT.656 接口的数据信号输出 功能 3: VIU4_DAT4 VIU4 的数据输入



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
R34	VIU1_DAT5	I _{PU} /O	4	3.3	功能 0: VIU1_DAT5 VIU1 的数据输入 功能 1: GPIO4_0 通用输入输出 功能 2: VOU3_DATA5 BT.656 接口的数据信号输出 功能 3: VIU4_DAT5 VIU4 的数据输入
R33	VIU1_DAT6	I _{PU} /O	4	3.3	功能 0: VIU1_DAT6 VIU1 的数据输入 功能 1: GPIO3_7 通用输入输出 功能 2: VOU3_DATA6 BT.656 接口的数据信号输出 功能 3: VIU4_DAT6 VIU4 的数据输入
P36	VIU1_DAT7	I _{PU} /O	4	3.3	功能 0: VIU1_DAT7 VIU1 的数据输入 功能 1: GPIO3_6 通用输入输出 功能 2: VOU3_DATA7 BT.656 接口的数据信号输出 功能 3: VIU4_DAT7 VIU4 的数据输入
P37	VIU1_DAT8	I _{PU} /O	4	3.3	功能 0: VIU1_DAT8 VIU1 的数据输入 功能 1: GPIO3_5 通用输入输出 功能 2: VOU2_DATA0 BT.656 接口的数据信号输出 功能 3: VIU4_DAT8 VIU4 的数据输入



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T34	VIU1_DAT9	I _{PU} /O	4	3.3	功能 0: VIU1_DAT9 VIU1 的数据输入 功能 1: GPIO3_4 通用输入输出 功能 2: VOU2_DATA1 BT.656 接口的数据信号输出 功能 3: VIU4_DAT9 VIU4 的数据输入
T33	VIU1_DAT10	I _{PU} /O	4	3.3	功能 0: VIU1_DAT10 VIU1 的数据输入 功能 1: GPIO3_3 通用输入输出 功能 2: VOU2_DATA2 BT.656 接口的数据信号输出 功能 3: VIU4_DAT10 VIU4 的数据输入
R36	VIU1_DAT11	I _{PU} /O	4	3.3	功能 0: VIU1_DAT11 VIU1 的数据输入 功能 1: GPIO3_2 通用输入输出 功能 2: VOU2_DATA3 BT.656 接口的数据信号输出 功能 3: VIU4_DAT11 VIU4 的数据输入
R37	VIU1_DAT12	I _{PU} /O	4	3.3	功能 0: VIU1_DAT12 VIU1 的数据输入 功能 1: GPIO3_1 通用输入输出 功能 2: VOU2_DATA4 BT.656 接口的数据信号输出 功能 3: VIU4_DAT12 VIU4 的数据输入



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
U33	VIU1_DAT13	I _{PU} /O	4	3.3	功能 0: VIU1_DAT13 VIU1 的数据输入 功能 1: GPIO3_0 通用输入输出 功能 2: VOU2_DATA5 BT.656 接口的数据信号输出 功能 3: VIU4_DAT13 VIU4 的数据输入
U34	VIU1_DAT14	I _{PU} /O	4	3.3	功能 0: VIU1_DAT14 VIU1 的数据输入 功能 1: GPIO2_7 通用输入输出 功能 2: VOU2_DATA6 BT.656 接口的数据信号输出 功能 3: VIU4_DAT14 VIU4 的数据输入
U36	VIU1_DAT15	I _{PU} /O	4	3.3	功能 0: VIU1_DAT15 VIU1 的数据输入 功能 1: GPIO2_6 通用输入输出 功能 2: VOU2_DATA7 BT.656 接口的数据信号输出 功能 3: VIU4_DAT15 VIU4 的数据输入
N33	VIU1_HS	I _{PD} /O	8	3.3	功能 0: VIU1_HS VIU1 的行同步, 高有效 功能 1: GPIO2_5 通用输入输出 功能 2: VOU3_CLK BT.656 接口的时钟信号输出 功能 3: VIU1_CLKA VIU1 时钟信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
N34	VIU1_VS	I _{PU} /O	4	3.3	功能 0: VIU1_VS VIU1 的场同步信号, 高有效 功能 1: GPIO2_4 通用输入输出 功能 3: UART2_RXD UART0 数据接收

VIU2 管脚

VIU2 管脚如表 2-40 所示。

表2-40 VIU2 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
M36	VIU2_CLK	I _{PD} /O	8	3.3	功能 0: VIU2_CLK VIU2 的时钟信号。 功能 1: GPIO4_6 通用输入输出 功能 2: VOU4_CLK BT.656 接口的时钟信号输出
F37	VIU2_DAT0	I _{PU} /O	4	3.3	功能 0: VIU2_DAT0 VIU2 的数据输入 功能 1: GPIO7_0 通用输入输出 功能 2: VOU5_DATA0 BT.656 接口的数据信号输出
G36	VIU2_DAT1	I _{PU} /O	4	3.3	功能 0: VIU2_DAT1 VIU2 的数据输入 功能 1: GPIO6_7 通用输入输出 功能 2: VOU5_DATA1 BT.656 接口的数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H33	VIU2_DAT2	I _{PU} /O	4	3.3	功能 0: VIU2_DAT2 VIU2 的数据输入 功能 1: GPIO6_6 通用输入输出 功能 2: VOU5_DATA2 BT.656 接口的数据信号输出
G37	VIU2_DAT3	I _{PU} /O	4	3.3	功能 0: VIU2_DAT3 VIU2 的数据输入 功能 1: GPIO6_5 通用输入输出 功能 2: VOU5_DATA3 BT.656 接口的数据信号输出
H36	VIU2_DAT4	I _{PU} /O	4	3.3	功能 0: VIU2_DAT4 VIU2 的数据输入 功能 1: GPIO6_4 通用输入输出 功能 2: VOU5_DATA4 BT.656 接口的数据信号输出
H37	VIU2_DAT5	I _{PU} /O	4	3.3	功能 0: VIU2_DAT5 VIU2 的数据输入 功能 1: GPIO6_3 通用输入输出 功能 2: VOU5_DATA5 BT.656 接口的数据信号输出
K34	VIU2_DAT6	I _{PU} /O	4	3.3	功能 0: VIU2_DAT6 VIU2 的数据输入 功能 1: GPIO6_2 通用输入输出 功能 2: VOU5_DATA6 BT.656 接口的数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K33	VIU2_DAT7	I _{PU} /O	4	3.3	功能 0: VIU2_DAT7 VIU2 的数据输入 功能 1: GPIO6_1 通用输入输出 功能 2: VOU5_DATA7 BT.656 接口的数据信号输出
J36	VIU2_DAT8	I _{PU} /O	4	3.3	功能 0: VIU2_DAT8 VIU2 的数据输入 功能 1: GPIO6_0 通用输入输出 功能 2: VOU4_DATA0 BT.656 接口的数据信号输出
J37	VIU2_DAT9	I _{PU} /O	4	3.3	功能 0: VIU2_DAT9 VIU2 的数据输入 功能 1: GPIO5_7 通用输入输出 功能 2: VOU4_DATA1 BT.656 接口的数据信号输出
L34	VIU2_DAT10	I _{PU} /O	4	3.3	功能 0: VIU2_DAT10 VIU2 的数据输入 功能 1: GPIO5_6 通用输入输出 功能 2: VOU4_DATA2 BT.656 接口的数据信号输出
L33	VIU2_DAT11	I _{PU} /O	4	3.3	功能 0: VIU2_DAT11 VIU2 的数据输入 功能 1: GPIO5_5 通用输入输出 功能 2: VOU4_DATA3 BT.656 接口的数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K36	VIU2_DAT12	I _{PU} /O	4	3.3	功能 0: VIU2_DAT12 VIU2 的数据输入 功能 1: GPIO5_4 通用输入输出 功能 2: VOU4_DATA4 BT.656 接口的数据信号输出
K37	VIU2_DAT13	I _{PU} /O	4	3.3	功能 0: VIU2_DAT13 VIU2 的数据输入 功能 1: GPIO5_3 通用输入输出 功能 2: VOU4_DATA5 BT.656 接口的数据信号输出
M34	VIU2_DAT14	I _{PU} /O	4	3.3	功能 0: VIU2_DAT14 VIU2 的数据输入 功能 1: GPIO5_2 通用输入输出 功能 2: VOU4_DATA6 BT.656 接口的数据信号输出
M33	VIU2_DAT15	I _{PU} /O	4	3.3	功能 0: VIU2_DAT15 VIU2 的数据输入 功能 1: GPIO5_1 通用输入输出 功能 2: VOU4_DATA7 BT.656 接口的数据信号输出
J34	VIU2_HS	I _{PD} /O	8	3.3	功能 0: VIU2_HS VIU2 的行同步信号, 高有效 功能 1: GPIO5_0 通用输入输出 功能 2: VOU5_CLK BT.656 接口的时钟信号输出 功能 3: VIU2_CLKA VIU2 的时钟信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
J33	VIU2_VS	I _{PU} /O	4	3.3	功能 0: VIU2_VS VIU2 的场同步信号, 高有效 功能 1: GPIO4_7 通用输入输出 功能 2: UART3_TXD UART3 数据发送

2.1.3.23 VOU 管脚

VOU 管脚如表 2-41 所示。

表2-41 VOU 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A34	VOU1120_CLK	I/O	可配置	3.3	功能 0: VIU3_CLK VIU3 的时钟信号 功能 1: GPIO7_3 通用输入输出 功能 2: VOU6_CLK BT.656 接口的时钟信号输出 功能 3: VOU1120_CLK BT.1120 接口时钟输出 功能 4: SDIO_CCLK_OUT 输出给卡使用的工作时钟
A29	VOU1120_DATA0	I _{PD} /O	8	3.3	功能 0: VIU3_DATA0 VIU3 的数据输入 功能 1: GPIO9_5 通用输入输出 功能 2: VOU7_DATA0 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA0 BT.1120 接口的数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B29	VOU1120_DATA1	I _{PD} /O	8	3.3	功能 0: VIU3_DAT1 VIU3 的数据输入 功能 1: GPIO9_4 通用输入输出 功能 2: VOU7_DATA1 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA1 BT.1120 接口的数据信号输出
D28	VOU1120_DATA2	I _{PD} /O	8	3.3	功能 0: VIU3_DAT2 VIU3 的数据输入 功能 1: GPIO9_3 通用输入输出 功能 2: VOU7_DATA2 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA2 BT.1120 接口的数据信号输出
E28	VOU1120_DATA3	I _{PD} /O	8	3.3	功能 0: VIU3_DAT3 VIU3 的数据输入 功能 1: GPIO9_2 通用输入输出 功能 2: VOU7_DATA3 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA3 BT.1120 接口的数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A30	VOU1120_DATA4	I _{PD} /O	8	3.3	功能 0: VIU3_DAT4 VIU3 的数据输入 功能 1: GPIO9_1 通用输入输出 功能 2: VOU7_DATA4 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA4 BT.1120 接口的数据信号输出
B30	VOU1120_DATA5	I _{PD} /O	8	3.3	功能 0: VIU3_DAT5 VIU3 的数据输入 功能 1: GPIO9_0 通用输入输出 功能 2: VOU7_DATA5 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA5 BT.1120 接口的数据信号输出
E29	VOU1120_DATA6	I _{PD} /O	8	3.3	功能 0: VIU3_DAT6 VIU3 的数据输入 功能 1: GPIO8_7 通用输入输出 功能 2: VOU7_DATA6 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA6 BT.1120 接口的数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D29	VOU1120_DATA7	I _{PD} /O	8	3.3	功能 0: VIU3_DAT7 VIU3 的数据输入 功能 1: GPIO8_6 通用输入输出 功能 2: VOU7_DATA7 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA7 BT.1120 接口的数据信号输出
A31	VOU1120_DATA8	I _{PD} /O	8	3.3	功能 0: VIU3_DAT8 VIU3 的数据输入 功能 1: GPIO8_5 通用输入输出 功能 2: VOU6_DATA0 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA8 BT.1120 接口的数据信号输出
B31	VOU1120_DATA9	I _{PU} /O	8	3.3	功能 0: VIU3_DAT9 VIU3 的数据输入 功能 1: GPIO8_4 通用输入输出 功能 2: VOU6_DATA1 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA9 BT.1120 接口的数据信号输出 功能 4: SDIO_CDAT3 卡数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D30	VOU1120_DATA10	I _{PU} /O	8	3.3	功能 0: VIU3_DAT10 VIU3 的数据输入 功能 1: GPIO8_3 通用输入输出 功能 2: VOU6_DATA2 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA10 BT.1120 接口的数据信号输出 功能 4: SDIO_CDATA2 卡数据
E30	VOU1120_DATA11	I _{PU} /O	8	3.3	功能 0: VIU3_DAT11 VIU3 的数据输入 功能 1: GPIO8_2 通用输入输出 功能 2: VOU6_DATA3 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA11 BT.1120 接口的数据信号输出 功能 4: SDIO_CDATA1 卡数据
D31	VOU1120_DATA12	I _{PU} /O	8	3.3	功能 0: VIU3_DAT12 VIU3 的数据输入 功能 1: GPIO8_1 通用输入输出 功能 2: VOU6_DATA4 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA12 BT.1120 接口的数据信号输出 功能 4: SDIO_CDATA0 卡数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E31	VOU1120_DATA13	I _{PU} /O	8	3.3	功能 0: VIU3_DAT13 VIU3 的数据输入 功能 1: GPIO8_0 通用输入输出 功能 2: VOU6_DATA5 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA13 BT.1120 接口的数据信号输出 功能 4: SDIO_CCMD 卡命令
A32	VOU1120_DATA14	I _{PD} /O	8	3.3	功能 0: VIU3_DAT14 VIU3 的数据输入 功能 1: GPIO7_7 通用输入输出 功能 2: VOU6_DATA6 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA14 BT.1120 接口的数据信号输出 功能 4: SDIO_CWPR 卡写保护检测



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B32	VOU1120_DATA15	I _{PD} /O	8	3.3	功能 0: VIU3_DAT15 VIU3 的数据输入 功能 1: GPIO7_6 通用输入输出 功能 2: VOU6_DATA7 BT.656 接口的数据信号输出 功能 3: VOU1120_DATA15 BT.1120 接口的数据信号输出 功能 4: SDIO_CARD_DETECT 卡检查信号, 低电平有效
D27	VOU1120_HS	I _{PD} /O	8	3.3	功能 0: VIU3_HS VIU3 的行同步信号, 高有效 功能 1: GPIO7_5 通用输入输出 功能 2: VOU7_CLK BT.656 接口的时钟信号输出 功能 3: VOU1120_HS BT.1120 接口行同步输出 功能 4: VIU3_CLKA VIU3 的时钟信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E27	VOU1120_VS	I _{PU} /O	4	3.3	功能 0: VIU3_VS VIU3 的场同步信号, 高有效 功能 1: GPIO7_4 通用输入输出 功能 2: UART3_RXD UART3 数据接收 功能 3: VOU1120_VS BT.1120 接口场同步输出 功能 4: SDIO_CARD_POWER_EN 电源使能控制信号, 为 1 时 power on

2.1.3.24 OSC 管脚

OSC 管脚如表 2-42 所示。

表2-42 OSC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K1	XIN	I	-	3.3	晶体输入
K2	XOUT	O	-	3.3	晶体输出

2.1.4 复用寄存器概览

复用寄存器概览如表 2-43 所示。

表2-43 复用寄存器概览（基地址是 0x200F_0000）

偏移地址	名称	描述	页码
0x000	muxctrl_reg0	VIU0_CLK 管脚的复用控制寄存器	2-86
0x004	muxctrl_reg1	VIU0_VS 管脚的复用控制寄存器	2-87
0x008	muxctrl_reg2	VIU0_HS 管脚的复用控制寄存器	2-87
0x00C	muxctrl_reg3	VIU0_DAT15 管脚的复用控制寄存器	2-88



偏移地址	名称	描述	页码
0x010	muxctrl_reg4	VIU0_DAT14 管脚的复用控制寄存器	2-88
0x014	muxctrl_reg5	VIU0_DAT13 管脚的复用控制寄存器	2-89
0x018	muxctrl_reg6	VIU0_DAT12 管脚的复用控制寄存器	2-89
0x01C	muxctrl_reg7	VIU0_DAT11 管脚的复用控制寄存器	2-90
0x020	muxctrl_reg8	VIU0_DAT10 管脚的复用控制寄存器	2-90
0x024	muxctrl_reg9	VIU0_DAT9 管脚的复用控制寄存器	2-91
0x028	muxctrl_reg10	VIU0_DAT8 管脚的复用控制寄存器	2-91
0x02C	muxctrl_reg11	VIU0_DAT7 管脚的复用控制寄存器	2-92
0x030	muxctrl_reg12	VIU0_DAT6 管脚的复用控制寄存器	2-92
0x034	muxctrl_reg13	VIU0_DAT5 管脚的复用控制寄存器	2-93
0x038	muxctrl_reg14	VIU0_DAT4 管脚的复用控制寄存器	2-93
0x03C	muxctrl_reg15	VIU0_DAT3 管脚的复用控制寄存器	2-94
0x040	muxctrl_reg16	VIU0_DAT2 管脚的复用控制寄存器	2-95
0x044	muxctrl_reg17	VIU0_DAT1 管脚的复用控制寄存器	2-95
0x048	muxctrl_reg18	VIU0_DAT0 管脚的复用控制寄存器	2-96
0x04C	muxctrl_reg19	VIU1_CLK 管脚的复用控制寄存器	2-96
0x050	muxctrl_reg20	VIU1_VS 管脚的复用控制寄存器	2-97
0x054	muxctrl_reg21	VIU1_HS 管脚的复用控制寄存器	2-97
0x058	muxctrl_reg22	VIU1_DAT15 管脚的复用控制寄存器	2-98
0x05C	muxctrl_reg23	VIU1_DAT14 管脚的复用控制寄存器	2-98
0x060	muxctrl_reg24	VIU1_DAT13 管脚的复用控制寄存器	2-99
0x064	muxctrl_reg25	VIU1_DAT12 管脚的复用控制寄存器	2-99
0x068	muxctrl_reg26	VIU1_DAT11 管脚的复用控制寄存器	2-100
0x06C	muxctrl_reg27	VIU1_DAT10 管脚的复用控制寄存器	2-100
0x070	muxctrl_reg28	VIU1_DAT9 管脚的复用控制寄存器	2-101
0x074	muxctrl_reg29	VIU1_DAT8 管脚的复用控制寄存器	2-101
0x078	muxctrl_reg30	VIU1_DAT7 管脚的复用控制寄存器	2-102
0x07C	muxctrl_reg31	VIU1_DAT6 管脚的复用控制寄存器	2-102
0x080	muxctrl_reg32	VIU1_DAT5 管脚的复用控制寄存器	2-103



偏移地址	名称	描述	页码
0x084	muxctrl_reg33	VIU1_DAT4 管脚的复用控制寄存器	2-103
0x088	muxctrl_reg34	VIU1_DAT3 管脚的复用控制寄存器	2-104
0x08C	muxctrl_reg35	VIU1_DAT2 管脚的复用控制寄存器	2-104
0x090	muxctrl_reg36	VIU1_DAT1 管脚的复用控制寄存器	2-105
0x094	muxctrl_reg37	VIU1_DAT0 管脚的复用控制寄存器	2-105
0x098	muxctrl_reg38	VIU2_CLK 管脚的复用控制寄存器	2-106
0x09C	muxctrl_reg39	VIU2_VS 管脚的复用控制寄存器	2-106
0x0A0	muxctrl_reg40	VIU2_HS 管脚的复用控制寄存器	2-107
0x0A4	muxctrl_reg41	VIU2_DAT15 管脚的复用控制寄存器	2-107
0x0A8	muxctrl_reg42	VIU2_DAT14 管脚的复用控制寄存器	2-108
0x0AC	muxctrl_reg43	VIU2_DAT13 管脚的复用控制寄存器	2-108
0x0B0	muxctrl_reg44	VIU2_DAT12 管脚的复用控制寄存器	2-109
0x0B4	muxctrl_reg45	VIU2_DAT11 管脚的复用控制寄存器	2-109
0x0B8	muxctrl_reg46	VIU2_DAT10 管脚的复用控制寄存器	2-110
0x0BC	muxctrl_reg47	VIU2_DAT9 管脚的复用控制寄存器	2-110
0x0C0	muxctrl_reg48	VIU2_DAT8 管脚的复用控制寄存器	2-111
0x0C4	muxctrl_reg49	VIU2_DAT7 管脚的复用控制寄存器	2-111
0x0C8	muxctrl_reg50	VIU2_DAT6 管脚的复用控制寄存器	2-112
0x0CC	muxctrl_reg51	VIU2_DAT5 管脚的复用控制寄存器	2-112
0x0D0	muxctrl_reg52	VIU2_DAT4 管脚的复用控制寄存器	2-113
0x0D4	muxctrl_reg53	VIU2_DAT3 管脚的复用控制寄存器	2-113
0x0D8	muxctrl_reg54	VIU2_DAT2 管脚的复用控制寄存器	2-114
0x0DC	muxctrl_reg55	VIU2_DAT1 管脚的复用控制寄存器	2-114
0x0E0	muxctrl_reg56	VIU2_DAT0 管脚的复用控制寄存器	2-115
0x0E4	muxctrl_reg57	VGA_HS 管脚的复用控制寄存器	2-115
0x0E8	muxctrl_reg58	VGA_VS 管脚的复用控制寄存器	2-116
0x0EC	muxctrl_reg59	VOU1120_CLK 管脚的复用控制寄存器	2-116
0x0F0	muxctrl_reg60	VOU1120_VS 管脚的复用控制寄存器	2-117
0x0F4	muxctrl_reg61	VOU1120_HS 管脚的复用控制寄存器	2-117



偏移地址	名称	描述	页码
0x0F8	muxctrl_reg62	VOU1120_DATA15 管脚的复用控制寄存器	2-118
0x0FC	muxctrl_reg63	VOU1120_DATA14 管脚的复用控制寄存器	2-118
0x100	muxctrl_reg64	VOU1120_DATA13 管脚的复用控制寄存器	2-119
0x104	muxctrl_reg65	VOU1120_DATA12 管脚的复用控制寄存器	2-120
0x108	muxctrl_reg66	VOU1120_DATA11 管脚的复用控制寄存器	2-120
0x10C	muxctrl_reg67	VOU1120_DATA10 管脚的复用控制寄存器	2-121
0x110	muxctrl_reg68	VOU1120_DATA9 管脚的复用控制寄存器	2-121
0x114	muxctrl_reg69	VOU1120_DATA8 管脚的复用控制寄存器	2-122
0x118	muxctrl_reg70	VOU1120_DATA7 管脚的复用控制寄存器	2-123
0x11C	muxctrl_reg71	VOU1120_DATA6 管脚的复用控制寄存器	2-123
0x120	muxctrl_reg72	VOU1120_DATA5 管脚的复用控制寄存器	2-124
0x124	muxctrl_reg73	VOU1120_DATA4 管脚的复用控制寄存器	2-124
0x128	muxctrl_reg74	VOU1120_DATA3 管脚的复用控制寄存器	2-125
0x12C	muxctrl_reg75	VOU1120_DATA2 管脚的复用控制寄存器	2-125
0x130	muxctrl_reg76	VOU1120_DATA1 管脚的复用控制寄存器	2-126
0x134	muxctrl_reg77	VOU1120_DATA0 管脚的复用控制寄存器	2-126
0x138	muxctrl_reg78	SIO0_RCLK 管脚的复用控制寄存器	2-127
0x13C	muxctrl_reg79	SIO0_RFS 管脚的复用控制寄存器	2-127
0x140	muxctrl_reg80	SIO0_DIN 管脚的复用控制寄存器	2-127



偏移地址	名称	描述	页码
0x144	muxctrl_reg81	SIO1_RCLK 管脚的复用控制寄存器	2-128
0x148	muxctrl_reg82	SIO1_RFS 管脚的复用控制寄存器	2-128
0x14C	muxctrl_reg83	SIO1_DIN 管脚的复用控制寄存器	2-129
0x150	muxctrl_reg84	SIO2_RCLK 管脚的复用控制寄存器	2-129
0x154	muxctrl_reg85	SIO2_RFS 管脚的复用控制寄存器	2-130
0x158	muxctrl_reg86	SIO2_DIN 管脚的复用控制寄存器	2-130
0x15C	muxctrl_reg87	SIO3_RCLK 管脚的复用控制寄存器	2-131
0x160	muxctrl_reg88	SIO3_RFS 管脚的复用控制寄存器	2-131
0x164	muxctrl_reg89	SIO3_DIN 管脚的复用控制寄存器	2-132
0x168	muxctrl_reg90	SIO4_XCLK 管脚的复用控制寄存器	2-132
0x16C	muxctrl_reg91	SIO4_XFS 管脚的复用控制寄存器	2-133
0x170	muxctrl_reg92	SIO4_RCLK 管脚的复用控制寄存器	2-133
0x174	muxctrl_reg93	SIO4_RFS 管脚的复用控制寄存器	2-134
0x178	muxctrl_reg94	SIO4_DOUT 管脚的复用控制寄存器	2-134
0x17C	muxctrl_reg95	SIO4_DIN 管脚的复用控制寄存器	2-135
0x180	muxctrl_reg96	SPI_SCLK 管脚的复用控制寄存器	2-135
0x184	muxctrl_reg97	SPI_SDO 管脚的复用控制寄存器	2-136
0x188	muxctrl_reg98	SPI_SDI 管脚的复用控制寄存器	2-136
0x18C	muxctrl_reg99	SPI_CSN0 管脚的复用控制寄存器	2-137
0x190	muxctrl_reg100	SPI_CSN6 管脚的复用控制寄存器	2-137
0x194	muxctrl_reg101	SPI_CSN7 管脚的复用控制寄存器	2-138
0x198	muxctrl_reg102	I2C_SDA 管脚的复用控制寄存器	2-139
0x19C	muxctrl_reg103	I2C_SCL 管脚的复用控制寄存器	2-139
0x1A0	muxctrl_reg104	UART1_RTSN 管脚的复用控制寄存器	2-139
0x1A4	muxctrl_reg105	UART1_RXD 管脚的复用控制寄存器	2-140
0x1A8	muxctrl_reg106	UART1_TXD 管脚的复用控制寄存器	2-140
0x1AC	muxctrl_reg107	UART1_CTSN 管脚的复用控制寄存器	2-141
0x1B0	muxctrl_reg108	RGMII0_TXCK 管脚的复用控制寄存器	2-141
0x1B4	muxctrl_reg109	RGMII0_CRS 管脚的复用控制寄存器	2-142



偏移地址	名称	描述	页码
0x1B8	muxctrl_reg110	RGMIIO_COL 管脚的复用控制寄存器	2-142
0x1BC	muxctrl_reg111	RGMI1_RXDV 管脚的复用控制寄存器	2-143
0x1C0	muxctrl_reg112	RGMI1_RXD3 管脚的复用控制寄存器	2-143
0x1C4	muxctrl_reg113	RGMI1_RXD2 管脚的复用控制寄存器	2-144
0x1C8	muxctrl_reg114	RGMI1_RXD1 管脚的复用控制寄存器	2-144
0x1CC	muxctrl_reg115	RGMI1_RXD0 管脚的复用控制寄存器	2-145
0x1D0	muxctrl_reg116	RGMI1_RXCK 管脚的复用控制寄存器	2-145
0x1D4	muxctrl_reg117	RGMI1_TXEN 管脚的复用控制寄存器	2-146
0x1D8	muxctrl_reg118	RGMI1_TXD3 管脚的复用控制寄存器	2-146
0x1DC	muxctrl_reg119	RGMI1_TXD2 管脚的复用控制寄存器	2-147
0x1E0	muxctrl_reg120	RGMI1_TXD1 管脚的复用控制寄存器	2-147
0x1E4	muxctrl_reg121	RGMI1_TXD0 管脚的复用控制寄存器	2-148
0x1E8	muxctrl_reg122	RGMI1_TXCK 管脚的复用控制寄存器	2-149
0x1EC	muxctrl_reg123	RGMI1_TXCKOUT 管脚的复用控制寄存器	2-149
0x1F0	muxctrl_reg124	RGMI1_CRS 管脚的复用控制寄存器	2-149
0x1F4	muxctrl_reg125	RGMI1_COL 管脚的复用控制寄存器	2-150
0x1F8	muxctrl_reg126	IR_IN 管脚的复用控制寄存器	2-151
0x1FC	muxctrl_reg127	NF_DQ0 管脚的复用控制寄存器	2-151
0x200	muxctrl_reg128	NF_DQ1 管脚的复用控制寄存器	2-151
0x204	muxctrl_reg129	NF_DQ2 管脚的复用控制寄存器	2-152
0x208	muxctrl_reg130	NF_DQ3 管脚的复用控制寄存器	2-152
0x20C	muxctrl_reg131	NF_DQ4 管脚的复用控制寄存器	2-153
0x210	muxctrl_reg132	NF_DQ5 管脚的复用控制寄存器	2-153
0x214	muxctrl_reg133	NF_DQ6 管脚的复用控制寄存器	2-154
0x218	muxctrl_reg134	NF_DQ7 管脚的复用控制寄存器	2-154
0x21C	muxctrl_reg135	NF_RDY0 管脚的复用控制寄存器	2-155
0x220	muxctrl_reg136	NF_RDY1 管脚的复用控制寄存器	2-155
0x224	muxctrl_reg137	SFC_DIO 管脚的复用控制寄存器	2-156



偏移地址	名称	描述	页码
0x228	muxctrl_reg138	SFC_WP_IO2 管脚的复用控制寄存器	2-156
0x22C	muxctrl_reg139	SFC_DOI 管脚的复用控制寄存器	2-157
0x230	muxctrl_reg140	SFC_HOLD_IO3 管脚的复用控制寄存器	2-157
0x234	muxctrl_reg141	USB0_OVRCUR 管脚的复用控制寄存器	2-158
0x238	muxctrl_reg142	USB0_PWREN 管脚的复用控制寄存器	2-158
0x23C	muxctrl_reg143	USB1_OVRCUR 管脚的复用控制寄存器	2-159
0x240	muxctrl_reg144	USB1_PWREN 管脚的复用控制寄存器	2-159
0x244	muxctrl_reg145	HDMI_HOTPLUG 管脚的复用控制寄存器	2-160
0x248	muxctrl_reg146	HDMI_CEC 管脚的复用控制寄存器	2-160
0x24C	muxctrl_reg147	HDMI_SDA 管脚的复用控制寄存器	2-161
0x250	muxctrl_reg148	HDMI_SCL 管脚的复用控制寄存器	2-161
0x254	muxctrl_reg149	GPIO18_3 管脚的复用控制寄存器	2-162
0x258	muxctrl_reg150	GPIO18_4 管脚的复用控制寄存器	2-162

2.1.5 复用寄存器描述

muxctrl_reg0

VIU0_CLK 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																						
	0x000	muxctrl_reg0	0x00000000																						
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																								
Name	reserved															muxctrl_reg0									
Reset	0 0																								
Bits	Access	Name	Description																						
[1:0]	RW	muxctrl_reg0	VIU0_CLK 管脚的具体复用情况。 00: VIU0_CLK; 01: GPIO0_0;																						



			10: VOU0_CLK; 其它: 保留。
--	--	--	--------------------------

muxctrl_reg1

VIU0_VS 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x004	muxctrl_reg1	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg1
Reset	0 0		
Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg1	VIU0_VS 管脚的具体复用情况。 00: VIU0_VS; 01: GPIO0_1; 10: UART2_TXD; 其它: 保留。

muxctrl_reg2

VIU0_HS 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x008	muxctrl_reg2	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg2
Reset	0 0		
Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg2	VIU0_HS 管脚的具体复用情况。 00: VIU0_HS; 01: GPIO0_2;



			10: VOU1_CLK; 11: VIU0_CLKA。
--	--	--	---------------------------------

muxctrl_reg3

VIU0_DAT15 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00C	muxctrl_reg3	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg3
Reset	0 0		
Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg3	VIU0_DAT15 管脚的具体复用情况。 00: VIU0_DAT15; 01: GPIO0_3; 10: VOU0_DATA7; 其它: 保留。

muxctrl_reg4

VIU0_DAT14 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x010	muxctrl_reg4	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg4
Reset	0 0		
Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg4	VIU0_DAT14 管脚的具体复用情况。 00: VIU0_DAT14; 01: GPIO0_4;



			10: VOU0_DATA6; 其它: 保留。
--	--	--	----------------------------

muxctrl_reg5

VIU0_DAT13 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x014	muxctrl_reg5	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg5
Reset	0 0		
Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg5	VIU0_DAT13 管脚的具体复用情况。 00: VIU0_DAT13; 01: GPIO0_5; 10: VOU0_DATA5; 其它: 保留。

muxctrl_reg6

VIU0_DAT12 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x018	muxctrl_reg6	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg6
Reset	0 0		
Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg6	VIU0_DAT12 管脚的具体复用情况。 00: VIU0_DAT12; 01: GPIO0_6;



			10: VOU0_DATA4; 其它: 保留。
--	--	--	----------------------------

muxctrl_reg7

VIU0_DAT11 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value															
0x01C	muxctrl_reg7	0x00000000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved															muxctrl_reg7	
Reset	0 0																
Bits	Access	Name	Description														
[1:0]	RW	muxctrl_reg7	VIU0_DAT11 管脚的具体复用情况。 00: VIU0_DAT11; 01: GPIO0_7; 10: VOU0_DATA3; 其它: 保留。														

muxctrl_reg8

VIU0_DAT10 管脚复用控制寄存器。

Offset Address	Register Name	Total Reset Value															
0x020	muxctrl_reg8	0x00000000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved															muxctrl_reg8	
Reset	0 0																
Bits	Access	Name	Description														
[1:0]	RW	muxctrl_reg8	VIU0_DAT10 管脚的具体复用情况。 00: VIU0_DAT10; 01: GPIO1_0;														



			10: VOU0_DATA2; 其它: 保留。
--	--	--	----------------------------

muxctrl_reg9

VIU0_DAT9 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x024	muxctrl_reg9	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg9
Reset	0 0		
Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg9	VIU0_DAT9 管脚的具体复用情况。 00: VIU0_DAT9; 01: GPIO1_1; 10: VOU0_DATA1; 其它: 保留。

muxctrl_reg10

VIU0_DAT8 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x028	muxctrl_reg10	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg10
Reset	0 0		
Bits	Access	Name	Description
[1:0]	RW	muxctrl_reg10	VIU0_DAT8 管脚的具体复用情况。 00: VIU0_DAT8;



			01: GPIO1_2; 10: VOU0_DATA0; 其它: 保留。
--	--	--	--

muxctrl_reg11

VIU0_DAT7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x02C		muxctrl_reg11		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg11
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg11	VIU0_DAT7 管脚的具体复用情况。 00: VIU0_DAT7; 01: GPIO1_3; 10: VOU1_DATA7; 其它: 保留。						

muxctrl_reg12

VIU0_DAT6 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x030		muxctrl_reg12		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg12
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg12	VIU0_DAT6 管脚的具体复用情况。						



Offset Address		Register Name		Total Reset Value					
0x038		muxctrl_reg14		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg14
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg14	VIU0_DAT4 管脚的具体复用情况。 00: VIU0_DAT4; 01: GPIO1_6; 10: VOU1_DATA4; 其它: 保留。						

muxctrl_reg15

VIU0_DAT3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x03C		muxctrl_reg15		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg15
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg15	VIU0_DAT3 管脚的具体复用情况。 00: VIU0_DAT3; 01: GPIO1_7; 10: VOU1_DATA3; 其它: 保留。						



muxctrl_reg16

VIU0_DAT2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x040		muxctrl_reg16		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg16
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg16	VIU0_DAT2 管脚的具体复用情况。 00: VIU0_DAT2; 01: GPIO2_0; 10: VOU1_DATA2; 其它: 保留。						

muxctrl_reg17

VIU0_DAT1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x044		muxctrl_reg17		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg17
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg17	VIU0_DAT1 管脚的具体复用情况。 00: VIU0_DAT1; 01: GPIO2_1; 10: VOU1_DATA1; 其它: 保留。						



muxctrl_reg18

VIU0_DAT0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x048		muxctrl_reg18		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg18
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg18	VIU0_DAT0 管脚的具体复用情况。 00: VIU0_DAT0; 01: GPIO2_2; 10: VOU1_DATA0; 其它: 保留。						

muxctrl_reg19

VIU1_CLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x04C		muxctrl_reg19		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg19
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg19	VIU1_CLK 管脚的具体复用情况。 00: VIU1_CLK; 01: GPIO2_3; 10: VOU2_CLK; 11: VIU4_CLK。						



muxctrl_reg20

VIU1_VS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x050		muxctrl_reg20		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg20
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg20	VIU1_VS 管脚的具体复用情况。 00: VIU1_VS; 01: GPIO2_4; 10: UART2_RXD; 其它: 保留。						

muxctrl_reg21

VIU1_HS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x054		muxctrl_reg21		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg21
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg21	VIU1_HS 管脚的具体复用情况。 00: VIU1_HS; 01: GPIO2_5; 10: VOU3_CLK; 11: VIU1_CLKA。						



muxctrl_reg22

VIU1_DAT15 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																									
	0x058	muxctrl_reg22	0x00000000																									
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																											
Name	reserved																											muxctrl_reg22
Reset	0 0																											
Bits	Access	Name	Description																									
[1:0]	RW	muxctrl_reg22	VIU1_DAT15 管脚的具体复用情况。 00: VIU1_DAT15; 01: GPIO2_6; 10: VOU2_DATA7; 11: VIU4_DAT15。																									

muxctrl_reg23

VIU1_DAT14 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																									
	0x05C	muxctrl_reg23	0x00000000																									
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																											
Name	reserved																											muxctrl_reg23
Reset	0 0																											
Bits	Access	Name	Description																									
[1:0]	RW	muxctrl_reg23	VIU1_DAT14 管脚的具体复用情况。 00: VIU1_DAT14; 01: GPIO2_7; 10: VOU2_DATA6; 11: VIU4_DAT14。																									



muxctrl_reg24

VIU1_DAT13 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x060		muxctrl_reg24		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg24
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg24	VIU1_DAT13 管脚的具体复用情况。 00: VIU1_DAT13; 01: GPIO3_0; 10: VOU2_DATA5; 11: VIU4_DAT13。						

muxctrl_reg25

VIU1_DAT12 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x064		muxctrl_reg25		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg25
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg25	VIU1_DAT12 管脚的具体复用情况。 00: VIU1_DAT12; 01: GPIO3_1; 10: VOU2_DATA4; 11: VIU4_DAT12。						



muxctrl_reg26

VIU1_DAT11 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x068		muxctrl_reg26		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg26
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg26	VIU1_DAT11 管脚的具体复用情况。 00: VIU1_DAT11; 01: GPIO3_2; 10: VOU2_DATA3; 11: VIU4_DAT11。						

muxctrl_reg27

VIU1_DAT10 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x06C		muxctrl_reg27		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg27
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg27	VIU1_DAT10 管脚的具体复用情况。 00: VIU1_DAT10; 01: GPIO3_3; 10: VOU2_DATA2; 11: VIU4_DAT10。						



muxctrl_reg28

VIU1_DAT9 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x070		muxctrl_reg28		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg28
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg28	VIU1_DAT9 管脚的具体复用情况。 00: VIU1_DAT9; 01: GPIO3_4; 10: VOU2_DATA1; 11: VIU4_DAT9。						

muxctrl_reg29

VIU1_DAT8 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x074		muxctrl_reg29		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg29
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg29	VIU1_DAT8 管脚的具体复用情况。 00: VIU1_DAT8; 01: GPIO3_5; 10: VOU2_DATA0; 11: VIU4_DAT8。						



muxctrl_reg30

VIU1_DAT7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x078		muxctrl_reg30		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg30
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg30	VIU1_DAT7 管脚的具体复用情况。 00: VIU1_DAT7; 01: GPIO3_6; 10: VOU3_DATA7; 11: VIU4_DAT7。						

muxctrl_reg31

VIU1_DAT6 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x07C		muxctrl_reg31		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg31
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg31	VIU1_DAT6 管脚的具体复用情况。 00: VIU1_DAT6; 01: GPIO3_7; 10: VOU3_DATA6; 11: VIU4_DAT6。						



muxctrl_reg32

VIU1_DAT5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x080		muxctrl_reg32		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg32
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg32	VIU1_DAT5 管脚的具体复用情况。 00: VIU1_DAT5; 01: GPIO4_0; 10: VOU3_DATA5; 11: VIU4_DAT5。						

muxctrl_reg33

VIU1_DAT4 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x084		muxctrl_reg33		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg33
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg33	VIU1_DAT4 管脚的具体复用情况。 00: VIU1_DAT4; 01: GPIO4_1; 10: VOU3_DATA4; 11: VIU4_DAT4。						



muxctrl_reg34

VIU1_DAT3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x088		muxctrl_reg34		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg34
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg34	VIU1_DAT3 管脚的具体复用情况。 00: VIU1_DAT3; 01: GPIO4_2; 10: VOU3_DATA3; 11: VIU4_DAT3。						

muxctrl_reg35

VIU1_DAT2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x08C		muxctrl_reg35		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg35
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg35	VIU1_DAT2 管脚的具体复用情况。 00: VIU1_DAT2; 01: GPIO4_3; 10: VOU3_DATA2; 11: VIU4_DAT2。						



muxctrl_reg36

VIU1_DAT1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x090		muxctrl_reg36		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg36
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg36	VIU1_DAT1 管脚的具体复用情况。 00: VIU1_DAT1; 01: GPIO4_4; 10: VOU3_DATA1; 11: VIU4_DAT1。						

muxctrl_reg37

VIU1_DAT0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x094		muxctrl_reg37		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg37
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg37	VIU1_DAT0 管脚的具体复用情况。 00: VIU1_DAT0; 01: GPIO4_5; 10: VOU3_DATA0; 11: VIU4_DAT0。						



muxctrl_reg38

VIU2_CLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x098		muxctrl_reg38		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg38
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg38	VIU2_CLK 管脚的具体复用情况。 00: VIU2_CLK; 01: GPIO4_6; 10: VOU4_CLK; 其它: 保留。						

muxctrl_reg39

VIU2_VS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x09C		muxctrl_reg39		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg39
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg39	VIU2_VS 管脚的具体复用情况。 00: VIU2_VS; 01: GPIO4_7; 10: UART3_TXD; 其它: 保留。						



muxctrl_reg40

VIU2_HS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A0		muxctrl_reg40		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg40
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg40	VIU2_HS 管脚的具体复用情况。 00: VIU2_HS; 01: GPIO5_0; 10: VOU5_CLK; 11: VIU2_CLKA。						

muxctrl_reg41

VIU2_DAT15 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A4		muxctrl_reg41		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg41
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg41	VIU2_DAT15 管脚的具体复用情况。 00: VIU2_DAT15; 01: GPIO5_1; 10: VOU4_DATA7; 其它: 保留。						



muxctrl_reg42

VIU2_DAT14 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0A8				muxctrl_reg42				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											muxctrl_reg42				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[1:0]	RW	muxctrl_reg42	VIU2_DAT14 管脚的具体复用情况。 00: VIU2_DAT14; 01: GPIO5_2; 10: VOU4_DATA6; 其它: 保留。																													

muxctrl_reg43

VIU2_DAT13 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0AC				muxctrl_reg43				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											muxctrl_reg43				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[1:0]	RW	muxctrl_reg43	VIU2_DAT13 管脚的具体复用情况。 00: VIU2_DAT13; 01: GPIO5_3; 10: VOU4_DATA5; 其它: 保留。																													



muxctrl_reg44

VIU2_DAT12 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B0		muxctrl_reg44		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg44
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg44	VIU2_DAT12 管脚的具体复用情况。 00: VIU2_DAT12; 01: GPIO5_4; 10: VOU4_DATA4; 其它: 保留。						

muxctrl_reg45

VIU2_DAT11 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B4		muxctrl_reg45		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg45
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg45	VIU2_DAT11 管脚的具体复用情况。 00: VIU2_DAT11; 01: GPIO5_5; 10: VOU4_DATA3; 其它: 保留。						



muxctrl_reg46

VIU2_DAT10 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B8		muxctrl_reg46		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg46
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg46	VIU2_DAT10 管脚的具体复用情况。 00: VIU2_DAT10; 01: GPIO5_6; 10: VOU4_DATA2; 其它: 保留。						

muxctrl_reg47

VIU2_DAT9 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0BC		muxctrl_reg47		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg47
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg47	VIU2_DAT9 管脚的具体复用情况。 00: VIU2_DAT9; 01: GPIO5_7; 10: VOU4_DATA1; 其它: 保留。						



muxctrl_reg48

VIU2_DAT8 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0C0		muxctrl_reg48		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg48
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg48	VIU2_DAT8 管脚的具体复用情况。 00: VIU2_DAT8; 01: GPIO6_0; 10: VOU4_DATA0; 其它: 保留。						

muxctrl_reg49

VIU2_DAT7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0C4		muxctrl_reg49		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg49
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg49	VIU2_DAT7 管脚的具体复用情况。 00: VIU2_DAT7; 01: GPIO6_1; 10: VOU5_DATA7; 其它: 保留。						



muxctrl_reg50

VIU2_DAT6 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0C8		muxctrl_reg50		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg50
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg50	VIU2_DAT6 管脚的具体复用情况。 00: VIU2_DAT6; 01: GPIO6_2; 10: VOU5_DATA6; 其它: 保留。						

muxctrl_reg51

VIU2_DAT5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0CC		muxctrl_reg51		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg51
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg51	VIU2_DAT5 管脚的具体复用情况。 00: VIU2_DAT5; 01: GPIO6_3; 10: VOU5_DATA5; 其它: 保留。						



muxctrl_reg52

VIU2_DAT4 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0D0		muxctrl_reg52		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg52
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg52	VIU2_DAT4 管脚的具体复用情况。 00: VIU2_DAT4; 01: GPIO6_4; 10: VOU5_DATA4; 其它: 保留。						

muxctrl_reg53

VIU2_DAT3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0D4		muxctrl_reg53		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg53
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg53	VIU2_DAT3 管脚的具体复用情况。 00: VIU2_DAT3; 01: GPIO6_5; 10: VOU5_DATA3; 其它: 保留。						



muxctrl_reg54

VIU2_DAT2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0D8		muxctrl_reg54		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg54
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg54	VIU2_DAT2 管脚的具体复用情况。 00: VIU2_DAT2; 01: GPIO6_6; 10: VOU5_DATA2; 其它: 保留。						

muxctrl_reg55

VIU2_DAT1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0DC		muxctrl_reg55		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg55
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg55	VIU2_DAT1 管脚的具体复用情况。 00: VIU2_DAT1; 01: GPIO6_7; 10: VOU5_DATA1; 其它: 保留。						



muxctrl_reg56

VIU2_DAT0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0E0		muxctrl_reg56		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg56
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg56	VIU2_DAT0 管脚的具体复用情况。 00: VIU2_DAT0; 01: GPIO7_0; 10: VOU5_DATA0; 其它: 保留。						

muxctrl_reg57

VGA_HS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0E4		muxctrl_reg57		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg57
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg57	VGA_HS 管脚的具体复用情况。 0: GPIO7_1; 1: VGA_HS。						



muxctrl_reg58

VGA_VS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0E8		muxctrl_reg58		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg58
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg58	VGA_VS 管脚的具体复用情况。 0: GPIO7_2; 1: VGA_VS。						

muxctrl_reg59

VOU1120_CLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0EC		muxctrl_reg59		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg59
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg59	VOU1120_CLK 管脚的具体复用情况。 000: VIU3_CLK; 001: GPIO7_3; 010: VOU6_CLK; 011: VOU1120_CLK; 100: SDIO_CCLK_OUT; 其它: 保留。						



muxctrl_reg60

VOU1120_VS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0F0		muxctrl_reg60		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg60
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg60	VOU1120_VS 管脚的具体复用情况。 000: VIU3_VS; 001: GPIO7_4; 010: UART3_RXD; 011: VOU1120_VS; 100: SDIO_CARD_POWER_EN; 其它: 保留。						

muxctrl_reg61

VOU1120_HS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0F4		muxctrl_reg61		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg61
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg61	VOU1120_HS 管脚的具体复用情况。 000: VIU3_HS; 001: GPIO7_5; 010: VOU7_CLK;						



			011: VOU1120_HS; 100: VIU3_CLKA; 其它: 保留。
--	--	--	--

muxctrl_reg62

VOU1120_DATA15 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0F8				muxctrl_reg62				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								muxctrl_reg62							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[2:0]	RW	muxctrl_reg62		VOU1120_DATA15 管脚的具体复用情况。 000: VIU3_DAT15; 001: GPIO7_6; 010: VOU6_DATA7; 011: VOU1120_DATA15; 100: SDIO_CARD_DETECT; 其它: 保留。																											

muxctrl_reg63

VOU1120_DATA14 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0FC		muxctrl_reg63		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							muxctrl_reg63	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg63	VOU1120_DATA14 管脚的具体复用情况。 000: VIU3_DAT14; 001: GPIO7_7; 010: VOU6_DATA6; 011: VOU1120_DATA14; 100: SDIO_CWPR; 其它: 保留。						

muxctrl_reg64

VOU1120_DATA13 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x100		muxctrl_reg64		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							muxctrl_reg64	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg64	VOU1120_DATA13 管脚的具体复用情况。 000: VIU3_DAT13; 001: GPIO8_0; 010: VOU6_DATA5; 011: VOU1120_DATA13; 100: SDIO_CCMD;						



			其它：保留。
--	--	--	--------

muxctrl_reg65

VOU1120_DATA12 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x104	muxctrl_reg65	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg65
Reset	0 0		
	Bits	Access	Name
	[2:0]	RW	muxctrl_reg65
	Description		
	VOU1120_DATA12 管脚的具体复用情况。 000: VIU3_DAT12; 001: GPIO8_1; 010: VOU6_DATA4; 011: VOU1120_DATA12; 100: SDIO_CDATA0; 其它：保留。		

muxctrl_reg66

VOU1120_DATA11 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x108	muxctrl_reg66	0x00000000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg66
Reset	0 0		
	Bits	Access	Name
	[2:0]	RW	muxctrl_reg66
	Description		
	VOU1120_DATA11 管脚的具体复用情况。		



Offset Address		Register Name		Total Reset Value					
0x110		muxctrl_reg68		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							muxctrl_reg68	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg68	VOU1120_DATA9 管脚的具体复用情况。 000: VIU3_DAT9; 001: GPIO8_4; 010: VOU6_DATA1; 011: VOU1120_DATA9; 100: SDIO_CDATA3; 其它: 保留。						

muxctrl_reg69

VOU1120_DATA8 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x114		muxctrl_reg69		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							muxctrl_reg69	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg69	VOU1120_DATA8 管脚的具体复用情况。 00: VIU3_DAT8; 01: GPIO8_5; 10: VOU6_DATA0; 11: VOU1120_DATA8。						



muxctrl_reg70

VOU1120_DATA7 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x118				muxctrl_reg70				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										muxctrl_reg70					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[1:0]	RW	muxctrl_reg70		VOU1120_DATA7 管脚的具体复用情况。 00: VIU3_DAT7; 01: GPIO8_6; 10: VOU7_DATA7; 11: VOU1120_DATA7。																											

muxctrl_reg71

VOU1120_DATA6 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x11C				muxctrl_reg71				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										muxctrl_reg71					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[1:0]	RW	muxctrl_reg71		VOU1120_DATA6 管脚的具体复用情况。 00: VIU3_DAT6; 01: GPIO8_7; 10: VOU7_DATA6; 11: VOU1120_DATA6。																											



muxctrl_reg72

VOU1120_DATA5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x120		muxctrl_reg72		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg72
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg72	VOU1120_DATA5 管脚的具体复用情况。 00: VIU3_DAT5; 01: GPIO9_0; 10: VOU7_DATA5; 11: VOU1120_DATA5。						

muxctrl_reg73

VOU1120_DATA4 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x124		muxctrl_reg73		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg73
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg73	VOU1120_DATA4 管脚的具体复用情况。 00: VIU3_DAT4; 01: GPIO9_1; 10: VOU7_DATA4; 11: VOU1120_DATA4。						



muxctrl_reg74

VOU1120_DATA3 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x128				muxctrl_reg74				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										muxctrl_reg74					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[1:0]	RW	muxctrl_reg74	VOU1120_DATA3 管脚的具体复用情况。 00: VIU3_DAT3; 01: GPIO9_2; 10: VOU7_DATA3; 11: VOU1120_DATA3。																													

muxctrl_reg75

VOU1120_DATA2 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x12C				muxctrl_reg75				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										muxctrl_reg75					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[1:0]	RW	muxctrl_reg75	VOU1120_DATA2 管脚的具体复用情况。 00: VIU3_DAT2; 01: GPIO9_3; 10: VOU7_DATA2; 11: VOU1120_DATA2。																													



muxctrl_reg76

VOU1120_DATA1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x130		muxctrl_reg76		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg76
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg76	VOU1120_DATA1 管脚的具体复用情况。 00: VIU3_DAT1; 01: GPIO9_4; 10: VOU7_DATA1; 11: VOU1120_DATA1。						

muxctrl_reg77

VOU1120_DATA0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x134		muxctrl_reg77		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg77
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg77	VOU1120_DATA0 管脚的具体复用情况。 00: VIU3_DAT0; 01: GPIO9_5; 10: VOU7_DATA0; 11: VOU1120_DATA0。						



muxctrl_reg78

SIO0_RCLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x138		muxctrl_reg78		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg78
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg78	SIO0_RCLK 管脚的具体复用情况。 0: GPIO9_6; 1: SIO0_RCLK。						

muxctrl_reg79

SIO0_RFS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x13C		muxctrl_reg79		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg79
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg79	SIO0_RFS 管脚的具体复用情况。 0: GPIO9_7; 1: SIO0_RFS。						

muxctrl_reg80

SIO0_DIN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x140		muxctrl_reg80		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg80
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg80	SIO0_DIN 管脚的具体复用情况。 0: GPIO10_0; 1: SIO0_DIN。						

muxctrl_reg81

SIO1_RCLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x144		muxctrl_reg81		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg81
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg81	SIO1_RCLK 管脚的具体复用情况。 0: GPIO10_1; 1: SIO1_RCLK。						

muxctrl_reg82

SIO1_RFS 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x148		muxctrl_reg82		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg82
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg82	SIO1_RFS 管脚的具体复用情况。 0: GPIO10_2; 1: SIO1_RFS。						

muxctrl_reg83

SIO1_DIN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x14C		muxctrl_reg83		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg83
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg83	SIO1_DIN 管脚的具体复用情况。 0: GPIO10_3; 1: SIO1_DIN。						

muxctrl_reg84

SIO2_RCLK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x150		muxctrl_reg84		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg84
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg84	SIO2_RCLK 管脚的具体复用情况。 0: GPIO10_4; 1: SIO2_RCLK。						

muxctrl_reg85

SIO2_RFS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x154		muxctrl_reg85		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg85
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg85	SIO2_RFS 管脚的具体复用情况。 0: GPIO10_5; 1: SIO2_RFS。						

muxctrl_reg86

SIO2_DIN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x158		muxctrl_reg86		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg86
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg86	SIO2_DIN 管脚的具体复用情况。 0: GPIO10_6; 1: SIO2_DIN。						

muxctrl_reg87

SIO3_RCLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x15C		muxctrl_reg87		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg87
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg87	SIO3_RCLK 管脚的具体复用情况。 0: GPIO10_7; 1: SIO3_RCLK。						

muxctrl_reg88

SIO3_RFS 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x160		muxctrl_reg88		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg88
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg88	SIO3_RFS 管脚的具体复用情况。 0: GPIO11_0; 1: SIO3_RFS。						

muxctrl_reg89

SIO3_DIN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x164		muxctrl_reg89		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg89
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg89	SIO3_DIN 管脚的具体复用情况。 0: GPIO11_1; 1: SIO3_DIN。						

muxctrl_reg90

SIO4_XCLK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x168		muxctrl_reg90		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg90
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg90	SIO4_XCLK 管脚的具体复用情况。 0: GPIO11_2; 1: SIO4_XCLK。						

muxctrl_reg91

SIO4_XFS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x16C		muxctrl_reg91		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg91
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg91	SIO4_XFS 管脚的具体复用情况。 0: GPIO11_3; 1: SIO4_XFS。						

muxctrl_reg92

SIO4_RCLK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x170		muxctrl_reg92		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg92
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg92	SIO4_RCLK 管脚的具体复用情况。 0: GPIO11_4; 1: SIO4_RCLK。						

muxctrl_reg93

SIO4_RFS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x174		muxctrl_reg93		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg93
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg93	SIO4_RFS 管脚的具体复用情况。 0: GPIO11_5; 1: SIO4_RFS。						

muxctrl_reg94

SIO4_DOUT 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x178		muxctrl_reg94		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg94
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg94	SIO4_DOUT 管脚的具体复用情况。 0: GPIO11_6; 1: SIO4_DOUT。						

muxctrl_reg95

SIO4_DIN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x17C		muxctrl_reg95		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg95
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg95	SIO4_DIN 管脚的具体复用情况。 0: GPIO11_7; 1: SIO4_DIN。						

muxctrl_reg96

SPI_SCLK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x180		muxctrl_reg96		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg96
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg96	SPI_SCLK 管脚的具体复用情况。 0: GPIO12_0; 1: SPI_SCLK。						

muxctrl_reg97

SPI_SDO 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x184		muxctrl_reg97		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg97
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg97	SPI_SDO 管脚的具体复用情况。 0: GPIO12_1; 1: SPI_SDO。						

muxctrl_reg98

SPI_SDI 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x188		muxctrl_reg98		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg98
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg98	SPI_SDI 管脚的具体复用情况。 0: GPIO12_2; 1: SPI_SDI。						

muxctrl_reg99

SPI_CSN0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x18C		muxctrl_reg99		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg99
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg99	SPI_CSN0 管脚的具体复用情况。 0: GPIO12_3; 1: SPI_CSN0。						

muxctrl_reg100

SPI_CSN6 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x190		muxctrl_reg100		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg100
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg100	SPI_CSN6 管脚的具体复用情况。 00: SPI_CSN6; 01: NF_ECC_TYPE1; 其它: 保留。						

muxctrl_reg101

SPI_CSN7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x194		muxctrl_reg101		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg101
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg101	SPI_CSN7 管脚的具体复用情况。 000: SPI_CSN7; 001: NF_ECC_TYPE2; 010: CLK_TEST_OUT0; 011: CLK_TEST_OUT1; 100: CLK_TEST_OUT2; 101: CLK_TEST_OUT3; 其它: 保留。						



muxctrl_reg102

I2C_SDA 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x198		muxctrl_reg102		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg102
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg102	I2C_SDA 管脚的具体复用情况。 0: GPIO12_4; 1: I2C_SDA。						

muxctrl_reg103

I2C_SCL 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x19C		muxctrl_reg103		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg103
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg103	I2C_SCL 管脚的具体复用情况。 0: GPIO12_5; 1: I2C_SCL。						

muxctrl_reg104

UART1_RTSM 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1A0		muxctrl_reg104		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg104
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg104	UART1_RTSN 管脚的具体复用情况。 0: GPIO12_6; 1: UART1_RTSN。						

muxctrl_reg105

UART1_RXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1A4		muxctrl_reg105		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg105
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg105	UART1_RXD 管脚的具体复用情况。 0: GPIO12_7; 1: UART1_RXD。						

muxctrl_reg106

UART1_TXD 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1A8		muxctrl_reg106		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg106
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg106	UART1_TXD 管脚的具体复用情况。 0: GPIO13_0; 1: UART1_TXD。						

muxctrl_reg107

UART1_CTSN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1AC		muxctrl_reg107		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg107
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg107	UART1_CTSN 管脚的具体复用情况。 0: GPIO13_1; 1: UART1_CTSN。						

muxctrl_reg108

RGMII0_TXCK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1B0		muxctrl_reg108		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg108
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg108	RGMII0_TXCK 管脚的具体复用情况。 0: RGMII0_TXCK; 1: GPIO13_2。						

muxctrl_reg109

RGMII0_CRS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1B4		muxctrl_reg109		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg109
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg109	RGMII0_CRS 管脚的具体复用情况。 00: GPIO13_3; 01: RGMII0_CRS; 10: RGMII0_RXER; 其它: 保留。						

muxctrl_reg110

RGMII0_COL 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1B8		muxctrl_reg110		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg110
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg110	RGMII0_COL 管脚的具体复用情况。 00: GPIO13_4; 01: RGMII0_COL; 10: RGMII0_TXER; 其它: 保留。						

muxctrl_reg111

RGMII1_RXDV 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1BC		muxctrl_reg111		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg111
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg111	RGMII1_RXDV 管脚的具体复用情况。 0: GPIO13_5; 1: RGMII1_RXDV。						

muxctrl_reg112

RGMII1_RXD3 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1C0		muxctrl_reg112		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg112
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg112	RGMII1_RXD3 管脚的具体复用情况。 0: GPIO13_6; 1: RGMII1_RXD3。						

muxctrl_reg113

RGMII1_RXD2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1C4		muxctrl_reg113		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg113
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg113	RGMII1_RXD2 管脚的具体复用情况。 0: GPIO13_7; 1: RGMII1_RXD2。						

muxctrl_reg114

RGMII1_RXD1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1C8		muxctrl_reg114		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg114
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg114	RGMII1_RXD1 管脚的具体复用情况。 0: GPIO14_0; 1: RGMII1_RXD1。						

muxctrl_reg115

RGMII1_RXD0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1CC		muxctrl_reg115		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg115
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg115	RGMII1_RXD0 管脚的具体复用情况。 0: GPIO14_1; 1: RGMII1_RXD0。						

muxctrl_reg116

RGMII1_RXCK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1D0		muxctrl_reg116		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg116
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg116	RGMII1_RXCK 管脚的具体复用情况。 0: GPIO14_2; 1: RGMII1_RXCK。						

muxctrl_reg117

RGMII1_TXEN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1D4		muxctrl_reg117		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg117
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg117	RGMII1_TXEN 管脚的具体复用情况。 0: GPIO14_3; 1: RGMII1_TXEN。						

muxctrl_reg118

RGMII1_TXD3 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1D8		muxctrl_reg118		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg118
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg118	RGMII1_TXD3 管脚的具体复用情况。 0: GPIO14_4; 1: RGMII1_TXD3。						

muxctrl_reg119

RGMII1_TXD2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1DC		muxctrl_reg119		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg119
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg119	RGMII1_TXD2 管脚的具体复用情况。 0: GPIO14_5; 1: RGMII1_TXD2。						

muxctrl_reg120

RGMII1_TXD1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1E0		muxctrl_reg120		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg120
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg120	RGMII1_TXD1 管脚的具体复用情况。 0: GPIO14_6; 1: RGMII1_TXD1。						

muxctrl_reg121

RGMII1_TXD0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1E4		muxctrl_reg121		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg121
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg121	RGMII1_TXD0 管脚的具体复用情况。 000: PLL_TEST_OUT0; 001: RGMII1_TXD0; 010: PLL_TEST_OUT1; 011: PLL_TEST_OUT2; 100: PLL_TEST_OUT3; 101: 保留; 110: PLL_TEST_OUT4; 其它: 保留。						



muxctrl_reg122

RGMI1_TXCK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1E8		muxctrl_reg122		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg122
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg122	RGMI1_TXCK 管脚的具体复用情况。 0: GPIO15_0; 1: RGMI1_TXCK。						

muxctrl_reg123

RGMI1_TXCKOUT 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1EC		muxctrl_reg123		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg123
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg123	RGMI1_TXCKOUT 管脚的具体复用情况。 0: GPIO15_1; 1: RGMI1_TXCKOUT。						

muxctrl_reg124

RGMI1_CRS 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x1F0		muxctrl_reg124		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg124
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg124	RGMII1_CRS 管脚的具体复用情况。 00: GPIO15_2; 01: RGMII1_CRS; 10: RGMII1_RXER; 其它: 保留。						

muxctrl_reg125

RGMII1_COL 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1F4		muxctrl_reg125		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg125
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg125	RGMII1_COL 管脚的具体复用情况。 00: GPIO15_3; 01: RGMII1_COL; 10: RGMII1_TXER; 其它: 保留。						



muxctrl_reg126

IR_IN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1F8		muxctrl_reg126		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg126
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg126	IR_IN 管脚的具体复用情况。 0: IR_IN; 1: GPIO15_4。						

muxctrl_reg127

NF_DQ0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1FC		muxctrl_reg127		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg127
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg127	NF_DQ0 管脚的具体复用情况。 0: NF_DQ0; 1: GPIO15_5。						

muxctrl_reg128

NF_DQ1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x200		muxctrl_reg128		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg128
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg128	NF_DQ1 管脚的具体复用情况。 0: NF_DQ1; 1: GPIO15_6。						

muxctrl_reg129

NF_DQ2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x204		muxctrl_reg129		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg129
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg129	NF_DQ2 管脚的具体复用情况。 0: NF_DQ2; 1: GPIO15_7。						

muxctrl_reg130

NF_DQ3 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x208		muxctrl_reg130		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg130
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg130	NF_DQ3 管脚的具体复用情况。 0: NF_DQ3; 1: GPIO16_0。						

muxctrl_reg131

NF_DQ4 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x20C		muxctrl_reg131		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg131
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg131	NF_DQ4 管脚的具体复用情况。 0: NF_DQ4; 1: GPIO16_1。						

muxctrl_reg132

NF_DQ5 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x210		muxctrl_reg132		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg132
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg132	NF_DQ5 管脚的具体复用情况。 0: NF_DQ5; 1: GPIO16_2。						

muxctrl_reg133

NF_DQ6 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x214		muxctrl_reg133		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg133
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg133	NF_DQ6 管脚的具体复用情况。 0: NF_DQ6; 1: GPIO16_3。						

muxctrl_reg134

NF_DQ7 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x218		muxctrl_reg134		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg134
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg134	NF_DQ7 管脚的具体复用情况。 0: NF_DQ7; 1: GPIO16_4。						

muxctrl_reg135

NF_RDY0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x21C		muxctrl_reg135		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg135
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg135	NF_RDY0 管脚的具体复用情况。 0: NF_RDY0; 1: GPIO16_5。						

muxctrl_reg136

NF_RDY1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x220		muxctrl_reg136		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg136
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg136	NF_RDY1 管脚的具体复用情况。 0: NF_RDY1; 1: GPIO16_6。						

muxctrl_reg137

SFC_DIO 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x224		muxctrl_reg137		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg137
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg137	SFC_DIO 管脚的具体复用情况。 0: SFC_DIO; 1: GPIO16_7。						

muxctrl_reg138

SFC_WP_IO2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x228		muxctrl_reg138		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg138
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg138	SFC_WP_IO2 管脚的具体复用情况。 0: SFC_WP_IO2; 1: GPIO17_0。						

muxctrl_reg139

SFC_DOI 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x22C		muxctrl_reg139		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg139
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg139	SFC_DOI 管脚的具体复用情况。 0: SFC_DOI; 1: GPIO17_1。						

muxctrl_reg140

SFC_HOLD_IO3 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x230		muxctrl_reg140		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg140
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg140	SFC_HOLD_IO3 管脚的具体复用情况。 0: SFC_HOLD_IO3; 1: GPIO17_2。						

muxctrl_reg141

USB0_OVRCUR 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x234		muxctrl_reg141		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg141
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg141	USB0_OVRCUR 管脚的具体复用情况。 0: GPIO17_3; 1: USB0_OVRCUR。						

muxctrl_reg142

USB0_PWREN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x238		muxctrl_reg142		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg142
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg142	USB0_PWREN 管脚的具体复用情况。 0: GPIO17_4; 1: USB0_PWREN。						

muxctrl_reg143

USB1_OVRCUR 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x23C		muxctrl_reg143		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg143
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg143	USB1_OVRCUR 管脚的具体复用情况。 0: GPIO17_5; 1: USB1_OVRCUR。						

muxctrl_reg144

USB1_PWREN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x240		muxctrl_reg144		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg144
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg144	USB1_PWREN 管脚的具体复用情况。 0: GPIO17_6; 1: USB1_PWREN。						

muxctrl_reg145

HDMI_HOTPLUG 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x244		muxctrl_reg145		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg145
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg145	HDMI_HOTPLUG 管脚的具体复用情况。 0: GPIO17_7; 1: HDMI_HOTPLUG。						

muxctrl_reg146

HDMI_CEC 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x248		muxctrl_reg146		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg146
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg146	HDMI_CEC 管脚的具体复用情况。 0: GPIO18_0; 1: HDMI_CEC。						

muxctrl_reg147

HDMI_SDA 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x24C		muxctrl_reg147		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg147
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg147	HDMI_SDA 管脚的具体复用情况。 0: GPIO18_1; 1: HDMI_SDA。						

muxctrl_reg148

HDMI_SCL 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x250		muxctrl_reg148		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg148
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg148	HDMI_SCL 管脚的具体复用情况。 0: GPIO18_2; 1: HDMI_SCL。						

muxctrl_reg149

GPIO18_3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x254		muxctrl_reg149		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg149
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg149	GPIO18_3 管脚的具体复用情况。 0: GPIO18_3; 1: SATA_LED_N0。						

muxctrl_reg150

GPIO18_4 管脚复用控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x258				muxctrl_reg150				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											muxctrl_reg150				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[0]	RW	muxctrl_reg150		GPIO18_4 管脚的具体复用情况。 0: GPIO18_4; 1: SATA_LED_N1。																											

2.1.6 软件复用管脚寄存器描述

2.1.6.1 VIU

VIU0

VIU0 的软件复用管脚如表 2-44 所示。

表2-44 VIU0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4
F36	VIU0_CLK	muxctrl_reg0	VIU0_CLK	GPIO0_0	VOU0_CLK	-
E32	VIU0_VS	muxctrl_reg1	VIU0_VS	GPIO0_1	UART2_TXD	-
D32	VIU0_HS	muxctrl_reg2	VIU0_HS	GPIO0_2	VOU1_CLK	VIU0_CLKA
D37	VIU0_DAT15	muxctrl_reg3	VIU0_DAT15	GPIO0_3	VOU0_DATA7	-
D36	VIU0_DAT14	muxctrl_reg4	VIU0_DAT14	GPIO0_4	VOU0_DATA6	-
G34	VIU0_DAT13	muxctrl_reg5	VIU0_DAT13	GPIO0_5	VOU0_DATA5	-
H34	VIU0_DAT12	muxctrl_reg6	VIU0_DAT12	GPIO0_6	VOU0_DATA4	-
F34	VIU0_DAT11	muxctrl_reg7	VIU0_DAT11	GPIO0_7	VOU0_DATA3	-
G33	VIU0_DAT10	muxctrl_reg8	VIU0_DAT10	GPIO1_0	VOU0_DATA2	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4
E33	VIU0_DAT9	muxctrl_reg9	VIU0_DAT9	GPIO1_1	VOU0_DATA1	-
F33	VIU0_DAT8	muxctrl_reg10	VIU0_DAT8	GPIO1_2	VOU0_DATA0	-
C36	VIU0_DAT7	muxctrl_reg11	VIU0_DAT7	GPIO1_3	VOU1_DATA7	-
C37	VIU0_DAT6	muxctrl_reg12	VIU0_DAT6	GPIO1_4	VOU1_DATA6	-
D34	VIU0_DAT5	muxctrl_reg13	VIU0_DAT5	GPIO1_5	VOU1_DATA5	-
E34	VIU0_DAT4	muxctrl_reg14	VIU0_DAT4	GPIO1_6	VOU1_DATA4	-
B35	VIU0_DAT3	muxctrl_reg15	VIU0_DAT3	GPIO1_7	VOU1_DATA3	-
D33	VIU0_DAT2	muxctrl_reg16	VIU0_DAT2	GPIO2_0	VOU1_DATA2	-
A35	VIU0_DAT1	muxctrl_reg17	VIU0_DAT1	GPIO2_1	VOU1_DATA1	-
B34	VIU0_DAT0	muxctrl_reg18	VIU0_DAT0	GPIO2_2	VOU1_DATA0	-

VIU0 的软件复用管脚如表 2-45 所示。

表2-45 VIU0 的软件复用管脚

信号名	方向	说明
GPIO0_0	I/O	通用输入输出
GPIO0_1	I/O	通用输入输出
GPIO0_2	I/O	通用输入输出
GPIO0_3	I/O	通用输入输出
GPIO0_4	I/O	通用输入输出
GPIO0_5	I/O	通用输入输出
GPIO0_6	I/O	通用输入输出
GPIO0_7	I/O	通用输入输出
GPIO1_0	I/O	通用输入输出
GPIO1_1	I/O	通用输入输出
GPIO1_2	I/O	通用输入输出
GPIO1_3	I/O	通用输入输出



信号名	方向	说明
GPIO1_4	I/O	通用输入输出
GPIO1_5	I/O	通用输入输出
GPIO1_6	I/O	通用输入输出
GPIO1_7	I/O	通用输入输出
GPIO2_0	I/O	通用输入输出
GPIO2_1	I/O	通用输入输出
GPIO2_2	I/O	通用输入输出
UART2_TXD	O	UART0 数据发送
VIU0_CLK	I	VIU0 的时钟信号.
VIU0_CLKA	I	VIU0 的时钟信号.
VIU0_DAT0	I	VIU0 的数据输入
VIU0_DAT1	I	VIU0 的数据输入
VIU0_DAT10	I	VIU0 的数据输入
VIU0_DAT11	I	VIU0 的数据输入
VIU0_DAT12	I	VIU0 的数据输入
VIU0_DAT13	I	VIU0 的数据输入
VIU0_DAT14	I	VIU0 的数据输入
VIU0_DAT15	I	VIU0 的数据输入
VIU0_DAT2	I	VIU0 的数据输入
VIU0_DAT3	I	VIU0 的数据输入
VIU0_DAT4	I	VIU0 的数据输入
VIU0_DAT5	I	VIU0 的数据输入
VIU0_DAT6	I	VIU0 的数据输入
VIU0_DAT7	I	VIU0 的数据输入
VIU0_DAT8	I	VIU0 的数据输入
VIU0_DAT9	I	VIU0 的数据输入
VIU0_HS	I	VIU0 的行同步信号，高有效
VIU0_VS	I	VIU0 的场同步信号，高有效
VOU0_CLK	O	BT.656 接口的时钟信号输出



信号名	方向	说明
VOU0_DATA0	O	BT.656 接口的数据信号输出
VOU0_DATA1	O	BT.656 接口的数据信号输出
VOU0_DATA2	O	BT.656 接口的数据信号输出
VOU0_DATA3	O	BT.656 接口的数据信号输出
VOU0_DATA4	O	BT.656 接口的数据信号输出
VOU0_DATA5	O	BT.656 接口的数据信号输出
VOU0_DATA6	O	BT.656 接口的数据信号输出
VOU0_DATA7	O	BT.656 接口的数据信号输出
VOU1_CLK	O	BT.656 接口的时钟信号输出
VOU1_DATA0	O	BT.656 接口的数据信号输出
VOU1_DATA1	O	BT.656 接口的数据信号输出
VOU1_DATA2	O	BT.656 接口的数据信号输出
VOU1_DATA3	O	BT.656 接口的数据信号输出
VOU1_DATA4	O	BT.656 接口的数据信号输出
VOU1_DATA5	O	BT.656 接口的数据信号输出
VOU1_DATA6	O	BT.656 接口的数据信号输出
VOU1_DATA7	O	BT.656 接口的数据信号输出

VIU1

VIU1 的软件复用管脚如表 2-46 所示。

表2-46 VIU1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4
U37	VIU1_CLK	muxctrl_reg19	VIU1_CLK	GPIO2_3	VOU2_CLK	VIU4_CLK
N34	VIU1_VS	muxctrl_reg20	VIU1_VS	GPIO2_4	UART2_RXD	-
N33	VIU1_HS	muxctrl_reg21	VIU1_HS	GPIO2_5	VOU3_CLK	VIU1_CLKA
U36	VIU1_DAT15	muxctrl_reg22	VIU1_DAT15	GPIO2_6	VOU2_DATA7	VIU4_DAT15



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4
U34	VIU1_DAT14	muxctrl_reg23	VIU1_DAT14	GPIO2_7	VOU2_DATA6	VIU4_DAT14
U33	VIU1_DAT13	muxctrl_reg24	VIU1_DAT13	GPIO3_0	VOU2_DATA5	VIU4_DAT13
R37	VIU1_DAT12	muxctrl_reg25	VIU1_DAT12	GPIO3_1	VOU2_DATA4	VIU4_DAT12
R36	VIU1_DAT11	muxctrl_reg26	VIU1_DAT11	GPIO3_2	VOU2_DATA3	VIU4_DAT11
T33	VIU1_DAT10	muxctrl_reg27	VIU1_DAT10	GPIO3_3	VOU2_DATA2	VIU4_DAT10
T34	VIU1_DAT9	muxctrl_reg28	VIU1_DAT9	GPIO3_4	VOU2_DATA1	VIU4_DAT9
P37	VIU1_DAT8	muxctrl_reg29	VIU1_DAT8	GPIO3_5	VOU2_DATA0	VIU4_DAT8
P36	VIU1_DAT7	muxctrl_reg30	VIU1_DAT7	GPIO3_6	VOU3_DATA7	VIU4_DAT7
R33	VIU1_DAT6	muxctrl_reg31	VIU1_DAT6	GPIO3_7	VOU3_DATA6	VIU4_DAT6
R34	VIU1_DAT5	muxctrl_reg32	VIU1_DAT5	GPIO4_0	VOU3_DATA5	VIU4_DAT5
P34	VIU1_DAT4	muxctrl_reg33	VIU1_DAT4	GPIO4_1	VOU3_DATA4	VIU4_DAT4
P33	VIU1_DAT3	muxctrl_reg34	VIU1_DAT3	GPIO4_2	VOU3_DATA3	VIU4_DAT3
N37	VIU1_DAT2	muxctrl_reg35	VIU1_DAT2	GPIO4_3	VOU3_DATA2	VIU4_DAT2
N36	VIU1_DAT1	muxctrl_reg36	VIU1_DAT1	GPIO4_4	VOU3_DATA1	VIU4_DAT1
M37	VIU1_DAT0	muxctrl_reg37	VIU1_DAT0	GPIO4_5	VOU3_DATA0	VIU4_DAT0

VIU1 的软件复用管脚如表 2-47 所示。

表2-47 VIU1 的软件复用管脚描述

信号名	方向	说明
GPIO2_3	I/O	通用输入输出
GPIO2_4	I/O	通用输入输出
GPIO2_5	I/O	通用输入输出
GPIO2_6	I/O	通用输入输出
GPIO2_7	I/O	通用输入输出
GPIO3_0	I/O	通用输入输出



信号名	方向	说明
GPIO3_1	I/O	通用输入输出
GPIO3_2	I/O	通用输入输出
GPIO3_3	I/O	通用输入输出
GPIO3_4	I/O	通用输入输出
GPIO3_5	I/O	通用输入输出
GPIO3_6	I/O	通用输入输出
GPIO3_7	I/O	通用输入输出
GPIO4_0	I/O	通用输入输出
GPIO4_1	I/O	通用输入输出
GPIO4_2	I/O	通用输入输出
GPIO4_3	I/O	通用输入输出
GPIO4_4	I/O	通用输入输出
GPIO4_5	I/O	通用输入输出
UART2_RXD	I	UART0 数据接收
VIU1_CLK	I	VIU1 时钟信号
VIU1_CLKA	I	VIU1 时钟信号
VIU1_DAT0	I	VIU1 的数据输入
VIU1_DAT1	I	VIU1 的数据输入
VIU1_DAT10	I	VIU1 的数据输入
VIU1_DAT11	I	VIU1 的数据输入
VIU1_DAT12	I	VIU1 的数据输入
VIU1_DAT13	I	VIU1 的数据输入
VIU1_DAT14	I	VIU1 的数据输入
VIU1_DAT15	I	VIU1 的数据输入
VIU1_DAT2	I	VIU1 的数据输入
VIU1_DAT3	I	VIU1 的数据输入
VIU1_DAT4	I	VIU1 的数据输入
VIU1_DAT5	I	VIU1 的数据输入
VIU1_DAT6	I	VIU1 的数据输入



信号名	方向	说明
VIU1_DAT7	I	VIU1 的数据输入
VIU1_DAT8	I	VIU1 的数据输入
VIU1_DAT9	I	VIU1 的数据输入
VIU1_HS	I	VIU1 的行同步，高有效
VIU1_VS	I	VIU1 的场同步信号，高有效
VIU4_CLK	I	VIU4（级联到 VDP 模块）的时钟信号。
VIU4_DAT0	I	VIU4 的数据输入
VIU4_DAT1	I	VIU4 的数据输入
VIU4_DAT10	I	VIU4 的数据输入
VIU4_DAT11	I	VIU4 的数据输入
VIU4_DAT12	I	VIU4 的数据输入
VIU4_DAT13	I	VIU4 的数据输入
VIU4_DAT14	I	VIU4 的数据输入
VIU4_DAT15	I	VIU4 的数据输入
VIU4_DAT2	I	VIU4 的数据输入
VIU4_DAT3	I	VIU4 的数据输入
VIU4_DAT4	I	VIU4 的数据输入
VIU4_DAT5	I	VIU4 的数据输入
VIU4_DAT6	I	VIU4 的数据输入
VIU4_DAT7	I	VIU4 的数据输入
VIU4_DAT8	I	VIU4 的数据输入
VIU4_DAT9	I	VIU4 的数据输入
VOU2_CLK	O	BT.656 接口的时钟信号输出
VOU2_DATA0	O	BT.656 接口的数据信号输出
VOU2_DATA1	O	BT.656 接口的数据信号输出
VOU2_DATA2	O	BT.656 接口的数据信号输出
VOU2_DATA3	O	BT.656 接口的数据信号输出
VOU2_DATA4	O	BT.656 接口的数据信号输出
VOU2_DATA5	O	BT.656 接口的数据信号输出



信号名	方向	说明
VOU2_DATA6	O	BT.656 接口的数据信号输出
VOU2_DATA7	O	BT.656 接口的数据信号输出
VOU3_CLK	O	BT.656 接口的时钟信号输出
VOU3_DATA0	O	BT.656 接口的数据信号输出
VOU3_DATA1	O	BT.656 接口的数据信号输出
VOU3_DATA2	O	BT.656 接口的数据信号输出
VOU3_DATA3	O	BT.656 接口的数据信号输出
VOU3_DATA4	O	BT.656 接口的数据信号输出
VOU3_DATA5	O	BT.656 接口的数据信号输出
VOU3_DATA6	O	BT.656 接口的数据信号输出
VOU3_DATA7	O	BT.656 接口的数据信号输出

VIU2

VIU2 的软件复用管脚如表 2-48 所示。

表2-48 VIU2 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4
M36	VIU2_CLK	muxctrl_reg38	VIU2_CLK	GPIO4_6	VOU4_CLK	-
J33	VIU2_VS	muxctrl_reg39	VIU2_VS	GPIO4_7	UART3_TXD	-
J34	VIU2_HS	muxctrl_reg40	VIU2_HS	GPIO5_0	VOU5_CLK	VIU2_CLKA
M33	VIU2_DAT15	muxctrl_reg41	VIU2_DAT15	GPIO5_1	VOU4_DATA7	-
M34	VIU2_DAT14	muxctrl_reg42	VIU2_DAT14	GPIO5_2	VOU4_DATA6	-
K37	VIU2_DAT13	muxctrl_reg43	VIU2_DAT13	GPIO5_3	VOU4_DATA5	-
K36	VIU2_DAT12	muxctrl_reg44	VIU2_DAT12	GPIO5_4	VOU4_DATA4	-
L33	VIU2_DAT11	muxctrl_reg45	VIU2_DAT11	GPIO5_5	VOU4_DATA3	-
L34	VIU2_DAT10	muxctrl_reg46	VIU2_DAT10	GPIO5_6	VOU4_DATA2	-
J37	VIU2_DAT9	muxctrl_reg47	VIU2_DAT9	GPIO5_7	VOU4_DATA1	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4
J36	VIU2_DAT8	muxctrl_reg48	VIU2_DAT8	GPIO6_0	VOU4_DATA0	-
K33	VIU2_DAT7	muxctrl_reg49	VIU2_DAT7	GPIO6_1	VOU5_DATA7	-
K34	VIU2_DAT6	muxctrl_reg50	VIU2_DAT6	GPIO6_2	VOU5_DATA6	-
H37	VIU2_DAT5	muxctrl_reg51	VIU2_DAT5	GPIO6_3	VOU5_DATA5	-
H36	VIU2_DAT4	muxctrl_reg52	VIU2_DAT4	GPIO6_4	VOU5_DATA4	-
G37	VIU2_DAT3	muxctrl_reg53	VIU2_DAT3	GPIO6_5	VOU5_DATA3	-
H33	VIU2_DAT2	muxctrl_reg54	VIU2_DAT2	GPIO6_6	VOU5_DATA2	-
G36	VIU2_DAT1	muxctrl_reg55	VIU2_DAT1	GPIO6_7	VOU5_DATA1	-
F37	VIU2_DAT0	muxctrl_reg56	VIU2_DAT0	GPIO7_0	VOU5_DATA0	-

VIU2 的软件复用管脚如表 2-49 所示。

表2-49 VIU2 的软件复用管脚描述

信号名	方向	说明
GPIO4_6	I/O	通用输入输出
GPIO4_7	I/O	通用输入输出
GPIO5_0	I/O	通用输入输出
GPIO5_1	I/O	通用输入输出
GPIO5_2	I/O	通用输入输出
GPIO5_3	I/O	通用输入输出
GPIO5_4	I/O	通用输入输出
GPIO5_5	I/O	通用输入输出
GPIO5_6	I/O	通用输入输出
GPIO5_7	I/O	通用输入输出
GPIO6_0	I/O	通用输入输出
GPIO6_1	I/O	通用输入输出
GPIO6_2	I/O	通用输入输出



信号名	方向	说明
GPIO6_3	I/O	通用输入输出
GPIO6_4	I/O	通用输入输出
GPIO6_5	I/O	通用输入输出
GPIO6_6	I/O	通用输入输出
GPIO6_7	I/O	通用输入输出
GPIO7_0	I/O	通用输入输出
UART3_TXD	O	UART3 数据发送
VIU2_CLK	I	VIU2 的时钟信号.
VIU2_CLKA	I	VIU2 的时钟信号.
VIU2_DAT0	I	VIU2 的数据输入
VIU2_DAT1	I	VIU2 的数据输入
VIU2_DAT10	I	VIU2 的数据输入
VIU2_DAT11	I	VIU2 的数据输入
VIU2_DAT12	I	VIU2 的数据输入
VIU2_DAT13	I	VIU2 的数据输入
VIU2_DAT14	I	VIU2 的数据输入
VIU2_DAT15	I	VIU2 的数据输入
VIU2_DAT2	I	VIU2 的数据输入
VIU2_DAT3	I	VIU2 的数据输入
VIU2_DAT4	I	VIU2 的数据输入
VIU2_DAT5	I	VIU2 的数据输入
VIU2_DAT6	I	VIU2 的数据输入
VIU2_DAT7	I	VIU2 的数据输入
VIU2_DAT8	I	VIU2 的数据输入
VIU2_DAT9	I	VIU2 的数据输入
VIU2_HS	I	VIU2 的行同步信号, 高有效
VIU2_VS	I	VIU2 的场同步信号, 高有效
VOU4_CLK	O	BT.656 接口的时钟信号输出
VOU4_DATA0	O	BT.656 接口的数据信号输出



信号名	方向	说明
VOU4_DATA1	O	BT.656 接口的数据信号输出
VOU4_DATA2	O	BT.656 接口的数据信号输出
VOU4_DATA3	O	BT.656 接口的数据信号输出
VOU4_DATA4	O	BT.656 接口的数据信号输出
VOU4_DATA5	O	BT.656 接口的数据信号输出
VOU4_DATA6	O	BT.656 接口的数据信号输出
VOU4_DATA7	O	BT.656 接口的数据信号输出
VOU5_CLK	O	BT.656 接口的时钟信号输出
VOU5_DATA0	O	BT.656 接口的数据信号输出
VOU5_DATA1	O	BT.656 接口的数据信号输出
VOU5_DATA2	O	BT.656 接口的数据信号输出
VOU5_DATA3	O	BT.656 接口的数据信号输出
VOU5_DATA4	O	BT.656 接口的数据信号输出
VOU5_DATA5	O	BT.656 接口的数据信号输出
VOU5_DATA6	O	BT.656 接口的数据信号输出
VOU5_DATA7	O	BT.656 接口的数据信号输出

2.1.6.2 VGAD

VGAD 的软件复用管脚如表 2-50 所示。

表2-50 VGAD 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
A20	VGA_HS	muxctrl_reg57	GPIO7_1	VGA_HS
B20	VGA_VS	muxctrl_reg58	GPIO7_2	VGA_VS

VGAD 的软件复用管脚如表 2-51 所示。



表2-51 VGAD 的软件复用管脚描述

信号名	方向	说明
GPIO7_1	I/O	通用输入输出
GPIO7_2	I/O	通用输入输出
VGA_HS	O	VGA 行同步输出
VGA_VS	O	VGA 场同步输出

2.1.6.3 VOU

VOU 的软件复用管脚如表 2-52 所示。

表2-52 VOU 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
A34	VOU1120_CLK	muxctrl_reg59	VIU3_CLK	GPIO7_3	VOU6_CLK	VOU1120_CLK	SDIO_CLK_OUT
E27	VOU1120_VS	muxctrl_reg60	VIU3_VS	GPIO7_4	UART3_RXD	VOU1120_VS	SDIO_CARD_POWER_EN
D27	VOU1120_HS	muxctrl_reg61	VIU3_HS	GPIO7_5	VOU7_CLK	VOU1120_HS	VIU3_CLKA
B32	VOU1120_DATA15	muxctrl_reg62	VIU3_DATA15	GPIO7_6	VOU6_DATA7	VOU1120_DATA15	SDIO_CARD_DETECT
A32	VOU1120_DATA14	muxctrl_reg63	VIU3_DATA14	GPIO7_7	VOU6_DATA6	VOU1120_DATA14	SDIO_CWPR
E31	VOU1120_DATA13	muxctrl_reg64	VIU3_DATA13	GPIO8_0	VOU6_DATA5	VOU1120_DATA13	SDIO_CCMD
D31	VOU1120_DATA12	muxctrl_reg65	VIU3_DATA12	GPIO8_1	VOU6_DATA4	VOU1120_DATA12	SDIO_CDATA0
E30	VOU1120_DATA11	muxctrl_reg66	VIU3_DATA11	GPIO8_2	VOU6_DATA3	VOU1120_DATA11	SDIO_CDATA1
D30	VOU1120_DATA10	muxctrl_reg67	VIU3_DATA10	GPIO8_3	VOU6_DATA2	VOU1120_DATA10	SDIO_CDATA2
B31	VOU1120_DATA9	muxctrl_reg68	VIU3_DATA9	GPIO8_4	VOU6_DATA1	VOU1120_DATA9	SDIO_CDATA3
A31	VOU1120_DATA8	muxctrl_reg69	VIU3_DATA8	GPIO8_5	VOU6_DATA0	VOU1120_DATA8	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
D29	VOU1120_DATA7	muxctrl_reg70	VIU3_D AT7	GPIO8_6	VOU7_DATA7	VOU1120_DATA7	-
E29	VOU1120_DATA6	muxctrl_reg71	VIU3_D AT6	GPIO8_7	VOU7_DATA6	VOU1120_DATA6	-
B30	VOU1120_DATA5	muxctrl_reg72	VIU3_D AT5	GPIO9_0	VOU7_DATA5	VOU1120_DATA5	-
A30	VOU1120_DATA4	muxctrl_reg73	VIU3_D AT4	GPIO9_1	VOU7_DATA4	VOU1120_DATA4	-
E28	VOU1120_DATA3	muxctrl_reg74	VIU3_D AT3	GPIO9_2	VOU7_DATA3	VOU1120_DATA3	-
D28	VOU1120_DATA2	muxctrl_reg75	VIU3_D AT2	GPIO9_3	VOU7_DATA2	VOU1120_DATA2	-
B29	VOU1120_DATA1	muxctrl_reg76	VIU3_D AT1	GPIO9_4	VOU7_DATA1	VOU1120_DATA1	-
A29	VOU1120_DATA0	muxctrl_reg77	VIU3_D AT0	GPIO9_5	VOU7_DATA0	VOU1120_DATA0	-

VOU 的软件复用管脚如表 2-53 所示。

表2-53 VOU 的软件复用管脚描述

信号名	方向	说明
GPIO7_3	I/O	通用输入输出
GPIO7_4	I/O	通用输入输出
GPIO7_5	I/O	通用输入输出
GPIO7_6	I/O	通用输入输出
GPIO7_7	I/O	通用输入输出
GPIO8_0	I/O	通用输入输出
GPIO8_1	I/O	通用输入输出
GPIO8_2	I/O	通用输入输出
GPIO8_3	I/O	通用输入输出
GPIO8_4	I/O	通用输入输出
GPIO8_5	I/O	通用输入输出
GPIO8_6	I/O	通用输入输出



信号名	方向	说明
GPIO8_7	I/O	通用输入输出
GPIO9_0	I/O	通用输入输出
GPIO9_1	I/O	通用输入输出
GPIO9_2	I/O	通用输入输出
GPIO9_3	I/O	通用输入输出
GPIO9_4	I/O	通用输入输出
GPIO9_5	I/O	通用输入输出
SDIO_CARD_DETECT	I	卡检查信号，低电平有效
SDIO_CARD_POWER_EN	O	电源使能控制信号，为 1 时 power on
SDIO_CCLK_OUT	O	输出给卡使用的工作时钟
SDIO_CCMD	I/O	卡命令
SDIO_CDATA0	I/O	卡数据
SDIO_CDATA1	I/O	卡数据
SDIO_CDATA2	I/O	卡数据
SDIO_CDATA3	I/O	卡数据
SDIO_CWPR	I	卡写保护检测
UART3_RXD	I	UART3 数据接收
VIU3_CLK	I	VIU3 的时钟信号.
VIU3_CLKA	I	VIU3 的时钟信号.
VIU3_DAT0	I	VIU3 的数据输入
VIU3_DAT1	I	VIU3 的数据输入
VIU3_DAT10	I	VIU3 的数据输入
VIU3_DAT11	I	VIU3 的数据输入
VIU3_DAT12	I	VIU3 的数据输入
VIU3_DAT13	I	VIU3 的数据输入
VIU3_DAT14	I	VIU3 的数据输入
VIU3_DAT15	I	VIU3 的数据输入
VIU3_DAT2	I	VIU3 的数据输入
VIU3_DAT3	I	VIU3 的数据输入



信号名	方向	说明
VIU3_DAT4	I	VIU3 的数据输入
VIU3_DAT5	I	VIU3 的数据输入
VIU3_DAT6	I	VIU3 的数据输入
VIU3_DAT7	I	VIU3 的数据输入
VIU3_DAT8	I	VIU3 的数据输入
VIU3_DAT9	I	VIU3 的数据输入
VIU3_HS	I	VIU3 的行同步信号，高有效
VIU3_VS	I	VIU3 的场同步信号，高有效
VOU1120_CLK	O	BT.1120 接口时钟输出
VOU1120_DATA0	O	BT.1120 接口的色度信号输出
VOU1120_DATA1	O	BT.1120 接口的色度信号输出
VOU1120_DATA10	O	BT.1120 接口的亮度信号输出
VOU1120_DATA11	O	BT.1120 接口的亮度信号输出
VOU1120_DATA12	O	BT.1120 接口的亮度信号输出
VOU1120_DATA13	O	BT.1120 接口的亮度信号输出
VOU1120_DATA14	O	BT.1120 接口的亮度信号输出
VOU1120_DATA15	O	BT.1120 接口的亮度信号输出
VOU1120_DATA2	O	BT.1120 接口的色度信号输出
VOU1120_DATA3	O	BT.1120 接口的色度信号输出
VOU1120_DATA4	O	BT.1120 接口的色度信号输出
VOU1120_DATA5	O	BT.1120 接口的色度信号输出
VOU1120_DATA6	O	BT.1120 接口的色度信号输出
VOU1120_DATA7	O	BT.1120 接口的色度信号输出
VOU1120_DATA8	O	BT.1120 接口的亮度信号输出
VOU1120_DATA9	O	BT.1120 接口的亮度信号输出
VOU1120_HS	O	BT.1120 接口行同步输出
VOU1120_VS	O	BT.1120 接口场同步输出
VOU6_CLK	O	BT.656 接口的时钟信号输出
VOU6_DATA0	O	BT.656 接口的数据信号输出



信号名	方向	说明
VOU6_DATA1	O	BT.656 接口的数据信号输出
VOU6_DATA2	O	BT.656 接口的数据信号输出
VOU6_DATA3	O	BT.656 接口的数据信号输出
VOU6_DATA4	O	BT.656 接口的数据信号输出
VOU6_DATA5	O	BT.656 接口的数据信号输出
VOU6_DATA6	O	BT.656 接口的数据信号输出
VOU6_DATA7	O	BT.656 接口的数据信号输出
VOU7_CLK	O	BT.656 接口的时钟信号输出
VOU7_DATA0	O	BT.656 接口的数据信号输出
VOU7_DATA1	O	BT.656 接口的数据信号输出
VOU7_DATA2	O	BT.656 接口的数据信号输出
VOU7_DATA3	O	BT.656 接口的数据信号输出
VOU7_DATA4	O	BT.656 接口的数据信号输出
VOU7_DATA5	O	BT.656 接口的数据信号输出
VOU7_DATA6	O	BT.656 接口的数据信号输出
VOU7_DATA7	O	BT.656 接口的数据信号输出

2.1.6.4 SIO

SIO0/1/2/3

SIO0/1/2/3 的软件复用管脚如表 2-54 所示。

表2-54 SIO0/1/2/3 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
D12	SIO0_RCLK	muxctrl_reg78	GPIO9_6	SIO0_RCLK
E12	SIO0_RFS	muxctrl_reg79	GPIO9_7	SIO0_RFS
B11	SIO0_DIN	muxctrl_reg80	GPIO10_0	SIO0_DIN
A11	SIO1_RCLK	muxctrl_reg81	GPIO10_1	SIO1_RCLK
B12	SIO1_RFS	muxctrl_reg82	GPIO10_2	SIO1_RFS



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
E14	SIO1_DIN	muxctrl_reg83	GPIO10_3	SIO1_DIN
A12	SIO2_RCLK	muxctrl_reg84	GPIO10_4	SIO2_RCLK
B13	SIO2_RFS	muxctrl_reg85	GPIO10_5	SIO2_RFS
A13	SIO2_DIN	muxctrl_reg86	GPIO10_6	SIO2_DIN
D14	SIO3_RCLK	muxctrl_reg87	GPIO10_7	SIO3_RCLK
E15	SIO3_RFS	muxctrl_reg88	GPIO11_0	SIO3_RFS
D15	SIO3_DIN	muxctrl_reg89	GPIO11_1	SIO3_DIN

SIO 的软件复用管脚如表 2-55 所示。

表2-55 SIO 的软件复用管脚描述

信号名	方向	说明
GPIO10_0	I/O	通用输入输出
GPIO10_1	I/O	通用输入输出
GPIO10_2	I/O	通用输入输出
GPIO10_3	I/O	通用输入输出
GPIO10_4	I/O	通用输入输出
GPIO10_5	I/O	通用输入输出
GPIO10_6	I/O	通用输入输出
GPIO10_7	I/O	通用输入输出
GPIO11_0	I/O	通用输入输出
GPIO11_1	I/O	通用输入输出
GPIO9_6	I/O	通用输入输出
GPIO9_7	I/O	通用输入输出
SIO0_DIN	I	I2S 或 PCM 接口数据输入
SIO0_RCLK	I/O	I2S 或 PCM 接口位流时钟
SIO0_RFS	I/O	I2S 或 PCM 接口位流时钟
SIO1_DIN	I	I2S 或 PCM 接口数据输入



信号名	方向	说明
SIO1_RCLK	I/O	I2S 或 PCM 接口位流时钟
SIO1_RFS	I/O	I2S 或 PCM 接口位流时钟
SIO2_DIN	I	I2S 或 PCM 接口数据输入。
SIO2_RCLK	I/O	I2S 或 PCM 接口位流时钟
SIO2_RFS	I/O	I2S 或 PCM 接口位流时钟
SIO3_DIN	I	I2S 或 PCM 接口数据输入。
SIO3_RCLK	I/O	I2S 或 PCM 接口位流时钟
SIO3_RFS	I/O	I2S 或 PCM 接口位流时钟

SIO4

SIO4 的软件复用管脚如表 2-56 所示。

表2-56 SIO4 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
A21	SIO4_XCLK	muxctrl_reg90	GPIO11_2	SIO4_XCLK
E21	SIO4_XFS	muxctrl_reg91	GPIO11_3	SIO4_XFS
B21	SIO4_RCLK	muxctrl_reg92	GPIO11_4	SIO4_RCLK
D21	SIO4_RFS	muxctrl_reg93	GPIO11_5	SIO4_RFS
D22	SIO4_DOUT	muxctrl_reg94	GPIO11_6	SIO4_DOUT
E22	SIO4_DIN	muxctrl_reg95	GPIO11_7	SIO4_DIN

SIO4 的软件复用管脚如表 2-57 所示。

表2-57 SIO4 的软件复用管脚描述

信号名	方向	说明
GPIO11_2	I/O	通用输入输出
GPIO11_3	I/O	通用输入输出
GPIO11_4	I/O	通用输入输出



信号名	方向	说明
GPIO11_5	I/O	通用输入输出
GPIO11_6	I/O	通用输入输出
GPIO11_7	I/O	通用输入输出
SIO4_DIN	I	I2S 或 PCM 接口数据输入。
SIO4_DOUT	O	I2S 或 PCM 接口数据输出。
SIO4_RCLK	I/O	I2S 或 PCM 接口位流时钟
SIO4_RFS	I/O	I2S 或 PCM 接口位流时钟
SIO4_XCLK	I/O	I2S 或 PCM 接口位流时钟
SIO4_XFS	I/O	I2S 或 PCM 接口位流时钟

2.1.6.5 SPI

SPI 的软件复用管脚如表 2-58 所示。

表2-58 SPI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5	复用信号 6
W34	SPI_SCLK	muxctrl_reg96	GPIO12_0	SPI_SCLK	-	-	-	-
W33	SPI_SDO	muxctrl_reg97	GPIO12_1	SPI_SDO	-	-	-	-
V33	SPI_SDI	muxctrl_reg98	GPIO12_2	SPI_SDI	-	-	-	-
W37	SPI_CSN0	muxctrl_reg99	GPIO12_3	SPI_CSN0	-	-	-	-
AA33	SPI_CSN6	muxctrl_reg100	SPI_CSN6	NF_ECC_TYPE1	-	-	-	-
AB34	SPI_CSN7	muxctrl_reg101	SPI_CSN7	NF_ECC_TYPE2	CLK_TEST_OUT0	CLK_TEST_OUT1	CLK_TEST_OUT2	CLK_TEST_OUT3

SPI 的软件复用管脚如表 2-59 所示。



表2-59 SPI 的软件复用管脚描述

信号名	方向	说明
CLK_TEST_OUT0	O	主测试时钟输出
CLK_TEST_OUT1	O	主测试时钟输出
CLK_TEST_OUT2	O	主测试时钟输出
CLK_TEST_OUT3	O	主测试时钟输出
GPIO12_0	I/O	通用输入输出
GPIO12_1	I/O	通用输入输出
GPIO12_2	I/O	通用输入输出
GPIO12_3	I/O	通用输入输出
NF_ECC_TYPE1	I	NAND FLASH ECC 类型配置
NF_ECC_TYPE2	I	NAND FLASH ECC 类型配置
SPI_CSN0	I/O	SPI 的片选 0 输出
SPI_CSN6	O	SPI 的片选 0 输出
SPI_CSN7	O	SPI 的片选 1 输出
SPI_SCLK	I/O	SPI 时钟信号
SPI_SDI	I	SPI 数据输入
SPI_SDO	O	SPI 数据输出

2.1.6.6 I2C

I2C 的软件复用管脚如表 2-60 所示。

表2-60 I2C 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
V34	I2C_SDA	muxctrl_reg102	GPIO12_4	I2C_SDA
V36	I2C_SCL	muxctrl_reg103	GPIO12_5	I2C_SCL

I2C 的软件复用管脚如表 2-61 所示。



表2-61 I2C 的软件复用管脚描述

信号名	方向	说明
GPIO12_4	I/O	通用输入输出
GPIO12_5	I/O	通用输入输出
I2C_SCL	I/O	I2C 总线时钟, OD 输出
I2C_SDA	I/O	I2C 总线数据/地址, OD 输出

2.1.6.7 UART

UART 的软件复用管脚如表 2-62 所示。

表2-62 UART 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AJ34	UART1_RTSN	muxctrl_reg104	GPIO12_6	UART1_RTSN
AJ33	UART1_RXD	muxctrl_reg105	GPIO12_7	UART1_RXD
AK34	UART1_TXD	muxctrl_reg106	GPIO13_0	UART1_TXD
AK33	UART1_CTSN	muxctrl_reg107	GPIO13_1	UART1_CTSN

UART 的软件复用管脚如表 2-63 所示。

表2-63 UART 的软件复用管脚描述

信号名	方向	说明
GPIO12_6	I/O	通用输入输出
GPIO12_7	I/O	通用输入输出
GPIO13_0	I/O	通用输入输出
GPIO13_1	I/O	通用输入输出
UART1_CTSN	I	Modem 状态输入: Clear To Send.低有效。
UART1_RTSN	O	Modem 状态输出: request to send, 低有效。复位值为 0
UART1_RXD	I	UART1 数据接收
UART1_TXD	O	UART1 数据发送



2.1.6.8 RGMII

RGMII0

RGMII0 的软件复用管脚如表 2-64 所示。

表2-64 RGMII0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
A4	RGMII0_TXCK	muxctrl_reg108	RGMII0_TXCK	GPIO13_2	-
E7	RGMII0_CRS	muxctrl_reg109	GPIO13_3	RGMII0_CRS	RGMII0_RXER
D5	RGMII0_COL	muxctrl_reg110	GPIO13_4	RGMII0_COL	RGMII0_TXER

RGMII0 的软件复用管脚如表 2-65 所示。

表2-65 RGMII0 的软件复用管脚描述

信号名	方向	说明
GPIO13_2	I/O	通用输入输出
GPIO13_3	I/O	通用输入输出
GPIO13_4	I/O	通用输入输出
RGMII0_COL	I	RGMII0 碰撞指示信号
RGMII0_CRS	I	RGMII0 载波侦听信号
RGMII0_RXER	I	RGMII0 接收错误信号
RGMII0_TXCK	I	RGMII0 发送时钟，双沿有效，或 MII0 发送时钟
RGMII0_TXER	O	RGMII0 发送错误信号

RGMII1

RGMII1 的软件复用管脚如表 2-66 所示。



表2-66 RGMII1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5	复用信号 6	复用信号 7
D6	RGMII1_RXDV	muxctrl_reg1_11	GPIO13_5	RGMII1_RXDV	-	-	-	-	-
D7	RGMII1_RXD3	muxctrl_reg1_12	GPIO13_6	RGMII1_RXD3	-	-	-	-	-
B6	RGMII1_RXD2	muxctrl_reg1_13	GPIO13_7	RGMII1_RXD2	-	-	-	-	-
D8	RGMII1_RXD1	muxctrl_reg1_14	GPIO14_0	RGMII1_RXD1	-	-	-	-	-
A6	RGMII1_RXD0	muxctrl_reg1_15	GPIO14_1	RGMII1_RXD0	-	-	-	-	-
A7	RGMII1_RXCK	muxctrl_reg1_16	GPIO14_2	RGMII1_RXCK	-	-	-	-	-
E8	RGMII1_TXEN	muxctrl_reg1_17	GPIO14_3	RGMII1_TXEN	-	-	-	-	-
B8	RGMII1_TXD3	muxctrl_reg1_18	GPIO14_4	RGMII1_TXD3	-	-	-	-	-
A8	RGMII1_TXD2	muxctrl_reg1_19	GPIO14_5	RGMII1_TXD2	-	-	-	-	-
B7	RGMII1_TXD1	muxctrl_reg1_20	GPIO14_6	RGMII1_TXD1	-	-	-	-	-
B9	RGMII1_TXD0	muxctrl_reg1_21	PLL_TEST_OUT0	RGMII1_TXD0	PLL_TEST_OUT1	PLL_TEST_OUT2	PLL_TEST_OUT3	-	PLL_TEST_OUT4
A9	RGMII1_TXCK	muxctrl_reg1_22	GPIO15_0	RGMII1_TXCK	-	-	-	-	-
E9	RGMII1_TXCKOUT	muxctrl_reg1_23	GPIO15_1	RGMII1_TXCKOUT	-	-	-	-	-
D9	RGMII1_CRS	muxctrl_reg1_24	GPIO15_2	RGMII1_CRS	RGMII1_RXER	-	-	-	-
E10	RGMII1_COL	muxctrl_reg1_25	GPIO15_3	RGMII1_COL	RGMII1_TXER	-	-	-	-

RGMII1 的软件复用管脚如表 2-67 所示。



表2-67 RGMII1 的软件复用管脚描述

信号名	方向	说明
GPIO13_5	I/O	通用输入输出
GPIO13_6	I/O	通用输入输出
GPIO13_7	I/O	通用输入输出
GPIO14_0	I/O	通用输入输出
GPIO14_1	I/O	通用输入输出
GPIO14_2	I/O	通用输入输出
GPIO14_3	I/O	通用输入输出
GPIO14_4	I/O	通用输入输出
GPIO14_5	I/O	通用输入输出
GPIO14_6	I/O	通用输入输出
GPIO15_0	I/O	通用输入输出
GPIO15_1	I/O	通用输入输出
GPIO15_2	I/O	通用输入输出
GPIO15_3	I/O	通用输入输出
PLL_TEST_OUT0	O	PLL 测试时钟输出
PLL_TEST_OUT1	O	PLL 测试时钟输出
PLL_TEST_OUT2	O	PLL 测试时钟输出
PLL_TEST_OUT3	O	PLL 测试时钟输出
PLL_TEST_OUT4	O	PLL 测试时钟输出
RGMII1_COL	I	RGMII1 碰撞指示信号
RGMII1_CRS	I	RGMII1 载波侦听信号
RGMII1_RXCK	I	RGMII1 接口接收时钟，双沿有效，或 MII1 接收时钟
RGMII1_RXD0	I	RGMII1 接口接收的数据，或 MII1 接收数据
RGMII1_RXD1	I	RGMII1 接口接收的数据，或 MII1 接收数据
RGMII1_RXD2	I	RGMII1 接口接收的数据，或 MII1 接收数据
RGMII1_RXD3	I	RGMII1 接口接收的数据，或 MII1 接收数据
RGMII1_RXDV	I	RGMII1 接口接收使能，或 MII1 接收使能



信号名	方向	说明
RGMI1_RXER	I	RGMI1 接收错误信号
RGMI1_TXCK	I	RGMI1 发送时钟，双沿有效，或 MI1 发送时钟
RGMI1_TXCKOUT	O	RGMI1 千兆发送时钟，双沿有效
RGMI1_TXD0	O	RGMI1 接口发送数据，或 MI1 发送数据
RGMI1_TXD1	O	RGMI1 接口发送数据，或 MI1 发送数据
RGMI1_TXD2	O	RGMI1 接口发送数据，或 MI1 发送数据
RGMI1_TXD3	O	RGMI1 接口发送数据，或 MI1 发送数据
RGMI1_TXEN	O	RGMI1 接口发送数据使能，或 MI1 接口发送数据使能
RGMI1_TXER	O	RGMI1 发送错误信号

2.1.6.9 IR

IR 的软件复用管脚如表 2-68 所示。

表2-68 IR 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AN34	IR_IN	muxctrl_reg126	IR_IN	GPIO15_4

IR 的软件复用管脚如表 2-69 所示。

表2-69 IR 的软件复用管脚描述

信号名	方向	说明
GPIO15_4	I/O	通用输入输出
IR_IN	I	红外输入

2.1.6.10 NFC

NFC 的软件复用管脚如表 2-70 所示。



表2-70 NFC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AU32	NF_DQ0	muxctrl_reg127	NF_DQ0	GPIO15_5
AT31	NF_DQ1	muxctrl_reg128	NF_DQ1	GPIO15_6
AU31	NF_DQ2	muxctrl_reg129	NF_DQ2	GPIO15_7
AT30	NF_DQ3	muxctrl_reg130	NF_DQ3	GPIO16_0
AP28	NF_DQ4	muxctrl_reg131	NF_DQ4	GPIO16_1
AN27	NF_DQ5	muxctrl_reg132	NF_DQ5	GPIO16_2
AP27	NF_DQ6	muxctrl_reg133	NF_DQ6	GPIO16_3
AN26	NF_DQ7	muxctrl_reg134	NF_DQ7	GPIO16_4
AU30	NF_RDY0	muxctrl_reg135	NF_RDY0	GPIO16_5
AT29	NF_RDY1	muxctrl_reg136	NF_RDY1	GPIO16_6

NFC 的软件复用管脚如表 2-71 所示。

表2-71 NFC 的软件复用管脚描述

信号名	方向	说明
GPIO15_5	I/O	通用输入输出
GPIO15_6	I/O	通用输入输出
GPIO15_7	I/O	通用输入输出
GPIO16_0	I/O	通用输入输出
GPIO16_1	I/O	通用输入输出
GPIO16_2	I/O	通用输入输出
GPIO16_3	I/O	通用输入输出
GPIO16_4	I/O	通用输入输出
GPIO16_5	I/O	通用输入输出
GPIO16_6	I/O	通用输入输出
NF_DQ0	I/O	NAND Flash 数据总线
NF_DQ1	I/O	NAND Flash 数据总线



信号名	方向	说明
NF_DQ2	I/O	NAND Flash 数据总线
NF_DQ3	I/O	NAND Flash 数据总线
NF_DQ4	I/O	NAND Flash 数据总线
NF_DQ5	I/O	NAND Flash 数据总线
NF_DQ6	I/O	NAND Flash 数据总线
NF_DQ7	I/O	NAND Flash 数据总线
NF_RDY0	I	NandFlash 忙/空闲指示。1: 空闲; 0: 忙
NF_RDY1	I	NandFlash 忙/空闲指示。1: 空闲; 0: 忙

2.1.6.11 SFC

SFC 的软件复用管脚如表 2-72 所示。

表2-72 SFC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AT34	SFC_DIO	muxctrl_reg137	SFC_DIO	GPIO16_7
AT33	SFC_WP_IO2	muxctrl_reg138	SFC_WP_IO2	GPIO17_0
AU34	SFC_DOI	muxctrl_reg139	SFC_DOI	GPIO17_1
AT32	SFC_HOLD_IO3	muxctrl_reg140	SFC_HOLD_IO3	GPIO17_2

SFC 的软件复用管脚如表 2-73 所示。

表2-73 SFC 的软件复用管脚描述

信号名	方向	说明
GPIO16_7	I/O	通用输入输出
GPIO17_0	I/O	通用输入输出
GPIO17_1	I/O	通用输入输出
GPIO17_2	I/O	通用输入输出
SFC_DIO	I/O	在 Standard SPI 模式, 为数据的输出信号; 在 Dual SPI 模式下, 为数据的输入输出信号;



信号名	方向	说明
		在 Quad SPI 模式下，为数据的输入输出信号。
SFC_DOI	I/O	在 Standard SPI 模式，为数据的输入信号； 在 Dual SPI 模式下，为数据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。
SFC_HOLD_IO3	I/O	在 Standard SPI 模式，作为 hold 功能，低有效； 在 Dual SPI 模式下，作为 hold 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。
SFC_WP_IO2	I/O	在 Standard SPI 模式，作为 write protect 功能，低有效； 在 Dual SPI 模式下，作为 write protect 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。

2.1.6.12 USB

USB 的软件复用管脚如表 2-74 所示。

表2-74 USB 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
L4	USB0_OVRCUR	muxctrl_reg141	GPIO17_3	USB0_OVRCUR
K4	USB0_PWREN	muxctrl_reg142	GPIO17_4	USB0_PWREN
L5	USB1_OVRCUR	muxctrl_reg143	GPIO17_5	USB1_OVRCUR
K5	USB1_PWREN	muxctrl_reg144	GPIO17_6	USB1_PWREN

USB 的软件复用管脚如表 2-75 所示。

表2-75 USB 的软件复用管脚描述

信号名	方向	说明
GPIO17_3	I/O	通用输入输出
GPIO17_4	I/O	通用输入输出
GPIO17_5	I/O	通用输入输出
GPIO17_6	I/O	通用输入输出



信号名	方向	说明
USB0_OVRCUR	I	USB 端口 0 的端口过流指示信号,高低电平可配,默认为高电平有效
USB0_PWREN	O	USB 端口 0 电源控制输出管脚, 高低电平可配,默认为低电平有效
USB1_OVRCUR	I	USB 端口 1 的端口过流指示信号,高低电平可配,默认为高电平有效
USB1_PWREN	O	USB 端口 1 电源控制输出管脚, 高低电平可配,默认为低电平有效

2.1.6.13 HDMI

HDMI 的软件复用管脚如表 2-76 所示。

表2-76 HDMI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
D24	HDMI_HOTPLUG	muxctrl_reg145	GPIO17_7	HDMI_HOTPLUG
E24	HDMI_CEC	muxctrl_reg146	GPIO18_0	HDMI_CEC
D25	HDMI_SDA	muxctrl_reg147	GPIO18_1	HDMI_SDA
E25	HDMI_SCL	muxctrl_reg148	GPIO18_2	HDMI_SCL

HDMI 的软件复用管脚如表 2-77 所示。

表2-77 HDMI 的软件复用管脚描述

信号名	方向	说明
GPIO17_7	I/O	通用输入输出
GPIO18_0	I/O	通用输入输出
GPIO18_1	I/O	通用输入输出
GPIO18_2	I/O	通用输入输出
HDMI_CEC	I/O	HDMI 接口的控制通道信号
HDMI_HOTPLUG	I	HDMI 接口的热插拔信号
HDMI_SCL	I/O	HDMI I ² C 总线时钟, OD 输出



信号名	方向	说明
HDMI_SDA	I/O	HDMI I ² C 总线数据/地址，OD 输出

2.1.6.14 GPIO

GPIO 的软件复用管脚如表 2-78 所示。

表2-78 GPIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AM34	GPIO18_3	muxctrl_reg149	GPIO18_3	SATA_LED_N0
AM33	GPIO18_4	muxctrl_reg150	GPIO18_4	SATA_LED_N1

GPIO 的软件复用管脚如表 2-79 所示。

表2-79 GPIO 的软件复用管脚描述

信号名	方向	说明
GPIO18_3	I/O	通用输入输出
GPIO18_4	I/O	通用输入输出
SATA_LED_N0	O	SATA0 端口 LED 指示，低有效
SATA_LED_N1	O	SATA1 端口 LED 指示，低有效

2.1.7 硬件管脚复用

2.1.7.1 SPI 管脚复用

SPI 管脚复用如表 2-80 所示。

表2-80 SPI 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
V37	SPI_CSN1	NF_ADNUM
W36	SPI_CSN2	NF_PAGE0
Y34	SPI_CSN3	NF_PAGE1



Pin	Pad 信号	复用信号 1(power_on == 1'b1)
Y33	SPI_CSN4	NF_BLKSIZE
AA34	SPI_CSN5	NF_ECC_TYPE0

SPI 的硬件复用管脚如表 2-81 所示。

表2-81 与 SPI 复用的管脚

信号名	方向	说明
NF_ADNUM	I	发给 NANDFlash 器件的地址数目, 只在上电的瞬间有效:NF_ADNUM+4,默认是 5 个地址
NF_PAGE0	I	boot 时, NandFlash 器件的 page 容量。 00: 512byte 01: 2KB 10: 4KB 11: 8KB
NF_PAGE1		
NF_BLKSIZE	I	boot 时, NandFlash 器件的 block 容量 0: 64 page, 对应 SLC 器件 1: 128 page, 对应 MLC 器件
NF_ECC_TYPE0	I	boot 时, 选择 ECC 模式。 000: 无 ECC 001: 1bit 模式 010: 4byte 模式 011: 保留 100: 24bits 模式 for 1KB 101: 24bits 模式 for 512B。 110~111: 保留。

2.1.7.2 MDIO 管脚复用

MDIO 管脚复用如表 2-82 所示。

表2-82 MDIO 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
E11	MDCK	BOOTROM_SEL



MDIO 的硬件复用管脚如表 2-83 所示。

表2-83 与 MDIO 复用的管脚描述

信号名	方向	说明
BOOTROM_SEL	I	BOOTROM 启动。为 1 时选择从 BOOTROM 启动；如果从 BOOTROM 启动时发现串口通讯不成功，超时等待后根据 BOOT_SEL1/0 将程序入口指向相应的空间

2.1.7.3 NFC 管脚复用

NFC 管脚复用如表 2-84 所示。

表2-84 NFC 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
AU29	NF_REN	JTAG_SEL0
AP26	NF_CLE	BOOT_SEL0
AU28	NF_ALE	BOOT_SEL1
AP25	NF_WEN	JTAG_SEL1

NFC 的硬件复用管脚如表 2-85 所示。

表2-85 与 NFC 复用的管脚描述

信号名	方向	说明
JTAG_SEL0	I	JTAG 功能选择 {JTAG_SEL1,JTAG_SEL0}: 00: A9 01: SATA 10: PCIE0 11: PCIE1
JTAG_SEL1		
BOOT_SEL0	I	{ BOOT_SEL1,BOOT_SEL0}: 00: SPI FLASH 存储空间 01: DDR 存储空间 (PCIE 从加载模式) 10: NAND FLASH 存储空间 11: 保留
BOOT_SEL1		



2.2 电性能参数

2.2.1 推荐工作条件

Hi3531 的功耗参数和推荐工作条件如表 2-86、表 2-87 所示。

表2-86 功耗参数

符号	参数	最小值	典型值	最大值	单位
内核电源	内核电源	TBD	TBD	TBD	mA
3.3V 电源	接口电源	TBD	TBD	TBD	mA
2.5V 电源	接口电源	TBD	TBD	TBD	mA
DVDD1518 电源	DDR 接口电源	TBD	TBD	TBD	mA

表2-87 推荐工作条件

管脚名	描述	Min	Typ	Max
DVDD10	内核电源	0.9V	1.0V	1.1V
DVDD33	I/O 电源	3.0V	3.3V	3.6V
DVDD1518	DDR2 I/O 电源	1.7V	1.8V	1.9V
	DDR 3 I/O 电源	1.425V	1.5V	1.575V
	DDR3L I/O 电源	1.2825V	1.35V	1.4175V
DDR0_REF DDR1_REF	DDR2 参考电压	0.49xDVDD 1518	0.5xDVDD1 518	0.51xDVDD1 518
	DDR3 参考电压	0.49xDVDD 1518	0.5xDVDD1 518	0.51xDVDD1 518
DVDD10_USB	USB 数字电源	-7%	1.0V	+10%
AVDD33_USB	USB 模拟电源	-7%	3.3V	+10%
VDD10_PLL1	PLL1 数字电源	-10%	1.0V	+10%
AVDD33_PLL1	PLL1 模拟电源	-10%	3.3V	+10%
VDDREF10_PLL 2345	PLL2345 数字电源	-10%	1.0V	+10%
VDD10_PLL2345	PLL2345 数字电源	-10%	1.0V	+10%



管脚名	描述	Min	Typ	Max
AVDD33_PLL2345	PLL2345 模拟电源	-10%	3.3V	+10%
PCIE1_VP10	PCIE1 1.0V 电源	-10%	1.0V	+10%
PCIE1_VPH25	PCIE1 2.5V 电源	-10%	2.5V	+10%
PCIE0_VP10	PCIE0 1.0V 电源	-10%	1.0V	+10%
PCIE0_VPH25	PCIE0 2.5V 电源	-10%	2.5V	+10%
SATA_VP10	SATA 1.0V 电源	-10%	1.0V	+10%
SATA_VP25	SATA 2.5V 电源	-10%	2.5V	+10%
VDD25_EFUSE	EFUSE 2.5V 电源	-10%	2.5V	+10%
AVCC10_HDMI	HDMI 1.0V 模拟电源	-10%	1.0V	+10%
DVDD2533	ETH I/O 数字电源	-10%	3.3/2.5V	+10%
AVDD33_VDAC0	VDAC0 模拟电源	-10%	3.3V	+10%
AVDD33_VDAC1	VDAC1 模拟电源	-10%	3.3V	+10%

2.2.2 上下电顺序

为避免 IO 在上电过程中产生大电流，推荐先上 DVDD33，后上 DVDD10。对下电顺序没有要求。

2.2.3 DC/AC 电气参数

Hi3531 DC 电气参数如表 2-88 所示。

表2-88 DC 电气参数表 (DVDD33=3.3V, 5V 输入兼容, 部分接口不支持 5V 输入兼容)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	接口电压	3.0	3.3	3.6	V	-
V _{IH}	高电平输入电压	2.0	-	5.5	V	兼容 5V 输入，部分接口不支持 5V 输入，最大输入要求不高于 DVDD33+0.3V，这些信号有 ETH 所有信号，VOU1120_CLK
V _{IL}	低电平输入电压	-0.3	-	0.8	V	-
I _L	输入漏电流	-	-	±10	μA	-



符号	参数	最小值	典型值	最大值	单位	说明
I _{OZ}	三态输出漏电流	-	-	±10	μA	-
V _{OH}	高电平输出电压	2.4	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.4	V	-
R _{PU}	内部上拉电阻	27	38	59	kΩ	-
R _{PD}	内部下拉电阻	31	46	80	kΩ	-

DDR2 模式下，DC 电气参数如表 2-89 所示。

表2-89 DC 电气参数表 (DVDD1518=1.8V, DDR2 SSTL18 模式)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD1518	接口电压	1.7	1.8	1.9	V	-
V _{ref}	参考电压	833	900	969	mV	(0.49~0.51) %DVDD1518
V _{TT}	端接电压	V _{ref} -40	V _{ref}	V _{ref} +40	mV	-
V _{IH(DC)}	高电平输入电压	V _{ref} +0.125	-	DVDD1518+0.3	V	-
V _{IL(DC)}	低电平输入电压	-0.3	-	V _{ref} -0.125	V	-
I _{OH}	高电平输出电流	-8.1	-	-13.4	mA	-
I _{OL}	低电平输出电流	8.1	-	13.4	mA	-
V _{OH}	高电平输出	DVDD1518 -0.28	-	DVDD1518(1+10%)	V	-
V _{OL}	低电平输出	0	-	0.28	V	I _{OH} =13.4mA

DDR2 模式下，AC 电气参数如表 2-90 所示。

表2-90 AC 电气参数表 (DVDD1518=1.8V, DDR2 模式)

符号	参数	400~533 Mbps		667~800 Mbps		单位	说明
		最小值	最大值	最小值	最大值		
V _{IH(AC)}	AC 高电平输入电压	V _{ref} + 0.25	-	V _{ref} +0.2	-	V	-
V _{IL(AC)}	AC 低电平输入电压	-	V _{ref} -0.25	-	V _{ref} -0.2	V	-



DDR3 模式下，DC 电气参数如表 2-91 所示。

表2-91 DC 电气参数表 (DVDD1518=1.5V, DDR3 模式)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD1518	接口电压	1.425	1.5	1.575	V	-
Vref	参考电压	698	750	803	mV	(0.49~0.51) x DVDD1518
VTT	端接电压	698	750	803	mV	-
V _{IH(DC)}	高电平输入电压	Vref+0.1	-	DVDD1518+0.3	V	-
V _{IL(DC)}	低电平输入电压	-0.3	-	Vref-0.1	V	-
V _{OH}	高电平输出电压	0.8%DVDD1518	-	(1+0.1)%DVDD1518	V	-
V _{OL}	低电平输出电压	0	-	0.2%DVDD1518	V	-
I _{OH}	高电平输出电流	8	-	-	mA	
I _{OL}	低电平输出电流	-8	-	-	mA	

DDR3 模式下，AC 电气参数如表 2-92 所示。

表2-92 AC 电气参数表 (DVDD1518=1.5V, DDR3 模式)

符号	参数	最小值	最大值	单位	说明
V _{IH(AC)}	高电平输入电压	Vref + 0.175	DVDD1518+0.3	V	-
V _{IL(AC)}	低电平输入电压	-	Vref-0.175	V	-
V _{OH}	高电平输出电压	VTT+0.1%DVDD1518	-	V	-
V _{OL}	低电平输出电压	-	VTT-0.1%DVDD1518	V	-

2.3 PCB 设计建议

PCB 设计的详细内容请参见《Hi3531 硬件设计 用户指南》。



2.4 接口时序

2.4.1 DDR 接口时序

2.4.1.1 写操作时序

dqs_out 相对于 dq_out 的写操作时序

dqs_out 相对于 dq_out 的写操作时序的主要时序参数是 tDS 和 tDH。在 DDR2-800 中，tDS 和 tDH 分别为 0.05ns 和 0.125ns。

图2-10 DDR2 中 dqs_out 相对于 dq_out 的写操作时序图

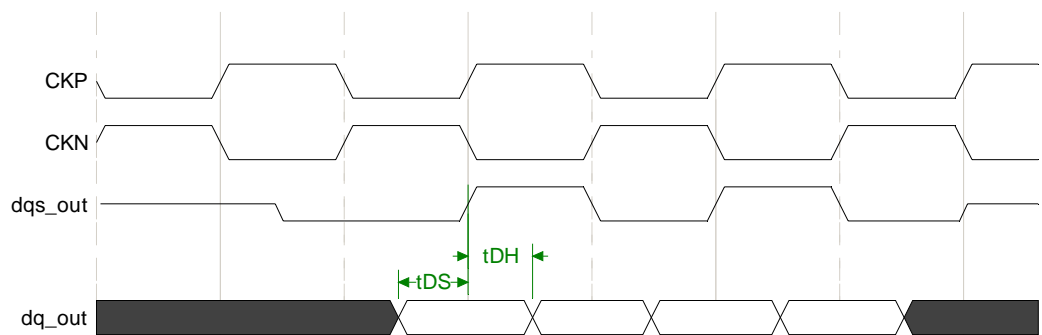
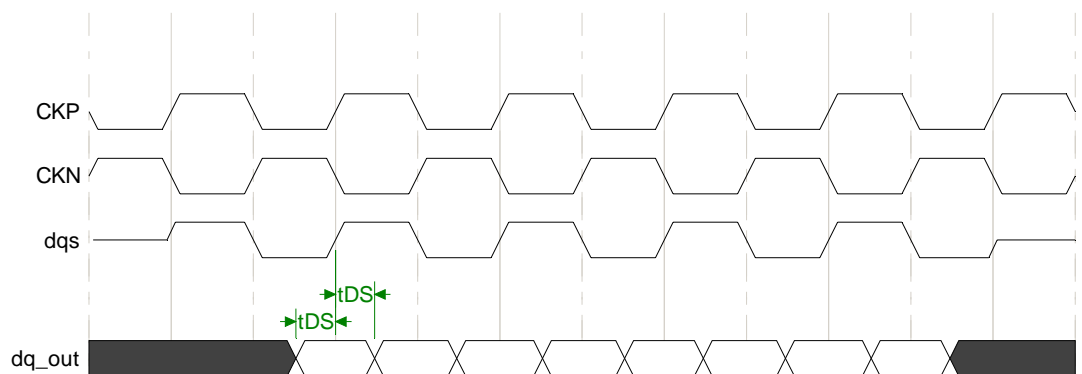


图2-11 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图



dqs_out 相对于 ck 的写操作时序

dqs_out 相对于 ck 的写操作时序。DDR2、DDR3 的时序如图 2-12 和图 2-13 所示。



图2-12 DDR2 中 dqs_out 相对于 ck 的写操作时序图

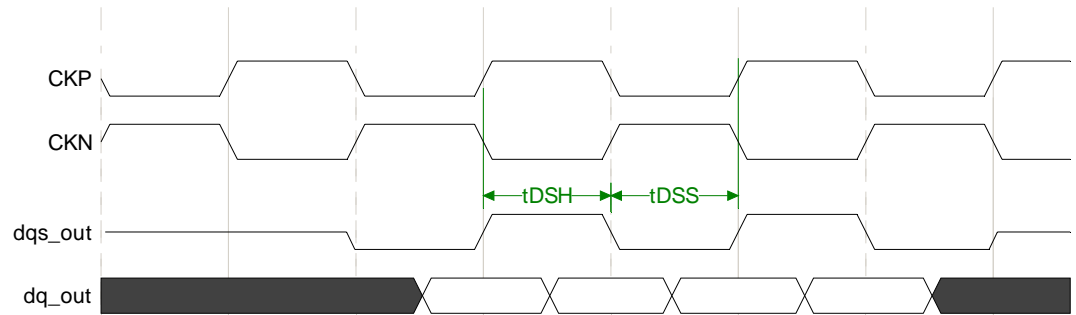
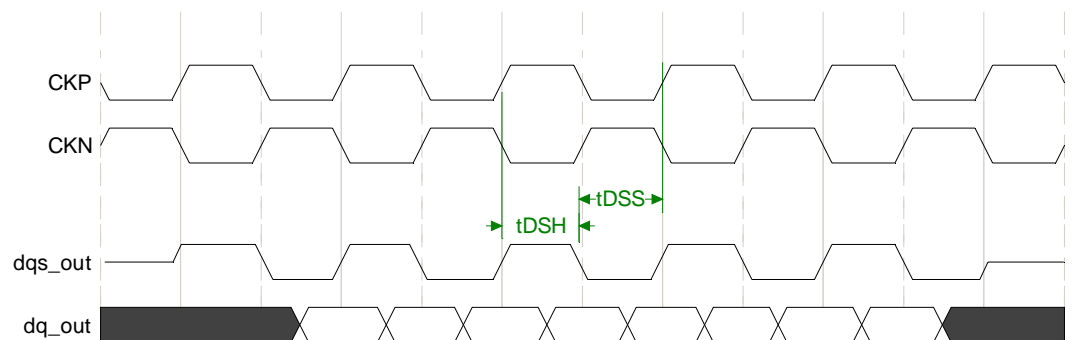


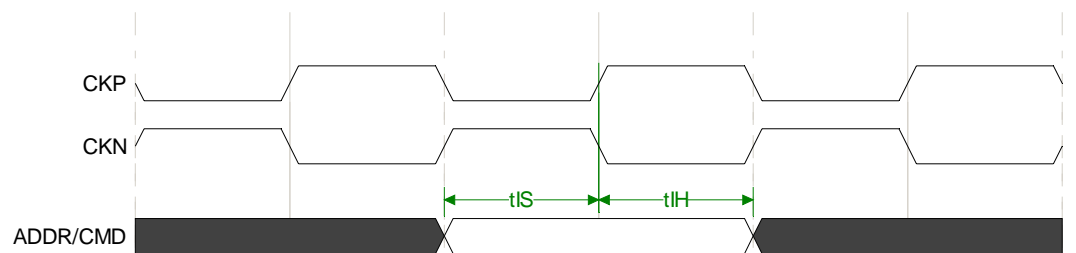
图2-13 DDR3 中 dqs_out 相对于 ck 的写操作时序图



命令和地址相对于 ck 的写操作时序

命令和地址相对于 ck 的写操作时序如图 2-14 所示。

图2-14 命令和地址相对于 ck 的写操作时序图



2.4.1.2 读操作时序

命令和地址相对于 ck 的读操作时序

“命令和地址相对于 ck 的读操作时序”与“命令和地址相对于 ck 的写操作时序”相同。

dqs_in 相对于 dq_in 的读操作时序

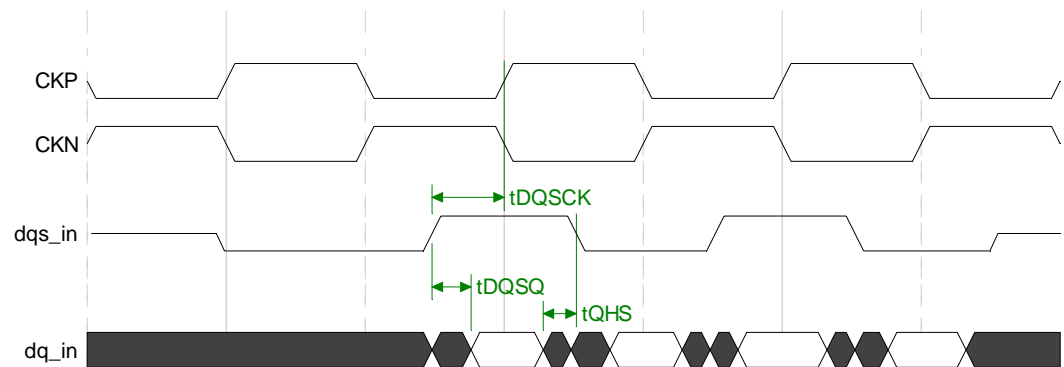


dqs_in 相对于 dq_in 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 dqs_in 和 dq_in 时序。

对于 DDR SDRAM 输出时序，理想情况下，DQS 和 ck 是同相位的，实际情况下，DQS 相对于 CK 有 tDQSK 的偏斜。tDQSK 为 0.35ns。tDQSQ 是 dq 和 dqs 之间的抖动，是最晚有效的 dq 相对于 dqs 的抖动，该值为 0.2ns，tQHS 是最早有效的 dq 相对于 dqs 的抖动，其值为 0.3ns。

DDRn SDRAM 输出时序如图 2-15 所示。

图2-15 DDRn SDRAM 输出时序图



2.4.1.3 时序参数

DDR 接口时序满足 JEDEC (JESD79-2E 和 JESD79-3B) 标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

对于 Hi3531，以 DDR2-800 和 DDR3-1066 的时序参数为依据。

DDR2-800 SDRAM 时钟参数如表 2-93 和表 2-94 所示。

DDR3-1066 SDRAM 时钟参数如表 2-95 和表 2-96 所示。

表2-93 DDR2 时钟参数表

参数	典型值	单位
存储器时钟频率	400.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	48.000	%
时钟偏斜	0.100	ns

DDR2 SDRAM 存储器参数如表 2-94 所示。



表2-94 DDR2 SDRAM 存储器参数表 (DDR2-800)

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.2	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.2	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.050	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.125	ns
DQS 与 DQ 的偏斜	tDQSQ	0.200	ns
数据保持的偏斜	tQHS	0.300	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.175	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.250	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.350	ns

注：部分时序参数可参见后面的时序图。

表2-95 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	500.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	47.000	%
时钟偏斜	0.100	ns

表2-96 DDR3 SDRAM 存储器参数表 (DDR3-1066)

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.2	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.2	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.025	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.100	ns
DQS 与 DQ 的偏斜	tDQSQ	0.150	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.125	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.200	ns



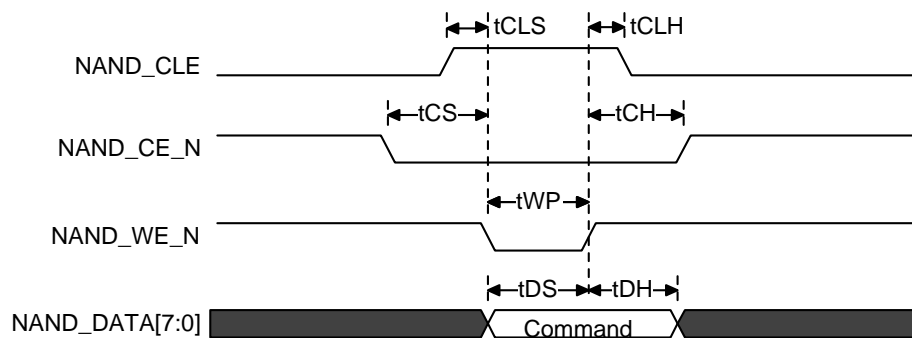
参数	符号	典型值	单位
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.300	ns

2.4.2 NANDC 接口时序

2.4.2.1 命令周期时序

NANDC 命令周期时序如图 2-16 所示。

图2-16 NANDC 命令周期时序图



说明

NAND_WE_N 和 NAND_RE_N 的高电平宽度和低电平宽度是可以通过 NAND Flash 控制器的 NF_PULSE_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以配置”表示。

NANDC 命令周期时序参数如表 2-97 所示。

表2-97 NANDC 命令周期时序参数表

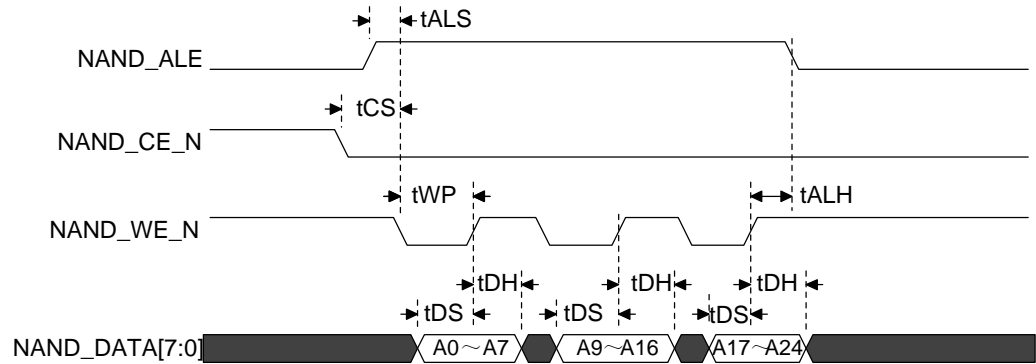
参数	符号	最小值	最大值	单位	说明
NAND_CLE 建立时间	tCLS	0	-	ns	-
NAND_CLE 保持时间	tCLH	10	-	ns	可以配置
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置



2.4.2.2 地址周期时序

NANDC 地址周期时序如图 2-17 所示。

图2-17 NANDC 地址周期时序图



NANDC 地址周期时序参数如表 2-98 所示。

表2-98 NANDC 地址周期时序参数表

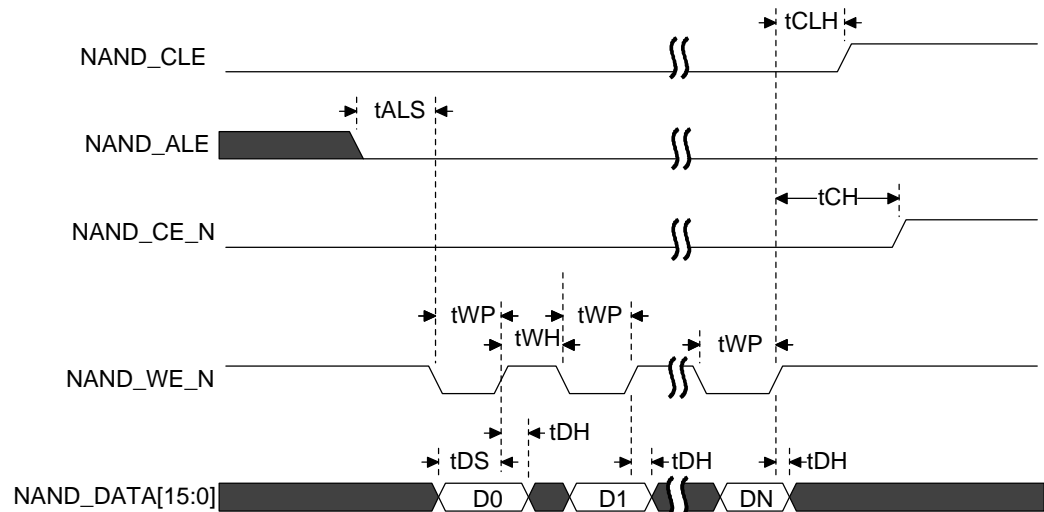
参数	符号	最小值	最大值	单位	说明
NAND_CE_N 建立时间	t_{CS}	0	-	ns	-
NAND_WE_N 脉冲宽度	t_{WP}	15	-	ns	可以配置
NAND_ALE 建立时间	t_{ALS}	0	-	ns	-
NAND_ALE 保持时间	t_{ALH}	10	-	ns	可以配置
数据建立时间	t_{DS}	10	-	ns	可以配置
数据保持时间	t_{DH}	10	-	ns	可以配置

2.4.2.3 写数据时序

NANDC 写数据时序如图 2-18 所示。



图2-18 NANDC 写数据时序图



NANDC 写数据时序参数如表 2-99 所示。

表2-99 NANDC 写数据时序参数表

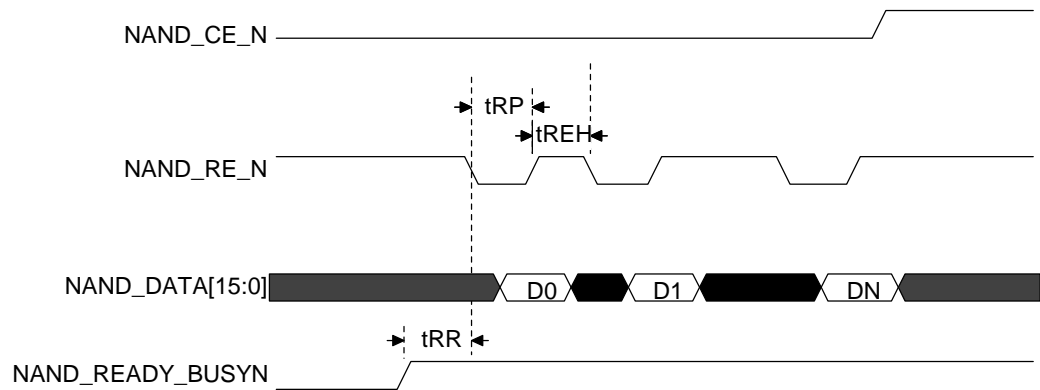
参数	符号	最小值	最大值	单位	说明
NAND_CLE 保持时间	tCLH	10	-	ns	可以配置
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
NAND_ALE 建立时间	tALS	0	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置
NAND_WE_N 高电平保持时间	tWH	15	-	ns	可以配置

2.4.2.4 读数据时序

NANDC 读数据时序如图 2-19 所示。



图2-19 NANDC 读数据时序图



NANDC 读数据时序参数如表 2-100 所示。

表2-100 NANDC 读数据时序参数表

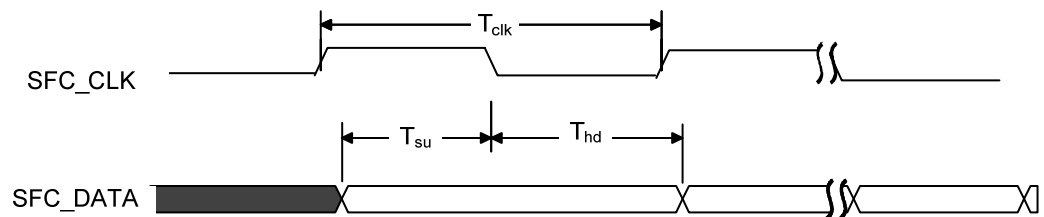
参数	符号	最小值	最大值	单位	说明
NAND_RE_N 变低等待时间	tRR	15	-	ns	可以配置
NAND_RE_N 脉冲宽度	tRP	15	-	ns	可以配置
NAND_RE_N 高电平宽度	tREH	15	-	ns	可以配置

注：tRR 延时是可以配置的。

2.4.3 SFC 接口时序

SFC 输入方向时序如图 2-20 所示。

图2-20 SFC 输入方向时序图



SFC 输入方向时序参数如表 2-101 所示。

表2-101 SFC 输入方向时序参数表

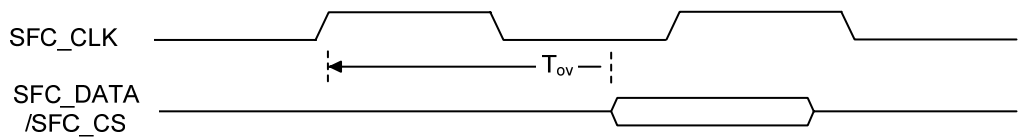
参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期	T_{clk}	13.47	-	83.2	ns



参数	符号	最小值	典型值	最大值	单位
输入信号建立时间要求	T_{su}	5.4	-	-	ns
输入信号保持时间要求	T_{hd}	1.2	-	-	ns

SFC 输出方向时序如图 2-21 所示。

图2-21 SFC 输出方向时序图



SFC 输出方向时序参数如表 2-102 所示。

表2-102 SFC 输出方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFCCLK 时钟周期	T	13.47	-	83.2	ns
输出数据信号延时	T_{ov}	-5	-	3.0	ns
输出片选信号延时	T_{ov}	-5	-	3.0	ns

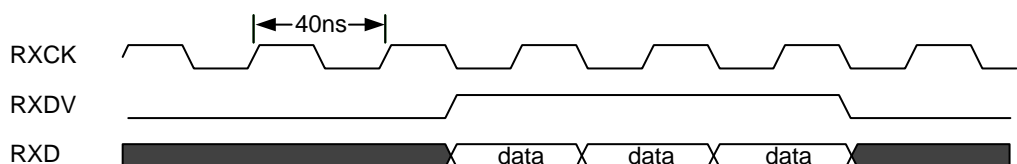
2.4.4 Ethernet MAC 接口时序

2.4.4.1 MII 接口时序

芯片提供标准的 MII 接口，连接 PHY（Physical Layer Entity Sublayer）芯片，符合 MII 接口时序标准。

MII 接口 100Mbit/s 接收时序如图 2-22 所示。

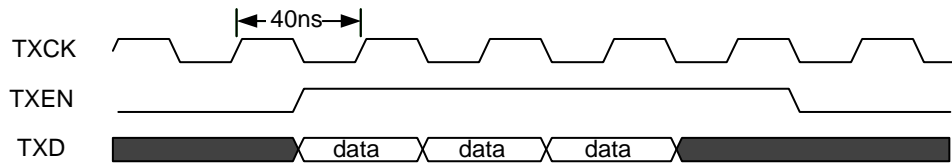
图2-22 MII 接口 100Mbit/s 接收时序



MII 接口 100Mbit/s 发送时序如图 2-23 所示。

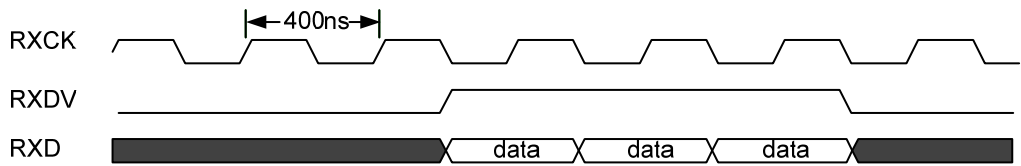


图2-23 MII 接口 100Mbit/s 发送时序



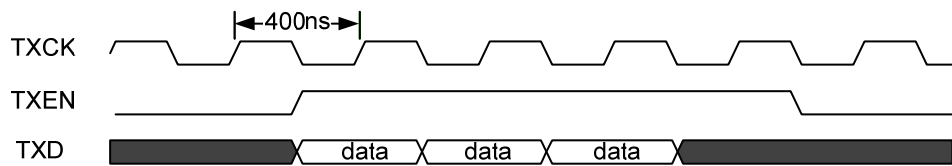
MII 接口 10Mbit/s 接收时序如图 2-24 所示。

图2-24 MII 接口 10Mbit/s 接收时序



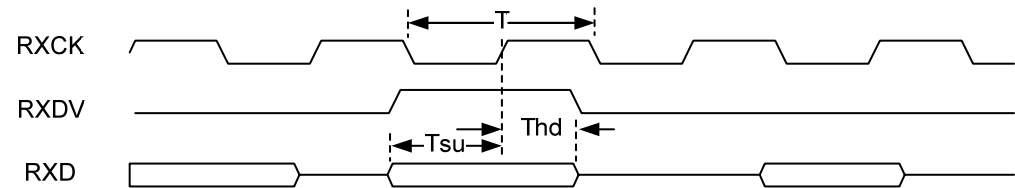
MII 接口 10Mbit/s 发送时序如图 2-25 所示。

图2-25 MII 接口 10Mbit/s 发送时序



MII 接口接收时序参数如图 2-26 所示。

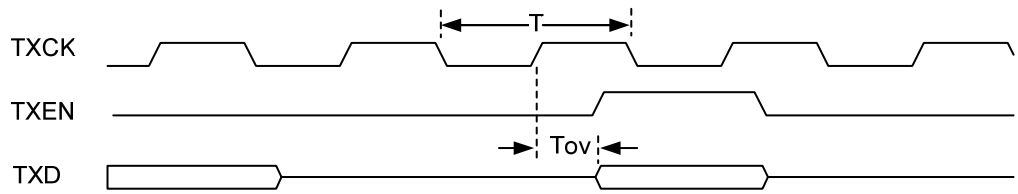
图2-26 MII 接口接收时序参数



MII 接口发送时序参数如图 2-27 所示。



图2-27 MII 接口发送时序参数



MII 接口时序参数说明如表 2-103 所示。

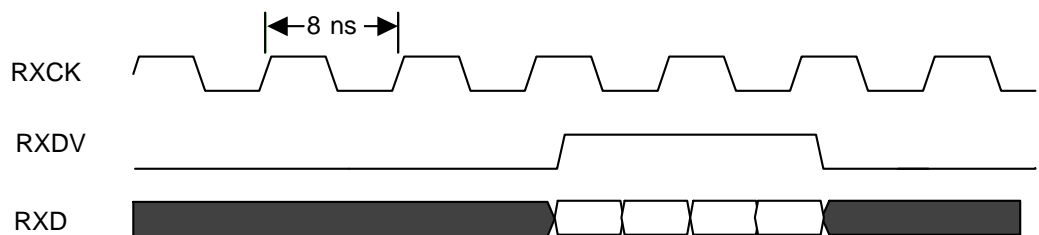
表2-103 MII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
MII 时钟周期	T	RXCK、TXCK	40	40	ns
MII 信号建立时间	T _{su} (RX)	RXER、RXDV、RXD[3:0]	6	-	ns
MII 信号保持时间	T _{hd} (RX)	RXER、RXDV、RXD[3:0]	2	-	ns
MII 输出信号延时	T _{ov} (TX)	TXD[3:0]、TXEN	4	16	ns

2.4.4.2 RGMII 接口时序

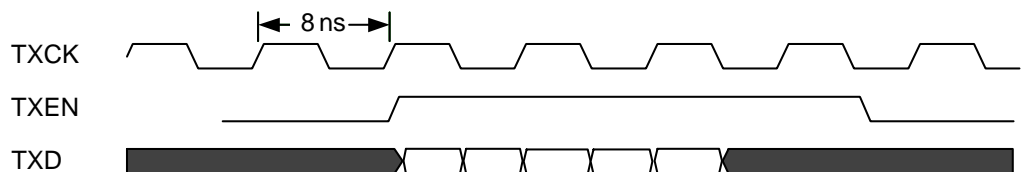
RGMII 接口 1000Mbit/s 接收时序如图 2-22 所示。

图2-28 RGMII 接口 1000Mbit/s 接收时序



RGMII 接口 1000Mbit/s 发送时序如图 2-23 所示。

图2-29 RGMII 接口 1000Mbit/s 发送时序





RGMII 接口时序参数说明如表 2-103 所示。

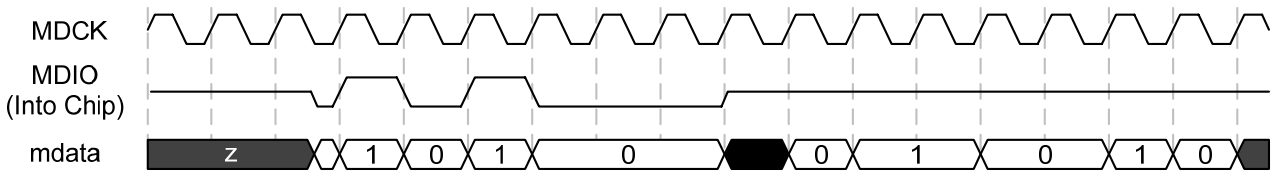
表2-104 RGMII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
RGMII 时钟周期	T	RXCK、TXCK	8	8	ns
RGMII 信号建立时间	Tsu (RX)	RXER、RXDV、RXD[3:0]	0.65	-	ns
RGMII 信号保持时间	Thd (RX)	RXER、RXDV、RXD[3:0]	0.65	-	ns
RGMII 输出信号延时	Tov (TX)	TXD[3:0]、TXEN	-0.6	0.6	ns

2.4.4.3 MDIO 接口时序

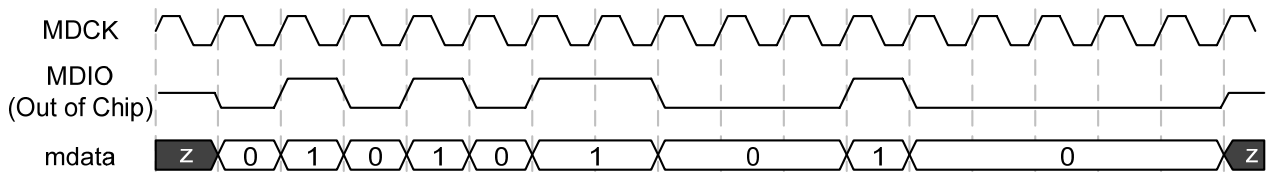
MDIO 接口读时序如图 2-30 所示。

图2-30 MDIO 接口读时序



MDIO 接口写时序如图 2-31 所示。

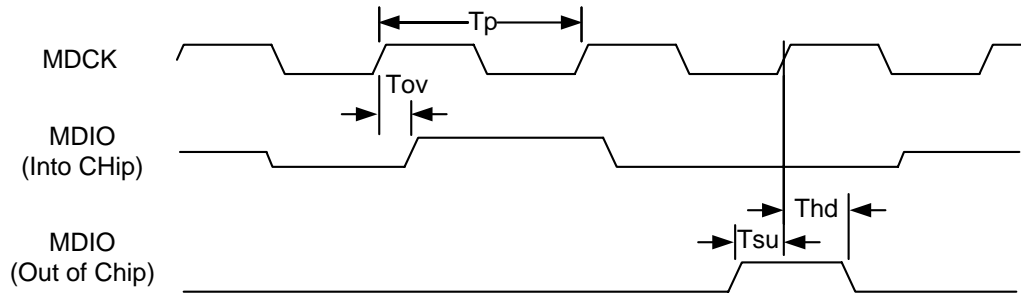
图2-31 MDIO 接口写时序



MDIO 接口时序参数如图 2-32 所示。



图2-32 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 2-105 所示。

表2-105 MDIO 接口时序参数

参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	T_{ov}	MDIO	166	-	ns
MDIO 时钟周期	T_p	MDCK	333	-	ns
MDIO 发送数据建立时间	T_{su}	MDIO	10	-	ns
MDIO 发送数据保持时间	T_{hd}	MDIO	10	-	ns

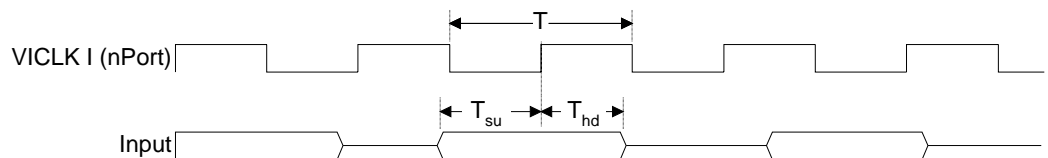
注：MDC 时钟周期 T_p 可通过调整 MDC 频率（`MDIO_RWCTRL[frq_dv]`）进行改变，选择 Ethernet 工作时钟 150MHz 的 100 分频、50 分频或者其他分频。 T_{ov} 与 MDC 时钟周期 T_p 相关，约为 $T_{mdc}/2$ 。

2.4.5 VI 接口时序

外部提供 VI 时钟。当 VI 工作于从模式时，全部为输入接口。

VI 接口时序如图 2-33 所示。

图2-33 VI 接口时序图



VI 接口时序参数如表 2-106 所示。



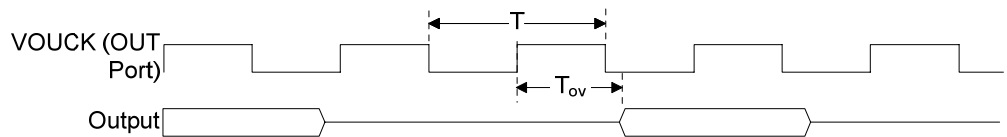
表2-106 VI 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
VI CLK 时钟周期	T	6.74	-	-	ns
输入信号建立时间要求	T_{su}	2	-	-	ns
输入信号保持时间要求	T_{hd}	1.0	-	-	ns

2.4.6 VO 接口时序

VO 接口时序如图 2-34 所示。

图2-34 VO 接口时序



VO 接口时序参数如表 2-107 所示。

表2-107 VO 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
工作频率一					
VO1CLK 时钟周期	T	-	.37	-	ns
输出信号延时	T_{ov}	17	-	22	ns
工作频率二					
VO0CLK 时钟周期	T	-	6.74	-	ns
输出信号延时	T_{ov}	2.5	-	4.8	ns

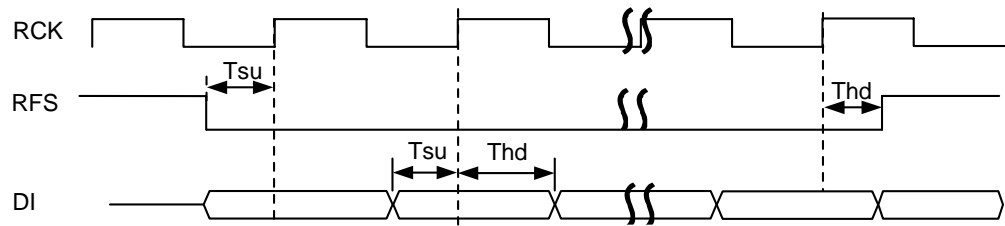
2.4.7 SIO 接口时序

2.4.7.1 I²S 模式接口时序

I²S 接口接收时序如图 2-35 所示。

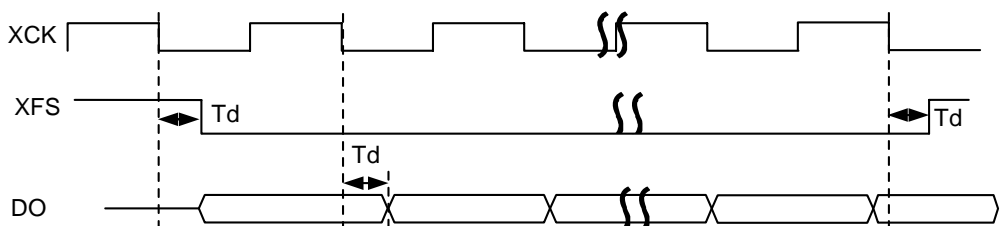


图2-35 I²S 接口接收时序图



I²S 接口发送时序如图 2-36 所示。

图2-36 I²S 接口发送时序图



I²S 接口时序参数如表 2-108 所示。

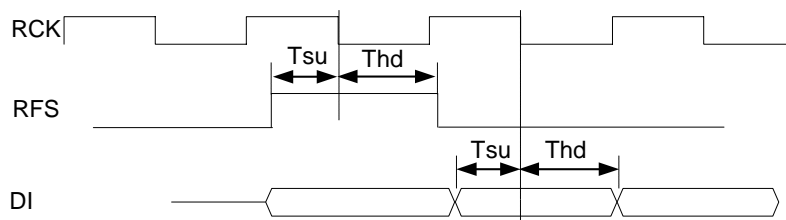
表2-108 I²S 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

2.4.7.2 PCM 模式接口时序

PCM 接口接收时序如图 2-37 所示。

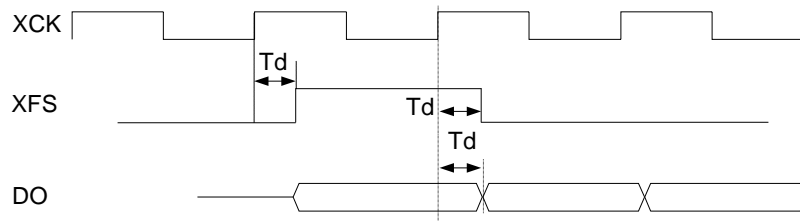
图2-37 PCM 接口接收时序图



PCM 接口发送时序如图 2-38 所示。



图2-38 PCM 接口发送时序图



PCM 接口时序参数如表 2-109 所示。

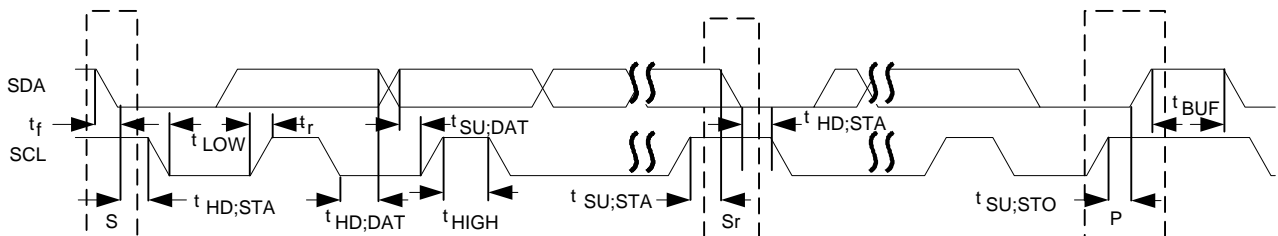
表2-109 PCM 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

2.4.8 I²C 时序

I²C 传输时序如图 2-39 所示。

图2-39 I²C 传输时序图



I²C 接口时序参数如表 2-110 所示。

表2-110 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	kHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	μ s
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μ s



参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{\text{SU,STA}}$	4.7	-	0.6	-	μs
数据保持时间	$t_{\text{HD,DAT}}$	0	3.45	0	0.9	μs
数据建立时间	$t_{\text{SU,DAT}}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{\text{SU,STO}}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{\text{DD}}$	-	$0.1V_{\text{DD}}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{\text{DD}}$	-	$0.2V_{\text{DD}}$	-	V

2.4.9 SPI 接口时序

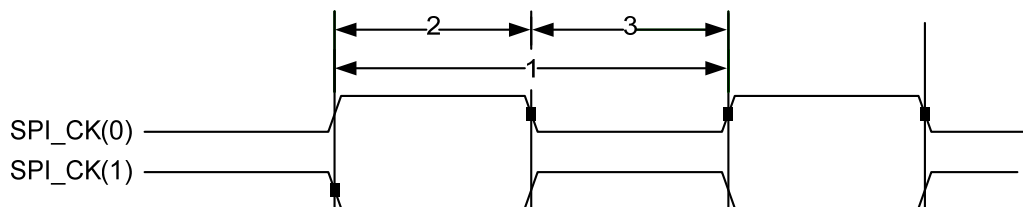
说明

图 2-40 ~ 图 2-42 中，以下缩略语或字母意义不变：

- MSB:Most Significant Bit
- LSB:Least Significant Bit
- SPI_CK(0):spo=0
- SPI_CK(1):spo=1

SPI 接口时钟时序如图 2-40 所示。

图2-40 SPICK 时序



SPI 主模式下接口时序分别如图 2-41 和图 2-42 所示。



图2-41 SPI 主模式下接口时序 (sph=0)

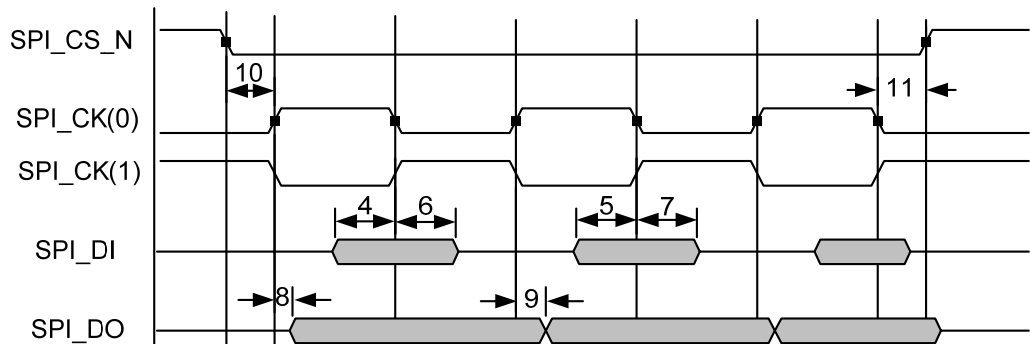
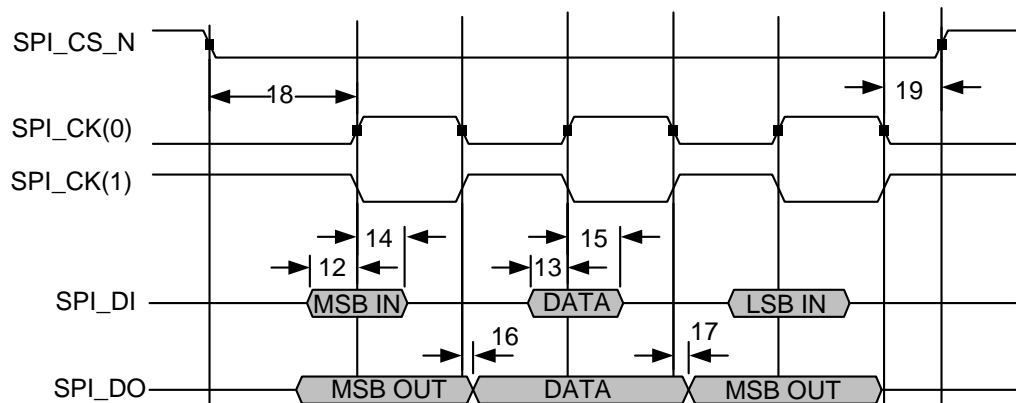


图2-42 SPI 主模式下接口时序 (sph=1)



SPI 接口时序参数如表 2-111 所示。

表2-111 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位
1	Cycle time, SPI_CK	tc	-	-	-	ns
2	Pulse duration, SPI_CK high (All Master Modes)	tw1	-	-	-	ns
3	Pulse duration, SPI_CK low (All Master Modes)	tw2	-	-	-	ns
4	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu1	-	-	-	ns
5	Setup time, SPI_DI (input) valid before SPICK (output) rising edge	tsu2	-	-	-	ns



No	参数	符号	最小值	典型值	最大值	单位
6	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th1	-	-	-	ns
7	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th2	-	-	-	ns
8	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td1	-	-	-	ns
9	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td2	-	-	-	ns
10	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td3	-	-	-	ns
11	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td4	-	-	-	ns
12	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu3	-	-	-	ns
13	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu4	-	-	-	ns
14	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th3	-	-	-	ns
15	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th4	-	-	-	ns
16	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td5	-	-	-	ns
17	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td6	-	-	-	ns
18	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td7	-	-	-	ns
19	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td8	-	-	-	ns



目 录

3 系统	3-1
3.1 复位.....	3-1
3.1.1 概述	3-1
3.1.2 复位控制	3-1
3.1.3 复位配置	3-2
3.2 时钟.....	3-3
3.2.1 概述	3-3
3.2.2 时钟控制框图.....	3-3
3.2.3 时钟配置	3-4
3.2.4 寄存器概览	3-26
3.2.5 寄存器描述	3-28
3.3 中断系统.....	3-97
3.4 系统控制器.....	3-101
3.4.1 概述	3-101
3.4.2 特点	3-101
3.4.3 功能描述	3-101
3.4.4 系统运行模式控制.....	3-101
3.4.1 系统控制器寄存器概览.....	3-105
3.4.2 系统控制器寄存器描述.....	3-108
3.5 直接存储器访问控制器.....	3-206
3.5.1 概述	3-206
3.5.2 特点	3-206
3.5.3 功能描述	3-207
3.5.4 工作方式	3-210
3.5.5 寄存器概览	3-212
3.5.6 DMA 寄存器描述	3-213
3.6 CIPHER	3-230
3.6.1 概述	3-230
3.6.2 特点	3-230
3.6.3 功能描述	3-231



3.6.4 工作方式	3-241
3.6.5 CIPHER 寄存器概览	3-243
3.6.6 CIPHER 寄存器描述	3-245
3.7 定时器.....	3-265
3.7.1 概述	3-265
3.7.2 特点	3-265
3.7.3 功能描述	3-265
3.7.4 工作方式	3-266
3.7.5 寄存器概览	3-267
3.7.6 寄存器描述	3-268
3.8 看门狗.....	3-276
3.8.1 概述	3-276
3.8.2 特点	3-276
3.8.3 功能描述	3-276
3.8.4 工作方式	3-278
3.8.5 WatchDog 寄存器概览.....	3-279
3.8.6 WatchDog 寄存器描述.....	3-279
3.9 实时时钟.....	3-282
3.9.1 概述	3-282
3.9.2 特点	3-283
3.9.3 功能描述	3-283
3.9.4 工作方式	3-283
3.9.5 寄存器概览	3-284
3.9.6 寄存器描述	3-285
3.10 电源管理与低功耗模式控制.....	3-289
3.10.1 概述	3-289
3.10.2 系统工作模式.....	3-289
3.10.3 时钟门控和时钟频率调整.....	3-289
3.10.4 模块级低功耗控制.....	3-290
3.10.5 DDR 低功耗控制	3-293
3.11 处理器子系统.....	3-293
3.11.1 ARMCortex-A9 处理器.....	3-293
3.11.2 L2 Cache	3-294



插图目录

图 3-1 复位信号控制图	3-1
图 3-2 时钟管理模块功能框图.....	3-3
图 3-3 系统模式切换图	3-103
图 3-4 芯片 ID 寄存器位分配图	3-105
图 3-5 DMAC 功能框图	3-207
图 3-6 LLI 更新通道寄存器示意图	3-208
图 3-7 DMAC 链表结构示例.....	3-222
图 3-8 3 个密钥和 2 个密钥的 3DES 加密操作	3-231
图 3-9 3 个密钥和 2 个密钥的 3DES 解密操作	3-232
图 3-10 AES/DES 的电子密码本 (ECB) 模式.....	3-232
图 3-11 3DES 的电子密码本 (ECB) 模式.....	3-233
图 3-12 AES/DES 的密码分组链接 (CBC) 模式.....	3-234
图 3-13 3DES 的密码分组链接 (CBC) 模式	3-235
图 3-14 AES/DES 的 s 位密码反馈 (CFB) 模式.....	3-236
图 3-15 3DES 的 s 位密码反馈 (CFB) 模式	3-237
图 3-16 AES 的输出反馈 (OFB) 模式.....	3-238
图 3-17 DES 的 s 位输出反馈 (OFB) 模式.....	3-239
图 3-18 3DES 的 s 位输出反馈 (OFB) 模式.....	3-240
图 3-19 AES 的 CTR 模式	3-241
图 3-20 多分组加解密通道链表头结构如下:	3-242
图 3-21 CAS 各个 bit 标志.....	3-242
图 3-22 WatchDog 应用框图.....	3-277
图 3-23 从 CPU 断电和唤醒流程.....	3-291
图 3-24 从 CPU 断电和唤醒流程 (续)	3-292



表格目录

表 3-1 复位信号分类表	3-2
表 3-2 Hi3531 PLL 对应的配置寄存器.....	3-4
表 3-3 Hi3531 PLL 与各功能模块对应关系.....	3-4
表 3-4 Hi3531 PLL 频率计算方法.....	3-5
表 3-5 A9/AXI 频率配置.....	3-6
表 3-6 系统控制器状态和时钟切换对应关系.....	3-6
表 3-7 VICAP 时钟频率配置.....	3-7
表 3-8 VDP 模块时钟频率配置.....	3-10
表 3-9 GMAC 时钟模式配置.....	3-11
表 3-10 HDMI 管脚输出时钟频率配置	3-11
表 3-11 VEDU0/VEDU1 时钟频率配置.....	3-12
表 3-12 VPSS0/VPSS1 时钟频率配置.....	3-13
表 3-13 VDH0/VDH1 时钟频率配置	3-14
表 3-14 TDE 时钟频率配置.....	3-15
表 3-15 JPGE 时钟频率配置	3-16
表 3-16 JPGD 时钟频率配置.....	3-16
表 3-17 MDU 时钟频率配置	3-17
表 3-18 VAPU 时钟频率配置	3-18
表 3-19 SATA 时钟频率配置.....	3-18
表 3-20 TOE 时钟频率配置.....	3-18
表 3-21 SDIO 时钟频率配置	3-19
表 3-22 SFC 时钟频率配置	3-19
表 3-23 NFC 时钟频率配置.....	3-19
表 3-24 SIO0/SIO1/SIO2/SIO3/SIO4/SIO5 时钟频率配置.....	3-20
表 3-25 寄存器概览（基址是 0x2003_0000）	3-26



表 3-26 A9 中断源分配表.....	3-97
表 3-27 系统控制器寄存器概览（基址是 0x2005_0000）.....	3-105
表 3-28 DMA 的外设请求分配定义.....	3-209
表 3-29 DMAC 寄存器概览（基址是 0x100D_0000）.....	3-212
表 3-30 DBSize 及 SBSize 的值与其对应的 burst 长度.....	3-225
表 3-31 DWidth 和 SWidth 的值与其对应传输位宽.....	3-225
表 3-32 DMAC_CX_CONTROL 寄存器 Prot 段属性及定义.....	3-226
表 3-33 流控制器及传输类型位定义.....	3-229
表 3-34 CIPHER 寄存器概览（基址是 0x100C_0000）.....	3-243
表 3-35 CIPHER 寄存器偏移地址变量表.....	3-245
表 3-36 Timer 寄存器概览（基址是 0x2000_0000、0x2001_0000、0x2013_0000、0x2014_0000）.....	3-267
表 3-37 WatchDog 寄存器概览（基址是 0x2004_0000）.....	3-279
表 3-38 RTC 寄存器概览（基址是 0x2006_0000）.....	3-284
表 3-39 L2 Cache 与 AXI 总线之间的工作频率关系.....	3-294



3 系统

3.1 复位

3.1.1 概述

复位管理模块对整个芯片的复位、各功能模块的复位进行统一的管理，包括：

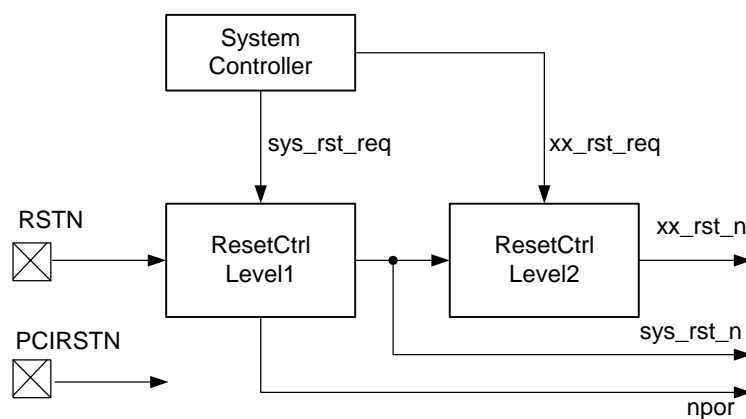
- 上电复位的管理和控制
- 系统软复位、功能模块单独软复位控制
- 复位信号同步到各模块对应时钟域

复位管理模块生成芯片内部各功能模块的复位信号。

3.1.2 复位控制

复位信号控制如图3-1所示。

图3-1 复位信号控制图



RSTN: 上电复位信号，源自芯片管脚 RSTN 输入。
sys_rst_req: 全局软复位请求信号，源自系统控制器。
xx_rst_req: 子模块单独软复位请求信号，源自 CRG 控制寄存器。
xx_rst_n、sys_rst_n、npor: 复位信号。



表3-1 复位信号分类表

复位信号类型	产生方式	用途
全局硬复位 npor	来自复位管脚 RSTN	对整芯片进行全局复位。
全局软复位 sys_rst_n	软件配置系统控制器的全局软复位寄存器	对整芯片中除了时钟复位电路和测试电路的所有模块进行全局复位。
子模块复位 xx_rst_n	软件配置 CRG 控制寄存器的子模块复位控制寄存器	芯片各子模块的单独复位。

3.1.3 复位配置

上电复位

RSTN 是 Hi3531 芯片的功能复位输入 IO，完成上电复位过程必须同时满足以下条件：

- 上电复位 IO 输入一个低电平脉冲。
- 晶振时钟输入管脚 XIN 输入的时钟稳定。
- 输入的上电复位信号低电平维持时间大于 12 个 XIN 晶振时钟周期。

系统复位

实现系统复位有两种途径：

- 上电复位。
- 全局软复位，通过系统控制器控制。

软复位

软复位控制通过配置相应的系统控制器来实现，具体配置请参见每个模块的复位寄存器描述。



注意

- 系统软复位请求发出后，电路必须等待至少 360 个系统时钟周期才完成复位撤消。
- 各模块单独软复位不会自动撤消，例如某模块的复位是配置 1 时，模块处于复位状态，那么必须再配置为 0，该模块复位才会撤消。



3.2 时钟

3.2.1 概述

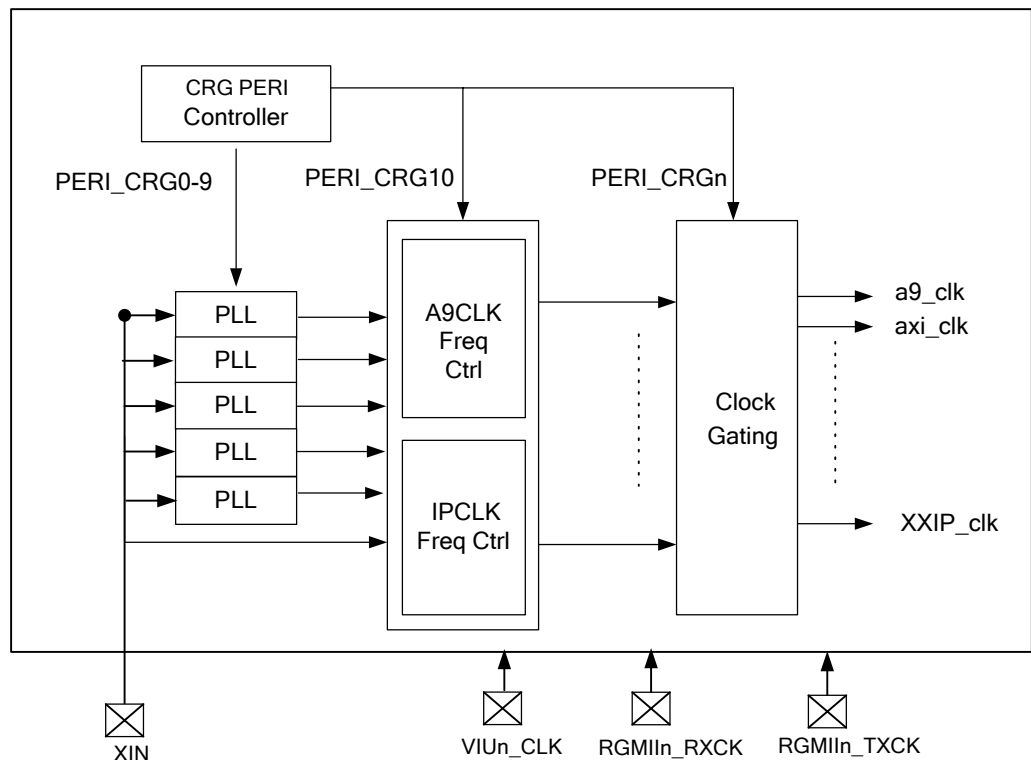
时钟管理模块对芯片时钟输入、时钟生成和控制进行统一的管理，包括：

- 时钟输入的管理和控制
- 时钟分频和控制
- 生成各模块的工作时钟

3.2.2 时钟控制框图

时钟管理模块功能框图如图 3-2 所示。

图3-2 时钟管理模块功能框图



注：图中的 VIUnCK 中的 n 取值范围为 0~7； RGMIIIn_RXCK 和 RGMIIIn_TXCK 中的 n 取值范围为 0~1。

时钟管理模块有以下两部分输入：

- 源自芯片管脚的时钟输入：XIN、VIUn_CLK、RGMIIIn_RXCK、RGMIIIn_TXCK。
 - XIN 为 PLL 输入时钟,固定连接 24MHz 晶体
 - VIUn_CLK 为视频输入时钟



- RGMII_{in}_RXCK、RGMII_{in}_TXCK（MII 模式）为 GMAC 模块接口时钟
- 源自 CRG 系统控制器的时钟控制寄存器。
 - PLL 频率配置
 - IP 时钟频率配置
 - 时钟门控配置

时钟管理模块功能主体主要包括三部分：

- PLL 单元，用于产生 A9 和总线时钟，以及其它外设所需时钟。
- A9 频率控制单元 A9 Freq Ctrl 和模块时钟频率控制单元 IPCLK Freq Ctrl。
- 时钟门控管理单元 Clock Gating。

3.2.3 时钟配置

PLL 配置

Hi3531 内部使用了 5 个 PLL，每个 PLL 使用两组配置寄存器。

表3-2 Hi3531 PLL 对应的配置寄存器

PLL	配置寄存器 1	配置寄存器 0
APLL	PERI_CRG0	PERI_CRG1
VPLL0	PERI_CRG2	PERI_CRG3
VPLL1	PERI_CRG4	PERI_CRG5
VPLL2	PERI_CRG6	PERI_CRG7
EPLL	PERI_CRG8	PERI_CRG9

PLL 与功能模块对应关系如表 3-3 所示。

表3-3 Hi3531 PLL 与各功能模块对应关系

PLL	PLL 输出 Pin	用途
APLL	FOUTPOSTDIV	<ul style="list-style-type: none"> • 产生 CPU 工作时钟 • 产生 DDR 工作时钟 • DDR 时钟 2 分频后产生 AXI 总线时钟 • DDR 时钟 4 分频后产生 APB 总线时钟
VPLL0	FOUTPOSTDIV	默认配置 268.5MHz，作为 VDP HD/HDMI 源时钟之一。
VPLL1	FOUTPOSTDIV	默认配置 297MHz，2 分频后作为 VDP HD/HDMI 源时钟之一。



PLL	PLL 输出 Pin	用途
	FOUT1	默认配置 148.5MHz，此时作为 SFC 模块源时钟之一。
VPLL2	FOUT2	配置为 405MHz，作为 VEDU/VPSS/TDE 工作时钟
	FOUT3	配置为 270MHz，5 分频后作为 VDP SD 工作时钟。
	FOUT4	配置为 202.5MHz，作为 CIPHER 模块工作时钟
EPLL	FOUTVCO	配置为 1500MHz，5 分频后得到 300MHz，作为 MDU/JPGE/JPGD/IVE 工作时钟
	FOUTPOSTDIV	<ul style="list-style-type: none"> 配置为 500MHz，作为 SIO 源时钟。 5 分频后得到 100MHz，作为 NFC/SDIO/SFC，TOE/PCIE 模块工作时钟或源时钟。
	FOUT1	配置为 250MHz，作为 VDH/JPGD 工作时钟
	FOUT2	配置为 125MHz，作为 GMAC/SATA 的参考接口时钟或参考时钟

所有 PLL 采用管脚 XIN 输入的晶振时钟作为输入时钟，PLL 输出频率配置方法请参见表 3-4。

表3-4 Hi3531 PLL 频率计算方法

PLL Pin	计算方法描述	注意事项
FREF	PLL 输入参考时钟	Hi3531 要求固定输入 24MHz
FOUTVCO	$FREF \times (fbdiv + frac/2^{24}) / refdiv$	PLL 工作频率，要求大于等于 800MHz，且小于等于 2.4GHz
FOUTPOSTDIV	$FOUTVCO / (pstdiv1 \times pstdiv2)$	-
FOUT1ph0	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 2)$	-
FOUT2	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 4)$	-
FOUT3	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 6)$	-
FOUT4	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 8)$	-

以配置 VPLL1 为例，VPLL1 输出 FOUTPOSTDIV 的 2 分频给 VDP 模块，VDP 模块需要工作时钟 148.5MHz，下面我们来计算配置寄存器的值：

取 $pstdiv2=1$ ， $pstdiv1=4$ ，则 $FOUTVCO=1188MHz$ 。

取 $refdiv=2$ ，则 $24 \times (fbdiv + frac/2^{24})/2=1188MHz$ 。

由上面的条件推出： $fbdiv=99$ ， $frac=000000$ 。



A9/AXI 频率模式配置

A9/AXI 频率配置方法如表 3-5 所示。

表3-5 A9/AXI 频率配置

信号名	描述
a9_max_freq_mode	<p>系统工作模式配置。</p> <p>00: 系统 4:1 模式; 此时 A9 工作时钟由 APLL 时钟 1 分频得到, DDR 时钟由 APLL 时钟 2 分频得到。</p> <p>11: 系统 3:1 模式; 此时 A9 工作时钟由 APLL 时钟 2 分频得到, DDR 时钟由 APLL 时钟 3 分频得到。</p> <p>01、10: 保留, 不允许配置。</p> <p>Hi3531 A9 工作时钟最高只支持 930MHz; AXI 总线时钟固定由 DDR 时钟 2 分频得到, APB 总线时钟固定由 DDR 时钟 4 分频得到。</p> <p>例如:</p> <ul style="list-style-type: none"> • APLL 配置 930MHz, 系统 4:1 模式, 则 A9/DDR/AXI/APB 工作时钟频率分别为 930M/465M/232.5M/116.25MHz; • APLL 配置 1860MHz, 系统 3:1 模式, 则 A9/DDR/AXI/APB 工作时钟频率分别为 930M/620M/310M/155MHz。 <p>可通过配置 PERI_CRG10 bit[1:0]控制该信号, 不支持动态切换, 只支持在 SLOW 到 NORMAL 切换之前可配置。</p>
a9_axi_freq_mode	<p>A9 与 AXI 频率模式配置。</p> <p>通过 Mask A9 时钟脉冲还可实现 A9 降频使用, 调节其与 AXI 时钟之间的频比。</p> <p>00: 系统 4:1 模式下, A9:AXI = 4:1; 系统 3:1 模式下, A9:AXI = 3:1;</p> <p>01: A9:AXI = 3:1;</p> <p>10: A9:AXI = 2:1;</p> <p>11: A9:AXI = 1:1。</p> <p>可通过配置 PERI_CRG10 bit[3:2]控制该信号。</p>

系统控制器的状态和时钟切换的对应关系如表 3-6 所示。

表3-6 系统控制器状态和时钟切换对应关系

系统控制器状态	46.875kHz 时钟使能状态	24MHz 晶振使能状态	APLL 使能状态	系统时钟状态
NORMAL	使能	使能	使能	ARM 子系统的工作时钟都来自 PLL 输出。



系统控制器状态	46.875kHz 时钟使能状态	24MHz 晶振使能状态	APLL 使能状态	系统时钟状态
SLOW	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振输入。
DOZE	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振时钟分频得到的 46.875KHz 时钟。

模块时钟频率配置

VICAP 时钟配置方式如表 3-7 所示。

VICAP 共支持 8 个端口 16 个通道，每个端口对应两个通道。

表3-7 VICAP 时钟频率配置

信号名	描述
vi0div_sel	VI0 div ch 时钟选择。VI0 div ch 接通道 0 和 1。 00: div2（表示二分频）； 01: div4（表示四分频）； 10: div1（表示一分频，即不分频）； 11: 保留。 通过配置 PERI_CRG12 bit[19:18]控制该信号。
vi1div_sel	VI1 div ch 时钟选择。VI1 div ch 接通道 2 和 3。 00: div2（表示二分频）； 01: div4（表示四分频）； 10: div1（表示一分频，即不分频）； 11: 保留。 通过配置 PERI_CRG12 bit[17:16]控制该信号。
vi2div_sel	VI2 div ch 时钟选择。VI2 div ch 接通道 4 和 5。 00: div2（表示二分频）； 01: div4（表示四分频）； 10: div1（表示一分频，即不分频）； 11: 保留。 通过配置 PERI_CRG12 bit[15:14]控制该信号。



信号名	描述
vi3div_sel	<p>VI3 div ch 时钟选择。VI3 div ch 接通道 6 和 7。</p> <p>00: div2 (表示二分频) ;</p> <p>01: div4 (表示四分频) ;</p> <p>10: div1 (表示一分频, 即不分频) ;</p> <p>11: 保留。</p> <p>通过配置 PERI_CRG12 bit[13:12]控制该信号。</p>
vi4div_sel	<p>VI4 div ch 时钟选择。VI4 div ch 接通道 8 和 9。</p> <p>00: div2 (表示二分频) ;</p> <p>01: div4 (表示四分频) ;</p> <p>10: div1 (表示一分频, 即不分频) ;</p> <p>11: 保留。</p> <p>通过配置 PERI_CRG12 bit[11:10]控制该信号。</p>
vi5div_sel	<p>VI5 div ch 时钟选择。VI5 div ch 接通道 10 和 11。</p> <p>00: div2 (表示二分频) ;</p> <p>01: div4 (表示四分频) ;</p> <p>10: div1 (表示一分频, 即不分频) ;</p> <p>11: 保留。</p> <p>通过配置 PERI_CRG12 bit[9:8]控制该信号。</p>
vi6div_sel	<p>VI6 div ch 时钟选择。VI6 div ch 接通道 12 和 13。</p> <p>00: div2 (表示二分频) ;</p> <p>01: div4 (表示四分频) ;</p> <p>10: div1 (表示一分频, 即不分频) ;</p> <p>11: 保留。</p> <p>通过配置 PERI_CRG12 bit[7:6]控制该信号。</p>
vi7div_sel	<p>VI7 div ch 时钟选择。VI7 div ch 接通道 14 和 15。</p> <p>00: div2 (表示二分频) ;</p> <p>01: div4 (表示四分频) ;</p> <p>10: div1 (表示一分频, 即不分频) ;</p> <p>11: 保留。</p> <p>通过配置 PERI_CRG12 bit[5:4]控制该信号。</p>
vi1_vi0_sel	<p>VI1 ch 时钟源选择。</p> <p>0: 选择 vi1 pad 输入时钟;</p> <p>1: 复用 vi0 pad 输入时钟。</p> <p>通过配置 PERI_CRG12 bit[3]控制该信号。</p>



信号名	描述
vi3_vi2_sel	VI3 ch 时钟源选择。 0: 选择 vi3 pad 输入时钟; 1: 复用 vi2 pad 输入时钟。 通过配置 PERI_CRG12 bit[2]控制该信号。
vi5_vi4_sel	VI5 ch 时钟源选择。 0: 选择 vi5 pad 输入时钟; 1: 复用 vi4 pad 输入时钟。 通过配置 PERI_CRG12 bit[1]控制该信号。
vi7_vi6_sel	VI7 ch 时钟源选择。 0: 选择 vi7 pad 输入时钟; 1: 复用 vi6 pad 输入时钟。 通过配置 PERI_CRG12 bit[0]控制该信号。
vi2_sc_sel	VI2 ch 时钟源选择。 0: 选择 vi2 pad 输入时钟; 1: 复用 vi1 pad 输入时钟。 通过配置 PERI_CRG12 bit[24]控制该信号。
vi6_sc_sel	VI6 ch 时钟源选择。 0: 选择 vi6 pad 输入时钟; 1: 复用 vi5 pad 输入时钟。 通过配置 PERI_CRG12 bit[23]控制该信号。
vi_selftest	所有 VI ch 自测试时的时钟源选择, 通过配置 PERI_CRG12 bit[22]控制该信号。
vin_pctrl	VI _n (0 到 8)输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。 通过配置 PERI_CRG11 bit[15:8]控制该信号。

VDP 模块时钟配置方式如表 3-8 所示。



表3-8 VDP 模块时钟频率配置

信号名	描述
bt1120_cksel	BT1120 输出随路时钟源选择。 0: HD0 时钟; 1: HD1 时钟。 通过配置 PERI_CRG14 bit[27]控制该信号。
hd_vdac_cksel	VO HD DAC 时钟源选择。 00: HD DATE 倍频时钟; 01: HD DATE PIX 时钟; 1X: 保留。 通过配置 PERI_CRG14 bit[26:25]控制该信号。
pix_hd_date_cksel	VO HD DATE 时钟源选择。 0: HD1 时钟; 1: HD0 时钟。 通过配置 PERI_CRG14 bit[24]控制该信号
hdmi_cksel	HDMI 时钟源选择。 0: HD0 时钟; 1: HD1 时钟。 通过配置 PERI_CRG14 bit[22]控制该信号
hd1_cksel	VO HD1 时钟选择。 01: VPLL1 (HD) DIV2 时钟; 00: VPLL0 (VGA) 时钟; 其它: 保留。 通过配置 PERI_CRG14 bit[21:20]控制该信号
hd0_cksel	VO HD0 时钟选择。 000: VPLL1 (HD) DIV2 时钟 ; 001: VPLL0 (VGA) 时钟; 010: 级联时钟; 其它: 保留。 通过配置 PERI_CRG14 bit[19:17]控制该信号
vosdn_out_pctrl	VOU SD _n (0 到 5)输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。 通过配置 PERI_CRG13 bit[13:8]控制该信号



信号名	描述
vohdn_out_pctrl	VOU HD n (0, 1)输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。 通过配置 PERI_CRG13 bit[7:6]控制该信号

GMAC 配置方式如表 3-9 所示。

表3-9 GMAC 时钟模式配置

信号名	描述
GMAC_IF1_Mac_speed	GMAC_IF1 10/100Mbps 模式。 0: 10Mbps; 1: 100Mbps。 通过配置 PERI_CRG59 bit[17]控制该信号。
GMAC_IF1_Port_select	GMAC_IF1 千兆选择使能。 0: 1000Mbps; 1: 10/100Mbps。 通过配置 PERI_CRG59 bit[16]控制该信号。
GMAC_IF0_Mac_speed	GMAC_IF0 10/100Mbps 模式。 0: 10Mbps; 1: 100Mbps。 通过配置 PERI_CRG59 bit[1]控制该信号。
GMAC_IF0_Port_select	GMAC_IF0 千兆选择使能。 0: 1000Mbps; 1: 10/100Mbps。 通过配置 PERI_CRG59 bit[0]控制该信号。

HDMI 时钟配置方式如表 3-10 所示。

表3-10 HDMI 管脚输出时钟频率配置

信号名	描述
hdmi_test_sel	HDMI 测试时钟选择。 0: asclk 时钟; 1: cec_clk 时钟。 通过配置 PERI_CRG15 bit[7]控制该信号。



信号名	描述
hdmi_cec_clk_sel	HDMI CEC CLK 时钟门选择。 0: XTAL div12 时钟; 1: PLL 分频 2.04M 时钟。 通过配置 PERI_CRG15 bit[6]控制该信号。
hdmi_asclk_sel	HDMI ASCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。 通过配置 PERI_CRG15 bit[5]控制该信号。
hdmi_osclk_sel	HDMI OSCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。 通过配置 PERI_CRG15 bit[4]控制该信号。

VEDU0/VEDU1 时钟配置方式如表 3-11 所示。

表3-11 VEDU0/VEDU1 时钟频率配置

信号名	描述
vedu0clk_loaden	VEDU0 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1 通过配置 PERI_CRG16 bit[9]控制该信号。
vedu0clk_skipcfg	VEDU0 时钟分频配置。 N: 每 32 拍 VEDU0 时钟中屏蔽掉 N 拍时钟。 可通过配置 PERI_CRG16[8:4]控制该信号。 VEDU0 工作源时钟为 405MHz，如果 vedu0clk_skipcfg 配置 00，表示 VEDU0 处在 full_speed 模式；如果 vedu0clk_skipcfg 配置 01，表示 VEDU0 工作在降速模式，其实际有效的工作频率为： $405 \times 31 / 32 = 392\text{MHz}$ 。其它配置依次类推。



信号名	描述
vedu1clk_loaden	VEDU1 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1 通过配置 PERI_CRG17 bit[9]控制该信号。
vedu1clk_skipcfg	VEDU1 时钟分频配置。 N：每 32 拍 VEDU1 时钟中屏蔽掉 N 拍时钟。 可通过配置 PERI_CRG17[8:4]控制该信号。 VEDU1 工作源时钟为 405MHz，如果 vedu1clk_skipcfg 配置 00，表示 VEDU1 处在 full_speed 模式；如果 vedu1clk_skipcfg 配置 01，表示 VEDU1 工作在降速模式，其实际有效的工作频率为： $405 \times 31 / 32 = 392\text{MHz}$ 。其它配置依次类推。

VPSS0/VPSS1 时钟配置方式如表 3-12 所示。

表3-12 VPSS0/VPSS1 时钟频率配置

信号名	描述
vpss0clk_loaden	VPSS0 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1 通过配置 PERI_CRG18 bit[9]控制该信号。
vpss0clk_skipcfg	VPSS0 时钟分频配置。 N：每 32 拍 VPSS0 时钟中屏蔽掉 N 拍时钟。 可通过配置 PERI_CRG18[8:4]控制该信号。 VPSS0 工作源时钟为 405MHz，如果 vpss0clk_skipcfg 配置 00，表示 VPSS0 处在 full_speed 模式；如果 vpss0clk_skipcfg 配置 01，表示 VPSS0 工作在降速模式，其实际有效的工作频率为： $405 \times 31 / 32 = 392\text{MHz}$ 。其它配置依次类推。



信号名	描述
vpss1clk_loaden	VPSS1 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1 通过配置 PERI_CRG19 bit[9]控制该信号。
vpss1clk_skipcfg	VPSS1 时钟分频配置。 N: 每 32 拍 VPSS1 时钟中屏蔽掉 N 拍时钟。 可通过配置 PERI_CRG19[8:4]控制该信号。 VPSS1 工作源时钟为 405MHz，如果 vpss1clk_skipcfg 配置 00，表示 VPSS1 处在 full_speed 模式；如果 vpss1clk_skipcfg 配置 01，表示 VPSS1 工作在降速模式，其实际有效的工作频率为： $405 \times 31 / 32 = 392\text{MHz}$ 。其它配置依次类推。

VDH0/VDH1 时钟配置方式如表 3-13 所示。

表3-13 VDH0/VDH1 时钟频率配置

信号名	描述
vdh0clk_loaden	VDH0 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1 通过配置 PERI_CRG20 bit[9]控制该信号。
vdh0clk_skipcfg	VDH0 时钟分频配置。 N: 每 32 拍 VDH0 时钟中屏蔽掉 N 拍时钟。 可通过配置 PERI_CRG18[8:4]控制该信号。 VDH0 工作源时钟为 250MHz，如果 vdh0clk_skipcfg 配置 00，表示 VDH0 处在 full_speed 模式；如果 vdh0clk_skipcfg 配置 01，表示 VDH0 工作在降速模式，其实际有效的工作频率为： $250 \times 31 / 32 = 242\text{MHz}$ 。其它配置依次类推。



信号名	描述
vdh1clk_loaden	VDH1 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1 通过配置 PERI_CRG21 bit[9]控制该信号。
vdh1clk_skipcfg	VDH1 时钟分频配置。 N：每 32 拍 VDH1 时钟中屏蔽掉 N 拍时钟。 可通过配置 PERI_CRG21[8:4]控制该信号。 VDH1 工作源时钟为 250MHz，如果 vdh1clk_skipcfg 配置 00，表示 VDH1 处在 full_speed 模式；如果 vdh1clk_skipcfg 配置 01，表示 VDH1 工作在降速模式，其实际有效的工作频率为： $250 \times 31/32 = 242\text{MHz}$ 。其它配置依次类推。

TDE 时钟配置方式如表 3-14 所示。

表3-14 TDE 时钟频率配置

信号名	描述
tdeclk_loaden	TDE 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1 通过配置 PERI_CRG22 bit[9]控制该信号。
tdeclk_skipcfg	TDE 时钟分频配置。 N：每 32 拍 TDE 时钟中屏蔽掉 N 拍时钟。 可通过配置 PERI_CRG22[8:4]控制该信号。 TDE 工作源时钟为 405MHz，如果 tdeclk_skipcfg 配置 00，表示 TDE 处在 full_speed 模式；如果 tdeclk_skipcfg 配置 01，表示 TDE 工作在降速模式，其实际有效的工作频率为： $405 \times 31/32 = 392\text{MHz}$ 。其它配置依次类推。

JPGE 模块时钟配置方式如下表 3-15 所示。



表3-15 JPGE 时钟频率配置

信号名	描述
jpgeclk_loaden	<p>JPGE 时钟分频配置使能。</p> <p>每次改变分频配置时，分下面三步：</p> <ol style="list-style-type: none"> 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1 <p>通过配置 PERI_CRG24 bit[9]控制该信号。</p>
jpgeclk_skipcfg	<p>JPGE 时钟分频配置。</p> <p>N：每 32 拍 JPGE 时钟中屏蔽掉 N 拍时钟。</p> <p>可通过配置 PERI_CRG24[8:4]控制该信号。</p> <p>JPGE 工作源时钟为 300MHz，如果 jpgeclk_skipcfg 配置 00，表示 JPGE 处在 full_speed 模式；如果 jpgeclk_skipcfg 配置 01，表示 JPGE 工作在降速模式，其实际有效的工作频率为：$300 \times 31/32 = 290\text{MHz}$。其它配置依次类推。</p>

JPGD 模块时钟配置方式如下表 3-16 所示。

表3-16 JPGD 时钟频率配置

信号名	描述
jpgd_cksel	<p>JPGD 时钟源选择。</p> <p>0：选择 300M 时钟；</p> <p>1：选择 250M 时钟。</p> <p>通过配置 PERI_CRG25 bit[10]控制该信号。</p>
jpgdclk_loaden	<p>JPGD 时钟分频配置使能。</p> <p>每次改变分频配置时，分下面三步：</p> <ol style="list-style-type: none"> 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1 <p>通过配置 PERI_CRG25 bit[9]控制该信号。</p>



信号名	描述
jpgdclk_skipcfg	<p>JPGD 时钟分频配置。</p> <p>N: 每 32 拍 JPGE 时钟中屏蔽掉 N 拍时钟。</p> <p>可通过配置 PERI_CRG25[8:4]控制该信号。</p> <p>如果选择 JPGD 工作源时钟为 300MHz, jpgdclk_skipcfg 配置 00, 表示 JPGD 处在 full_speed 模式; 如果 jpgdclk_skipcfg 配置 01, 表示 JPGD 工作在降速模式, 其实际有效的工作频率为: $300 \times 31 / 32 = 290\text{MHz}$。其它配置依次类推。</p>

MDU 模块时钟配置方式如表 3-17 所示。

表3-17 MDU 时钟频率配置

信号名	描述
mduclk_loaden	<p>MDU 时钟分频配置使能。</p> <p>每次改变分频配置时, 分下面三步:</p> <ol style="list-style-type: none"> 1. 写入新的分频配置值 2. 然后将 loaden 写为 0 3. 然后将 loaden 写为 1 <p>通过配置 PERI_CRG26 bit[9]控制该信号。</p>
mduclk_skipcfg	<p>MDU 时钟分频配置。</p> <p>N: 每 32 拍 MDU 时钟中屏蔽掉 N 拍时钟。</p> <p>可通过配置 PERI_CRG26[8:4]控制该信号。</p> <p>MDU 工作源时钟为 300MHz, 如果 mduclk_skipcfg 配置 00, 表示 MDU 处在 full_speed 模式; 如果 mduclk_skipcfg 配置 01, 表示 MDU 工作在降速模式, 其实际有效的工作频率为: $300 \times 31 / 32 = 290\text{MHz}$。其它配置依次类推。</p>

VAPU 模块时钟配置方式如表 3-18 所示。



表3-18 VAPU 时钟频率配置

信号名	描述
vapuclk_loaden	VAPU 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1. 写入新的分频配置值 2. 然后将 loaden 写为 0 3. 然后将 loaden 写为 1 通过配置 PERI_CRG27 bit[9]控制该信号。
vapuclk_skipcfg	VAPU 时钟分频配置。 N: 每 32 拍 VAPU 时钟中屏蔽掉 N 拍时钟。 可通过配置 PERI_CRG27[8:4]控制该信号。 VAPU 工作源时钟为 300MHz，如果 vapuclk_skipcfg 配置 00，表示 VAPU 处在 full_speed 模式；如果 vapuclk_skipcfg 配置 01，表示 VAPU 工作在降速模式，其实际有效的工作频率为： $300 \times 31 / 32 = 290\text{MHz}$ 。其它配置依次类推。

SATA 模块时钟配置方式如表 3-19 所示。

表3-19 SATA 时钟频率配置

信号名	描述
sata_clk_sel	SATA PHY 参考时钟选择。 0: 125M 时钟； 1: 100M 时钟。 通过配置 PERI_CRG45 bit[11]控制该信号。

TOE 模块时钟配置方式如表 3-20 所示。

表3-20 TOE 时钟频率配置

信号名	描述
toe_cksel	TOE 工作时钟选择。 0: 选择 APB 时钟； 1: 选择 100M 时钟。 通过配置 PERI_CRG51 bit[4]控制该信号。

SDIO 模块时钟配置方式如表 3-21 所示。



表3-21 SDIO 时钟频率配置

信号名	描述
sdioclk_pctrl	SDIO SAP 时钟极性控制。 0: 正向; 1: 反向。 通过配置 PERI_CRG49 bit[3]控制该信号。
sdioclk_sel	SDIO 工作时钟选择。 0: 24MHz; 1: 50MHz。 通过配置 PERI_CRG49 bit[2]控制该信号。

SFC 模块时钟配置方式如表 3-22 所示。

表3-22 SFC 时钟频率配置

信号名	描述
sfc_cksel	SFC2X 时钟源选择。默认选择 24MHz x0: 24MHz 时钟; 01: 100MHz 时钟; 11: 148MHz 时钟。 通过配置 PERI_CRG48 bit[3:2]控制该信号。

NFC 模块时钟配置方式如表 3-23 所示。

表3-23 NFC 时钟频率配置

信号名	描述
nfc_cksel	NFC 时钟源选择。 0: 24MHz 时钟; 1: 100MHz 时钟。 通过配置 PERI_CRG52 bit[2]控制该信号。

SIO0/SIO1/SIO2/SIO3/SIO4/SIO5 时钟频率配置方法如表 3-24 所示。



表3-24 SIO0/SIO1/SIO2/SIO3/SIO4/SIO5 时钟频率配置

信号名	描述
sio0_ckcfg[23:0]	sio0/sio1/sio2/sio3 mclk 的分频时钟配置值，配置值为 (MCLK0/SIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz，通过配置 PERI_CRG32 bit[23:0]控制该信号。 注意：SIO0、SIO1、SIO2 和 SIO3 共享了一个 mclk。
sio4_ckcfg[23:0]	sio4 mclk 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz，通过配置 PERI_CRG33 bit[23:0]控制该信号。
sio5_ckcfg[23:0]	sio5 mclk 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz，通过配置 PERI_CRG34 bit[23:0]控制该信号。
sio0_fsclk_div	SIO0 位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。 通过配置 PERI_CRG35 bit[14:12]控制该信号。
sio0_bclk_div	SIO0 主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。 通过配置 PERI_CRG35 bit[11:8]控制该信号。



信号名	描述
sio0_bclk_sel	<p>SIO0 BCLK 时钟源头的选择：</p> <p>0：选择 Hi3531 芯片外部产生的 bclk；</p> <p>1：选择 Hi3531 芯片内部产生的 bclk。</p> <p>通过配置 PERI_CRG35 bit[4]控制该信号。</p> <p>注意：若 BCLK 选择 Hi3531 内部产生的 BCLK，则 FS CLK 也相应由 Hi3531 内部产生。</p>
sio1_fsclk_div	<p>SIO1 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000：FS 是 BCLK 的 16 分频；</p> <p>001：FS 是 BCLK 的 32 分频；</p> <p>010：FS 是 BCLK 的 48 分频；</p> <p>011：FS 是 BCLK 的 64 分频；</p> <p>100：FS 是 BCLK 的 128 分频；</p> <p>101：FS 是 BCLK 的 256 分频；</p> <p>其他：FS 是 BCLK 的 8 分频。</p> <p>通过配置 PERI_CRG36 bit[14:12]控制该信号。</p>
sio1_bclk_div	<p>SIO1 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000：BCLK 是 MCLK 的 1 分频；</p> <p>0001：BCLK 是 MCLK 的 3 分频；</p> <p>0010：BCLK 是 MCLK 的 2 分频；</p> <p>0011：BCLK 是 MCLK 的 4 分频；</p> <p>0100：BCLK 是 MCLK 的 6 分频；</p> <p>0101：BCLK 是 MCLK 的 8 分频；</p> <p>0110：BCLK 是 MCLK 的 12 分频；</p> <p>0111：BCLK 是 MCLK 的 16 分频；</p> <p>1000：BCLK 是 MCLK 的 24 分频；</p> <p>1001：BCLK 是 MCLK 的 32 分频；</p> <p>1010：BCLK 是 MCLK 的 48 分频；</p> <p>1011：BCLK 是 MCLK 的 64 分频；</p> <p>其他：BCLK 是 MCLK 的 8 分频。</p> <p>通过配置 PERI_CRG36 bit[11:8]控制该信号。</p>
sio1_bclk_sel	<p>SIO1 BCLK 时钟源头的选择：</p> <p>0：选择 Hi3531 芯片外部产生的 BCLK；</p> <p>1：选择 Hi3531 芯片内部产生的 BCLK。</p> <p>通过配置 PERI_CRG36 bit[4]控制该信号。</p> <p>注意：若 BCLK 选择 Hi3531 内部产生的 BCLK，则 FS CLK 也相应由 Hi3531 内部产生。</p>



信号名	描述
sio2_fsclk_div	<p>SIO2 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。</p> <p>通过配置 PERI_CRG37 bit[14:12]控制该信号。</p>
sio2_bclk_div	<p>SIO2 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p> <p>通过配置 PERI_CRG37 bit[11:8]控制该信号。</p>
sio2_bclk_sel	<p>SIO2 BCLK 时钟源头的选择:</p> <p>0: 选择 Hi3531 芯片外部产生的 BCLK; 1: 选择 Hi3531 芯片内部产生的 BCLK。</p> <p>通过配置 PERI_CRG37 bit[4]控制该信号。</p> <p>注意: 若 BCLK 选择 Hi3531 内部产生的 BCLK, 则 FS CLK 也相应由 Hi3531 内部产生。</p>



信号名	描述
sio3_fsclk_div	<p>SIO2 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。</p> <p>通过配置 PERI_CRG38 bit[14:12]控制该信号。</p>
sio3_bclk_div	<p>SIO2 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p> <p>通过配置 PERI_CRG38 bit[11:8]控制该信号。</p>
sio3_bclk_sel	<p>SIO2 BCLK 时钟源头的选择。</p> <p>0: 选择 Hi3531 芯片外部产生的 bclk; 1: 选择 Hi3531 芯片内部产生的 bclk。</p> <p>可通过配置 PERI_CRG38[4]控制该信号。</p> <p>注意: 若 BCLK 选择 Hi3531 内部产生的 BCLK, 则 FS CLK 也相应由 Hi3531 内部产生。</p>



信号名	描述
sio4_fsclk_div	<p>SIO2 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。</p> <p>通过配置 PERI_CRG39 bit[14:12]控制该信号。</p>
sio4_bclk_div	<p>SIO2 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p> <p>通过配置 PERI_CRG39 bit[11:8]控制该信号。</p>
sio4_bclk_sel	<p>SIO2 BCLK 时钟源头的选择。</p> <p>0: 选择 Hi3531 芯片外部产生的 BCLK; 1: 选择 Hi3531 芯片内部产生的 BCLK。</p> <p>通过配置 PERI_CRG39 bit[4]控制该信号。</p> <p>注意: 若 BCLK 选择 Hi3531 内部产生的 BCLK, 则 FS CLK 也相应由 Hi3531 内部产生。</p>



信号名	描述
sio5_fsclk_div	<p>SIO2 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。</p> <p>通过配置 PERI_CRG40 bit[14:12]控制该信号。</p>
sio5_bclk_div	<p>SIO2 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p> <p>通过配置 PERI_CRG40 bit[11:8]控制该信号。</p>
sio5_bclk_sel	<p>SIO2 BCLK 时钟源头的选择。</p> <p>0: 选择 Hi3531 芯片外部产生的 bclk; 1: 选择 Hi3531 芯片内部产生的 bclk。</p> <p>通过配置 PERI_CRG40 bit[4]控制该信号。</p> <p>注意: 若 BCLK 选择 Hi3531 内部产生的 BCLK, 则 FS CLK 也相应由 Hi3531 内部产生。</p>

一般的应用场景会给定采样率时钟频率 FSCLK, 而比特时钟 BCLK 和主时钟 MCLK 相对于 FSCLK 分别具有可变的倍数关系, 时钟频率配置方法示例如下:

SIO0 小数分频的时钟源为固定 500MHz, 此时要求配置出 SIO0 工作时钟频率为 FSCLK=48kHz、MCLK=256FSCLK=12.288MHz、BCLK=16FSCLK=768KHz。配置方法如下:



- 500MHz 到 MCLK 分频比计算为： $N=12.288/500$ ，则 $\text{sioclk_sel}[23:0]=N \times 2^{27}$ ，根据四舍五入取整原则计算为 3298535，因此配置 $\text{sioclk_sel}=0x0032_54E7$ ，即可得到 MCLK 的正确频率。
- BCLK 由 MCLK 分频获得，分频比为 $\text{BCLK}/\text{MCLK}=16/256=1/16$ ，因此根据配置表中的对应关系，配置 $\text{sio0_bclk_div}[3:0]=0b0111$ （对应 16 分频）便可得到 BCLK 的正确频率。
- FSCLK 由 BCLK 分频得到，分频比为 $1/16$ ，因此根据配置表中的对应关系，配置 $\text{sio0_fsclk_div}=0b000$ （对应 16 分频）便可得到 FSCLK 的正确频率。

注意事项

时钟配置需要注意以下事项：

- A9 工作时钟上电默认为晶振模式，即选择 XIN 输入的晶振时钟。
- PLL 在变更频率配置时，需要等待 0.1ms 才能输出稳定的时钟。更改 PLL 频率配置只能在系统处于 SLOW 模式下进行。
- 在 PLL 输出时钟未稳定的情况下，不能执行系统切换到 PLL 模式，可通过观测 PLL LOCK 指示位判断 PLL 是否 LOCK。PLL LOCK 指示位可通过读 [PERI_CRG58](#) bit[4:0] 状态获取。

3.2.4 寄存器概览

寄存器概览如表 3-25 所示。

表3-25 寄存器概览（基址是 0x2003_0000）

偏移地址	名称	描述	页码
0x0000	PERI_CRG0	APLL 配置寄存器 0	3-28
0x0004	PERI_CRG1	APLL 配置寄存器 1	3-29
0x0008	PERI_CRG2	VPLL0 配置寄存器 0	3-30
0x000C	PERI_CRG3	VPLL0 配置寄存器 1	3-31
0x0010	PERI_CRG4	VPLL1 配置寄存器 0	3-32
0x0014	PERI_CRG5	VPLL1 配置寄存器 1	3-33
0x0018	PERI_CRG6	VPLL2 配置寄存器 0	3-34
0x001C	PERI_CRG7	VPLL2 配置寄存器 1	3-35
0x0020	PERI_CRG8	EPLL 配置寄存器 0	3-36
0x0024	PERI_CRG9	EPLL 配置寄存器 1	3-37
0x0028	PERI_CRG10	A9 频率模式及复位配置寄存器	3-38
0x002C	PERI_CRG11	VICAP 时钟及复位配置寄存器 A	3-41
0x0030	PERI_CRG12	VICAP 时钟及复位配置寄存器 B	3-44



偏移地址	名称	描述	页码
0x0034	PERI_CRG13	VOU 时钟及复位控制寄存器 A	3-46
0x0038	PERI_CRG14	VOU 时钟及复位控制寄存器 B	3-49
0x003C	PERI_CRG15	HDMI 时钟及复位控制寄存器	3-51
0x0040	PERI_CRG16	VEDU0 时钟及软复位控制寄存器	3-52
0x0044	PERI_CRG17	VEDU1 时钟及软复位控制寄存器	3-53
0x0048	PERI_CRG18	VPS0 时钟及软复位控制寄存器	3-54
0x004C	PERI_CRG19	VPS1 时钟及软复位控制寄存器	3-55
0x0050	PERI_CRG20	VDH0 时钟及软复位控制寄存器	3-55
0x0054	PERI_CRG21	VDH1 时钟及软复位控制寄存器	3-56
0x0058	PERI_CRG22	TDE 时钟及软复位控制寄存器	3-57
0x0060	PERI_CRG24	JPGE 时钟及软复位控制寄存器	3-58
0x0064	PERI_CRG25	JPGD 时钟及软复位控制寄存器	3-59
0x0068	PERI_CRG26	MDU 时钟及软复位控制寄存器	3-60
0x006C	PERI_CRG27	VAPU 时钟及软复位控制寄存器	3-61
0x0070	PERI_CRG28	VOIE、BPD 相关的时钟及软复位控制寄存器	3-62
0x0074	PERI_CRG29	VCMP 相关的时钟及软复位控制寄存器	3-63
0x0078	PERI_CRG30	PCIE0, PCIE1 相关的时钟及软复位控制寄存器	3-64
0x007C	PERI_CRG31	CIPHER 相关的时钟及软复位控制寄存器	3-65
0x0080	PERI_CRG32	SIO0/1/2/3 MCLK 控制寄存器	3-66
0x0084	PERI_CRG33	SIO4 MCLK 控制寄存器	3-67
0x0088	PERI_CRG34	SIO5 MCLK 控制寄存器	3-67
0x008C	PERI_CRG35	SIO0 相关的时钟及软复位控制寄存器	3-67
0x0090	PERI_CRG36	SIO1 相关的时钟及软复位控制寄存器	3-69
0x0094	PERI_CRG37	SIO2 相关的时钟及软复位控制寄存器	3-71
0x0098	PERI_CRG38	SIO3 相关的时钟及软复位控制寄存器	3-73
0x009C	PERI_CRG39	SIO4 相关的时钟及软复位控制寄存器	3-75
0x00A0	PERI_CRG40	SIO5 相关的时钟及软复位控制寄存器	3-77



偏移地址	名称	描述	页码
0x00B4	PERI_CRG45	SATA 相关的时钟及软复位控制寄存器	3-79
0x00B8	PERI_CRG46	USB 相关的时钟及软复位控制寄存器	3-80
0x00C0	PERI_CRG48	SFC 相关的时钟及软复位控制寄存器	3-82
0x00C4	PERI_CRG49	SDIO 相关的时钟及软复位控制寄存器	3-82
0x00C8	PERI_CRG50	GMAC 相关的时钟及软复位控制寄存器 A	3-83
0x00CC	PERI_CRG51	TOE_TOP 相关的时钟及软复位控制寄存器	3-84
0x00D0	PERI_CRG52	NandC 相关的时钟及软复位控制寄存器	3-85
0x00D4	PERI_CRG53	SCD0/1 相关的时钟及软复位控制寄存器	3-86
0x00D8	PERI_CRG54	EFUSE 相关的时钟及软复位控制寄存器	3-87
0x00E0	PERI_CRG56	DMA 相关的时钟及软复位控制寄存器	3-88
0x00E4	PERI_CRG57	其它 CRG 接口模块软复位控制寄存器	3-88
0x00E8	PERI_CRG58	CRG 状态寄存器	3-90
0x00EC	PERI_CRG59	GMAC 接口控制寄存器	3-91
0x00F0	PERI_CRG60	GMAC 接口状态寄存器	3-94
0x00F4	PERI_CRG61	SpeedMonitor 控制寄存器	3-94
0x00F8	PERI_CRG62	SpeedMonitor 状态寄存器 1	3-95
0x00FC	PERI_CRG63	SpeedMonitor 状态寄存器 2	3-96
0x0100	PERI_CRG64	SpeedMonitor 状态寄存器 3	3-96
0x0104	PERI_CRG65	保留寄存器	3-97

3.2.5 寄存器描述

PERI_CRG0

PERI_CRG0 为 APLL 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0000		PERI_CRG0		0x0900_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved apll_bypass	apll_postdiv2 apll_postdiv1	apll_frac					
Reset	0 0 0 0	1 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	reserved	保留。					
[30]	RW	apll_bypass	APLL 时钟分频旁路 (bypass) 控制。 0: 非旁路; 1: 旁路。					
[29:27]	RW	apll_postdiv2	APLL 第二级输出分频系数。					
[26:24]	RW	apll_postdiv1	APLL 第一级输出分频系数。					
[23:0]	RW	apll_frac	APLL 小数分频系数。					

PERI_CRG1

PERI_CRG1 为 APLL 配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0004		PERI_CRG1		0x006C_209B				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	apll_dacpd apll_dsmppd apll_pd apll_foutvcopd apll_postdivpd apll_fout4phasepd	apll_refdiv		apll_fbdiv			
Reset	0 0 0 0	0 0 0 0	0 1 1 0	1 1 0 0	0 0 1 0	0 0 0 0	1 0 0 1	1 0 1 1
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					



[23]	RW	apll_dacpd	APLL 测试信号控制。 0: power down 工作状态; 1: 正常工作状态。
[22]	RW	apll_dsmpd	APLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[21]	RW	apll_pd	APLL Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。
[20]	RW	apll_foutvcopd	APLL VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。
[19]	RW	apll_postdivpd	APLL POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[18]	RW	apll_fout4phasepd	APLL FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[17:12]	RW	apll_refdiv	APLL 参考时钟分频系数。
[11:0]	RW	apll_fbdiv	APLL 整数倍频系数。

PERI_CRG2

PERI_CRG2 为 VPLL0 配置寄存器 0。



		Offset Address 0x0008								Register Name PERI_CRG2								Total Reset Value 0x0C00_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				vpll0_bypass				vpll0_postdiv2				vpll0_postdiv1				vpll0_frac															
Reset		0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name								Description																							
[31]	RW	reserved								保留。																							
[30]	RW	vpll0_bypass								VPLL0 时钟分频旁路 (bypass) 控制。 0: 非旁路; 1: 旁路。																							
[29:27]	RW	vpll0_postdiv2								VPLL0 第二级输出分频系数。																							
[26:24]	RW	vpll0_postdiv1								VPLL0 第一级输出分频系数。																							
[23:0]	RW	vpll0_frac								VPLL0 小数分频系数。																							

PERI_CRG3

PERI_CRG3 为 VPLL0 配置寄存器 1。

		Offset Address 0x000C								Register Name PERI_CRG3								Total Reset Value 0x006C_40B2															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved								vpll0_dacpd	vpll0_dcmpd	vpll0_pd	vpll0_foutvcopd	vpll0_postdivpd	vpll0_fout4phasepd	vpll0_refdiv								vpll0_fbdiv									
Reset		0	0	0	0	0	0	0	0	0	1	1	0	1	1	0	0	0	1	0	0	0	0	0	0	1	0	1	1	0	0	1	0
Bits	Access	Name								Description																							
[31:24]	RW	reserved								保留。																							



[23]	RW	vpll0_dacpd	VPLL0 测试信号控制。 0: power down 工作状态; 1: 正常工作状态。
[22]	RW	vpll0_dsmpd	VPLL0 小数分频控制。 0: 小数模式; 1: 整数模式。
[21]	RW	vpll0_pd	VPLL0 Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。
[20]	RW	vpll0_foutvcopd	VPLL0 VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。
[19]	RW	vpll0_postdivpd	VPLL0 POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[18]	RW	vpll0_fout4phasepd	VPLL0 FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[17:12]	RW	vpll0_refdiv	VPLL0 参考时钟分频系数。
[11:0]	RW	vpll0_fbdiv	VPLL0 整数倍频系数。

PERI_CRG4

PERI_CRG4 为 VPLL1 配置寄存器 0。



		Offset Address 0x0010								Register Name PERI_CRG4								Total Reset Value 0x0C00_0000																
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name		reserved				vppll1_bypass				vppll1_postdiv2				vppll1_postdiv1				vppll1_frac																
Reset		0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name								Description																								
[31]	RW	reserved								保留。																								
[30]	RW	vppll1_bypass								VPLL1 时钟分频旁路 (bypass) 控制。 0: 非旁路; 1: 旁路。																								
[29:27]	RW	vppll1_postdiv2								VPLL1 第二级输出分频系数。																								
[26:24]	RW	vppll1_postdiv1								VPLL1 第一级输出分频系数。																								
[23:0]	RW	vppll1_frac								VPLL1 小数分频系数。																								

PERI_CRG5

PERI_CRG5 为 VPLL1 配置寄存器 1。

		Offset Address 0x0014								Register Name PERI_CRG5								Total Reset Value 0x006C_2063																
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name		reserved								vppll1_dacpd	vppll1_dcmpd	vppll1_pd	vppll1_foutvcopd	vppll1_postdivpd	vppll1_fout4phasepd	vppll1_refdiv								vppll1_fbdiv										
Reset		0	0	0	0	0	0	0	0	0	1	1	0	1	1	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0	1	1
Bits	Access	Name								Description																								
[31:24]	RW	reserved								保留。																								



[23]	RW	vpll1_dacpd	VPLL1 测试信号控制。 0: power down 工作状态; 1: 正常工作状态。
[22]	RW	vpll1_dsmpd	VPLL1 小数分频控制。 0: 小数模式; 1: 整数模式。
[21]	RW	vpll1_pd	VPLL1 Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。
[20]	RW	vpll1_foutvcopd	VPLL1 VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。
[19]	RW	vpll1_postdivpd	VPLL1 POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[18]	RW	vpll1_fout4phasepd	VPLL1 FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[17:12]	RW	vpll1_refdiv	VPLL1 参考时钟分频系数。
[11:0]	RW	vpll1_fbdiv	VPLL1 整数倍频系数。

PERI_CRG6

PERI_CRG6 为 VPLL2 配置寄存器 0。



		Offset Address	Register Name	Total Reset Value					
		0x0018	PERI_CRG6	0x0900_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	vpll2_bypass	vpll2_postdiv2	vpll2_postdiv1	vpll2_frac				
Reset	0 0 0 0	1 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access		Name		Description				
[31]	RW		reserved		保留。				
[30]	RW		vpll2_bypass		VPLL2 时钟分频旁路 (bypass) 控制。 0: 非旁路; 1: 旁路。				
[29:27]	RW		vpll2_postdiv2		VPLL2 第二级输出分频系数。				
[26:24]	RW		vpll2_postdiv1		VPLL2 第一级输出分频系数。				
[23:0]	RW		vpll2_frac		VPLL2 小数分频系数。				

PERI_CRG7

PERI_CRG7 为 vpll2 配置寄存器 1。

		Offset Address	Register Name	Total Reset Value										
		0x001C	PERI_CRG7	0x007C_2087										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				vpll2_dacpd	vpll2_dcmpd	vpll2_pd	vpll2_foutvcopd	vpll2_postdivpd	vpll2_fout4phasepd	vpll2_refdiv	vpll2_fbdiv		
Reset	0 0 0 0	0 0 0 0	0 1 1 1	1 1 0 0	0 0 1 0	0 0 0 0	1 0 0 0	0 1 1 1						
Bits	Access		Name		Description									
[31:24]	RW		reserved		保留。									



[23]	RW	vpll2_dacpd	VPLL2 测试信号控制。 0: power down 工作状态; 1: 正常工作状态。
[22]	RW	vpll2_dsmpd	VPLL2 小数分频控制。 0: 小数模式; 1: 整数模式。
[21]	RW	vpll2_pd	VPLL2 Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。
[20]	RW	vpll2_foutvcopd	VPLL2 VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。
[19]	RW	vpll2_postdivpd	VPLL2 POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[18]	RW	vpll2_fout4phasepd	VPLL2 FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[17:12]	RW	vpll2_refdiv	VPLL2 参考时钟分频系数。
[11:0]	RW	vpll2_fbdiv	VPLL2 整数倍频系数。

PERI_CRG8

PERI_CRG8 为 EPLL 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0020		PERI_CRG8		0x0B00_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved epll_bypass	epll_postdiv2 epll_postdiv1	epll_frac					
Reset	0 0 0 0	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	reserved	保留。					
[30]	RW	epll_bypass	EPLL 时钟分频旁路 (bypass) 控制。 0: 非旁路; 1: 旁路。					
[29:27]	RW	epll_postdiv2	EPLL 第二级输出分频系数。					
[26:24]	RW	epll_postdiv1	EPLL 第一级输出分频系数。					
[23:0]	RW	epll_frac	EPLL 小数分频系数。					

PERI_CRG9

PERI_CRG9 为 EPLL 配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0024		PERI_CRG9		0x007C_207D				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	reserved	epll_dacpd epll_dsmppd epll_pd epll_foutvcopd epll_postdivpd epll_fout4phasepd	epll_refdiv		epll_fbdiv		
Reset	0 0 0 0	0 0 0 0	0 1 1 1	1 1 0 0	0 0 1 0	0 0 0 0	0 1 1 1	1 1 0 1
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					



[23]	RW	epll_dacpd	EPLL 测试信号控制。 0: power down 工作状态; 1: 正常工作状态。
[22]	RW	epll_dsmpd	EPLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[21]	RW	epll_pd	EPLL Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。
[20]	RW	epll_foutvcopd	EPLL VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。
[19]	RW	epll_postdivpd	EPLL POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[18]	RW	epll_fout4phasepd	EPLL FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[17:12]	RW	epll_refdiv	EPLL 参考时钟分频系数。
[11:0]	RW	epll_fbdiv	EPLL 整数倍频系数。

PERI_CRG10

PERI_CRG10 为 A9 频率模式及复位配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0028		PERI_CRG10		0x0000_4020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cpu_clkoff_sys_1	sc_wd_srst_req_1	cluster_dbg_srst_req_1	cpu1_srst_req	reserved	cs_srst_req	cluster_scu_srst_req	cluster_peri_srst_req	reserved	cpu_clkoff_sys_0	sc_wd_srst_req_0	cluster_dbg_srst_req_0	cpu0_srst_req	reserved	freqmode_a9_sys	freqmode_max_sys				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	RW	reserved	保留。																													
[17]	RW	cpu_clkoff_sys_1	CPU1 的时钟关断请求。 0: 打开; 1: 关断。																													
[16]	RW	sc_wd_srst_req_1	WDG1 的软复位请求。 0: 撤消复位; 1: 复位。																													
[15]	RW	cluster_dbg_srst_req_1	DBG1 模块的软复位请求。 0: 撤消复位; 1: 复位。																													
[14]	RW	cpu1_srst_req	CPU1 的软复位请求, 仅在从加载模式下有效。 0: 撤消复位; 1: 复位。																													
[13]	RW	reserved	保留。																													
[12]	RW	cs_srst_req	CS 的软复位请求。 0: 撤消复位; 1: 复位。																													
[11]	RW	cluster_scu_srst_req	SCU 的软复位请求。 0: 撤消复位; 1: 复位。																													
[10]	RW	cluster_peri_srst_req	PERI 的软复位请求。 0: 撤消复位; 1: 复位。																													
[9]	RW	reserved	保留。																													



[8]	RW	cpu_clkoff_sys_0	CPU0 的时钟关断请求。 0: 打开; 1: 关断。
[7]	RW	sc_wd_srst_req_0	WDG0 的软复位请求。 0: 撤消复位; 1: 复位。
[6]	RW	cluster_dbg_srst_req_0	DBG0 模块的软复位请求。 0: 撤消复位; 1: 复位。
[5]	RW	cpu0_srst_req	CPU0 的软复位请求,仅在从加载模式下有效。 0: 撤消复位; 1: 复位。
[4]	RW	reserved	保留。
[3:2]	RW	freqmode_a9_sys	A9 与 AXI 频率模式配置。 通过 Mask A9 时钟脉冲还可实现 A9 降频使用, 调节其与 AXI 时钟之间的频比。 00: 系统 4:1 模式下, A9:AXI = 4:1; 系统 3:1 模式下, A9:AXI = 3:1; 01: A9:AXI = 3:1; 10: A9:AXI = 2:1; 11: A9:AXI = 1:1。
[1:0]	RW	freqmode_max_sys	系统工作模式配置。 00: 系统 4:1 模式; 此时 A9 工作时钟由 APLL 时钟 1 分频得到, DDR 时钟由 APLL 时钟 2 分频得到。 11: 系统 3:1 模式; 此时 A9 工作时钟由 APLL 时钟 2 分频得到, DDR 时钟由 APLL 时钟 3 分频得到。 01、10: 保留, 不允许配置。 Hi3531 A9 工作时钟最高只支持 930MHz; AXI 总线时钟固定由 DDR 时钟 2 分频得到, APB 总线时钟固定由 DDR 时钟四分频得到。 例如: APLL 配置 930MHz, 系统 4:1 模式, 则 A9/DDR/AXI/APB 工作时钟频率分别为 930M/465M/232.5M/116.25MHz; APLL 配置 1860MHz, 系统 3:1 模式, 则 A9/DDR/AXI/APB 工作时钟频率分别为 930M/620M/310M/155MHz。



PERI_CRG11

PERI_CRG11 为 VICAP 时钟及复位配置寄存器 A。

		Offset Address				Register Name				Total Reset Value																						
		0x002C				PERI_CRG11				0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vi0_cken	vi1_cken	vi2_cken	vi3_cken	vi4_cken	vi5_cken	vi6_cken	vi7_cken	vi0div_cken	vi1div_cken	vi2div_cken	vi3div_cken	vi4div_cken	vi5div_cken	vi6div_cken	vi7div_cken	vi0_pctrl	vi1_pctrl	vi2_pctrl	vi3_pctrl	vi4_pctrl	vi5_pctrl	vi6_pctrl	vi7_pctrl	vi0_rst_req	vi1_rst_req	vi2_rst_req	vi3_rst_req	vi4_rst_req	vi5_rst_req	vi6_rst_req	vi7_rst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		vi0_cken		VI0 ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。																											
[30]	RW		vi1_cken		VI1 ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。																											
[29]	RW		vi2_cken		VI2 ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。																											
[28]	RW		vi3_cken		VI3 ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。																											
[27]	RW		vi4_cken		VI4 ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。																											
[26]	RW		vi5_cken		VI5 ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。																											
[25]	RW		vi6_cken		VI6 ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。																											



[24]	RW	vi7_cken	VI7 ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[23]	RW	vi0div_cken	VI0 div ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[22]	RW	vi1div_cken	VI1 div ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[21]	RW	vi2div_cken	VI2 div ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[20]	RW	vi3div_cken	VI3 div ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[19]	RW	vi4div_cken	VI4 div ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[18]	RW	vi5div_cken	VI5 div ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[17]	RW	vi6div_cken	VI6 div ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[16]	RW	vi7div_cken	VI7 div ch 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[15]	RW	vi0_pctrl	VI0 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[14]	RW	vi1_pctrl	VI1 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。



[13]	RW	vi2_pctrl	VI2 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[12]	RW	vi3_pctrl	VI3 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[11]	RW	vi4_pctrl	VI4 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[10]	RW	vi5_pctrl	VI5 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[9]	RW	vi6_pctrl	VI6 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[8]	RW	vi7_pctrl	VI7 输入随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[7]	RW	vi0_rst_req	VI0 的软复位请求。 0: 撤消复位; 1: 复位。
[6]	RW	vi1_rst_req	VI1 的软复位请求。 0: 撤消复位; 1: 复位。
[5]	RW	vi2_rst_req	VI2 的软复位请求。 0: 撤消复位; 1: 复位。
[4]	RW	vi3_rst_req	VI3 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RW	vi4_rst_req	VI4 的软复位请求。 0: 撤消复位; 1: 复位。



[2]	RW	vi5_rst_req	VI5 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	vi6_rst_req	VI6 的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	vi7_rst_req	VI7 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG12

PERI_CRG12 为 VICAP 时钟及复位配置寄存器 B。

Offset Address		Register Name		Total Reset Value				
0x0030		PERI_CRG12		0x000A_AAA0				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vi2_sc_sel vi6_sc_sel vi_selftest vi_hcken vi_hrst_req	vi0div_sel vi1div_sel	vi2div_sel vi3div_sel	vi4div_sel vi5div_sel	vi6div_sel vi7div_sel	vi1_vi0_sel vi3_vi2_sel vi5_vi4_sel vi7_vi6_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	1 0 1 0	1 0 1 0	1 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RW	reserved	保留。					
[24]	RW	vi2_sc_sel	VI2 ch 时钟源选择。 0: 选择 vi2 pad 输入时钟; 1: 复用 vi1 pad 输入时钟。					
[23]	RW	vi6_sc_sel	VI6 ch 时钟源选择。 0: 选择 vi6 pad 输入时钟; 1: 复用 vi5 pad 输入时钟。					
[22]	RW	vi_selftest	VICAP self_test 模式配置。 0: 正常工作模式, 选择 IO 输入时钟; 1: 自测试模式, 选择片内 24MHz 测试时钟。					



[21]	RW	vi_hcken	VI 总线时钟门控。 0: 时钟关闭; 1: 时钟打开。
[20]	RW	vi_hrst_req	VI 总线侧的软复位请求。 0: 撤消复位; 1: 复位。
[19:18]	RW	vi0div_sel	VI0 div ch 时钟选择。 00: div2; 01: div4; 10: div1; 11: 保留。
[17:16]	RW	vi1div_sel	VI1 div ch 时钟选择。 00: div2; 01: div4; 10: div1; 11: 保留。
[15:14]	RW	vi2div_sel	VI2 div ch 时钟选择。 00: div2; 01: div4; 10: div1; 11: 保留。
[13:12]	RW	vi3div_sel	VI3 div ch 时钟选择。 00: div2; 01: div4; 10: div1; 11: 保留。
[11:10]	RW	vi4div_sel	VI4 div ch 时钟选择。 00: div2; 01: div4; 10: div1; 11: 保留。
[9:8]	RW	vi5div_sel	VI5 div ch 时钟选择。 00: div2; 01: div4; 10: div1; 11: 保留。



[7:6]	RW	vi6div_sel	VI6 div ch 时钟选择。 00: div2; 01: div4; 10: div1; 11: 保留。
[5:4]	RW	vi7div_sel	VI7 div ch 时钟选择。 00: div2; 01: div4; 10: div1; 11: 保留。
[3]	RW	vi1_vi0_sel	VI1 ch 时钟源选择。 0: 选择 vi1 pad 输入时钟; 1: 复用 vi0 pad 输入时钟。
[2]	RW	vi3_vi2_sel	VI3 ch 时钟源选择。 0: 选择 vi3 pad 输入时钟; 1: 复用 vi2 pad 输入时钟。
[1]	RW	vi5_vi4_sel	VI5 ch 时钟源选择。 0: 选择 vi5 pad 输入时钟; 1: 复用 vi4 pad 输入时钟。
[0]	RW	vi7_vi6_sel	VI7 ch 时钟源选择。 0: 选择 vi7 pad 输入时钟; 1: 复用 vi6 pad 输入时钟。

PERI_CRG13

PERI_CRG13 为 VOU 时钟及复位控制寄存器 A。



Offset Address		Register Name		Total Reset Value				
0x0034		PERI_CRG13		0x0000_3FD0				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved vou_sd0_cken	reserved vou_sd1_cken	reserved vou_sd2_cken	reserved vou_sd3_cken	reserved vou_sd4_cken	reserved vou_sd5_cken	reserved vou_hd0_cken	reserved vou_hd1_cken
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 1	1 1 0 1	0 0 0 0

Bits	Access	Name	Description
[31]	RW	reserved	保留。
[30]	RW	vou_sd0_cken	VOU SD0 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[29]	RW	vou_sd1_cken	VOU SD1 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[28]	RW	vou_sd2_cken	VOU SD2 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[27]	RW	vou_sd3_cken	VOU SD3 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[26]	RW	vou_sd4_cken	VOU SD4 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[25]	RW	vou_sd5_cken	VOU SD5 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[24]	RW	vou_hd0_cken	VOU HD0 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[23]	RW	vou_hd1_cken	VOU HD1 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。



[22]	RW	vou_sdate0_cken	VOU SD DATE0 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[21]	RW	vou_sdate1_cken	VOU SD DATE1 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[20]	RW	reserved	保留。
[19]	RW	reserved	保留。
[18]	RW	reserved	保留。
[17]	RW	reserved	保留。
[16]	RW	vou_hdate_cken	VOU HD DATE 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[15]	RW	sddac_pd_req	VOU SD DAC PowerDown 配置寄存器。 1: PowerDown; 0: 正常工作态。
[14]	RW	hddac_pd_req	VOU HD DAC PowerDown 配置寄存器。 1: PowerDown; 0: 正常工作态。
[13]	RW	vosd0_out_pctrl	VOU SD0 输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[12]	RW	vosd1_out_pctrl	VOU SD1 输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[11]	RW	vosd2_out_pctrl	VOU SD2 输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[10]	RW	vosd3_out_pctrl	VOU SD3 输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[9]	RW	vosd4_out_pctrl	VOU SD4 输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。



[8]	RW	vosd5_out_pctrl	VOU SD5 输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[7]	RW	vohd0_out_pctrl	VOU HD0 输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[6]	RW	vohd1_out_pctrl	VOU HD1 输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[5:4]	RW	reserved	保留。
[3:1]	RW	reserved	保留。
[0]	RW	reserved	保留。

PERI_CRG14

PERI_CRG14 为 VOU 时钟及复位控制寄存器 B。

Offset Address		Register Name		Total Reset Value				
0x0038		PERI_CRG14		0x0000_8303				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	bt1120_cksel hd_vdac_cksel pix_hd_date_cks hd_date_cksel hdmi_cksel hd1_cksel	hd0_cksel	vou_hcken vo_sd_srst_req reserved reserved reserved	reserved reserved reserved	vo_hd0_srst_req vo_hd1_srst_req	reserved	vo_hd_date_srst_req vo_hrst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 1 1	0 0 0 0	0 0 1 1
Bits	Access	Name	Description					
[31:28]	RW	reserved	保留。					
[27]	RW	bt1120_cksel	BT1120 输出随路时钟源选择。 0: HD0 时钟; 1: HD1 时钟。					
[26:25]	RW	hd_vdac_cksel	VO HD DAC 时钟源选择。 00: HD DATE 倍频时钟; 01: HD DATE PIX 时钟; 1X: 保留。					



[24]	RW	pix_hd_date_cksel	VO HD DATE PIX 时钟源选择。 0: HD1 时钟; 1: HD0 时钟。
[23]	RW	hd_date_cksel	保留。
[22]	RW	hdmi_cksel	HDMI 时钟源选择。 0: HD0 时钟; 1: HD1 时钟。
[21:20]	RW	hd1_cksel	VO HD1 时钟选择。 01: VPLL1 (HD) DIV2 时钟; 00: VPLL0 (VGA) 时钟; 其它: 保留。
[19:17]	RW	hd0_cksel	VO HD0 时钟选择。 000: VPLL1 (HD) DIV2 时钟; 001: VPLL0 (VGA) 时钟; 010: 级联时钟; 其它: 保留。
[16]	RW	vou_hcken	VOU 总线时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[15]	RW	vo_sd_srst_req	VO SD 的软复位请求。 0: 撤消复位; 1: 复位。
[14]	RW	reserved	保留。
[13]	RW	reserved	保留。
[12]	RW	reserved	保留。
[11]	RW	reserved	保留。
[10]	RW	reserved	保留。
[9]	RW	vo_hd0_srst_req	VO HD0 的软复位请求。 0: 撤消复位; 1: 复位。
[8]	RW	vo_hd1_srst_req	VO HD1 的软复位请求。 0: 撤消复位; 1: 复位。
[7:2]	RW	reserved	保留。



[1]	RW	vo_hd_date_srst_req	VO HD DATE 软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	vo_hrst_req	VOU 总线软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG15

PERI_CRG15 为 HDMI 时钟及复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																									
	0x003C				PERI_CRG15				0x0000_0001																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																				hdmi_test_sel	hdmi_cec_clk_sel	hdmi_asclk_sel	hdmi_osclk_sel	hdmi_idcken	hdmi_hcken	reserved	hdmi_srst_req						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
Bits	Access	Name	Description																															
[31:8]	R0	reserved	保留。																															
[7]	RW	hdmi_test_sel	HDMI 测试时钟选择。 0: asclk 时钟; 1: cec_clk 时钟。																															
[6]	RW	hdmi_cec_clk_sel	HDMI CEC CLK 时钟门选择。 0: XTAL div12 时钟; 1: PLL 分频 2.04M 时钟。																															
[5]	RW	hdmi_asclk_sel	HDMI ASCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。																															
[4]	RW	hdmi_osclk_sel	HDMI OSCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。																															



[3]	RW	hdmi_idcken	HDMI pixel 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[2]	RW	hdmi_hcken	HDMI 总线时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[1]	RW	reserved	保留。
[0]	RW	hdmi_srst_req	HDMI 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG16

PERI_CRG16 为 VEDU0 时钟及软复位控制寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x0040								PERI_CRG16								0x0000_0003															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vedu0clk_loaden	vedu0clk_skipcfg				reserved	vedu0_cken	vedu0_srst_req								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access		Name		Description																											
[31:10]	RW		reserved		保留。																											
[9]	RW		vedu0clk_loaden		VEDU0 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1. 写入新的分频配置值 2. 然后将 loaden 写为 0 3. 然后将 loaden 写为 1																											
[8:4]	RW		vedu0clk_skipcfg		VEDU0 时钟分频配置。 N: 每 32 拍 VEDU 时钟中屏蔽掉 N 拍时钟。																											
[3:2]	RW		reserved		保留。																											



[0]	RW	vedu1_srst_req	VEDU1 的软复位请求。上电默认复位。 0: 撤销复位; 1: 复位。
-----	----	----------------	--

PERI_CRG18

PERI_CRG18 为 VPSS0 时钟及软复位控制寄存器。

	Offset Address	Register Name	Total Reset Value																					
	0x0048	PERI_CRG18	0x0000_0003																					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10	9	8	7	6	5	4	3	2	1	0								
Name	reserved										vps0clk_loaden	vps0clk_skipcfg				reserved	vps0_cken	vps0_srst_req						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																					
[31:10]	RW	reserved	保留。																					
[9]	RW	vps0clk_loaden	VPSS0 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1. 写入新的分频配置值 2. 然后将 loaden 写为 0 3. 然后将 loaden 写为 1																					
[8:4]	RW	vps0clk_skipcfg	VPSS0 时钟分频配置。 N: 每 32 拍 VPS 时钟中屏蔽掉 N 拍时钟。																					
[3:2]	RW	reserved	保留。																					
[1]	RW	vps0_cken	VPSS0 时钟门控。 0: 关闭时钟; 1: 打开时钟。																					
[0]	RW	vps0_srst_req	VPSS0 的软复位请求。 0: 撤销复位; 1: 复位。																					



PERI_CRG19

PERI_CRG19 为 VPSS1 时钟及软复位控制寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x004C								PERI_CRG19								0x0000_0003															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vps1clk_loaden	vps1clk_skipcfg				reserved	vps1_cken	vps1_srst_req								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
	Bits	Access	Name	Description																												
	[31:10]	RW	reserved	保留。																												
	[9]	RW	vps1clk_loaden	VPSS1 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1. 写入新的分频配置值 2. 然后将 loaden 写为 0 3. 然后将 loaden 写为 1																												
	[8:4]	RW	vps1clk_skipcfg	VPSS1 时钟分频配置。 N: 每 32 拍 VPS 时钟中屏蔽掉 N 拍时钟。																												
	[3:2]	RW	reserved	保留。																												
	[1]	RW	vps1_cken	VPSS1 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																												
	[0]	RW	vps1_srst_req	VPSS0 的软复位请求。 0: 撤销复位; 1: 复位。																												

PERI_CRG20

PERI_CRG20 为 VDH0 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value							
0x0050		PERI_CRG20		0x0000_0003							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						vdh0clk_loaden	vdh0clk_skipcfg	reserved	vdh0_cken	vdh0_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1			
Bits	Access	Name	Description								
[31:10]	RW	reserved	保留。								
[9]	RW	vdh0clk_loaden	VDH0 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1. 写入新的分频配置值 2. 然后将 loaden 写为 0 3. 然后将 loaden 写为 1								
[8:4]	RW	vdh0clk_skipcfg	VDH0 时钟分频配置。 N: 每 32 拍 VDH 时钟中屏蔽掉 N 拍时钟。								
[3:2]	RW	reserved	保留。								
[1]	RW	vdh0_cken	VDH0 时钟门控。 0: 关闭时钟; 1: 打开时钟。								
[0]	RW	vdh0_srst_req	VDH0 的软复位请求。 0: 撤销复位; 1: 复位。								

PERI_CRG21

PERI_CRG21 为 VDH1 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0054		PERI_CRG21		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vdh1clk_loaden	vdh1clk_skipcfg				reserved	vdh1_cken	vdh1_srst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RW	reserved	保留。																													
[9]	RW	vdh1clk_loaden	VDH1 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1																													
[8:4]	RW	vdh1clk_skipcfg	VDH1 时钟分频配置。 N：每 32 拍 VDH 时钟中屏蔽掉 N 拍时钟。																													
[3:2]	RW	reserved	保留。																													
[1]	RW	vdh1_cken	VDH1 时钟门控。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	vdh1_srst_req	VDH0 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG22

PERI_CRG22 为 TDE 时钟及软复位控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0058				PERI_CRG22				0x0000_0003																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																tdeclk_loaden	tdeclk_skipcfg				reserved	tde_cken	tde_srst_req								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access		Name		Description																											
[31:10]	RW		reserved		保留。																											
[9]	RW		tdeclk_loaden		TDE 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1. 写入新的分频配置值 2. 然后将 loaden 写为 0 3. 然后将 loaden 写为 1																											
[8:4]	RW		tdeclk_skipcfg		TDE 时钟分频配置。 N: 每 32 拍 TDE 时钟中屏蔽掉 N 拍时钟。																											
[3:2]	RW		reserved		保留。																											
[1]	RW		tde_cken		TDE 时钟门控。 0: 关闭时钟; 1: 打开时钟。																											
[0]	RW		tde_srst_req		TDE 的软复位请求。 0: 撤销复位; 1: 复位。																											

PERI_CRG24

PERI_CRG24 为 JPGE 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0060		PERI_CRG24		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																jpgeclk_loaden	jpgeclk_skipcfg				reserved	jpge_cken	jpge_srst_req								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RW	reserved	保留。																													
[9]	RW	jpgeclk_loaden	JPGE 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1																													
[8:4]	RW	jpgeclk_skipcfg	JPGE 时钟分频配置。 N：每 32 拍 TDE 时钟中屏蔽掉 N 拍时钟。																													
[3:2]	RW	reserved	保留。																													
[1]	RW	jpge_cken	JPGE 时钟门控。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	jpge_srst_req	JPGE 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG25

PERI_CRG25 为 JPGD 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0064		PERI_CRG25		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																jpgd_cksel	jpgdclk_loaden	jpgdclk_skipcfg				reserved	jpgd_cken	jpgd_srst_req							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:11]	RW	reserved	保留。																													
[10]	RW	jpgd_cksel	JPGD 时钟源选择。 0: 选择 300MHz 时钟; 1: 选择 250MHz 时钟。																													
[9]	RW	jpgdclk_loaden	JPGD 时钟分频配置使能。 每次改变分频配置时, 分下面三步: 1.写入新的分频配置值 2.然后将 loaden 写为 0 3.然后将 loaden 写为 1																													
[8:4]	RW	jpgdclk_skipcfg	JPGD 时钟分频配置。 N: 每 32 拍 TDE 时钟中屏蔽掉 N 拍时钟。																													
[3:2]	RW	reserved	保留。																													
[1]	RW	jpgd_cken	JPGD 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	jpgd_srst_req	JPGD 的软复位请求。 0: 撤销复位; 1: 复位。																													

PERI_CRG26

PERI_CRG26 为 MDU 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0068		PERI_CRG26		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										mduclk_loaden	mduclk_skipcfg				reserved	mdu_cken	mdu_srst_req														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RW	reserved	保留。																													
[9]	RW	mduclk_loaden	MDU 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1. 写入新的分频配置值 2. 然后将 loaden 写为 0 3. 然后将 loaden 写为 1																													
[8:4]	RW	mduclk_skipcfg	MDU 时钟分频配置。 N: 每 32 拍 MDU 时钟中屏蔽掉 N 拍时钟。																													
[3:2]	RW	reserved	保留。																													
[1]	RW	mdu_cken	MDU 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	mdu_srst_req	MDU 的软复位请求。 0: 撤销复位; 1: 复位。																													

PERI_CRG27

PERI_CRG27 为 VAPU 时钟及软复位控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x006C				PERI_CRG27				0x0000_0003																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vapuclk_loaden	vapucclk_skipcfg				reserved	vapu_cken	vapu_srst_req								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access		Name		Description																											
[31:10]	RW		reserved		保留。																											
[9]	RW		vapucclk_loaden		VAPU 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1. 写入新的分频配置值 2. 然后将 loaden 写为 0 3. 然后将 loaden 写为 1																											
[8:4]	RW		vapucclk_skipcfg		VAPU 时钟分频配置。 N: 每 32 拍 TDE 时钟中屏蔽掉 N 拍时钟。																											
[3:2]	RW		reserved		保留。																											
[1]	RW		vapuc_cken		VAPU 时钟门控。 0: 关闭时钟; 1: 打开时钟。																											
[0]	RW		vapuc_srst_req		VAPU 的软复位请求。 0: 撤销复位; 1: 复位。																											

PERI_CRG28

PERI_CRG28 为 VOIE、BPD 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0070		PERI_CRG28		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																bpd_cken	bpd_srst_req	aenc_cken	aenc_srst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RW	reserved	保留。																													
[3]	RW	bpd_cken	BPD 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[2]	RW	bpd_srst_req	BPD 的软复位请求。 0: 撤销复位; 1: 复位。																													
[1]	RW	aenc_cken	AENC 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	aenc_srst_req	AENC 的软复位请求。 0: 撤销复位; 1: 复位。																													

PERI_CRG29

PERI_CRG29 为 VCMP 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x0074		PERI_CRG29		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							reserved	vcmp_cken	vcmp_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:4]	RW	reserved	保留。							
[3:2]	RW	reserved	保留。							
[1]	RW	vcmp_cken	VCMP 时钟门控。 0: 关闭时钟; 1: 打开时钟。							
[0]	RW	vcmp_srst_req	VCMP 的软复位请求。 0: 撤销复位; 1: 复位。							

PERI_CRG30

PERI_CRG30 为 PCIE0 和 PCIE1 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value											
0x0078		PERI_CRG30		0x0000_01E6											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved						pcie1_slot_oen	pcie0_slot_oen	reserved	pcie0_cken	pcie0_srst_req	reserved	reserved	pcie1_cken	pcie1_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 0	0 1 1 0						
Bits	Access	Name	Description												
[31:9]	RW	reserved	保留。												



[8]	RW	pcie1_slot_oen	PCIE1 Slot 差分时钟输出控制。 0: 输出; 1: 不输出。
[7]	RW	pcie0_slot_oen	PCIE0 Slot 差分时钟输出控制。 0: 输出; 1: 不输出。
[6]	RW	reserved	保留。
[5]	RW	pcie0_cken	PCIE0 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[4]	RW	pcie0_srst_req	PCIE0 controller 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RW	reserved	保留。
[2]	RW	reserved	保留。
[1]	RW	pcie1_cken	PCIE1 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	pcie1_srst_req	PCIE1 controller 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG31

PERI_CRG31 为 CIPHER 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x007C		PERI_CRG31		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							cipher_cken	cipher_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RW	reserved	保留。						
[1]	RW	cipher_cken	CIPHER 时钟门控。 0: 关闭时钟; 1: 打开时钟。						
[0]	RW	cipher_srst_req	CIPHER 的软复位请求。 0: 撤消复位; 1: 复位。						

PERI_CRG32

PERI_CRG32 为 SIO0/1/2/3 MCLK 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x0080		PERI_CRG32		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			sio0_ckcfg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					
[23:0]	RW	sio0_ckcfg	sio0~3 mclk 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率) x2^27。时钟源头频率为 500MHz。MCLK 最大支持 62.5MHz。					



PERI_CRG33

PERI_CRG33 为 SIO4 MCLK 控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0084				PERI_CRG33				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								sio4_ckcfg																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		reserved		保留。																											
[23:0]	RW		sio4_ckcfg		sio4 mclk 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 500MHz。MCLK 最大支持 62.5MHz。																											

PERI_CRG34

PERI_CRG34 为 SIO5 MCLK 控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0088				PERI_CRG34				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								sio5_ckcfg																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		reserved		保留。																											
[23:0]	RW		sio5_ckcfg		sio5 mclk 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 500MHz。MCLK 最大支持 62.5MHz。																											

PERI_CRG35

PERI_CRG35 为 SIO0 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value											
0x008C		PERI_CRG35		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				sio0_fsclk_div	sio0_bclk_div		sio0_fs_rxtx_sel	sio0_bclk_rxtx_sel	reserved	sio0_bclk_sel	sio0_bclkout_ctrl	sio0_bclk_ctrl	sio0_cken	sio0_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0							
Bits	Access	Name	Description												
[31:15]	RW	reserved	保留。												
[14:12]	RW	sio0_fsclk_div	位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。												
[11:8]	RW	sio0_bclk_div	主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。												
[7]	RW	sio0_fs_rxtx_sel	SIO TX RX FS 复用关系配置。 0: RX, TX 独立; 1: TX 复用 RX 的 FS。												



[6]	RW	sio0_bclk_rxtx_sel	SIO TX Rx BCLK 复用关系配置。 0: RX,TX 独立; 1: TX 复用 RX 的 BCLK。
[5]	RW	reserved	保留。
[4]	RW	sio0_bclk_sel	SIO0 BCLK 时钟的选择。 0: 选择外部产生的 BCLK; 1: 选择内部产生的 BCLK。
[3]	RW	sio0_bclkout_pctrl	SIO0 BCLK OUT 的极性控制。 0: 正向; 1: 反向。
[2]	RW	sio0_bclk_pctrl	SIO0 BCLK 的极性控制。 0: 正向; 1: 反向。
[1]	RW	sio0_cken	SIO0 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	sio0_srst_req	SIO0 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG36

PERI_CRG36 为 SIO1 相关的时钟及软复位控制寄存器。

	Offset Address	Register Name	Total Reset Value												
	0x0090	PERI_CRG36	0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				sio1_fsclk_div	sio1_bclk_div		sio1_fs_rxtx_sel	sio1_bclk_rxtx_sel	reserved	sio1_bclk_sel	sio1_bclkout_pctrl	sio1_bclk_pctrl	sio1_cken	sio1_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description												
[31:15]	RW	reserved	保留。												



[14:12]	RW	sio1_fsclk_div	<p>SIO1 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。</p>
[11:8]	RW	sio1_bclk_div	<p>SIO1 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p>
[7]	RW	sio1_fs_rxtx_sel	<p>SIO1 TX RX FS 复用关系配置。</p> <p>0: RX, TX 独立; 1: TX 复用 RX 的 FS。</p>
[6]	RW	sio1_bclk_rxtx_sel	<p>SIO1 TX Rx BCLK 复用关系配置。</p> <p>0: RX, TX 独立; 1: TX 复用 RX 的 BCLK。</p>
[5]	RW	reserved	保留。
[4]	RW	sio1_bclk_sel	<p>SIO1 BCLK 时钟的选择。</p> <p>0: 选择外部产生的 BCLK; 1: 选择内部产生的 BCLK。</p>
[3]	RW	sio1_bclkout_pctrl	<p>SIO1 BCLK OUT 的极性控制。</p> <p>0: 正向; 1: 反向。</p>



[2]	RW	sio1_bclk_pctrl	SIO1 BCLK 的极性控制。 0: 正向; 1: 反向。
[1]	RW	sio1_cken	SIO1 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	sio1_srst_req	SIO1 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG37

PERI_CRG37 为 SIO2 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value											
0x0094		PERI_CRG37		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				sio2_fsclk_div	sio2_bclk_div		sio2_fs_rxtx_sel	sio2_bclk_rxtx_sel	reserved	sio2_bclk_sel	sio2_bclkout_pctrl	sio2_bclk_pctrl	sio2_cken	sio2_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description												
[31:15]	RW	reserved	保留。												
[14:12]	RW	sio2_fsclk_div	SIO2 位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。												



[11:8]	RW	sio2_bclk_div	<p>SIO2 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p>
[7]	RW	sio2_fs_rtx_sel	<p>SIO2 TX RX FS 复用关系配置。</p> <p>0: RX,TX 独立; 1: TX 复用 RX 的 FS。</p>
[6]	RW	sio2_bclk_rtx_sel	<p>SIO2 TX Rx BCLK 复用关系配置。</p> <p>0: RX,TX 独立; 1: TX 复用 RX 的 BCLK。</p>
[5]	RW	reserved	保留。
[4]	RW	sio2_bclk_sel	<p>SIO2 BCLK 时钟的选择。</p> <p>0: 选择外部产生的 BCLK; 1: 选择内部产生的 BCLK。</p>
[3]	RW	sio2_bclkout_pctrl	<p>SIO2 BCLK OUT 的极性控制。</p> <p>0: 正向; 1: 反向。</p>
[2]	RW	sio2_bclk_pctrl	<p>SIO2 BCLK 的极性控制。</p> <p>0: 正向; 1: 反向。</p>
[1]	RW	sio2_cken	<p>SIO2 时钟门控。</p> <p>0: 关闭时钟; 1: 打开时钟。</p>



[0]	RW	sio2_srst_req	SIO2 的软复位请求。 0: 撤消复位; 1: 复位。
-----	----	---------------	------------------------------------

PERI_CRG38

PERI_CRG38 为 SIO3 相关的时钟及软复位控制寄存器。

	Offset Address 0x0098								Register Name PERI_CRG38								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																sio3_fsclk_div	sio3_bclk_div				sio3_fs_rxtx_sel	sio3_bclk_rxtx_sel	reserved	sio3_bclk_sel	sio3_bclkout_ctrl	sio3_bclk_ctrl	sio3_cken	sio3_srst_req			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:15]	RW		reserved		保留。																											
[14:12]	RW		sio3_fsclk_div		SIO3 位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。																											



[11:8]	RW	sio3_bclk_div	<p>SIO3 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p>
[7]	RW	sio3_fs_rxtx_sel	<p>SIO3 TX RX FS 复用关系配置。</p> <p>0: RX,TX 独立; 1: TX 复用 RX 的 FS。</p>
[6]	RW	sio3_bclk_rxtx_sel	<p>SIO3 TX Rx BCLK 复用关系配置。</p> <p>0: RX,TX 独立; 1: TX 复用 RX 的 BCLK。</p>
[5]	RW	reserved	保留。
[4]	RW	sio3_bclk_sel	<p>SIO3 BCLK 时钟的选择。</p> <p>0: 选择外部产生的 BCLK; 1: 选择内部产生的 BCLK。</p>
[3]	RW	sio3_bclkout_pctrl	<p>SIO3 BCLK OUT 的极性控制。</p> <p>0: 正向; 1: 反向。</p>
[2]	RW	sio3_bclk_pctrl	<p>SIO3 BCLK 的极性控制。</p> <p>0: 正向; 1: 反向。</p>
[1]	RW	sio3_cken	<p>SIO3 时钟门控。</p> <p>0: 关闭时钟; 1: 打开时钟。</p>



[0]	RW	sio3_srst_req	SIO3 的软复位请求。 0: 撤消复位; 1: 复位。
-----	----	---------------	------------------------------------

PERI_CRG39

PERI_CRG39 为 SIO4 相关的时钟及软复位控制寄存器。

	Offset Address 0x009C								Register Name PERI_CRG39								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																sio4_fs_rxtx_sel	sio4_bclk_rxtx_sel	reserved	sio4_bclk_sel	sio4_bclkout_ctrl	sio4_bclk_ctrl	sio4_cken	sio4_srst_req								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:15]	RW		reserved		保留。																											
[14:12]	RW		sio4_fsclk_div		SIO4 位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。																											



[11:8]	RW	sio4_bclk_div	<p>SIO4 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p>
[7]	RW	sio4_fs_rxtx_sel	<p>SIO4 TX RX FS 复用关系配置。</p> <p>0: RX,TX 独立; 1: TX 复用 RX 的 FS。</p>
[6]	RW	sio4_bclk_rxtx_sel	<p>SIO4 TX Rx BCLK 复用关系配置。</p> <p>0: RX,TX 独立; 1: TX 复用 RX 的 BCLK。</p>
[5]	RW	reserved	保留。
[4]	RW	sio4_bclk_sel	<p>SIO4 BCLK 时钟的选择。</p> <p>0: 选择外部产生的 BCLK; 1: 选择内部产生的 BCLK。</p>
[3]	RW	sio4_bclkout_pctrl	<p>SIO4 BCLK OUT 的极性控制。</p> <p>0: 正向; 1: 反向。</p>
[2]	RW	sio4_bclk_pctrl	<p>SIO4 BCLK 的极性控制。</p> <p>0: 正向; 1: 反向。</p>
[1]	RW	sio4_cken	<p>SIO4 时钟门控。</p> <p>0: 关闭时钟; 1: 打开时钟。</p>



[0]	RW	sio4_srst_req	SIO4 的软复位请求。 0: 撤消复位; 1: 复位。
-----	----	---------------	------------------------------------

PERI_CRG40

PERI_CRG40 为 SIO5 相关的时钟及软复位控制寄存器。

	Offset Address 0x00A0								Register Name PERI_CRG40								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								sio5_fsclk_div				sio5_bclk_div				sio5_fs_rxtx_sel		sio5_bclk_rxtx_sel		reserved		sio5_bclk_sel		sio5_bclkout_ctrl		sio5_bclk_ctrl		sio5_cken		sio5_srst_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:15]	RW		reserved		保留。																															
[14:12]	RW		sio5_fsclk_div		SIO5 位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。																															



[11:8]	RW	sio5_bclk_div	<p>SIO5 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p>
[7]	RW	sio5_fs_rxtx_sel	<p>SIO5 TX RX FS 复用关系配置。</p> <p>0: RX,TX 独立; 1: TX 复用 RX 的 FS。</p>
[6]	RW	sio5_bclk_rxtx_sel	<p>SIO5 TX Rx BCLK 复用关系配置。</p> <p>0: RX,TX 独立; 1: TX 复用 RX 的 BCLK。</p>
[5]	RW	reserved	保留。
[4]	RW	sio5_bclk_sel	<p>SIO5 BCLK 时钟的选择。</p> <p>0: 选择外部产生的 BCLK; 1: 选择内部产生的 BCLK。</p>
[3]	RW	sio5_bclkout_pctrl	<p>SIO5 BCLK OUT 的极性控制。</p> <p>0: 正向; 1: 反向。</p>
[2]	RW	sio5_bclk_pctrl	<p>SIO5 BCLK 的极性控制。</p> <p>0: 正向; 1: 反向。</p>
[1]	RW	sio5_cken	<p>SIO5 时钟门控。</p> <p>0: 关闭时钟; 1: 打开时钟。</p>



[0]	RW	sio5_srst_req	SIO5 的软复位请求。 0: 撤消复位; 1: 复位。
-----	----	---------------	------------------------------------

PERI_CRG45

PERI_CRG45 为 SATA 相关的时钟及软复位控制寄存器。

	Offset Address 0x00B4				Register Name PERI_CRG45								Total Reset Value 0x0000_0700																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												sata_clk_sel	sata_cken	sata0_cken	sata1_cken	rst_alive_s	rst_rx1_s	rst_rx0_s	rst_tx1_s	rst_tx0_s	rst_sata_s	hrst_sata_s	rst_sataphy_s								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RW		reserved		保留。																											
[11]	RW		sata_clk_sel		SATA PHY 参考时钟选择。 0: 125M 时钟; 1: 100M 时钟。																											
[10]	RW		sata_cken		SATA PHY 和总线时钟状态。 0: 关闭; 1: 打开。																											
[9]	RW		sata0_cken		SATA controller Port0 时钟状态。 0: 关闭; 1: 打开。																											
[8]	RW		sata1_cken		SATA controller Port1 时钟状态。 0: 关闭; 1: 打开。																											
[7]	RW		rst_alive_s		SATA controller alive 时钟域软复位控制。 0: 撤消复位; 1: 复位。																											



[6]	RW	rst_rx1_s	SATA controller rx1 时钟域软复位控制。 0: 撤消复位; 1: 复位。
[5]	RW	rst_rx0_s	SATA controller rx0 时钟域软复位控制。 0: 撤消复位; 1: 复位。
[4]	RW	rst_tx1_s	SATA controller tx1 时钟域软复位控制。 0: 撤消复位; 1: 复位。
[3]	RW	rst_tx0_s	SATA controller tx0 时钟域软复位控制。 0: 撤消复位; 1: 复位。
[2]	RW	rst_sata_s	SATA controller 接口软复位控制。 0: 撤消复位; 1: 复位。
[1]	RW	hrst_sata_s	SATA controller 总线软复位控制。 0: 撤消复位; 1: 复位。
[0]	RW	rst_sataphy_s	SATA PHY 软复位控制。 0: 撤消复位; 1: 复位。

PERI_CRG46

PERI_CRG46 为 USB 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00B8		PERI_CRG46		0x0000_00FF																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				usb_cken	usb_ctrl_utmi1_req	usb_ctrl_utmi0_req	usb_ctrl_hub_req	usbphy_port1_treq	usbphy_port0_treq	usbphy_req	usb_ahb_srst_req				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
Bits	Access	Name	Description																													
[31:8]	RW	reserved	保留。																													
[7]	RW	usb_cken	USB PHY 参考时钟门控。 0: 关闭; 1: 打开。																													
[6]	RW	usb_ctrl_utmi1_req	USB controller port1 的软复位请求。 0: 撤消复位; 1: 复位。																													
[5]	RW	usb_ctrl_utmi0_req	USB controller port0 的软复位请求。 0: 撤消复位; 1: 复位。																													
[4]	RW	usb_ctrl_hub_req	USB controller hub 的软复位请求。 0: 撤消复位; 1: 复位。																													
[3]	RW	usbphy_port1_treq	USBPHY PORT1 的软复位请求。 0: 撤消复位; 1: 复位。																													
[2]	RW	usbphy_port0_treq	USBPHY PORT0 的软复位请求。 0: 撤消复位; 1: 复位。																													
[1]	RW	usbphy_req	USBPHY 的软复位请求。 0: 撤消复位; 1: 复位。																													



[0]	RW	usb_ahb_srst_req	USB controller 总线软复位请求。 0: 撤消复位; 1: 复位。
-----	----	------------------	---

PERI_CRG48

PERI_CRG48 为 SFC 相关的时钟及软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00C0				PERI_CRG48				0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sfc_cksel	sfc_cken	sfc_srst_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name		Description																											
[31:4]	RW		reserved		保留。																											
[3:2]	RW		sfc_cksel		SFC2X 时钟源选择。 x0: 24MHz 时钟; 01: 100MHz 时钟; 11: 148MHz 时钟。																											
[1]	RW		sfc_cken		SFC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。																											
[0]	RW		sfc_srst_req		SFC 的软复位请求。 0: 撤消复位; 1: 复位。																											

PERI_CRG49

PERI_CRG49 为 SDIO 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00C4		PERI_CRG49		0x0000_0002																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sdioclk_pctrl	sdioclk_sel	sdio_cken	sdio_srst_req				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31:4]	RW	reserved	保留。																													
[3]	RW	sdioclk_pctrl	SDIO SAP 时钟极性控制。 0: 正向; 1: 反向。																													
[2]	RW	sdioclk_sel	SDIO 工作时钟选择。 0: 24MHz; 1: 50MHz。																													
[1]	RW	sdio_cken	SDIO 时钟门控配置。 0: 关闭; 1: 打开。																													
[0]	RW	sdio_srst_req	SDIO 的软复位请求。 0: 撤消复位; 1: 复位。																													

PERI_CRG50

PERI_CRG50 为 GMAC 相关的时钟及软复位控制寄存器 A。



Offset Address		Register Name		Total Reset Value							
0x00C8		PERI_CRG50		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							reserved	reserved	gmac1_if_srst_req	gmac0_if_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RW	reserved	保留。								
[3]	RW	reserved	保留。								
[2]	RW	reserved	保留。								
[1]	RW	gmac1_if_srst_req	GMAC1_IF 的软复位请求。 0: 撤消复位; 1: 复位。								
[0]	RW	gmac0_if_srst_req	GMAC0_IF 的软复位请求。 0: 撤消复位; 1: 复位。								

PERI_CRG51

PERI_CRG51 为 TOE_TOP 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value								
0x00CC		PERI_CRG51		0x0000_000A								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved							toe_cksel	toe_hcken	toe_hrst_req	toe_cken	toe_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0				
Bits	Access	Name	Description									
[31:5]	RW	reserved	保留。									
[4]	RW	toe_cksel	TOE 工作时钟选择。 0: 选择 APB clk; 1: 选择 100MHz 时钟。									
[3]	RW	toe_hcken	TOE 总线时钟门控。 0: 关闭时钟; 1: 打开时钟。									
[2]	RW	toe_hrst_req	TOE 的总线软复位请求。 0: 撤消复位; 1: 复位。									
[1]	RW	toe_cken	TOE 时钟门控。 0: 关闭时钟; 1: 打开时钟。									
[0]	RW	toe_srst_req	TOE 的软复位请求。 0: 撤消复位; 1: 复位。									

PERI_CRG52

PERI_CRG52 为 NandC 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x00D0		PERI_CRG52		0x0000_0002						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							nfc_cksel	nfc_cken	nfc_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0		
Bits	Access	Name	Description							
[31:3]	RW	reserved	保留。							
[2]	RW	nfc_cksel	NFC 时钟源选择。 0: 24MHz 时钟; 1: 100MHz 时钟。							
[1]	RW	nfc_cken	NFC 时钟门控。 0: 关闭时钟; 1: 打开时钟。							
[0]	RW	nfc_srst_req	NFC 的软复位请求。 0: 撤消复位; 1: 复位。							

PERI_CRG53

PERI_CRG53 为 SCD0/1 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x00D4		PERI_CRG53		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							scd0_cken	scd1_cken	scd0_srst_req	scd1_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RW	reserved	保留。								



[3]	RW	scd0_cken	SCD0 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[2]	RW	scd1_cken	SCD1 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[1]	RW	scd0_srst_req	SCD0 的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	scd1_srst_req	SCD1 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG54

PERI_CRG54 为 EFUSE 相关的时钟及软复位控制寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x00D8								PERI_CRG54								0x0000_0002															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												efuse_cken	efuse_srst_req		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31:2]	RW	reserved	保留。																													
[1]	RW	efuse_cken	EFUSE 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	efuse_srst_req	EFUSE 的软复位请求。 0: 撤消复位; 1: 复位。																													



PERI_CRG56

PERI_CRG56 为 DMA 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00E0		PERI_CRG56		0x0000_0008					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dma_cken dma_srst_req	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	
Bits	Access	Name	Description						
[31:2]	RW	reserved	保留。						
[1]	RW	dma_cken	DMA 时钟门控。 0: 关闭时钟; 1: 打开时钟。						
[0]	RW	dma_srst_req	DMA 的软复位请求。 0: 撤消复位; 1: 复位。						

PERI_CRG57

PERI_CRG57 为其它 CRG 接口模块软复位控制寄存器。

Offset Address		Register Name		Total Reset Value																
0x00E4		PERI_CRG57		0x0000_E060																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				ddr1_pcken	ddr0_pcken	uart_cksel	ssp0_srst_req	i2c0_srst_req	uart3_srst_req	uart2_srst_req	uart1_srst_req	uart0_srst_req	ddr1_cken	ddr0_cken	ddr0comp_srst_r	ddr0comp_srst_r	rtc_srst_req	ir_srst_req	test_clk_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																	
[31:16]	RW	reserved	保留。																	



[15]	RW	ddr1_pcken	DDR1 PCLK 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[14]	RW	ddr0_pcken	DDR0 PCLK 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[13]	RW	uart_cksel	Uart0/1/2/3 的时钟选择。 0: 选择 clk_apb 总线时钟; 1: 选择 clk_3m 时钟。
[12]	RW	ssp0_srst_req	SSP 的软复位请求。 0: 撤消复位; 1: 复位。
[11]	RW	i2c0_srst_req	I2C 的软复位请求。 0: 撤消复位; 1: 复位。
[10]	RW	uart3_srst_req	UART3 的软复位请求。 0: 撤消复位; 1: 复位。
[9]	RW	uart2_srst_req	UART2 的软复位请求。 0: 撤消复位; 1: 复位。
[8]	RW	uart1_srst_req	UART1 的软复位请求。 0: 撤消复位; 1: 复位。
[7]	RW	uart0_srst_req	UART0 的软复位请求。 0: 撤消复位; 1: 复位。
[6]	RW	ddr1_cken	DDR1 2X 和 1X 时钟门控。 0: 关闭时钟; 1: 打开时钟。
[5]	RW	ddr0_cken	DDR0 2X 和 1X 时钟门控。 0: 关闭时钟; 1: 打开时钟。



[4]	RW	ddr1comp_srst_req	DDR1 COMP 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RW	ddr0comp_srst_req	DDR0 COMP 的软复位请求。 0: 撤消复位; 1: 复位。
[2]	RW	rtc_srst_req	RTC 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	ir_srst_req	IR 的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	test_clk_en	测试时钟使能寄存器。 0: 所有测试时钟关闭; 1: 所有测试时钟打开。

PERI_CRG58

PERI_CRG58 为 CRG 状态寄存器。

Offset Address	Register Name	Total Reset Value																
0x00E8	PERI_CRG58	0x0000_0000																
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved													epll_lock	vpll2_lock	vpll1_lock	vpll0_lock	apll_lock
Reset	0 0																	
Bits	Access	Name	Description															
[31:5]	RO	reserved	保留。															
[4]	RO	epll_lock	EPLL LOCK 状态。 0: Unlock; 1: Locked。															
[3]	RO	vpll2_lock	VPLL2 LOCK 状态。 0: Unlock; 1: Locked。															



[2]	RO	vpll1_lock	VPLL1 LOCK 状态。 0: Unlock; 1: Locked.
[1]	RO	vpll0_lock	VPLL0 LOCK 状态。 0: Unlock; 1: Locked.
[0]	RO	apll_lock	APLL LOCK 状态。 0: Unlock; 1: Locked.

PERI_CRG59

PERI_CRG59 为 GMAC 接口控制寄存器 B。

	Offset Address 0x00EC								Register Name PERI_CRG59								Total Reset Value 0x003F_003F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								macif1_phy_select	macif1_duplex_mode	macif1_tx_config	macif1_link_status	macif1_mac_speed	macif1_port_select	reserved								macif0_phy_select	macif0_duplex_mode	macif0_tx_config	macif0_link_status	macif0_mac_speed	macif0_port_select				
Reset	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
Bits	Access		Name		Description																											
[31:24]	RW		reserved		保留。																											
[23:21]	RW		macif1_phy_select		配置 MACIF1 的 PHY 接口模式。 000: MII mode; 001: RGMII mode; 其他: 保留。																											
[20]	RW		macif1_duplex_mode		配置 MACIF1 的 PHY 双工模式。 0: Half Duplex mode; 1: Full Duplex mode。																											



[19]	RW	macif1_tx_config	配置 MACIF1 发送配置使能信号。 0: Tx Config Disable; 1: Tx Config Enable。
[18]	RW	macif1_link_status	配置 MACIF1 的 PHY 连接状态。 0: Link Down; 1: Link Up。
[17]	RW	macif1_mac_speed	配置 MACIF1 的 10/100Mbps 模式。 0: 10Mbps; 1: 100Mbps。
[16]	RW	macif1_port_select	配置 MACIF1 的 1000Mbps 模式使能。 0:1000Mbps; 1:10/100Mbps。
[15:8]	RW	reserved	保留。
[7:5]	RW	macif0_phy_select	配置 MACIF0 的 PHY 接口模式。 000: MII mode; 001: RGMII mode; 其他: 保留。
[4]	RW	macif0_duplex_mode	配置 MACIF0 的 PHY 双工模式。 0: Half Duplex mode; 1: Full Duplex mode。
[3]	RW	macif0_tx_config	配置 MACIF0 发送配置使能信号。 0: Tx Config Disable; 1: Tx Config Enable。
[2]	RW	macif0_link_status	配置 MACIF0 的 PHY 连接状态。 0: Link Down; 1: Link Up。
[1]	RW	macif0_mac_speed	配置 MACIF0 的 10/100Mbps 模式。 0: 10Mbps; 1: 100Mbps。
[0]	RW	macif0_port_select	配置 MACIF0 的 1000Mbps 模式使能。 0: 1000Mbps; 1: 10/100Mbps。



PERI_CRG60

PERI_CRG60 为 GMAC 接口状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00F0				PERI_CRG60				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								phy1_link_status	phy1_link_status	phy1_link_speed	reserved								phy0_link_status	phy0_link_status	phy0_link_speed										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:20]	RO	reserved	保留																													
[19]	RO	phy1_link_status	PHY1 的连接状态。 0: Link Down; 1: Link Up。																													
[18:17]	RO	phy1_link_speed	PHY1 连接时钟频率。 00: 2.5MHz; 01: 25MHz; 10: 125MHz; 11: 保留。																													
[16]	RO	phy1_link_duplex_mode	PHY1 连接双工模式。 0: half duplex mode; 1: full duplex mode。																													
[15:4]	RO	reserved	保留。																													
[3]	RO	phy0_link_status	PHY0 的连接状态。 0: Link Down; 1: Link Up。																													
[2:1]	RO	phy0_link_speed	PHY0 连接时钟频率。 00: 2.5MHz; 01: 25MHz; 10: 125MHz; 11: 保留。																													



Offset Address		Register Name		Total Reset Value								
0x00F0		PERI_CRG60		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved			phy1_link_status	phy1_link_status	phy1_link_speed	reserved			phy0_link_status	phy0_link_status	phy0_link_speed
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[0]	RO	phy0_link_duplex_mode	PHY 连接双工模式。 0: half duplex mode; 1: full duplex mode.									

PERI_CRG61

PERI_CRG61 为 SpeedMonitor 控制寄存器。

Offset Address		Register Name		Total Reset Value						
0x00F4		PERI_CRG61		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							osc_en	osc_mode	osc_clk_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RW	reserved	保留。							
[2]	RW	osc_en	SpeedMonitor Enable 控制。 0: disable; 1: enable.							
[1]	RW	osc_mode	SpeedMonitor 模式配置。 0: 150 step level; 1: 200 step level.							



Offset Address		Register Name		Total Reset Value						
0x00F4		PERI_CRG61		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							osc_en	osc_mode	osc_clk_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[0]	RW	osc_clk_en	SpeedMonitor 时钟使能控制。 0: disable; 1: enable。							

PERI_CRG62

PERI_CRG62 为 SpeedMonitor 状态寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x00F8		PERI_CRG62		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	osc_bl_stat		osc_br_stat			osc_hvt_br_stat		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:20]	RO	osc_bl_stat	BottomLeft RING_OSC 计数器状态。						
[19:10]	RO	osc_br_stat	BottomRight RING_OSC 计数器状态。						
[9:0]	RO	osc_hvt_br_stat	BottomRight RING_OSC_HVT 计数器状态。						

PERI_CRG63

PERI_CRG63 为 SpeedMonitor 状态寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x00FC		PERI_CRG63		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	osc_ct_stat		osc_tl_stat			osc_hvt_tl_stat		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:20]	RO	osc_ct_stat	Center RING_OSC 计数器状态。						
[19:10]	RO	osc_tl_stat	TopLeft RING_OSC 计数器状态。						
[9:0]	RO	osc_hvt_tl_stat	TopLeft RING_OSC_HVT 计数器状态。						

PERI_CRG64

PERI_CRG64 为 SpeedMonitor 状态寄存器 3。

Offset Address		Register Name		Total Reset Value					
0x0100		PERI_CRG64		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			osc_tr_stat			osc_hvt_tr_stat		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RO	reserved	保留。						
[19:10]	RO	osc_tr_stat	TopRight RING_OSC 计数器状态。						
[9:0]	RO	osc_hvt_tr_stat	TopRight RING_OSC_HVT 计数器状态。						

PERI_CRG65

PERI_CRG65 为保留寄存器。



Offset Address		Register Name		Total Reset Value				
0x0104		PERI_CRG65		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	eco_reserv							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	eco_reserv	<p>Bit[0]: VDH0 的软复位请求 2。当 VDH 模块关电再重新上电时，需要先复位 VDH 模块才能工作。</p> <p>0: 撤销复位； 1: 复位。</p> <p>Bit[1]: VDH1 的软复位请求 2。当 VDH 模块关电再重新上电时，需要先复位 VDH 模块才能工作。</p> <p>0: 撤销复位； 1: 复位。</p> <p>其它: 保留。</p>					

3.3 中断系统

芯片使用 Cortex-A9 内部集成的中断控制器 GIC，最多可支持 128 个中断源，对应的中断映射如表 3-26 所示。

表3-26 A9 中断源分配表

中断位	中断源	中断位	中断源	中断位	中断源
0~31	A9 内部使用	64	USB_OHCI	96	VDH0
32	COMMTX[0]	65	保留	97	VDH1
33	COMMRX[0]	66	保留	98	TDE
34	WatchDog	67	SDIO	99	BPD
35	Timer0	68	SATA	100	MD
36	Timer1	69	L2CACHE_CHK 0_INT	101	VCMP
37	Timer2	70	L2CACHE_CHK 1_INT	102	VOIE
38	Timer3	71	L2CACHE_INT_ COMB	103	SCD0
39	RTC	72	A9_PMU_INT0	104	SCD1



中断位	中断源	中断位	中断源	中断位	中断源
40	UART0	73	Pcie0_radm_inta	105	GPIO0
41	UART1	74	Pcie0_radm_intb	106	GPIO1
42	UART2	75	Pcie0_radm_intc	107	GPIO2
43	UART3	76	Pcie0_radm_intd	108	GPIO3
44	SSP	77	Pcie0_dma0_int	109	GPIO4
45	I2C	78	Pcie0_dma1_int	110	GPIO5
46	NandC	79	VPSS0	111	GPIO6
47	SFC	80	VPSS1	112	GPIO7 / GPIO8
48	IR	81	Pcie1_radm_inta	113	GPIO9 / GPIO10
49	SIO0	82	Pcie1_radm_intb	114	GPIO11 / GPIO12
50	SIO1	83	Pcie1_radm_intc	115	GPIO13 / GPIO14
51	SIO2	84	Pcie1_radm_intd	116	GPIO15 / GPIO16
52	SIO3	85	Pcie1_dma0_int	117	GPIO17 / GPIO18
53	SIO4	86	Pcie1_dma1_int	118	toe_lpi_int
54	SIO5	87	commr[1]	119	toe_int
55	保留	88	IVE	120	保留
56	保留	89	HDMI	121	保留
57	保留	90	VICAP	122	保留
58	Software int (软件中断)	91	VDP	123	保留
59	A9_PMU_INT1	92	VEDU0	124	保留
60	Cipher	93	VEDU1	125	保留
61	DMAC0	94	JPGE	126	保留
62	DMAC1	95	JPGD	127	Commtx[1]
63	USB_EHCI				



3.4 系统控制器

3.4.1 概述

系统控制器提供了控制系统运行的手段，它控制系统运行的模式，监控系统运行状态，管理系统中的重要功能，完成对外设的某些功能的配置。

3.4.2 特点

系统控制器具有以下特点：

- 控制并监控系统的运行模式
- 提供系统时钟控制和状态查询
- 提供对系统地址重映射的控制和状态监控
- 提供通用外设寄存器
- 提供对关键寄存器的写保护功能
- 提供芯片的标识寄存器

3.4.3 功能描述

3.4.4 系统运行模式控制

系统工作在以下三种工作模式：

- **NORMAL 模式**
系统正常工作在 NORMAL 模式下。在此模式下，系统由片内 APLL 的输出时钟驱动。所有的模块均能正常工作于此时钟源。（部分外设可选择被 VPLL0、VPLL1、EPLL 的输出时钟驱动）
- **SLOW 模式**
SLOW 模式是一种慢速模式。在此模式下，系统由外接晶振时钟驱动，只有部分片内外设可以工作，如系统控制器、Timer、NANDC、SFC 等。所有对高速时钟有要求的模块在此时钟下无法工作，如 DDRC 等。
- **DOZE 模式**
DOZE 模式是一种低速模式。只有少量片内外设可以工作于 DOZE 模式。在此模式下，系统由外接晶振分频的 46.875kHz 低频时钟驱动。大部分片内外设无法工作，存储器接口无法工作，CPU 和少量模块（如系统控制器、Timer 和 IR 等）可以工作于该模式。

系统控制器提供了一个系统模式切换机制，用于控制系统时钟源的切换。模式切换由模式控制寄存器 `SC_CTRL[modectl]` 来配置，这 3 位定义了系统当前需要进入的操作模式：

- 000：保留
- 001：系统切换到 DOZE 模式
- 010：系统切换到 SLOW 模式
- 100：系统切换到 NORMAL 模式



- 其它：保留

当要求的系统操作模式已在系统模式控制寄存器中作出指定，系统模式控制系统即开始朝指定的模式移动，在此期间不再需要其他的软件（命令）干预。

当前系统状态可通过读取 `SC_CTRL [modestatus]` 获得。这几位描述的系统当前状态不仅包括了上述的三个主要模式：NORMAL、SLOW、DOZE，还包括了 3 个主要模式之间的几个中间态：SWfromPLL、SWtoPLL、PLLCTL、SWfromXTAL、SWtoXTAL、XTALCTL。

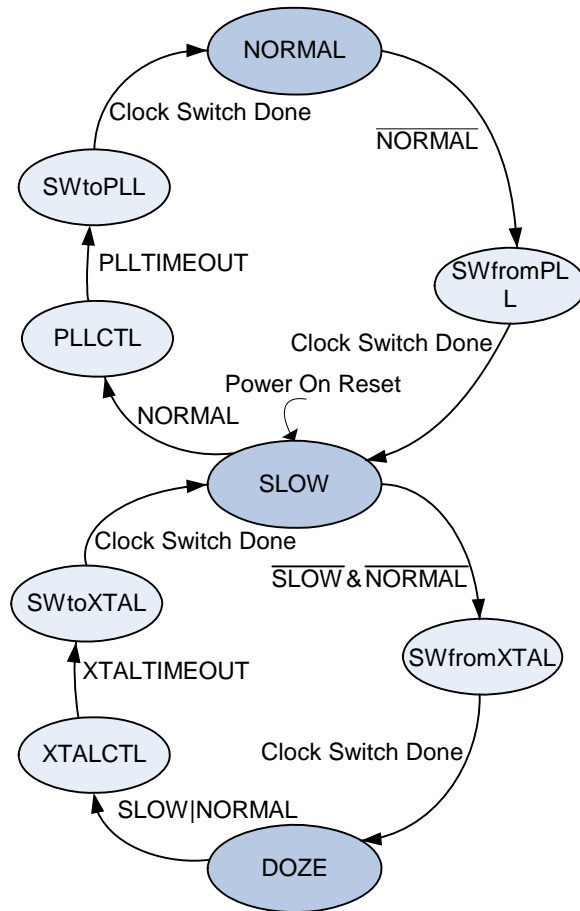
说明

NORMAL、SLOW、DOZE 三种模式切换，可配置为直接切换，如系统当前处于 NORMAL 模式，可通过配置寄存器 `SC_CTRL [modectrl]` 为“001”进入 DOZE 模式。但实际系统运行过程中，是经历了“SWfromPLL”、“SLOW”、“SWfromXTAL”等模式或中间态的。

系统的状态切换过程如图 3-3 所示。



图3-3 系统模式切换图



各种模式之间的切换涉及到的操作如下：

- 将 `SC_CTRL [modectl]` 的最高位设置为 0，系统会离开 NORMAL 模式，向慢速模式 SLOW 方向切换。
- 在系统由 NORMAL 模式进入 SLOW 模式过程中，系统首先进入 SWfromPLL 中间态。这标志着系统时钟源将从 PLL 切换到晶振。当时钟切换完成后（Clock Switch Done），系统进入 SLOW 模式。
- 上电复位之后，系统处于 SLOW 模式。设置 `SC_CTRL [modectl]` 的最高位为 1，可以让系统进入 NORMAL 模式。切换到 NORMAL 模式的过程中，首先进入 PLLCTL 中间态以使能 ARMPLL，在一个固定的等待时间（等待时间受 `SC_XTALCTRL [plltime]` 影响）之后，进入 SWtoPLL 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 NORMAL 模式。
- 设置 `SC_CTRL [modectl]` 的高两位均为 0，可以让系统向低速的 DOZE 模式方向切换。系统首先会进入 SWfromXTAL 中间态。这标志着系统时钟源将从晶振时钟



切换到晶振时钟分频得到的 46.875kHz 低频时钟。当时钟切换完成后（Clock Switch Done），系统进入 DOZE 模式。

- 设置 `SC_CTRL` [modectl] 的高两位中的某位为 1，可以让系统向慢速的 SLOW 模式方向切换。切换到 SLOW 模式的过程中，首先进入 XTALCTL 中间态以初始化时钟模块，在一个固定的等待时间（等待时间受 `SC_XTALCTRL` [xtaltime] 影响）之后，进入 SWtoXTAL 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 SLOW 模式。

系统控制器状态机状态和系统时钟之间的关系请参见表 3-6。

软复位控制

系统控制器支持对芯片全局以及局部模块进行软复位：

当配置全局软复位寄存器 `SC_SYSRES` 后，系统控制器将给片内复位模块发起请求，芯片将被复位。

系统地址重映射控制

请参见“1.3 启动模式”章节。

对关键寄存器的写保护

为防止软件对系统控制器的误操作对整个系统产生严重影响，系统控制器提供了一些关键配置寄存器的写保护功能。包括：

- 模式切换的控制寄存器：`SC_CTRL`
- 系统全局软复位控制寄存器：`SC_SYSRES`
- 外设控制寄存器 0/1：`SC_PLLCTRL`

对这些关键寄存器进行写操作之前，必须配置寄存器 `SC_LOCKEN` 打开写保护。操作完成之后配置寄存器 `SC_LOCKEN` 关闭写保护，让这些关键寄存器不会被软件随意改写。

说明

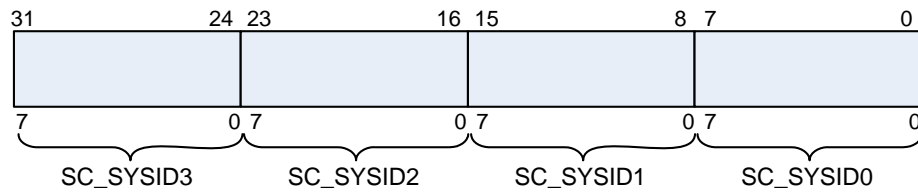
系统默认为复位后不对这些关键寄存器进行写保护处理。为启用此功能，建议在系统启动时利用该寄存器对这些关键寄存器进行写保护处理。

芯片的标识寄存器

系统控制器提供了芯片标识（ID）寄存器 `SC_SYSID`。这个标识寄存器是一个概念上的 32bit 的标识只读寄存器，实际上由 4 个 8bit 标识寄存器组成：`SC_SYSID3`、`SC_SYSID2`、`SC_SYSID1`、`SC_SYSID0`。读出这 4 个寄存器的值，通过组合得到芯片的 32bit 标识只读寄存器的值 0x3531_0100，组合的方法如图 3-4 所示。



图3-4 芯片 ID 寄存器位分配图



3.4.1 系统控制器寄存器概览

系统控制器寄存器概览如表 3-27 所示。

表3-27 系统控制器寄存器概览（基址是 0x2005_0000）

偏移地址	名称	描述	页码
0x000	SC_CTRL	系统控制寄存器	3-108
0x004	SC_SYSRES	系统软复位寄存器	3-112
0x008	SC_IMCTRL	中断模式控制寄存器	3-112
0x00C	SC_IMSTAT	中断模式状态寄存器	3-113
0x010	SC_XTALCTRL	晶振控制寄存器	3-114
0x014	SC_PLLCTRL	PLL 控制寄存器	3-114
0x018	SC_PLLFCTRL	PLL 频率控制寄存器	3-115
0x01C	PERIPHCTRL0	外设控制寄存器 0	3-116
0x020	PERIPHCTRL1	外设控制寄存器 1	3-118
0x0024	PERIPHCLKEN	外设时钟使能寄存器	3-118
0x0028	PERIPHCLKDIS	外设时钟屏蔽寄存器	3-118
0x002C	PERIPHCLKSTAT	外设时钟使能状态寄存器	3-119
0x0030	PERISTAT	外设状态寄存器	3-119
0x0034	PERIPHCTRL2	外设控制寄存器 2	3-121
0x0038	PERIPHCTRL3	外设控制寄存器 3	3-123
0x003C	PERIPHCTRL4	外设控制寄存器 4	3-125
0x0040	PERIPHCTRL5	外设控制寄存器 5	3-127
0x0044	SC_LOCKEN	关键系统控制寄存器的锁定寄存器	3-127
0x0048	PERIPHCTRL6	外设控制寄存器 6	3-128
0x004C	PERIPHCTRL7	外设控制寄存器 7	3-129



偏移地址	名称	描述	页码
0x0050	PERIPHCTRL8	外设控制寄存器 8	3-130
0x0054	PERIPHCTRL9	外设控制寄存器 9	3-130
0x0058	PERIPHCTRL10	外设控制寄存器 10	3-132
0x005C	PERIPHCTRL11	外设控制寄存器 11	3-132
0x0060	PERIPHCTRL12	外设控制寄存器 12	3-133
0x0064	PERIPHCTRL13	外设控制寄存器 13	3-134
0x0068	PERIPHCTRL14	外设控制寄存器 14	3-135
0x006C	PERIPHCTRL15	外设控制寄存器 15	3-137
0x0070	PERIPHCTRL16	外设控制寄存器 16	3-137
0x0074	PERIPHCTRL17	外设控制寄存器 17	3-138
0x0078	PERIPHCTRL18	外设控制寄存器 18	3-139
0x007C	PERIPHCTRL19	外设控制寄存器 19	3-140
0x0080	PERIPHCTRL20	USB 控制寄存器（外设控制寄存器 20）	3-142
0x0084	PERIPHCTRL21	USB PHY 控制寄存器 0（外设控制寄存器 21）	3-144
0x0088	PERIPHCTRL22	USB PHY 控制寄存器 1（外设控制寄存器 22）	3-146
0x008C	SYSTAT	系统状态寄存器（PLL_LOCK）	3-149
0x0090	PERIPHCTRL23	PCIe0 Controller 控制寄存器 0	3-152
0x0094	PERIPHCTRL24	PCIe0 Controller 控制寄存器 1	3-153
0x0098	PERIPHCTRL25	PCIe0 Controller 控制寄存器 2	3-155
0x009C	PERIPHCTRL26	PCIe0 Controller 控制寄存器 3（Vendor Message 相关）	3-155
0x00A0	PERIPHCTRL27	PCIe0 Controller 控制寄存器 4（Vendor Message 相关）	3-157
0x00A4	PERIPHCTRL28	PCIe0 Controller 控制寄存器 5（Vendor Message 相关）	3-157
0x00A8	PERIPHCTRL29	PCIe0 Controller 控制寄存器 6	3-157
0x00AC	PERIPHCTRL30	PCIe0 Controller 控制寄存器 7	3-158
0x00B0	PERIPHCTRL31	PCIe0 Controller 控制寄存器 8	3-161



偏移地址	名称	描述	页码
0x00B4	PERIPHCTRL32	PCIe0 PHY 控制寄存器 0	3-161
0x00B8	PERIPHCTRL33	PCIe0 PHY 控制寄存器 1	3-163
0x00BC	PERIPHCTRL34	外设控制寄存器 34	3-164
0x00C0	PERIPHCTRL35	主从通信中断配置寄存器	3-164
0x00C4	PERIPHCTRL36	主从通信中断类型配置寄存器	3-165
0x00C8	PERIPHCTRL37	外设控制寄存器 37	3-165
0x00CC	PERIPHCTRL38	外设控制寄存器 38	3-166
0x00D0	PERIPHCTRL39	PCIe0 控制器状态寄存器	3-166
0x00D4	PERIPHCTRL40	PCIe1 控制器状态寄存器	3-169
0x00D8	PERIPHCTRL41	外设控制寄存器 41	3-171
0x00DC	PERIPHCTRL42	外设控制寄存器 42	3-173
0x00E0	PERIPHCTRL43	外设控制寄存器 43	3-175
0x00E4	PERIPHCTRL44	TOE 控制寄存器	3-175
0x00E8	PERIPHCTRL45	TOE 状态寄存器	3-177
0x00EC	PERIPHCTRL46	外设控制寄存器 46	3-177
0x00F0	PERIPHCTRL47	外设控制寄存器 47	3-178
0x00F4	PERIPHCTRL48	外设控制寄存器 48	3-181
0x00F8	PERIPHCTRL49	外设控制寄存器 49	3-181
0x00FC	PERIPHCTRL50	外设控制寄存器 50	3-182
0x0100	PERIPHCTRL51	外设控制寄存器 51	3-182
0x0104	PERIPHCTRL52	外设控制寄存器 52	3-184
0x0108	PERIPHCTRL53	外设控制寄存器 53	3-186
0x010C	PERIPHCTRL54	外设控制寄存器 54	3-187
0x0110	PERIPHCTRL55	外设控制寄存器 55	3-187
0x0114	PERIPHCTRL56	外设控制寄存器 56	3-187
0x0118	PERIPHCTRL57	外设控制寄存器 57	3-188
0x011C	PERIPHCTRL58	外设控制寄存器 58	3-188
0x0120	PERIPHCTRL59	外设控制寄存器 59	3-188
0x0124	PERIPHCTRL60	外设控制寄存器 60	3-189



偏移地址	名称	描述	页码
0x0128	PERIPHCTRL61	外设控制寄存器 61	3-189
0x012C	PERIPHCTRL62	外设控制寄存器 62	3-189
0x0130	PERIPHCTRL63	外设控制寄存器 63	3-190
0x0134	PERIPHCTRL64	外设控制寄存器 64	3-190
0x0138	PERIPHCTRL65	外设控制寄存器 65	3-190
0x013C	PERIPHCTRL66	外设控制寄存器 66	3-191
0x0140	PERIPHCTRL67	外设控制寄存器 67	3-191
0x0144	PERIPHCTRL68	外设控制寄存器 68	3-191
0x0148	PERIPHCTRL69	外设控制寄存器 69	3-192
0x014C	PERIPHCTRL70	PCIe1 Controller 控制寄存器 0	3-192
0x0150	PERIPHCTRL71	PCIe1 Controller 控制寄存器 1	3-193
0x0154	PERIPHCTRL72	PCIe1 Controller 控制寄存器 2	3-195
0x0158	PERIPHCTRL73	PCIe1 Controller 控制寄存器 3	3-195
0x015C	PERIPHCTRL74	PCIe1 Controller 控制寄存器 4	3-197
0x0160	PERIPHCTRL75	PCIe1 Controller 控制寄存器 5	3-197
0x0164	PERIPHCTRL76	PCIe1 Controller 控制寄存器 6	3-197
0x0168	PERIPHCTRL77	PCIe1 Controller 控制寄存器 7	3-198
0x016C	PERIPHCTRL78	PCIe1 Controller 控制寄存器 8	3-201
0x0170	PERIPHCTRL79	PCIe1 PHY 控制寄存器 0	3-201
0x0174	PERIPHCTRL80	PCIe1 PHY 控制寄存器 1	3-203
0xEE0	SCSYSID0	芯片 ID 寄存器 0	3-204
0xEE4	SCSYSID1	芯片 ID 寄存器 1	3-204
0xEE8	SCSYSID2	芯片 ID 寄存器 2	3-205
0xEEC	SCSYSID3	芯片 ID 寄存器 3	3-205

3.4.2 系统控制器寄存器描述

SC_CTRL

SC_CTRL 为系统控制寄存器。用于指定需要系统完成的操作。



注意

该寄存器可被寄存器 [SC_LOCKEN](#) 写保护，只有不使用写保护模式时，对这个寄存器的写操作才有效。

Offset Address		Register Name		Total Reset Value																												
0x000		SC_CTRL		0x0000_0212																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timeren7ov	timeren7sel	timeren6ov	timeren6sel	timeren5ov	timeren5sel	timeren4ov	timeren4sel	wdogenov	timeren3ov	timeren3sel	timeren2ov	timeren2sel	timeren1ov	timeren1sel	timeren0ov	timeren0sel	reserved				remapstat	remapclear	reserved	modestatus				modectrl			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	0
Bits	Access	Name	Description																													
[31]	RW	timeren7ov	Timer7 计数时钟选择。 0: 使能信号通过采用参考时钟得到，参考时钟的选择由 [timeren7sel]指定； 1: 由总线时钟进行计数。																													
[30]	RW	timeren7sel	Timer7 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数； 1: 保留。																													
[29]	RW	timeren6ov	Timer6 计数时钟选择。 0: 使能信号通过采用参考时钟得到，参考时钟的选择由 [timeren6sel]指定； 1: 由总线时钟进行计数。																													
[28]	RW	timeren6sel	Timer6 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数； 1: 保留。																													
[27]	RW	timeren5ov	Timer5 计数时钟选择。 0: 使能信号通过采用参考时钟得到，参考时钟的选择由 [timeren5sel]指定； 1: 由总线时钟进行计数。																													



[26]	RW	timeren5sel	Timer5 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[25]	RW	timeren4ov	Timer4 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren4sel]指定; 1: 由总线时钟进行计数。
[24]	RW	timeren4sel	Timer4 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[23]	RW	wdogenov	WDG 计数时钟选择。 0: WDG 使用 3MHz 时钟进行计数; 1: WDG 使用总线时钟进行计数。
[22]	RW	timeren3ov	Timer3 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren3sel]指定; 1: 由总线时钟进行计数。
[21]	RW	timeren3sel	Timer3 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[20]	RW	timeren2ov	Timer2 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren2sel]指定; 1: 由总线时钟进行计数。
[19]	RW	timeren2sel	Timer2 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[18]	RW	timeren1ov	Timer1 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren1sel]指定; 1: 由总线时钟进行计数。
[17]	RW	timeren1sel	Timer1 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。



[16]	RW	timeren0ov	Timer0 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren0sel]指定; 1: 由总线时钟进行计数。
[15]	RW	timeren0sel	Timer0 计数时钟频率选择。必须配置为 0。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[14:10]	-	reserved	保留。读时返回 0, 写时无影响。
[9]	RO	remapstat	地址重映射的状态。 0: 未进行地址重映射; 1: 进行地址重映射。具体如下所述: 当加载模式为自加载时, NANDC CS0 或 SFC CS1 被 Remap 到地址 0。 当加载模式为从加载时, DDRCSN 被 Remap 到地址 0。
[8]	RW	remapclear	地址重映射清除选择。 0: 保持 Remap 状态。 1: 清除 Remap。 Clear Remap 前后地址映射关系请参见地址分配(1.3.4 地址空间映射)。
[7]	-	reserved	保留。读时返回 0, 写时无影响。
[6:3]	RW	modestatus	模式状态位。返回系统当前的操作模式。 0x0: 保留; 0x1: DOZE; 0x2: SLOW; 0x3: XTAL CTL; 0x4: NORMAL; 0x6: PLL CTL; 0x9: SW from XTAL; 0xA: SW from PLL; 0xB: SW to XTAL; 0xE: SW to PLL; 其他: 保留, 未使用。



[2:0]	RW	modectrl	模式控制位。定义了要求系统控制器进入的操作模式。 000: 保留; 001: DOZE; 010: SLOW; 100: NORMAL。
-------	----	----------	--

SC_SYSRES

SC_SYSRES 为系统软复位寄存器。向该寄存器写入任何值都会使系统控制器向复位模块发出系统软复位请求，复位模块进行系统软复位。



注意

该寄存器可被寄存器 SC_LOCKEN 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

	Offset Address 0x004								Register Name SC_SYSRES								Total Reset Value 0x0000_0002																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	softresreq																																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0			
	Bits	Access		Name				Description																													
	[31:0]	WO		softresreq				对该寄存器的任意写操作都会导致系统软复位。																													

SC_IMCTRL

SC_IMCTRL 为中断模式控制寄存器。用于控制中断发生时的系统模式。



Offset Address		Register Name		Total Reset Value						
0x008		SC_IMCTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						inmdtype	reserved	itmdctrl	itmden
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。读时返回 0x000000，写时无影响。							
[7]	RW	inmdtype	触发系统进入中断模式的中断类型。 0：仅有 FIQ 中断能使系统进入中断模式； 1：FIQ 中断和 IRQ 中断都能使系统进入中断模式。							
[6:4]	-	reserved	保留。							
[3:1]	RW	itmdctrl	中断模式下系统最低的工作模式，该寄存器的值和 SC_CTRL[modectrl]的值相或后作为中断发生后系统所处的工作模式。定义如下： 000：保留； 001：DOZE； 01X：SLOW； 1XX：NORMAL。							
[0]	RW	itmden	中断模式使能。 0：禁止； 1：使能(当中断发生时进入中断模式)。							

SC_IMSTAT

SC_IMSTAT 为中断模式状态寄存器。用于监视系统是否处于中断模式，同时也可以通过配置该寄存器强制系统进入中断模式。



注意

当中断服务程序结束时必须手动清除中断模式。



Offset Address		Register Name		Total Reset Value				
0x00C		SC_IMSTAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							itmdstat
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	-	reserved	保留。读时返回 0x00000000，写时无影响。					
[0]	RW	itmdstat	中断模式状态。可用于软件控制直接进入中断模式。 读该寄存器时： 0：当前未处于中断模式； 1：当前处于中断模式。 写该寄存器时： 0：软件不控制进入中断模式； 1：软件控制进入中断模式。					

SC_XTALCTRL

SC_XTALCTRL 为晶振控制寄存器。用于控制初始化时钟模块的稳定等待时间，也就是从 XTAL CTL 中间态跳转到 SW to XTAL 中间态的等待时间。

Offset Address		Register Name		Total Reset Value					
0x010		SC_XTALCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			xtaltime				reserved	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	-	reserved	保留，读时返回 0x0000，写时无影响。						
[18:3]	RW	xtaltime	晶振切换等待时间。 该字段的值用于指定系统模式切换时从 XTAL CTL 状态跳转到 SW to XTAL 状态的等待时间。等待周期数可通过计算得到(T46.8K 为 46.8KHz 低频时钟周期)：(65536 – xtaltime)xT46.8K。						



	Offset Address 0x010								Register Name SC_XTALCTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								xtaltime												reserved	reserved										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[2]	-	reserved		保留。读时返回 0x0，写时无影响。																											
	[1:0]	-	reserved		保留。读时返回写入值，写时无影响。																											

SC_PLLCTRL

SC_PLLCTRL 为 PLL 控制寄存器。用于控制片内 ARM 锁相环（APLL）的使能控制，或由系统模式切换来控制使能。此外，该寄存器还用于设置 APLL 锁相环稳定等待时间。



注意

该寄存器可被寄存器 [SC_LOCKEN](#) 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

当处于“由系统模式切换来控制使能 APLL 锁相环”（由 [SC_PLLCTRL\[plover\]](#) 控制）时，在系统处于非 NORMAL 模式下，APLL 被自动关闭。

APLL 的时钟频率由 CRG 寄存器 [PERI_CRG0](#) 和 [PERI_CRG1](#) 控制。系统要求 PLL 在变更频率配置时，需要等待 0.5ms 才能输出稳定的时钟。因此该寄存器的 `plltime` 的配置必须满足此要求。



Offset Address		Register Name		Total Reset Value						
0x014		SC_PLLCTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	plltime						reserved	reserved	pllover
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:28]	-	reserved	保留。读时返回 0x0，写时无影响。							
[27:3]	RW	plltime	APLL 锁相环稳定等待时间。 这段时间用于等待 PLL 启动到 PLL 输出达到稳定的状态。也就是指定从系统模式切换时从 PLL CTL 状态跳转到 SW to PLL 状态的等待时间。超时时间值由下式计算得到(TXIN 为芯片外接晶振的时钟周期): $(33554432 - plltime) \times TXIN$ 。							
[2]	-	reserved	保留。读时返回 0x0，写时无影响。							
[1]	-	reserved	保留。							
[0]	RW	pllover	允许 APLL 锁相环直接受软件控制使能，而不是受系统模式状态改变的控制。必须配置为 0。 0: 由系统模式切换来使能 APLL 锁相环; 1: 保留。							

SC_PLLFCTRL

SC_PLLFCTRL 为 PLL 频率控制寄存器。



注意

该寄存器可被寄存器 [SC_LOCKEN](#) 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。



Offset Address		Register Name		Total Reset Value				
0x018		SC_PLLFCTRL		0x0000_0909				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 1	0 0 0 0	1 0 0 1
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。未使用该寄存器控制功能。					

PERIPHCTRL0

PERIPHCTRL0 为外设控制寄存器 0。

Offset Address		Register Name		Total Reset Value													
0x01C		PERIPHCTRL0		0x0000_3020													
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0									
Name	reserved					ddrc1_apb_gt_en	ddrc0_apb_gt_en	ddr1_odis_datah	ddr1_odis_datah	ddr0_odis_datah	ddr0_odis_datah	reserved	cpu_iso_switch	cpu_power_switch	cfgsdisable	cfgmmfi	cp15sdisable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 1 0	0 0 0 0									
Bits	Access	Name	Description														
[31:14]	-	reserved	保留。														
[13]	RW	ddrc1_apb_gt_en	DDRC1 APB 时钟门控。 0: 关闭 APB 时钟; 1: 打开 APB 时钟。														
[12]	RW	ddrc0_apb_gt_en	DDRC0 APB 时钟门控。 0: 关闭 APB 时钟; 1: 打开 APB 时钟。														
[11]	RW	ddr1_odis_datah	DDR1 高 16 位数据管脚关闭控制。 0: 不关闭; 1: 关闭。														



[10]	RW	ddr1_odis_data1	DDR1 低 16 位数据管脚关闭控制。 0: 不关闭; 1: 关闭。
[9]	RW	ddr0_odis_datah	DDR0 高 16 位数据管脚关闭控制。 0: 不关闭; 1: 关闭。
[8]	RW	ddr0_odis_data1	DDR0 低 16 位数据管脚关闭控制。 0: 不关闭; 1: 关闭。
[7]	-	reserved	保留。
[6]	RW	cpu_iso_switch	CPU1 isolation 使能。 0: isolation 禁止; 1: isolation 使能。
[5]	RW	cpu_power_switch	CPU1 掉电使能。 0: 使能 CPU 掉电; 1: 禁止 CPU 掉电。
[4]	RW	cfgsdisable	cpu set[4]。 屏蔽对处理器内部关键配置寄存器的写访问, 包括 ICDDCR[0]=EnableSecure, IC狄CTR 中定义的安全中断和 ICCICR(不包括 EnableNS 控制位)。 0: 不使能; 1: 使能。
[3:2]	RW	cfgnmfi	cpu set[3:2]。 CPU 快速中断用作非屏蔽中断使能。 00: 不使能; 01: 使能 CPU0 快速中断为非屏蔽中断; 10: 使能 CPU1 快速中断为非屏蔽中断; 11: 使能 CPU0 和 CPU1 快速中断为非屏蔽中断。



[1:0]	RW	cp15sdisable	<p>cpu set[1:0]。</p> <p>屏蔽对处理器内部安全寄存器的写访问，包括 CP15 协处理器中的 c1(SCTLR)，c2(TTBR0 和 TTBCR)，c3(DACR)，c10(PRRR 和 NMRR)，c12(VBAR 和 MVBAR)，c13(FCSEIDR)。</p> <p>00：不使能； 01：使能 CPU0； 10：使能 CPU1； 11：使能 CPU0 和 CPU1。</p>
-------	----	--------------	--

PERIPHCTRL1

PERIPHCTRL1 为外设控制寄存器 1。

	Offset Address	Register Name	Total Reset Value								
	0x020	PERIPHCTRL1	0x0000_0000								
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0								
Name	reserved										
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name	Description							
	[31:0]	-	reserved	保留。							

PERIPHCLKEN

PERIPHCLKEN 为外设时钟使能寄存器。

	Offset Address	Register Name	Total Reset Value								
	0x0024	PERIPHCLKEN	0x0000_0000								
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0								
Name	reserved										
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name	Description							
	[31:0]	-	reserved	保留。该寄存器未使用。							

PERIPHCLKDIS

PERIPHCLKDIS 为外设时钟屏蔽寄存器。



Offset Address		Register Name		Total Reset Value				
0x0028		PERIPHCLKDIS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。该寄存器未使用。					

PERIPHCLKSTAT

PERIPHCLKSTAT 为外设时钟使能状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x002C		PERIPHCLKSTAT		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。该寄存器未使用。					

PERISTAT

PERISTAT 为外设状态寄存器。



Offset Address		Register Name		Total Reset Value													
0x0030		PERISTAT		0x0000_07E0													
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0									
Name	a9_dflags1		reserved				vdh1_poweroff_stat	vdh0_poweroff_stat	vpss1_poweroff_stat	vpss0_poweroff_stat	vedu1_poweroff_stat	vedu0_poweroff_stat	reserved	reserved	reserved	reserved	reserved
Reset	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 1 1 1		1 1 1 0		0 0 0 0		0 0 0 0		
Bits	Access	Name	Description														
[31:25]	RO	a9_dflags1	CPU1 数据引擎输出标志。 注意：仅在配置 data engine 的系统中存在。 如果 data engine 是 MPE： bit[6]: FPSCR[27]值； bit[5]: FPSCR[7]值； bit[4:0]: FPSCR[4:0]值。 如果 data engine 是 FPU： bit[6]: 0； bit[5]: FPSCR[7]值； bit[4:0]: FPSCR[4:0]值。														
[24:11]	-	reserved	保留。														
[10]	RO	vdh1_poweroff_stat	VDH1 掉电状态指示。 0: 已掉电； 1: 未掉电。														
[9]	RO	vdh0_poweroff_stat	VDH0 掉电状态指示。 0: 已掉电； 1: 未掉电。														
[8]	RO	vpss1_poweroff_stat	VPSS1 掉电状态指示。 0: 已掉电； 1: 未掉电。														
[7]	RO	vpss0_poweroff_stat	VPSS0 掉电状态指示。 0: 已掉电； 1: 未掉电。														



[6]	RO	vedu1_poweroff_status	VEDU1 掉电状态指示。 0: 已掉电; 1: 未掉电。
[5]	RO	vedu0_poweroff_status	VEDU0 掉电状态指示。 0: 已掉电; 1: 未掉电。
[4]	-	reserved	保留。
[3]	-	reserved	保留。
[2]	-	reserved	保留。
[1]	-	reserved	保留。
[0]	-	reserved	保留。

PERIPHCTRL2

PERIPHCTRL2 为外设控制寄存器 2。

Offset Address		Register Name		Total Reset Value																						
0x0034		PERIPHCTRL2		0x0015_5500																						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																		
Name	reserved				vdh1_iso_req	vdh1_poweroff_req	vdh0_iso_req	vdh0_poweroff_req	vpss1_iso_req	vpss1_poweroff_req	vpss0_iso_req	vpss0_poweroff_req	vedu1_iso_req	vedu1_poweroff_req	vedu0_iso_req	vedu0_poweroff_req	reserved	reserved	ram2_2k_retn	ram2_2k_pgen	ram1_4k_retn	ram1_4k_pgen	ram0_4k_retn	ram0_4k_pgen	reserved	rom_pgen
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 1 0 1	0 1 0 1	0 1 0 1	0 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																							
[31:22]	-	reserved	保留。																							
[21]	RW	vdh1_iso_req	VDH1 隔离区控制。 0: 不隔离; 1: 隔离。																							
[20]	RW	vdh1_poweroff_req	VDH1 掉电控制。 0: 掉电; 1: 不掉电。																							



[19]	RW	vdh0_iso_req	VDH0 隔离区控制。 0: 不隔离; 1: 隔离。
[18]	RW	vdh0_poweroff_req	VDH0 掉电控制。 0: 掉电; 1: 不掉电。
[17]	RW	vpss1_iso_req	VPSS1 隔离区控制。 0: 不隔离; 1: 隔离。
[16]	RW	vpss1_poweroff_req	VPSS1 掉电控制。 0: 掉电; 1: 不掉电。
[15]	RW	vpss0_iso_req	VPSS0 隔离区控制。 0: 不隔离; 1: 隔离。
[14]	RW	vpss0_poweroff_req	VPSS0 掉电控制。 0: 掉电; 1: 不掉电。
[13]	RW	vedu1_iso_req	VEDU1 隔离区控制。 0: 不隔离; 1: 隔离。
[12]	RW	vedu1_poweroff_req	VEDU1 掉电控制。 0: 掉电; 1: 不掉电。
[11]	RW	vedu0_iso_req	VEDU0 隔离区控制。 0: 不隔离; 1: 隔离。
[10]	RW	vedu0_poweroff_req	VEDU0 掉电控制。 0: 掉电; 1: 不掉电。
[9]	-	reserved	保留。
[8]	-	reserved	保留。



[7]	RW	ram2_2k_retn	RAM2 数据保持使能。 0: 不使能; 1: 使能。
[6]	RW	ram2_2k_pgen	RAM2 供电使能。 0: 使能; 1: 不使能。
[5]	RW	ram1_4k_retn	RAM1 数据保持使能。 0: 不使能; 1: 使能。
[4]	RW	ram1_4k_pgen	RAM1 供电使能。 0: 使能; 1: 不使能。
[3]	RW	ram0_4k_retn	RAM0 数据保持使能。 0: 不使能; 1: 使能。
[2]	RW	ram0_4k_pgen	RAM0 供电使能。 0: 使能; 1: 不使能。
[1]	-	reserved	保留。
[0]	RW	rom_pgen	ROM 供电使能。 0: 使能; 1: 不使能。

PERIPHCTRL3

PERIPHCTRL3 为外设控制寄存器 3。



		Offset Address 0x0038								Register Name PERIPHCTRL3								Total Reset Value 0x5D75_F000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		vicap1s_priority				vicap0s_priority				vou1s_priority				vou0s_priority				toe1s_priority				toe0s_priority				reserved				sata_phy0_mpll_ss_sel							
	Reset	0	1	0	1	1	1	0	1	0	1	1	1	0	1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name								Description																											
[31:30]	RW	vicap1s_priority								VICAP AXI 总线 Slave 端口 1(DDRC1)优先级。 3 为最高优先级。																											
[29:28]	RW	vicap0s_priority								VICAP AXI 总线 Slave 端口 0(DDRC0)优先级。 3 为最高优先级。																											
[27]	RW	vicap1m_priority								VICAP AXI 总线 Master 端口 1(VICAP1)优先级。 1 为最高优先级。																											
[26]	RW	vicap0m_priority								VICAP AXI 总线 Master 端口 0(VICAP0)优先级。 1 为最高优先级。																											
[25:24]	RW	vou1s_priority								VOU AXI 总线 Slave 端口 1(DDRC1)优先级。 3 为最高优先级。																											
[23:22]	RW	vou0s_priority								VOU AXI 总线 Slave 端口 0(DDRC0)优先级。 3 为最高优先级。																											
[21]	RW	vou1m_priority								VOU AXI 总线 Master 端口 1(VOU1)优先级。 1 为最高优先级。																											
[20]	RW	vou0m_priority								VOU AXI 总线 Master 端口 0(VOU0)优先级。 1 为最高优先级。																											
[19:18]	RW	toe1s_priority								TOE AXI 总线 Slave 端口 1(DDRC0)优先级。 3 为最高优先级。																											
[17:16]	RW	toe0s_priority								TOE AXI 总线 Slave 端口 0(DDRC0)优先级。 3 为最高优先级。																											



[15]	RW	toe_m_priority	TOE AXI 总线 Master 端口优先级。 1 为最高优先级。
[14]	RW	pcie_s_priority	PCIE AXI 总线 Slave 端口(SYS AXI 总线 Master 端口 4)优先级。 1 为最高优先级。
[13]	RW	pcie1m_priority	PCIE AXI 总线 Master 端口 1(PCIE1)优先级。 1 为最高优先级。
[12]	RW	pcie0m_priority	PCIE AXI 总线 Master 端口 0(PCIE0)优先级。 1 为最高优先级。
[11:10]	-	reserved	保留。
[9:8]	RW	sata_phy0_mpll_ss_sel	扩频选择。保留，必须设置为 0。
[7:0]	RW	sata_phy0_ref_clk_sel	参考时钟频率选择。对 MPLL 输出的时钟设置一个固定的 ppm 移相。 0x00: 没有移相(缺省); 0x01~0xFF: 保留。

PERIPHCTRL4

PERIPHCTRL4 为外设控制寄存器 4。

Offset Address		Register Name		Total Reset Value														
0x003C		PERIPHCTRL4		0x0000_0000														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0										
Name	reserved				ram2_ck_gt_en	ram1_ck_gt_en	ram0_ck_gt_en	cbar_en	reserved	ssp_cs_sel	u0_u1_u2_u3_dma_sel	reserved				sdio0_det_mode	uart1_rts_ctrl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description															
[31:20]	-	reserved	保留。															



[19]	RW	ram2_ck_gt_en	RAM2 时钟门控功能使能。 0: 禁止; 1: 使能。
[18]	RW	ram1_ck_gt_en	RAM1 时钟门控功能使能。 0: 禁止; 1: 使能。
[17]	RW	ram0_ck_gt_en	RAM0 时钟门控功能使能。 0: 禁止; 1: 使能。
[16]	RW	cbar_en	cbar_en 输出使能。 0: 禁止; 1: 使能。
[15]	-	reserved	保留。
[14:12]	RW	ssp_cs_sel	SSP 片选选择。 000: 片选 0; 001: 片选 1; 010: 片选 2; 011: 片选 3; 100: 片选 4; 101: 片选 5; 110: 片选 6; 111: 片选 7。
[11:10]	RW	u0_u1_u2_u3_dma_sel	UART DMA 接口选择。 00: 采用 UART0 DMA 接口; 01: 采用 UART1 DMA 接口; 10: 采用 UART2 DMA 接口; 11: 采用 UART3 DMA 接口。
[9:3]	-	reserved	保留。
[2]	RW	sdio0_det_mode	SDIO0 卡检测信号模式控制。 0: 低有效; 1: 高有效。
[1]	RW	uart1_rts_ctrl	UART1 RTS 输出控制。 0: 正常输出; 1: 取反输出。
[0]	-	reserved	保留。



PERIPHCTRL5

PERIPHCTRL5 为外设控制寄存器 5。

	Offset Address 0x0040				Register Name PERIPHCTRL5				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_media0_port1				over_value_media0_port1								count_en_media0_port0				over_value_media0_port0															
Reset																									0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31]	RW	count_en_media0_port1	TDE0 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																												
	[30:16]	RW	over_value_media0_port1	TDE0 端口的 timeout 计数值。 计数值 = over_value_port1 × 2。																												
	[15]	RW	count_en_media0_port0	VPSS0 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																												
	[14:0]	RW	over_value_media0_port0	VPSS0 端口的 timeout 计数值。 计数值 = over_value_port0 × 2。																												

SC_LOCKEN

SC_LOCKEN 为关键系统控制寄存器的锁定寄存器。



Offset Address		Register Name		Total Reset Value				
0x0044		SC_LOCKEN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	scper_lockl							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	scper_lockl	<p>关键系统控制寄存器的锁定寄存器。涉及寄存器包括 SC_CTRL、SYSSTAT、SC_PLLCTRL、SC_PLLFCTRL。</p> <p>向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限，写入其他值则关闭写权限。</p> <p>读该寄存器返回加锁的状态而不是写入该寄存器的值。</p> <p>0x0000_0000：允许上述写访问(未加锁)。</p> <p>0x0000_0001：禁止上述写访问(已加锁)。</p>					

PERIPHCTRL6

PERIPHCTRL6 为外设控制寄存器 6。

Offset Address		Register Name		Total Reset Value				
0x0048		PERIPHCTRL6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	count_en_media0_port3	over_value_media0_port3			count_en_media0_port2	over_value_media0_port2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	count_en_media0_port3	<p>VENC1 端口的 timeout 计数使能。</p> <p>0：禁止；</p> <p>1：使能。</p>					
[30:16]	RW	over_value_media0_port3	<p>VENC1 端口的 timeout 计数值。</p> <p>计数值 = over_value_port3 × 2。</p>					



[15]	RW	count_en_media0_port2	TDE1 端口的 timeout 计数使能。 0: 禁止; 1: 使能。
[14:0]	RW	over_value_media0_port2	TDE1 端口的 timeout 计数值。 计数值 = over_value_port2 × 2。

PERIPHCTRL7

PERIPHCTRL7 为外设控制寄存器 7。

Offset Address		Register Name		Total Reset Value																												
0x004C		PERIPHCTRL7		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_media0_port5				over_value_media0_port5								count_en_media0_port4				over_value_media0_port4															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	count_en_media0_port5	VOIE 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	over_value_media0_port5	VOIE 端口的 timeout 计数值。 计数值 = over_value_port5 × 2。																													
[15]	RW	count_en_media0_port4	VDH0 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	over_value_media0_port4	VDH0 端口的 timeout 计数值。 计数值 = over_value_port4 × 2。																													



PERIPHCTRL8

PERIPHCTRL8 为外设控制寄存器 8。

Offset Address		Register Name		Total Reset Value																												
0x0050		PERIPHCTRL8		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																count_en_media0_port6	over_value_media0_port6														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	-	reserved	保留。																													
[15]	RW	count_en_media0_port6	JPGE 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	over_value_media0_port6	JPGE 端口的 timeout 计数值。 计数值 = over_value_port6 × 2。																													

PERIPHCTRL9

PERIPHCTRL9 为外设控制寄存器 9。



Offset Address		Register Name		Total Reset Value										
0x0054		PERIPHCTRL9		0x0012_3456										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved	media0_port6_pri	reserved	media0_port5_pri	reserved	media0_port4_pri	reserved	media0_port3_pri	reserved	media0_port2_pri	reserved	media0_port1_pri	reserved	media0_port0_pri
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1	0 1 1 0						
Bits	Access	Name	Description											
[31:27]	-	reserved	保留。											
[26:24]	RW	media0_port6_pri	JPGE 优先级。 7 为最高优先级。											
[23]	-	reserved	保留。											
[22:20]	RW	media0_port5_pri	VOIE 优先级。 7 为最高优先级。											
[19]	-	reserved	保留。											
[18:16]	RW	media0_port4_pri	VDH0 优先级。 7 为最高优先级。											
[15]	-	reserved	保留。											
[14:12]	RW	media0_port3_pri	VENC0 优先级。 7 为最高优先级。											
[11]	-	reserved	保留。											
[10:8]	RW	media0_port2_pri	TDE1 优先级。 7 为最高优先级。											
[7]	-	reserved	保留。											
[6:4]	RW	media0_port1_pri	TDE0 优先级。 7 为最高优先级。											
[3]	-	reserved	保留。											
[2:0]	RW	media0_port0_pri	VPSS0 优先级。 7 为最高优先级。											



PERIPHCTRL10

PERIPHCTRL10 为外设控制寄存器 10。

Offset Address		Register Name		Total Reset Value				
0x0058		PERIPHCTRL10		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	count_en_port1 over_value_port1				count_en_port0 over_value_port0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	count_en_port1	GMAC 端口的 timeout 计数使能。 0: 禁止; 1: 使能。					
[30:16]	RW	over_value_port1	GMAC 端口的 timeout 计数值。 计数值=over_value_port1×2。					
[15]	RW	count_en_port0	AHB 桥 0 端口的 timeout 计数使能。 0: 禁止; 1: 使能。					
[14:0]	RW	over_value_port0	AHB 桥 0 端口的 timeout 计数值。 计数值=over_value_port0×2。					

PERIPHCTRL11

PERIPHCTRL11 为外设控制寄存器 11。



Offset Address		Register Name		Total Reset Value					
0x005C		PERIPHCTRL11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	count_en_port3	over_value_port3			count_en_port2	over_value_port2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	count_en_port3	PCIE 端口的 timeout 计数使能。 0: 禁止; 1: 使能。						
[30:16]	RW	over_value_port3	PCIE 端口的 timeout 计数值。 计数值 = over_value_port3 × 2。						
[15]	RW	count_en_port2	IVE 端口的 timeout 计数使能。 0: 禁止; 1: 使能。						
[14:0]	RW	over_value_port2	IVE 端口的 timeout 计数值。 计数值 = over_value_port2 × 2。						

PERIPHCTRL12

PERIPHCTRL12 为外设控制寄存器 12。



Offset Address		Register Name		Total Reset Value				
0x0060		PERIPHCTRL12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	count_en_port5 over_value_port5				count_en_port4 over_value_port4			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	count_en_port5	A9 端口的 timeout 计数使能。 0: 禁止; 1: 使能。					
[30:16]	RW	over_value_port5	A9 端口的 timeout 计数值。 计数值=over_value_port5×2。					
[15]	RW	count_en_port4	AHB 桥 1 端口的 timeout 计数使能。 0: 禁止; 1: 使能。					
[14:0]	RW	over_value_port4	AHB 桥 1 端口的 timeout 计数值。 计数值=over_value_port4×2。					

PERIPHCTRL13

PERIPHCTRL13 为外设控制寄存器 13。

Offset Address		Register Name		Total Reset Value											
0x0064		PERIPHCTRL13		0x0012_3456											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved		mst_pri6	reserved	mst_pri5	reserved	mst_pri4	reserved	mst_pri3	reserved	mst_pri2	reserved	mst_pri1	reserved	mst_pri0
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1	0 1 1 0							
Bits	Access	Name	Description												
[31:27]	RW	reserved	保留。												



[26:24]	-	mst_pri6	保留，未使用。
[23]	-	reserved	保留。
[22:20]	RW	mst_pri5	A9 优先级。 7 为最高优先级。
[19]	-	reserved	保留。
[18:16]	RW	mst_pri4	AHB 桥 1 优先级。 7 为最高优先级。
[15]	-	reserved	保留。
[14:12]	RW	mst_pri3	PCIE 优先级。 7 为最高优先级。
[11]	-	reserved	保留。
[10:8]	RW	mst_pri2	IVE 优先级。 7 为最高优先级。
[7]	-	reserved	保留。
[6:4]	RW	mst_pri1	GMAC 优先级。 7 为最高优先级。
[3]	-	reserved	保留。
[2:0]	RW	mst_pri0	AHB 桥 0 优先级。 7 为最高优先级。

PERIPHCTRL14

PERIPHCTRL14 为外设控制寄存器 14。



Offset Address		Register Name		Total Reset Value																																		
0x0068		PERIPHCTRL14		0x0112_3456																																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved				slave_priority_s7				reserved	slave_priority_s6				reserved	slave_priority_s5				reserved	slave_priority_s4				reserved	slave_priority_s3				reserved	slave_priority_s2				reserved	slave_priority_s1			
Reset	0	0	0	0	0	0	0	1	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0						
Bits	Access	Name	Description																																			
[31:27]	-	reserved	保留。																																			
[26:24]	RW	slave_priority_s7	SYS AXI s7 端口 PCIE1 总线访问优先级。 7 为最高优先级。																																			
[23]	-	reserved	保留。																																			
[22:20]	RW	slave_priority_s6	SYS AXI s6 端口 PCIE0 总线访问优先级。 7 为最高优先级。																																			
[19]	-	reserved	保留。																																			
[18:16]	RW	slave_priority_s5	SYS AXI s5 端口 DDRC1 总线访问优先级。 7 为最高优先级。																																			
[15]	-	reserved	保留。																																			
[14:12]	RW	slave_priority_s4	SYS AXI s4 端口 DDRC0 总线访问优先级。 7 为最高优先级。																																			
[11]	-	reserved	保留。																																			
[10:8]	RW	slave_priority_s3	SYS AXI s3 端口 APB_MEDIA 总线访问优先级。 7 为最高优先级。																																			
[7]	-	reserved	保留。																																			
[6:4]	RW	slave_priority_s2	SYS AXI s2 端口 APB_SYS 总线访问优先级。 7 为最高优先级。																																			
[3]	-	reserved	保留。																																			
[2:0]	RW	slave_priority_s1	SYS AXI s1 端口 AHB 总线访问优先级。 7 为最高优先级。																																			



PERIPHCTRL15

PERIPHCTRL15 为外设控制寄存器 15。

Offset Address		Register Name		Total Reset Value																												
0x006C		PERIPHCTRL15		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_port1_medial				over_value_port1_medial								reserved								chipid											
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name	Description																													
[31]	RW	count_en_port1_medial	VENC1 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	over_value_port1_medial	VENC1 端口的 timeout 计数值。 计数值=over_value_port1_medial×2。																													
[15:8]	-	reserved	保留。																													
[7:0]	RO	chipid	8bit chipid。 通过 efuse 烧入的 ID 号。																													

PERIPHCTRL16

PERIPHCTRL16 为外设控制寄存器 16。



Offset Address		Register Name		Total Reset Value																												
0x0070		PERIPHCTRL16		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_port3_medial				over_value_port3_medial								count_en_port2_medial				over_value_port2_medial															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name	Description																													
[31]	RW	count_en_port3_medial	VCMP 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	over_value_port3_medial	VCMP 端口的 timeout 计数值。 计数值 = over_value_port3_medial × 2。																													
[15]	RW	count_en_port2_medial	VDH1 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	over_value_port2_medial	VDH1 端口的 timeout 计数值。 计数值 = over_value_port2_medial × 2。																													

PERIPHCTRL17

PERIPHCTRL17 为外设控制寄存器 17。



Offset Address		Register Name		Total Reset Value																																
0x0074		PERIPHCTRL17		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	count_en_port5_medial		over_value_port5_medial																count_en_port4_medial		over_value_port4_medial															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																																	
[31]	RW	count_en_port5_medial	JPGD 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																																	
[30:16]	RW	over_value_port5_medial	JPGD 端口的 timeout 计数值。 计数值=over_value_port5_medial × 2。																																	
[15]	RW	count_en_port4_medial	MDU 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																																	
[14:0]	RW	over_value_port4_medial	MDU 端口的 timeout 计数值。 计数值=over_value_port4_medial × 2。																																	

PERIPHCTRL18

PERIPHCTRL18 为外设控制寄存器 18。



Offset Address		Register Name		Total Reset Value																																
0x0078		PERIPHCTRL18		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	count_en_port0_medial		over_value_port0_medial																count_en_port6_medial		over_value_port6_medial															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																																	
[31]	RW	count_en_port0_medial	VPSS1 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																																	
[30:16]	RW	over_value_port0_medial	VPSS1 端口的 timeout 计数值。 计数值 = over_value_port0_medial × 2。																																	
[15]	RW	count_en_port6_medial	BPD 端口的 timeout 计数使能。 0: 禁止; 1: 使能。																																	
[14:0]	RW	over_value_port6_medial	BPD 端口的 timeout 计数值。 计数值 = over_value_port6_medial × 2。																																	

PERIPHCTRL19

PERIPHCTRL19 为外设控制寄存器 19。



Offset Address		Register Name		Total Reset Value				
0x007C		PERIPHCTRL19		0x0012_3456				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	mst_pri6_medial	reserved mst_pri5_medial	reserved mst_pri4_medial	reserved mst_pri3_medial	reserved mst_pri2_medial	reserved mst_pri1_medial	reserved mst_pri0_medial
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1	0 1 1 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26:24]	RW	mst_pri6_medial	BPD 优先级。 7 为最高优先级。					
[23]	-	reserved	保留。					
[22:20]	RW	mst_pri5_medial	JPGD 优先级。 7 为最高优先级。					
[19]	-	reserved	保留。					
[18:16]	RW	mst_pri4_medial	MDU 优先级。 7 为最高优先级。					
[15]	-	reserved	保留。					
[14:12]	RW	mst_pri3_medial	VCMP 优先级。 7 为最高优先级。					
[11]	-	reserved	保留。					
[10:8]	RW	mst_pri2_medial	VDH1 优先级。 7 为最高优先级。					
[7]	-	reserved	保留。					
[6:4]	RW	mst_pri1_medial	VENC1 优先级。 7 为最高优先级。					
[3]	-	reserved	保留。					
[2:0]	RW	mst_pri0_medial	VPSS1 优先级。 7 为最高优先级。					



PERIPHCTRL20

PERIPHCTRL20 为 usb 控制寄存器（外设控制寄存器 20）。

Offset Address		Register Name		Total Reset Value																												
0x0080		PERIPHCTRL20		0x0003_33A8																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved									preamble_sel	ovr_merge_en	pwr_merge_en	usbovr_p_ctrl	usbpwr_p_ctrl	phy1_ovrcur_en	phy0_ovrcur_en	phy1_pwr_en	phy0_pwr_en	reserved		ss_ena_incr16_i	ss_ena_incr8_i	ss_ena_incr4_i	ss_ena_incrx_align_i	ss_autoppd_on_ovrcur_en_i	reserved	ulpi_bypass_en	app_start_clk_i	ohci_susp_lgcy_i	wordinterface		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	1	1	1	0	1	0	1	0	0	0
Bits	Access		Name		Description																											
[31:21]	-		reserved		保留。																											
[20]	RW		preamble_sel		全速信号前导包后全速空闲周期个数选择。 0: 全速信号前导包后有 5 个全速空闲周期; 1: 全速信号前导包后有 4 个全速空闲周期。																											
[19]	RW		ovr_merge_en		Vbus 过流指示模式选择信号。 0: 非 merge 模式。USB 端口 0 发生 Vbus 过流, 只会向端口 0 上报过流; USB 端口 1 发生 Vbus 过流, 只会向端口 1 上报过流; 1: merge 模式。USB 端口 0 或者 USB 端口 1 只要其中一个发生 Vbus 过流, 就会向 2 个 USB 端口同时上报过流。 如果端口需要屏蔽上报上来的过流信号, 则可以通过设置 [phy0_ovrcur_en]和[phy1_ovrcur_en]来屏蔽。																											
[18]	RW		pwr_merge_en		Vbus 的控制模式选择信号。 0: 非 merge 模式。[phy0_pwr_en]和[phy1_pwr_en]分别控制端口 0 和端口 1 的 Vbus 开关。 1: merge 模式。只要[phy1_pwr_en]或者[phy0_pwr_en]其中有一个为 1, 就可以同时打开两个 USB 端口的 Vbus, 只有 [phy1_pwr_en]和[phy0_pwr_en]都为 0, 才能关闭 USB 端口 0 和 USB 端口 1 的 Vbus。																											



[17]	RW	usbovr_p_ctrl	过流保护极性控制。 0: 低电平有效; 1: 高电平有效。
[16]	RW	usbpwr_p_ctrl	电源使能极性控制。 0: 低电平有效; 1: 高电平有效。
[15]	RW	phy1_ovrcur_en	phy1 过流保护关闭控制。 0: 关闭过流保护; 1: 使能过流保护。
[14]	RW	phy0_ovrcur_en	phy0 过流保护关闭控制。 0: 关闭过流保护; 1: 使能过流保护。
[13]	RW	phy1_pwr_en	phy1 电源关断控制。 0: 关掉电源; 1: 使能 controller 的电源输出。
[12]	RW	phy0_pwr_en	phy0 电源关断。 0: 关掉电源; 1: 使能 controller 的电源输出。
[11:10]	-	reserved	保留。
[9]	RW	ss_ena_incr16_i	AHB burst16 使能信号。 0: 禁止; 1: 使能。
[8]	RW	ss_ena_incr8_i	AHB burst8 使能信号。 0: 禁止; 1: 使能。
[7]	RW	ss_ena_incr4_i	AHB burst4 使能信号。 0: 禁止; 1: 使能。
[6]	RW	ss_ena_incrx_align_i	burst 对齐使能信号。 0: 禁止; 1: 使能。
[5]	RW	ss_autoppd_on_ovrcur_en_i	过流时自动关断端口电源使能。 0: 禁止; 1: 使能。



[4]	-	reserved	保留(ulpi mode16_en)。
[3]	RW	ulpi_bypass_en	ULPI 旁路控制。必须设置为 1。 0: ULPI mode; 1: utmi mode。
[2]	RW	app_start_clk_i	OHCI 时钟控制信号。 0: OHCI 正常工作; 1: 在挂起模式下打开 OHCI 时钟。
[1]	RW	ohci_susp_lgcy_i	OHCI 挂起的 strap 输入信号。
[0]	RW	wordinterface	UTMI 接口数据位宽选择信号。 0: 8bit; 1: 16bit。

PERIPHCTRL21

PERIPHCTRL21 为 usb phy 控制寄存器 0 (外设控制寄存器 21)。

Offset Address		Register Name		Total Reset Value																												
0x0084		PERIPHCTRL21		0x001D_2188																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								siddq	commononn	phy0_txhsxvtune	phy0_sleepm	phy0_loopbackenb	phy0_compdistune	phy0_sqrxtune	phy0_txfslstune	phy0_txpreemphasistune	reserved	phy0_txrisetune	phy0_txverftune												
Reset	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	0	0	1	1	0	0	0	1	0	0	0
Bits	Access		Name		Description																											
[31:23]	-		reserved		保留。																											
[22]	RW		siddq		PHY 的模拟关断测试使能信号。 0: 不关断模拟电源; 1: 关断模拟电源。 注意: 默认为 0, BIST 测试的时候需要确保为 0。																											



[21]	RW	commononn	PHY 在 suspend 时, XO BIAS BANDGAP PLL 是否工作。 0: 任何时候(包括 suspend 时), clk48m_ohci 输出有效; 1: 除了在 suspend 时, clk48m_ohci 输出有效。
[20:19]	RW	phy0_txhsxvtune	dp/dm 的 crossover 电压调节。 00: 保留; 01: -15mV; 10: +15mV; 11: 缺省。
[18]	RW	phy0_sleepm	端口 0 的 sleep 模式控制。 0: sleep 模式; 1: normal 模式。
[17]	RW	phy0_loopbackenb	phy0 的环回测试(到 D+D-的环回)的使能信号。 必须配置为 0。
[16:14]	RW	phy0_compdistune	phy0 的 HOSDISCONNECT 门限电平调试信号。 000: -6%; 001: -4.5%; 010: -3%; 100: 缺省值; 101: +1.5%; 110: +3%; 111: +4.5%; 其他: 保留。
[13:11]	RW	phy0_sqrxtune	phy0 的 squelch 电路调试信号。 000: +20%; 001: +15%; 010: +10%; 011: +5%; 100: 缺省值; 101: -5%; 110: -10%; 111: -15%。



[10:7]	RW	phy0_txflstune	phy0 的 FS LS 阻抗调试信号。 0x0: +5%; 0x1: +2.5%; 0x3: 缺省值; 0x7: -2.5%; 0xF: -5%; 其他: 保留。
[6]	RW	phy0_txpreemphasis	phy0 的 HS 模式发送预加重使能信号。默认为 0。 0: 禁止; 1: 使能。
[5]	RW	reserved	保留。
[4]	RW	phy0_txrisetune	phy0 的高速信号上升/下降时间调节。 0: 缺省值; 1: -8%。
[3:0]	RW	phy0_txverftune	PHY0 的 HS 模式下的 DC 电平调节。 0x0: -10%; 0x1: -8.75%; 0x2: -7.5%; 0x3: -6.25%; 0x4: -5%; 0x5: -3.75%; 0x6: -2.5%; 0x7: -1.25%; 0x8: 缺省值; 0x9: +1.25%; 0xA: +2.5%; 0xB: +3.7%; 0xC: +5%; 0xD: +6.25%; 0xE: +7.5%; 0xF: +8.75%。

PERIPHCTRL22

PERIPHCTRL22 为 usb phy 控制寄存器 1（外设控制寄存器 22）。



Offset Address		Register Name		Total Reset Value										
0x0088		PERIPHCTRL22		0x071D_2188										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				phy1_txhsxvtune	phy1_sleepm	phy1_loopbackenb	phy1_compdistune	phy1_sqrxtune	phy1_txflstune	phy1_txpreemphastune	reserved	phy1_txrisetune	phy1_txvrefune
Reset	0 0 0 0	0 1 1 1	0 0 0 1	1 1 0 1	0 0 1 0	0 0 0 1	1 0 0 0	1 0 0 0						
Bits	Access	Name	Description											
[31:21]	-	reserved	保留。											
[20:19]	RW	phy1_txhsxvtune	dp/dm 的 crossover 电压调节。 00: 保留; 01: -15mV; 10: +15mV; 11: 缺省值。											
[18]	RW	phy1_sleepm	端口 1 的 sleep 模式控制。 0: sleep 模式; 1: normal 模式。											
[17]	RW	phy1_loopbackenb	phy1 的环回测试(到 D+D-的环回)的使能信号。 缺省值为 0, 必须配置为 0。											
[16:14]	RW	phy1_compdistune	phy1 的 HOSDISCONNECT 门限电平调试信号。 000: -6%; 001: -4.5%; 010: -3%; 100: 缺省值; 101: +1.5%; 110: +3%; 111: +4.5%; 其他: 保留。											



[13:11]	RW	phy1_sqrxtune	phy1 的 squelch 电路调试信号。 000: +20%; 001: +15%; 010: +10%; 011: +5%; 100: 缺省值; 101: -5%; 110: -10%; 111: -15%。
[10:7]	RW	phy1_txflstune	phy1 的 FS LS 阻抗调试信号。 0x0: +5%; 0x1: +2.5%; 0x3: 缺省值; 0x7: -2.5%; 0xF: -5%; 其他: 保留。
[6]	RW	phy1_txpreemphasis	phy1 的 HS 模式发送预加重使能信号。默认值为 0。 0: 禁止; 1: 使能。
[5]	-	reserved	保留。
[4]	RW	phy1_txrisetune	phy1 的高速信号上升/下降时间调节。 0: 缺省值; 1: -8%。



[3:0]	RW	phy1_txvrefune	phy1 的 HS 模式下的 DC 电平调节。 0x0: -10%; 0x1: -8.75%; 0x2: -7.5%; 0x3: -6.25%; 0x4: -5%; 0x5: -3.75%; 0x6: -2.5%; 0x7: -1.25%; 0x8: 缺省值; 0x9: +1.25%; 0xA: +2.5%; 0xB: +3.7%; 0xC: +5%; 0xD: +6.25%; 0xE: +7.5%; 0xF: +8.75%。
-------	----	----------------	---

SYSSTAT

SYSSTAT 为系统状态寄存器 (PLL_LOCK)。

		Offset Address	Register Name	Total Reset Value
		0x008C	SYSSTAT	0x2000_0000
Bit		31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name		bootrom_sel_in a9_smp_namp1 cpu_power_state a9_l2_idle a9_smp_namp0	a9_standbywfe0 a9_standbywfi0 a9_pmupriv0 a9_secure0 reserved nf_ecc_type	nf_block_size nf_addr_num nf_page_size jtag_sel boot_mode a9_standbywfe1 a9_standbywfi1 a9_pmupriv1 a9_secure1
Reset		0 0 1 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
	Bits	Access	Name	Description
	[31]	RO	bootrom_sel_in	指示是否从 bootrom 启动。 0: 不从 bootrom 启动; 1: 从 bootrom 启动。



[30]	RO	a9_smp_namp1	指示每个 Cortex-A9 CORE1 processor 是均衡还是非均衡模式。 0: 非均衡; 1: 均衡。
[29]	RO	cpu_power_state	指示 CPU 掉电状态。 0: 已下电; 1: 未下电。
[28]	RO	a9_l2_idle	指示 L2 cache 活动状态。 0: 非 IDLE 状态; 1: IDLE 状态。
[27]	RO	a9_smp_namp0	指示每个 Cortex-A9 CORE0 processor 是均衡还是非均衡模式。 0: 非均衡; 1: 均衡。
[26:20]	RO	a9_dflags0	Cortex-A9 CORE0 数据引擎输出标志。 注意: 仅在配置 data engine 的系统中存在。 如果 data engine 是 MPE: bit[6]: FPSCR[27]值; bit[5]: FPSCR[7]值; bits[4:0]: FPSCR[4:0]值。 如果 data engine 是 FPU: bit[6]: 0; bit[5]: FPSCR[7]值; bit[4:0]: FPSCR[4:0]值。
[19]	RO	a9_standbywfe0	指示 Cortex-A9 CORE0 processor 是否在 WFE 状态。 0: 不在 WFE 状态; 1: 处在 WFE 状态。
[18]	RO	a9_standbywfi0	指示 Cortex-A9 CORE0 processor 是否在 WFI 状态。 0: 不在 WFI 状态; 1: 处在 WFI 状态。
[17]	RO	a9_pmupriv0	指示 Cortex-A9 CORE0 processor 状况。 0: 处于 user 模式; 1: 处于 privileged 模式。
[16]	RO	a9_secure0	指示 Cortex-A9 CORE0 processor 安全状况。 0: 处于 Non-secure 状态; 1: 处于 Secure 状态。



[15]	-	reserved	保留。
[14:12]	RO	nf_ecc_type	boot 时, 选择的 Nand Flash ECC 模式。 000: 无 ECC; 001: 1bit 模式; 010: 4byte 模式; 011: 8byte 模式; 100: 24bit 模式(1KB); 101: 24bit 模式(512bit); 其他: 保留。 注意: 只在上电的瞬间有效。
[11]	RO	nf_block_size	boot 时, Nand Flash 器件的 block 容量。 注意: 只在上电的瞬间有效。 0: 64 page, 对应 SLC 器件; 1: 128 page, 对应 MLC 器件。
[10]	RO	nf_addr_num	发给 NANDFlash 器件的地址数目。 注意: 只在上电的瞬间有效。 0: 4 个; 1: 5 个。
[9:8]	RO	nf_page_size	boot 时, Nand Flash 器件的 page 容量。 注意: 只在上电的瞬间有效。 00: 512byte; 01: 2KB; 10: 4KB; 11: 8KB。
[7:6]	RO	jtag_sel	芯片选定的 debug 模式。 00: debug A9; 01: debug pcie1 phy; 10: debug pcie0 phy; 11: debug sata phy。
[5:4]	RO	boot_mode	芯片选定的启动模式。 00: 从 SPI Flash 启动; 01: 从 DDR 启动(PCIE 从加载); 10: 从 NANDFlash 启动; 11: 从 NANDFlash 启动。



[3]	RO	a9_standbywfe1	指示 Cortex-A9 CORE1 processor 是否在 WFE 状态。 0: 不在 WFE 状态; 1: 处在 WFE 状态。
[2]	RO	a9_standbywfi1	指示 Cortex-A9 CORE1 processor 是否在 WFI 状态。 0: 不在 WFI 状态; 1: 处在 WFI 状态。
[1]	RO	a9_pmupriv1	指示 Cortex-A9 CORE1 processor 状况。 0: 处于 user 模式; 1: 处于 privileged 模式。
[0]	RO	a9_secure1	指示 Cortex-A9 CORE1 processor 安全状况。 0: 处于 Non-secure 状态; 1: 处于 Secure 状态。

PERIPHCTRL23

PERIPHCTRL23 为 PCIe0 Controller 控制寄存器 0。(选择控制器工作模式: RC/EP)

Offset Address		Register Name	Total Reset Value
0x0090		PERIPHCTRL23	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
Name	pcie0_slv_device_type	pcie0_slv_resp_err_map	pcie0_slv_awmisc_info
Reset	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:28]	RW	pcie0_slv_device_type	PCIe0(X1)控制器的类型。 0x0: PCI Express EP 设备; 0x1: Legacy PCI Express 设备; 0x4: PCI Express RC 设备; 其他: 保留。



[27:22]	RW	pcie0_slv_resp_err_map	<p>PCIe0 控制器 AXI 总线 slave 端口错误映射。</p> <p>用于控制由 PCIe0 控制器 AXI 总线 slv 端口发出的操作对应的 PCIe 完成事务包的错误类型到 AXI 总线错误的映射关系。其中每一比特位对应一种 PCIe 完成事务包的错误类型。</p> <p>各比特位和 CPL 错误的对应关系如下：</p> <p>[22]: CPL UR 错误。</p> <p>[23]: CPL CRS 错误。</p> <p>[24]: CPL CA 错误。</p> <p>[25]: CPL Poisoned 错误。</p> <p>[26]: CPL ECRC 错误。</p> <p>[27]: CPL Timeout 错误。</p> <p>若对应的比特位为 0，则将对应的 PCIe 错误转换为 AXI 总线的 DECERR 错误类型。</p> <p>若对应的比特位为 1，则将对应的 PCIe 错误转换为 AXI 总线的 SLVERR 错误类型。</p>
[21:0]	RW	pcie0_slv_awmisc_info	<p>PCIe0 控制器 AXI 总线 Slave 端口写请求的附加信息。</p> <p>在 AXI 总线 Slave 端口上发起写请求时提供补充信息，包括此操作对应的 PCIe 事务类型等信息。各比特位提供的信息如下：</p> <p>[4:0]: PCIe 事务类型。</p> <p>[5]: PCIe 事务的 BCM 字段，必须设置为 0。</p> <p>[6]: PCIe 事务的 EP 字段。</p> <p>[7]: PCIe 事务的 TD 字段。</p> <p>[9:8]: PCIe 事务的 ATTR 字段。</p> <p>[12:10]: PCIe 事务的 TC 字段。</p> <p>[20:13]: PCIe 消息事务的消息代码。</p> <p>[21]: 保留。</p>

PERIPHCTRL24

PERIPHCTRL24 为 PCIe0 Controller 控制寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x0094		PERIPHCTRL24		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie0_ven_msg_code								pcie0_app_clk_req_n	pcie0_common_clocks	pcie0_slv_armisc_info																					
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name	Description																													
[31:24]	RW	pcie0_ven_msg_code	PCIe0 厂商自定义消息的消息代码。 当由 PCIe0 发送厂商定义消息时，此寄存器指定厂商自定义消息的消息代码。																													
[23]	RW	pcie0_app_clk_req_n	PCIe0 控制器应用层时钟请求。 0: 申请时钟； 1: 不申请时钟。																													
[22]	RW	pcie0_common_clocks	指示 PCIe0 控制器和对端 PCIe 设备是否使用同一个参考时钟。 0: 不使用同一个参考时钟； 1: 使用同一个参考时钟。																													
[21:0]	RW	pcie0_slv_armisc_info	PCIe0 控制器 AXI 总线 Slave 端口读请求的附加信息。 在 AXI 总线 Slave 端口上发起读请求时提供补充信息，包括此操作对应的 PCIe 事务类型等信息。各比特位提供的信息如下： [4:0]: PCIe 事务类型。 [5]: PCIe 事务的 BCM 字段，必须设置为 0。 [6]: PCIe 事务的 EP 字段。 [7]: PCIe 事务的 TD 字段。 [9:8]: PCIe 事务的 ATTR 字段。 [12:10]: PCIe 事务的 TC 字段。 [20:13]: PCIe 消息事务的消息代码。 [21]: 保留。																													



PERIPHCTRL25

PERIPHCTRL25 为 PCIe0 Controller 控制寄存器 2。

Offset Address		Register Name		Total Reset Value																												
0x0098		PERIPHCTRL25		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie0_ven_msi_venctor				pcie0_ven_msi_req	reserved												reserved														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:27]	RW		pcie0_ven_msi_venctor		PCIe0 控制器 MSI 数据调整控制寄存器。 当 PCIe0 控制器发起 MSI 中断请求时，此寄存器的值是 MSI 数据的最低 5 比特(此寄存器的值与 MSI 数据寄存器的值按位或的值为新的 MSI 数据)。																											
[26]	RW		pcie0_ven_msi_req		指示 PCIe0 控制器是否请求发送消息中断(MSI)。 0: 无请求; 1: 请求。																											
[25:14]	-		reserved		保留。																											
[13:0]	-		reserved		保留。																											

PERIPHCTRL26

PERIPHCTRL26 为 PCIe0 Controller 控制寄存器 3 (Vendor Message 相关)。



Offset Address		Register Name		Total Reset Value																												
0x009C		PERIPHCTRL26		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				pcie0_ven_msg_tag				pcie0_ven_msg_len				pcie0_ven_msg_attr		pcie0_ven_msg_ep	pcie0_ven_msg_td	pcie0_ven_msg_type				pcie0_ven_msg_fmt		pcie0_ven_msg_req									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:30]	-	reserved	保留。																													
[29:22]	RW	pcie0_ven_msg_tag	当由 PCIe0 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的标记(Tag)字段。																													
[21:12]	RW	pcie0_ven_msg_len	当由 PCIe0 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的长度(Length)字段。																													
[11:10]	RW	pcie0_ven_msg_attr	当由 PCIe0 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的属性(Attr)字段。																													
[9]	RW	pcie0_ven_msg_ep	当由 PCIe0 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的数据中毒(EP)字段。																													
[8]	RW	pcie0_ven_msg_td	当由 PCIe0 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的摘要存在(TD)字段。																													
[7:3]	RW	pcie0_ven_msg_type	当由 PCIe0 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的类型(Type)字段。																													
[2:1]	RW	pcie0_ven_msg_fmt	当由 PCIe0 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的格式(Fmt)字段。																													
[0]	RW	pcie0_ven_msg_req	指示 PCIe0 控制器是否请求发送一个厂商定义的消息。 0: 不请求; 1: 请求。																													



PERIPHCTRL27

PERIPHCTRL27 为 PCIe0 Controller 控制寄存器 4（Vendor Message 相关）。

Offset Address		Register Name		Total Reset Value				
0x00A0		PERIPHCTRL27		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pice0_ven_msg_data_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	pice0_ven_msg_data_low	当由 PCIe0 控制器发起 PCIe 厂商自定义消息事务时，此寄存器用于配置 PCIe 厂商自定义消息事务数据包的第三个双字 (DWORD)。					

PERIPHCTRL28

PERIPHCTRL28 为 PCIe0 Controller 控制寄存器 5（Vendor Message 相关）。

Offset Address		Register Name		Total Reset Value				
0x00A4		PERIPHCTRL28		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pice0_ven_msg_data_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	pice0_ven_msg_data_high	当由 PCIe0 控制器发起 PCIe 厂商自定义消息事务时，此寄存器用于配置 PCIe 厂商自定义消息事务数据包的第四个双字 (DWORD)。					

PERIPHCTRL29

PERIPHCTRL29 为 PCIe0 Controller 控制寄存器 6。用于控制热插拔指示灯的闪烁周期。



Offset Address		Register Name		Total Reset Value					
0x00A8		PERIPHCTRL29		0x0400_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	slot_led_blink_period								
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	slot_led_blink_period	PCIe0 控制器插槽状态指示 LED 闪烁周期控制。 LED 灯闪烁周期 = 该寄存器的值 × 4(ns)。						

PERIPHCTRL30

PERIPHCTRL30 为 PCIe0 Controller 控制寄存器 7。

Offset Address		Register Name		Total Reset Value					
0x00AC		PERIPHCTRL30		0x0000_0800					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20]	RW	pcie0_cfg_l2_clk_removal_en	指示 PCIe0 控制器在 L1 状态是否使能移除参考时钟。 0: 禁止在 L1 状态下移除参考时钟; 1: 允许在 L1 状态下移除参考时钟。						
[19]	-	reserved	保留。						



[18]	RW	pcie0_sys_cmd_completed_int	PCIe0 控制器热插拔命令完成中断。表明热插拔控制器已完成一个命令。 0: 中断无效; 1: 中断有效。
[17]	RW	pcie0_sys_pre_detected	指示 PCIe0 控制器卡槽状态是否改变。 0: 卡槽未改变; 1: 卡槽改变。
[16]	RW	pcie0_sys_mrl_sensor_chged	指示 PCIe0 控制器 MRL 传感器的状态是否改变。 0: MRL 状态未改变; 1: MRL 状态改变。
[15]	RW	pcie0_sys_pwr_fault_det	指示 PCIe0 控制器电源控制器在插槽中侦测到电源故障。 0: 未侦测到电源故障; 1: 侦测到电源故障。
[14]	RW	pcie0_sys_mrl_sensor_state	PCIe0 控制器 MRL 传感器状态。表明 PCI Express 插槽锁扣传感器当前状态。 0: PCI Express 卡槽锁扣已扣上; 1: PCI Express 卡槽锁扣已松开。
[13]	RW	pcie0_sys_pre_detected_state	PCIe0 控制器卡存在检测状态。表明 PCIe0 控制器卡槽里是否插入了卡。 0: PCI Express 卡槽无卡; 1: PCI Express 卡槽有卡。
[12]	RW	pcie0_cfg_pwr_controller_ctrl_pol	PCIe0 控制器插槽电源控制极性控制。 0: 低有效; 1: 高有效。
[11]	RW	pcie0_app_ltssm_enable	PCIe0 控制器使能。 用于控制是否使能 PCIe0 控制器，在复位之后未初始化好 PCIe0 控制器之前，需设置此寄存器为 0，设置此寄存器为 1 开始 PCIe 轮询过程。 0: 不使能 PCIe0 控制器; 1: 使能 PCIe0 控制器。
[10]	RW	pcie0_sys_aux_pwr_detected	PCIe0 控制器辅助电源侦测，表明是否存在辅助电源。 0: 辅助电源不存在; 1: 辅助电源存在。



[9]	RW	pcie0_apps_pm_xmt_pme	PCIe0 控制器低功耗状态唤醒，设置此位以将 PCIe0 控制器从低功耗状态(D1,D2 或 D3)状态唤醒至 D0 状态。此寄存器功能和 pcie0_outband_pwrup_cmd 寄存器功能相同 0: 不唤醒; 1: 唤醒。
[8]	RW	pcie0_apps_pm_xmt_turnoff	PCIe0 控制器 PM_TRUN_OFF 消息请求，表明 PCIe0 应用层请求产生一个 PM_TURN_OFF 消息。 0: 不请求; 1: 请求。
[7]	RW	pcie0_app_unlock_msg	PCIe0 控制器 Unlock 消息请求。表明 PCIe0 应用层请求产生一个 Unlock 消息。 0: 不请求; 1: 请求。
[6]	RW	pcie0_outband_pwrup_cmd	PCIe0 控制器低功耗状态唤醒，设置此位以将 PCIe0 控制器从低功耗状态(D1,D2 或 D3)状态唤醒至 D0 状态。此寄存器功能和 pcie0_apps_pm_xmt_pme 寄存器功能相同 0: 不唤醒; 1: 唤醒。
[5]	RW	pcie0_sys_int	PCIe0 控制器中断请求。 此寄存器值由 0 变为 1 时，PCIe0 控制器产生一个 Assert_INTx 消息; 此寄存器值由 1 变为 0 时，PCIe0 控制器产生一个 Deassert_INTx 消息。
[4]	RW	pcie0_app_req_retry_en	PCIe0 控制器推迟接收配置请求。 在 PCIe0 控制器未完成初始化时，设置此位有效以暂缓接收对端设备发送的配置请求。当此位有效时，PCIe0 控制器对接收到的配置请求返回重试数据包，对接收到的其他请求返回不支持的请求数据包(UR)。 0: 无效; 1: 有效。
[3]	RW	pcie0_app_req_exit_l1	指示 PCIe0 控制器应用层请求退出 L1 状态。 0: 不请求; 1: 请求。
[2]	RW	pcie0_app_ready_enter_l23	指示 PCIe0 控制器应用层请求进入 L2/L3 状态。 0: 不请求; 1: 请求。



[1]	RW	pcie0_app_req_entr_11	指示 PCIe0 控制器应用层请求进入 L1 状态。 0: 不请求; 1: 请求。
[0]	RW	pcie0_app_init_rst	指示 PCIe0 控制器应用层请求发送一个 Hot 复位给下游端口设备。 0: 不请求; 1: 请求。

PERIPHCTRL31

PERIPHCTRL31 为 PCIe0 Controller 控制寄存器 8。

	Offset Address 0x00B0								Register Name PERIPHCTRL31								Total Reset Value 0x0000_2080																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																pcie0_shared_dbi_addr																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	-		reserved		保留。																															
[15:0]	RW		pcie0_shared_dbi_addr		PCIe0 控制器寄存器空间基地址。 必须设置为 0x2080。																															

PERIPHCTRL32

PERIPHCTRL32 为 PCIe0 PHY 控制寄存器 0。



Offset Address		Register Name		Total Reset Value																																
0x00B4		PERIPHCTRL32		0x0560_5000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				mpll_ncy				mpll_ncy5		mpll_prescale		mpll_ss_en		mpll_ss_sel		cko_alive_con		los_lvl				ref_clk_sel				rtune_do_tune		use_refclk_alt							
Reset	0	0	0	0	0	1	0	1	0	1	1	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:29]	-	reserved	保留。读返回 0，写无效。																																	
[28:24]	RW	mpll_ncy	PCIe0 PHY 内部 MPLL 工作参数。 必须设置为 5'b00101。																																	
[23:22]	RW	mpll_ncy5	PCIe0 PHY 内部 MPLL 工作参数。 必须设置为 2'b01。																																	
[21:20]	RW	mpll_prescale	PCIe0 PHY 中 MPLL 的参考时钟预分频设置，表明 PCIe PHY 使用哪种时钟作为 MPLL 的输入。 00：直接使用参考时钟； 01：将参考时钟两倍频； 10：将参考时钟二分频； 11：保留。 MPLL 输入时钟范围为 50~78.125MHz,Hi3531 中 PCIe 参考时钟为 100MHz,因此此位必须设置为 2'b10。																																	
[19]	RW	mpll_ss_en	PCIe0 PHY 扩频功能使能。 0：禁止扩频功能； 1：使能扩频功能。 保留，必须设置为 0。																																	
[18:17]	RW	mpll_ss_sel	PCIe0 PHY 扩频选择。 保留，必须设置为 0。																																	
[16:15]	RW	cko_alive_con	PCIe0 PHY cko_alive 时钟输出选择。 00：不输出 cko_alive 时钟； 01：保持 prescaler 的频率输出； 10：输出低频，为预分频器输出的十六分之一； 11：保留。																																	



[14:10]	RW	los_lvl	PCIe0 PHY LOS 信号侦测电平控制。 建议配置为 5'b10100。
[9:2]	RW	ref_clk_sel	PCIe0 PHY 参考时钟频率选择。 用于设置 MPLL 输出时钟和参考时钟的相移。 0x00: 没有移相(缺省); 其它: 保留。
[1]	RW	rtune_do_tune	PCIe0 PHY 电阻调节使能信号。 0: 不进行校准; 1: 重新对电阻进行校准。
[0]	RW	use_refclk_alt	PCIe0 PHY 参考时钟选择信号。 0: 使用 refclk 这组差分信号作为参考时钟(来源于时钟管脚); 1: 使用 refclk_alt 这组差分信号作为参考时钟(来源于芯片内部 CRG)。

PERIPHCTRL33

PERIPHCTRL33 为 PCIe0 PHY 控制寄存器 1。

	Offset Address		Register Name		Total Reset Value																													
	0x00B8		PERIPHCTRL33		0x2005_0006																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved		rx_eq_val_0		reserved		tx_atten_0		reserved		tx_boost_0		reserved		tx_clk_align		tx_edgerate_0		reserved		tx_lvl													
Reset	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	
Bits	Access		Name		Description																													
[31]	-		reserved		保留。																													
[30:28]	RW		rx_eq_val_0		PCIe0 PHY 接收器均衡控制。 必须设置为 3'b010。																													
[27:25]	-		reserved		保留。																													



[24:22]	RW	tx_atten_0	PCIe0 PHY 发送器衰减控制。 000: 无衰减; 其它: 保留。
[21:19]	-	reserved	保留。
[18:15]	RW	tx_boost_0	PCIe0 PHY 发送器增益控制。 发送器增益计算公式为: $boost = -20 * \log(1 - (tx_boost[3:0] + 0.5) / 32) db$ 建议设置为 4'b1010。
[14:11]	-	reserved	保留。
[10:9]	RW	tx_clk_align	PCIe0 PHY 发送时钟对齐。 0: 不对齐; 1: 对齐。
[8:7]	RW	tx_edgerate_0	PCI0 PHY 发送端边沿速率控制。 必须设置为 2'b00。
[6:5]	-	reserved	保留。
[4:0]	RW	tx_lvl	PCIe0 PHY 发送电平参数。 建议设置为 00110。

PERIPHCTRL34

PERIPHCTRL34 为外设控制寄存器 34。

	Offset Address				Register Name				Total Reset Value																											
	0x00BC				PERIPHCTRL34				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	-	reserved		保留。																															

PERIPHCTRL35

PERIPHCTRL35 为主从通信中断配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x00C0		PERIPHCTRL35		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								software_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	software_int	主从片通信时，用于软件互发中断。 0：不产生中断； 1：产生中断。						

PERIPHCTRL36

PERIPHCTRL36 为主从通信中断类型配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x00C4		PERIPHCTRL36		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	int_type							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	int_type	主从片通信时，用于软件定义互发中断的类型。					

PERIPHCTRL37

PERIPHCTRL37 为外设控制寄存器 37。



Offset Address		Register Name		Total Reset Value				
0x00C8		PERIPHCTRL37		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					

PERIPHCTRL38

PERIPHCTRL38 为外设控制寄存器 38。

Offset Address		Register Name		Total Reset Value				
0x00CC		PERIPHCTRL38		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					

PERIPHCTRL39

PERIPHCTRL39 为 PCIe0 控制器状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x00D0		PERIPHCTRL39		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved pcie0_ref_clk_req_n pcie0_pm_status	reserved	pcie0_wake pcie0_xmlh_link_up pcie0_cfg_sys_err_rc	reserved	pcie0_pm_currnt_state	pcie0_rdlh_link_up pcie0_cfg_rcb	pcie0_cfg_mem_space_en pcie0_pm_xtlh_block_tlp pcie0_cfg_pwr_ctlter_ctrl	pcie0_cfg_attn_ind pcie0_cfg_pwr_ind	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。读返回 0，写无效。						
[29]	RO	pcie0_ref_clk_req_n	PCIe0 控制器参考时钟移除请求信号状态。 0: 可以移除参考时钟; 1: 不能移除参考时钟。						
[28]	RO	pcie0_pm_status	PCIe0 控制器配置寄存器 PMCSR 寄存器中的 PME Status 位的值。						
[27:24]	-	reserved	保留。						
[23]	RO	pcie0_wake	PCIe0 控制器唤醒。 表明 PCIe 控制器需要系统重新提供时钟和电源。						
[22]	RO	pcie0_xmlh_link_up	PCIe0 PHY 链路连接状态指示。 0: 连接已断开; 1: 连接已建立。						
[21]	RO	pcie0_cfg_sys_err_rc	PCIe0 控制系统错误侦测。 表明是否侦测到系统错误。 0: 无系统错误; 1: 侦测到系统错误。						
[20:14]	-	reserved	保留。						



[13:11]	RO	pcie0_pm_curnt_state	PCIe0 控制器当前的电源状态。 000:D0; 001:D1; 010:D2; 011:D3; 100:未初始化; 其它: 保留。
[10]	RO	pcie0_rdlh_link_up	PCIe0 控制器数据链路层连接状态指示。 0: 连接已断开; 1: 连接已建立。
[9]	RO	pcie0_cfg_rcb	PCIe0 控制器链路控制寄存器中的 RCB 比特位状态。
[8]	RO	pcie0_cfg_mem_space_en	PCIe0 控制器 PCI 兼容命令寄存器中的存储器空间允许位的状态。 0: 已禁用存储器解码, 不认识针对本设备的存储器事务; 1: 已启用存储器解码器, 接受针对本设备的存储器事务。
[7]	RO	pcie0_pm_xtlh_block_tlp	表明通知 PCIe0 控制器应用层停止发送新请求。 0: 无请求; 1: 请求应用层不要发起新的请求。
[6]	RO	pcie0_cfg_pwr_control_ctrl	PCIe0 控制器插槽电源控制位状态(Slot Control Register 中的第 10 比特)。 0: 电源开; 1: 电源关。
[5:4]	RO	pcie0_cfg_atten_in_d	PCIe0 控制器插槽警告指示位状态(Slot Control Register bit[7:6])。 00: 保留; 01: 开; 10: 闪烁; 11: 关。
[3:2]	RO	pcie0_cfg_pwr_ind	PCIe0 控制器插槽电源指示位状态(Slot Control Register bit[9:8])。 00: 保留; 01: 开; 10: 闪烁; 11: 关。
[1:0]	-	reserved	保留。



PERIPHCTRL40

PERIPHCTRL40 为 PCIe1 控制器状态寄存器。

		Offset Address 0x00D4								Register Name PERIPHCTRL40								Total Reset Value 0x0000_0000																																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																				
Name		reserved				reserved				pcie1_wake				reserved				pcie1_pm_curmt_state				pcie1_rdlh_link_up				pcie1_cfg_rcb				pcie1_cfg_mem_space_en				pcie1_pm_xtlh_block_tlp				pcie1_cfg_pwr_ctrler_ctrl				pcie1_cfg_atten_ind				pcie1_cfg_pwr_ind				reserved			
		pcie1_ref_clk_req_n				pcie1_pm_status				pcie1_xmlh_link_up				pcie1_cfg_sys_err_rc																																							
Reset		0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name								Description																																											
[31:30]	-	reserved								保留。读返回 0，写无效。																																											
[29]	RO	pcie1_ref_clk_req_n								PCIe1 控制器参考时钟移除请求信号状态。 0: 可以移除参考时钟; 1: 不能移除参考时钟。																																											
[28]	RO	pcie1_pm_status								PCIe1 控制器配置寄存器 PMCSR 寄存器中的 PME Status 位的值。																																											
[27:24]	-	reserved								保留。																																											
[23]	RO	pcie1_wake								PCIe1 控制器唤醒。 表明 PCIe 控制器需要系统重新提供时钟和电源。																																											
[22]	RO	pcie1_xmlh_link_up								PCIe1 PHY 链路连接状态指示。 0: 连接已断开; 1: 连接已建立。																																											
[21]	RO	pcie1_cfg_sys_err_rc								PCIe1 控制系统错误侦测。 表明是否侦测到系统错误。 0: 无系统错误; 1: 侦测到系统错误。																																											
[20:14]	-	reserved								保留。																																											



[13:11]	RO	pciel_pm_curnt_state	PCIe1 控制器当前的电源状态。 000: D0; 001: D1; 010: D2; 011: D3; 100: 未初始化; 其它: 保留。
[10]	RO	pciel_rdlh_link_up	PCIe1 控制器数据链路层连接状态指示。 0: 连接已断开; 1: 连接已建立。
[9]	RO	pciel_cfg_rcb	PCIe0 控制器链路控制寄存器中的 RCB 比特位状态。
[8]	RO	pciel_cfg_mem_space_en	PCIe1 控制器 PCI 兼容命令寄存器中的存储器空间允许位的状态。 0: 已禁用存储器解码, 不认识针对本设备的存储器事务; 1: 已启用存储器解码器, 接受针对本设备的存储器事务。
[7]	RO	pciel_pm_xtlh_block_tlp	表明通知 PCIe1 控制器应用层停止发送新请求。 0: 无请求; 1: 请求应用层不要发起新的请求。
[6]	RO	pciel_cfg_pwr_control_ctrl	PCIe1 控制器插槽电源控制位状态(Slot Control Register 中的第 10 比特)。 0: 电源开; 1: 电源关。
[5:4]	RO	pciel_cfg_attention_in_d	PCIe1 控制器插槽警告指示位状态(Slot Control Register bit[7:6])。 00: 保留; 01: 开; 10: 闪烁; 11: 关。
[3:2]	RO	pciel_cfg_pwr_ind	PCIe1 控制器插槽电源指示位状态(Slot Control Register bit[9:8])。 00: 保留; 01: 开; 10: 闪烁; 11: 关。
[1:0]	-	reserved	保留。



PERIPHCTRL41

PERIPHCTRL41 为外设控制寄存器 41。(DDRC0 乱序配置 outtodr0_ctrl)

Offset Address		Register Name		Total Reset Value																		
0x00D8		PERIPHCTRL41		0x0000_0000																		
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0														
Name	reserved			toe_axi	sys_axi	bpd_ctrl	jpgd_ctrl	mdu_ctrl	vcmp_ctrl	vdh1_ctrl	venc1_ctrl	vpss1_ctrl	jpge_ctrl	voie_ctrl	vdh0_ctrl	venc0_ctrl	tde1_ctrl	tde0_ctrl	vpss0_ctrl	reserved	vicap_ctrl	vou_ctrl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																			
[31:19]	-	reserved	保留。																			
[18]	RW	toe_axi	TOE 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																			
[17]	RW	sys_axi	CPU 子系统访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																			
[16]	RW	bpd_ctrl	BPD 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																			
[15]	RW	jpgd_ctrl	JPGD 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																			
[14]	RW	mdu_ctrl	MDU 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																			
[13]	RW	vcmp_ctrl	VCMP 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																			
[12]	RW	vdh1_ctrl	VDH1 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																			



[11]	RW	venc1_ctrl	VENC1 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[10]	RW	vpss1_ctrl	VPSS1 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[9]	RW	jpge_ctrl	JPGE 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[8]	RW	voie_ctrl	VOIE 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[7]	RW	vdh0_ctrl	VDH0 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[6]	RW	venc0_ctrl	VENC0 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[5]	RW	tde1_ctrl	TDE1 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[4]	RW	tde0_ctrl	TDE0 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[3]	RW	vpss0_ctrl	VPSS0 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[2]	-	reserved	保留。
[1]	RW	vicap_ctrl	VICAP 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[0]	RW	vou_ctrl	VOU 访问 DDR0 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。



PERIPHCTRL42

PERIPHCTRL42 为外设控制寄存器 42。(DDRC1 乱序配置 outtodr1_ctrl)

	Offset Address 0x00DC				Register Name PERIPHCTRL42								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												toe_axi	sys_axi	bpd_ctrl	jpgd_ctrl	mdu_ctrl	vcmp_ctrl	vdh1_ctrl		venc1_ctrl	vpss1_ctrl	jpge_ctrl	voie_ctrl	vdh0_ctrl	venc0_ctrl	tde1_ctrl	tde0_ctrl	vpss0_ctrl	reserved	vicap_ctrl	vou_ctrl
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:19]	-		reserved		保留。																											
[18]	RW		toe_axi		TOE 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																											
[17]	RW		sys_axi		CPU 子系统访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																											
[16]	RW		bpd_ctrl		BPD 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																											
[15]	RW		jpgd_ctrl		JPGD 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																											
[14]	RW		mdu_ctrl		MDU 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																											
[13]	RW		vcmp_ctrl		VCMP 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																											
[12]	RW		vdh1_ctrl		VDH1 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。																											



[11]	RW	venc1_ctrl	VENC1 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[10]	RW	vpss1_ctrl	VPSS1 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[9]	RW	jpge_ctrl	JPGE 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[8]	RW	voie_ctrl	VOIE 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[7]	RW	vdh0_ctrl	VDH0 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[6]	RW	venc0_ctrl	VENC0 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[5]	RW	tde1_ctrl	TDE1 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[4]	RW	tde0_ctrl	TDE0 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[3]	RW	vpss0_ctrl	VPSS0 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[2]	-	reserved	保留。
[1]	RW	vicap_ctrl	VICAP 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。
[0]	RW	vou_ctrl	VOU 访问 DDR1 是否允许乱序。 0: 不允许乱序; 1: 允许乱序。



PERIPHCTRL43

PERIPHCTRL43 为外设控制寄存器 43。

	Offset Address				Register Name				Total Reset Value																							
	0x00E0				PERIPHCTRL43				0x0000_2112																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														media1_slv_pri_s2	reserved	media1_slv_pri_s1	reserved	media0_slv_pri_s2	reserved	media0_slv_pri_s1											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	1	0	0	1	0
Bits	Access		Name		Description																											
[31:14]	-		reserved		保留。																											
[13:12]	RW		media1_slv_pri_s2		MEDIA1 连接的 DDRC1 优先级。 3 为最高优先级。																											
[11:10]	-		reserved		保留。																											
[9:8]	RW		media1_slv_pri_s1		MEDIA1 连接的 DDRC0 优先级。 3 为最高优先级。																											
[7:6]	-		reserved		保留。																											
[5:4]	RW		media0_slv_pri_s2		MEDIA0 连接的 DDRC1 优先级。 3 为最高优先级。																											
[3:2]	-		reserved		保留。																											
[1:0]	RW		media0_slv_pri_s1		MEDIA0 连接的 DDRC0 优先级。 3 为最高优先级。																											

PERIPHCTRL44

PERIPHCTRL44 为 TOE 控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00E4		PERIPHCTRL44		0x0000_0011																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								sbd_data_endianess		reserved		mac1_emisc_pwr_down_ctrl		mac1_emisc_pwr_clamp_ctrl		mac0_emisc_pwr_down_ctrl		mac0_emisc_pwr_clamp_ctrl		mac0_pmt_intr_enable		mac0_lpi_intr_enable		mac1_pmt_intr_enable		mac1_lpi_intr_enable		reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
Bits	Access	Name	Description																													
[31:16]	-	reserved	保留。																													
[15]	RW	sbd_data_endianess	TOE DMA 数据处理大小端模式 1: 大端模式; 0: 小端模式。																													
[14:12]	-	reserved	保留。																													
[11]	RW	mac1_emisc_pwr_down_ctrl	mac1 的 power off 控制信号, 高有效。																													
[10]	RW	mac1_emisc_pwr_clamp_ctrl	mac1 的 isolate cells 的 VDD power 控制信号, 高有效。																													
[9]	RW	mac0_emisc_pwr_down_ctrl	mac0 的 power off 控制信号, 高有效。																													
[8]	RW	mac0_emisc_pwr_clamp_ctrl	mac0 的 isolate cells 的 VDD power 控制信号, 高有效。																													
[7]	RW	mac0_pmt_intr_enable	mac0 网络被唤醒中断使能信号, 高有效。																													
[6]	RW	mac0_lpi_intr_enable	mac0 退出 LPI 状态中断使能信号, 高有效。																													
[5]	RW	mac1_pmt_intr_enable	mac1 网络被唤醒中断使能信号, 高有效。																													
[4]	RW	mac1_lpi_intr_enable	mac1 退出 LPI 状态中断使能信号, 高有效。																													
[3:0]	-	reserved	保留。																													



PERIPHCTRL45

PERIPHCTRL45 为 TOE 状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x00E8		PERIPHCTRL45		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mac1_speed	mac0_speed	reserved		mac0_pwr_down_ack mac1_pwr_down_ack
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:14]	RO	mac1_speed	mac1 工作速度模式。 0x:1000Mbps; 10:10Mbps; 11:100Mbps。						
[13:12]	RO	mac0_speed	mac0 工作速度模式。 0x:1000Mbps; 10:10Mbps; 11:100Mbps。						
[11:2]	-	reserved	保留。						
[1]	RO	mac0_pwr_down_ack	指示是否可以关闭 mac0 电源。 0: 不可以; 1: 可以。						
[0]	RO	mac1_pwr_down_ack	指示是否可以关闭 mac1 电源。 0: 不可以; 1: 可以。						

PERIPHCTRL46

PERIPHCTRL46 为外设控制寄存器 46。



Offset Address		Register Name		Total Reset Value					
0x00EC		PERIPHCTRL46		0x0033_3333					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		timers_ram2	timers_ram1		timers_ram0			
Reset	0 0 0 0	0 0 0 0	0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	timers_ram2	ram2 超时计数周期(n x 3.3ns)。						
[15:8]	RW	timers_ram1	ram1 超时计数周期(n x 3.3ns)。						
[7:0]	RW	timers_ram0	ram0 超时计数周期(n x 3.3ns)。						

PERIPHCTRL47

PERIPHCTRL47 为外设控制寄存器 47。

Offset Address		Register Name		Total Reset Value				
0x00F0		PERIPHCTRL47		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		sata_test_byp_mode sata_test_burnin_mode	reserved	pciephy1_acjt_lvl pciephy1_test_byp_mode pciephy1_test_burnin_mode	reserved	pciephy0_acjt_lvl pciephy0_test_byp_mode pciephy0_test_burnin_mode	reserved sata_test_pddq pciephy1_test_pddq pciephy0_test_pddq
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:22]	-	reserved	保留。					
[21]	RW	sata_test_byp_mode	使能 ASIC 中 SATA 的所有输入接口通过纯组合逻辑连接到输出端，提高接口测试覆盖率。 0：禁止； 1：使能。					



[20]	RW	sata_test_burnin_mode	<p>SATA 老化测试模式使能。</p> <p>0: 禁止; 1: 使能。</p> <p>注意: 尽可能多的使能内部逻辑翻转, 在老化测试时与 [sata_test_byp_mode]信号一起使用。</p>																																																																					
[19]	-	reserved	保留。																																																																					
[18:14]	RW	pciephy1_acjt_lvl	<p>控制 PCIEPHY1 的 ACJTAG 接收端比较器电平。</p> <p>V1: Vmin Level Peak-to-Peak Differential(mV); V2: VHyst_level Peak Single-Ended(mV)。</p> <table border="1"> <thead> <tr> <th></th> <th>V1</th> <th>V2</th> </tr> </thead> <tbody> <tr><td>0x00:</td><td>256</td><td>52</td></tr> <tr><td>0x01:</td><td>305</td><td>63</td></tr> <tr><td>0x02:</td><td>355</td><td>73</td></tr> <tr><td>0x03:</td><td>406</td><td>84</td></tr> <tr><td>0x04:</td><td>455</td><td>94</td></tr> <tr><td>0x05:</td><td>508</td><td>104</td></tr> <tr><td>0x06:</td><td>562</td><td>115</td></tr> <tr><td>0x07:</td><td>623</td><td>126</td></tr> <tr><td>0x08:</td><td>678</td><td>136</td></tr> <tr><td>0x09:</td><td>723</td><td>147</td></tr> <tr><td>0x0A:</td><td>778</td><td>158</td></tr> <tr><td>0x15:</td><td>1195</td><td>104</td></tr> <tr><td>0x16:</td><td>1255</td><td>115</td></tr> <tr><td>0x17:</td><td>1313</td><td>126</td></tr> <tr><td>0x18:</td><td>1369</td><td>136</td></tr> <tr><td>0x19:</td><td>1422</td><td>147</td></tr> <tr><td>0x1A:</td><td>1474</td><td>158</td></tr> <tr><td>0x1B:</td><td>1525</td><td>169</td></tr> <tr><td>0x1C:</td><td>1574</td><td>180</td></tr> <tr><td>0x1D:</td><td>1618</td><td>190</td></tr> <tr><td>0x1E:</td><td>1628</td><td>201</td></tr> <tr><td>0x1F:</td><td>1629</td><td>212</td></tr> </tbody> </table> <p>其余: 保留</p> <p>V1: Vmin Level Peak-to-Peak Differential(mV); V2: VHyst_level Peak Single-Ended(mV)。</p>		V1	V2	0x00:	256	52	0x01:	305	63	0x02:	355	73	0x03:	406	84	0x04:	455	94	0x05:	508	104	0x06:	562	115	0x07:	623	126	0x08:	678	136	0x09:	723	147	0x0A:	778	158	0x15:	1195	104	0x16:	1255	115	0x17:	1313	126	0x18:	1369	136	0x19:	1422	147	0x1A:	1474	158	0x1B:	1525	169	0x1C:	1574	180	0x1D:	1618	190	0x1E:	1628	201	0x1F:	1629	212
	V1	V2																																																																						
0x00:	256	52																																																																						
0x01:	305	63																																																																						
0x02:	355	73																																																																						
0x03:	406	84																																																																						
0x04:	455	94																																																																						
0x05:	508	104																																																																						
0x06:	562	115																																																																						
0x07:	623	126																																																																						
0x08:	678	136																																																																						
0x09:	723	147																																																																						
0x0A:	778	158																																																																						
0x15:	1195	104																																																																						
0x16:	1255	115																																																																						
0x17:	1313	126																																																																						
0x18:	1369	136																																																																						
0x19:	1422	147																																																																						
0x1A:	1474	158																																																																						
0x1B:	1525	169																																																																						
0x1C:	1574	180																																																																						
0x1D:	1618	190																																																																						
0x1E:	1628	201																																																																						
0x1F:	1629	212																																																																						



[13]	RW	pciephy1_test_byp_mode	使能 ASIC 中 PCIEPHY1 的所有输入接口通过纯组合逻辑连接到输出端，提高接口测试覆盖率。 0: 禁止; 1: 使能。																																																																					
[12]	RW	pciephy1_test_burn_in_mode	PCIEPHY1 的老化测试模式使能: 0: 禁止; 1: 使能。 注意: 尽可能多的使能内部逻辑翻转, 在老化测试时与 [pciephy1_test_byp_mode]信号一起使用。																																																																					
[11]	-	reserved	保留。																																																																					
[10:6]	RW	pciephy0_acjt_lvl	控制 PCIEPHY0 的 ACJTAG 接收端比较器电平。 V1: Vmin Level Peak-to-Peak Differential(mV); V2: VHyst_level Peak Single-Ended(mV)。 <table style="margin-left: 40px;"> <thead> <tr> <th></th> <th>V1</th> <th>V2</th> </tr> </thead> <tbody> <tr><td>0x00:</td><td>256</td><td>52</td></tr> <tr><td>0x01:</td><td>305</td><td>63</td></tr> <tr><td>0x02:</td><td>355</td><td>73</td></tr> <tr><td>0x03:</td><td>406</td><td>84</td></tr> <tr><td>0x04:</td><td>455</td><td>94</td></tr> <tr><td>0x05:</td><td>508</td><td>104</td></tr> <tr><td>0x06:</td><td>562</td><td>115</td></tr> <tr><td>0x07:</td><td>623</td><td>126</td></tr> <tr><td>0x08:</td><td>678</td><td>136</td></tr> <tr><td>0x09:</td><td>723</td><td>147</td></tr> <tr><td>0x0A:</td><td>778</td><td>158</td></tr> <tr><td>0x15:</td><td>1195</td><td>104</td></tr> <tr><td>0x16:</td><td>1255</td><td>115</td></tr> <tr><td>0x17:</td><td>1313</td><td>126</td></tr> <tr><td>0x18:</td><td>1369</td><td>136</td></tr> <tr><td>0x19:</td><td>1422</td><td>147</td></tr> <tr><td>0x1A:</td><td>1474</td><td>158</td></tr> <tr><td>0x1B:</td><td>1525</td><td>169</td></tr> <tr><td>0x1C:</td><td>1574</td><td>180</td></tr> <tr><td>0x1D:</td><td>1618</td><td>190</td></tr> <tr><td>0x1E:</td><td>1628</td><td>201</td></tr> <tr><td>0x1F:</td><td>1629</td><td>212</td></tr> </tbody> </table> 其余: 保留		V1	V2	0x00:	256	52	0x01:	305	63	0x02:	355	73	0x03:	406	84	0x04:	455	94	0x05:	508	104	0x06:	562	115	0x07:	623	126	0x08:	678	136	0x09:	723	147	0x0A:	778	158	0x15:	1195	104	0x16:	1255	115	0x17:	1313	126	0x18:	1369	136	0x19:	1422	147	0x1A:	1474	158	0x1B:	1525	169	0x1C:	1574	180	0x1D:	1618	190	0x1E:	1628	201	0x1F:	1629	212
	V1	V2																																																																						
0x00:	256	52																																																																						
0x01:	305	63																																																																						
0x02:	355	73																																																																						
0x03:	406	84																																																																						
0x04:	455	94																																																																						
0x05:	508	104																																																																						
0x06:	562	115																																																																						
0x07:	623	126																																																																						
0x08:	678	136																																																																						
0x09:	723	147																																																																						
0x0A:	778	158																																																																						
0x15:	1195	104																																																																						
0x16:	1255	115																																																																						
0x17:	1313	126																																																																						
0x18:	1369	136																																																																						
0x19:	1422	147																																																																						
0x1A:	1474	158																																																																						
0x1B:	1525	169																																																																						
0x1C:	1574	180																																																																						
0x1D:	1618	190																																																																						
0x1E:	1628	201																																																																						
0x1F:	1629	212																																																																						



[5]	RW	pciephy0_test_byp_mode	使能 ASIC 中 PCIEPHY0 的所有输入接口通过纯组合逻辑连接到输出端，提高接口测试覆盖率。 0: 禁止; 1: 使能。
[4]	RW	pciephy0_test_burn_in_mode	PCIEPHY0 老化测试模式使能: 0: 禁止; 1: 使能。 注意: 尽可能多的使能内部逻辑翻转, 在老化测试时与 [pciephy0_test_byp_mode]信号一起使用。
[3]	-	reserved	保留。
[2]	RW	sata_test_pddq	SATAPHY 上下电控制。 0: 不下电; 1: 下电。
[1]	RW	pciephy1_test_pddq	PCIEPHY1 上下电控制。 0: 不下电; 1: 下电。
[0]	RW	pciephy0_test_pddq	PCIEPHY0 上下电控制。 0: 不下电; 1: 下电。

PERIPHCTRL48

PERIPHCTRL48 为外设控制寄存器 48。

	Offset Address				Register Name				Total Reset Value																											
	0x00F4				PERIPHCTRL48				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	-	reserved		保留。																															

PERIPHCTRL49

PERIPHCTRL49 为外设控制寄存器 49。



Offset Address		Register Name		Total Reset Value				
0x00F8		PERIPHCTRL49		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					

PERIPHCTRL50

PERIPHCTRL50 为外设控制寄存器 50。

Offset Address		Register Name		Total Reset Value				
0x00FC		PERIPHCTRL50		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					

PERIPHCTRL51

PERIPHCTRL51 为外设控制寄存器 51。



	Offset Address 0x0100				Register Name PERIPHCTRL51				Total Reset Value 0xCFCF_CFCF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rgmii0_txckout_sl				rgmii0_txckout_ctl				rgmii0_txd_sl				rgmii0_txd_ctl				rgmii0_txen_sl				rgmii0_txen_ctl				vou1120_sl				vou1120_clk_ctl			
Reset	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1
	Bits	Access	Name	Description																												
	[31:30]	RW	rgmii0_txckout_sl	RGMII0_TXCLKOUT IO 的 slew rate 控制。 00: 沿变化速度最慢; 01: 沿变化速度较慢; 10: 沿变化速度较快; 11: 沿变化速度最快。																												
	[29:24]	RW	rgmii0_txckout_ctl	RGMII0_TXCLKOUT IO 的驱动能力。 0x01: 3mA; 0x03: 6mA; 0x07: 9mA; 0x0F: 12mA; 0x1F: 15mA; 0x3F: 18mA。																												
	[23:22]	RW	rgmii0_txd_sl	RGMII0_TXD0/1/2/3 IO 的 slew rate 控制。 00: 沿变化速度最慢; 01: 沿变化速度较慢; 10: 沿变化速度较快; 11: 沿变化速度最快。																												
	[21:16]	RW	rgmii0_txd_ctl	RGMII0_TXD0/1/2/3 IO 的驱动能力。 0x01: 3mA; 0x03: 6mA; 0x07: 9mA; 0x0F: 12mA; 0x1F: 15mA; 0x3F: 18mA。																												



[15:14]	RW	rgmii0_txen_sl	RGMII0_TXEN IO 的 slew rate 控制。 00: 沿变化速度最慢; 01: 沿变化速度较慢; 10: 沿变化速度较快; 11: 沿变化速度最快。
[13:8]	RW	rgmii0_txen_ctl	RGMII0_TXEN IO 的驱动能力。 0x01: 3mA; 0x03: 6mA; 0x07: 9mA; 0x0F: 12mA; 0x1F: 15mA; 0x3F: 18mA。
[7:6]	RW	vou1120_sl	VOU1120CLK IO 的 slew rate 控制。 00: 沿变化速度最慢; 01: 沿变化速度较慢; 10: 沿变化速度较快; 11: 沿变化速度最快。
[5:0]	RW	vou1120_clk_ctl	VOU1120CLK IO 的驱动能力。 0x01: 3mA; 0x03: 6mA; 0x07: 9mA; 0x0F: 12mA; 0x1F: 15mA; 0x3F: 18mA。

PERIPHCTRL52

PERIPHCTRL52 为外设控制寄存器 52。



Offset Address		Register Name		Total Reset Value				
0x0104		PERIPHCTRL52		0xCFCF_CFCF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdck_sl	mdck_ctl	rgmii1_txckout_sl	rgmii1_txckout_ctl	rgmii1_txd_sl	rgmii1_txd_ctl	rgmii1_txen_sl	rgmii1_txen_ctl
Reset	1 1 0 0	1 1 1 1	1 1 0 0	1 1 1 1	1 1 0 0	1 1 1 1	1 1 0 0	1 1 1 1
Bits	Access	Name	Description					
[31:30]	RW	mdck_sl	MDCK IO 的 slew rate 控制。 00: 沿变化速度最慢; 01: 沿变化速度较慢; 10: 沿变化速度较快; 11: 沿变化速度最快。					
[29:24]	RW	mdck_ctl	MDCK IO 的驱动能力。 0x01: 3mA; 0x03: 6mA; 0x07: 9mA; 0x0F: 12mA; 0x1F: 15mA; 0x3F: 18mA。					
[23:22]	RW	rgmii1_txckout_sl	RGMII1_TXCLKOUT IO 的 slew rate 控制。 00: 沿变化速度最慢; 01: 沿变化速度较慢; 10: 沿变化速度较快; 11: 沿变化速度最快。					
[21:16]	RW	rgmii1_txckout_ctl	RGMII1_TXCLKOUT IO 的驱动能力。 0x01: 3mA; 0x03: 6mA; 0x07: 9mA; 0x0F: 12mA; 0x1F: 15mA; 0x3F: 18mA。					



[15:14]	RW	rgmii1_txd_sl	RGMII1_TXD0/1/2/3 IO 的 slew rate 控制。 00: 沿变化速度最慢; 01: 沿变化速度较慢; 10: 沿变化速度较快; 11: 沿变化速度最快。
[13:8]	RW	rgmii1_txd_ctl	RGMII1_TXD0/1/2/3 IO 的驱动能力。 0x01: 3mA; 0x03: 6mA; 0x07: 9mA; 0x0F: 12mA; 0x1F: 15mA; 0x3F: 18mA。
[7:6]	RW	rgmii1_txen_sl	RGMII1_TXEN IO 的 slew rate 控制。 00: 沿变化速度最慢; 01: 沿变化速度较慢; 10: 沿变化速度较快; 11: 沿变化速度最快。
[5:0]	RW	rgmii1_txen_ctl	RGMII1_TXEN IO 的驱动能力。 0x01: 3mA; 0x03: 6mA; 0x07: 9mA; 0x0F: 12mA; 0x1F: 15mA; 0x3F: 18mA。

PERIPHCTRL53

PERIPHCTRL53 为外设控制寄存器 53。

	Offset Address				Register Name								Total Reset Value																							
	0x0108				PERIPHCTRL53								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	-	reserved		保留。																															



PERIPHCTRL54

PERIPHCTRL54 为外设控制寄存器 54。

Offset Address		Register Name		Total Reset Value				
0x010C		PERIPHCTRL54		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					

PERIPHCTRL55

PERIPHCTRL55 为外设控制寄存器 55。

Offset Address		Register Name		Total Reset Value				
0x0110		PERIPHCTRL55		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					

PERIPHCTRL56

PERIPHCTRL56 为外设控制寄存器 56。

Offset Address		Register Name		Total Reset Value				
0x0114		PERIPHCTRL56		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					



PERIPHCTRL57

PERIPHCTRL57 为外设控制寄存器 57。

Offset Address		Register Name		Total Reset Value					
0x0118		PERIPHCTRL57		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	-	reserved	保留。						

PERIPHCTRL58

PERIPHCTRL58 为外设控制寄存器 58。

Offset Address		Register Name		Total Reset Value					
0x011C		PERIPHCTRL58		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	-	reserved	保留。						

PERIPHCTRL59

PERIPHCTRL59 为外设控制寄存器 59。

Offset Address		Register Name		Total Reset Value					
0x0120		PERIPHCTRL59		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	-	reserved	保留。						



PERIPHCTRL60

PERIPHCTRL60 为外设控制寄存器 60。

Offset Address		Register Name		Total Reset Value				
0x0124		PERIPHCTRL60		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					

PERIPHCTRL61

PERIPHCTRL61 为外设控制寄存器 61。

Offset Address		Register Name		Total Reset Value				
0x0128		PERIPHCTRL61		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					

PERIPHCTRL62

PERIPHCTRL62 为外设控制寄存器 62。

Offset Address		Register Name		Total Reset Value				
0x012C		PERIPHCTRL62		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					



PERIPHCTRL63

PERIPHCTRL63 为外设控制寄存器 63。

Offset Address		Register Name		Total Reset Value				
0x0130		PERIPHCTRL63		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。					

PERIPHCTRL64

PERIPHCTRL64 为外设控制寄存器 64。

Offset Address		Register Name		Total Reset Value				
0x0134		PERIPHCTRL64		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。					

PERIPHCTRL65

PERIPHCTRL65 为外设控制寄存器 65。

Offset Address		Register Name		Total Reset Value				
0x0138		PERIPHCTRL65		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。					



PERIPHCTRL66

PERIPHCTRL66 为外设控制寄存器 66。

Offset Address		Register Name		Total Reset Value				
0x013C		PERIPHCTRL66		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。					

PERIPHCTRL67

PERIPHCTRL67 为外设控制寄存器 67。

Offset Address		Register Name		Total Reset Value				
0x0140		PERIPHCTRL67		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。					

PERIPHCTRL68

PERIPHCTRL68 为外设控制寄存器 68。

Offset Address		Register Name		Total Reset Value				
0x0144		PERIPHCTRL68		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。					



PERIPHCTRL69

PERIPHCTRL69 为外设控制寄存器 69。

	Offset Address				Register Name				Total Reset Value																							
	0x0148				PERIPHCTRL69				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	reserved		保留。																											

PERIPHCTRL70

PERIPHCTRL70 为 PCIe1 Controller 控制寄存器 0。（选择控制器工作模式：RC/EP）

	Offset Address				Register Name				Total Reset Value																							
	0x014C				PERIPHCTRL70				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pciel_slv_device_type		pciel_slv_resp_err_map		pciel_slv_awmisc_info																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:28]	RW	pciel_slv_device_type		PCIe1 控制器的类型。 0x0: PCI Express EP 设备; 0x1: Legacy PCI Express 设备; 0x4: PCI Express RC 设备; 其它: 保留。																											



[27:22]	RW	pcie1_slv_resp_err_map	<p>PCIe1 控制器 AXI 总线 slave 端口错误映射。</p> <p>用于控制由 PCIe1 控制器 AXI 总线 slv 端口发出的操作对应的 PCIe 完成事务包的错误类型到 AXI 总线错误的映射关系。其中每一比特位对应一种 PCIe 完成事务包的错误类型。</p> <p>各比特位和 CPL 错误的对应关系如下：</p> <p>[22]: CPL UR 错误。</p> <p>[23]: CPL CRS 错误。</p> <p>[24]: CPL CA 错误。</p> <p>[25]: CPL Poisoned 错误。</p> <p>[26]: CPL ECRC 错误。</p> <p>[27]: CPL Timeout 错误。</p> <p>若对应的比特位为 0，则将对应的 PCIe 错误转换为 AXI 总线的 DECERR 错误类型。</p> <p>若对应的比特位为 1，则将对应的 PCIe 错误转换为 AXI 总线的 SLVERR 错误类型。</p>
[21:0]	RW	pcie1_slv_awmisc_info	<p>PCIe1 控制器 AXI 总线 Slave 端口写请求的附加信息。</p> <p>在 AXI 总线 Slave 端口上发起写请求时提供补充信息，包括此操作对应的 PCIe 事务类型等信息。各比特位提供的信息如下：</p> <p>[4:0]: PCIe 事务类型。</p> <p>[5]: PCIe 事务的 BCM 字段，必须设置为 0。</p> <p>[6]: PCIe 事务的 EP 字段。</p> <p>[7]: PCIe 事务的 TD 字段。</p> <p>[9:8]: PCIe 事务的 ATTR 字段。</p> <p>[12:10]: PCIe 事务的 TC 字段。</p> <p>[20:13]: PCIe 消息事务的消息代码。</p> <p>[21]: 保留。</p>

PERIPHCTRL71

PERIPHCTRL71 为 PCIe1 Controller 控制寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x0150		PERIPHCTRL71		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pciel_ven_msg_code								pciel_app_clk_req_n	pciel_common_clocks			pcie10_slv_armisc_info																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	pciel_ven_msg_code	PCIe1 控制器厂商自定义消息的消息代码。 当由 PCIe1 发送厂商定义消息时，此寄存器指定厂商自定义消息的消息代码。																													
[23]	RW	pciel_app_clk_req_n	PCIe1 控制器应用层时钟请求。 0: 申请时钟； 1: 不申请时钟。																													
[22]	RW	pciel_common_clocks	指示 PCIe1 控制器和对端 PCIe 设备是否使用同一个参考时钟。 0: 不使用同一个参考时钟； 1: 使用同一个参考时钟。																													
[21:0]	RW	pcie10_slv_armisc_info	PCIe1 控制器 AXI 总线 Slave 端口读请求的附加信息。 在 AXI 总线 Slave 端口上发起读请求时提供补充信息，包括此操作对应的 PCIe 事务类型等信息。各比特位提供的信息如下： [4:0]: PCIe 事务类型。 [5]: PCIe 事务的 BCM 字段，必须设置为 0。 [6]: PCIe 事务的 EP 字段。 [7]: PCIe 事务的 TD 字段。 [9:8]: PCIe 事务的 ATTR 字段。 [12:10]: PCIe 事务的 TC 字段。 [20:13]: PCIe 消息事务的消息代码。 [21]: 保留。																													



PERIPHCTRL72

PERIPHCTRL72 为 PCIe1 Controller 控制寄存器 2。

Offset Address		Register Name		Total Reset Value																												
0x0154		PERIPHCTRL72		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie1_ven_msi_venctor				pcie1_ven_msi_req	reserved																										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:27]	RW	pcie1_ven_msi_venctor	PCIe1 控制器 MSI 数据调整控制寄存器。 当 PCIe1 控制器发起 MSI 中断请求时，此寄存器的值是 MSI 数据的最低 5 比特(此寄存器的值与 MSI 数据寄存器的值按位或的值为新的 MSI 数据)。																													
[26]	RW	pcie1_ven_msi_req	PCIe1 控制器是否请求发送消息中断(MSI)。 0: 无请求; 1: 请求。																													
[25:0]	-	reserved	保留。																													

PERIPHCTRL73

PERIPHCTRL73 为 PCIe1 Controller 控制寄存器 3。



Offset Address		Register Name		Total Reset Value																												
0x0158		PERIPHCTRL73		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				pciel_ven_msg_tag				pciel_ven_msg_len				pciel_ven_msg_attr		pciel_ven_msg_ep	pciel_ven_msg_td	pciel_ven_msg_type				pciel_ven_msg_fmt		pciel_ven_msg_req									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:30]	-	reserved	保留。																													
[29:22]	RW	pciel_ven_msg_tag	当由 PCIe1 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的标记(Tag)字段。																													
[21:12]	RW	pciel_ven_msg_len	当由 PCIe1 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的长度(Length)字段。																													
[11:10]	RW	pciel_ven_msg_attr	当由 PCIe1 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的属性(Attr)字段。																													
[9]	RW	pciel_ven_msg_ep	当由 PCIe1 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的数据中毒(EP)字段。																													
[8]	RW	pciel_ven_msg_td	当由 PCIe1 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的摘要存在(TD)字段。																													
[7:3]	RW	pciel_ven_msg_type	当由 PCIe1 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的类型(Type)字段。																													
[2:1]	RW	pciel_ven_msg_fmt	当由 PCIe1 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的格式(Fmt)字段。																													
[0]	RW	pciel_ven_msg_req	PCIe1 控制器是否请求发送一个厂商定义的消息。 0: 不请求; 1: 请求。																													



PERIPHCTRL74

PERIPHCTRL74 为 PCIe1 Controller 控制寄存器 4。

(Vendor Message 相关)

Offset Address		Register Name		Total Reset Value				
0x015C		PERIPHCTRL74		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	picel_ven_msg_data_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	picel_ven_msg_data_low	当由 PCIe1 控制器发起 PCIe 厂商自定义消息事务时，此寄存器用于配置 PCIe 厂商自定义消息事务数据包的第三个双字 (DWORD)。					

PERIPHCTRL75

PERIPHCTRL75 为 PCIe1 Controller 控制寄存器 5。

Offset Address		Register Name		Total Reset Value				
0x0160		PERIPHCTRL75		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	picel_ven_msg_data_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	picel_ven_msg_data_high	当由 PCIe1 控制器发起 PCIe 厂商自定义消息事务时，此寄存器用于配置 PCIe 厂商自定义消息事务数据包的第四个双字 (DWORD)。					

PERIPHCTRL76

PERIPHCTRL76 为 PCIe1 Controller 控制寄存器 6。



Offset Address		Register Name		Total Reset Value					
0x0164		PERIPHCTRL76		0x0400_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	slot_led_blink_period								
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	slot_led_blink_period	PCIe1 控制器插槽状态指示 LED 闪烁周期控制。 LED 灯闪烁周期 = 该寄存器的值 x4(ns)。						

PERIPHCTRL77

PERIPHCTRL77 为 PCIe1 Controller 控制寄存器 7。

Offset Address		Register Name		Total Reset Value					
0x0168		PERIPHCTRL77		0x0000_0800					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20]	RW	pcie1_cfg_l2_clk_removal_en	PCIe1 控制器在 L1 状态是否使能移除参考时钟。 0: 禁止在 L1 状态下移除参考时钟; 1: 允许在 L1 状态下移除参考时钟。						
[19]	-	reserved	保留。						



[18]	RW	pciel_sys_cmd_completed_int	PCIe1 控制器热插拔命令完成中断。表明热插拔控制器已完成一个命令。 0: 中断无效; 1: 中断有效。
[17]	RW	pciel_sys_pre_detected	PCIe1 控制器卡槽状态是否改变。 0: 卡槽未改变; 1: 卡槽改变。
[16]	RW	pciel_sys_mrl_sensor_chged	PCIe1 控制器 MRL 传感器的状态是否改变。 0: MRL 状态未改变; 1: MRL 状态改变。
[15]	RW	pciel_sys_pwr_fault_det	PCIe1 控制器电源控制器在插槽中侦测到电源故障。 0: 未侦测到电源故障; 1: 侦测到电源故障。
[14]	RW	pciel_sys_mrl_sensor_state	PCIe1 控制器 MRL 传感器状态。表明 PCIe1 控制器插槽锁扣传感器当前状态。 0: PCI Express 卡槽锁扣已扣上; 1: PCI Express 卡槽锁扣已松开。
[13]	RW	pciel_sys_pre_detected_state	PCIe1 控制器卡存在检测状态。表明 PCIe1 控制器卡槽里是否插入卡。 0: PCI Express 卡槽无卡; 1: PCI Express 卡槽有卡。
[12]	RW	pciel_cfg_pwr_controller_ctrl_pol	PCIe1 控制器插槽电源控制极性控制。 0: 低有效; 1: 高有效。
[11]	RW	pciel_app_ltssm_enable	PCIe1 控制器使能。 用于控制是否使能 PCIe1 控制器，在复位之后未初始化好 PCIe1 控制器之前，需设置此寄存器为 0，设置此寄存器为 1 开始 PCIe 轮询过程。 0: 不使能 PCIe1 控制器; 1: 使能 PCIe1 控制器。
[10]	RW	pciel_sys_aux_pwr_detected	PCIe1 控制器辅助电源侦测，表明是否存在辅助电源。 0: 辅助电源不存在; 1: 辅助电源存在。



[9]	RW	pciel_apps_pm_xmt_pme	PCIe1 控制器低功耗状态唤醒，设置此位以将 PCIe1 控制器从低功耗状态(D1,D2 或 D3)状态唤醒至 D0 状态。此寄存器功能和 pcie1_outband_pwrup_cmd 寄存器功能相同 0: 不唤醒; 1: 唤醒。
[8]	RW	pciel_apps_pm_xmt_turnoff	PCIe1 控制器 PM_TRUN_OFF 消息请求，表明 PCIe1 应用层请求产生一个 PM_TURN_OFF 消息。 0: 不请求; 1: 请求。
[7]	RW	pciel_app_unlock_msg	PCIe1 控制器 Unlock 消息请求。表明 PCIe1 应用层请求产生一个 Unlock 消息。 0: 不请求; 1: 请求。
[6]	RW	pcie1_outband_pwrup_cmd	PCIe1 控制器低功耗状态唤醒，设置此位以将 PCIe1 控制器从低功耗状态(D1,D2 或 D3)状态唤醒至 D0 状态。此寄存器功能和 pcie0_apps_pm_xmt_pme 寄存器功能相同 0: 不唤醒; 1: 唤醒。
[5]	RW	pcie1_sys_int	PCIe1 控制器中断请求。 此寄存器值由 0 变为 1 时，PCIe1 控制器产生一个 Assert_INTx 消息; 此寄存器值由 1 变为 0 时，PCIe1 控制器产生一个 Deassert_INTx 消息。
[4]	RW	pciel_app_req_retry_en	PCIe1 控制器推迟接收配置请求。 在 PCIe1 控制器未完成初始化时，设置此位有效以暂缓接收对端设备发送的配置请求。当此位有效时，PCIe0 控制器对接收到的配置请求返回重试数据包，对接收到的其他请求返回不支持的请求数据包(UR)。 0: 无效; 1: 有效。
[3]	RW	pciel_app_req_exit_l1	PCIe1 控制器应用层请求退出 L1 状态。 0: 不请求; 1: 请求。
[2]	RW	pciel_app_ready_enter_l23	PCIe1 控制器应用层请求进入 L2/L3 状态。 0: 不请求; 1: 请求。



[1]	RW	pcie1_app_req_entr_11	PCIe1 控制器应用层请求进入 L1 状态。 0: 不请求; 1: 请求。
[0]	RW	pcie1_app_init_rst	PCIe1 控制器应用层请求发送一个 Hot 复位给下游端口设备。 0: 不请求; 1: 请求。

PERIPHCTRL78

PERIPHCTRL78 为 PCIe1 Controller 控制寄存器 8。

	Offset Address 0x016C				Register Name PERIPHCTRL78								Total Reset Value 0x0000_2081																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												pcie1_shared_dbi_addr																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		pcie1_shared_dbi_addr		PCIe1 控制器寄存器空间基地址。 必须设置为 0x2081。																											

PERIPHCTRL79

PERIPHCTRL79 为 PCIe1 PHY 控制寄存器 0。



Offset Address		Register Name		Total Reset Value																																
0x0170		PERIPHCTRL79		0x0560_5000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				mpll_ncy				mpll_ncy5		mpll_prescale		mpll_ss_en		mpll_ss_sel		cko_alive_con		los_lvl				ref_clk_sel				rtune_do_tune		use_refclk_alt							
Reset	0	0	0	0	0	1	0	1	0	1	1	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:29]	-	reserved	保留。																																	
[28:24]	RW	mpll_ncy	PCIe1 PHY 内部 MPLL 工作参数。 必须设置为 5'b00101。																																	
[23:22]	RW	mpll_ncy5	PCIe1 PHY 内部 MPLL 工作参数。 必须设置为 2'b01。																																	
[21:20]	RW	mpll_prescale	PCIe1 PHY 中 MPLL 的参考时钟预分频设置，表明 PCIe PHY 使用哪种时钟作为 MPLL 的输入。 00: 直接使用参考时钟； 01: 将参考时钟两倍频； 10: 将参考时钟二分频； 11: 保留。 MPLL 输入时钟范围为 50~78.125MHz,Hi3531 中 PCIe 参考时钟为 100MHz，因此此位必须设置为 2'b10。																																	
[19]	RW	mpll_ss_en	PCIe1 PHY 扩频功能使能。 0: 禁止扩频功能； 1: 使能扩频功能。 保留，必须设置为 0。																																	
[18:17]	RW	mpll_ss_sel	PCIe1 PHY 扩频选择。 保留，必须设置为 0。																																	
[16:15]	RW	cko_alive_con	PCIe1 PHY cko_alive 时钟输出选择。 00: 不输出 cko_alive 时钟； 01: 保持 prescaler 的频率输出； 10: 输出低频，为预分频器输出的十六分之一； 11: 保留。																																	



[14:10]	RW	los_lvl	PCIe1 PHY LOS 信号侦测电平控制。 建议配置为 5'b10100。
[9:2]	RW	ref_clk_sel	PCIe1 PHY 参考时钟频率选择。 用于设置 MPLL 输出时钟和参考时钟的相移。 0x00: 没有移相(缺省); 其它: 保留。
[1]	RW	rtune_do_tune	PCIe1 PHY 电阻调节使能信号。 0: 不进行校准; 1: 重新对电阻进行校准。
[0]	RW	use_refclk_alt	PCIe1 PHY 参考时钟选择信号。 0: 使用 refclk 这组差分信号作为参考时钟(来源于时钟管脚); 1: 使用 refclk_alt 这组差分信号作为参考时钟(来源于芯片内部 CRG)。

PERIPHCTRL80

PERIPHCTRL80 为 PCIe1 PHY 控制寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0174		PERIPHCTRL80		0x2005_0006				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved rx_eq_val_0	reserved	tx_atten_0	reserved	tx_boost_0	reserved	tx_clk_align tx_edgerate_0	reserved tx_lvl
Reset	0 0 1 0	0 0 0 0	0 0 0 0	0 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0
Bits	Access	Name	Description					
[31]	-	reserved	保留。					
[30:28]	RW	rx_eq_val_0	PCIe1 PHY 接收器均衡控制。 必须设置为 3'b010。					
[27:25]	-	reserved	保留。					



[24:22]	RW	tx_atten_0	PCIe1 PHY 发送器衰减控制。 000: 无衰减; 其它: 保留。
[21:19]	-	reserved	保留。
[18:15]	RW	tx_boost_0	PCIe1 PHY 发送器增益控制。 发送器增益计算公式为: $boost = -20 * \log(1 - (tx_boost[3:0] + 0.5) / 32) db$ 建议设置为 4'b1010。
[14:11]	-	reserved	保留。
[10:9]	RW	tx_clk_align	PCI1 PHY 发送时钟对齐。 0: 不对齐; 1: 对齐。
[8:7]	RW	tx_edgerate_0	PCI1 PHY 发送端边沿速率控制。 必须设置为 2'b00。
[6:5]	-	reserved	保留。
[4:0]	RW	tx_lvl	PCIe1 PHY 发送电平参数。 建议设置为 00110。

SCSYSID0

SCSYSID0 为芯片 ID 寄存器 0。

	Offset Address			Register Name			Total Reset Value		
	0xEE0			SCSYSID0			0x00		
Bit	7	6	5	4	3	2	1	0	
Name	sysid0								
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:0]	RO	sysid0	读该寄存器返回 0x00。						

SCSYSID1

SCSYSID1 为芯片 ID 寄存器 1。



	Offset Address			Register Name			Total Reset Value	
	0xEE4			SCSYSID1			0x01	
Bit	7	6	5	4	3	2	1	0
Name	sysid1							
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:0]	RO	sysid1	读该寄存器返回 0x01。					

SCSYSID2

SCSYSID2 为芯片 ID 寄存器 2。

	Offset Address			Register Name			Total Reset Value	
	0xEE8			SCSYSID2			0x31	
Bit	7	6	5	4	3	2	1	0
Name	sysid2							
Reset	0	0	1	1	0	0	0	1
Bits	Access	Name	Description					
[7:0]	RO	sysid2	读该寄存器返回 0x31。					

SCSYSID3

SCSYSID3 为芯片 ID 寄存器 3。

	Offset Address			Register Name			Total Reset Value	
	0xEEC			SCSYSID3			0x35	
Bit	7	6	5	4	3	2	1	0
Name	sysid3							
Reset	0	0	1	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RO	sysid3	读该寄存器返回 0x35。					



3.5 直接存储器访问控制器

3.5.1 概述

直接存储器访问（DMA）方式，是一种完全由硬件执行 I/O 交换的工作方式。在这种方式中，直接存储器访问控制器（DMAC）直接在存储器和外设、外设和外设、存储器和存储器之间进行数据传输，避免处理器干涉并减少了处理器中断处理开销。DMA（Directory Memory Access）方式一般用于高速传输成组的数据。DMAC（Directory Memory Access Controller）在收到 DMA 传输请求后根据 CPU 对通道的配置启动总线主控制器，向存储器和外设发出地址和控制信号，对传输数据的个数计数，并且以中断方式向 CPU 报告传输操作的结束或错误。

3.5.2 特点

DMA 控制器有如下特点：

- 支持 8bit、16bit、32bit 数据位宽方式传输。
- 提供 8 个 DMA 通道，每个通道可配置用于一种单向传输。
- DMA 通道优先级固定，优先级从高到低对应的通道号依次为 0~7。当来自 2 个外设的 DMA 请求同时有效时，优先级高的通道先开始传输。
- DMAC 通道 0~通道 5 中各包含 1 个 4x32bit 的 FIFO，DMAC 通道 6~7 中各包含 1 个 16x32bit 的 FIFO。
- 提供 2 个总线宽度为 32bit 的 Master 总线接口用于数据传输。
- 外设可使用单次传输（single）和连续传输（burst）2 种 DMA 请求。
- 提供 16 组 DMA 请求输入，可通过配置，作为通道的源端请求或目的端请求。
- 支持软件控制的 DMA 请求。
- 支持通过编程决定 DMA burst 长度。
- 源地址和目的地址可分别配置为在 DMA 传输过程中自动递增或不递增。
- 支持 4 种数据传输方向：
 - 存储器至外设
 - 存储器至存储器
 - 外设至存储器
 - 外设至外设
- 支持链表 DMA 传输。
- 支持 DMAC 流控。
- 提供 1 个可屏蔽中断输出，支持 DMA 错误和 DMA 传输完成中断屏蔽前后状态查询，及两者的组合中断状态查询。
- 支持 DMAC 使能禁止，用于功耗控制，支持 DMAC 时钟门控。

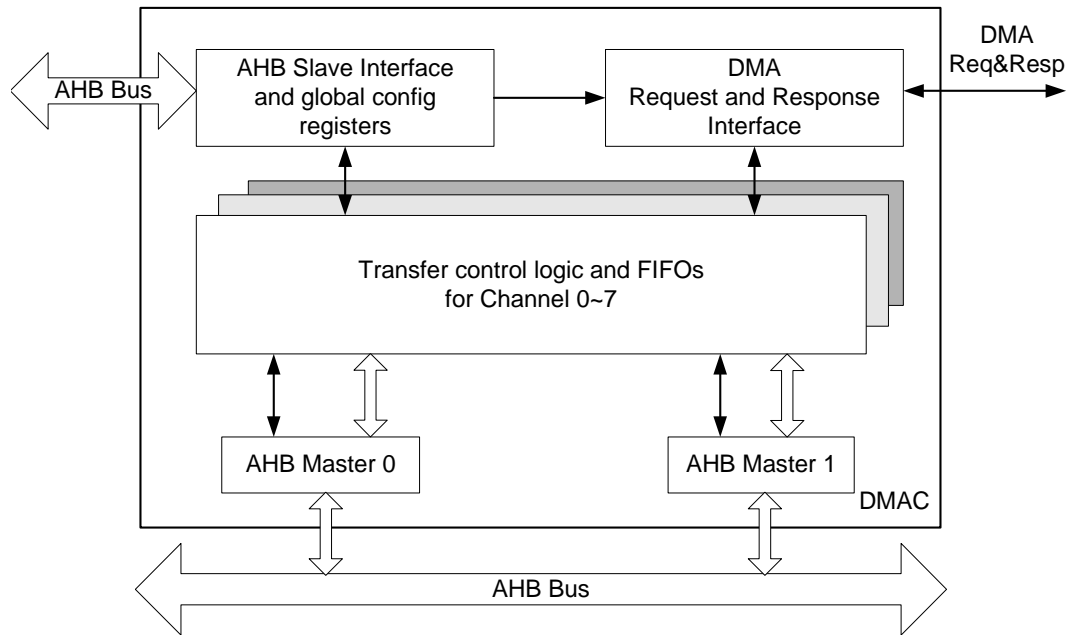


3.5.3 功能描述

功能框图

DMAC 的功能框图如图 3-5 所示。

图3-5 DMAC 功能框图



DMAC 的每一个通道都内含一组传输控制逻辑和一个 FIFO，传输控制逻辑自动完成以下过程：

1. 从软件指定的源地址位置读取数据。
2. 缓存到通道内含的 FIFO 中。
3. 从通道 FIFO 中取出数据。
4. 写入到软件指定的目的地址位置。

----结束

工作流程

DMAC 基本工作流程如下：

1. 软件选定 DMAC 的一个通道用于 DMA 传输，配置该通道的源地址、目的地址、链表头指针、传输数据个数、源设备和目的的设备对应的 DMAC 请求线号、源设备和目的的设备使用的 Master，并启动该通道。一旦通道被启动，DMAC 硬件即开始检测与该通道相连的源外设和目的设备的 DMA 请求线上的活动。

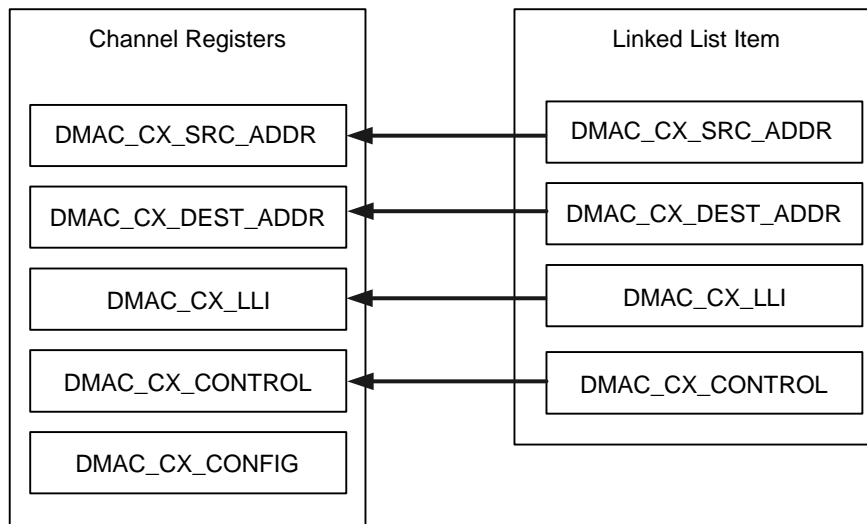


2. 源设备向 DMAC 发起 DMA 请求（如果源设备为存储器，DMAC 默认其 DMA 请求始终有效）。
3. DMAC 通道响应源设备 DMA 请求，从源设备读取数据并存入通道内部的 FIFO 中。
4. 目的设备向 DMAC 发起 DMA 请求（如果目的设备为存储器，DMAC 默认其 DMA 请求始终有效）。
5. DMAC 通道响应目的设备 DMA 请求，从通道内部的 FIFO 中取出数据并写入目的设备。
6. 步骤 2、3 和步骤 4、5 可能是并发执行的，因为源设备和目的设备有可能同时向 DMAC 发起 DMA 请求。当出现 DMA 通道 FIFO 被写满而目的设备来不及读走、或 DMA 通道 FIFO 被读空而源设备来不及写入时，DMAC 自动阻塞源设备或目的设备的 DMA 请求，直到相应的 FIFO 空满状态解除为止。在 DMAC 与源设备、目的设备的多次交互过程中，步骤 2~5 反复被执行，直到软件指定的数据传输全部完成时，发出传输完成中断（该中断可被屏蔽）。如果寄存器 `DMAC_CXLLI` 不为 0，则以该寄存器的值为地址读取链表结点，并将读取值依次载入 `DMAC_CX_SRC_ADDR`、`DMAC_CX_DEST_ADDR`、`DMAC_CXLLI` 以及 `DMAC_CX_CONTROL` 这四个寄存器（如图 3-6 所示），然后回到步骤 2。若寄存器 `DMAC_CXLLI` 的值为 0 则停止当前的 DMA 传输，通道自动关闭，传输过程结束。

----结束

LLI 更新通道寄存器示意如图 3-6 所示。

图3-6 LLI 更新通道寄存器示意图



DMA 与外设的连接关系

外设利用 DMA 请求信号向 DMAC 请求发起数据传输。

DMAC 为每个外设提供了 2 种 DMA 请求信号，分别为：

- DMACBREQ



burst 传输请求信号。该信号引发一次 burst 传输，burst 长度为预先设定值。

- DMACSREQ

单次传输请求信号。该信号引发一次单次传输，即 DMAC 从外设读取一个数据或向外设写一个数据。

DMAC 提供一个请求清除信号 DMACLR:

DMAC 向每个外设发出的 DMA 请求清除信号，用于应答外设的 DMA 请求信号。

DMAC 请求线

DMAC 的硬件请求和相应设备的对应关系如表 3-28 所示。

表3-28 DMA 的外设请求分配定义

DMAC 控制器硬件 请求线编号	对应设备
0	SIO0 接收通道
1	SIO1 接收通道
2	SIO2 接收通道
3	SIO3 接收通道
4	SIO4 接收通道
5	SIO4 发送通道
6	SIO5 发送通道
7	保留
8	保留
9	保留
10	保留
11	保留
12	UART RX 通道 DMA 请求(系统控制器配置选择某个 UART)
13	UART TX 通道 DMA 请求(系统控制器配置选择某个 UART)
14	SSP RX 通道 DMA 请求
15	SSP TX 通道 DMA 请求

DMA 通道对应的源端和目的端请求由软件配置。例如，DMA 请求号 0 为 SIO0 的接收通道请求，若希望使用通道 3 传输 SIO0 的接收数据，则应配置 DMA 请求号 0 作为通道 3 的源端请求。



存储器没有 DMA 请求线，当 DMA 传输的一方为存储器时，DMAC 默认其 DMA 请求是始终有效的。由于 DMAC 的通道 6、7 上的传输，每次总线操作之后，都会插入 IDLE 周期，供高优先级通道的 Master 占用总线进行传输；因此，建议将存储器到存储器的传输配置到通道 6、7 进行，以免总线上其它通道较长时间无法占用总线。

3.5.4 工作方式

时钟门控

当出现以下情况时，可以通过软件关闭 DMAC，并关断 DMAC 时钟以降低功耗：

- DMAC 的各个通道均处于空闲状态且没有 DMA 传输请求
- `DMAC_CX_CONFIG[e]=0`，DMAC 通道被关闭

关断 DMAC 时钟的步骤如下：

1. 向 `DMAC_CX_CONFIG[e]` 写 0，关闭 DMAC 通道。
2. 向 `DMAC_CONFIG [e]` 写 0，禁止 DMAC。
3. 向 `PERI_CRG56[dma_cken]` 写 0，关闭 DMA 模块总线时钟门控，最终关闭 DMAC 时钟。
4. 当需要使用 DMAC 进行数据传输时，重新打开时钟并启动 DMAC。

----结束

初始化

初始化 DMAC 步骤如下：

1. 写寄存器 `DMAC_CONFIG`，设置 DMAC 的 Master1、Master2 的 Endianness，向 `DMAC_CONFIG[e]` 写 1，启动 DMAC。
2. 写寄存器 `DMAC_INT_ERR_CLR` 和 `DMAC_INT_TC_CLR` 的所有位为 1，清除所有中断状态。
3. 写寄存器 `DMAC_SYNC` 相应位为 0，设置需要进行同步的 DMA 请求信号组。
4. 依次配置并关闭各个通道。向每个通道的 `DMAC_CX_CONFIG[e]` 写 0，关闭通道。

----结束

启动通道

DMAC 初始化完成之后，需要配置并启动 DMAC 通道，才可以使用 DMAC 来进行数据传输。通道的配置启动步骤如下：

1. 读 `DMAC_ENBLD_CHNS` 寄存器，找出处于非传输状态的通道，并从中选择一个通道用于配置。
2. 向寄存器 `DMAC_INT_ERR_CLR` 和 `DMAC_INT_TC_CLR` 的相应位写 1，清除选定通道的中断状态。



3. 配置并启动选定的通道。配置步骤如下：
 - a. 写通道寄存器 `DMAC_CX_SRC_ADDR`，设置源设备访问首地址。
 - b. 写通道寄存器 `DMAC_CX_DEST_ADDR`，设置目的设备访问首地址。
 - c. 如果配置通道用于单块数据传输，则将通道寄存器 `DMAC_CXLLI` 配置为 0。
 - d. 如果配置通道用于链表数据传输，则将通道寄存器 `DMAC_CXLLI` 配置为链表头指针。
 - e. 写通道寄存器 `DMAC_CX_CONTROL`，设置访问源/目的设备所采用的 Master、源/目的设备的位宽、burst size、地址递增以及 transfer size 等参数。
 - f. 写通道寄存器 `DMAC_CX_CONFIG`，设置本通道的 DMA 请求信号、流控方式及中断屏蔽。`DMAC_CX_CONFIG[e]` 此时应写入 0，即暂不启动该通道。
 - g. 写通道寄存器 `DMAC_CX_CONFIG`，启动该通道。注意此时该寄存器的写入值除 Channel Enable 位改为 1 外，其他位不变。

----结束

中断处理

DMAC 通道配置启动传输完成之后或传输过程中出现错误，都会上报中断给中断控制器。中断程序的处理步骤如下：

1. 读中断状态寄存器 `DMAC_INT_STAT`，找出发出中断请求的通道。当多个通道同时发出中断请求时，先服务优先级最高的中断。
2. 读寄存器 `DMAC_INT_TC_STAT`，比较选定的位是否为 1，以确定对应通道发出的中断为传输完成中断。若是，则转到步骤 4 执行；否则转到步骤 3 继续执行。
3. 读寄存器 `DMAC_INT_ERR_STAT`，比较选定的位是否为 1，以确定对应通道发出的中断为错误中断。若是则转到步骤 5 执行；否则退出中断处理。
4. 传输完成中断处理。可分为以下几个子步骤：
 - a. 写寄存器 `DMAC_INT_TC_CLR`，对选定的位写入 1，清除对应通道的中断状态。
 - b. 取走或使用掉内存中 buffer 中的数据，有必要的话（如：需在内存中新开辟一个 buffer）重新配置并启动该通道。
 - c. 退出中断处理。
5. 错误中断处理。可分为以下几个子步骤：
 - a. 写寄存器 `DMAC_INT_ERR_CLR`，对选定的位写入 1，清除对应通道的中断状态。
 - b. 给出错误信息，有必要的话重新配置并启动该通道。
 - c. 退出中断处理。

----结束



3.5.5 寄存器概览

表3-29 DMAC 寄存器概览（基址是 0x100D_0000）

偏移地址	寄存器名	功能简述	页码
0x000	DMAC_INT_STAT	DMAC 中断状态寄存器	3-213
0x004	DMAC_INT_TC_STAT	DMAC 传输完成中断状态寄存器	3-213
0x008	DMAC_INT_TC_CLR	DMAC 传输完成中断清除寄存器	3-214
0x00C	DMAC_INT_ERR_STAT	DMAC 错误中断状态寄存器	3-214
0x010	DMAC_INT_ERR_CLR	DMAC 错误中断清除寄存器	3-215
0x014	DMAC_RAW_INT_TC_STAT	DMAC 原始传输完成中断状态寄存器	3-215
0x018	DMAC_RAW_INT_ERR_STAT	DMAC 原始错误中断状态寄存器	3-215
0x01C	DMAC_ENBLD_CHNS	DMAC 通道使能状态寄存器	3-216
0x020	DMAC_SOFT_BREQ	软件 Burst DMA 请求寄存器	3-216
0x024	DMAC_SOFT_SREQ	软件 Single DMA 请求寄存器	3-217
0x028	DMAC_SOFT_LBREQ	软件 Last Burst DMA 请求寄存器	3-218
0x02C	DMAC_SOFT_LSREQ	软件 Last Single DMA 请求寄存器	3-218
0x030	DMAC_CONFIG	DMAC 配置寄存器	3-219
0x034	DMAC_SYNC	DMAC 请求同步寄存器	3-220
0x100+n x 0x20。	DMAC_Cn_SRC_ADDR	源地址寄存器	3-220
0x104+n x 0x20	DMAC_Cn_DEST_ADDR	目的地址寄存器	3-221
0x108+n x 0x20	DMAC_Cn_LLI	链表项寄存器	3-222
0x10C+n x 0x20	DMAC_Cn_CONTROL	控制寄存器	3-223
0x110+n x 0x20	DMAC_Cn_CONFIG	配置寄存器	3-227



3.5.6 DMA 寄存器描述

DMAC_INT_STAT

中断状态寄存器，给出经过屏蔽后的中断状态。若寄存器

[DMAC_INT_TC_STAT](#) 和 [DMAC_INT_ERR_STAT](#) 的相应位同时被屏蔽，则该寄存器的对应位被屏蔽。该寄存器的每 1 位对应着 DMAC 的 1 个通道。当某 1 位为 1 时，表示相应的通道有中断请求产生，该中断请求可能来自该通道的错误中断或传输完成中断。

Offset Address		Register Name		Total Reset Value						
0x000		DMAC_INT_STAT		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						int_stat			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RO	int_stat	DMA 各通道经屏蔽后的中断状态，bit[7:0]分别对应通道 7~0。 0: 未产生中断； 1: 已产生中断，该中断请求可能来自该通道的错误中断或传输完成中断。							

DMAC_INT_TC_STAT

DMAC 传输完成中断状态寄存器，给出经过屏蔽后的传输完成中断状态，对应的屏蔽位为寄存器 [DMAC_Cn_CONFIG\[itc\]](#)（其中 n 表示通道号 0~7）。该寄存器必须和寄存器 [DMAC_INT_STAT](#) 结合在一起使用。

Offset Address		Register Name		Total Reset Value						
0x004		DMAC_INT_TC_STAT		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						int_tc_stat			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							



[7:0]	RO	int_tc_stat	经过屏蔽后的传输完成中断状态，bit[7:0]分别对应通道 7~0。 0: 未产生传输完成中断； 1: 已产生传输完成中断。
-------	----	-------------	--

DMAC_INT_TC_CLR

传输结束状态清除寄存器，用于清除传输完成中断。

	Offset Address	Register Name	Total Reset Value													
	0x008	DMAC_INT_TC_CLR	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved												int_tc_clr			
Reset	0 0															
Bits	Access	Name	Description													
[31:8]	-	reserved	保留。													
[7:0]	WO	int_tc_clr	清除传输完成中断，bit[7:0]分别对应通道 7~0。 0: 不清除该中断； 1: 清除该中断。													

DMAC_INT_ERR_STAT

错误中断状态寄存器，给出经过屏蔽后的错误中断状态，对应的屏蔽位为寄存器 [DMAC_Cn_CONFIG\[ie\]](#)。该寄存器必须和 [DMAC_INT_STAT](#) 寄存器结合在一起使用。

	Offset Address	Register Name	Total Reset Value													
	0x00C	DMAC_INT_ERR_STAT	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved												int_err_stat			
Reset	0 0															
Bits	Access	Name	Description													
[31:8]	-	reserved	保留。													
[7:0]	RO	int_err_stat	经过屏蔽后的错误中断状态，bit[7:0]分别对应通道 7~0。 0: 未产生错误中断； 1: 产生了错误中断。													



DMAC_INT_ERR_CLR

错误中断清除寄存器，用于清除出错中断。

Offset Address		Register Name		Total Reset Value						
0x010		DMAC_INT_ERR_CLR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						int_err_clr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	WO	int_err_clr	清除出错中断，bit[7:0]分别对应通道 7~0。 0: 不清除该中断； 1: 清除该中断。							

DMAC_RAW_INT_TC_STATUS

原始传输完成中断状态寄存器，给出各通道屏蔽前的传输完成中断状态。

Offset Address		Register Name		Total Reset Value						
0x014		DMAC_RAW_INT_TC_STATUS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						raw_int_tc_stat			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RO	raw_int_tc_stat	原始传输完成中断状态，bit[7:0]分别对应通道 7~0。 0: 未产生传输完成中断； 1: 产生了传输完成中断。							

DMAC_RAW_INT_ERR_STATUS

原始传输错误中断状态寄存器，给出各通道屏蔽前的错误中断状态。



Offset Address		Register Name		Total Reset Value						
0x018		DMAC_RAW_INT_ERR_STATUS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						raw_int_err_stat			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RO	raw_int_err_stat	各通道屏蔽前的错误中断状态，bit[7:0]分别对应通道 7~0。 0：未产生错误中断； 1：产生了错误中断。							

DMAC_ENBLD_CHNS

通道使能寄存器，用于表明被使能的通道。

如寄存器 `DMAC_ENBLD_CHNS` 的某位为 1，表示对应的通道被使能。使能某个通道，由该通道的通道寄存器 `DMAC_Cn_CONFIG` 的使能位决定。当某个通道的 DMA 传输结束时，寄存器 `DMAC_ENBLD_CHNS` 中与该通道对应的位被清零。

Offset Address		Register Name		Total Reset Value						
0x01C		DMAC_ENBLD_CHNS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						enabled_channels			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RO	enabled_channels	通道使能状态，bit[7:0]分别对应通道 7~0。 0：禁止； 1：使能。							

DMAC_SOFT_BREQ

软件 Burst 请求寄存器，用于供软件控制产生 DMA burst 请求。

读该寄存器，可得知当前正在请求 DMA Burst 传输的设备。外设和该寄存器都可以产生 1 个 DMA 请求。



说明

建议不要同时使用软件 DMA 请求和硬件 DMA 请求。

Offset Address		Register Name		Total Reset Value					
0x020		DMAC_SOFT_BREQ		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				soft_breq				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	soft_breq	用于软件控制产生 DMA burst 传输请求，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。 当写该寄存器时： 0：无影响； 1：产生 DMA burst 传输请求，当传输结束时该寄存器中的相应位被清零。 当读该寄存器时： 0：与请求线 DMACBREQ[15:0]对应的外设未发出 DMA Burst 请求； 1：与请求线 DMACBREQ[15:0]对应的外设正在请求 DMA Burst 传输。						

DMAC_SOFT_SREQ

软件 Single 请求寄存器，用于供软件控制产生 DMA 单次传输请求。

如读该寄存器，可得知当前正在请求 DMA 单次传输的设备。通过 DMAC 的 16 个 DMA 请求输入信号和该寄存器都可以产生 1 个 DMA 请求。

说明

建议不要同时使用软件 DMA 请求和硬件 DMA 请求。

Offset Address		Register Name		Total Reset Value					
0x024		DMAC_SOFT_SREQ		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				soft_sreq				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RW	soft_sreq	<p>用于软件控制产生 DMA signal 传输请求，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。</p> <p>当写该寄存器时：</p> <p>0：无影响；</p> <p>1：产生 DMA signal 传输请求，当传输结束时该寄存器中的相应位被清零。</p> <p>当读该寄存器时：</p> <p>0：与请求线 DMACBREQ[15:0]对应的外设未发出 DMA signal 请求；</p> <p>1：与请求线 DMACBREQ[15:0]对应的外设正在请求 DMA signal 传输。</p>
--------	----	-----------	--

DMAC_SOFT_LBREQ

软件最后一个 Burst 请求寄存器，用于供软件控制产生 DMA last burst 传输请求。

	Offset Address	Register Name	Total Reset Value													
	0x028	DMAC_SOFT_LBREQ	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								soft_lbreq							
Reset	0 0															
Bits	Access	Name	Description													
[31:16]	-	reserved	保留。													
[15:0]	WO	soft_lbreq	<p>由软件发起 last burst 请求。</p> <p>0：无影响；</p> <p>1：产生 DMA last burst 传输请求，当传输结束时该寄存器中的相应位被清零。</p>													

DMAC_SOFT_LSREQ

软件最后一个 Single 请求寄存器，用于供软件控制产生 DMA last single 传输请求。



Offset Address		Register Name		Total Reset Value					
0x02C		DMAC_SOFT_LSREQ		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				soft_lsreq				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	WO	soft_lsreq	由软件发起 last single 传输请求。 0: 无影响; 1: 产生一个 DMA last single 传输请求, 当传输结束时该寄存器中的相应位被清零。						

DMAC_CONFIG

配置寄存器，用于配置 DMAC 的操作。通过写该寄存器的 m1 (bit[1]) 和 m2 (bit[2])，可改变 DMAC 的 2 个 master 接口的 endianness。复位时，DMAC 的 2 个 master 接口被设为 little endian 模式。

说明

2 个 master 均采用 little endian。

Offset Address		Register Name		Total Reset Value						
0x030		DMAC_CONFIG		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							m2	m1	c
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	-	reserved	保留。							
[2]	RW	m2	Master 2 endianness 配置位。 0: little endian 模式; 1: big endian 模式。							
[1]	RW	m1	Master 1 endianness 配置位。 0: little endian 模式; 1: big endian 模式。							



[0]	RW	e	DMAC 使能。 0: 禁止 DMAC; 1: 使能 DMAC。
-----	----	---	--

DMAC_SYNC

同步寄存器 DMAC_SYNC 用于启用或禁用为 DMA 请求信号提供的同步逻辑。

	Offset Address	Register Name	Total Reset Value	
	0x034	DMAC_SYNC	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
Bits	Access	Name	Description	
[31:16]	-	reserved	保留。	
[15:0]	RW	dmac_sync	控制是否需要请求线进行同步，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。 0: 使能对应外设的 DMA 请求信号同步逻辑； 1: 禁止对应外设的 DMA 请求信号同步逻辑。	

建议各请求均不启用同步。

DMAC_Cn_SRC_ADDR

源地址寄存器，给出当前待传数据的源地址（字节排序）。

寄存器的偏移地址为 $0x100+n \times 0x20$ 。其中 n 的取值为 $0\sim 7$ ，分别对应 DMA 通道 $0\sim 7$ 。

每个寄存器在对应的通道被启动前都要由软件对其直接编程。当通道被启动后，该寄存器在下列情况下更新：

- 当源地址递增时。
- 当传完一个完整的数据块后，从链表结点中载入时。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。对该寄存器的读操作一般是用在通道停止传输的时候，此时读取值显示的是 DMAC 读最后一项时的源地址。

源地址和目的地址必须与源设备和目的设备的传输宽度对齐。



	Offset Address				Register Name								Total Reset Value																							
	0x100+n x 0x20				DMAC_Cn_SRC_ADDR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	src_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RW		src_addr		DMA 源地址。																															

DMAC 提供了 8 个通道，每个通道都包括 5 个通道寄存器：

- [DMAC_Cn_SRC_ADDR](#) 寄存器
- [DMAC_Cn_DEST_ADDR](#) 寄存器
- [DMAC_CnLLI](#) 寄存器
- [DMAC_Cn_CONTROL](#) 寄存器
- [DMAC_Cn_CONFIG](#) 寄存器

当 DMA 从存储器中载入链表结点时，前 4 个寄存器由 DMAC 自动更新。



注意

在 DMA 传输正在进行时，更新通道寄存器会导致 DMAC 产生不可预测的行为。要改变通道的配置，必须先关闭通道然后再配置相关寄存器。

DMAC_Cn_DEST_ADDR

目的地址寄存器，偏移地址为：0x104+n x 0x20。其中，n 的取值为 0~7，分别对应 DMA 通道 0~7。

通道目的地址寄存器 DMAC_Cn_DEST_ADDR 包含了当前待传数据的目的地址（字节排序）。每个寄存器在对应的通道被启动前，都要由软件对其直接编程。当通道被启动后，该寄存器在下列情况下更新：

- 目的地址递增。
- 传完一个完整的数据块后，从链表结点中载入。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。在通道停止传输时，读该寄存器，此时读取值显示的是 DMAC 写最后一项时的目的地址。



	Offset Address				Register Name								Total Reset Value																			
	0x104+n x 0x20				DMAC_Cn_DEST_ADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dest_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:0]	RW	dest_addr		DMA 目的地址。																												

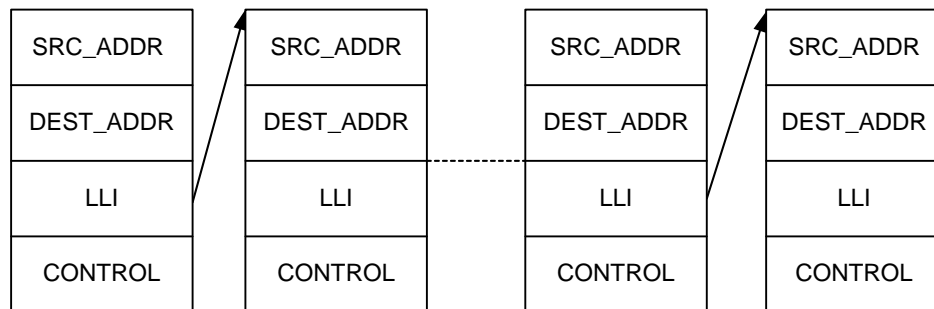
DMAC_CnLLI

链表寄存器，偏移地址为：0x108+n x 0x20。其中，n 的取值为 0~7，分别对应 DMA 通道 0~DMA 通道 7。

DMAC 的链表结点数据结构为：

- 通道寄存器 **DMAC_Cn_SRC_ADDR**，设置源设备首地址。
- 通道寄存器 **DMAC_Cn_DEST_ADDR**，设置目的设备首地址。
- 通道寄存器 **DMAC_CnLLI**，设置下一个结点的地址。
- 通道寄存器 **DMAC_Cn_CONTROL**，设置访问源/目的设备所采用的 Master、源/目的设备的位宽、burst size、地址递增以及 transfer size 等参数。

图3-7 DMAC 链表结构示例



注意

该寄存器的 LLI 字段不应指定 1 个大于 0xFFFF_FFF0 的数。否则，1 个 4 字的 burst 传输将使地址回卷到 0x0000_0000 处，导致链表结点数据结构不能存储在连续的地址区域中。

如果 LLI 的值为 0，表示当前结点是链表的链尾，则当本结点对应的数据块全部传完后，该通道就会被关闭。



Offset Address		Register Name		Total Reset Value					
0x108+n x 0x20		DMAC_CnLLI		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lli							r	lm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RW	lli	Linked list item。下一个链表结点地址的[31:2]位，地址位[1:0]为0。要求链表地址4字节对齐。						
[1]	RW	r	保留，写入时必须写0，读出时应屏蔽该位。						
[0]	RW	lm	用于载入下一个链表结点的 Master。 0: Master1; 1: Master2。						

DMAC_Cn_CONTROL

通道控制寄存器，偏移地址为：0x10C+n x 0x20。其中，n 的取值为0~7，分别对应 DMA 通道 0~DMA 通道 7。

通道控制寄存器包含了 DMA 通道控制信息，如传输长度、burst 长度、传输位宽等。

每个寄存器在对应的通道被启动前，都要由软件对其直接编程。当通道被启动后，该寄存器的值在传完 1 个完整的数据块后，从链表结点载入时更新。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。在通道停止传输时，可进行该寄存器的读操作。

Offset Address		Register Name		Total Reset Value									
0x10C+n x 0x20		DMAC_Cn_CONTROL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	r	prot	di	si	d	s	dwidth	swidth	dbsize	sbsize	transfersize		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31]	RW	i	传输完成中断使能位。该位用于决定当前链表结点是否触发传输完成中断。 0: 当前链表结点不触发传输完成中断; 1: 当前链表结点触发传输完成中断。										



[30:28]	RW	prot	master 发出的访问保护 HPROT[2:0]信号。
[27]	RW	di	目的地址递增。 0: 目的地址不递增; 1: 目的地址每传一个数就递增一次。 目的设备为外设时目的地址不递增; 目的设备为存储器时目的地址递增。
[26]	RW	si	源地址递增: 0: 源地址不递增; 1: 源地址每传一个数就递增一次。 源设备为外设时源地址不递增; 源设备为存储器时源地址递增。
[25]	RW	d	设置访问目的设备的 master: 0: SPDIF、SIO0、SIO1、UART0、UART1、SCI 使用 master1 访问; 1: SPIFlash、Nand Flash、Nor Flash、DDRC 使用 Master2 访问。
[24]	RW	s	设置访问源设备的 master: 0: SPDIF、SIO0、SIO1、UART0、UART1、SCI 使用 Master1 访问; 1: SPI Flash、Nand Flash、Nor Flash、DDRC 使用 Master2 访问。
[23:21]	RW	dwidth	目的设备传输位宽。 宽于 Master 位宽的传输位宽是非法的。 目的设备和源设备的位宽可以不一样, 硬件自动对数据进行 pack 和 unpack。 DWidth 的值和具体的位宽对应关系请参见表 3-31。
[20:18]	RW	swidth	源设备传输位宽。 宽于 Master 位宽的传输位宽是非法的。 目的设备和源设备的位宽可以不一样, 硬件自动对数据进行 pack 和 unpack。 SWidth 的值和具体的位宽对应关系请参见表 3-31。
[17:15]	RW	dbsize	目的设备 burst 长度。 表示 1 次目的设备 burst 传输所需传输的数据个数, 即当 DMACCnBREQ 有效时, 传输的数据个数。 该值必须被设为目的设备支持的 burst 大小, 或者若目的设备为存储器, 被设为到存储地址边界的存储区域大小。 DBSize 的值和具体的传输长度的对应关系请参见表 3-30。



[14:12]	RW	sbsize	<p>源设备 burst 长度。</p> <p>表示 1 次源设备 burst 传输所需传输的数据个数，即当 DMACCnBREQ 有效时，传输的数据个数。</p> <p>该值必须被设为源设备支持的 burst 大小，或者若源设备为存储器时，被设为到存储地址边界的存储区域大小。</p> <p>SBSIZE 的值和具体的传输长度的对应关系请参见表 3-30。</p>
[11:0]	RW	transfersize	<p>通过写该寄存器可设定 DMA 传输的长度，前提是 DMAC 是流控制器。这里 transfer size 表示的源设备待传数据的个数。</p> <p>读该寄存器可得到在与目的设备相连的总线上已传出的数据个数。</p> <p>当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。对该寄存器的读操作一般是用在通道被启动后然后又停止传输时。</p>

DMAC_Cn_CONTROL 寄存器的 DBSize 及 SBSIZE 的值与其对应的 burst 长度如表 3-30 所示。

表3-30 DBSize 及 SBSIZE 的值与其对应的 burst 长度

DBSize 或 SBSIZE 的值	burst 长度
000	1
001	4
010	8
011	16
100	32
101	64
110	128
111	256

DMAC_Cn_CONTROL 寄存器的 DWidth 和 SWidth 的值与其对应传输位宽如表 3-31 所示。

表3-31 DWidth 和 SWidth 的值与其对应传输位宽

SWidth 或 DWidth 的值	传输位宽
000	Byte (8bit)
001	Halfword (16bit)



SWidth 或 DWidth 的值	传输位宽
010	Word (32bit)
011	reserved
100	reserved
101	reserved
110	reserved
111	reserved

配置寄存器 `DMAC_Cn_CONTROL` 时需注意：

- 当源设备的传输宽度小于目的设备传输宽度时，源设备的传输宽度与 `transfer size` 的乘积应为目的设备传输宽度的整数倍，否则 FIFO 中的数据将会滞留并丢失。
- `SWidth` 和 `DWidth` 字段不能设置为未定义的位宽。
- `transfer size` 字段若被写为 0 且 DMAC 又是流控制器，则 DMAC 将不会发生任何传输动作。编程者应负责关闭此 DMA 通道并对此通道重新编程。
- 不应 `DMAC_Cn_CONTROL` 寄存器进行普通的写入/读出测试。由于 `transfer size` 字段不是一个普通的可写入并读回相同值的寄存器字段。当写入时，该字段如一个控制寄存器，因为其决定了 DMAC 应传输多少个数据；当读回时，该字段则相当于一个状态寄存器，因为其返回的剩下的待传输数据个数（以源设备位宽为单位）。
- 当 `transfer size` 字段的设置值大于源设备或目的设备中的 FIFO 的深度（是外设的 FIFO，不是 DMAC 的 FIFO），则 DMAC 的源地址或目的地址必须被设为不递增模式，否则有可能导致外设的 FIFO 溢出。

总线访问信息在传输发生时由 `master` 接口信号提供给源设备或目的设备。这些访问信息是通过对通道寄存器编程设定的 `DMAC_Cn_CONTROL[Prot]` 和 `DMAC_Cn_CONFIG[Lock]` 位。表 3-32 给出了使用 `prot` 的 3 个保护位的含义。

表3-32 `DMAC_Cn_CONTROL` 寄存器 Prot 段属性及定义

比特	描述	目的
[2]	Cacheable or noncacheable	指明访问是可 cache 还是不可 cache。 0: 不可 cache; 1: 可 cache。 例如，该位可用于告知 1 个 AMBA 桥：当其发现 8 个数的 burst 读的第 1 个读操作时，该桥可在目标总线上直接发起一个 8 个数的 burst 读，而不用将源总线上的读操作 1 次 1 个的传到目标总线。 该位控制总线信号 <code>HPROT[3]</code> 的输出。



比特	描述	目的
[1]	Bufferable or nonbufferable	指明访问是可缓冲还是不可缓冲。 0: 不可缓冲; 1: 可缓冲。 例如, 该位可用于告知一个 AMBA 桥在源端总线上写操作可以以零等待状态完成, 而无需等该桥把操作仲裁到目的总线上, 也无需等 slave 接收完数据。 该位控制总线信号 HPROT[2]的输出。
[0]	Privileged or User	指明访问是用户模式还是特权模式。 0: 用户模式; 1: 特权模式。 该位控制总线信号 HPROT[1]的输出。

注: AMBA: Advanced Microcontroller Bus Architecture。

DMAC_Cn_CONFIG

通道配置寄存器, 偏移地址为: $0x110+n \times 0x20$ 。其中, n 的取值为 0~7, 分别对应 DMA 通道 0~DMA 通道 7。

该寄存器在新的链表结点被载入时不会被更新。

Offset Address	Register Name	Total Reset Value	
$0x110+n \times 0x20$	DMAC_Cn_CONFIG	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved h a l itc .ie flow_cntrl reserved dest_peripheral reserved src_peripheral e		
Reset	0 0		
Bits	Access	Name	Description
[31:19]	-	reserved	保留。 写入时必须写入 0, 读出时应被屏蔽。
[18]	RW	h	Halt 位。 0: 允许 DMA 请求; 1: 忽略后来的 DMA 请求, 通道 FIFO 中的内容都被传完。 该位可以和 Active 位以及 Channel Enable 位一起用于无数据丢失地关闭一个 DMA 通道。



[17]	RO	a	Active 位。 0: 通道 FIFO 中没有数据; 1: 通道 FIFO 中有数据。 该位可以和 Halt 位以及 Channel Enable 位一起用于无数据丢失地关闭一个 DMA 通道。
[16]	RW	l	Lock 位。 0: 禁止总线上 lock 传输; 1: 使能总线上 lock 传输。
[15]	RW	itc	传输完成中断屏蔽位。 0: 屏蔽本通道的传输完成中断。 1: 不屏蔽本通道的传输完成中断。
[14]	RW	ie	错误中断屏蔽位。 0: 屏蔽本通道的错误中断。 1: 不屏蔽本通道的错误中断。
[13:11]	RW	flow_cntrl	流控及传输类型字段。 该字段用于指定流控制器和传输类型。流控制器可以是 DMAC、源设备和目的设备。 传输类型可以是存储器到外设、外设到存储器、外设到外设、存储器到存储器。详细描述请参见表 3-33 所示。
[10]	-	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[9:6]	RW	dest_peripheral	目的设备。该字段用于选择一个外设请求信号作为本通道的 DMA 目的设备的请求信号。 如果 DMA 传输的目的设备是存储器则该字段被忽略。
[5]	-	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[4:1]	RW	src_peripheral	源设备。该字段用于选择一个外设请求信号作为本通道的 DMA 源设备的请求信号。 如果 DMA 传输的源设备是存储器则该字段被忽略。



[0]	RW	e	<p>通道使能位。读该寄存器可得知本通道当前是处于什么状态（也可通过读寄存器 DMACEnbldChns 得到）。</p> <p>0：关闭通道； 1：启动通道。</p> <p>通过清零可关闭通道。将该位被清零时，当前的总线传输会继续执行直到完成。然后通道关闭，FIFO 中剩余的数据全部丢失；当最后一个 LLI 完成或传输中出现错误时，通道也会被关闭，同时该位被清零；如果要关闭通道，而又不使通道 FIFO 中的数据丢失，则 Halt 位也必须同时被置位，使通道忽略后来的 DMA 请求。然后必须轮询 active 位，直到其值变为 0，表明通道 FIFO 中不再留有数据。此时才能够清除 enable 位。</p> <p>通过置位启动通道必须先重新初始化通道，然后才能再次启动通道；若通过简单的置位启动通道，会引发不可预测性的后果。</p>
-----	----	---	---

注：当刚通过写 Channel Enable 位关闭一个通道时，必须要等到轮询到寄存器 DMAC_ENBLD_CHNS 中的相应 bit 为 0 之后，才能将 Channel Enable 位重新置位。这是因为通道实际的关闭并没有在将 Channel Enable 位清零后立即生效。总线 burst 的运行延时也必须考虑到。

表 3-33 描述了 DMAC_Cn_CONFIG 寄存器的 flow_cntrl 字段对应的流控和传输类型。

表3-33 流控制器及传输类型位定义

比特值	传输类型	控制器
000	存储器至存储器	DMAC
001	存储器至外设	DMAC
010	外设至存储器	DMAC
011	源设备至目的设备	DMAC
100	源设备至目的设备	目的设备
101	存储器至外设	目的设备
110	外设至存储器	源设备
111	源设备至目的设备	源设备



3.6 CIPHER

3.6.1 概述

CIPHER 是一个实现 DES (Data Encryption Standard) /3DES 和 AES (Advanced Encryption Standard) 加解密处理的模块, DES/3DES 和 AES 算法的实现符合 FIPS46-3/FIPS 197 标准。DES/3DES 和 AES 的工作模式符合 FIPS -81/NIST special800-38a 标准。

CIPHER 模块适用于进行大量数据的高效加解密处理, 可支持一次实现单个分组的加解密或多个分组的加解密。

3.6.2 特点

CIPHER 模块有如下特点:

- AES 密钥长度支持 128 位、192 位、256 位。
- DES 密钥长度支持 64 位。
- 3DES 支持 3 个密钥的方式, 也支持 2 个密钥的方式。
- AES 支持 ECB (Electronic CodeBook)、CBC (Cipher Block Chaining)、1/8/128-CFB (Cipher FeedBack)、128-OFB (Output FeedBack) 和 CTR (Counter) 几种工作模式, 工作模式符合 NIST special800-38a 标准。
- DES/3DES 支持 ECB、CBC、1/8/64-CFB、1/8/64-OFB 几种工作模式, 工作模式符合 FIPS-81 标准。
- ECB、CBC、CFB、OFB 工作模式下, 支持一次实现多个分组的加解密运算, 也支持一次实现单个分组的加解密运算。
- AES 的 CTR 工作模式下, 只支持一次实现单个分组的加解密运算。
- 提供对输入数据 (包括分组输入、向量输入、密钥) 和输出数据 (包括分组输出、向量输出) 的字节序调整功能。
- 提供 8 个 CPU 配置的加解密密钥, 可以配置为 64bits, 128bits, 192bits 或者 256bits。
- 提供 8 个芯片密钥管理模块配置的密钥, 固定为 128bits, 主 CPU 不可以读写。
- 提供一个单分组加解密通道和 7 个通道的多分组加解密通道。单分组加解密通道每次只能完成一个单分组加解密, 由 CPU 将数据写入通道寄存器中, 结果由 CPU 读取。多分组加解密通道由逻辑自动从 DDR 中读取数据完成加解密后再自动写回到 DDR 中。
- 各个通道采用加权轮循的工作方法, 各个通道权值可以配置。
- 任何通道可以使用同一组密钥或者不同组密钥。
- 当多分组通道数据不是加解密分组的整数倍时, 最后不足一个分组的数据不进行加解密。
- 多分组加解密通道支持字节地址。
- 多分组加解密通道支持多链表结构, 支持拼接多个链表数据。
- 提供中断状态查询、中断屏蔽和中断清除功能。
- 支持多包中断和老化时间中断。



3.6.3 功能描述

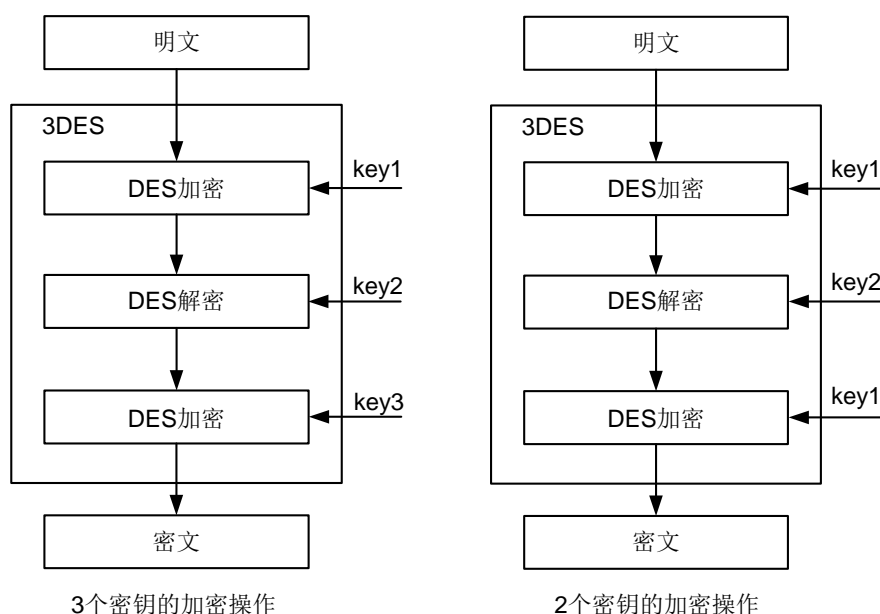
DES/3DES、AES 算法支持的几种工作模式分别符合 FIPS-81 标准和 NIST special800-38a 标准，对于 DES/3DES 和 AES 算法，ECB、CBC 和 CFB 工作模式相同，OFB 和 CTR（只有 AES 算法中包括）工作模式略有区别。

3DES 算法

3DES 支持 3 个密钥和 2 个密钥的运算，2 个密钥的运算可以看作 3 个密钥的一种简化情况，在 2 个密钥的操作中的第三个密钥（key3）都使用第一个密钥（key1）代替。

3 个密钥和 2 个密钥的 3DES 加密运算过程如图 3-8 所示。

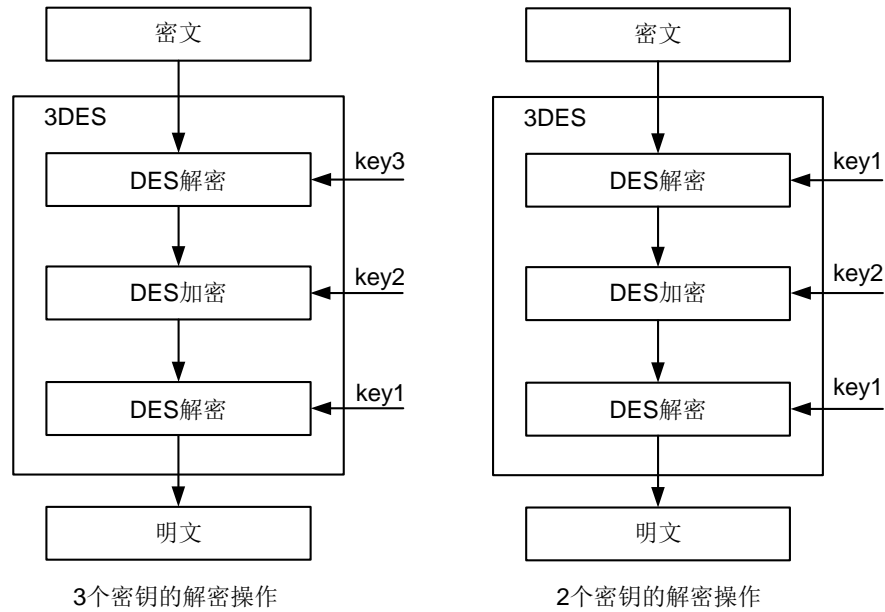
图3-8 3 个密钥和 2 个密钥的 3DES 加密操作



3 个密钥和 2 个密钥的 3DES 解密运算过程如图 3-9 所示。



图3-9 3个密钥和2个密钥的3DES 解密操作



ECB 模式

ECB (Electronic CodeBook) 模式中，加、解密算法是直接应用到各个分组数据，而且各个分组的运算均独立。这个特点使得明文的加密操作和密文的解密操作可以并行进行。AES/DES 和 3DES 的电子密码本 (ECB) 模式分别如图 3-10 和图 3-11 所示。

图3-10 AES/DES 的电子密码本 (ECB) 模式

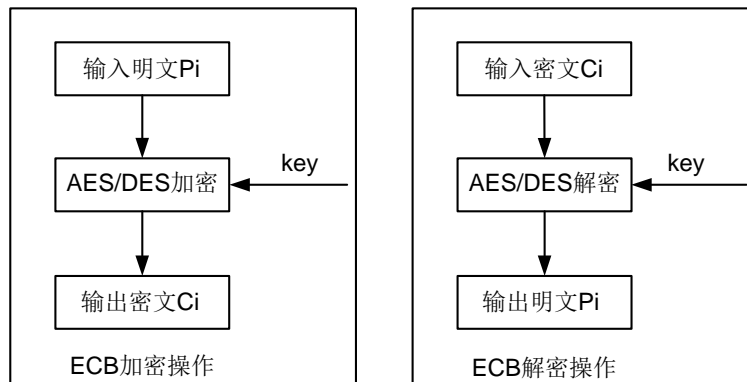
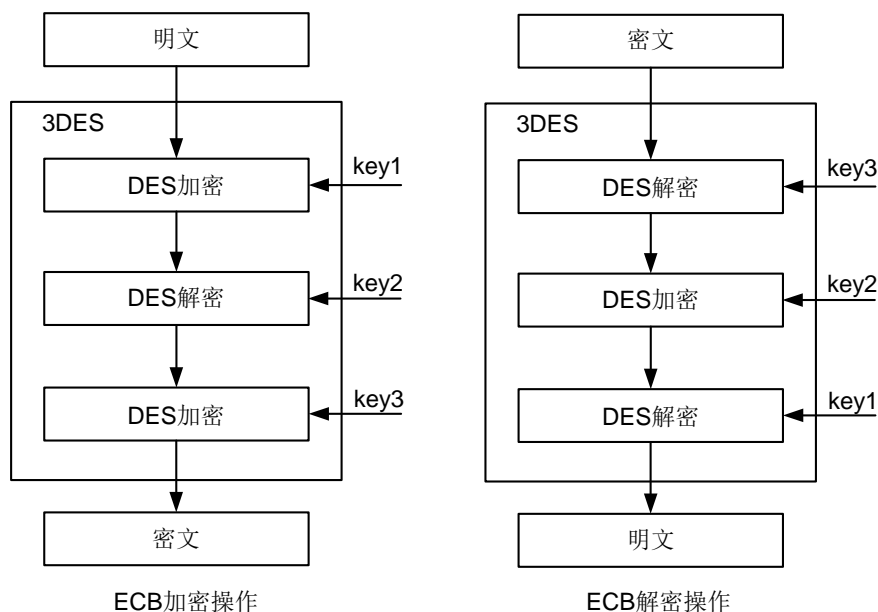




图3-11 3DES 的电子密码本（ECB）模式



CBC 模式

CBC (Cipher Block Chaining) 模式下，加密的输入明文分组需要先与输入向量 IV (Initialization Vector) 进行异或操作，才进入加密操作，而每个明文分组的加密处理都与上一个明文分组处理的结果（即密文）相关，因此 CBC 模式下的加密操作是不能进行并行处理的。但是解密操作不依赖于上一个分组的明文输出，是可以进行并行处理的。AES/DES 和 3DES 的密码分组链接（CBC）模式分别如图 3-12 和图 3-13 所示。



图3-12 AES/DES 的密码分组链接 (CBC) 模式

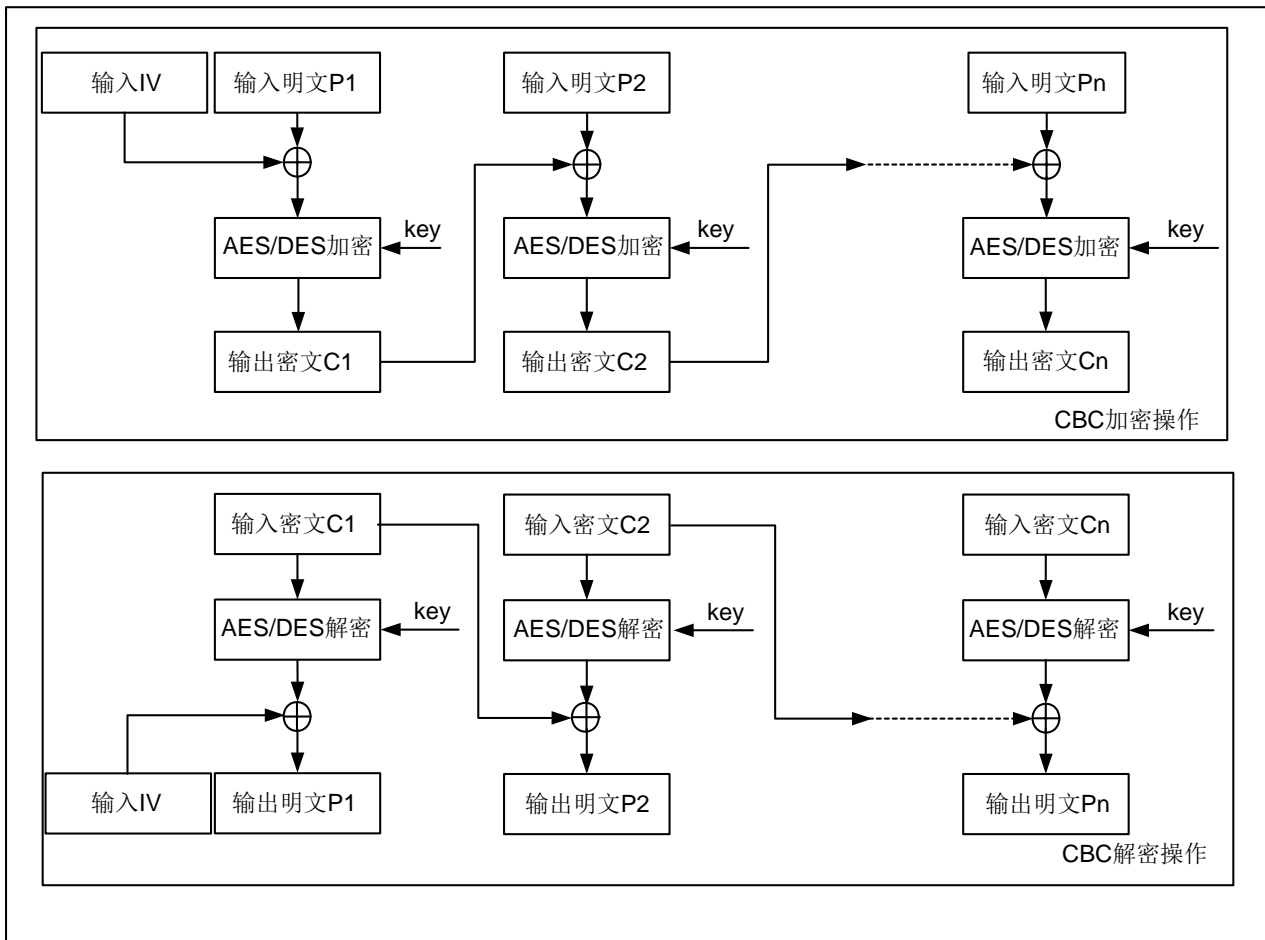
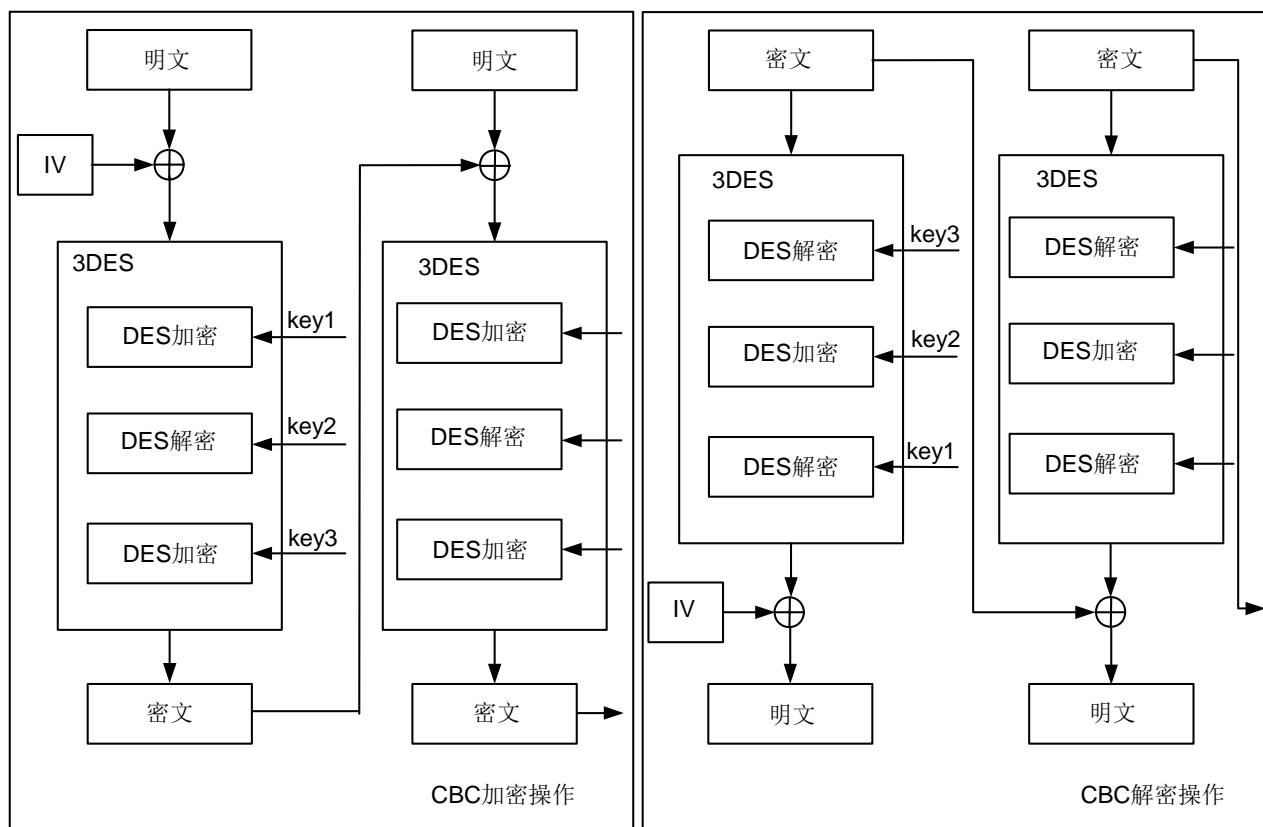




图3-13 3DES 的密码分组链接（CBC）模式



CFB 模式

CFB (Cipher FeedBack) 模式是将分组密码转换成流密码的一种工作模式，可以通过选择 CFB 的操作位数来实现。移位操作的位数用 s 位表示，关于 s 位，存在以下 2 种情况：

- 对于 DES/3DES， s 位可以是 1 位、8 位或 64 位。
- 对于 AES， s 位可以是 1 位、8 位或 128 位。

AES/DES 的 s 位密码反馈 (CFB) 模式和 3DES 的 s 位密码反馈 (CFB) 模式分别如图 3-14 和图 3-15 所示。



图3-14 AES/DES 的 s 位密码反馈 (CFB) 模式

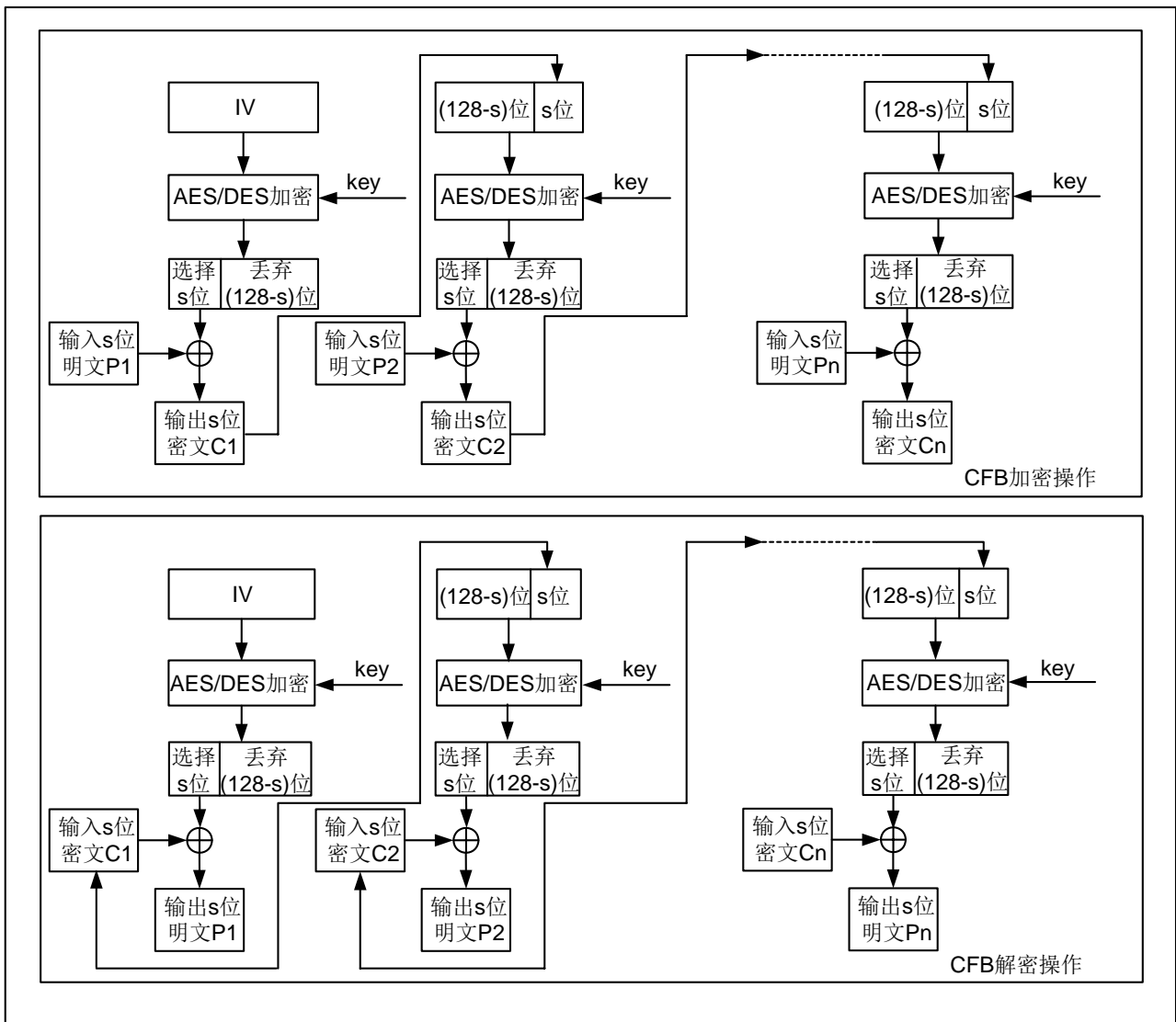
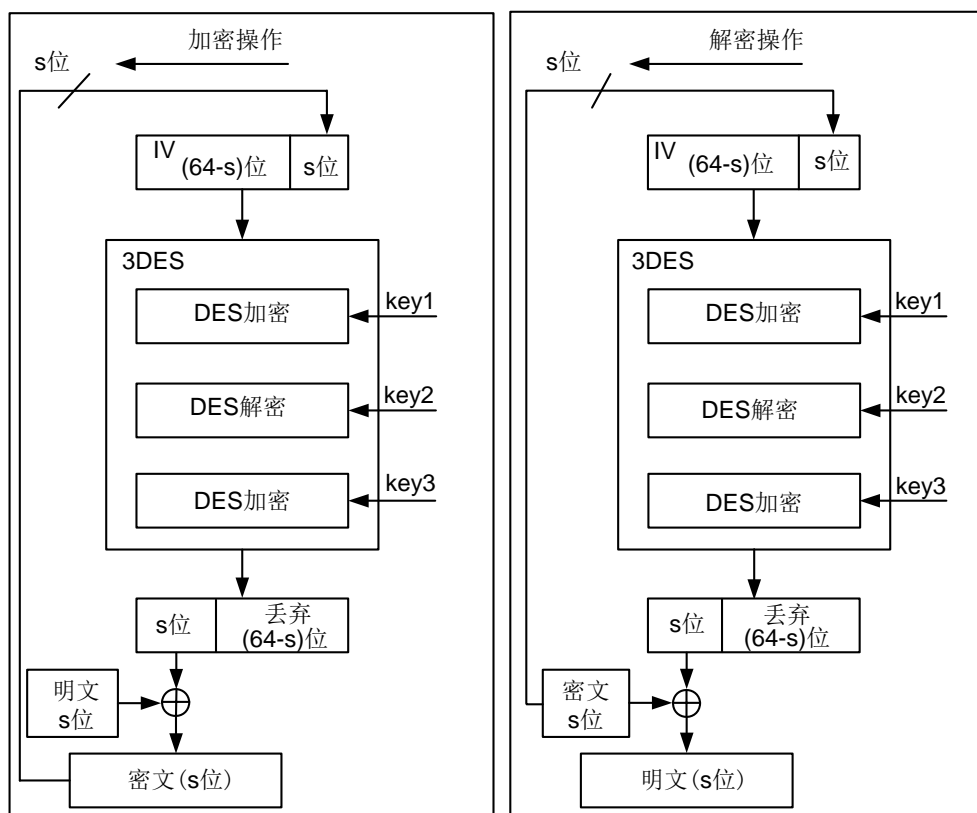




图3-15 3DES 的 s 位密码反馈（CFB）模式



OFB 模式

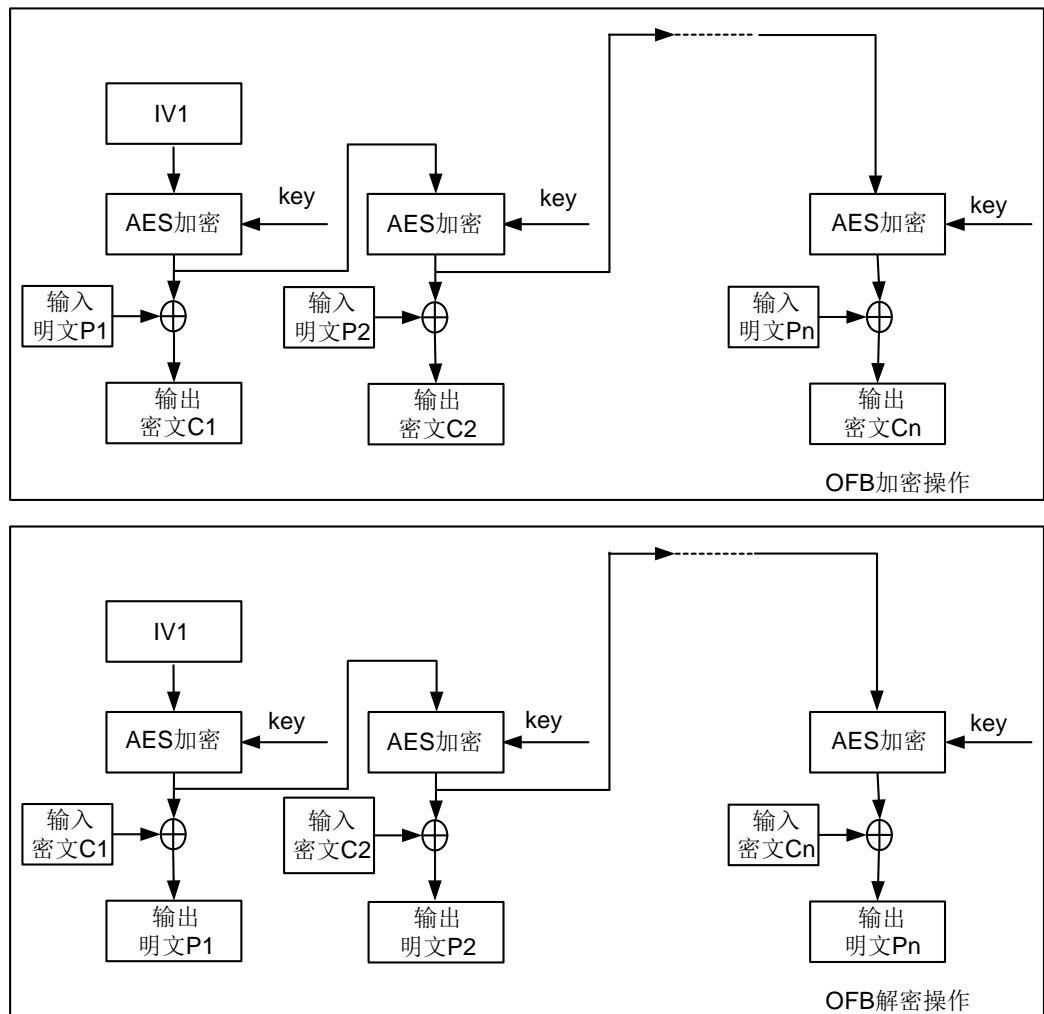
OFB (Output FeedBack) 模式下, 将 IV 直接作为加密操作的输入, 因此对同一个密钥的操作情况下, 应该使用不相同的 IV, 避免降低操作的安全性。关于 s 位, 存在以下 2 种情况:

- 对于 DES/3DES, s 位可以是 1 位、8 位或 64 位。
- 对于 AES, s 位只能是 128 位。



AES 的输出反馈（OFB）模式如图 3-16 所示。

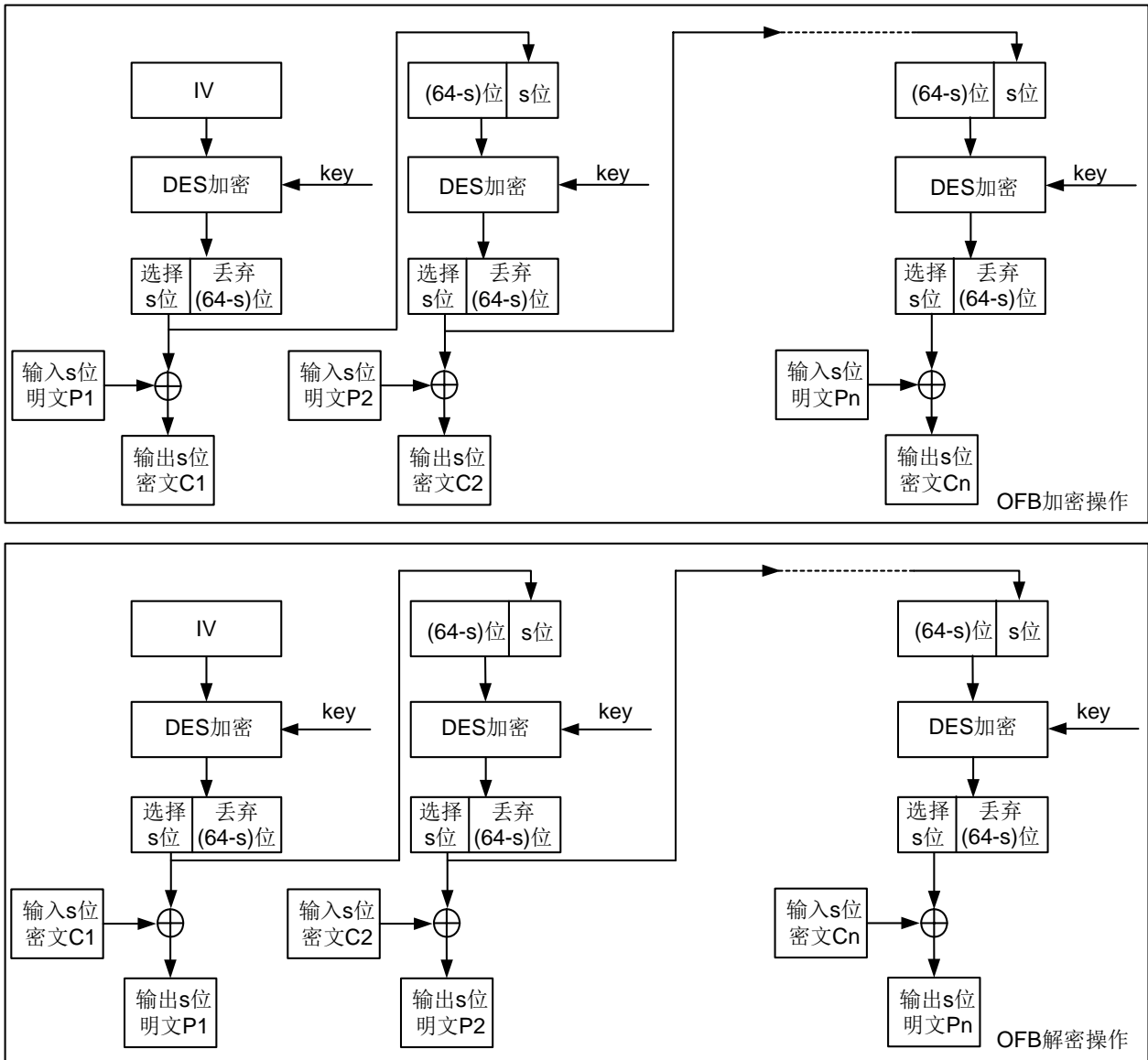
图3-16 AES 的输出反馈（OFB）模式



DES 的 s 位输出反馈模式如图 3-17 所示。



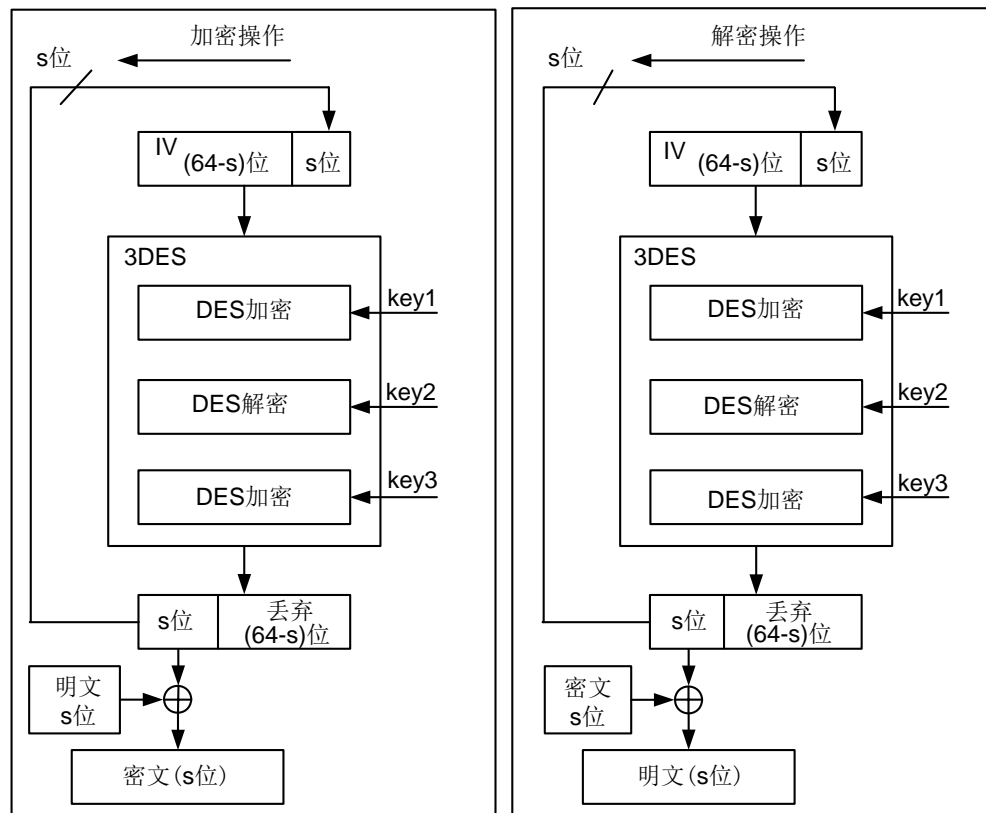
图3-17 DES 的 s 位输出反馈（OFB）模式



3DES 的 s 位输出反馈模式如图 3-18 所示。



图3-18 3DES 的 s 位输出反馈 (OFB) 模式



CTR 模式

CTR (Counter) 模式下, 向 AES 加密或解密处理模块输入不同的数据来保证数据处理的安全性, 这种数据可以是计数的值。因此, 计数值 CTR_n 的选取也决定了这种方式应用的安全性。

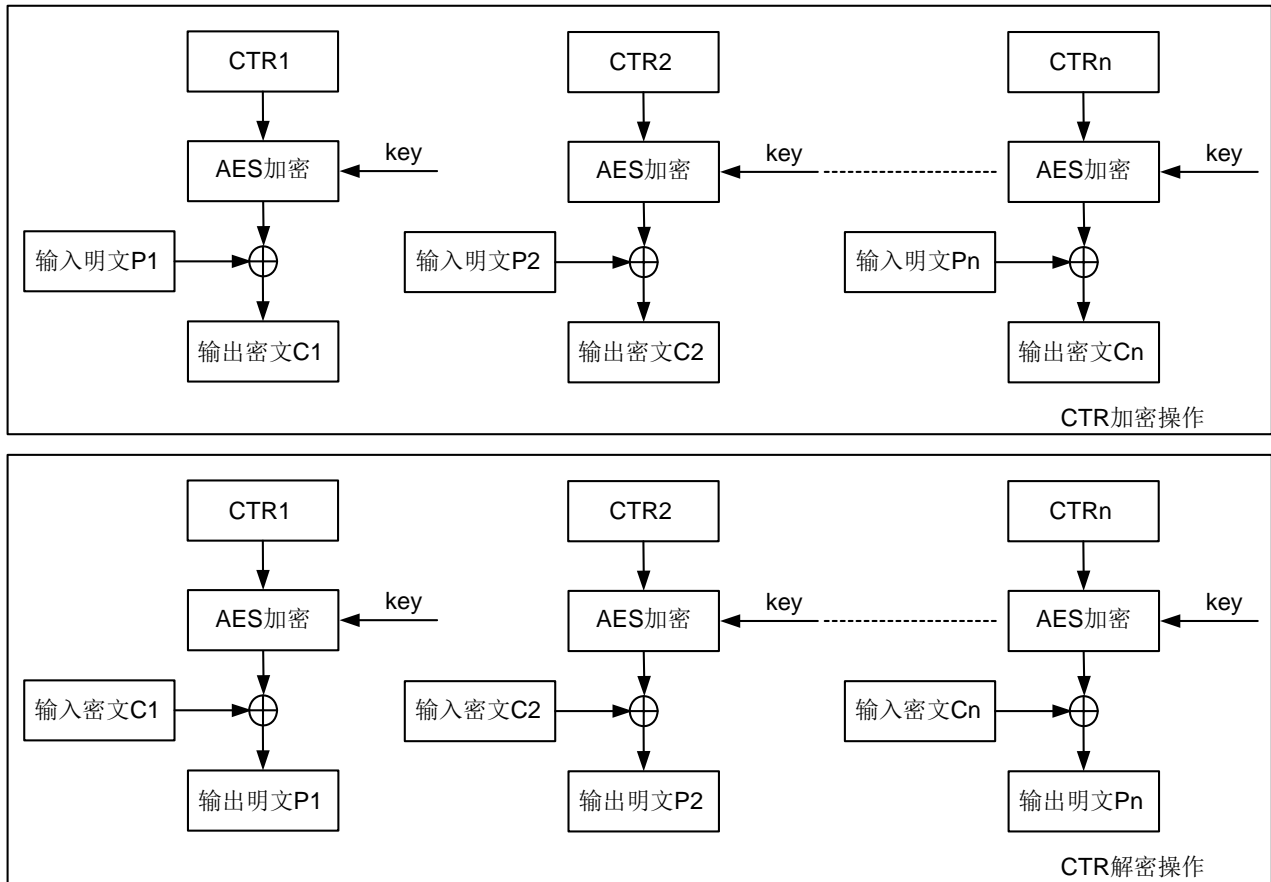
说明

CTR_n 一般采用累加计数的方式获取。

AES 的 CTR 模式如图 3-19 所示。



图3-19 AES 的 CTR 模式



3.6.4 工作方式

CIPHER 的单分组操作流程

CIPHER 提供通道 0 作为单分组加解密通道，操作流程如下：

1. 查询通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_busy` 域，如果通道 0 不忙，则配置通道 0 的数据输入和将相关配置信息写入通道 0 的寄存器中。
2. 写通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_start` 域，启动通道 0 加解密。
3. 判断通道 0 加解密结束，有两种方式：
 - 查询等待通道 0 加解密结束后 `ch0_busy` 变为不忙。
 - 使能通道 0 中断，在通道 0 数据完成中断有效后读取数据。
4. 通道 0 加解密完成，从通道 0 的 `CHAN0_CIPHER_DOUT` 和 `CHAN0_CIPHER_IVOUT` 寄存器中读取相应结果。

----结束



CIPHER 的多分组操作流程

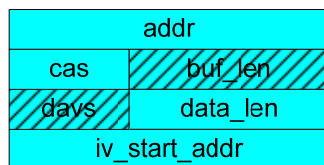
CIPHER 模块提供 7 个多分组加解密通道，软件可以根据每个通道速率大小设置每个通道的权值。多分组加解密通道自动从 DDR 中读取数据，完成加解密后再写入到 DDR 中。

CIPHER 的多分组操作流程如下：

1. 通道初始化配置。即每个通道输入队列深度和输出队列深度，输入输出队列的首地址，多包中断个数和老化中断时间，配置每个通道 CTRL 寄存器信息。
2. 当有数据需要加解密时，查询 `CHANn_IBUF_CNT` 寄存器，如果该寄存器的值小于 `CHANn_IBUF_NUM` 的值，则配置待加解密数据链表头到输入队列中，进入步骤 4；否则进入步骤 3；
3. 打开输入队列通道对应的中断，等待该中断发生时，读取 `CHANn_IEMPTY_CNT` 寄存器代表输入队列处理完成的包个数，软件通过向该寄存器写入相应的值清除中断，然后可以向输入队列中添加新的数据。
4. 向输出队列中加入对应的输出缓冲区链表头；
5. 打开输出队列通道对应中断；
6. 在输出队列中断发生时，软件取走输出队列数据并写本次收包个数到 `CHANn_OFULL_CNT`，以便清除中断。

----结束

图3-20 多分组加解密通道链表头结构如下：

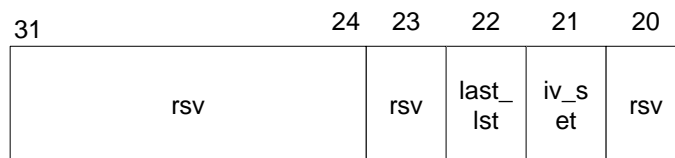


addr 表示该链表头指向的 Buffer 的首地址，可以是字节地址。

data_len 表示该链表头指示的有效数据的长度。

cas 代表 cipher 加解密的控制信息，具体 bit 数如下：

图3-21 CAS 各个 bit 标志





iv_set: 标志当前链表头指示的数据需要重新更换初始向量, 此时需要通过 iv_start_addr 指示当前 IV 在 DDR 中的初始地址, 此地址必须是 WORD 对齐地址。

last_1st: 标志当前链表头指示的数据是一个数据块的最后一个链表, 逻辑在该链表处理结束时如果遇到不足一个加解密分组的数据, 逻辑将剩余数据直接写入到输出 Buffer 中, 不进行加解密。

时钟门控

当不需要进行加密操作, 且 CIPHER 模块处于空闲状态时, 可以通过配置系统控制器的寄存器, 关断 CIPHER 模块时钟以降低功耗。

软复位

可以通过配置系统控制器的寄存器对 CIPHER 模块进行软复位。

3.6.5 CIPHER 寄存器概览

CIPHER 寄存器概览如表 3-34 所示。

表3-34 CIPHER 寄存器概览 (基址是 0x100C_0000)

偏移地址	名称	描述	页码
0x0000~ 0x000C	CHAN0_CIPHER_D OUT	CIPHER 模块通道 0 (单分组加解密) 输出寄存器	3-245
0x0010~ 0x001C	CHAN0_CIPHER_IV OUT	CIPHER 操作完成之后的向量输出寄存 器	3-246
0x0020~ 0x008C	CHAN_CIPHER_IV OUT	通道 1~7 向量输出寄存器	3-246
0x0090~ 0x018C	CIPHER_KEY	CIPHER 模块的 CPU 配置密钥寄存器	3-247
0x1000	CHAN0_CIPHER_C TRL	通道 0 加解密控制寄存器	3-248
0x1004~ 0x1010	CHAN0_CIPHER_IV IN	CIPHER 模块通道 0 的向量分组的输入 寄存器	3-251
0x1014~ 0x1020	CHAN0_CIPHER_DI N	CIPHER 模块的 128 位分组输入寄存器	3-252
0x1000+n *128	CHANn_IBUF_NUM	通道 n (n 为 1~7) 输入队列总深度, 即为可以配置链表头的总个数寄存器	3-253
0x1000+n *128+0x4	CHANn_IBUF_CNT	通道 n 输入队列中待处理的数据 Buffer 的个数寄存器	3-253
0x1000+n *128+0x8	CHANn_IEMPTY_C NT	通道 n 输入队列中处理完成的数据 Buffer 个数寄存器	3-254



偏移地址	名称	描述	页码
0x1000+n *128+0xC	CHANn_INT_ICNT CFG	通道 n 输入队列多包中断流水线寄存器	3-254
0x1000+n *128+0x1 0	CHANn_CIPHER_C TRL	通道 n 加解密控制寄存器	3-255
0x1000+n *128+0x1 4	CHANn_SRC_LST_ SADDR	通道 n 输入队列的起始地址寄存器	3-257
0x1000+n *128+0x1 8	CHANn_IAGE_TIM ER	通道 n 输入队列中断的老化时间配置寄 存器	3-257
0x1000+n *128+0x3 C	CHANn_OBUF_NU M	通道 n 输出队列总深度，即为可以配置 链表头的总个数寄存器	3-258
0x1000+n *128+0x4 0	CHANn_OBUF_CN T	通道 n 输出队列中待处理的数据 Buffer 的个数寄存器	3-258
0x1000+n *128+0x4 4	CHANn_OFULL_CN T	通道 n 输出队列中处理完成的数据 Buffer 个数寄存器	3-259
0x1000+n *128+0x4 8	CHANn_INT_OCNT CFG	通道 n 输出队列多包中断流水线寄存器	3-259
0x1000+n *128+0x4 C	CHANn_DEST_LST_ _SADDR	通道 n 输出队列的起始地址寄存器	3-259
0x1000+n *128+0x5 0	CHANn_OAGE_TIM ER	通道 n 输出队列中断的老化时间配置寄 存器	3-260
0x1400	INT_STATUS	中断状态寄存器	3-260
0x1404	INT_EN	中断使能寄存器	3-261
0x1408	INT_RAW	原始中断状态寄存器	3-262
0x140C	RST_STATUS	复位状态指示寄存器	3-263
0x1410	CHAN0_CFG	通道 0 配置寄存器	3-264

CIPHER 寄存器偏移地址中变量的取值范围和含义如表 3-35 所示。



表3-35 CIPHER 寄存器偏移地址变量表

变量名称	取值范围	描述
n	1~7	Cipher 模块的通道 1 至通道 7。

3.6.6 CIPHER 寄存器描述

CHAN0_CIPHER_DOUT

CHAN0_CIPHER_DOUT 为 CIPHER 模块通道 0（单分组加解密）输出寄存器。

读取本寄存器时需要注意：

- 从该寄存器中读取的数据是单分组的运算的结果数据。AES 运算和 DES 或 3DES 运算对应的情况不同：
 - 如果选择进行 AES 运算
 - 如果选择 1-CFB 模式，最低位有效，即 CIPHER_DOUT bit[0]为有效数据。
 - 如果选择 8-CFB 模式，低 8 位有效，即 CIPHER_DOUT bit[7:0]为有效数据。
 - 如果选择 128-CFB 操作，128 位数据均有效。
 - 其它模式下 128 位数据均有效。
 - 如果选择进行 DES 或 3DES 运算
 - 如果选择 1-CFB 或 1-OFB 模式，低 1 位有效，即 CIPHER_DOUT bit[0]为有效数据。
 - 如果选择 8-CFB 或 8-OFB 模式，低 8 位有效，即 CIPHER_DOUT bit[7:0]为有效数据。
 - 如果选择 64-CFB 或 64-OFB 模式，低 64 位数据有效，即 CIPHER_DOUT bit[63:0]为有效数据。
 - 其它模式下低 64 位数据有效，即 CIPHER_DOUT bit[63:0]为有效数据。

Offset Address		Register Name		Total Reset Value				
0x0000~0x000C		CHAN0_CIPHER_DOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_dout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan0_cipher_dout	CIPHER 模块 128 位分组输出，每 1 个地址对应 32 位的数据。 CIPHER_DOUT[31:0]: 0x0000 地址; CIPHER_DOUT[63:32]: 0x0004 地址; CIPHER_DOUT[95:64]: 0x0008 地址; CIPHER_DOUT[127:96]: 0x000C 地址。					



CHAN0_CIPHER_IVOUT

CHAN0_CIPHER_IVOUT 为 CIPHER 操作完成之后的向量输出寄存器。

读取本寄存器时需要注意：

- 如果执行的是 ECB 或 CTR 工作模式，不需要关注此寄存器。
- 如果选择进行单分组的处理，该寄存器中的数据是该分组的向量结果输出，可以作为同一数据包的下一个分组运算的向量输入。
 - 如果选择进行 AES 运算，128 位数据均有效。
 - 如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[cipher_mode]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER_IVOUT bit[63:0]为有效数据。
- 如果选择进行多分组的处理，该寄存器中读取的数据是最后一个分组运算的向量结果输出。
 - 如果选择进行 AES 运算，128 位数据均有效。
 - 如果选择进行 DES 或 3DES 运算，低 64 位数据有效，即 CIPHER_IVOUT bit[63:0]为有效数据。

Offset Address		Register Name		Total Reset Value				
0x0010~0x001C		CHAN0_CIPHER_IVOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_ivout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan0_cipher_ivout	CIPHER 模块操作完成之后的向量 IV 的输出（ECB、CTR 工作模式下无需关注），每 1 地址对应 32 位的数据。 CIPHER_IVOUT[31:0]: 0x0010 地址; CIPHER_IVOUT[63:32]: 0x0014 地址; CIPHER_IVOUT[95:64]: 0x0018 地址; CIPHER_IVOUT[127:96]: 0x001C 地址。					

CHAN_CIPHER_IVOUT

CHAN_CIPHER_IVOUT 为通道 1~7 向量输出寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0020~0x008C		CHAN_CIPHER_IVOUT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	chan_cipher_ivout																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name	Description																												
[31:0]	RO		chan_cipher_ivout	0x0020~0x002C: 通道 1; 0x0030~0x003C: 通道 2; 0x0040~0x004C: 通道 3; 0x0050~0x005C: 通道 4; 0x0060~0x006C: 通道 5; 0x0070~0x007C: 通道 6; 0x0080~0x008C: 通道 7。																												

CIPHER_KEY

CIPHER_KEY 为 CIPHER 模块的 CPU 配置密钥寄存器，该密钥为 CPU 配置值，CPU 可以读写。

配置本寄存器时需要注意：

- 选择 DES 运算时，低 64 位数据有效，即 CIPHER_KEY[63:0]为有效数据。
- 选择 3DES 运算：

选择 3 个密钥运算（CIPHER_CTRL[key_length]=0b00、0b01 或 0b10）时，低 192 位数据有效，此时：

 - CIPHER_KEY bit[63:0]表示第一个密钥。
 - CIPHER_KEY bit[127:64]表示第二个密钥。
 - CIPHER_KEY bit[191:128]表示第三个密钥。

选择 2 个密钥运算（即 CIPHER_CTRL[key_length]=0b11）时，低 128 位数据有效，此时：

 - CIPHER_KEY bit[63:0]表示第一个密钥。
 - CIPHER_KEY bit[127:64]表示第二个密钥。
- 选择 AES 运算时：
 - 如果选择 128 位密钥操作，低 128 位数据有效，即 CIPHER_KEY bit[127:0]为有效数据。
 - 如果选择 192 位密钥操作，低 192 位数据有效，即 CIPHER_KEY bit[191:0]为有效数据。
 - 如果选择 256 位密钥操作，256 位数据均有效。



CIPHER 模块共支持配置 8 个密钥，每个通道可以配置使用其中一个密钥，可以多个通道共同使用同一个密钥。

Offset Address		Register Name		Total Reset Value				
0x0090~0x018C		CIPHER_KEY		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cipher_key							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cipher_key	<p>CIPHER 模块的密钥输入，每 1 个地址对应一个 32 位宽的数据。</p> <p>CIPHER_KEY[31:0]: 0x0090 地址; CIPHER_KEY[63:32]: 0x0094 地址; CIPHER_KEY[95:64]: 0x0098 地址; CIPHER_KEY[127:96]: 0x009C 地址; CIPHER_KEY[159:128]: 0x00A0 地址; CIPHER_KEY[191:160]: 0x00A4 地址; CIPHER_KEY[223:192]: 0x00A8 地址; CIPHER_KEY[255:224]: 0x00AC 地址。</p> <p>0x0090~0x00AC: host_key0; 0x00B0~0x00CC: host_key1; 0x00D0~0x00EC: host_key2; 0x00F0~0x010C: host_key3; 0x0110~0x012C: host_key4; 0x0130~0x014C: host_key5; 0x0150~0x016C: host_key6; 0x0170~0x018C: host_key7。</p>					

CHAN0_CIPHER_CTRL

CHAN0_CIPHER_CTRL 为通道 0 加解密控制寄存器，通道 0 为单分组加解密通道。

配置本寄存器时需要注意：

- 在进行模块的其它寄存器配置之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。



Offset Address		Register Name		Total Reset Value									
0x1000		CHAN0_CIPHER_CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved			key_adder	key_sel	byte_seq	reserved	key_length	ivin_sel	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:17]	-	reserved	保留。										
[16:14]	RW	key_adder	当前通道使用 Key 的序号。 000: host_key0; 001: host_key1; 010: host_key2; 011: host_key3; 100: host_key4; 101: host_key5; 110: host_key6; 111: host_key7。										
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥。 0: 使用 CPU 配置的密钥; 1: 保留。										
[12]	-	reserved	保留。										
[11]	RW	reserved	保留。										
[10:9]	RW	key_length	密钥长度控制。 AES 算法下: 00: 128 位密钥长度; 01: 192 位密钥长度; 10: 256 位密钥长度; 11: 128 位密钥长度。 DES 算法下: 00: 3 个密钥; 01: 3 个密钥; 10: 3 个密钥; 11: 2 个密钥。										



Offset Address		Register Name		Total Reset Value										
0x1000		CHAN0_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				key_adder	key_sel	byte_seq	reserved	key_length	ivin_sel	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description											
[8]	RW	ivin_sel	CIPHER_IVIN 的输入选择控制。 0: CIPHER_IVIN 不需要进行配置; 1: CIPHER_IVIN 需要配置。											
[7:6]	RW	width	位宽控制。 DES/3DES 算法下: 00: 64 位模式; 01: 8 位模式; 10: 1 位模式; 11: 64 位模式。 AES 算法下: 00: 128 位模式; 01: 8 位模式; 10: 1 位模式; 11: 128 位模式。											
[5:4]	RW	alg_sel	算法类型选择控制。 00: DES 运算; 01: 3DES 运算; 10: AES 运算; 11: DES 运算。											



Offset Address		Register Name		Total Reset Value										
0x1000		CHAN0_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				key_adder	key_sel	byte_seq	reserved	key_length	ivin_sel	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[3:1]	RW	mode	工作模式控制。 在 AES 算法下： 000: ECB 模式； 001: CBC 模式； 010: CFB 模式； 011: OFB 模式； 100: CTR 模式； 其它: ECB 模式。 在 DES 算法下： 000: ECB 模式； 001: CBC 模式； 010: CFB 模式； 011: OFB 模式； 其它: ECB 模式。											
[0]	RW	decrypt	加解密控制。 0: 加密； 1: 解密。											

CHAN0_CIPHER_IVIN

CHAN0_CIPHER_IVIN 为 CIPHER 模块通道 0 的向量分组的输入寄存器。

配置该寄存器时需要注意：

- 如果选择使用通道 0 进行单分组加解密且执行的不是 ECB 模式（CIPHER_CTRL[mode]=0b001、0b010、0b011 或 0b100）时：
 - 如果选择不需要进行输入向量配置（CIPHER_CTRL[ivin_sel]=0b0），则不需要进行该寄存器的配置。
 - 如果选择需要进行输入向量配置（CIPHER_CTRL[ivin_sel]=0b1），则需要进行该寄存器的配置。如果此时选择进行 AES 运算（即 CIPHER_CTRL



[alg_sel]=0b10)，CIPHER_IVIN bit[127:0]为有效数据；如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[alg_sel]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER_IVIN bit[63:0]为有效数据。

	Offset Address 0x1004~0x1010				Register Name CHAN0_CIPHER_IVIN				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	chan0_cipher_ivin																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	chan0_cipher_ivin		通道 0 CIPHER 模块的 128 位 IV 向量或 Counter 输入的数据，每个地址对应一个 32 位宽的数据。 CIPHER_IVIN[31:0]: 0x1004 地址； CIPHER_IVIN[63:32]: 0x1008 地址； CIPHER_IVIN[95:64]: 0x100C 地址； CIPHER_IVIN[127:96]: 0x1010 地址。																											

CHAN0_CIPHER_DIN

CHAN0_CIPHER_DIN 为 CIPHER 模块的 128 位分组输入寄存器。

配置该寄存器时需要注意：

如果选择通道 0 进行单分组的处理，需要配置该寄存器：

- 如果选择进行 AES 运算（CIPHER_CTRL[alg_sel]=0b10）
 - 如果选择 1-CFB 操作，低 1 位有效，即 CIPHER_DIN bit[0]为有效数据。
 - 如果选择 8-CFB 操作，低 8 位有效，即 CIPHER_DIN bit[7:0]为有效数据。
 - 如果选择 128-CFB 操作，128 位数据均有效。
 - 如果选择其他操作模式，128 位数据均有效。
- 如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[alg_sel]=0b00、0b01 或 0b11）
 - 如果选择 1-CFB/1-OFB 操作，低 1 位有效，即 CIPHER_DIN bit[0]为有效数据。
 - 如果选择 8-CFB/8-OFB 操作，低 8 位有效，即 CIPHER_DIN bit[7:0]为有效数据。
 - 如果选择 64-CFB/64-OFB 操作，低 64 位数有效，即 CIPHER_DIN bit[63:0]为有效数据。

如果选择其他操作模式，低 64 位数有效，即 CIPHER_DIN bit[63:0]为有效数据。



Offset Address		Register Name		Total Reset Value				
0x1014~0x1020		CHAN0_CIPHER_DIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_din							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan0_cipher_din	通道 0CIPHER 模块的 128 位分组输入，每个地址对应一个 32 位宽的数据。 CIPHER_DIN[31:0]: 0x1014 地址; CIPHER_DIN[63:32]: 0x1018 地址; CIPHER_DIN[95:64]: 0x101c 地址; CIPHER_DIN[127:96]: 0x1020 地址。					

CHANn_IBUF_NUM

CHANn_IBUF_NUM 为 CHANn_IBUF_BUN 为通道 n (n 为 1~7) 输入队列总深度，即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value				
0x1000+n*128		CHANn_IBUF_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ibuf_num			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	ibuf_num	输入队列深度，即每个通道可以配置的链表头信息总个数。					

CHANn_IBUF_CNT

CHANn_IBUF_CNT 为通道 n 输入队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。



	Offset Address				Register Name								Total Reset Value																							
	0x1000+n*128+0x4				CHANn_IBUF_CNT								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ibuf_cnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:16]	-	reserved		保留。																															
	[15:0]	RW	ibuf_cnt		输入队列中待处理的数据 Buffer 个数。																															

CHANn_IEMPTY_CNT

CHANn_IEMPTY_CNT 为通道 n 输入队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

	Offset Address				Register Name								Total Reset Value																							
	0x1000+n*128+0x8				CHANn_IEMPTY_CNT								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																iempty_cnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:16]	-	reserved		保留。																															
	[15:0]	RW	iempty_cnt		输入队列中处理完成的 Buffer 个数。																															

CHANn_INT_ICNTCFG

CHANn_INT_ICNTCFG 为通道 n 输入队列多包中断水线，当逻辑处理完成的输入队列 Buffer 数目大于等于该值时，会报输入队列中断。

	Offset Address				Register Name								Total Reset Value																							
	0x1000+n*128+0xC				CHANn_INT_ICNTCFG								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																int_icnt_cfg																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:16]	-	reserved		保留。																															



Offset Address		Register Name		Total Reset Value					
0x1000+n*128+0xC		CHANn_INT_ICNTCFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				int_icnt_cfg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[15:0]	RW	int_icnt_cfg	输入队列多包中断门限。						

CHANn_CIPHER_CTRL

CHANn_CIPHER_CTRL 为通道 n 加解密控制寄存器。

配置本寄存器时需要注意：

- 在启动该通道加解密处理之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。

Offset Address		Register Name		Total Reset Value									
0x1000+n*128+0x10		CHANn_CIPHER_CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	weight		reserved	key_adder	key_sel	byte_seq	ts_vid	key_length	reserved	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:22]	-	weight	当前通道的权重，单位为 64bytes。										
[21:17]	-	reserved	保留。										
[16:14]	RW	key_adder	当前通道使用 Key 的序号，可以配置选择 0~7 地址中的一个 Key。										
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥： 0：使用 CPU 配置的密钥； 1：保留。										
[12:11]	-	reserved	保留。										



[10:9]	RW	key_length	<p>密钥长度控制。</p> <p>AES 算法下：</p> <p>00: 128 位密钥长度；</p> <p>01: 192 位密钥长度；</p> <p>10: 256 位密钥长度；</p> <p>11: 128 位密钥长度。</p> <p>DES 算法下：</p> <p>00: 3 个密钥；</p> <p>01: 3 个密钥；</p> <p>10: 3 个密钥；</p> <p>11: 2 个密钥。</p>
[8]	-	reserved	保留。
[7:6]	RW	width	<p>位宽控制。</p> <p>DES/3DES 算法下：</p> <p>00: 64 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 64 位模式。</p> <p>AES 算法下：</p> <p>00: 128 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 128 位模式。</p>
[5:4]	RW	alg_sel	<p>算法类型选择控制。</p> <p>00: DES 运算；</p> <p>01: 3DES 运算；</p> <p>10: AES 运算；</p> <p>11: DES 运算。</p>



[3:1]	RW	mode	<p>工作模式控制。</p> <p>在 AES 算法下：</p> <p>000：ECB 模式；</p> <p>001：CBC 模式；</p> <p>010：CFB 模式；</p> <p>011：OFB 模式；</p> <p>100：CTR 模式；</p> <p>其它：ECB 模式。</p> <p>在 DES 算法下：</p> <p>000：ECB 模式；</p> <p>001：CBC 模式；</p> <p>010：CFB 模式；</p> <p>011：OFB 模式；</p> <p>其它：ECB 模式。</p>
[0]	RW	decrypt	<p>加解密控制。</p> <p>0：加密；</p> <p>1：解密。</p>

CHAN_n_SRC_LST_SADDR

CHAN_n_SRC_LST_SADDR 为通道 n 输入队列的起始地址，该地址必须为 WORD 对齐地址。

	Offset Address 0x1000+n*128+0x14								Register Name CHAN _n _SRC_LST_SADDR								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	src_lst_saddr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access		Name		Description																															
[31:0]	RW		src_lst_saddr		输入队列的起始地址。																															

CHAN_n_IAGE_TIMER

CHAN_n_IAGE_TIMER 为通道 n 输入队列中断的老化时间配置，如果在老化时间计数器溢出时，输入队列处理完成的 Buffer 数如果大于 0，会报输入队列处理完成中断。



Offset Address		Register Name		Total Reset Value					
0x1000+n*128+0x18		CHANn_IAGE_TIMER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				iage_timer				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	iage_timer	老化中断定时器。						

CHANn_OBUF_NUM

CHANn_OBUF_NUM 为通道 n 输出队列总深度，即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value					
0x1000+n*128+0x3C		CHANn_OBUF_NUM		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_num				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	obuf_num	输出队列总深度。						

CHANn_OBUF_CNT

CHANn_OBUF_CNT 为通道 n 输出队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。

Offset Address		Register Name		Total Reset Value					
0x1000+n*128+0x40		CHANn_OBUF_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RW	obuf_cnt	输出队列中待处理的数据 Buffer 个数。
--------	----	----------	------------------------

CHANn_OFULL_CNT

CHANn_OFULL_CNT 为通道 n 输出队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

	Offset Address	Register Name	Total Reset Value													
	0x1000+n*128+0x44	CHANn_OFULL_CNT	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								ofull_cnt							
Reset	0 0															
Bits	Access	Name	Description													
[31:16]	-	reserved	保留。													
[15:0]	RW	ofull_cnt	输出队列中处理完成的 Buffer 个数。													

CHANn_INT_OCNTCFG

CHANn_INT_OCNTCFG 为通道 n 输出队列多包中断水线，当逻辑处理完成的输出队列 Buffer 数目大于等于该值时，会报输出队列中断。

	Offset Address	Register Name	Total Reset Value													
	0x1000+n*128+0x48	CHANn_INT_OCNTCFG	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								int_ocnt_cfg							
Reset	0 0															
Bits	Access	Name	Description													
[31:16]	-	reserved	保留。													
[15:0]	RW	int_ocnt_cfg	输出队列多包中断门限。													

CHANn_DEST_LST_SADDR

CHANn_DEST_LST_SADDR 为通道 n 输出队列的起始地址，该地址必须为 WORD 对齐地址。



Offset Address		Register Name		Total Reset Value				
0x1000+n*128+0x4C		CHANn_DEST_LST_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dest_lst_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dest_lst_saddr	输出队列的起始地址。					

CHANn_OAGE_TIMER

CHANn_OAGE_TIMER 为通道 n 输出队列中断的老化时间配置，如果在老化时间计数器溢出时，输出队列处理完成的 Buffer 数如果大于 0，会报输出队列处理完成中断。

Offset Address		Register Name		Total Reset Value				
0x1000+n*128+0x50		CHANn_OAGE_TIMER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				oage_timer			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	oage_timer	老化中断定时器。					

INT_STATUS

INT_STATUS 为中断状态寄存器。



Offset Address		Register Name		Total Reset Value																
0x1400		INT_STATUS		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				ch7_ibuf_int	ch6_ibuf_int	ch5_ibuf_int	ch4_ibuf_int	ch3_ibuf_int	ch2_ibuf_int	ch1_ibuf_int	ch0_ibuf_int	ch7_obuf_int	ch6_obuf_int	ch5_obuf_int	ch4_obuf_int	ch3_obuf_int	ch2_obuf_int	ch1_obuf_int	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																	
[31:16]	-	reserved	保留。																	
[15]	RO	ch7_ibuf_int	通道 7 输入队列数据中断。																	
[14]	RO	ch6_ibuf_int	通道 6 输入队列数据中断。																	
[13]	RO	ch5_ibuf_int	通道 5 输入队列数据中断。																	
[12]	RO	ch4_ibuf_int	通道 4 输入队列数据中断。																	
[11]	RO	ch3_ibuf_int	通道 3 输入队列数据中断。																	
[10]	RO	ch2_ibuf_int	通道 2 输入队列数据中断。																	
[9]	RO	ch1_ibuf_int	通道 1 输入队列数据中断。																	
[8]	RO	ch0_ibuf_int	通道 0 数据处理完成中断。																	
[7]	RO	ch7_obuf_int	通道 7 输出队列数据中断。																	
[6]	RO	ch6_obuf_int	通道 6 输出队列数据中断。																	
[5]	RO	ch5_obuf_int	通道 5 输出队列数据中断。																	
[4]	RO	ch4_obuf_int	通道 4 输出队列数据中断。																	
[3]	RO	ch3_obuf_int	通道 3 输出队列数据中断。																	
[2]	RO	ch2_obuf_int	通道 2 输出队列数据中断。																	
[1]	RO	ch1_obuf_int	通道 1 输出队列数据中断。																	
[0]	-	reserved	保留。																	

INT_EN

INT_EN 为中断使能寄存器。



Offset Address		Register Name		Total Reset Value															
0x1404		INT_EN		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	int_en reserved			ch7_ibuf_en	ch6_ibuf_en	ch5_ibuf_en	ch4_ibuf_en	ch3_ibuf_en	ch2_ibuf_en	ch1_ibuf_en	ch0_ibuf_en	ch7_obuf_en	ch6_obuf_en	ch5_obuf_en	ch4_obuf_en	ch3_obuf_en	ch2_obuf_en	ch1_obuf_en	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																
[31]	RW	int_en	Cipher 模块的总中断使能。																
[30:16]	-	reserved	保留。																
[15]	RW	ch7_ibuf_en	通道 7 输入队列数据中断使能。																
[14]	RW	ch6_ibuf_en	通道 6 输入队列数据中断使能。																
[13]	RW	ch5_ibuf_en	通道 5 输入队列数据中断使能。																
[12]	RW	ch4_ibuf_en	通道 4 输入队列数据中断使能。																
[11]	RW	ch3_ibuf_en	通道 3 输入队列数据中断使能。																
[10]	RW	ch2_ibuf_en	通道 2 输入队列数据中断使能。																
[9]	RW	ch1_ibuf_en	通道 1 输入队列数据中断使能。																
[8]	RW	ch0_ibuf_en	通道 0 数据处理完成中断使能。																
[7]	RW	ch7_obuf_en	通道 7 输出队列数据中断使能。																
[6]	RW	ch6_obuf_en	通道 6 输出队列数据中断使能。																
[5]	RW	ch5_obuf_en	通道 5 输出队列数据中断使能。																
[4]	RW	ch4_obuf_en	通道 4 输出队列数据中断使能。																
[3]	RW	ch3_obuf_en	通道 3 输出队列数据中断使能。																
[2]	RW	ch2_obuf_en	通道 2 输出队列数据中断使能。																
[1]	RW	ch1_obuf_en	通道 1 输出队列数据中断使能。																
[0]	-	reserved	保留。																

INT_RAW

INT_RAW 为原始中断状态寄存器。



Offset Address		Register Name		Total Reset Value																
0x1408		INT_RAW		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				ch7_ibuf_raw	ch6_ibuf_raw	ch5_ibuf_raw	ch4_ibuf_raw	ch3_ibuf_raw	ch2_ibuf_raw	ch1_ibuf_raw	ch0_ibuf_raw	ch7_obuf_raw	ch6_obuf_raw	ch5_obuf_raw	ch4_obuf_raw	ch3_obuf_raw	ch2_obuf_raw	ch1_obuf_raw	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																	
[31:16]	-	reserved	保留。																	
[15]	RWC	ch7_ibuf_raw	通道 7 输入队列数据原始中断。																	
[14]	RWC	ch6_ibuf_raw	通道 6 输入队列数据原始中断。																	
[13]	RWC	ch5_ibuf_raw	通道 5 输入队列数据原始中断。																	
[12]	RWC	ch4_ibuf_raw	通道 4 输入队列数据原始中断。																	
[11]	RWC	ch3_ibuf_raw	通道 3 输入队列数据原始中断。																	
[10]	RWC	ch2_ibuf_raw	通道 2 输入队列数据原始中断。																	
[9]	RWC	ch1_ibuf_raw	通道 1 输入队列数据原始中断。																	
[8]	RWC	ch0_ibuf_raw	通道 0 数据处理完成原始中断。																	
[7]	RWC	ch7_obuf_raw	通道 7 输出队列数据原始中断。																	
[6]	RWC	ch6_obuf_raw	通道 6 输出队列数据原始中断。																	
[5]	RWC	ch5_obuf_raw	通道 5 输出队列数据原始中断。																	
[4]	RWC	ch4_obuf_raw	通道 4 输出队列数据原始中断。																	
[3]	RWC	ch3_obuf_raw	通道 3 输出队列数据原始中断。																	
[2]	RWC	ch2_obuf_raw	通道 2 输出队列数据原始中断。																	
[1]	RWC	ch1_obuf_raw	通道 1 输出队列数据原始中断。																	
[0]	-	reserved	保留。																	

RST_STATUS

模块复位状态指示信号。



Offset Address		Register Name		Total Reset Value																												
0x140C		RST_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											rst_status				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:1]	-	reserved	保留。																													
[0]	RO	rst_status	CIPHER 模块复位状态指示信号。 0: CIPHER 当前正处于复位状态; 1: CIPHER 当前处于正常工作状态。																													

CHAN0_CFG

CHAN0_CFG 为通道 0 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x1410		CHAN0_CFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											ch0_busy	ch0_start			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:2]	-	reserved	保留。																													
[1]	RO	ch0_busy	通道 0 状态信号。																													
[0]	RW	ch0_start	通道 0 加解密启动信号。																													



3.7 定时器

3.7.1 概述

Timer 模块主要实现定时、计数功能，可以供操作系统用作系统时钟，也可以供应用程序用作定时和计数。Hi3531 提供 4 组 Dual-Timer 模块：Dual-Timer0、Dual-Timer1、Dual-Timer2、Dual-Timer3。

- Dual-Timer0 包括 Timer0、Timer1，他们共用同一个基地址和同一根中断线。
- Dual-Timer1 包括 Timer2、Timer3，他们共用同一个基地址和同一根中断线。
- Dual-Timer2 包括 Timer4、Timer5，他们共用同一个基地址和同一根中断线。
- Dual-Timer3 包括 Timer6、Timer7，他们共用同一个基地址和同一根中断线。

每组 Dual-Timer 模块包含两个功能完全相同的 Timer。

3.7.2 特点

Dual-Timer 模块具有以下特点：

- 有 2 个带可编程 8 位预分频器的 32bit/16bit 减法定时器/计数器。
- 计数时钟可配置，系统处于 NORMAL 模式时，Dual-Timer0 和 Dual-Timer1 的计数时钟可以选择为系统总线时钟或晶振时钟。
- 支持 3 种计数模式：自由运行模式、周期模式和单次计数模式。
- 有 2 种载入计数初值的方法，分别通过 `TIMERx_LOAD` 和 `TIMERx_BGLOAD` 寄存器实现。
- 当前的计数值可随时读取。
- 当计数值减到 0 时会产生一个中断。

3.7.3 功能描述

功能原理

Timer 基于一个 32bit/16bit（可配置）减法计数器。计数器的值在每个计数时钟的上升沿减 1。当计数值递减到零，Timer 将产生一个中断。

Timer 有以下 3 种计数模式：

- 自由运行模式
定时器持续计数，当计数值减到 0 时又自动回转到其最大值，并继续计数。当计数长度为 32bit 时，最大值为 `0xFFFF_FFFF`。当计数长度为 16bit 时，最大值为 `0xFFFF`。在自由模式下，也可以载入计数值，并立即从载入值递减计数，但计到 0 时回转到其最大值。
- 周期模式
定时器持续计数，当计数值减到 0 时从 `TIMERx_BGLOAD` 寄存器中再次载入初值并继续计数。
- 单次计数模式



向定时器中载入计数初值。当定时器的计数值减到 0 时就停止计数，直到重新被载入新值且定时器处于使能状态，才再次开始计数。

每个 Timer 具有一个预分频计数器 (prescaler)，可将其工作时钟在 Timer 内部再次进行 1 分频、16 分频或 256 分频。进一步提高计数时钟频率的选择灵活性。

对定时器载入计数初值的方法如下：

- 通过写 `TIMERx_LOAD` 寄存器可对定时器载入计数初值。当定时器处于工作状态时，如果向 `TIMERx_LOAD` 寄存器写入值，会导致定时器立刻从新值开始重新计数。适用于所有计数模式。
- 通过写 `TIMERx_BGLOAD` 寄存器可以设定周期计数模式的计数周期。写该寄存器不会立刻影响定时器的当前计数，定时器会继续计数直到计数值减到 0。然后载入 `TIMERx_BGLOAD` 寄存器中的新值开始计数。

3.7.4 工作方式

3.7.4.1 初始化

系统初始化时应对 Timer 进行初始化。初始化 TimerX (TimerX 中的“X”取值为 0、1、2、3、4、5、6、7) 时应按以下步骤进行配置：

1. 写 `TIMERx_LOAD` 寄存器，为 Timer 载入计数初值。
2. 当需要 Timer 工作在周期计数模式下、且计数周期与载入 Timer 的计数初值不同时，写 `TIMERx_BGLOAD` 寄存器，设置 Timer 的计数周期。
3. 配置系统控制寄存器 `SC_CTRL`，设置 Timer 的时钟使能信号的参考时钟。
4. 配置 `TIMERx_CONTROL` 寄存器，设置 Timer 的计数模式、计数器长度、预分频因子及中断屏蔽，同时启动 Timer 计数。

----结束

3.7.4.2 中断处理

Timer 主要用于定时产生中断，因此 Timer 的中断处理主要是激活等待定时中断的进程。操作步骤如下：

1. 配置 `TIMERx_INTCLR` 寄存器，清除 Timer 中断。
2. 激活等待该中断的进程，使其继续执行。
3. 当所有等待该中断的进程完成或再次执行到等待中断的休眠状态时，恢复中断现场，继续执行当前被中断的程序。

----结束

3.7.4.3 时钟选择

Dual-Timer0、Dual-Timer1、Dual-Timer2、Dual-Timer3 均有 2 种计数时钟可选择。下面以 Timer0 为例，时钟选择配置流程如下：



选择总线时钟进行计数

选择总线时钟进行计数的步骤如下：

1. 配置系统控制器的 `SC_CTRL[timeren0ov]=1`。
2. 初始化 Timer，开始计数。

----结束

选择晶振时钟进行计数

选择 3MHz 时钟进行计数的步骤如下：

1. 配置系统控制器的 `SC_CTRL[timeren0ov]=0`。
2. 配置系统控制器的 `SC_CTRL[timeren0sel]=0`。
3. 初始化 Timer，开始计数。

----结束

3.7.5 寄存器概览

Timer 模块中的 8 个定时器各自有一组寄存器，这 8 组寄存器除基址和偏移地址各不相同外其他特性都相同。其中：

- Timer0、Timer1 共用一个基址：0x2000_0000。
- Timer2、Timer3 共用一个基址：0x2001_0000。
- Timer4、Timer5 共用一个基址：0x2013_0000。
- Timer6、Timer7 共用一个基址：0x2014_0000。

说明

TIMERx 中的“x”取值为 0、1、2、3、4、5、6、7。

表3-36 Timer 寄存器概览（基址是 0x2000_0000、0x2001_0000、0x2013_0000、0x2014_0000）

Timer0/2/4/6 的偏移地址	Timer1/3/5/7 的偏移地址	名称	描述	页码
0x000	0x020	TIMERx_LOAD	计数初值寄存器	3-268
0x004	0x024	TIMERx_VALUE	当前计数值寄存器	3-269
0x008	0x028	TIMERx_CONTROL	Timer 控制寄存器	3-270
0x00C	0x02C	TIMERx_INTCLR	中断清除寄存器	3-272
0x010	0x030	TIMERx_RIS	原始中断寄存器	3-273
0x014	0x034	TIMERx_MIS	屏蔽后中断寄存器	3-274



Timer0/2/4/6 的偏移地址	Timer1/3/5/7 的偏移地址	名称	描述	页码
0x018	0x038	TIMERx_BGLOAD	周期模式计数初值寄存器	3-275

3.7.6 寄存器描述



- TIMER0_XXXX、TIMER2_XXXX、TIMER4_XXXX 和 TIMER6_XXXX 的偏移地址相同，关于这 4 个相似的寄存器描述均以 TIMER0_XXXX 为例进行介绍。
- TIMER1_XXXX、TIMER3_XXXX、TIMER5_XXXX 和 TIMER7_XXXX 的偏移地址相同，关于这 4 个相似的寄存器描述均以 TIMER1_XXXX 为例进行介绍。

TIMERx_LOAD

TIMERx_LOAD 为计数初值寄存器。用来配置定时器的计数初值。Timer0~Timer3 各有 1 个计数初值寄存器。

当定时器处于周期模式且计数值递减到 0 时，将的值重新载入计数器。当直接写 [TIMERx_LOAD](#) 寄存器时，定时器当前的计数器将在被 TIMCLKENx 使能的下一个 TIMCLK 的上升沿更新为写入值。



- 向 TIMERx_LOAD 寄存器写入的最小有效值为 1。
- 当向 TIMERx_LOAD 写 0 时，Dual-Timer 将会立刻产生 1 个中断。

当向 [TIMERx_BGLOAD](#) 寄存器写入值时，[TIMERx_LOAD](#) 的值也会被覆盖，但定时器计数的当前值不会受到影响。

如果在被 TIMCLKENx 使能的 TIMCLK 的上升沿到来之前，向 [TIMERx_BGLOAD](#) 寄存器和 [TIMERx_LOAD](#) 寄存器都写入了值，则在被 TIMCLKENx 使能的 TIMCLK 的下一个上升沿定时计数器的值首先更新为 [TIMERx_LOAD](#) 的写入值。此后，每当计数器递减到 0 时，重新载入 [TIMERx_BGLOAD](#) 与 [TIMERx_LOAD](#) 中最晚被写入的寄存器的写入值。

在分别对 [TIMERx_BGLOAD](#) 寄存器和 [TIMERx_LOAD](#) 寄存器进行了 2 次写入之后，读 [TIMERx_LOAD](#) 返回的值为 [TIMERx_BGLOAD](#) 的写入值。

a. TIMER0_LOAD

	Offset Address	Register Name	Total Reset Value
	0x000	TIMER0_LOAD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_load		
Reset	0 0		



Bits	Access	Name	Description
[31:0]	RW	timer0_load	Timer0 的计数初值。

b. TIMER1_LOAD

Offset Address	Register Name	Total Reset Value
0x020	TIMER1_LOAD	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	timer1_load																																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																															
[31:0]	RW	timer1_load	Timer1 的计数初值。																															

TIMER_x_VALUE

TIMER_x_VALUE 为当前计数值寄存器。用于给出正在递减的计数器的当前值。
Timer0~7 各有 1 个当前计数值寄存器。

当向 **TIMER_x_LOAD** 寄存器的写操作发生后，**TIMER_x_VALUE** 在 PCLK 时钟域立刻反映出计数器的新载入值，不用等到下一个被 TIMCLKEN_x 使能的 TIMCLK 时钟沿到来。

说明

当定时器处于 16bit 模式时，32bit 的 **TIMER_x_VALUE** 寄存器的高 16bit 并未被自动设为 0。若该定时器以前处于 32bit 模式，并且自从进入 16bit 模式后 **TIMER_x_LOAD** 从未被写过，则 **TIMER_x_VALUE** 寄存器的高 16bit 可能具有非零值。

a. TIMER0_VALUE

Offset Address	Register Name	Total Reset Value
0x004	TIMER0_VALUE	0xFFFF_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	timer0_value																																
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bits	Access	Name	Description																														
[31:0]	RO	timer0_value	正在递减的 Timer0 的当前值。																														

b. TIMER1_VALUE



Offset Address		Register Name		Total Reset Value		
0x024		TIMER1_VALUE		0xFFFF_FFFF		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0					
Name	timer0_value					
Reset	1 1					
Bits	Access	Name	Description			
[31:0]	RO	timer0_value	正在递减的 Timer1 的当前值。			

TIMERx_CONTROL

TIMERx_CONTROL 为 TIMER 控制寄存器。Timer0~3 各有 1 个控制寄存器。



当选择用周期模式进行计数时，需要将 TIMERx_CONTROL[timermode]置 1、TIMERx_CONTROL[oneshot]置 0。

a. TIMER0_CONTROL

Offset Address		Register Name		Total Reset Value		
0x008		TIMER0_CONTROL		0x0000_0000		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0					
Name	reserved					timeren timermode intenable reserved timerpre timersize oneshot
Reset	0 0					
Bits	Access	Name	Description			
[31:8]	-	reserved	保留。			
[7]	RW	timeren	定时器使能。 0: Timer 禁止; 1: Timer 使能。			
[6]	RW	timermode	定时器的计数模式。 0: 自由运行模式; 1: 周期模式。			
[5]	RW	intenable	TIMERx_RIS 中断屏蔽。 0: 屏蔽该中断; 1: 不屏蔽该中断。			



Offset Address		Register Name		Total Reset Value									
0x008		TIMER0_CONTROL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						timeren	timermode	intenable	reserved	timerpre	timersize	oneshot
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[4]	-	reserved	保留。										
[3:2]	RW	timerpre	该字段用于设置 Timer 的预分频因子。 00: 不经过预分频, 时钟频率除以 1; 01: 4 级预分频, 将 Timer 时钟频率除以 16; 10: 8 级预分频, 将 Timer 时钟频率除以 256; 11: 未定义, 若设为该值, 相当于 8 级预分频, 将 Timer 时钟频率除以 256。										
[1]	RW	timersize	选择 16bit/32bit 计数器操作模式。 0: 16bit 计数器; 1: 32bit 计数器。										
[0]	RW	oneshot	选择计数模式为单次计数模式还是周期计数模式。 0: 周期计数模式或自由运行模式; 1: 单次计数模式。										

b. TIMER1_CONTROL

Offset Address		Register Name		Total Reset Value									
0x028		TIMER1_CONTROL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						timeren	timermode	intenable	reserved	timerpre	timersize	oneshot
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:8]	-	reserved	保留。										



[7]	RW	timeren	定时器使能。 0: Timer 禁止; 1: Timer 使能。
[6]	RW	timermode	定时器的计数模式。 0: 自由运行模式; 1: 周期模式。
[5]	RW	intenable	TIMERx_RIS 中断屏蔽。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[4]	-	reserved	保留。
[3:2]	RW	timerpre	该字段用于设置 Timer 的预分频因子。 00: 不经过预分频, 时钟频率除以 1; 01: 4 级预分频, 将 Timer 时钟频率除以 16; 10: 8 级预分频, 将 Timer 时钟频率除以 256; 11: 未定义, 若设为该值, 相当于预分频因子等于 10。
[1]	RW	timersize	选择 16bit/32bit 计数器操作模式。 0: 16bit 计数器; 1: 32bit 计数器。
[0]	RW	oneshot	选择计数模式为单次计数模式还是周期计数模式。 0: 周期计数模式; 1: 单次计数模式。

TIMERx_INTCLR

TIMERx_INTCLR 为中断清除寄存器。对该寄存器的任何写操作都会清除相应计数器的中断状态。Timer0~Timer3 各有 1 个中断清除寄存器。



注意

本寄存器是只写寄存器，写进去任意值，都会引起 Timer 清中断，内部并不记忆写入的值，无复位值。

a. TIMER0_INTCLR

Offset Address	Register Name	Total Reset Value
0x00C	TIMER0_INTCLR	-



Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timer0_intclr																															
Reset	? ?																															
Bits	Access		Name		Description																											
[31:0]	WO		timer0_intclr		写该寄存器，清除 Timer0 的中断输出。																											

b. TIMER1_INTCLR

Offset Address	Register Name		Total Reset Value																													
0x02C	TIMER1_INTCLR		-																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timerx1_intclr																															
Reset	? ?																															
Bits	Access		Name		Description																											
[31:0]	WO		timer1_intclr		写该寄存器，清除 Timer1 的中断输出。																											

TIMERx_RIS

TIMERx_RIS 为原始中断寄存器。Timer0~Timer3 各有 1 个原始中断寄存器。

a. TIMER0_RIS

Offset Address	Register Name		Total Reset Value																														
0x030	TIMER0_RIS		0x0000_0000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																															timer0ris	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																												
[31:1]	-		reserved		保留。写入无效，读时返回 0。																												
[0]	RO		timer0ris		Timer0 的原始中断状态。 0: 未产生中断; 1: 已产生中断。																												



b. TIMER1_RIS

	Offset Address				Register Name				Total Reset Value																							
	0x030				TIMER1_RIS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										timer1ris					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	-	reserved		保留。写入无效，读时返回 0。																											
	[0]	RO	timer1ris		Timer1 的原始中断状态。 0: 未产生中断; 1: 已产生中断。																											

TIMERx_MIS

TIMERx_MIS 为屏蔽后中断寄存器。Timer0~Timer3 各有 1 个屏蔽后中断寄存器。

a. TIMER0_MIS

	Offset Address				Register Name				Total Reset Value																							
	0x014				TIMER0_MIS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										timer0mis					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	-	reserved		保留。																											
	[0]	RO	timer0mis		屏蔽后的 Timer0 的中断状态。 0: 中断无效; 1: 中断有效。																											

b. TIMER1_MIS



Offset Address		Register Name		Total Reset Value					
0x034		TIMER1_MIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								timer1mis
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	timer1mis	屏蔽后的 Timer1 的中断状态。 0: 中断无效; 1: 中断有效。						

TIMERx_BGLOAD

TIMERx_BGLOAD 为周期模式计数初值寄存器。Timer0~Timer3 各有 1 个周期模式计数初值寄存器。

TIMERx_BGLOAD 寄存器中包含了定时器的计数初值。该寄存器用于在周期模式下，当定时器的计数值递减到 0 时重新载入计数初值。

该寄存器提供了访问 TIMERx_LOAD 寄存器的另一种方法。不同之处在于写入值到 TIMERx_BGLOAD 寄存器中不会导致定时器立即从新写入值开始计数。

a. TIMER0_BGLOAD

Offset Address		Register Name		Total Reset Value				
0x018		TIMER0_BGLOAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	timer0bgload							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	timer0bgload	Timer0 的计数初值。 注意：与 TIMERx_LOAD 寄存器有区别，具体请参见 TIMERx_LOAD 寄存器的描述。					

b. TIMER1_BGLOAD



	Offset Address	Register Name	Total Reset Value
	0x038	TIMER1_BGLOAD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer1bgload		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	timer1bgload	Timer1 的计数初值。 注意： 与 TIMERx_LOAD 寄存器有区别，具体请参见 TIMERx_LOAD 寄存器的描述。

3.8 看门狗

3.8.1 概述

看门狗 WatchDog 用于系统异常情况下，一定时间内发出复位信号，以复位整个系统。

3.8.2 特点

WatchDog 具备以下特点：

- 内部具有一个 32bit 减法计数器，计数时钟源可配置。
- 支持超时时间间隔（即计数初值）可配置。
- 支持寄存器锁定，防止寄存器被误改。
- 支持超时中断产生。
- 支持复位信号产生。
- 支持调试模式。

3.8.3 功能描述

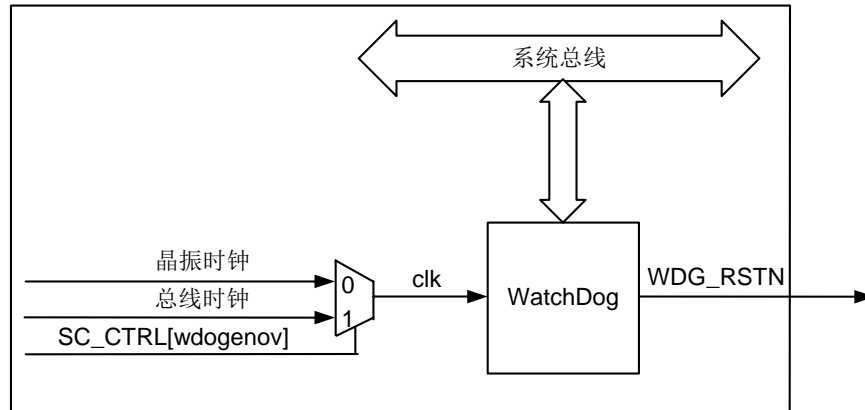
应用框图

系统通过 SC_CTRL [wdogenov]给 WatchDog 选择配置时钟，并通过系统总线给 WatchDog 配置寄存器参数值。WatchDog 定时发出中断请求给系统，并在系统没有响应中断的情况下（如：死机），发出 WDG_RSTN 复位信号，使系统复位，达到监控系统运行的目的。

WatchDog 应用框图如图 3-22 所示。



图3-22 WatchDog 应用框图



功能原理

WatchDog 的运行基于 1 个 32bit 减法计数器，计数初值由寄存器 **WDG_LOAD** 载入。在 WatchDog 时钟使能情况下，计数值在每个计数时钟的上升沿减 1。当计数值递减到 0，WatchDog 将产生一个中断。然后在下一个计数时钟上升沿，计数器又从寄存器 **WDG_LOAD** 中重新载入计数初值，开始递减计数。

如果计数器的计数值第二次计数递减到 0 时，CPU 还没有清除 WatchDog 中断，则 WatchDog 将发出复位信号 **WDG_RSTN**，计数器停止计数。

根据实际应用需要，可通过配置 **WDG_CONTROL** 使能或者禁止 WatchDog 产生中断和复位信号：

- 当禁止产生中断时，计数器将停止计数。
- 当重新开启中断时，WatchDog 将从 **WDG_LOAD** 的设定值开始计数，而不是从计数器上次停止时的计数值开始计数。在中断到来之前，可以重新载入初值。

WatchDog 的计数时钟可以选择晶振时钟或者总线时钟，便于选择不同的计数时间范围。

通过配置 **WDG_LOCK** 寄存器，可以禁止对 WatchDog 内部寄存器进行写操作：

- 向 **WDG_LOCK** 写入 0x1ACC_E551，可以打开所有 WatchDog 寄存器的写权限。
- 向 **WDG_LOCK** 寄存器写入其他任何值，可以关闭所有 WatchDog 寄存器（**WDG_LOCK** 寄存器除外）的写权限。

该特性保护 WatchDog 的寄存器不被软件错误地修改，从而使得在异常情况下，WatchDog 不致被软件错误地中止操作。

在调试模式下，WatchDog 自动关闭，以防止干扰正常的调试操作。



3.8.4 工作方式

计数时钟频率配置

系统支持 2 种 WatchDog 计数时钟：3MHz 时钟和总线时钟，通过 SC_CTRL [wdogenov] 进行配置。

WatchDog 计数时间为 T_{WDG} ：

$$T_{\text{WDG}} = \text{Value}_{\text{WDG_LOAD}} \times \left(\frac{1}{f_{\text{clk}}} \right)$$

说明

其中上式中，各参数代表的意义分别是：

- T_{WDG} 表示 WatchDog 计数时间；
- $\text{Value}_{\text{WDG_LOAD}}$ 表示 WatchDog 计数初值；
- f_{clk} 表示 WatchDog 计数时钟频率。

WatchDog 在不同时钟下的计数时间范围值如下：

- 当选择 3MHz 时钟时，计数时间范围为 0s~1400s。
- 当选择总线时钟（以 100MHz 为例）时，计数时间范围为 0s~42s。

系统初始化配置

系统上电复位后 WatchDog 计数器处于停止计数状态，在系统初始化过程中需要将 WatchDog 初始化并启动其运行。WatchDog 的初始化过程如下：

1. 写寄存器 **WDG_LOAD**，设定计数初值。
2. 写寄存器 **WDG_CONTROL**，打开中断屏蔽并启动 WatchDog 计数。
3. 写寄存器 **WDG_LOCK**，给 WatchDog 上锁，防止软件错误修改 WatchDog 的配置。

----结束

中断处理过程

收到 WatchDog 发出的中断后，应及时清除其中断状态，并使其载入计数初值重新开始计数。WatchDog 中断处理的过程如下所示：

1. 向 **WDG_LOCK** 写 0x1ACC_E551，为 WatchDog 开锁。
2. 写寄存器 **WDG_INTCLR**，清除 WatchDog 的中断状态，同时也使 WatchDog 自动载入计数初值重新开始计数。
3. 向寄存器 **WDG_LOCK** 写入 0x1ACC_E551 以外的任何值，给 WatchDog 上锁。

----结束



关闭 WatchDog

向寄存器 `WDG_CONTROL`[inten]控制位写入 0 或 1 控制 WatchDog 的状态:

- 0: 关闭 WatchDog;
- 1: 打开 WatchDog。

3.8.5 WatchDog 寄存器概览

WatchDog 寄存器概览如表 3-37 所示。

表3-37 WatchDog 寄存器概览（基址是 0x2004_0000）

偏移地址	名称	描述	页码
0x0000	WDG_LOAD	计数初值寄存器	3-279
0x0004	WDG_VALUE	计数器当前值寄存器	3-280
0x0008	WDG_CONTROL	控制寄存器	3-280
0x000C	WDG_INTCLR	中断清除寄存器	3-281
0x0010	WDG_RIS	原始中断寄存器	3-281
0x0014	WDG_MIS	屏蔽后中断寄存器	3-281
0x0018~ 0x0BFC	RESERVED	保留	-
0x0C00	WDG_LOCK	LOCK 寄存器	3-282

3.8.6 WatchDog 寄存器描述

WDG_LOAD

WDG_LOAD 为计数初值寄存器。用来配置 WatchDog 内部计数器的计数初值。

	Offset Address	Register Name	Total Reset Value
	0x0000	WDG_LOAD	0xFFFF_FFFF
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	wdg_load		
Reset	1 1		
Bits	Access	Name	Description
[31:0]	RW	wdg_load	计数初值。



WDG_VALUE

WDG_VALUE 为计数器当前值寄存器。用来读出 WatchDog 内部计数器的当前计数值。

Offset Address		Register Name		Total Reset Value				
0x0004		WDG_VALUE		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdogvalue							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	RO	wdogvalue	WatchDog 计数器当前值。					

WDG_CONTROL

WDG_CONTROL 为控制寄存器。用来控制 WatchDog 的打开/关闭、中断和复位功能。

Offset Address		Register Name		Total Reset Value					
0x0008		WDG_CONTROL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							resen	inten
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RW	resen	WatchDog 复位信号输出使能。 0: 禁止; 1: 使能。						
[0]	RW	inten	WatchDog 中断信号输出使能。 0: 计数器停止计数, 计数值保持当前值不变, WatchDog 被关闭; 1: 既启动计数器又使能中断, WatchDog 被启动。						



WDG_INTCLR

WDG_INTCLR 为中断清除寄存器。用来清除 WatchDog 中断，使 WatchDog 重新载入初值进行计数。本寄存器是只写寄存器，写进去任意值，都会引起 WatchDog 清中断，内部并不记忆写入的值，无复位值。

Offset Address		Register Name		Total Reset Value				
0x000C		WDG_INTCLR		-				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_intclr							
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?
Bits	Access	Name	Description					
[31:0]	WO	wdg_intclr	对该寄存器写入任意值均可清除 WatchDog 的中断，并使 WatchDog 从寄存器 WDG_LOAD 中重新载入初值计数。					

WDG_RIS

WDG_RIS 为原始中断寄存器。用来反映 WatchDog 原始中断状态。

Offset Address		Register Name		Total Reset Value					
0x0010		WDG_RIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wdogris
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	wdogris	WatchDog 原始中断状态，当计数器的计数值递减到 0 时，该位置 1。 0: 未产生中断； 1: 已产生中断。						

WDG_MIS

WDG_MIS 为屏蔽后中断寄存器。用来反映屏蔽后的 WatchDog 中断状态。



Offset Address		Register Name		Total Reset Value					
0x0014		WDG_MIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wdogmis
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	wdogmis	WatchDog 屏蔽后的中断状态。 0: 未产生中断或者中断被屏蔽; 1: 已产生中断。						

WDG_LOCK

WDG_LOCK 为 LOCK 寄存器。用来控制 WatchDog 寄存器的读写权限。

Offset Address		Register Name		Total Reset Value				
0x0C00		WDG_LOCK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_lock							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wdg_lock	向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限； 向该寄存器写入其他值则关闭写权限。 读该寄存器返回加锁的状态而不是写入该寄存器的值： 0x0000_0000：允许写访问（未加锁）； 0x0000_0001：禁止写访问（已加锁）。					

3.9 实时时钟

3.9.1 概述

实时时钟 RTC（Real Time Clock）用于实现时间显示和定时报警功能。



3.9.2 特点

RTC 具备以下特点：

- 内部具有 1 个 32bit 加法计数器
- 计数时钟 1Hz
- 计数初值可配置
- 计数比较值可配置
- 支持超时中断产生
- 支持软复位

3.9.3 功能描述

RTC 的运行基于 1 个 32bit 加法计数器，计数初值由寄存器 `RTC_LR` 载入。计数器的值在每个计数时钟的上升沿加 1。当计数值递加到 `RTC_LR` 寄存器与 `RTC_MR` 寄存器值相等时，RTC 将产生一个中断，然后在下一个计数时钟上升沿，计数器继续递加计数。

根据实际应用需要，可通过配置 `RTC_IMSC` 使能或者禁止 RTC 产生中断信号。此时，存在以下两种情况：

- 当禁止产生中断时，RTC 计数器继续递加计数，将不会对外产生中断，在 `RTC_MIS` 中显示屏蔽后中断的状态，在 `RTC_RIS` 中显示原始中断状态。
- 当重新开启中断时，RTC 计数器仍然继续递加计数，当计数值递加到 `RTC_LR` 寄存器与 `RTC_MR` 寄存器值相等时，RTC 将产生一个中断。

RTC 的计数时钟采用的是 1Hz 时钟，便于通过计数值转换为具体的年、月、日、时、分、秒。

3.9.4 工作方式

3.9.4.1 计数时钟频率

RTC 采用 1Hz 时钟进行计数，计数最大时间为：

$$T_{\text{RTC}} = (2^{32} - 1) \times (1/f_{\text{rtclk}}) = 4294967295(\text{秒}) \approx 49710(\text{天})$$

说明

T_{RTC} 表示 RTC 计数时间， $2^{32} - 1$ 表示 RTC 计数最大值， f_{rtclk} 表示 RTC 计数时钟频率：1Hz。

3.9.4.2 软复位

通过配置系统控制器 `PERI_CEG38[rtc_srst_req]`，可以实现对 RTC 的单独软复位。软复位后各个 RTC 配置寄存器的值均恢复为默认值，因此软复位后需要重新对这些寄存器进行初始化配置。

软复位步骤如下：

1. 向 `PERI_CRG57[rtc_srst_req]` 写 1，对 RTC 软复位。



2. 向 PERI_CRG57 [rtc_srst_req]写 0，撤消对 RTC 的软复位。

----结束

3.9.4.3 系统初始化

系统上电复位后，RTC 计数器处于停止计数状态，在系统初始化过程中需要将 RTC 初始化并启动其运行。RTC 的初始化过程如下：

1. 配置 PERI_CRG57 [rtc_srst_req]=0，撤消对 RTC 的软复位。
2. 配置 RTC_LOCK = 1ACCE551，解除 RTC 锁定。
3. 配置 RTC_CR[rtc_start]=1，启动 RTC 计数器开始计数。
4. 配置 RTC_MR，设置 RTC 比较值。
5. 配置 RTC_LR，设置 RTC 计数初始值。
6. RTC 按照 1Hz 的计数时钟频率，从 RTC_LR 中的值开始计数，当计数到 RTC_MR 中的值时，将根据 RTC_IMSC 的设置，决定是否产生中断。

----结束

3.9.4.4 中断处理

系统收到 RTC 发出的中断后，表示定时时间到，随后转入“定时开机”、“定时关机”等相应操作，RTC 计数器仍然保持递加计数。RTC 中断处理的过程如下：

1. 配置 RTC_ICR[rtc_icr]=0b1，清除 RTC 的中断状态。
2. 如果需要继续设置定时时间，则向寄存器 RTC_MR 写入新的比较值。

----结束

3.9.4.5 关闭 RTC

一旦配置 RTC_CR，启动 RTC 计数后，RTC 将一直处于计数状态。只有对 RTC 复位后，才能关闭 RTC。对 RTC 的软复位操作请参见“3.9.4.2 软复位”操作。

3.9.5 寄存器概览

表3-38 RTC 寄存器概览（基址是 0x2006_0000）

偏移地址	名称	描述	页码
0x000	RTC_DR	计数器当前值寄存器	3-285
0x004	RTC_MR	RTC 比较寄存器	3-285
0x008	RTC_LR	RTC 加载寄存器	3-286
0x00C	RTC_CR	RTC 使能寄存器	3-286



偏移地址	名称	描述	页码
0x010	RTC_IMSC	中断屏蔽寄存器	3-286
0x014	RTC_RIS	原始中断寄存器	3-287
0x018	RTC_MIS	屏蔽后中断寄存器	3-287
0x01C	RTC_ICR	中断清除寄存器	3-288
0x020	RTC_LOCK	锁定寄存器	3-288

3.9.6 寄存器描述

RTC_DR

RTC_DR 为计数器当前值寄存器，用来读取 RTC 内部计数器的当前值。

Offset Address	Register Name	Total Reset Value	
0x000	RTC_DR	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rtc_data		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RO	rtc_data	当前 RTC 计数值。

RTC_MR

RTC_MR 为 RTC 比较寄存器，用来设置 RTC 的比较值。

Offset Address	Register Name	Total Reset Value	
0x004	RTC_MR	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rtc_match		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	rtc_match	设置的 RTC 比较值。



RTC_LR

RTC_LR 为 RTC 加载寄存器，用来设置 RTC 计数初始值。

	Offset Address	Register Name	Total Reset Value
	0x008	RTC_LR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rtc_load		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	rtc_load	设置 RTC 计数初始值。

RTC_CR

RTC_CR 为控制寄存器，用来使能 RTC。一旦使能，只有系统复位才能清除该寄存器。对该寄存器的任何写操作不起作用。读则返回当前值。

	Offset Address	Register Name	Total Reset Value
	0x00C	RTC_CR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		rtc_start
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	rtc_start	RTC 使能。 0: 禁止 RTC。 1: 使能 RTC。

RTC_IMSC

RTC_IMSC 为中断屏蔽设置/清除寄存器，用来反映 RTC 中断屏蔽状态。

	Offset Address	Register Name	Total Reset Value
	0x010	RTC_IMSC	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		



Name	reserved																															rtc_imsc
Reset	0 0																															
Bits	Access	Name	Description																													
[31:1]	-	reserved	保留。																													
[0]	RW	rtc_imsc	RTC 中断屏蔽设置/清除控制。 0: 设置中断屏蔽; 1: 清除中断屏蔽。																													

RTC_RIS

RTC_RIS 为原始中断状态寄存器，用来反映 RTC 原始中断状态。

Offset Address	Register Name	Total Reset Value
0x014	RTC_RIS	0x0000_0000

Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																															rtc_ris
Name	reserved																															
Reset	0 0																															
Bits	Access	Name	Description																													
[31:1]	-	reserved	保留。																													
[0]	RO	rtc_ris	RTC 原始中断状态。 0: 未产生中断; 1: 已产生中断。																													

RTC_MIS

RTC_MIS 为 RTC 屏蔽后中断寄存器，用来反映屏蔽后的 RTC 中断状态。

Offset Address	Register Name	Total Reset Value
0x018	RTC_MIS	0x0000_0000

Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																															rtc_mis
Name	reserved																															



Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	rtc_mis	RTC 屏蔽后的中断状态。 0: 未产生中断或者中断被屏蔽。 1: 已产生中断。

RTC_ICR

RTC_ICR 为 RTC 清除中断寄存器，用来清除 RTC 中断。

	Offset Address	Register Name	Total Reset Value
	0x01C	RTC_ICR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved rtc_icr		
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	WO	rtc_icr	清除 RTC 中断。 0: 无影响; 1: 清除中断。

RTC_LOCK

RTC_LOCK 为 RTC 锁定寄存器，用来解除 RTC 的锁定状态。



Offset Address	Register Name	Total Reset Value	
0x020	RTC_LOCK	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	rtc_lock	解除 RTC 锁定。 1ACCE551: RTC 解锁，可正常对 RTC 进行操作； 其他 : RTC 处于锁定状态，不能进行任何操作。

3.10 电源管理与低功耗模式控制

3.10.1 概述

芯片的低功耗模式用来有效的减少芯片的功耗，芯片提供多种低功耗的控制来动态降低芯片的功耗。

- 系统工作模式控制
除了 NORMAL 模式之外，各种模式对功耗都有一定的减小作用，可以根据实际的功耗要求和功能要求选择不同的工作模式。
- 时钟门控和时钟频率调整
提供时钟关断功能，可以关闭没有必要的时钟，减少芯片的功耗。系统工作的时钟频率可以进行调整，在满足功能的情况下可以调节时钟频率，降低芯片功耗。
- 模块级低功耗控制
提供模块级的低功耗控制，在某模块不工作的情况下，关断该模块或使模块处于低功耗状态，以减少芯片的功耗。
- DDR 低功耗控制
DDR 的控制器和相关的管脚进行了动态的功耗控制功能，可以选择启动该功能，降低芯片功耗，还可以启动 DDR 的自刷新模式，来降低整个产品的功耗。

3.10.2 系统工作模式

系统提供两种工作模式：

- 正常工作模式：对应系统运行模式控制中的 NORMAL 模式。
系统正常工作在 NORMAL 模式下，可以通过控制运行的时钟频率，设置模块和 DDR 的低功耗控制，来降低运行时的功耗。
- 待机工作模式：对应系统运行模式控制中的 SLOW 模式和 DOZE 模式。



- 待机工作模式工作系统在极低工作时钟下，并且关闭了大部分不使用的模块的时钟，功耗较低。
- 待机工作在 SLOW 或 DOZE 模式下，可以通过关闭不工作模块的电源来直接减少待机的功耗。

模式切换可在系统控制器中配置。请参见系统控制器章节。

3.10.3 时钟门控和时钟频率调整

系统提供各个模块的时钟门控功能，在模块空闲的时候，可以关闭相应的时钟，降低芯片功耗，操作流程可以参见各个模块的时钟门控部分。

NORMAL 模式下，系统可以通过调整工作频率来降低芯片功耗，方法如下：

- 关闭业务模块，使其不访问 DDR。
- 系统切换到片上内存中运行。

配置 DDRC_SREFCTRL[*sr_seq*]为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。

1. 配置 SC_PLLCTRL[27:3]为 PLL 的稳定时间。
2. 配置 PERI_CRG0 和 PERI_CRG1，进行 PLL 分频比控制。
3. 根据 DDRC 的配置要求，等待一定的时间之后，配置 DDRC_SREFCTRL 退出自刷新，进行正常的操作。
4. 程序跳转到 DDR 中运行。

----结束

除了提供系统工作频率的调整外，部分模块的工作频率也可以单独进行调整。调整这些模块的工作频率，也可以进一步降低系统的功耗。具体参见“3.2.3 时钟配置”中关于各模块的时钟源选择部分。

3.10.4 模块级低功耗控制

芯片中的 USB 2.0 Host、PCIE、SATA、Video DAC 和 PLL 等 PHY 模块都可以提供低功耗的工作模式。（参见系统控制器及 VDP、时钟等章节寄存器描述）

- USB 2.0 Host 模块的低功耗控制
 - 配置 PERI_CRG46 bit[7]为 0，关闭 USB 2.0 Host 的时钟。
 - 配置 PERIPHCTRL21 bit[22]为 1，关断 USB PHY 电源。
- PCIE 模块的低功耗控制
 - 配置 PERI_CRG30 bit[5]和 PERI_CRG30 bit[1]为 0，分别关闭 PCIe0 和 PCIe1 的时钟。
 - 配置 PERIPHCTRL47 bit[1]和 PERIPHCTRL47 bit[0]为 1，分别关闭 PCIE PHY1 和 PCIE PHY0 的电源。
- SATA 模块的低功耗控制



- 配置 PERI_CRG45 bit[9]/PERI_CRG45 bit[8]为 0，关闭 SATA Port0 和 SATA Port1 的时钟。
- 配置 PERIPHCTRL47 bit[2]为 1，关断 SATA PHY 的电源。
- Video DAC 不使用时的低功耗控制
 - PERI_CRG13 bit[15]为 1，关断 VOU SD DAC 电源。
 - PERI_CRG13 bit[14]为 1，关断 VOU HD DAC 电源。
- PLL 提供低功耗的功能，如果不使用 PLL 的情况下可以关闭 PLL，使系统处于低功耗状态：
 - 如果不需要使用 APLL，则配置 PERI_CRG1 bit[21]为 0，禁止 APLL，使 APLL 处于低功耗状态。
 - 如果不需要使用 VPLL0，则配置 PERI_CRG3 bit[21]为 0，禁止 VPLL0，使 VPLL0 处于低功耗状态。
 - 如果不需要使用 VPLL1，则配置 PERI_CRG5 bit[21]为 0，禁止 VPLL1，使 VPLL1 处于低功耗状态。
 - 如果不需要使用 VPLL2，则配置 PERI_CRG7 bit[21]为 0，禁止 VPLL2，使 VPLL2 处于低功耗状态。
 - 如果不需要使用 EPLL，则配置 PERI_CRG9 bit[21]为 0，禁止 EPLL，使 EPLL 处于低功耗状态。

从 CPU、VENC、VDH、VPSS 等模块提供模块级单独断电和唤醒功能。（参见系统控制器寄存器描述）

从 CPU 断电和唤醒流程如图 3-23 所示。



图3-23 从 CPU 断电和唤醒流程

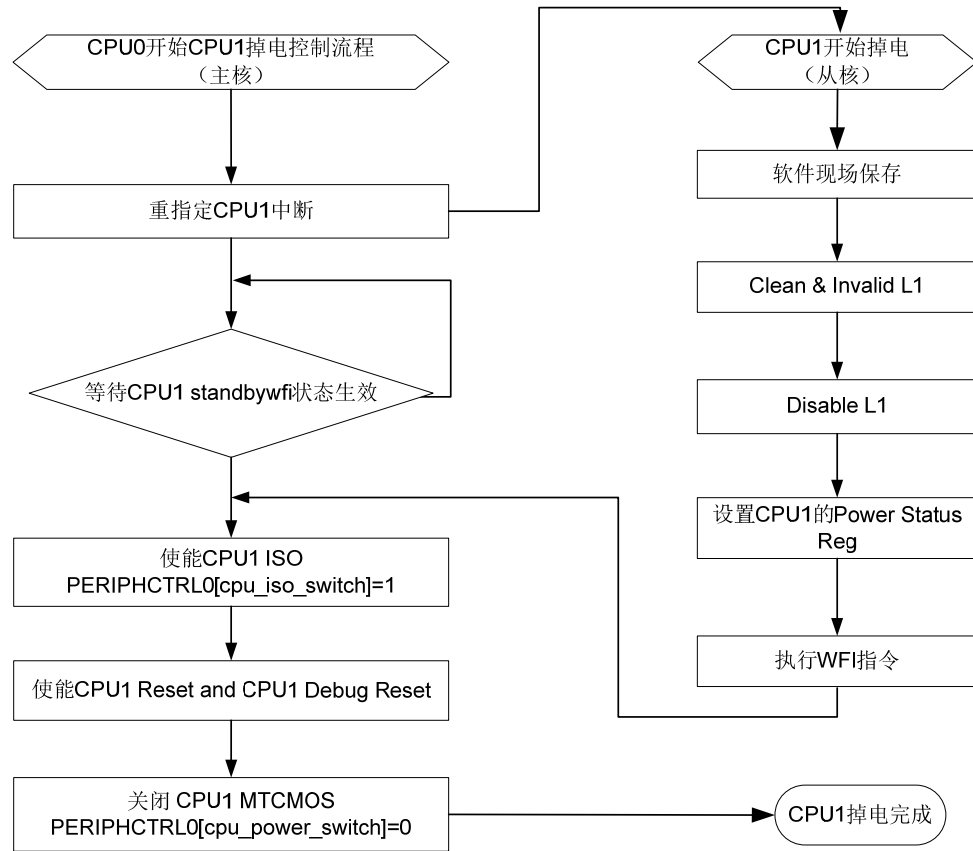
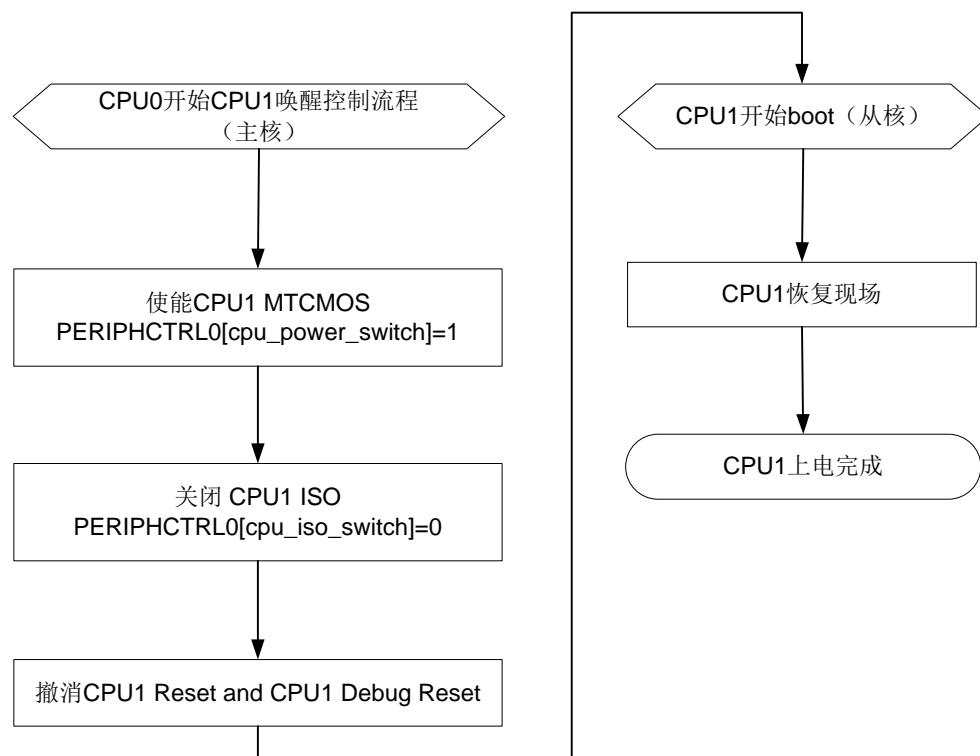




图3-24 从 CPU 断电和唤醒流程（续）



- 从 CPU 模块的低功耗控制
 - 配置 [PERI_CRG10](#) bit[17]为 1，关闭从 CPU 的时钟。
 - 配置 [PERIPHCTRL0](#) bit[6]为 1 和配置 [PERIPHCTRL0](#) bit[5]为 0，关断从 CPU 的电源。
查询 [SYSSTAT](#) bit[29]，获得从 CPU 的供电状态。
- VENC（VEDU）模块的低功耗控制
 - 配置 [PERI_CRG16](#) bit[1]和 [PERI_CRG17](#) bit[1]为 0，关闭 VEDU0 和 VEDU1 的时钟。
 - 配置 [PERIPHCTRL2](#) bit[11]为 1 和 [PERIPHCTRL2](#) bit[10]为 0，关断 VENC0（VEDU0）的电源；配置 [PERIPHCTRL2](#) bit[13]为 1 和 [PERIPHCTRL2](#) bit[12]为 0，关断 VENC1（VEDU1）的电源。
查询 [PERISTAT](#) bit[6]和 [PERISTAT](#) bit[5]，分别获得 VENC0（VEDU0）和 VENC1（VEDU1）的供电状态。
- VDH 模块的低功耗控制
 - 配置 [PERI_CRG20](#) bit[1]和 [PERI_CRG21](#) bit[1]为 0，关闭 VDH0 和 VDH1 的时钟。
 - 配置 [PERIPHCTRL2](#) bit[19]为 1 和 [PERIPHCTRL2](#) bit[18]为 0，关断 VDH0 的电源；配置 [PERIPHCTRL2](#) bit[21]为 1 和 [PERIPHCTRL2](#) bit[20]为 0，关断 VDH1 的电源。
查询 [PERISTAT](#)[9]和 [PERISTAT](#)[10]，分别获得 VDH0 和 VDH1 的供电状态。



- VPSS 模块的低功耗控制
 - 配置 PERI_CRG18 bit[1]和 PERI_CRG19 bit[1]为 0，关闭 VPSS0 和 VPSS1 的时钟。
 - 配置 PERIPHCTRL2 bit[15]为 1 和 PERIPHCTRL2 bit[14]为 0，关断 VPSS0 的电源；配置 PERIPHCTRL2 bit[17]为 1 和 PERIPHCTRL2 bit[16]为 0，关断 VPSS1 的电源。
查询 PERISTAT bit[7]和 PERISTAT bit[8]，分别获得 VPSS0 和 VPSS1 的供电状态。
- TOE 模块的低功耗控制
 - 配置 PERI_CRG51 bit[1]为 0，关闭 TOE 的时钟。
 - 配置 PERIPHCTRL44 bit[8]和 PERIPHCTRL44 bit[9]为 1，关断 MAC0 的电源；配置 PERIPHCTRL44 bit[10]和 PERIPHCTRL44 bit[11]为 1，关断 MAC1 的电源。
查询 PERIPHCTRL45 bit[1]和 PERIPHCTRL45 bit[0]，分别获得 MAC0 和 MAC1 的供电状态。

VICAP、BOOTROM 等提供内部 RAM/ROM 断电控制。（参见 VICAP 和系统控制器寄存器描述）

- VICAP 模块的低功耗控制
 - 配置 PERI_CRG11 bit[31:16]为 0x0000，关闭 VICAP 的时钟。
 - 配置 CH_PD_CTRL bit[0]为 1，关断 VICAP 模块内部 RAM 的电源。
- BOOTROM 模块的低功耗控制
 - PERIPHCTRL2 bit[0]为 1，关断 BOOTROM 模块内部 ROM 的电源。
 - PERIPHCTRL2 bit[2]为 1，关断 BOOTROM 模块内部第一块 RAM 的电源。
 - PERIPHCTRL2 bit[4]为 1，关断 BOOTROM 模块内部第二块 RAM 的电源。
 - PERIPHCTRL2 bit[6]为 1，关断 BOOTROM 模块内部第三块 RAM 的电源。

3.10.5 DDR 低功耗控制

关于 DDRC 的低功耗控制的详细内容请参见“DDRC 工作方式”中的“低功耗配置”。

3.11 处理器子系统

3.11.1 ARM Cortex-A9 处理器

Hi3531 采用 ARM Cortex-A9 的双核处理器，具有以下的特点：

- 处理器工作频率最大支持 930MHz。
- L1 Cache 包含 32KB Instruction Cache 和 32KB Data Cache。
- 包含 256KB L2 Cache，L2 Cache 与处理器同频，且与 AXI 总线之间的工作频率关系寄存器可配。如表 3-39 所示，共支持 3 种频率关系。



表3-39 CPU 与 AXI 总线之间的工作频率关系

L2 Cache 与 AXI 总线频率比		频率描述
总线频率 310MHz	3:1	L2 频率 930MHz, 总线频率 310MHz
	2:1	L2 频率 620MHz, 总线频率 310MHz
	1:1	L2 频率 310MHz, 总线频率 310MHz

- 处理器内部集成中断控制器 GIC (Generic Interrupt Controller), 支持 128 个中断源的处理。
- 处理器为乱序双发射结构, 基于单线程结构, 2.5DMIPS。
- 处理器采用八级流水。
- 包含 MMU (Memory Management Unit)。
- 处理器核内带硬件浮点处理单元, 支持 IEEE754 标准单双精度浮点运算。
- 支持 Vxworks、Linux 等操作系统。
- 支持基于 GHB (Global History Buffer) 的分支预测, 分支预测准确率达到 95%。
- 支持 JTAG 调试接口。
- 支持从核掉电。掉电前, CPU 需先进入 WFI 或者 WFE 状态。重新上电前, 需先将 CPU 复位信号有效。

3.11.2 L2 Cache

L2 Cache 具有以下特点:

- 256KB 大小。
- 基于物理地址和物理 tag。
- 支持 Format C 的 Cache Lockdown, Lockdown 对指令和数据操作分类, 被 Lockdown 的 RAM 空间可用作处理器的 TCM (Tightly Coupled Memory)。
- Cache Line 大小固定为 32byte (8word/256bit), 写操作支持按 byte 写。
- 支持写回 (write back)、写通 (write through)、读 Allocate 和写 Allocate 操作, 实际模式基于页表决定。
- 支持 PipeLine 方式对 TAG RAM 和 DATA RAM 的访问, 每个时钟周期能完成一次 TAG RAM 查询, 和 DATA RAM 读写。
- 提供 3 个 LFB (Line Fill Buffer), 该 Buffer 的功能为缓存从 memory Allocate 的数据, 直到数据填满一个 Line 后再提交给 L2 Memory。
- 为每个 Slave 端口提供 2 个 LRB (Line Read Buffer), 该 Buffer 的功能为缓存命中后供给 L1 cache 的 Cache Line。
- 提供 3 个 EB (Eviction Buffer), 该 Buffer 的功能为缓存由 L2 Cache 替换出来并准备写入主存的数据。
- 提供 3 个 WB (Write Buffer), 该 Buffer 缓存从 L1 写入, 需要写入 memory 及 L2 Cache 的数据; 该 Buffer 包括 1 个地址空间和 256bit 的数据空间, 支持 1 条 Line 以内的数据写入 1 条数据槽。



- 支持强制写 Allocate 功能，该功能强制所有 Cacheable 写操作发生 Allocate 操作。
- 支持 Shared 模式设置，默认情况下 Shared 操作被认定为 Cacheable 且 Not Allocate。
- 支持关键字优先。
- 支持原子性 Sync 操作。
- 支持伪随机替换算法，该算法和实际 Lockdown 状态相关（直接相联情况下替换算法将不起作用）。
- 提供 Exclusive Cache 功能，该功能可由软件配置使能；使能情况下可禁止数据同时存在于 L1 级和 L2 级。
- 支持按 Way（路）、Way+Index（路加索引）、Address（地址）进行 Clean（清理）和 Invalidate（无效）。
- 支持 Cache Memory 的 ECC，Tag RAM 和 Data RAM 均支持 1bit 纠错。
- 支持 Cache 的 Disable 功能，该功能下 Cache 被旁路，L1 所有操作透传至 memory。
- 支持 L2 Cache 性能统计，Cache 提供包括 Cache 访问事件、写回事件、缺失事件、缺失并等待事件统计。
- 支持对 Cluster 内部的事件进行统计，同时支持对 Cluster 内部特殊信号进行配置。

 说明

Format C Lockdown 原理请参见 ARM Architecture Reference Manual。



目 录

4 存储器接口	4-1
4.1 DDRC.....	4-1
4.1.1 概述.....	4-1
4.1.2 特点.....	4-1
4.1.3 功能描述.....	4-1
4.1.4 工作方式.....	4-8
4.1.5 寄存器概览.....	4-13
4.1.6 DDRC 寄存器描述.....	4-16
4.2 NAND Flash 控制器.....	4-64
4.2.1 概述.....	4-64
4.2.2 特点.....	4-64
4.2.3 功能描述.....	4-65
4.2.4 数据存储结构.....	4-70
4.2.5 软件操作.....	4-73
4.2.6 其它注意事项.....	4-74
4.2.7 NANDC 寄存器概览.....	4-74
4.2.8 NANDC 寄存器描述.....	4-76
4.3 SPI Flash 控制器.....	4-101
4.3.1 概述.....	4-101
4.3.2 特点.....	4-101
4.3.3 功能描述.....	4-102
4.3.4 工作流程.....	4-106
4.3.5 寄存器概览.....	4-108
4.3.6 寄存器描述.....	4-110



插图目录

图 4-1 单个 DDRC 与 2 片 DDRn SDRAM 的互联示意图	4-3
图 4-2 单个 DDRC 与 1 片 DDRn SDRAM 的互联示意图	4-4
图 4-3 DDR IO 参考电阻连接示意图	4-12
图 4-4 NANDC 接口框图	4-65
图 4-5 读 NAND Flash 一个 page 数据的典型时序图	4-66
图 4-6 启动 NANDC 进行编程操作时的时序图	4-67
图 4-7 1bit ECC 模式 2KB (2048+ 64) byte page size NAND Flash 数据存储结构	4-71
图 4-8 1bit ECC 模式驱动软件中的数据结构 4096byte+56byte	4-71
图 4-9 1bit ECC 模式 NAND Flash 中数据结构	4-71
图 4-10 4bit ECC 模式驱动软件中的数据结构 4096byte+48byte	4-71
图 4-11 4bit ECC NAND Flash 中的数据的数据的结构 4096byte+128byte	4-72
图 4-12 24bit ECC 模式驱动软件中的数据的数据的结构 4096byte+32byte	4-72
图 4-13 24bit ECC 模式 NAND Flash 器件中数据的数据的结构 4096byte+200byte	4-72
图 4-14 24bit ECC 模式驱动软件中的数据的数据的结构 8192byte+32byte	4-72
图 4-15 24bit ECC 模式 NAND Flash 器件中的数据的数据的结构 8192byte+368byte	4-73
图 4-16 Standard SPI(写)接口时序图	4-102
图 4-17 Standard SPI(读)接口时序图	4-102
图 4-18 Dual Input/Dual Output SPI 接口时序图	4-103
图 4-19 Quad Input/Quad Output SPI 接口时序图	4-103
图 4-20 Full Quad SPI 接口时序图	4-104
图 4-21 SPI 输出时序图	4-105
图 4-22 SPI 写保护时序图	4-106
图 4-23 通过寄存器读取 Flash 的操作流程 (查询方式)	4-106
图 4-24 通过寄存器写 Flash 的操作流程 (中断方式)	4-107
图 4-25 通过总线直接读写 Flash 的操作流程	4-108



表格目录

表 4-1 DDRC 支持的 DDR2 SDRAM 列表	4-2
表 4-2 DDRC 支持的 DDR3 SDRAM 列表	4-3
表 4-3 DDRC 命令真值表	4-5
表 4-4 DDRC 32bit 模式地址映射表	4-7
表 4-5 DDRC 16bit 模式地址映射表	4-7
表 4-6 发送阻抗选择表	4-12
表 4-7 接收阻抗选择表	4-13
表 4-8 各模块的寄存器偏移地址变量表	4-13
表 4-9 DDRC 寄存器概览（基址是 0x2011_0000）	4-13
表 4-10 Boot 相关的配置管脚	4-68
表 4-11 K9F2G08U0M 的地址表	4-69
表 4-12 K9GAG08X0M 的地址表	4-69
表 4-13 NAND Flash 常用命令表	4-70
表 4-14 NANDC 寄存器概览（基址是 0x1000_0000）	4-74
表 4-15 SFC 寄存器概览（0x1001_0000）	4-108
表 4-16 寄存器配置影响总线访问 Flash 方式和寄存器访问 Flash 方式范围	4-109



4 存储器接口

4.1 DDRC

4.1.1 概述

DDRC (DDR2/3 SDRAM Controller) 实现对动态存储器 DDR2/3 SDRAM 的存取控制。后文统一使用 DDRn SDRAM 替代 DDR2/3 SDRAM。

说明

本芯片有两个 DDRC，每个 DDRC 支持 32bit、16bit 两种 DDR 位宽。两个 DDRC 的规格相同，下文描述中若无特殊说明，均指单个 DDRC。

4.1.2 特点

DDRC 的功能特点：

- 每个 DDRC 提供 1 个 DDRn SDRAM 片选空间，支持数据总线位宽为 32/16bit、地址总线位宽 15bit 可配置。
- 支持最大存储空间为：32bit 模式 1GB；16bit 模式 512MB。
- 支持 620MHz DDRn SDRAM 总线工作频率。
- 支持 DDRn SDRAM 的 Power Down、SELF Refresh 等低功耗模式。
- 支持 DDR2 SDRAM 的 burst4、burst8 的传输模式；DDR3 的 burst8 传输模式。

4.1.3 功能描述

4.1.3.1 应用框图

DDRC 实现了 SoC 系统中的 CPU 等主设备对外存 DDRn SDRAM 的数据访问。通过 CPU 配置 DDRC 的时序参数寄存器，可以支持符合 JEDEC (JESD79) 标准的 DDR2 SDRAM 器件和 DDR3 SDRAM 器件。[表 4-1](#) 列举了 DDRC 支持的几家主流 DRAM 厂商的 DDR2 SDRAM。此表针对 DDR2 SDRAM 的工作频率进行描述，没有考虑容量等因素的限制。



表4-1 DDRC 支持的 DDR2 SDRAM 列表

厂商	200MHz	333MHz	400MHz	备注
JESD79 (DDR2 Standard)	DDR2-400 DDR2-533 DDR2-667 DDR2-800	DDR2-667 DDR2-800	DDR2-800	1、2
Micron	-5E DDR2-400 -37E DDR2-533 -3 DDR2-667 -3E DDR2-667 -25 DDR2-800 -25E DDR2-800	-3 DDR2-667 -3E DDR2-667 -25 DDR2-800 -25E DDR2-800	-25 DDR2-800 -25E DDR2-800	1、2
ELPIDA	-4A DDR2-400 -5C DDR2-533 -6E DDR2-667 -6C DDR2-667 -8E DDR2-800	-6E DDR2-667 -6C DDR2-667 -8E DDR2-800	-8E DDR2-800	1、2
Hynix	-E3 DDR2-400 -C4 DDR2-533 -Y4 DDR2-667 -Y5 DDR2-667 -S5 DDR2-800 -S6 DDR2-800	-Y4 DDR2-667 -Y5 DDR2-667 -S5 DDR2-800 -S6 DDR2-800	-S5 DDR2-800 -S6 DDR2-800	1、2
Samsung	-CC DDR2-400 -D5 DDR2-533 -E6 DDR2-667 -E7 DDR2-800	-E6 DDR2-667 -E7 DDR2-800	-E7 DDR2-800	1、2

注:

- 1、DDRC 支持满足 JESD79 标准的 DRAM 器件，在不同的工作模式下，DDRC 只能支持 DRAM 工作频率高于或等于 DDRC 工作频率的器件。在使用非表中厂商的器件时，可以参考该标准来选取器件。
- 2、表中以各个厂商的 DDR2 SDRAM 的工作频率为判断的基本元素。真实的器件产品中，对同一工作频率的会有多种容量、位宽等系列版本，但只要该 DDR2 SDRAM 的工作频率在此列表中，DDRC 就可以支持该 DDR2 SDRAM。对于容量和位宽的选取，则根据芯片的实际应用场景来作出选择。

DDRC 支持的 DDR3 SDRAM 列表如表 4-2 所示。



表4-2 DDRC 支持的 DDR3 SDRAM 列表

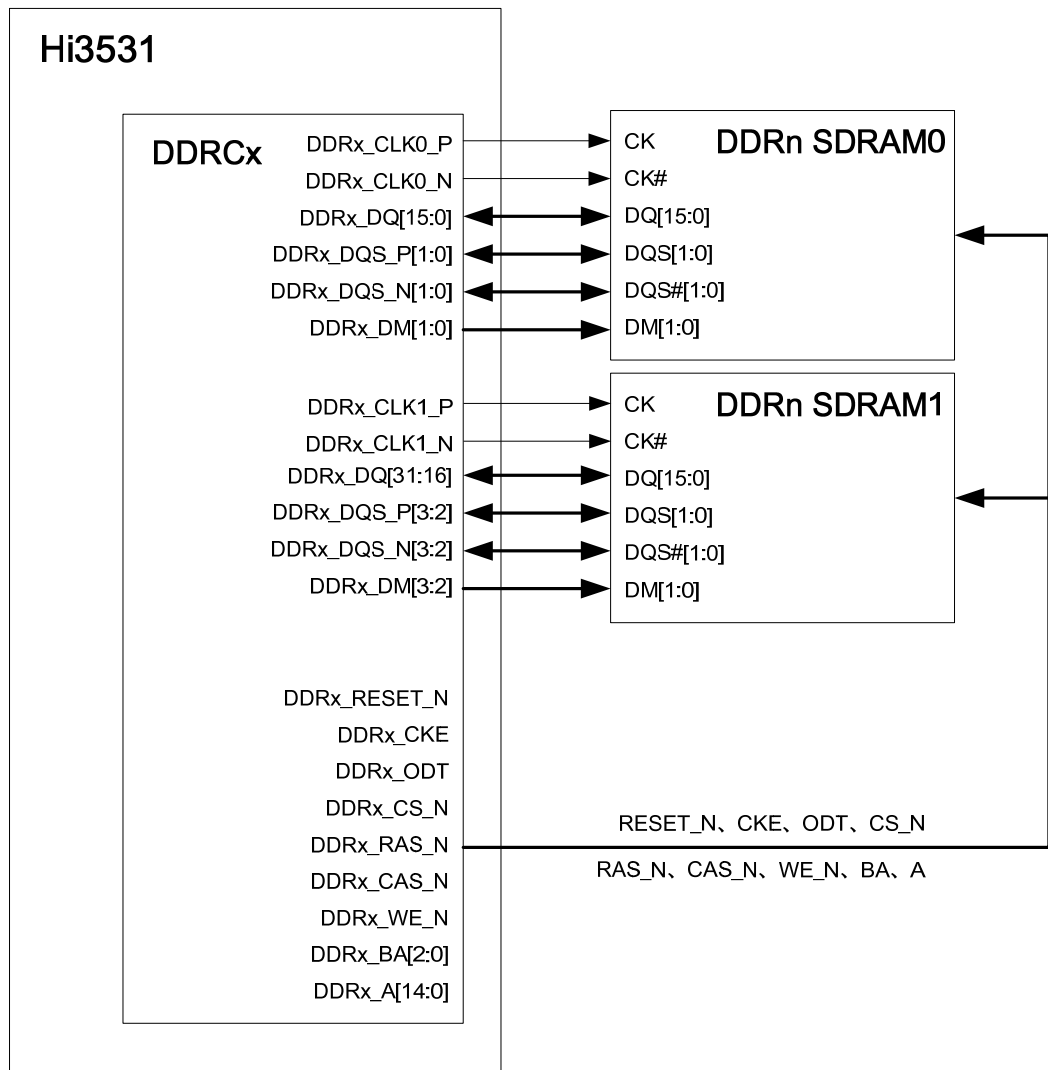
厂商	400MHz	533MHz	800MHz	备注
JESD79 (DDR3 Standard)	DDR3-800 DDR3-1066 DDR3-1333	DDR3-800 DDR3-1066 DDR3-1333	-	3、4

注:

- 3、若 DDRC 工作频率为 400MHz，则所有支持的 DDR3 都可以降频到 400MHz 工作。
- 4、这里的支持器件类型以 JEDEC 标准为基准。

DDRC 支持两种互联模式：32bit 模式和 16bit 模式。32bit 模式下，DDRC 与 2 片数据总线位宽为 16bit 或 4 片数据总线位宽为 8bit 的 DDRn SDRAM 相连，以 2 片 16bit DDRn SDRAM 为例，其连接示意图如图 4-1 所示。

图4-1 单个 DDRC 与 2 片 DDRn SDRAM 的互联示意图



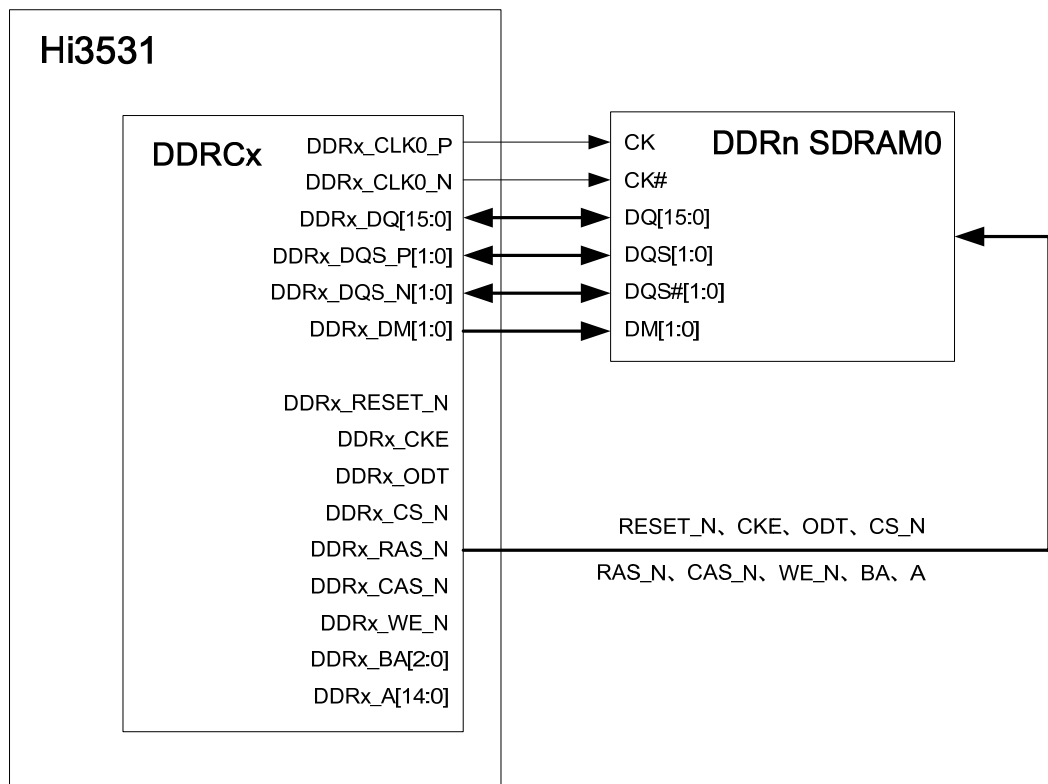
连接说明:



DDRC_x 和 DDR_x 中 x=0 或 1，表示第 x 个 DDR 控制器。
 DDR_n SDRAM_x 是数据总线宽度为 16bit 的存储器件。
 DDRC 的命令控制信号：DDR_x_CKE、DDR_x_RESET_N、DDR_x_ODT、DDR_x_CS_N、
 DDR_x_RAS_N、DDR_x_CAS_N、DDR_x_WE_N、DDR_x_BA[2:0]、DDR_x_A[14:0]，同时与 DDR_n
 SDRAM_x 的命令控制信号相连，即 DDRC 的命令控制总线是 1 驱 2 的连接模式。
 在 DDR2 SDRAM 容量小于 1Gbit 的场景下，DDRC 的 DDR_x_BA[2]地址信号输出悬空。
 在 DDR2 模式下，DDR_x_RESET_N 悬空。

16bit 模式下，DDRC 与 1 片数据总线位宽为 16bit 或 2 片数据总线位宽为 8bit 的
 DDR_n SDRAM 相连，以 1 片 16bit DDR_n SDRAM 为例，其连接示意图如图 4-2 所示。

图4-2 单个 DDRC 与 1 片 DDR_n SDRAM 的互联示意图



连接说明：

DDRC_x 和 DDR_x 中 x=0 或 1，表示第 x 个 DDR 控制器。
 DDR_n SDRAM_x 是数据总线宽度为 16bit 的存储器件。
 DDRC 的命令控制信号：DDR_x_CKE、DDR_x_RESET_N、DDR_x_ODT、DDR_x_CS_N、
 DDR_x_RAS_N、DDR_x_CAS_N、DDR_x_WE_N、DDR_x_BA[2:0]、DDR_x_A[14:0]，与 DDR_n SDRAM
 的命令控制信号相连，即 DDRC 的命令控制总线是 1 驱 1 的连接模式。
 当 DDR2 SDRAM 容量小于 1Gbit 时，DDRC 的 DDR_x_BA[2]地址信号输出悬空。
 在 16bit 模式下 DDR_x_DQS_P[3:2]、DDR_x_DQS_N[3:2]、DDR_x_DQ[31:16]、DDR_x_DM[3:2]悬空。
 在 DDR2 模式下，DDR_x_RESET_N 悬空。



4.1.3.2 功能原理

DDRC 接口时序满足 JESD79 标准，通过发送 DDRn SDRAM 的命令字，完成对 DDRn SDRAM 的数据访问和状态控制。包括 DDRn SDRAM 的读写访问、自动刷新、低功耗控制等功能。

命令真值表

DDRC 支持 DDRn SDRAM 的读写和控制命令字。DDRC 的命令真值表如表 4-3 所示。

表4-3 DDRC 命令真值表

FUNCTION	DDRn_ CKE	DDRn_ CSN	DDRn_ RASN	DDRn_ CASN	DDRn_ WEN	DDRn_ADR			DDRn_ BA
						11	AP(10)	9:0	
DESELECT	H	H	X	X	X	X	X	X	X
ACTIVE	H	L	L	H	H	V	V	V	V
READ	H	L	H	L	H	V	V	V	V
WRITE	H	L	H	L	L	V	V	V	V
PRECHARGE	H	L	L	H	L	X	L	X	V
PRECHARGE ALL	H	L	L	H	L	X	H	X	X
AUTO REFRESH	H	L	L	L	H	X	X	X	X
SELF REFRESH	L	L	L	L	H	X	X	X	X
MODE REGISTER SET	H	L	L	L	L	V	V	V	V
ZQCL	H	L	H	H	L	X	H	X	X
ZQCS	H	L	H	H	L	X	L	X	X

H：表示高电平；L：表示低电平；V：表示有效；X：表示不关心。

ZQCL（ZQ Calibration Long）：用于在 DDR3 SDRAM 上电初始化时，启动 DDR3 的 ZQ Calibration 操作。

ZQCS（ZQ Calibration Short）：用于在芯片环境条件发生变化时，启动 DDR3 的 ZQ Calibration 操作。

自动刷新

当配置 `DDRC_TIMING2 [taref]` 为非零值，DDRC 自动产生周期性 AUTO REFRESH 命令，完成对 DDRn SDRAM 的刷新操作。常温下，DDRn SDRAM 要求在 64ms 内必须



完成 8,192 次自动刷新操作，即自动刷新操作的周期为 7.8us。DDRC_TIMING2 [taref] 的配置值 (Taref) 与自动刷新周期 (T=7.8us 或 3.9us) 的关系为：

$$Taref \leq T / (16 \times \text{DDR 时钟周期})$$

在配置了 DDRC_TIMING2 [taref]，DDRC 内部的计数器会自动加载 Taref 值进行减计数，当计数器值为 0 时，DDRC 发起一次自动刷新操作，同时重新加载 Taref 值进行计数。

低功耗管理

DDRC 支持两种模式的低功耗管理：普通低功耗模式和自刷新低功耗模式。

当系统处于空闲状态时（DDRC 总线接口一定时间内无读写 DDR 访问），自动控制 DDRn SDRAM 进入到普通低功耗模式。

当系统需要进入到待机模式时，可通过配置 DDRC_SREFCTRL[sr_req]的寄存器，控制 DDRn SDRAM 进入到自刷新低功耗模式。该模式下可以将 DDRn SDRAM 的功耗降至最低，同时保持 DDRn SDRAM 中的数据，但是此时系统不能访问 DDRn SDRAM。

仲裁机制

DDRC 实现了优先级调度算法。配置 DDRC_QOS[pri]寄存器，DDRC 将给总线的命令添加优先级属性，然后根据命令的优先级属性进行调度，实现对 DDRn SDRAM 的高效率访问。配置 DDRC_QOS[qos_en]和 DDRC_QOS[x[qos]]，DDRC 将给总线的命令添加响应延迟(timeout)属性，然后根据响应延迟优先的调度算法，实现总线命令响应延迟的保证。配置 DDRC_FLUX[flux_port_en]和 DDRC_FLUX[flux]，DDRC 将给总线的端口添加流量控制属性，在延迟时间未耗尽的前提下，对每个总线端口的流量进行分配，保证各端口在 DDRC 访问繁忙时的带宽。

地址映射方式

DDRC 实现了将系统总线的访问地址转换为 DDRn SDRAM 的访问地址。配置 DDRC_RNKCFG[mem_map]、DDRC_RNKCFG[mem_row]和 DDRC_RNKCFG[mem_col]寄存器，DDRC 根据地址映射算法将系统总线地址转换为 DDRn SDRAM 地址。

下面示例说明系统总线地址和 DDRn SDRAM 地址的映射算法。假设系统总线地址为 BUSADR[28:0]，有效地址为 BUSADR[m-1:0]，DDRn SDRAM 的地址为 DDRADR[13:0]。当 DDRADR[13:0]作为行地址时，其有效地址为 DDRROW[x-1:0]，作为列地址时，其有效地址为 DDRCOL[y-1:0]，DDR 的 BANK 地址为 DDRBA[z-1:0]，DDRC 的存储数据总线宽度为 DW，此时地址映射关系为：

- DDRC_RNKCFG[mem_map]为 2b00 时，RBC 映射方式：
BUSADR[m-1:0] = {DDRROW[x-1:0],DDRBA[z-1:0],DDRCOL[y-1:0],DW{b0}}
- DDRC_RNKCFG[mem_map]为 2b01 时，BRC 映射方式：
BUSADR[m-1:0] = {DDR_BA[z-1:0],DDRROW[x-1:0],DDRCOL[y-1:0],DW{b0}}

在上面的表达式中，参数的关系满足： $m = x+y+z+DW$ 。

当 DDRC 为 32bit 应用模式时，DW 为 2。



当 **DDRC_RNKCFG**[mem_map]为 2b00，A10 作为 DDR 的 AP 功能位时，系统总线地址到 DDRn SDRAM 地址的映射表如表 4-4。

该表格示例说明了 RBC 模式下的地址映射关系，BRC 模式下按照上面的表达式进行地址映射。

表4-4 DDRC 32bit 模式地址映射表

存储器类型 Mbit×bw	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR						
			2	1	0		13	12	11	10/AP	9	8	[7:0]
256Mbit 4bank													
16×16	13	9	-	12	11	行地址	-	25	24	23	22	21	[20:13]
						列地址	-	-	-	AP		10	[9:2]
512Mbit 4bank													
32×16	13	10	-	13	12	行地址	-	26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	11	10	[9:2]
1G Mbit 8bank													
64×16	13	10	14	13	12	行地址		27	26	25	24	23	[22:15]
						列地址	-	-	-	AP	11	10	[9:2]
2G Mbit 8bank													
128×16	14	10	14	13	12	行地址	28	27	26	25	24	23	[22:15]
						列地址	-	-	-	AP	11	10	[9:2]

当 DDRC 为 16bit 应用模式时，DW 为 1。

当 **DDRC_RNKCFG**[mem_map]为 2b00，A10 作为 DDR 的 AP 功能位时，系统总线地址到 DDRn SDRAM 地址的映射表如表 4-5。

该表格示例说明了 RBC 模式下的地址映射关系，BRC 模式下按照上面的表达式进行地址映射。

表4-5 DDRC 16bit 模式地址映射表

存储器类型 Mbit×bw	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR						
			2	1	0		13	12	11	10/AP	9	8	[7:0]
256Mbit 4bank													
16×16	13	9	-	11	10	行地址	-	24	23	22	21	20	[19:12]
						列地址	-	-	-	AP		9	[8:1]



存储器类型 Mbit×bw	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR						
			2	1	0		13	12	11	10/AP	9	8	[7:0]
512Mbit 4bank													
32×16	13	10	-	12	11	行地址	-	25	24	23	22	21	[20:13]
						列地址	-	-	-	AP	10	9	[8:1]
1GMbit 8bank													
64×16	13	10	13	12	11	行地址		26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	10	9	[8:1]
2GMbit 8bank													
128×16	14	10	13	12	11	行地址	27	26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	10	9	[8:1]

4.1.4 工作方式

4.1.4.1 时钟门控

系统进入低功耗模式后，可以关闭 DDRC 的工作时钟。同样，在系统恢复到正常模式之前，需要先打开 DDRC 的工作时钟。

DDRC 进入低功耗模式，时钟关闭的流程：

- 步骤 1 系统进入 Flash 或者 TCM 中运行。
- 步骤 2 配置 `DDRC_SREFCTRL[sr_req]` 为 1，请求进入自刷新模式。
- 步骤 3 查询 `DDRC_STATUS[in_sr]` 位，直到其值为 1，则进入低功耗模式。
- 步骤 4 配置 `DDRC_IOCFG[odis_clk]` 为 0x7，关断 DDR 时钟。
- 步骤 5 关断 DDRC 时钟。
- 步骤 6 低功耗状态。

----结束

DDRC 退出低功耗模式，时钟打开的流程：

- 步骤 1 系统进入正常工作模式，打开 DDRC 时钟。
- 步骤 2 配置 `DDRC_IOCFG[odis_clk]` 为 0x4，打开 DDR 时钟。
- 步骤 3 等待 50us 至 DLL 锁定。
- 步骤 4 配置 `DDRC_SREFCTRL[sr_req]` 为 0，请求退出自刷新模式。



步骤 5 查询 `DDRC_STATUS[in_sr]` 位，直到其值为 0，表示已退出 DDR 低功耗模式。

步骤 6 系统可以正常访问 DDR。

----结束

4.1.4.2 软复位

DDRC 不能进行单独的复位操作。只有在全局软复位时，才能复位 DDRC。复位之后，需要按照初始化流程进行重新初始化 DDRn SDRAM。

4.1.4.3 DDR2 初始化配置流程

系统上电之后，必须先完成 DDR2 SDRAM 的初始化操作，系统才能访问 DDR2 SDRAM。在进行初始化之前需要注意以下几点：

- 对 DDR2 SDRAM 进行上电操作时，需要遵循 JEDEC 标准。即先提供 VDD，然后提供 VDDQ，最后提供 VREF 和 VTT。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。

在 DDRC 32bit 模式下，假设存储空间由两片容量为 1Gbit，数据总线位宽为 16bit 的 DDR2 SDRAM 构成，DDRC 的初始化步骤如下：

步骤 1 软件等待 200us 以上。

步骤 2 把 `DDRC_IOCFCG` 寄存器配置为 0x427，配置 IO 的工作模式、匹配电阻以及信号驱动。

步骤 3 根据器件的单片容量配置 `DDRC_RNKCFG` 寄存器为 0x122。总线地址映射模式为 R-B-C-DW 模式，AP 为 A10，列地址宽度为 10，行地址宽度为 13。

步骤 4 将 `DDRC_PHYSRST` 配置为 0x0，`DDRC_CDLLCFG`，`DDRC_QDLLCFG0~3` 寄存器配置为 0x52，复位 DDR PHY 和 DLL。

步骤 5 软件等待 50ns。

步骤 6 把 `DDRC_PHYSRST` 配置为 0x1，把 `DDRC_CDLLCFG`，`DDRC_QDLLCFG0~3` 寄存器配置为 0x56，撤销 DDR PHY 和 DLL 复位。

步骤 7 软件等待 3us 以上。

步骤 8 配置 `DDRC_TIMING2[taref]` 为 0x000，禁止自动刷新。

步骤 9 把 `DDRC_SREFCTRL` 寄存器配置为 0x0，退出自刷新状态。

步骤 10 软件等待 1us 以上。

步骤 11 把 `DDRC_EMRS01` 寄存器设为 0x0006_0A63，把 `DDRC_EMRS23` 寄存器设为 0x0，配置 DDR 器件的模式寄存器和扩展模式寄存器。这里把 DDR 的读延迟（cas latency）设为 6，突发长度（burst length）设定为 8，DDR 器件的驱动能力设置为半驱。扩展模式寄存器根据实际需要，可设定 DDR 器件的一些功能，这里我们设置为 0。



说明

cas latency 必须和 `DDRC_TIMING1[cl]` 设置成同一个值。



DDRC_EMRS01 寄存器对应 DDR2 SDRAM 的模式寄存器 MRS 和扩展模式寄存器 1 (EMRS1)。配置该寄存器时，只需要 DDR2 SDRAM 器件手册的模式寄存器的 A15-A0 的描述，不需要配置模式寄存器的最高 3 位寄存器选择位，即 bank 地址。

DDR2 SDRAM 的扩展模式寄存器 1 (EMRS1) 需要特别注意：将该模式寄存器中的 RDQS 和 DQS#都配置为禁止模式 (disable)。

步骤 12 根据器件的类型和存储空间配置 **DDRC_CONFIG0** 寄存器为 0x8000_0510，**DDRC_CONFIG1** 寄存器为 0x784，表示 DDRC 为 32bit DDR2 SDRAM 模式。



说明

低功耗配置的上电复位值是关闭的，初始化过程中必须关闭低功耗自动进入功能以及时钟自动关闭功能，但在正常使用中，建议使能低功耗的控制，可以降低功耗。

步骤 13 配置存储空间基地址寄存器 **DDRC_BASEADDR** 为 0x8000_0000。

步骤 14 根据工作频率和 DDR 器件要求配置 **DDRC_TIMING0**~**DDRC_TIMING3** 寄存器，其中 cl 值必须跟 **DDRC_EMRS01** 寄存器中的配置一致。

步骤 15 配置 **DDRC_DTRCTRL** 寄存器为 0x0F00_0503，使能初始化自动训练模式。

步骤 16 配置 **DDRC_ODTCFG** 寄存器 **DDRC_ODTCFG[wodt0]=0x1**，**DDRC_ODTCFG[rodt0]=0x0**。

步骤 17 配置 **DDRC_PHYCFG** 寄存器为 0x2。

步骤 18 将 **DDRC_INITCTRL** 寄存器设置为 0x1，启动初始化过程。

步骤 19 等待 **DDRC_INITCTRL** 寄存器的值变为 0，初始化完成。

----结束

完成以上步骤以后，DDR2 SDRAM 就可以正常工作。

4.1.4.4 DDR3 初始化配置流程

系统上电之后，必须先完成 DDR3 SDRAM 的初始化操作，系统才能访问 DDR3 SDRAM。在进行初始化之前需要注意以下几点：

- 对 DDR3 SDRAM 进行上电操作时，需要遵循 JEDEC 标准。即先提供 VDD，然后提供 VDDQ，最后提供 VREF 和 VTT。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。



在 DDRC 32bit 模式下，假设存储空间由两片容量为 1Gbit，数据总线位宽为 16bit 的 DDR3 SDRAM 构成，DDRC 的初始化步骤如下：

步骤 1 软件等待 200us 以上。

步骤 2 把 **DDRC_IOCFCG** 寄存器配置为 0x467，配置 IO 的工作模式、匹配电阻以及信号驱动。

步骤 3 根据器件的单片容量配置 **DDRC_RNKCFG** 寄存器为 0x122。总线地址映射模式为 R-B-C-DW 模式，AP 为 A10，列地址宽度为 10，行地址宽度为 13。



- 步骤 4 把 `DDRC_PHYSRST` 配置为 0x0，把 `DDRC_CDLLCFG`，`DDRC_QDLLCFG0~3` 寄存器配置为 0x52，复位 DDR PHY 和 DLL。
- 步骤 5 软件等待 50ns。
- 步骤 6 把 `DDRC_PHYSRST` 配置为 0x1，把 `DDRC_CDLLCFG`，`DDRC_QDLLCFG0~3` 寄存器配置为 0x56，撤销 DDR PHY 和 DLL 复位。
- 步骤 7 软件等待 3us 以上。
- 步骤 8 配置 `DDRC_TIMING2` 寄存器[`taref`]为 0x000，禁止自动刷新。
- 步骤 9 配置 `DDRC_CTRL` 寄存器为 0x1，配置 DDR3 SDRAM 退出复位状态。
- 步骤 10 软件等待 500us 以上。
- 步骤 11 把 `DDRC_SREFCTRL` 寄存器配置为 0x0，退出自刷新状态。
- 步骤 12 软件等待 1us 以上。
- 步骤 13 把 `DDRC_EMRS01` 寄存器设为 0x0006_1D50，把 `DDRC_EMRS23` 寄存器设为 0x10，配置 DDR 器件的模式寄存器和扩展模式寄存器。这里把 DDR 的读延迟（cas latency）设为 9，突发长度（burst length）设定为 8。扩展模式寄存器根据实际需要，可设定 DDR 器件的一些功能，这里我们将 `wl` 设置为 7。
-  说明
- cas latency 和必须和 `DDRC_TIMING1[cl]`设置成同一个值。
- cas write latency 和必须和 `DDRC_TIMING1[wl]`设置成同一个值。
- `DDRC_EMRS01` 寄存器对应 DDR3 SDRAM 的模式寄存器 MRS 和扩展模式寄存器 1（EMRS1）。配置该寄存器时，只需要 DDR3 SDRAM 器件手册的模式寄存器的 A15-A0 的描述，不需要配置模式寄存器的最高 3 位寄存器选择位，即 bank 地址。
- 步骤 14 根据器件的类型和存储空间配置 `DDRC_CONFIG0` 寄存器为 0x8000_0610，`DDRC_CONFIG1` 寄存器为 0x785，表示 DDRC 为 32bit DDR3 SDRAM 模式。
-  说明
- 低功耗配置的上电复位值是关闭的，初始化过程中必须关闭低功耗自动进入功能以及时钟自动关闭功能，但在正常使用中，建议使能低功耗的控制，可以降低功耗。
- 步骤 15 配置存储空间基地址寄存器 `DDRC_BASEADDR` 为 0x8000_0000。
- 步骤 16 根据工作频率和器件要求配置 `DDRC_TIMING0~DDRC_TIMING3` 的值，其中 `cl` 和 `wl` 值必须跟 `DDRC_EMRS01` 和 `DDRC_EMRS23` 模式寄存器中的配置一致。
- 步骤 17 配置 `DDRC_DTRCTRL` 寄存器为 0x0F00_0503，使能初始化自动训练模式。
- 步骤 18 配置 `DDRC_ODTCFG` 寄存器 `DDRC_ODTCFG[wodt0]=0x1`，`DDRC_ODTCFG[rodt0]=0x0`。
- 步骤 19 配置 `DDRC_PHYCFG` 寄存器 0x2。
- 步骤 20 将 `DDRC_INITCTRL` 寄存器设置为 0x1，启动初始化过程。
- 步骤 21 等待 `DDRC_INITCTRL` 寄存器的值变为 0，初始化完成。



----结束

完成以上步骤以后，DDR3 SDRAM 就可以正常工作。

4.1.4.5 低功耗配置

DDRC 支持两种 DDRn SDRAM 的低功耗模式：DDRn SDRAM PowerDown 模式和 DDRn SDRAM 自刷新模式。

配置 `DDRC_CONFIG0[pd_en]`和 `DDRC_CONFIG0[pd_prd]`为有效值，DDRC 在系统空闲状态下会自动控制 DDRn SDRAM 进入低功耗状态。当 `DDRC_CONFIG0[pd_en]`配置为 1，DDRC 在 `DDRC_CONFIG0[pd_prd]`个总线时钟周期没有任何访问操作，则会控制 DDRn SDRAM 进入低功耗模式。

配置 `DDRC_SREFCTRL[sr_seq]`为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。当配置 `DDRC_SREFCTRL[sr_req]`为 1 时，DDRC 完成正在执行的访问之后，控制 DDRn SDRAM 进入自刷新模式，并不再响应总线上的请求。

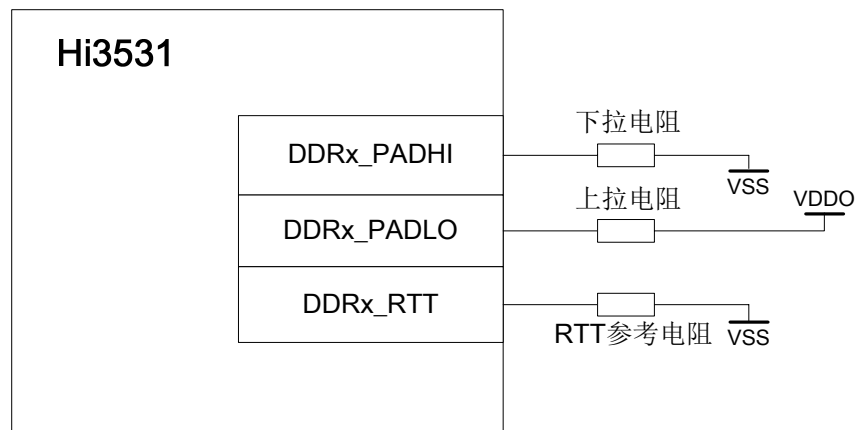
4.1.4.6 DDR IO 阻抗配置

在 DDRn SDRAM 的应用场景，DDRC 具有自动校准 DDR IO 的发送阻抗和接收阻抗的功能。

自动校准功能通过配置 `DDRC_IOCMP[update_en]`使能。默认配置为使能自动校准功能。

DDR IO 的阻抗校准需要在芯片 IO 连接参考电阻，参考电阻的精度偏差为 2%。电阻的连接示意图如图 4-3 所示。

图4-3 DDR IO 参考电阻连接示意图



连接说明：
DDRx 中 x=0 或 1，表示第 x 个 DDR 控制器。

DDR IO 的参考电阻选择不同的值实现对 DDR IO 发送阻抗和接收阻抗的不同配置。参考电阻和 IO 发送阻抗以及接收阻抗的匹配关系如表 4-6 和表 4-7 所示。



表4-6 发送阻抗选择表

DDR IO 类型	上拉电阻 (Ω)	下拉电阻 (Ω)	驱动阻抗 (Ω)
SSTL_1.8V_ClassI	68	68	34
SSTL_1.8v_CalassII	43	43	21.5
SSTL_1.5v	68	68	34

表4-7 接收阻抗选择表

DDRC_IOCFCG[rtt]	参考电阻 RTT (Ω)	匹配阻抗 (Ω)
01	200	100
01	240	120
01	300	150
1x	200	50
1x	240	60
1x	300	75

说明

建议在 DDR3 模式，接收阻抗电阻选用 240Ω 电阻；DDR2 模式选用 300Ω 电阻。

4.1.5 寄存器概览

各模块的寄存器偏移地址中变量的取值范围和含义如表 4-8 所示。

表4-8 各模块的寄存器偏移地址变量表

变量名称	取值范围	描述
blanes	0~3	DDRC 支持的 ByteLane 数。
id0	0~15	DDRC 支持的寄存器的个数。
ports	0~5	AXI 端口个数。

DDRC 寄存器概览如表 4-9 所示。

表4-9 DDRC 寄存器概览（基址是 0x2011_0000）

偏移地址	名称	描述	页码
0x000	DDRC_STATUS	DDRC 状态寄存器	4-16



偏移地址	名称	描述	页码
0x004	DDRC_SREFCTRL	DDRC 自刷新控制寄存器	4-17
0x008	DDRC_INITCTRL	DDRC 初始化控制寄存器	4-17
0x010	DDRC_CTRL	DDRC 控制寄存器	4-18
0x014	DDRC_EMRS01	DDR 的模式配置寄存器	4-18
0x018	DDRC_EMRS23	DDR 的扩展模式配置寄存器	4-19
0x01C	DDRC_CONFIG0	配置 DDRC 功能的寄存器 0	4-19
0x020	DDRC_CONFIG1	配置 DDRC 功能的寄存器 1	4-21
0x024	DDRC_CMDCFG	DDRC 命令配置寄存器	4-24
0x028	DDRC_CMDEXE	DDRC 软件配置命令启动寄存器	4-24
0x02C	DDRC_RNKCFG	配置 DDR 特性的寄存器	4-25
0x040	DDRC_BASEADDR	DDR 空间基地址配置寄存器	4-26
0x050	DDRC_TIMING0	DDR 时序参数寄存器 0	4-26
0x054	DDRC_TIMING1	DDR 时序参数寄存器 1	4-27
0x058	DDRC_TIMING2	DDR 时序参数寄存器 2	4-28
0x05C	DDRC_TIMING3	DDR 时序参数寄存器 3	4-30
0x060	DDRC_TIMING4	DDR 时序参数寄存器 4	4-31
0x0A0	DDRC_DTRADDR	DDRC 门控训练地址配置寄存器	4-32
0x0A4	DDRC_DTRDATA0	DDRC 门控训练数据配置寄存器 0	4-32
0x0A8	DDRC_DTRDATA1	DDRC 门控训练数据配置寄存器 1	4-33
0x0AC	DDRC_DTRCTRL	DDRC 门控训练控制寄存器	4-33
0x0B0	DDRC_DTRPRD	DDRC 门控跟踪周期配置寄存器	4-35
0x0B4	DDRC_DTRGATE	DDRC 门控相位位置寄存器	4-35
0x0C4	DDRC_DTRLAT	DDRC 门控周期位置寄存器	4-36
0x0D4	DDRC_DTRSTATUS	DDRC 门控状态寄存器	4-37
0x0F0	DDRC_AXISTATUS	DDRC 接口状态寄存器	4-37
0x0F4	DDRC_ODTCFG	DDR 的 ODT 特性配置寄存器	4-39
0x100	DDRC_QOSCFG0	DDRC 的 QoS 算法配置寄存器 0	4-39
0x104	DDRC_QOSCFG1	DDRC 的 QoS 算法配置寄存器 1	4-40



偏移地址	名称	描述	页码
0x150+0x4 x id0	DDRC_RDQOS	DDRC 的读命令优先级配置寄存器	4-42
0x200+0x4 x ports	DDRC_FLUX	DDRC AXI 端口带宽流量控制配置寄存器	4-43
0x240	DDRC_TEST0	DDRC 的测试状态寄存器	4-44
0x244	DDRC_TEST1	DDRC 的测试状态寄存器	4-45
0x248	DDRC_TEST2	DDRC 的测试状态寄存器	4-45
0x24C	DDRC_TEST3	DDRC 的测试状态寄存器	4-46
0x250	DDRC_TEST4	DDRC 的测试状态寄存器	4-46
0x260	DDRC_TEST7	DDRC 性能统计控制寄存器	4-47
0x264	DDRC_TEST8	DDRC 写命令统计寄存器	4-48
0x268	DDRC_TEST9	DDRC 读命令统计寄存器	4-48
0x26C	DDRC_TEST10	DDRC DMC 命令等待个数统计寄存器	4-48
0x280	DDRC_TEST12	DDRC 的测试状态寄存器	4-49
0x400+	DDRC_PHYCFG	DDRPHY 配置寄存器	4-49
0x410+	DDRC_PHYNEG	DDRPHY 门控相位位置	4-50
0x420+	DDRC_PHYSEL	DDRPHY 门控周期位置	4-51
0x430	DDRC_CDLLCFG	DDRPHY 的命令通道 DLL 配置寄存器	4-52
0x440+0x4 x blanes	DDRC_QDLLCFG	DDRPHY 数据通道 DLL 配置寄存器	4-53
0x470	DDRC_LVLSKREW	DDRPHY 数据线相位微调控制寄存器	4-54
0x474	DDRC_LVLCTRL	DDRPHY Write Level 控制寄存器	4-54
0x478	DDRC_LVLSTR	DDRPHY WriteLevel 的 DQS 控制寄存器	4-55
0x47C	DDRC_LVLODT	DDRPHY WriteLevel 的 ODT 控制寄存器	4-55
0x480+0x4 x blanes	DDRC_LVLCTL	DDRPHY WriteLevel 配置寄存器 0	4-56
0x4B0+0x4 x blanes	DDRC_LVLFC	DDRPHY WriteLevel 配置寄存器 1	4-57
0x4E0	DDRC_LVLRSR	DDRPHY 的 WriteLevel 响应寄存器	4-57
0x4E4	DDRC_LVLST	DDRPHY Write Level 状态寄存器	4-55



偏移地址	名称	描述	页码
0x4F0	DDRC_PHYSRST	DDRPHY 软复位控制信号	4-58
0x500	DDRC_WRDQS_SKEW	DDRPHY 写 DQS 微调寄存器	4-59
0x504	DDRC_RDDQS_SKEW	DDRPHY 读 DQS 微调寄存器	4-59
0x508	DDRC_WRDMSKEW	写屏蔽微调配置寄存器	4-60
0x510+0x4 x blanes	DDRC_WRDQSKEW	DDRPHY 写数据延迟微调寄存器	4-60
0x540+0x4 x blanes	DDRC_RDDQSKEW	DDRPHY 读数据延迟微调寄存器	4-61
0x570	DDRC_IOCFG	DDRPHY 的 IO 配置寄存器	4-61
0x580	DDRC_IOCMP	DDRPHY 的 IO 补偿配置寄存器	4-63
0x590	DDRC_CMPSTATU S0	DDRPHY IO 补偿状态寄存器 0	4-63
0x598	DDRC_CMPSTATU S1	DDRPHY IO 补偿状态寄存器 1	4-64

4.1.6 DDRC 寄存器描述

DDRC_STATUS

DDRC_STATUS 为 DDRC 状态寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x000				DDRC_STATUS								0x0000_0005																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								in_init	in_sr	reserve	busy				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											
[3]	RO		in_init		控制器初始化状态。 0: 正常状态; 1: 初始化状态。																											



[2]	RO	in_sr	控制器自刷新状态。 0: 正常状态; 1: 自刷新状态。
[1]	RO	reserved	保留。
[0]	RO	busy	控制器忙状态寄存器。 0: 空闲; 1: 命令处理中。

DDRC_SREFCTRL

DDRC_SREFCTRL 为 DDRC 自刷新控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x004				DDRC_SREFCTRL				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										sr_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31:1]	RO		reserved		保留。																											
[0]	RW		sr_req		SDRAM 自刷新请求。 0: 退出自刷新状态; 1: 进入自刷新状态。																											

DDRC_INITCTRL

DDRC_INITCTRL 为 DDRC 初始化控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x008		DDRC_INITCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								init_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	init_req	初始化启动。 0: 完成初始化或处于正常工作状态; 1: 启动 SDRAM 初始化操作。						

DDRC_CTRL

DDRC_CTRL 为 DDRC 控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x010		DDRC_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ddr_rst_n
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	ddr_rst_n	DDR3 SDRAM 复位。 0: 复位有效; 1: 复位无效。 注意: 仅对 DDR3 SDRAM 有效, 默认配置为 0 。						

DDRC_EMRS01

DDRC_EMRS01 为 DDR 的模式配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x014		DDRC_EMRS01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	emrs1				mrs				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	emrs1	DDRn SDRAM 扩展模式寄存器 1。						
[15:0]	RW	mrs	DDRn SDRAM 模式寄存器。						

DDRC_EMRS23

DDRC_EMRS23 为 DDR 的扩展模式配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x018		DDRC_EMRS23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	emrs3				emrs2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	emrs3	DDRn SDRAM 扩展模式寄存器 3。						
[15:0]	RW	emrs2	DDRn SDRAM 扩展模式寄存器 2。						

DDRC_CONFIG0

DDRC_CONFIG0 为配置 DDRC 功能的寄存器 0。



Offset Address		Register Name		Total Reset Value							
0x01C		DDRC_CONFIG0		0x2000_0510							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	init_arefnum	pd_prd	rcv_pdr sr_cc reserved pd_en	reserved	rank	reserved	dram_type	reserved	mem_width	reserved	brstlen
Reset	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	0 0 0 1	0 0 0 0			
Bits	Access	Name	Description								
[31:28]	RW	init_arefnum	DDRn SDRAM 初始化过程中发出的自动刷新操作次数。 0x0~0x2: 2 次; 0x3~0xF: n 次。								
[27:20]	RW	pd_prd	SDRAM 低功耗 (Power Down) 周期配置。当 DDRC 在连续的 pd_prd 个周期内没有接受到命令, 则控制 SDRAM 进入到低功耗状态, 当新命令到来, 则控制 SDRAM 退出低功耗状态。 0x00: 1 个时钟周期; 0x01~0xFF: n 个时钟周期。 注意: 该参数仅在 pd_en 为 1 时有效。								
[19]	RW	rcv_pdr	DDR 接收 IO 动态 Power Down 控制使能。使能时 DDRC 会在非读状态关断 DDR 数据 IO 的接收 Buffer。 0: 禁止; 1: 使能。								
[18]	RW	sr_cc	自刷新模式, SDRAM 时钟控制。 0: 不关断 SDRAM 时钟; 1: 关断 SDRAM 时钟。								
[17]	RW	reserved	保留。								
[16]	RW	pd_en	SDRAM 自动低功耗使能。 0: 禁止; 1: 使能。								
[15:14]	RW	reserved	保留。								
[13:12]	RW	rank	控制器 Rank 配置。 00: 1 个 rank; 其它: 保留。								
[11]	RW	reserved	保留。								



[10:8]	RW	dram_type	外部存储器类型。 101: DDR2; 110: DDR3; 其它: 保留。
[7:6]	RW	reserved	保留。
[5:4]	RW	mem_width	存储数据总线位宽。 00: 16bit; 01: 32bit; 其它: 保留。
[3:1]	RW	reserved	保留。
[0]	RW	brstlen	控制器 Burst Length 配置。 0: BL4; 1: BL8。 DDRC 与 PHY 频率比为 1:1 时, DDR2 可配置为 Burst4 和 Burst8, DDR3 只能配置为 Burst8 模式; DDRC 与 PHY 频率比为 1:2 时, DDR2 和 DDR3 都只能配置为 Burst4 模式。

DDRC_CONFIG1

DDRC_CONFIG1 为配置 DDRC 功能的寄存器 1。

Offset Address		Register Name		Total Reset Value																
0x020		DDRC_CONFIG1		0x0000_A380																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	sref_arefnum	reserved	clk_switch	reserved	odis_ddrio	pd_ac	pd_pst_opn	pd_pre_cls	reserved	auto_pre_en	wr_rev_mode	exclu_en	lock_en	aref_mode	wrlvl_en	reserved_h	read_mode	clk_ratio	ecc_en	zqc_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 1 1	1 0 0 0	0 0 0 0												
Bits	Access	Name	Description																	
[31:28]	RW	sref_arefnum	DDRn SDRAM 在 DFS 流程中, 退出自刷新后发出的自动刷新操作次数。 0x0~0x1: 发送 1 次 Auto Refresh 操作; 0x2~0xF: 发送 n 次 Auto Refresh 操作。 注意: 在 train_en=1 时有效。当 train_en=0 时, 会直接退出自刷新, 不会发送 Auto Refresh 操作。																	



[27:21]	RW	reserved	保留。
[20]	RW	clk_switch	DDRC 低功耗时钟切换控制。DDRC 进入低功耗状态（DDR Self Refresh）状态是否反压 AXI 接口命令。 0: 不反压命令，直接返回 ERROR 相应； 1: 反压接口命令，时钟切换完成后，继续执行原有命令。
[19:18]	RW	reserved	保留。
[17]	RW	odis_ddrio	DDR 命令和数据 IO 的输出关断配置。 0: 不关断管脚输出； 1: 关断管脚输出。 注意：此配置为静态配置。建议当配置 DDR 进入 self_refresh 后，可配置为 1，关断 DDR 命令和数据 IO 的输出。在配置 DDR 退出 self_refresh 前，配置为 0，打开 DDR 命令和数据 IO 的输出。
[16]	RW	pd_ac	低功耗模式（PowerDown），SDRAM 地址命令动态关断控制。 0: 不关断管脚输出； 1: 关断管脚输出。 注意：在 pd_en 使能下有效，控制管脚不包括 CKE、ODT、CSN 和 RESET_N。
[15:14]	RW	pd_pst_opn	退出低功耗模式（PowerDown）前 SDRAM 地址命令管脚提前打开延时。 00: 提前 0 拍； 01: 提前 1 拍； 10: 提前 2 拍； 11: 提前 3 拍。 注意：在 pd_en 使能下有效，控制管脚不包括 CKE 和 RESET_N。
[13:12]	RW	pd_pre_cls	进入低功耗模式（PowerDown）后 SDRAM 地址命令关断延时。 00: 延时 0 拍； 01: 延时 1 拍； 10: 延时 2 拍； 11: 延时 3 拍。 注意：在 pd_en 使能下有效，控制管脚不包括 CKE 和 RESET_N。
[11]	RW	reserved	保留。



[10]	RW	auto_pre_en	Auto Precharge 功能使能： 0：禁止； 1：使能。
[9]	RW	wr_rcv_mode	DDRC AXI 端口写命令接收模式选择： 0：写命令直接接收模式； 1：写命令需要等待与其对应的写数据到来后，才被接收。
[8]	RW	exclu_en	排它命令使能。 0：禁止； 1：使能。
[7]	RW	lock_en	WRAP 命令锁定使能。 0：禁止； 1：使能。
[6]	RW	aref_mode	自动刷新模式选择。 0：每 1 个 tREFI 周期执行 1 次自动刷新操作； 1：每 9 个 tREFI 周期执行 8 次自动刷新操作。
[5]	RW	wrlvl_en	DDR3 WriteLVL 硬件自动控制使能。 0：禁止； 1：使能。
[4]	RW	reserved	保留。必须配置为 0。
[3]	RW	read_mode	控制器读模式选择。 0：随路读模式； 1：延迟读模式。 随路读模式，是指控制器根据 PHY 送出的数据有效信号完成数据采样。 延迟读模式，是指控制器内部延迟等待完成对 PHY 送出数据的采样。 注意：该值在 DDRC_DTRCTRL[train_mode]配置为 0 时，必须配置为 0。
[2]	RW	clkratio	控制器工作模式。 当 DDRC 与 PHY 频率比为 1:1 时，配置为 0； 当 DDRC 与 PHY 频率比为 1:2 时，配置为 1。
[1]	RW	ecc_en	控制器 ECC 使能。 0：禁止； 1：使能。



[0]	RW	zqc_en	DDR3 SDRAM ZQ 使能。 0: 禁止; 1: 使能。 注意: 仅对 DDR3 SDRAM 有效, 默认配置为 0。
-----	----	--------	--

DDRC_CMDCFG

DDRC_CMDCFG 为 DDRC 命令配置寄存器。

	Offset Address 0x024								Register Name DDRC_CMDCFG								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cmd_mrs								cmd_ba								cmd_rank				reserved		cmd_type									
Reset	0 0 0 0								0 0 0 0								0 0 0 0				0 0 0 0		0 0 0 0									
Bits	Access		Name		Description																											
[31:16]	RW		cmd_mrs		配置 LMR 命令时, DDR 模式寄存器配置值。																											
[15:8]	RW		cmd_ba		配置 LMR 命令时, DDR BA 配置值。																											
[7:4]	RW		cmd_rank		执行命令的 Rank。 0: 执行配置命令; 1: 不执行配置命令。 每 bit 对应一个存储 Rank 的控制。 注意: Hi3531 只有 rank0, cmd_rank 只能配置为 0x0 或者 0x1。																											
[3:2]	RW		reserved		保留。																											
[1:0]	RW		cmd_type		DDR 命令配置。 00: Deep Power Down 进入; 01: Deep Power Down 退出; 10: Load Mode Reigser (LMR) 命令; 11: ZQCL。																											

DDRC_CMDEXE

DDRC_CMDEXE 为 DDRC 软件配置命令启动寄存器。



Offset Address		Register Name		Total Reset Value					
0x028		DDRC_CMDEXE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cmd_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	cmd_req	控制器配置命令执行请求。 0: 不执行命令或者当命令执行完成后, 自动将该参数清零; 1: 请求执行命令。						

DDRC_RNKCFG

DDRC_RNKCFG 为配置 DDR 特性的寄存器。

Offset Address		Register Name		Total Reset Value								
0x02C		DDRC_RNKCFG		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved					mem_map	reserved	mem_bank	reserved	mem_row	reserved	mem_col
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:14]	RO	reserved	保留。									
[13:12]	RW	mem_map	SDRAM 地址译码模式。 00: {Rank,Row,Ba,Col,DW}= AXI_Address; 01: {Rank,Ba,Row,Col,DW}= AXI_Address; 其它: 保留。									
[11:9]	RW	reserved	保留。									
[8]	RW	mem_bank	单片 SDRAM Bank 数。 0: 4 Bank; 1: 8 Bank。									
[7]	RW	reserved	保留。									



[6:4]	RW	mem_row	单片 SDRAM 行地址位宽配置。 000: 11 bit; 001: 12 bit; 010: 13 bit; 011: 14 bit; 100: 15 bit; 101: 16 bit; 其它: 保留。
[3]	RW	reserved	保留。
[2:0]	RW	mem_col	单片 SDRAM 列地址位宽配置。 000: 8 bit; 001: 9 bit; 010: 10 bit; 011: 11 bit; 100: 12 bit; 其它: 保留。

DDRC_BASEADDR

DDRC_BASEADDR 为 DDR 空间基地址配置寄存器。

	Offset Address 0x040								Register Name DDRC_BASEADDR								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	mem_base_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access		Name		Description																															
[31:0]	RW		mem_base_addr		DDR 存储空间在整芯片系统中的起始基地址配置。																															

DDRC_TIMING0

DDRC_TIMING0 为 DDR 时序参数寄存器 0。



	Offset Address 0x050				Register Name DDRC_TIMING0				Total Reset Value 0xFFFF_3F1F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tmrd				trrd				trp				trcd				reserved				trc				reserved				tras			
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	0	1	1	1	1	1
	Bits	Access	Name	Description																												
	[31:28]	RW	tmrd	模式寄存器加载（LMR）命令的等待周期。 0x0~0x1: 1个时钟周期； 0x2~0xF: n个时钟周期。																												
	[27:24]	RW	trrd	打开 BANK A 到打开 BANK B 的（ACT bank a to ACT bank b）等待周期。 0x0~0x1: 1个时钟周期； 0x2~0xF: n个时钟周期。																												
	[23:20]	RW	trp	关闭（PRE period）命令的等待周期。 0x0~0x1: 1个时钟周期； 0x2~0xF: n个时钟周期。																												
	[19:16]	RW	trcd	同 BANK 激活到读或写（ACT to READ or WRITE）命令的等待周期。 0x0~0x3: 3 时钟周期； 0x4~0xF: n 时钟周期。																												
	[15:14]	RW	reserved	保留。																												
	[13:8]	RW	trc	同 BANK 的激活命令到激活命令（active a bank to active a bank）的等待周期。 0x00~0x01: 1个时钟周期； 0x02~0x3F: n个时钟周期。																												
	[7:5]	RW	reserved	保留。																												
	[4:0]	RW	tras	同 BANK 的激活命令到到关闭命令（ACT to PRE）的等待周期。 0x00~0x01: 1个时钟周期； 0x02~0x0F: n个时钟周期。																												

DDRC_TIMING1

DDRC_TIMING1 为 DDR 时序参数寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x054		DDRC_TIMING1		0xFF01_45FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tsre		trdlat	trtw	twl	tcl	trfc	
Reset	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 1	0 1 0 0	0 1 0 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:24]	RW	tsre	退出自刷新（Self-Refresh）到读命令的等待周期。 0x0: 1 个时钟周期； 0x01~0xFF: n×2 个时钟周期。 DDR3 SDRAM 时，该值配置 tXSDLL 值。					
[23:20]	RW	trdlat	DDRPHY 固有延迟。 0x0~0xF: n+1 个周期。 在使用 Dolphin PHY 时，配置为 0x5。 在 read_mode=1（延迟读模式）时有效。					
[19:16]	RW	trtw	最后一个读数据到第一个写数据延迟。 0x0~0x1: 1 个时钟周期； 0x2~0xF: n+1 个时钟周期。					
[15:12]	RW	twl	写命令到写数据的等待周期。 0x0~0x1: 1 个时钟周期； 0x2~0xF: n 个时钟周期。 如：0x3: 3 个时钟周期。 注意：DDR2 模式，twl 配置为 tcl-1，twl 配置时应满足 twl - taond ≥ 1。					
[11:8]	RW	tcl	DDR 的读命令到读数据的延迟（CAS Latency）。 0x0~0x1: 1 个时钟周期； 0x2~0xF: n 个时钟周期。					
[7:0]	RW	trfc	自动刷新命令周期和自动刷新到激活（AREF period or AREF to ACT）命令的等待周期。该寄存器选择配置 max{trfc,tzqcs} 的大值。 0x00~0x01: 1 个时钟周期； 0x02~0xFF: n 个时钟周期。					

DDRC_TIMING2

DDRC_TIMING2 为 DDR 时序参数寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x058		DDRC_TIMING2		0xF3F3_F00					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	tcke	twtr	twr	reserved	tfaw	reserved	taref		
Reset	1 1 1 1	0 0 1 1	1 1 1 1	0 0 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RW	tcke	低功耗状态维持的最短时间。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 该值需要配置 tCKESR, tCKSRE, tCKSRX, tCKE 几个值中的最大值。 在使用 Dophin 的 DDRPHY 时, 该寄存器的值配置为 $\max\{tCKSRx,tCKE\}+3$ 。						
[27:24]	RW	twtr	写操作最后一个写数据到读命令 (write to read) 的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xf: n 个时钟周期。 如 0x3: 3 个时钟周期。						
[23:20]	RW	twr	写恢复 (write recovery) 等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xf: n 个时钟周期。 注意: 在有 DFS 的需求下, tWR 参数需要按照 DFS 中芯片可能使用最高频率配置。并且不能随 DDR 的频率变化修改 tWR 的配置。						
[19:18]	RW	reserved	保留。						
[17:12]	RW	tfaw	连续 4 个激活命令周期。 0x00~0x3F: n 个时钟周期; 如: 0x14: 20 个时钟周期。						
[11]	RW	reserved	保留。						



[10:0]	RW	taref	<p>自动刷新周期。</p> <p>0x000: 自动刷新禁止;</p> <p>0x001~0x7FF: SDRAM 刷新周期时间为 $16 \times n$ 时钟周期。 如 0x008: 128 个时钟周期 (16×8)。</p> <p>配置间隔时间为 $tREFI = 7800/16/tclk$。Tclk 为 SDRAM 使用时的运行周期。</p> <p>当 DDRC_CONFIG1[aref_mode]=1 时, 此寄存器需要配置为 $8 \times tREFI$ 的间隔时间。</p>
--------	----	-------	---

DDRC_TIMING3

DDRC_TIMING3 为 DDR 时序参数寄存器 3。

	Offset Address 0x05C								Register Name DDRC_TIMING3								Total Reset Value 0xFFDF_F0F2															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tzq_prd								tzqinit								taond				txard				trtp							
Reset	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	1	0
Bits	[31:22]								[21:12]								[11:8]															
Access	RW								RW								RW															
Name	tzq_prd								tzqinit								taond															
Description	<p>ZQCS 命令周期。</p> <p>0x000: ZQCS 命令禁止;</p> <p>0x001~0x3FF: $n \times 128$ 个 AREF 周期。 ZQCS 命令周期时间为 $n \times 128$ 个 taref 时钟周期。</p>								<p>ZQ 初始化延迟周期。</p> <p>0x0~0x1ff: $n+1$ 个时钟周期。 该值配置 tZQINIT, tDLLK 的最大值。</p>								<p>ODT (On-die termination) 打开和关闭周期。</p> <p>DDR2 模式下 (taond/taofd) :</p> <p>0x0: 2/2.5;</p> <p>0x1: 3/3.5;</p> <p>0x2: 4/4.5;</p> <p>0x3: 5/5.5;</p> <p>其它: 保留。</p> <p>在 DDR3 模式下, 该值配置为 tWL-1。</p>															



[7:4]	RW	txard	退出 DDR 低功耗状态等待周期。 0x0~0xF: n 个时钟周期, n 代表十进制数; 如: 0x7: 为 7 个时钟周期。 取 {tXP,tXARD,tXARDS,tXS} 中的最大值。 在 DDR3 模式下, 该寄存器作为 tXS 配置时, txard 只需要配置为 10ns 的等价时钟周期即可。
[3:0]	RW	trtp	读命令到关闭命令的等待延迟。 000~010: 2 个时钟周期; 011~111: n 个时钟周期。 Trtp 的计算公式是 AL+BL/2+Max(trtp,2)-2

DDRC_TIMING4

DDRC_TIMING4 为 DDR 时序参数寄存器 4。

	Offset Address 0x060								Register Name DDRC_TIMING4								Total Reset Value 0x000F_208															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								twlo		reserved		twldqsen				reserved		twlmrd													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
Bits	Access		Name		Description																											
[31:20]	RW		reserved		保留。																											
[19:16]	RW		twlo		DDR3 WriteLevel 状态延迟参数。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 该参数为 twlo+twloe 之和。																											
[15:14]	RW		reserved		保留。																											
[13:8]	RW		twldqsen		DDR3 WriteLevel 启动延迟参数。 0x0~0x1: 1 个时钟周期; 0x2~0x3F: n 个时钟周期。																											
[7:6]	RW		reserved		保留。																											
[5:0]	RW		twlmrd		DDR3 WriteLevel 首个 DQS 有效延迟参数。 0x0~0x1: 1 个时钟周期; 0x2~0x3F: n 个时钟周期。																											



DDRC_DTRADDR

DDRC_DTRADDR 为 DDRC 门控训练地址配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A0		DDRC_DTRADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	train_row			train_bank	train_col			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	train_row	门控位置训练，使用的 DDRn SDRAM 的行地址。行地址不足 16 位时，高位补 0。					
[15:13]	RW	train_bank	门控位置训练，使用的 DDRn SDRAM 的 BANK 地址。BANK 地址不足 3 位时，高位补 0。					
[12:0]	RW	train_col	门控位置训练，使用的 DDRn SDRAM 的列地址。列地址不足 13 位时，高位补 0。					

DDRC_DTRDATA0

DDRC_DTRDATA0 为 DDRC 门控训练数据配置寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x0A4		DDRC_DTRDATA0		0xE11E_D22D				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dtr_byte3		dtr_byte2		dtr_byte1		dtr_byte0	
Reset	1 1 1 0	0 0 0 1	0 0 0 1	1 1 1 0	1 1 0 1	0 0 1 0	0 0 1 0	1 1 0 1
Bits	Access	Name	Description					
[31:24]	RW	dtr_byte3	控制器门控训练数据配置 0。 控制器进行训练时，要求每次读操作或写操作都是按照 DDR BL8 进行传输。 注意：每个 byte 配置的数据，高 4 位和低 4 位需要为不同值。					
[23:16]	RW	dtr_byte2	控制器门控训练数据配置。					



[15:8]	RW	dtr_byte1	控制器门控训练数据配置。
[7:0]	RW	dtr_byte0	控制器门控训练数据配置。

DDRC_DTRDATA1

DDRC_DTRDATA1 为 DDRC 门控训练数据配置寄存器 1。

	Offset Address 0x0A8				Register Name DDRC_DTRDATA1								Total Reset Value 0xC33C_B44B																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dtr_byte7				dtr_byte6				dtr_byte5				dtr_byte4																			
Reset	1	1	0	0	0	0	1	1	0	0	1	1	1	1	0	0	1	0	1	1	0	1	0	0	0	1	0	0	1	0	1	1
Bits	Access		Name		Description																											
[31:24]	RW		dtr_byte7		控制器门控训练数据配置 1。 控制器进行训练时，要求每次读操作或写操作都是按照 DDR BL8 进行传输。 注意：每个 byte 配置的数据，高 4 位和低 4 位需要为不同值。																											
[23:16]	RW		dtr_byte6		控制器门控训练数据配置。																											
[15:8]	RW		dtr_byte5		控制器门控训练数据配置。																											
[7:0]	RW		dtr_byte4		控制器门控训练数据配置。																											

DDRC_DTRCTRL

DDRC_DTRCTRL 为 DDRC 门控训练控制寄存器。



Offset Address		Register Name		Total Reset Value										
0x0AC		DDRC_DTRCTRL		0x0000_0400										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	dt_byte		reserved	train_start_pos	reserved	train_rank	rensel	train_mode	reserved	dt_limit	reserved	track_en	train_en	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:24]	RW	dt_byte	字节训练使能位。 0: 禁止字节训练; 1: 使能字节训练。 [24]: DDRC Byte0 训练使能。 ... [31]: DDRC Byte7 训练使能。											
[23:20]	RW	reserved	保留。											
[19:16]	RW	train_start_pos	门控训练起始位置。 0x0~0x5: n 个时钟周期。 其它: 保留。											
[15:14]	RW	reserved	保留。											
[13:12]	RW	train_rank	门控训练的 rank 数。 0x0~0x3: n+1 个 rank; 注意: Hi3531 只有 1 个 rank, 只能配置为 0。											
[11:9]	RW	rensel	读使能延迟周期。 000~011: n 个时钟周期。 其它: 保留。											
[8]	RW	train_mode	门控训练方式选择。 0: Dolphin 训练方式。 1: 普通训练方式;											
[7:6]	RW	reserved	保留。											
[5:4]	RW	dt_limit	DQS 门控位置偏移控制。 00: 偏移 0 度; 01: 偏移 90 度; 10: 偏移 180 度; 11: 偏移 270。											



[3]	RW	reserved	保留。
[2]	RW	track_en	门控位置自动更新使能。 0: 禁止; 1: 使能 注意: 两次 train 操作之间必须有一组读操作, 连续访问长度大于 DDRBURST8。
[1]	RW	train_en	门控位置训练使能。 0: 禁止; 1: 使能;
[0]	RW	reserved	保留。

DDRC_DTRPRD

DDRC_DTRPRD 为 DDRC 门控跟踪周期配置寄存器。

	Offset Address 0x0B0								Register Name DDRC_DTRPRD								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								track_prd																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:20]	RO		reserved		保留。																											
[19:0]	RW		track_prd		DQS 门控自动更新周期配置。在设置的周期内, DDRC 完成门控位置的跟踪。 0x0: 1 个 AREF 周期; 0x1~0x7FF: (n+1) 个 AREF 周期完成门控位置的跟踪。																											

DDRC_DTRGATE

DDRC_DTRGATE 为 DDRC 门控相位位置寄存器。



Offset Address		Register Name		Total Reset Value					
0x0B4		DDRC_DTRGATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				gate_sel				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。 注意：该寄存器不能连续读。						
[15:0]	RW	gate_sel	控制器门控相位为位置。 00: 0度； 01: 90度； 10: 180度； 11: 270度。 [2*(N+1)-1:2*N]: DDRC ByteN 门控相位； N= (0,1,...,3)。						

DDRC_DTRLAT

DDRC_DTRLAT 为 DDRC 门控周期位置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0C4+0x4*rnks rnks(0~0)		DDRC_DTRLAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sys_lat							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sys_lat	控制器门控延迟周期数。 0x0~0x5: n 个时钟周期； 其它: 保留。 [4*(N+1)-1:4*N]: DDRC ByteN 门控相位； N= (0,1,...,3)。 注意：该寄存器不能连续写或读。					



DDRC_DTRSTATUS

DDRC_DTRSTATUS 为 DDRC 门控状态寄存器。

Offset Address	Register Name	Total Reset Value	
0x0D4+0x4*rnks rnks(0~0)	DDRC_DTRSTATUS	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved dtr_st reserved dtr_ok reserved dtr_err		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RO	dtr_st	字节门控位置偏移相位状态。 00: 偏移 0 度; 01: 偏移 90 度; 10: 偏移 180 度; 11: 偏移 270。
[15:12]	RO	reserved	保留。
[11:8]	RO	dtr_ok	门控训练正确状态。 0: 训练错误; 1: 训练正确; [8]: DDRC Byte0 训练成功。 . . . [11]: DDRC Byte3 训练成功。
[7:4]	RO	reserved	保留。
[3:0]	RO	dtr_err	门控位置自动跟踪出错状态。 0: 跟踪正确; 1: 跟踪出错; [0]: DDRC Byte0 训练错误。 . . . [3]: DDRC Byte3 训练错误。

DDRC_AXISTATUS

DDRC_AXISTATUS 为 DDRC 接口状态寄存器。



	Offset Address				Register Name								Total Reset Value																							
	0x0F0				DDRC_AXISTATUS								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																				axi_st7	axi_st6	axi_st5	axi_st4	axi_st3	axi_st2	axi_st1	axi_st0								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name	Description																																	
[31:8]	RO	reserved	保留。																																	
[7]	RO	axi_st7	控制器总线接口 7 状态。 0: 空闲; 1: 有命令执行。																																	
[6]	RO	axi_st6	控制器总线接口 6 状态。 0: 空闲; 1: 有命令执行。																																	
[5]	RO	axi_st5	控制器总线接口 5 状态。 0: 空闲; 1: 有命令执行。																																	
[4]	RO	axi_st4	控制器总线接口 4 状态。 0: 空闲; 1: 有命令执行。																																	
[3]	RO	axi_st3	控制器总线接口 3 状态。 0: 空闲; 1: 有命令执行。																																	
[2]	RO	axi_st2	控制器总线接口 2 状态。 0: 空闲; 1: 有命令执行。																																	
[1]	RO	axi_st1	控制器总线接口 1 状态。 0: 空闲; 1: 有命令执行。																																	
[0]	RO	axi_st0	控制器总线接口 0 状态。 0: 空闲; 1: 有命令执行。																																	



DDRC_ODTCFG

DDRC_ODTCFG 为 DDR 的 ODT 特性配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0F4		DDRC_ODTCFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												rodt0	reserved												wodt0						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:17]	RW		reserved		保留。																											
[16]	RW		rodt0		Rank0 读 ODT 配置。 0: 禁止读 ODT; 1: 使能读 ODT。																											
[15:1]	RW		reserved		保留。																											
[0]	RW		wodt0		Rank0 写 ODT 配置。 0: 禁止写 ODT; 1: 使能写 ODT。																											

DDRC_QOSCFG0

DDRC_QOSCFG0 为 DDRC 的 QoS 算法配置寄存器 0。

Offset Address		Register Name		Total Reset Value																												
0x100		DDRC_QOSCFG0		0x0000_000F																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ramap_mio	ra_order_ct	order_en	dmc_fifo_lvl																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:7]	RW		reserved		保留。																											



Offset Address		Register Name		Total Reset Value						
0x100		DDRC_QOSCFG0		0x0000_000F						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						idmap_mo	id_order_ct	order_en	dmc_fifo_lvl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1		
Bits	Access	Name	Description							
[6]	RW	idmap_mode	ID 映射模式： 0：采用寄存器配置的 id_map 的映射方式（默认）； 1：采用 AXI 接口随读写命令随路配置 Qos 映射模式（RTL 代码中打开了此模式的宏定义才能有效）。							
[5]	RW	id_order_ctl	指定 ID 的乱序执行使能。 0：禁止； 1：使能。控制器不保证指定 ID 的读写命令与其它 ID 的命令发生地址（DDR 行地址）冲突时的先后顺序。数据一致性由 Master 保证。							
[4]	RW	order_en	同优先级命令顺序执行使能。 0：禁止； 1：使能。							
[3:0]	RW	dmc_fifo_lvl	DMC 中，命令寄存器 FIFO 的深度。 0x0~0xF：n+1 个命令深度。 其它：保留。 注意：Hi3531 最大配置为 0xA，建议配置为 0x7。							

DDRC_QOSCFG1

DDRC_QOSCFG1 为 DDRC 的 QoS 算法配置寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x104		DDRC_QOSCFG1		0x3210_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	id_map_rd				id_map_wr			
Reset	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	id_map_rd	<p>对读命令，根据总线上来的读 ID 选取 4 位进行 QOS 的配置选择：</p> <p>[15:12]：配置 ID 映射的 bit[3]；</p> <p>[11:8]：配置 ID 映射的 bit[2]；</p> <p>[7:4]：配置 ID 映射的 bit[1]；</p> <p>[3:0]：配置 ID 映射的 bit[0]。</p> <p>例如：ID_MAP 配置为 0x5320，这指示总线 ID 的 {ID[5],ID[3],ID[2],ID[0]} 用于 ID 映射，完成优先级的配置。</p> <p>DDRC 会在原有 13 位 ID 的第 9，第 8 和第 7 比特插入 3 比特 ID，代表 AXI 端口号，因此 DDRC 映射的 ID 位宽总共为 16 比特。</p> <p>000: axi port 0;</p> <p>001: axi port 1;</p> <p>010: axi port 2;</p> <p>011: axi port 3;</p> <p>100: axi port 4;</p> <p>101: axi port 5;</p> <p>110: axi port 6;</p> <p>111: axi port 7。</p>					



Offset Address		Register Name		Total Reset Value				
0x104		DDRC_QOSCFG1		0x3210_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	id_map_rd				id_map_wr			
Reset	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[15:0]	RW	id_map_wr	<p>对写命令，根据总线上来的写 ID 选取 4 位进行 QOS 的配置选择。</p> <p>[15:12]: 配置 ID 映射的 bit[3];</p> <p>[11:8]: 配置 ID 映射的 bit[2];</p> <p>[7:4]: 配置 ID 映射的 bit[1];</p> <p>[3:0]: 配置 ID 映射的 bit[0]。</p> <p>例如: ID_MAP 配置为 0x5320, 这指示总线 ID 的 {ID[5],ID[3],ID[2],ID[0]} 用于 ID 映射, 完成优先级的配置。</p> <p>DDRC 会在原有 13 位 ID 的第 9, 第 8 和第 7 比特插入 3 比特 ID, 代表 AXI 端口号, 因此 DDRC 映射的 ID 位宽总共为 16 比特。</p> <p>000: axi port 0;</p> <p>001: axi port 1;</p> <p>010: axi port 2;</p> <p>011: axi port 3;</p> <p>100: axi port 4;</p> <p>101: axi port 5;</p> <p>110: axi port 6;</p> <p>111: axi port 7。</p>					

DDRC_QOS

DDRC_QOS 是 DDRC 的读命令优先级配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x150+0x4 x id0		DDRC_QOS		0x0000_0004					
id0(0~15)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	rd_pri_apt	rd_age_prd	reserved	rd_qos_en	reserved	rd_qos	reserved	rd_pri
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	
Bits	Access	Name	Description						
[31:28]	RW	reserved	保留。						
[27:24]	RW	pri_apt	读命令优先级自适应配置。 0x0: 禁止优先级自适应功能; 0x1~0xF: N×16 个时钟周期。						
[23:20]	RW	age_prd	读命令老化时间配置。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。						
[19:17]	RW	reserved	保留。						
[16]	RW	qos_en	读命令 QOS 使能 (timeout) 。 0: 禁止; 1: 使能。						
[15:14]	RW	reserved	保留。						
[13:4]	RW	qos	读命令 QoS 配置 (timeout) 。 0x1~0x3FF: n 个时钟周期; 其它: 保留。 注意: 实际使用的 timeout 值是 16 的整数倍, 会忽略 rd_qos 的低 4 位。						
[3]	RW	reserved	保留。						
[2:0]	RW	pri	读命令先级配置。 000: 最高优先级; 001: 次高优先级; ... 111: 最低优先级。						

DDRC_FLUX

DDRC_FLUX 为 DDRC AXI 端口带宽流量控制配置寄存器。



Offset Address		Register Name		Total Reset Value						
0x200+0x4 x ports		DDRC_FLUX		0x0000_0000						
ports(0~5)										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				flux_port_en	flux_ovfl	reserved	flux_lvl	reserved	flux
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:22]	RW	reserved	保留。							
[21]	RW	flux_port_en	AXI 接口 DDRC 流量统计使能。 0: 禁止流量控制功能; 1: 使能流量控制。							
[20]	RW	flux_ovfl	AXI 接口流量溢出允许使能。 0: 禁止; 1: 使能。 配置为 1 时, 在 AXI 端口流量超过带宽限制, 且不存在无流量溢出的 AXI 端口, 有命令请求时, 允许此 AXI port 的带宽超过配置流量。							
[19:17]	RW	reserved	保留。							
[16:12]	RW	flux_lvl	AXI 接口流量溢出允许水位。 0x0~0x10: 允许流量溢出的 DMC 水位深度。 其它: 保留。 当 AXI 端口的流量超过 flux 的配置带宽时, 在 flux_ovfl=1 的条件下, DMC 中的待处理命令个数小于此配置水位时, 才允许发送。否则不给予仲裁。							
[11:10]	RW	reserved	保留。							
[9:0]	RW	flux	AXI 接口的允许带宽配置。 0x0~0x3FF: AXI 接口的允许访问的最大 DDR 带宽占总带宽的比例。总带宽为 1024, 配置值为占总带宽的比例。 其它: 保留。							

DDRC_TEST0

DDRC_TEST0 为 DDRC 的测试状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x240		DDRC_TEST0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dmc_ct				dmc_cv				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	dmc_ct	控制器命令类型。						
[15:0]	RO	dmc_cv	控制器正在处理的命令。						

DDRC_TEST1

DDRC_TEST1 为 DDRC 的测试状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x244		DDRC_TEST1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						dt_num	reserved	byte_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:9]	RO	reserved	保留。						
[8:4]	RW	dt_num	选择第 n 个 Cycle，训练模块读回的数据（n = 0~23）。						
[3]	RW	reserved	保留。						
[2:0]	RW	byte_sel	返回数据的通道选择。 0x0~0x7：通道 n 选择。						

DDRC_TEST2

DDRC_TEST2 为 DDRC 的测试状态寄存器。



Offset Address		Register Name		Total Reset Value				
0x248		DDRC_TEST2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data_h							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	data_h	训练数据高 32bit。					

DDRC_TEST3

DDRC_TEST3 为 DDRC 的测试状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x24C		DDRC_TEST3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	data_l							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	data_l	训练数据低 32bit。					

DDRC_TEST4

DDRC_TEST4 为是 DDRC 的测试状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x250		DDRC_TEST4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dt_ok_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dt_ok_cnt	训练数据正确次数。 0x0~0xF: n+1 次。 [3*(N+1)-1:3*N]: ByteN 的正确次数。					



DDRC_TEST7

DDRC_TEST7 为 DDRC 性能统计控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x260		DDRC_TEST7		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	perf_mode	perf_en	perf_ch	perf_prd																												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	perf_mode	性能统计模式。 0: 连续触发模式。性能统计相关计数器连续计数。可保证在连续统计模式下, 1s 内统计不溢出 (533MHz)。 1: 单次触发模式。性能统计时间计满 perf_prd 后, 统计结果保持, 并停止统计。 注意: 当统计值溢出后, 会 WRAP 绕回。																													
[30]	RW	perf_en	性能统计使能。 0: 禁止; 1: 使能。 注意: 在 perf_mode=0 时, 此位使能表示性能统计寄存器将开始循环计数。在 perf_mode=1 时, 完成一次统计之后, 该位自动清零。																													
[29:28]	RW	perf_ch	读写命令统计通道。 00: 禁止; 01: 通道 1; 10: 通道 1; 11: 所有通道。 其它: 保留。 注意: 此寄存器限制的 DDRC_TEST8 和 DDRC_TEST9 的读写命令统计的通道数。																													
[27:0]	RW	perf_prd	性能统计周期。 0x0~0xFFFFFFFF: 统计周期。 实际统计周期为 perf_prd*4*clk (Tclk 为 DDRC 总线时钟周期)。 注意: 此配置只在 perf_mode=1 时有效。当 perf_mode=0 的连续统计模式下, 性能统计相关计数器会一直计数。																													



DDRC_TEST8

DDRC_TEST8 为 DDRC 写命令统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x264		DDRC_TEST8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wr_num							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RWC	wr_num	统计时限内，写命令个数。此寄存器写清零。 支持 Wrap 循环计数。					

DDRC_TEST9

DDRC_TEST9 为 DDRC 读命令统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x268		DDRC_TEST9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rd_num							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RWC	rd_num	统计时限内，读命令个数。此寄存器写清零。 支持 Wrap 循环计数。					

DDRC_TEST10

DDRC_TEST10 为 DDRC DMC 命令等待个数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x26C		DDRC_TEST10		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dmc_cmd_num							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RWC	dmc_cmd_num	统计时限内，DDRC 中 DMC 命令等待个数统计。此寄存器写清零。 支持 Wrap 循环计数。 注意：受限于寄存器位宽限制，为了保证在 533MHz 下，1s 内不溢出。此寄存器的显示的统计结果为真实统计结果除以 2 后的计数值。					

DDRC_TEST12

DDRC_TEST12 为 DDRC 的测试状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x280		DDRC_TEST12		0x0000_0FFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wfifo_f				wfifo_e			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	wfifo_f	写 FIFO 满状态。					
[15:0]	RO	wfifo_e	写 FIFO 空状态。 注意：Hi3531 中，只有 12bit 复位值为 0xFFF。					

DDRC_PHYCFG

DDRC_PHYCFG 为 DDRPHY 配置寄存器。



	Offset Address 0x400				Register Name DDRC_PHYCFG				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ref_e	reserved		comp	comp_en	bl	bl_en									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RO	reserved		保留。																											
	[7]	RW	ref_e		DDRPHYIO 配置使能。 0: 外部输入控制; 1: 内部电阻控制。																											
	[6:4]	RO	reserved		保留。																											
	[3]	RW	comp		DDRPHY 门控选择。 0: DDRC 输出门控值; 1: DDRPHY 自身门控值。																											
	[2]	RW	comp_en		DDRPHY 门控训练使能。 0: 禁止; 1: 使能。																											
	[1]	RW	bl		DDRPHY 的 burst 配置。 0: BL4; 1: BL8。																											
	[0]	RW	bl_en		DDRPHY 的 burst 配置使能。 0: 禁止, 使用可变的 Burst Length。 1: 使能。																											

DDRC_PHYNEG

DDRC_PHYNEG 为 DDRPHY 门控相位位置。



Offset Address		Register Name		Total Reset Value					
0x410		DDRC_PHYNEG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						neg_mod		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。 注意：该寄存器不能连续读。						
[7:0]	RW	neg_mod	DDRPHY 门控相位选择（Dolphin 模式）。 00: 0 度相移； 01: 90 度相移； 10: 180 度相移； 11: 270 度相移。 [2*(N+1)-1: 2*N]: 数据通道 N 的相位位置。 N = 0, 1, 2, 3。						

DDRC_PHYSEL

DDRC_PHYSEL 为 DDRPHY 门控周期位置。

Offset Address		Register Name		Total Reset Value					
0x420+0x4*rnks rnks(0~0)		DDRC_PHYSEL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						sel_mod		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。 注意：该寄存器不能连续读。						
[7:0]	RW	sel_mod	DDRPHY 门控延迟选择（Dolphin 模式）。 00~11: n 个时钟周期。 [2*(N+1)-1: 2*N]: 数据通道 N 的相位位置。 N = 0, 1, 2, 3。						



DDRC_CDLLCFG

DDRC_CDLLCFG 为 DDRPHY 的命令通道 DLL 配置寄存器。

	Offset Address 0x430								Register Name DDRC_CDLLCFG								Total Reset Value 0x0000_0053																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved		unfl	ovfl	reserved		bypctl				reserved	bypfc		reserved				limit				byp	dll_updt_en	dll_en	dll_reset											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	1				
Bits	[31:30]		[29]	[28]	[27:25]				[24:20]				[19]	[18:16]		[15:11]				[10:4]				[3]	[2]	[1]										
Access	RO		RO	RO	RW				RW				RW	RW		RW				RW				RW	RW	RW										
Name	reserved		unfl	ovfl	reserved				bypctl				reserved	bypfc		reserved				limit				byp	dll_updt_en	dll_en										
Description	保留。		DLL 下溢出状态。 0: 未溢出; 1: 溢出。	DLL 上溢出状态。 0: 未溢出; 1: 溢出。	保留。				DLL 旁路时, DLL 的 ctlout 值。				保留。	DLL 旁路时, DLL 的 fcout 值。		保留。				DLL 锁定带宽。				DLL 旁路使能。 0: 不使能; 1: 使能。	DLL 更新使能。 0: 禁止; 1: 使能。	DLL 使能。 0: 禁止; 1: 使能。										



[0]	RW	dll_reset	DLL 复位。 0: 复位有效; 1: 复位无效。
-----	----	-----------	---------------------------------

DDRC_QDLLCFG

DDRC_QDLLCFG 为 DDRPHY 数据通道 DLL 配置寄存器。

Offset Address		Register Name		Total Reset Value																															
0x440+0x4 x blanes blanes(0~3)		DDRC_QDLLCFG		0x0000_0053																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	reserved	unfl_mod	ovfl_mod	reserved	bypctl_mod				reserved	bypfc_mod		reserved				limit_mod				byp_mod	dll_updt_en_mod	dll_en_mod	dll_reset_mod												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	1			
Bits	Access		Name		Description																														
[31:30]	RO		reserved		保留。																														
[29]	RO		unfl_mod		DLL 下溢出状态。 0: 未溢出; 1: 溢出。																														
[28]	RO		ovfl_mod		DLL 上溢出状态。 0: 未溢出; 1: 溢出。																														
[27:25]	RW		reserved		保留。																														
[24:20]	RW		bypctl_mod		DLL 旁路时, DLL 的 ctcout 值。																														
[19]	RW		reserved		保留。																														
[18:16]	RW		bypfc_mod		DLL 旁路时, DLL 的 fcout 值。																														
[15:11]	RW		reserved		保留。																														
[10:4]	RW		limit_mod		DLL 锁定带宽。																														
[3]	RW		byp_mod		DLL 旁路使能。 0: 不使能; 1: 使能。																														



[2]	RW	dll_updt_en_mod	DLL 更新使能。 0: 禁止; 1: 使能。
[1]	RW	dll_en_mod	DLL 使能。 0: 禁止; 1: 使能。
[0]	RW	dll_reset_mod	DLL 复位。 0: 复位有效; 1: 复位无效。

DDRC_LVLSKWEW

DDRC_LVLSKWEW 为 DDRPHY 数据线相位微调控制寄存器。

	Offset Address 0x470								Register Name DDRC_LVLSKWEW								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								dm_skew				reserved								dqs_skew											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:20]	RO		reserved		保留。																											
[19:16]	RW		dm_skew		写数据屏蔽信号延迟微调使能。 0: 禁止; 1: 使能。																											
[15:4]	RW		reserved		保留。																											
[3:0]	RW		dqs_skew		数据线微调使能。 0: 禁止; 1: 使能。																											

DDRC_LVLCTRL

DDRC_LVLCTRL 为 DDRPHY Write Level 控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x474		DDRC_LVLCTRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							wrlvl_allow
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	wrlvl_allow	WriteLevel 操作启动。 0: 禁止; 1: 使能。 [N]: 表示 ByteN 的使能。N=0,1,2, 3。					

DDRC_LVLSTR

DDRC_LVLSTR 为 DDRPHY WriteLevel 的 DQS 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x478		DDRC_LVLSTR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							wrlvl_strobe
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	wrlvl_strobe	WriteLevel 单周期使能操作。 0: 空闲; 1: 写 1 使能。 [N]: 表示 ByteN 的使能。N=0,1,2, 3。					

DDRC_LVLODT

DDRC_LVLODT 为 DDRPHY WriteLevel 的 ODT 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x47C		DDRC_LVLODT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wrlvl_odt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	wrlvl_odt	WriteLevel 模式下 ODT 控制。 0: 不使能; 1: 使能。						

DDRC_LVLCTL

DDRC_LVLCTL 为 DDRPHY WriteLevel 配置寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x480+0x4 x blanes blanes(0~3)		DDRC_LVLCTL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clkinv	lvctl_mod						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	clkinv	leveling 相位选择。 0: 0 相位; 1: 180 度相位。					



[30:0]	RW	lvlctl_mod	WriteLevel 模式，DQS 的粗调值。 0x0000_0000: 0 个延迟单元； 0x0000_0001: 1 个延迟单元； 0x0000_0003: 2 个延迟单元； 0x0000_0007: 3 个延迟单元； ... 0x7FFF_FFFF: 31 个延迟单元。 注意：该寄存器的访问受控于 DDRC_CONFIG1[wrlvl_en]。 在 wrlvl_en 不使能的情况下，才可以访问。
--------	----	------------	--

DDRC_LVLFC

DDRC_LVLFC 为 DDRPHY WriteLevel 配置寄存器 1。

	Offset Address	Register Name	Total Reset Value							
	0x4B0+0x4 x blanes blanes(0~3)	DDRC_LVLFC	0x0000_0000							
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0									
Name	reserved						lvlfc_mod			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0									
Bits	Access	Name	Description							
[31:7]	RO	reserved	保留。							
[6:0]	RW	lvlfc_mod	WriteLevel 模式，DQS 的细调值。 注意：通常不对该寄存器进行配置。							

DDRC_LVLRSP

DDRC_LVLRSP 为 DDRPHY 的 WriteLevel 响应寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x4E0	DDRC_LVLRSP	0x0000_0000							
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0									
Name	reserved						lvlrsp_mod			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0									
Bits	Access	Name	Description							
[31:4]	RO	reserved	保留。							



[3:0]	RO	lvlrsp_mod	WriteLevel 模式，返回响应。 0: ERROR; 1: OK。
-------	----	------------	--

DDRC_LVLST

DDRC_LVLST 为 DDRPHY Write Level 状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x4E4				DDRC_LVLST				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								lvl_ok							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:4]	RO	reserved		保留。																											
	[3:0]	RO	lvl_ok		WriteLevel 状态。 0: 完成初始化之后，表示失败； 1: 成功。																											

DDRC_PHYSRST

DDRC_PHYSRST 为 DDRPHY 软复位控制信号。

	Offset Address				Register Name				Total Reset Value																							
	0x4F0				DDRC_PHYSRST				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								ddrphy_srst							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Bits	Access	Name		Description																											
	[31:1]	RW	reserved		保留。																											
	[0]	RW	ddrphy_srst		DDRPHY 复位控制。 0: 复位有效； 1: 复位无效。																											



DDRC_WRDQS_SKEW

DDRC_WRDQS_SKEW 为 DDRPHY 写 DQS 微调寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x500				DDRC_WRDQS_SKEW				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												wrdqskew																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RW		reserved		保留。																											
[11:0]	RW		wrdqskew		DDR 写 DQS 延迟微调。 0x0~0x7: 延时单元个数。 [3*(N+1)-1:3*N]: 写 DQS 延时配置。 N=0, 1, 2, 3。 N 表示对应的 BytelaneN 的写 DQS。																											

DDRC_RDDQS_SKEW

DDRC_RDDQS_SKEW 为 DDRPHY 读 DQS 微调寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x504				DDRC_RDDQS_SKEW				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												rddqskew																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RW		reserved		保留。																											
[11:0]	RW		rddqskew		DDR 读 DQS 延迟微调。 0x0~0x7: 延时单元个数。 [3*(N+1)-1:3*N]: 读 DQS 延时配置。 N=0, 1, 2, 3。 N 表示对应的 BytelaneN 的读 DQS。																											



DDRC_WRDMSKEW

DDRC_WRDMSKEW 为写屏蔽微调配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x508				DDRC_WRDMSKEW				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dm_wr_skew																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:0]	RW		dm_wr_skew		写数据屏蔽信号延迟微调。 0x0~0x7: 延时单元个数。 [3*(N+1)-1:3*N]: DM 延时配置。 N=0, 1, 2, 3。 N 表示对应的 BytelaneN 的 DM。																											

DDRC_WRDQSKEW

DDRC_WRDQSKEW 为 DDRPHY 写数据延迟微调寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x510+0x4 x blanes blanes(0~3)				DDRC_WRDQSKEW				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dq_skew_wr_mod				dq_skew_wrsel_mod																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		dq_skew_wr_mod		DDR 写数据延迟微调使能。 0: 禁止; 1: 使能。 [24]: DQ0 写数据延迟微调控制; . . . [31]: DQ7 写数据延迟微调控制;																											



[23:0]	RW	dq_skew_wrsel_mod	写数据延迟微调。 0x0~0x7: 延迟单元个数。 [3*(N+1)-1:3*N]: DQ 写数据延迟配置。 N=0, 1, ..., 7。
--------	----	-------------------	---

DDRC_RDDQSKEW

DDRC_RDDQSKEW 为 DDRPHY 读数据延迟微调寄存器。

Offset Address	Register Name	Total Reset Value							
0x540+0x4 x blanes blanes(0~3)	DDRC_RDDQSKEW	0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dq_skew_rd_mod				dq_skew_rdsel_mod				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	dq_skew_rd_mod	DDR 读数据延迟微调使能。 0: 禁止; 1: 使能。 [24]: DQ0 读数据延迟微调控制; . . . [31]: DQ7 读数据延迟微调控制。						
[23:0]	RW	dq_skew_rdsel_mod	读数据延迟微调。 0x0~0x7: 延迟单元个数。 [3*(N+1)-1:3*N]: DQN 读数据延迟配置。 N=0, 1, ..., 7。						

DDRC_IOCFG

DDRC_IOCFG 为 DDRPHY 的 IO 配置寄存器。



Offset Address		Register Name		Total Reset Value								
0x570		DDRC_IOCFCG		0x0000_0007								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved					lpddr_en	odis_clk	fena_rcv	ddr3	rtt	reserved	sl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1			
Bits	Access	Name	Description									
[31:12]	RO	reserved	保留。									
[11]	RW	lpddr_en	DDR 读 DQS 单端接收模式使能。 0: 禁止。采用差分 DQS 模式; 1: 使能。采用单端 DQS 模式。									
[10:8]	RW	odis_clk	输出时钟使能信号。odis_clk[n], n 取 0~2, 代表 DDR_CLKP/N[n], odis_clk[0]对应 bit[8], odis_clk[1]对应 bit[9], odis_clk[2]对应 bit[10]。 0: 对应 DDR_CLKP/N 的输出时钟使能; 1: 对应 DDR_CLKP/N 的输出时钟禁止。									
[7]	RW	fena_rcv	强制接收使能。 0: 禁止; 1: 使能。									
[6]	RW	ddr3	模式选择。 0: DDR2 模式; 1: DDR3 模式。									
[5:4]	RW	rtt	匹配电阻阻值。(ren75,ren150) 00: 禁止; 01: 外部电阻阻值/2; 1x: 外部电阻阻值/4。									
[3]	RO	reserved	保留。									
[2:0]	RW	sl	信号斜率控制。 111: 最快; ... 000: 最慢。									



DDRC_IOCMP

DDRC_IOCMP 为 DDRPHY 的 IO 补偿配置寄存器。

	Offset Address 0x580								Register Name DDRC_IOCMP								Total Reset Value 0x0000_0005																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								rtt_byp_en		rtt_byp		drv_byp_n				drv_byp_p				drv_byp_en	update_en	mvg_en	comp_en												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1			
Bits	Access	Name	Description																																	
[31:17]	RO	reserved	保留。																																	
[16]	RW	rtt_byp_en	匹配电阻补偿电路旁路使能。 0: 不使能; 1: 使能。																																	
[15:12]	RW	rtt_byp	旁路模式下, 电阻配置值。																																	
[11:8]	RW	drv_byp_n	旁路模式下, 下拉电阻配置值。																																	
[7:4]	RW	drv_byp_p	旁路模式下, 上拉电阻配置值。																																	
[3]	RW	drv_byp_en	旁路使能。 0: 不使能; 1: 使能。																																	
[2]	RW	update_en	补偿更新使能。 0: 不使能; 1: 使能。																																	
[1]	RW	mvg_en	取平均值使能。 0: 不使能; 1: 使能。																																	
[0]	RW	comp_en	驱动和接收使能。 0: 不使能; 1: 使能。																																	

DDRC_CMPSTATUS0

DDRC_CMPSTATUS0 为 DDRPHY IO 补偿状态寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x590+0x4*cmps cmps(0~0)		DDRC_CMPSTATUS0		0x0001_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pctl_core				nctl_core			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	pctl_core	上拉补偿电阻值状态。					
[15:0]	RO	nctl_core	下拉补偿电阻值状态。					

DDRC_CMPSTATUS1

DDRC_CMPSTATUS1 为 DDRPHY IO 补偿状态寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x598		DDRC_CMPSTATUS1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ctl_core			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:14]	RO	reserved	保留。					
[13:0]	RO	ctl_core	RTT 补偿电阻值状态。					

4.2 NAND Flash 控制器

4.2.1 概述

NANDC (NAND Flash Controller) 提供存储控制器接口连接片外 NAND Flash，从而完成数据的存取。

4.2.2 特点

NANDC 的主要特点如下：

- 提供 2KB (2048byte+320byte) 片内缓存，提高读取速度。
- 支持 2 个片选信号和 2 个 ready/busy 信号，同时也支持 2 个 NAND Flash 器件共用 1 个 ready/busy 信号。



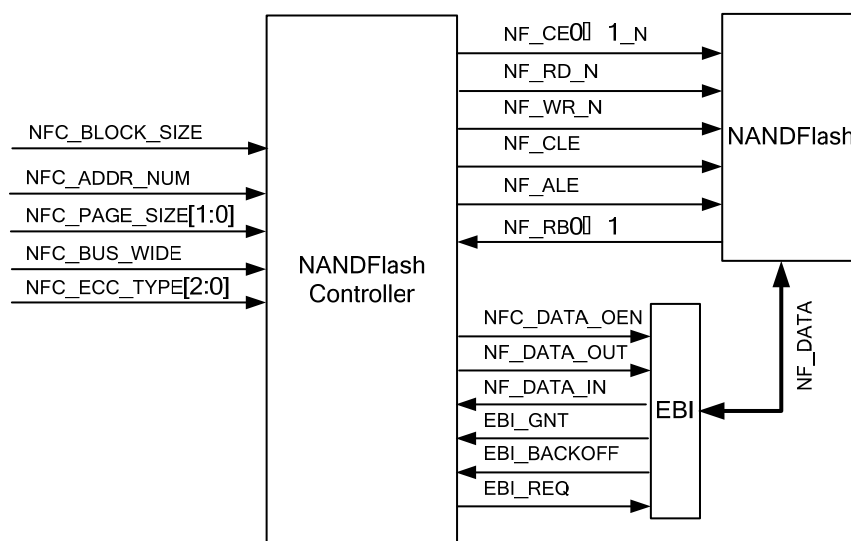
- 支持 8bit data-bus NAND Flash 接口。
- 支持 NAND Boot 功能，支持 2KB、4KB 和 8K page size 的 NAND Flash 器件，支持从片选 0 对应的 NAND Flash 启动。
- 支持 ECC 校验使能和关闭，支持纠错使能和关闭。
 - 对于 SLC 器件，支持 512byte Hamming 码 ECC (Error Correcting Code) 校验和 1bit 纠错。
 - 对于 MLC 器件，支持 4bit /512byte 的校验和纠错。支持 24bit/1024byte 的校验纠错。
- 支持读写、擦除、编程完成；ECC 校验错误等中断上报。
- 支持不定长数据读写。
- 可以灵活配置控制器发出的命令，从而可以支持各种 NAND Flash 命令操作（包括 cache 读写等）。
- 支持读写 NAND Flash 过程可以被打断，以支持存储器共享总线出让。
- 支持交替操作 2 个 NAND Flash 器件，并行工作以提高效率。
- 支持对 NAND Flash 写保护功能，写保护地址空间可配置。
- 支持 lock 和 lock-down 两种模式。支持 Flashlock 使能/去使能、Flash 整体锁定使能/去使能，默认为 Flashlock 使能，Flash 整体锁定使能。凡是对锁定地址范围内的写操作，NANDC 均上报操作错误中断。
- 支持 EDO (Enhanced Data Out) 增强数据输出模式的 NAND Flash 数据读取。

4.2.3 功能描述

4.2.3.1 接口框图

芯片对外提供 2 个片选和 2 个 ready/busy 信号，方便与 NAND Flash 器件对接。如果只用 1 个 ready/busy 信号，应使用 NF_RB0。NANDC 接口框图如图 4-4 所示。

图4-4 NANDC 接口框图





4.2.3.2 功能原理

NAND Flash 器件的数据存储结构一般分为 block 和 page，每个 block 包括若干个 page。对 NAND Flash 写入数据前，必须先进行擦除操作，擦除以 block 为单位。然后以 page 为单位进行读写。

不同厂家提供的操作 NAND Flash 的命令会有所不同，应以厂家器件手册为准。

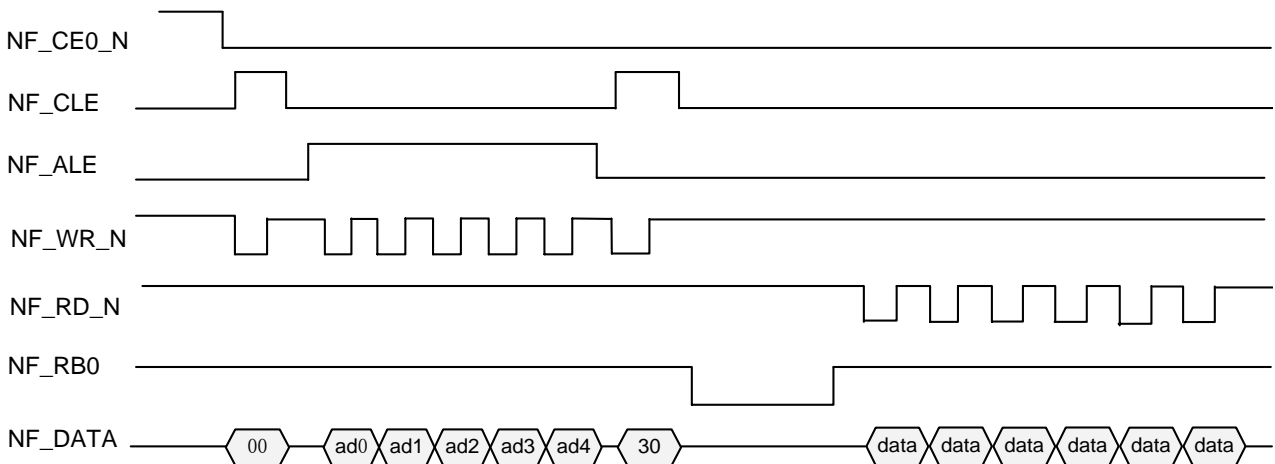
一次典型的读数据操作过程如下：

- 步骤 1 向 NAND Flash 发读命令 0x00。
- 步骤 2 发送读取的起始地址（由页内地址和页地址、block 地址共同组成，相关信息，请参见相关厂家 NAND Flash 器件手册）。
- 步骤 3 发送读确认命令 0x30。此时，NAND Flash 器件会拉低 RB 信号，表示 NAND Flash 正在进行内部读操作。过一段时间后（一般约 25μs），RB 变高，此时代表 NAND Flash 已经准备好数据。
- 步骤 4 CPU 通过 NF_RD_N 信号，把数据从 NAND Flash 读出来。

----结束

NANDC 读 NAND Flash 一个 page 数据的典型时序如图 4-5 所示。

图4-5 读 NAND Flash 一个 page 数据的典型时序图



一次典型的编程（写数据）的操作如下：

- 步骤 1 向 NAND Flash 发编程命令 0x80。
- 步骤 2 发送写入数据的起始地址（由页内地址和页地址、block 地址共同组成，需参照对应的 NAND Flash 器件手册）。
- 步骤 3 把数据写入 NAND Flash 的内部缓存。



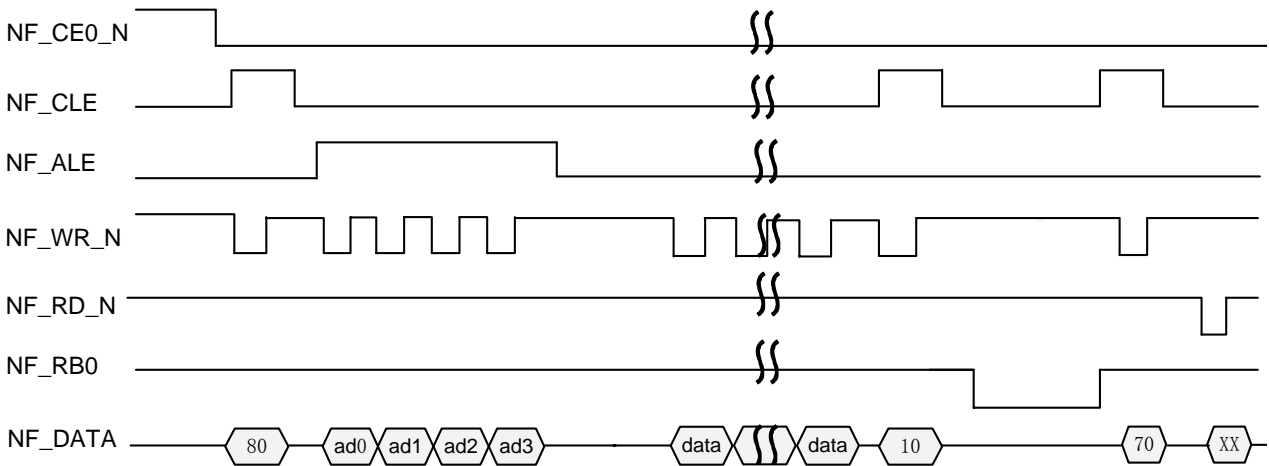
步骤 4 CPU 再发送编程确认命令 0x10。此时，NAND Flash 器件会拉低 RB 信号，表示 NAND Flash 正在进行内部编程操作，维持一段时间后（一般约 200ms），RB 变高，此时，代表 NAND Flash 内部编程已经结束。

步骤 5 CPU 通过发送 0x70 读状态，读出本次编程是否成功的状态数据。

----结束

启动 NANDC 进行编程操作时的时序如图 4-6 所示。

图4-6 启动 NANDC 进行编程操作时的时序图



4.2.3.3 工作方式

时钟门控

当不使用 NAND Flash 时，可以关断 NANDC 的工作时钟，步骤如下：

- 步骤 1 读 NANDC 的 `NFC_STATUS[nfc_ready]`。
- 步骤 2 如果 `NFC_STATUS[nfc_ready]` 为 1，软件确认不再读写 NAND Flash，进入步骤 3；否则，返回步骤 1。
- 步骤 3 向系统寄存器 `PERI_CRG52[nfc_cken]` 写 0，关闭时钟。

----结束

软复位

写 `NFC_OP` 寄存器启动 NANDC 执行操作后，如果 `NFC_STATUS[nfc_ready]` 变为 0 后，长时间不能变为 1（最大时间长度取决于 NAND Flash 器件，SLC Flash 器件一般小于 4ms、MLC 器件一般小于 11ms），说明 NANDC 出现异常，需要软复位。

通过向 `PERI_CRG52[nfc_srst_req]` 写 1，可实现对 NANDC 的软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。软复



位后，为了保证 NAND Flash 的可靠工作，需要对其发出复位命令（如果 NAND Flash 支持复位操作）。

说明

NANDC 有一个锁定功能。当设置该功能有效后，只有硬件复位才能够取消该功能。

Boot 配置管脚

NANDC 支持 NAND Boot 功能，支持 2KB、4KB 和 8KB page size 的器件，只支持从片选 0 对应的 NAND Flash 启动。

复位后 NANDC Boot 配置管脚的电平决定 Boot 模式。NANDC 在复位结束后，采样一次 Boot 配置管脚的电平值。之后，这些管脚的电平值不再影响 NANDC 的工作状态。Boot 相关的配置管脚如表 4-10 所示。

表4-10 Boot 相关的配置管脚

名称	I/O	描述
NFC_ADDR_NUM	I	Boot 时，NANDC 发给 NAND Flash 器件的地址数目。 0: 4 个地址周期; 1: 5 个地址周期。
NFC_PAGE_SIZE	I	Boot 时，NAND Flash 器件的 page 容量。 01: 2KB; 10: 4KB; 11: 8KB; 其他: 保留。
NFC_BUS_WIDE	I	Boot 时，NAND Flash 器件的总线宽度。 0: 8bit; 1: 16bit。
NFC_ECC_TYPE[2:0]	I	Boot 时，选择 ECC 模式。 000: 不使能; 001: 1bit 模式; 010: 4bits 模式; 100: 24bit 模式。 其他: 保留。
NFC_BLOCK_SIZE	I	Boot 时，NAND Flash 器件的 block 的大小。 0: 64 个 page; 1: 128 个 page。



Boot 模式

NANDC 默认处于 Boot 模式，只能从片选 0 对应的 NAND Flash 进行 Boot。

在 Boot 模式下：

- CPU 可以直接读取 1Mbyte 地址范围的数据。
- 支持自动识别坏块并跳过坏块。
- 从 NAND Flash Boot 时，根据 CPU 读取的地址，NANDC 会自动发出读取 NAND Flash 相应 page 的命令，并返回相应的数据。
- 不支持 CPU 写内部 buffer 的操作。
- 需要根据外接 NAND Flash 器件的型号特点，对 Boot 配置管脚信号进行正确的设置。

NORMAL 模式

把寄存器 `NFC_CON[op_mode]` 置 1，切换到 Normal 模式。该模式下，CPU 可以对 NAND Flash 进行擦除、编程、读等各种操作。向系统寄存器 `PERI_CRG52[nfc_clk_sel]` 写 1，切换为快速的 ECC 纠错时钟。

NAND Flash 地址设置

NANDC 对地址不作翻译，直接把低位地址寄存器和高位地址寄存器的值按照命令配置寄存器设置的地址数目发送给 NAND Flash 器件。所以软件应把 CPU 的地址翻译为 NAND Flash 的地址，写到地址寄存器。对于各个 Flash 器件的地址设置要求，以 NAND Flash 器件的用户手册为准。

三星 K9F2G08U0M 容量为 256M x 8bit，page size 为 2KB 的器件的地址设置要求如表 4-11 所示。A0~A11 为页内地址（列地址），A12~A27 为页地址（行地址）。

表4-11 K9F2G08U0M 的地址表

周期	IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
1st cycle	A0	A1	A2	A3	A4	A5	A6	A7
2nd cycle	A8	A9	A10	A11	0	0	0	0
3rd cycle	A12	A13	A14	A15	A16	A17	A18	A19
4th cycle	A20	A21	A22	A23	A24	A25	A26	A27

三星 K9GAG08X0M，容量为 2G%8bit，page size 为 4KB 的器件的地址设置要求如表 4-12 所示。A0~A12 为页内地址（列地址），A13~A31 为页地址（行地址）。

表4-12 K9GAG08X0M 的地址表

周期	IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
1st cycle	A0	A1	A2	A3	A4	A5	A6	A7



周期	IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
2nd cycle	A8	A9	A10	A11	A12	0	0	0
3rd cycle	A13	A14	A15	A16	A17	A18	A19	A20
4th cycle	A21	A22	A23	A24	A25	A26	A27	A28
5th cycle	A29	A30	A31	0	0	0	0	0

地址映射

在 Normal 模式下，NANDC 地址映射如下：

- NANDC 的内部 buffer 的基地址为 0x5000_0000。
- NANDC 的内部寄存器区的基地址为 0x1000_0000。

操作命令

NAND Flash 厂家的器件会提供一些高级命令，NAND Flash 操作的一些基本的命令如表 4-13 所示。

表4-13 NAND Flash 常用命令表

功能	1 st cycle	2 nd cycle	备注
READ	00H	30H	-
PROGRAM	80H	10H	-
BLOCK ERASE	60H	D0H	-
READ ID	90H	-	-
READ STATUS	70H	-	-
RESET	FFH	-	-

4.2.4 数据存储结构

NANDC 内部 buffer 大小为 (2048+320) byte。读写 NAND Flash 数据在 NANDC buffer 中的数据结构如下所述。

4.2.4.1 1bit ECC 模式

2KB (2048+64) page size

2048byte 有效数据存放在 buffer 的 0x000~0x7FF 地址，64byte spare 数据存放 0x800~0x83F 地址。



驱动软件中的数据结构与 NANDC buffer 中的数据结构，以及 NAND Flash 中的数据结
构完全相同，如图 4-7 所示。

图4-7 1bit ECC 模式 2KB (2048+ 64) byte page size NAND Flash 数据存储结构



B: bad block, 2byte

DECC: 数据区的 ECC 码, 12byte

CTRL: 留给软件用的控制区域, 42byte

SECC: bad block 标志和 CTRL 区域的 ECC 码, 8byte (从 bad block 标志开始, 每 16byte 数据计算一个 2byte 的校验码。计算校验码时, DECC 和 SECC 的位置数据屏蔽为 0)。

4KB (4096+56) page size

驱动软件中的数据结构 4096byte+56byte 如图 4-8 所示。

图4-8 1bit ECC 模式驱动软件中的数据结构 4096byte+56byte

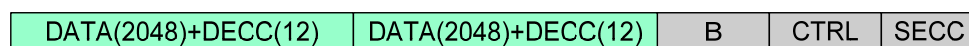


B: bad block, 2byte

CTRL: 控制区域, 54byte

在 NAND Flash 中, 数据按照 2048byte+12byte ECC 码的方式交替存放 (共 4096byte+24byte)。

图4-9 1bit ECC 模式 NAND Flash 中数据结构



B: bad block , 2byte

CTRL: 留给软件用的控制区域, 54byte

SECC: bad block 标志和 CTRL 区域的 ECC 码, 8byte。(从 bad block 标志开始, 每 16byte 数据计算一个 2byte 的校验码。计算校验码时, SECC 的位置数据屏蔽为 0)。

4.2.4.2 4bit ECC 模式

4KB(4096+128) page size

对 4KB page size 的器件, 软件可用的 spare area 区的大小为 46byte。驱动软件中的数
据结构如图 4-10 所示。

图4-10 4bit ECC 模式驱动软件中的数据结构 4096byte+48byte



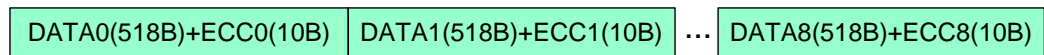
B: bad block ,2byte



CTRL: 留给软件用的控制区域, 46byte

写到 NAND Flash 中的数据结构如图 4-11 所示。把软件有效数据切成 8 个 518byte 的数据块, 每 518byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 518byte 数据+10byte ECC 码的格式交替存放,共 8 组。

图4-11 4bit ECC NAND Flash 中的数据的数据结构 4096byte+128byte

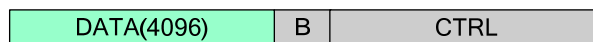


4.2.4.3 24bit ECC 模式

4KB page size

4K page size 时, 驱动软件中的数据结构如图 4-12 所示。

图4-12 24bit ECC 模式驱动软件中的数据的数据结构 4096byte+32byte

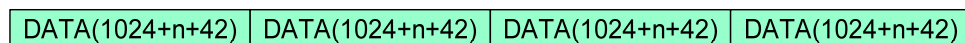


B: bad block, 2byte

CTRL: 留给软件用的控制区域, 30byte (n 配置为 8 时)

当写到 NAND Flash 器件中时, 先把数据切分成 (1024+n) byte 的 4 个数据段 (n 的大小可配置 4、8), 然后对每个数据段计算一个 42byte 的 ECC 码。写到 NAND Flash 中时, 数据段和 ECC 码交替存放, 共 (4096+200) byte。

图4-13 24bit ECC 模式 NAND Flash 器件中数据的数据结构 4096byte+200byte

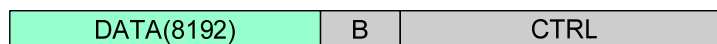


boot 模式下, 逻辑默认为 n 为 8byte。

8KB page size

对于 8K page size, 驱动软件中的数据的数据结构如图 4-14 所示。

图4-14 24bit ECC 模式驱动软件中的数据的数据结构 8192byte+32byte



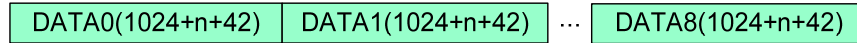
B: bad block ,2byte

CTRL: 留给软件用的控制区域, 30byte (n 配置为 4 的情况下)



当写到 NAND Flash 器件中时，先把上述数据切分成 $1024+n$ 的 8 个数据段（ n 的大小可配置，比如 4），然后对每个数据段计算一个 42byte 的 ECC 码。写到 NAND Flash 中时，数据段和 ECC 码交替存放。

图4-15 24bit ECC 模式 NAND Flash 器件中的数据结构 8192byte+368byte



boot 模式下，逻辑默认为 n 为 4byte。

4.2.5 软件操作

4.2.5.1 初始化

初始化步骤如下：

- 步骤 1 向 `NFC_CON[op_mode]` 写 1，进入 Normal 模式。根据对接器件的位宽和 page size 大小，设置 `NFC_CON[bus_width]` 和 `NFC_CON[page_size]`。根据外接器件的片选个数和 ready_busy 信号个数，设置 `NFC_CON[rb_sel]`。写寄存器 `NFC_CON[ecc_type]`，设定校验和纠错模式。
- 步骤 2 根据对接器件的时序要求，写寄存器 `NFC_PWIDTH`。
- 步骤 3 如果是查询方式，写中断使能寄存器 `NFC_INTEN`，屏蔽所有中断。如果是中断方式，只需使能 `op_done` 中断，其余可屏蔽。

----结束

4.2.5.2 对 NAND Flash 执行擦除操作

执行擦除操作的步骤如下：

- 步骤 1 向寄存器 `NFC_ADDRL` 和 `NFC_ADDRH` 写入编程 page 地址，向寄存器 `NFC_CMD` 写入擦除命令 `0x0070_D060`。
- 步骤 2 向寄存器 `NFC_OP` 写入 `0x369`，启动 NANDC 对 NAND Flash 进行擦除操作（假设 NAND Flash 芯片需要 3 个地址，并且是对片选 0 操作）。
- 步骤 3 查询方式下，检测 `NFC_STATUS[nfc_ready]`，如果为 1，进入步骤 4。否则，继续查询；中断方式下，检测 `NFC_INTS[op_done]`，如果为 1，进入步骤 4。
- 步骤 4 读寄存器 `NFC_STATUS[nf_status]`，判断擦除是否成功。

----结束

4.2.5.3 DMA 方式写 NAND Flash

- 根据对接器件类型配置好 `NFC_CON` 的 `page_size`、`ecc_type`、`bus_wide` 参数。如果是 24bit ECC 纠错类型，配置 `NFC_OP_PARA[ext_len]` 寄存器。



- CPU 配置数据在 DDR 中存放的基地址寄存器 `NFC_BADDR_D`，配置读出 tag 区在 DDR 中存放的基地址寄存器 `NFC_BADDR_OOB`，如果是 ECC0 模式，还要配置 `NFC_DMA_LEN` 寄存器。
- CPU 写寄存器 `NFC_DMA_CTRL`，启动 NANDC 写 NAND Flash。
- CPU 等待 NANDC 发出 DMA 传输完成中断。

4.2.5.4 DMA 方式读 NAND Flash

- 根据对接器件类型配置好 `NFC_CON` 的 `page_size`、`ecc_type`、`bus_wide` 参数。如果是 24bit ECC 纠错类型，配置 `NFC_OP_PARA` 寄存器的 `ext_len` 域。
- CPU 配置读出数据在 DDR 中存放的基地址寄存器 `NFC_BADDR_D`，配置 `NFC_DMA_LEN` 寄存器。配置 DMA 读 NAND Flash 的逻辑地址寄存器 `NFC_RD_LOGIC_ADDR`，配置 DMA 读 NAND Flash 的逻辑长度寄存器 `NFC_RD_LOGIC_LEN`。
- CPU 写寄存器 `NFC_DMA_CTRL`，启动 NANDC 读 NAND Flash。
- CPU 等待 NANDC 发出 DMA 传输完成中断。

4.2.6 其它注意事项

其它注意事项如下：

- 各个厂家的 NAND Flash 器件支持的操作命令有所不同，需要根据器件手册合理设置命令寄存器 `NFC_CMD`。同时，不同容量的 NAND Flash 器件需要的地址周期数不同，需要参照器件手册设置 `NFC_OP` 中的 `address_cycles` 域。不同器件支持的时序有所不同，需要根据器件手册合理设置读写脉冲宽度寄存器 `NFC_PWIDTH` 和操作间隔寄存器 `NFC_OPIDLE`。
- 在配置好相关寄存器和 `buffer` 后，再写 `NFC_OP` 寄存器，以启动 NANDC 发起 Flash 读写操作。之后，不要再写相关的寄存器，否则可能导致 NANDC 或 Flash 工作不正常。
- 写 `NFC_OP` 寄存器启动读写 NAND Flash 之后，在 `NFC_STATUS[nfc_ready]` 标志为 0 期间，不要读写 NANDC 的 `buffer`。否则，可能返回错误的的数据。

4.2.7 NANDC 寄存器概览

NANDC 寄存器概览如表 4-14 所示。

表4-14 NANDC 寄存器概览（基址是 0x1000_0000）

偏移地址	名称	描述	页码
0x00	NFC_CON	NANDC 配置寄存器	4-76
0x04	NFC_PWIDTH	读写脉冲宽度配置寄存器	4-77
0x08	NFC_OPIDLE	操作间隔配置寄存器	4-78
0x0C	NFC_CMD	命令字配置寄存器	4-79
0x10	NFC_ADDRL	低位地址配置寄存器	4-79



偏移地址	名称	描述	页码
0x14	NFC_ADDRH	高位地址配置寄存器	4-80
0x18	NFC_DATA_NUM	读写数据数目配置寄存器	4-80
0x1C	NFC_OP	操作寄存器	4-80
0x20	NFC_STATUS	状态寄存器	4-82
0x24	NFC_INTEN	中断使能寄存器	4-83
0x28	NFC_INTS	中断状态寄存器	4-84
0x2C	NFC_INTCLR	中断清除寄存器	4-85
0x30	NFC_LOCK	锁地址配置寄存器	4-87
0x34	NFC_LOCK_SA0	锁起始地址 0 配置寄存器	4-87
0x38	NFC_LOCK_SA1	锁起始地址 1 配置寄存器	4-88
0x3C	NFC_LOCK_SA2	锁起始地址 2 配置寄存器	4-88
0x40	NFC_LOCK_SA3	锁起始地址 3 配置寄存器	4-89
0x44	NFC_LOCK_EA0	锁结束地址 0 配置寄存器	4-89
0x48	NFC_LOCK_EA1	锁结束地址 1 配置寄存器	4-90
0x4C	NFC_LOCK_EA2	锁结束地址 2 配置寄存器	4-90
0x50	NFC_LOCK_EA3	锁结束地址 3 配置寄存器	4-91
0x54	NFC_EXPCMD	扩展页命令寄存器	4-91
0x58	NFC_EXBCMD	扩展块命令寄存器	4-92
0x5C	NFC_ECC_TEST	ECC 测试寄存器	4-92
0x60	NFC_DMA_CTRL	DMA 控制寄存器	4-93
0x64	NFC_BADDR_D	传送数据区的基地址寄存器	4-95
0x68	NFC_BADDR_OOB	OOB 区的基地址寄存器	4-95
0x6C	NFC_DMA_LEN	传送长度寄存器	4-96
0x70	NFC_OP_PARA	操作参数寄存器	4-96
0x74	NFC_VERSION	控制器版本寄存器	4-98
0x78	NFC_BUF_BADDR	NANDC 的 BUFFER 基地址寄存器	4-98
0x7C	NFC_RD_LOGIC_A DDR	DMA 读 NAND Flash 的逻辑地址寄存器	4-99



偏移地址	名称	描述	页码
0x80	NFC_RD_LOGIC_LEN	为 DMA 读 NAND Flash 的逻辑长度寄存器	4-99
0x90	NFC_FIFO_EMPTY	内部 FIFO 状态寄存器	4-99
0x94	NFC_BOOT_SET	boot 参数设定寄存器	4-100
0x98	NF_STATUS	NAND Flash 的 status 寄存器	4-100

4.2.8 NANDC 寄存器描述

NFC_CON

NFC_CON 为 NANDC 配置寄存器。

	Offset Address	Register Name	Total Reset Value																	
	0x00	NFC_CON	-																	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																			
Name	reserved											edo_en	ecc_type		rb_sel	cs_ctrl	reserved	bus_width	pagesize	op_mode
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0	0	0	0	1	0	1	?	0	0	0	0				
Bits	Access	Name	Description																	
[31:12]	-	reserved	保留。																	
[11]	RW	edo_en	以 EDO 模式读取 NAND Flash 数据使能。 0: 正常模式; 1: EDO 模式。 使用该功能时, 需要参照具体器件的要求进行。																	
[10:8]	RW	ecc_type	ECC 模式选择。 000: 无 ECC; 001: 1bit 模式; 010: 4bits 模式; 011: 保留; 100: 24bits 模式 for 1KB; 101~111: 保留。 复位值由管脚 NFC_ECC_TYPE 决定。																	



[7]	RW	rb_sel	当外接多个 NAND Flash 器件（多个片选）时有效。 0: NAND Flash 器件共用同一个 ready/busy 信号； 1: NAND Flash 器件使用各自独立的 ready/busy 信号。 当只接一个 NAND Flash 器件时，只用片选信号 cs0 和 ready/busy0。
[6]	RW	cs_ctrl	片选控制。 0: 在 NAND Flash 为 busy 时，保持片选信号为 0； 1: 在 NAND Flash 为 busy 时，把片选信号置位 1。 该模式对应 NAND Flash 的 cs do not care 模式。
[5:4]	-	reserved	保留。
[3]	RW	bus_width	NAND Flash 的数据线宽度。 0: 8bit； 1: 16bit。 复位值由管脚 NFC_BUS_WIDE 决定。
[2:1]	RW	pagesize	NAND Flash 的 Page size（页大小）。 01: 2Kbyte； 10: 4Kbyte； 11: 8Kbyte； 其他：保留。 复位值由管脚 NFC_PAGE_SIZE 决定。
[0]	RW	op_mode	NANDC 所处的工作模式。 0: NANDC 处于 Boot 模式； 1: NANDC 处于 normal 模式。

NFC_PWIDTH

NFC_PWIDTH 为读写脉冲宽度配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x04				NFC_PWIDTH								-																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												rw_hcnt		r_lcnt		w_lcnt															
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	1	1	0	0	1	1	0	0	1	1
Bits	Access		Name		Description																											
[31:12]	-		reserved		保留。																											



	Offset Address				Register Name				Total Reset Value																							
	0x04				NFC_PWIDTH				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												rw_hcnt		r_lcnt		w_lcnt															
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	1	1	0	0	1	1	0	0	1	1				
	Bits	Access	Name		Description																											
	[11:8]	RW	rw_hcnt		NAND Flash 读/写信号高电平宽度。 0x0~0xF: 1~16 个时钟周期。																											
	[7:4]	RW	r_lcnt		NAND Flash 读信号低电平宽度。 0x0~0xF: 1~16 个时钟周期。																											
	[3:0]	RW	w_lcnt		NAND Flash 写信号低电平宽度。 0x0~0xF: 1~16 个时钟周期。																											

NFC_OPIDLE

NFC_OPIDLE 为操作间隔配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x08				NFC_OPIDLE				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				frb_wait		cmd1_wait		addr_wait		write_data_wait		cmd2_wait		frb_idle																	
Reset	?	?	?	?	?	?	?	?	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:20]	RW	frb_wait		发出读写命令后，先延时一段时间，然后再检测 ready 信号是否变为高电平。延时的周期数为：frb_wait%8。																											
	[19:16]	RW	cmd1_wait		发送完 Command1 之后的等待周期数。 0x0~0xF: 1~16 个时钟周期。																											
	[15:12]	RW	addr_wait		发送完 Address 之后的等待周期数。 0x0~0xF: 1~16 个时钟周期。																											
	[11:8]	RW	write_data_wait		写数据之后的等待周期数。 0x0~0xF: 1~16 个时钟周期。																											



[7:4]	RW	cmd2_wait	发送完 Command2 之后的等待周期数。 0x0~0xF: 1~16 个时钟周期。
[3:0]	RW	frb_idle	NAND Flash 的 ready 信号变高之后, 延时一段时间, 之后才能发出读信号读数据。 延时的周期数为: frb_idle x 8。

NFC_CMD

NFC_CMD 为命令字配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0C				NFC_CMD				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				read_status_cmd				cmd2				cmd1																			
Reset	?	?	?	?	?	?	?	?	0	1	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:16]	RW	read_status_cmd		Read status 命令字。																											
	[15:8]	RW	cmd2		NANDC 发给 NAND Flash 的第 2 个命令。																											
	[7:0]	RW	cmd1		NANDC 发给 NAND Flash 的第 1 个命令。																											

NFC_ADDRL

NFC_ADDRL 为低位地址配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x10				NFC_ADDRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	addr_1																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	addr_1		NAND Flash 低 32bit 地址。																											



NFC_ADDRH

NFC_ADDRH 为高位地址配置寄存器。

	Offset Address 0x14	Register Name NFC_ADDRH	Total Reset Value -	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved			
Reset	?? ??	?? ??	0000 0000 0000 0000	
	Bits	Access	Name	Description
	[31:16]	-	reserved	保留。
	[15:0]	RW	addr_h	NAND Flash 高 16bit 地址。

NFC_DATA_NUM

NFC_DATA_NUM 为读写数据数目配置寄存器。

	Offset Address 0x18	Register Name NFC_DATA_NUM	Total Reset Value -	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved			
Reset	?? ??	?? ??	1000 0100 0000 0000	
	Bits	Access	Name	Description
	[31:12]	-	reserved	保留。
	[11:0]	RW	nfc_data_num	配置 NANDC 随机读写的数据个数，最大 2368byte。 注意：只在 ecc_type 为 00 时有效。

NFC_OP

NFC_OP 为操作寄存器。



Offset Address		Register Name		Total Reset Value																				
0x1C		NFC_OP		-																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																
Name	reserved				address_cycles	nf_cs	cmd1_en	addr_en	write_data_en	cmd2_en	wait_ready_en	read_data_en	read_status_en											
Reset	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																					
[31:12]	-	reserved	保留。																					
[11:9]	RW	address_cycles	发给 NAND Flash 的地址周期数。																					
[8:7]	RW	nf_cs	选择操作的 NAND Flash 器件。 00: cs0; 01: cs1; 其他: 保留。																					
[6]	RW	cmd1_en	发 command1 命令使能。 0: 禁止; 1: 使能。																					
[5]	RW	addr_en	向 NAND 写操作地址使能。 0: 禁止; 1: 使能。																					
[4]	RW	write_data_en	向 NAND Flash 写数据使能。 0: 禁止; 1: 使能。 注意: read_data_en 和 write_data_en 不能同时为 1。																					
[3]	RW	cmd2_en	发 command2 命令使能。 0: 禁止; 1: 使能。																					
[2]	RW	wait_ready_en	等待 ready/busy 信号变高使能。 0: 禁止; 1: 使能。																					



[1]	RW	read_data_en	<p>启动读状态机，从 NAND Flash 读数据使能。</p> <p>0：禁止； 1：使能。</p> <p>注意：read_data_en 和 write_data_en 不能同时为 1。</p>
[0]	RW	read_status_en	<p>该标志为 1 时，使能向 NAND 发出读 status 的 0x70 命令，并从 NAND Flash 读取状态数据，返回的数据写入 NANDC 状态寄存器的 NFC_STATUS 域中（而不写入内部 buffer）。</p> <p>在对 NAND 器件进行擦除和编程时，需要读取擦除和编程的结果，看是否成功。使能时，CPU 一次操作就可以完成编程擦除等操作，并从 NAND 返回了是否操作成功的数据，从而减少了 CPU 的干预。</p> <p>注意：在 read_data_en 标志为 1 时，该标志无效。</p>

NFC_STATUS

NFC_STATUS 为状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x20				NFC_STATUS				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												nf_status				reserved	nfl_ready	nf0_ready	nfc_ready												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12:5]	RO		nf_status		读回的 NAND Flash 的 status 数据。 只在 NFC_OP 寄存器的 read_status 标志为 1，且该寄存器的 nfc_ready 标志为 1 时有效。																											
[4:3]	-		reserved		保留。																											
[2]	RO		nfl_ready		片选 1 对应的 NAND 器件的 ready/busy 信号状态。 当外接多个 Flash 器件且使用各自独立的 ready/busy 信号时有效。 因为默认多个 NAND Flash 器件共用同一个 ready/busy 信号，该 bit 复位值为 0。																											
[1]	RO		nf0_ready		片选 0 对应的 NAND Flash 器件的 ready/busy 信号状态。 当外接多个 Flash 器件且使用各自独立的 ready/busy 信号时有效。																											



			因为默认多个 NAND Flash 器件共用同一个 ready/busy 信号，该 bit 复位值为 0。
[0]	RO	nfc_ready	<p>NANDC 的 ready/busy 信号状态。</p> <p>0: NANDC 正在进行操作；</p> <p>1: 操作完成，可以接收下一次命令。</p> <p>当写 NFC_OP 寄存器启动 NANDC 操作时，该位自动清零。</p>

NFC_INTEN

NFC_INTEN 为中断使能寄存器。

Offset Address	Register Name	Total Reset Value																			
0x24	NFC_INTEN	-																			
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																				
Name	reserved													wr_lock_en	ahb_op_en	err_invalid	err_valid	reserved	cs1_done_en	cs0_done_en	op_done_en
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access	Name	Description																		
[31:9]	-	reserved	保留。																		
[8]	RW	wr_lock_en	对 lock 地址进行写操作错误中断使能。 0: 禁止; 1: 使能。																		
[7]	RW	ahb_op_en	NANDC 读写 Flash 数据期间，CPU 读写 NANDC Buffer 错误中断使能。 0: 禁止; 1: 使能。																		
[6]	RW	err_invalid	不可纠正错误，产生中断。																		
[5]	RW	err_valid	可纠正的错误，产生中断。																		
[4:3]	-	reserved	保留。																		
[2]	RW	cs1_done_en	片选 cs1 对应的 ready busy 信号由低变高，产生中断使能。 0: 禁止; 1: 使能。																		



[1]	RW	cs0_done_en	片选 cs0 对应的 ready busy 信号由低变高，产生中断使能。 0: 禁止; 1: 使能。
[0]	RW	op_done_en	NANDC 本次操作结束中断使能。 0: 禁止; 1: 使能。

NFC_INTS

NFC_INTS 为中断状态寄存器。

	Offset Address 0x28	Register Name NFC_INTS	Total Reset Value -																					
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
Name	reserved																wr_lock_en	ahb_op_en	err_invalid	err_vavid	reserved	cs1_done	cs0_done	op_done
Reset	? ? ? ? ? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0	0	0	0	0	0	0	0	0					
Bits	Access	Name	Description																					
[31:9]	-	reserved	保留。																					
[8]	RO	wr_lock_en	对 lock 地址进行写操作产生的中断。 0: 不中断; 1: 中断。																					
[7]	RO	ahb_op_en	NANDC 对 NAND Flash 进行数据操作期间，CPU 读写 NANDC Buffer。 0: 不中断; 1: 中断。																					



[6]	RO	err_invalid	不可纠正的错误。 0: 不中断; 1: 中断。 1bit 纠错模式下, 校验 512byte 数据中出现 2bit 以上错误, 产生中断; 4bit 纠错模式下, 校验 512byte 数据中出现 5bit 以上错误, 产生中断; 8bit 纠错模式下, 校验 512byte 数据中出现 8bit 以上错误, 产生中断。
[5]	RO	err_vavid	可纠正的错误。 0: 不中断; 1: 中断。 1bit 纠错模式下, 校验 512byte 数据中出现 1bit 错误, 产生中断; 4bit 纠错模式下, 校验 512byte 数据中出现 1bit~4bit 错误, 产生中断; 8bit 纠错模式下, 校验 512byte 数据中出现 1bit~8bit 错误, 产生中断。
[4:3]	-	reserved	保留。
[2]	RO	cs1_done	片选 cs1 对应的 ready/busy 信号由低变高, 产生中断。 0: 不中断; 1: 中断。 当外接两个 NAND Flash 器件, 同时两个器件使用各自独立的 ready/busy 信号时有效。否则, 该 bit 一直保持为 0。
[1]	RO	cs0_done	片选 cs0 对应的 ready busy 信号由低变高, 产生中断。 0: 不中断; 1: 中断。 当外接两个 Flash 器件, 同时两个器件使用各自独立的 ready/busy 信号时有效。否则, 该 bit 一直保持为 0。
[0]	RO	op_done	NANC 本次操作结束中断。 0: 不中断; 1: 中断。 写 NFC_OP 寄存器后, 该标志自动清零。

NFC_INTCLR

NFC_INTCLR 为中断清除寄存器。



Offset Address		Register Name		Total Reset Value										
0x2C		NFC_INTCLR		-										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved						wr_lock_en	ahb_op_en	r_5bit_err_clr	r_4bit_err_clr	reserved	cs1_done_clr	cs0_done_clr	op_done_clr
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0	0	0	0	0	0	0	0
Bits	Access	Name	Description											
[31:9]	-	reserved	保留。											
[8]	WO	wr_lock_en	清除 wr_lock_en 中断。 0: 不清除; 1: 清除。											
[7]	WO	ahb_op_en	清除 ahb_op_en 中断。 0: 不清除; 1: 清除。											
[6]	WO	r_5bit_err_clr	清除 r_5bit_err 中断。 0: 不清除; 1: 清除。											
[5]	WO	r_4bit_err_clr	清除 r_4bit_err 中断。 0: 不清除; 1: 清除。											
[4:3]	-	reserved	保留。											
[2]	WO	cs1_done_clr	清除 cs1_done 中断。 0: 不清除; 1: 清除。											
[1]	WO	cs0_done_clr	清除 cs0_done 中断。 0: 不清除; 1: 清除。											
[0]	WO	op_done_clr	清除 op_done 中断。 0: 不清除; 1: 清除。											



NFC_LOCK

NFC_LOCK 为锁地址配置寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x30	NFC_LOCK	-							
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0									
Name	reserved						lock_excmd_en	lock_en	global_lock_en	lock_down
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0	0	0	0
Bits	Access	Name	Description							
[31:4]	-	reserved	保留。							
[3]	RW	lock_excmd_en	针对扩展写命令（新器件有可能添加的新命令），对保护地址进行写保护使能。 0: 禁止； 1: 使能。							
[2]	RW	lock_en	Flash lock 使能。该控制位为 1 时，如果擦除或编程的地址位于锁存首地址与锁存结束地址之间，擦除和编程无效。 0: 禁止； 1: 使能。							
[1]	RW	global_lock_en	Flash 全局 lock 使能。为 1 时，将不允许对 NAND Flash 进行擦除或编程操作。 0: 禁止； 1: 使能。							
[0]	RW	lock_down	NAND Flash lock 模式。 0: lock 模式； 1: lock_down 模式，写 1 后，再次写无效，只有硬件 reset 才能对该位清 0。							

NFC_LOCK_SA0

NFC_LOCK_SA0 为锁起始地址 0 配置寄存器。



Offset Address		Register Name		Total Reset Value																				
0x34		NFC_LOCK_SA0		-																				
Bit	31 30 29 28	27 26 25 24	23 22 21	20	19	18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0														
Name	reserved				flash_lock_cs		flash_lock_addr0																	
Reset	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																				
[31:21]	-	reserved		保留。																				
[20:19]	RW	flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																				
[18:0]	RW	flash_lock_addr0		锁存首地址 0, 最低位对应 NAND Flash 第 5 个行地址。																				

NFC_LOCK_SA1

NFC_LOCK_SA1 为锁起始地址 1 配置寄存器。

Offset Address		Register Name		Total Reset Value																				
0x38		NFC_LOCK_SA1		-																				
Bit	31 30 29 28	27 26 25 24	23 22 21	20	19	18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0														
Name	reserved				flash_lock_cs		flash_lock_addr1																	
Reset	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																				
[31:21]	-	reserved		保留。																				
[20:19]	RW	flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																				
[18:0]	RW	flash_lock_addr1		锁存首地址 1, 最低位对应 NAND Flash 第 5 个行地址。																				

NFC_LOCK_SA2

NFC_LOCK_SA2 为锁起始地址 2 配置寄存器。



Offset Address		Register Name		Total Reset Value																	
0x3C		NFC_LOCK_SA2		-																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved			flash_lock_cs	flash_lock_addr2																
Reset	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																	
[31:21]	-	reserved		保留。																	
[20:19]	RW	flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																	
[18:0]	RW	flash_lock_addr2		锁存首地址 2, 最低位对应 NAND Flash 第 5 个行地址。																	

NFC_LOCK_SA3

NFC_LOCK_SA3 为锁起始地址 3 配置寄存器。

Offset Address		Register Name		Total Reset Value																	
0x40		NFC_LOCK_SA3		-																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved			flash_lock_cs	flash_lock_addr3																
Reset	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																	
[31:21]	-	reserved		保留。																	
[20:19]	RW	flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																	
[18:0]	RW	flash_lock_addr3		锁存首地址 3, 最低位对应 NAND Flash 第 5 个行地址。																	

NFC_LOCK_EA0

NFC_LOCK_EA0 为锁结束地址 0 配置寄存器。



Offset Address		Register Name		Total Reset Value																					
0x44		NFC_LOCK_EA0		-																					
Bit	31 30 29 28	27 26 25 24	23 22 21	20	19	18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0															
Name	reserved				flash_lock_cs		flash_lock_eaddr0																		
Reset	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																					
[31:21]	-	reserved		保留。																					
[20:19]	RW	flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																					
[18:0]	RW	flash_lock_eaddr0		锁存结束地址 0, 最低位对应 NAND Flash 第 5 个行地址。																					

NFC_LOCK_EA1

NFC_LOCK_EA1 为锁结束地址 1 配置寄存器。

Offset Address		Register Name		Total Reset Value																					
0x48		NFC_LOCK_EA1		-																					
Bit	31 30 29 28	27 26 25 24	23 22 21	20	19	18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0															
Name	reserved				flash_lock_cs		flash_lock_eaddr1																		
Reset	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																					
[31:21]	-	reserved		保留。																					
[20:19]	RW	flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																					
[18:0]	RW	flash_lock_eaddr1		锁存结束地址 1, 最低位对应 NAND Flash 第 5 个行地址。																					

NFC_LOCK_EA2

NFC_LOCK_EA2 为锁结束地址 2 配置寄存器。



Offset Address		Register Name		Total Reset Value																	
0x4C		NFC_LOCK_EA2		-																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved			flash_lock_cs	flash_lock_eaddr2																
Reset	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																	
[31:21]	-	reserved		保留。																	
[20:19]	RW	flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																	
[18:0]	RW	flash_lock_eaddr2		锁存结束地址 2, 最低位对应 NAND Flash 第 5 个行地址。																	

NFC_LOCK_EA3

NFC_LOCK_EA3 为锁结束地址 3 配置寄存器。

Offset Address		Register Name		Total Reset Value																	
0x50		NFC_LOCK_EA3		-																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved			flash_lock_cs	flash_lock_eaddr3																
Reset	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																	
[31:21]	-	reserved		保留。																	
[20:19]	RW	flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																	
[18:0]	RW	flash_lock_eaddr3		锁存结束地址 3, 最低位对应 NAND Flash 第 5 个行地址。																	

NFC_EXPCMD

NFC_EXPCMD 为扩展页命令寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x54				NFC_EXPCMD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ex_pcmd3				ex_pcmd2				ex_pcmd1				ex_pcmd0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	ex_pcmd3		NAND Flash 扩展页写操作命令 3。																											
	[23:16]	RW	ex_pcmd2		NAND Flash 扩展页写操作命令 2。																											
	[15:8]	RW	ex_pcmd1		NAND Flash 扩展页写操作命令 1。																											
	[7:0]	RW	ex_pcmd0		NAND Flash 扩展页写操作命令 0。																											

NFC_EXBCMD

NFC_EXBCMD 为扩展块命令寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x58				NFC_EXBCMD				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ex_bcmd1				ex_bcmd0															
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:8]	RW	ex_bcmd1		NAND Flash 扩展块写操作命令 1。																											
	[7:0]	RW	ex_bcmd0		NAND Flash 扩展块写操作命令 0。																											

NFC_ECC_TEST

NFC_ECC_TEST 为 ECC 测试寄存器。



Offset Address		Register Name		Total Reset Value																												
0x5C		NFC_ECC_TEST		0x0020_F001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								ecc_mask	dec_only	enc_only					
Reset	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:3]	-	reserved	保留。																													
[2]	RW	ecc_mask	ECC 功能掩码。 0: 按 ecc_type 的值决定是否进行校验和纠错; 1: 不进行 ecc 校验和纠错。但读写 NAND Flash 数据结构仍按照 ecc_type 的格式进行转换。																													
[1]	RW	dec_only	只解码使能。 向该寄存器位写 1 时, 启动 ECC 解码, 不启动读写 NAND Flash; 读该寄存器位时, 返回 0。																													
[0]	RW	enc_only	只编码使能。 向该寄存器位写 1 时, 启动 ECC 编码, 不启动读写 NAND Flash; 读该寄存器位时, 返回值为 1 表示 ECC 编解码结束。为 0 表示正在编解码。																													

NFC_DMA_CTRL

DMA 控制寄存器。



Offset Address		Register Name		Total Reset Value											
0x60		NFC_DMA_CTRL		0x0000_0070											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved					wr_cmd_disable	rw_nf_disable	dma_nf_cs	dma_addr_num	burst16_en	burst8_en	burst4_en	reserved	dma_wr_en	dma_start
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 1 0	1 1 1 1	0 0 0 0	0 1 1 1	0 0 0 0							
Bits	Access	Name	Description												
[31:12]	-	reserved	保留。												
[11]	RW	wr_cmd_disable	0: NANDC 发起完整的读写 NAND Flash 时序。 1: NANDC 只发起读写数据的时序，不发起读写命令时序。 也就是说，只发出片选和读写脉冲信号读写数据，而不发出 CLE、ALE 信号。												
[10]	RW	rw_nf_disable	0: DMA 操作与读写 NAND Flash 同时进行。 1: 只在 buffer 和 DDR 之间搬数据，不启动 NAND Flash 读写。												
[9:8]	RW	dma_nf_cs	选择 DMA 操作的 NAND Flash 器件。 00: cs0; 01: cs1; 其他: 保留。												
[7]	RW	dma_addr_num	地址数。 0: 5 个地址; 1: 4 个地址。												
[6]	RW	burst16_en	burst16 使能。 0: 禁止; 1: 使能。												
[5]	RW	burst8_en	burst8 使能。 0: 禁止; 1: 使能。												
[4]	RW	burst4_en	burst4 使能。 0: 禁止; 1: 使能。												
[3]	RW	oob_area_en	写 OOB 区使能。只在 1bit ECC 模式下有效。												



[2]	RW	data_area_en	写数据区使能。只在 1bit ECC 模式下有效。
[1]	RW	dma_wr_en	DMA 读写使能。 0: 读; 1: 写。
[0]	RW	dma_start	启动 DMA 操作。 向该 bit 写 1 启动 DMA 操作, 该 bit 保持为 1, 直到 DMA 操作结束。向该 bit 写 0 无效。 启动 DMA 操作后, 读该 bit 如果返回 0, 表示 DMA 操作结束。

NFC_BADDR_D

DMA 模式下传送数据区的基地址寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x64				NFC_BADDR_D								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	base_addr_d																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RW		base_addr_d		读写 DDR 数据区的基地址。																															

NFC_BADDR_OOB

DMA 模式下传 OOB 区的基地址寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x68				NFC_BADDR_OOB								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	base_addr_oob																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RW		base_addr_oob		读 OOB 区数据的 DDR 基地址。 只在 DMA 写 NAND Flash 时有效。																															



NFC_DMA_LEN

DMA 模式下传送长度寄存器。

	Offset Address 0x6C								Register Name NFC_DMA_LEN								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				len_oob								reserved				len_data															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:29]	RW	reserved		保留。																											
	[28:16]	RW	len_oob		DMA 写 NAND Flash 时 OOB 区的长度,需要长字(4byte)对齐。(只在 ECC0 模式下有效,在其他 ECC 模式下, oob 的长度是固定的)																											
	[15:12]	RW	reserved		保留。																											
	[11:0]	RW	len_data		DMA 读或 DMA 写数据的长度。 只在 rw_nf_disable 为 1 时有效。																											

NFC_OP_PARA

操作参数寄存器。



Offset Address		Register Name		Total Reset Value									
0x70		NFC_OP_PARA		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						ext_len	oob_ecc_en	data_ecc_en	oob_edc_en	data_edc_en	oob_rw_en	data_rw_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description										
[31:8]	-	reserved	保留。										
[7:6]	RW	ext_len	需要纠错的扩展数据区长度。 24bit 纠错模式下，每个 ECC 数据块中的扩展数据区的长度。 boot 模式下，page size 为 4KB 时默认 8 个字节。page size 为 8KB 时默认 4 个字节。 01: 4 byte; 11: 8 byte; 其他：保留。										
[5]	RW	oob_ecc_en	OOB 区 ECC 纠错使能。 0: 禁止; 1: 使能。 只在读数据时有效。										
[4]	RW	data_ecc_en	ECC 纠错使能。 0: 禁止; 1: 使能。 只在读数据时有效。										
[3]	RW	oob_edc_en	OOB 区校验使能。 0: 禁止; 1: 使能。 编程模式下，对 oob 区生成 ECC 码使能。 读数据模式下，对 oob 区进行校验使能。										
[2]	RW	data_edc_en	校验使能。 0: 禁止; 1: 使能。 编程模式下，生成 ECC 码使能。 读数据模式下，进行校验使能。										



[1]	RW	oob_rw_en	NAND Flash 数据区读写冗余区使能。 0: 禁止; 1: 使能。
[0]	RW	data_rw_en	NAND Flash 数据区读写使能。 0: 禁止; 1: 使能。

NFC_VERSION

控制器版本寄存器。

	Offset Address	Register Name	Total Reset Value
	0x74	NFC_VERSION	0x0000_0300
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	version_id		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	version_id	版本号。

NFC_BUF_BADDR

NANDC 的 BUFFER 基地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x78	NFC_BUF_BADDR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved	buf_baddr_rd	reserved
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	buf_baddr_rd	在 rw_nf_disable 为 1 时, 表示 DMA 读 buffer 的基地址。 在 rw_nf_disable 为 0 时无意义。
[15:12]	RW	reserved	保留。
[11:0]	RW	buf_baddr_wr	在 rw_nf_disable 为 1 时, 表示 DMA 写 buffer 的基地址。 在 rw_nf_disable 为 0 时无意义。



NFC_RD_LOGIC_ADDR

NFC_RD_LOGIC_ADDR 为 DMA 读 NAND Flash 的逻辑地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x007C				NFC_RD_LOGIC_ADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								rd_logic_addr																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		rd_logic_addr		读数据的起始地址（不包括 ecc 码）。比如，从坏块标识开始读，就设定为 2048 或 4096，分别对应 2K 和 4K page size。 DMA 读结束后，该域按照 NFC_DMA_LEN.len_data 域的值自动累加。 只在 dma 读且当 rw_nf_disable 为 0 时有效。																											

NFC_RD_LOGIC_LEN

NFC_RD_LOGIC_LEN 为 DMA 读 NAND Flash 的逻辑长度寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0080				NFC_RD_LOGIC_LEN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								rd_logic_len																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		rd_logic_len		DMA 读 NAND Flash 时,表示读数据长度（（不包括 ecc 码长度）。DMA 读结束后，该域的值自动归 0。 只在 dma 读且当 rw_nf_disable 为 0 时有效。																											

NFC_FIFO_EMPTY

NFC_FIFO_EMPTY 为内部 FIFO 状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x0090		NFC_FIFO_EMPTY		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				empty_dbg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RO	empty_dbg	内部 FIFO 的 empty 信号状态。仅供调试用。						

NFC_BOOT_SET

NFC_BOOT_SET 为 boot 参数设定寄存器。

Offset Address		Register Name		Total Reset Value					
0x0094		NFC_BOOT_SET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							addr_num	block_size
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	rsv	保留。						
[1]	RW	addr_num	Boot 时, NANDC 发给 NAND Flash 器件的地址数目。 0: 4 个地址周期; 1: 5 个地址周期。 复位后的值由管脚 nfc_addr_num 决定。						
[0]	RW	block_size	Boot 时, NAND Flash 器件的总线宽度。 0: 64 page; 1: 128page。 复位后的值由管脚 nfc_block_size 决定。						

NF_STATUS

NF_STATUS 为 NAND Flash 的 status 寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0098				NF_STATUS								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																status															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	-	reserved		保留。																											
	[7:0]	RO	status		从 NAND Flash 读回来的 status 状态数据。 当写 NFC_OP 寄存器且 read_status_en 标志为 1 时有效。																											

4.3 SPI Flash 控制器

4.3.1 概述

SFC（Serial Peripheral Interface Flash Controller）是一个 SPI Flash 控制器。业务侧提供一个 AHB（Advanced High performance Bus）Slave 接口，主要完成 AHB 通道对 SPI Flash 的访问控制功能。

4.3.2 特点

4.3.2.1 AHB 接口

AHB 接口具有以下特点：

- 提供一个 AHB Slave 接口，可以根据不同的选择信号访问内部配置寄存器或直接访问 SPI flash memory。
- 支持 AMBA2.0 协议。
- 支持小端。

4.3.2.2 存储器接口

存储器接口具有以下特点：

- 支持两个片选 CS0 和 CS1。每个片选的存储空间最大支持到 128Mbit(3Bytes 地址模式)/8Gbit(4Bytes 地址模式)，两片选可以支持不同容量的 Flash。每片选可分别映射到系统地址空间，映射基地址可配。其中 CS1 支持地址 Alias。
- 支持 Standard SPI、Dual-Input/Output SPI、Quad-Input/Output SPI、Full Quad I/O SPI 四种接口模式时序。上电后默认所有操作选择为 Standard SPI 接口模式，可通过寄存器配置切换。
- 支持 3Bytes 和 4Bytes 两种 Flash 地址模式。上电后默认支持 3Bytes 地址模式，可通过寄存器配置切换地址模式。



- 读写操作支持总线直接读写和寄存器编程读写两种方式。
- 支持写保护操作。

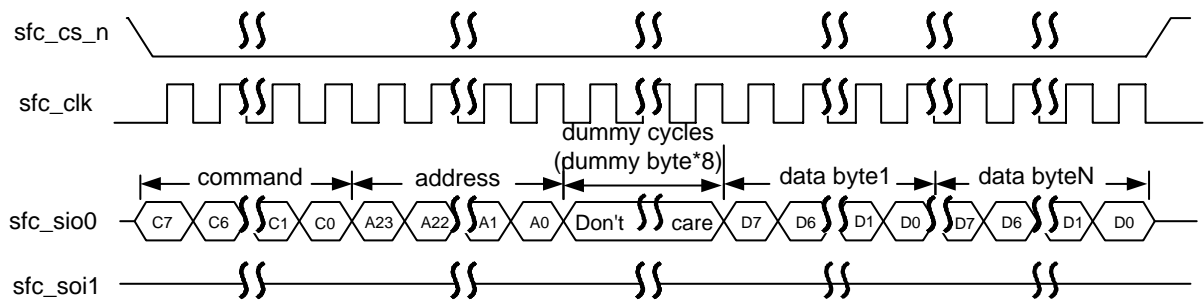
4.3.3 功能描述

4.3.3.1 接口模式时序

Standard SPI

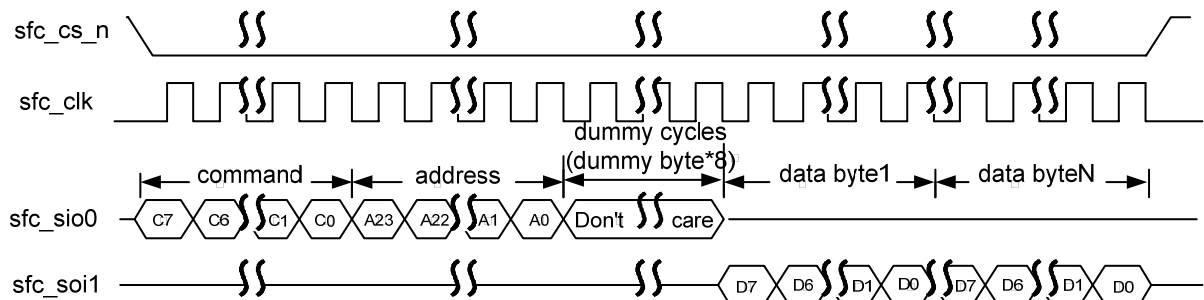
Standard SPI 接口模式具有 1bit 数据输入线和 1bit 数据输出线，接口时序如图 4-16、图 4-17 所示。

图4-16 Standard SPI(写)接口时序图



注：Opcode/Address/DummyByte 以单 bit 串行方式在 sfc_sio0 线上输出。
Data 以单 bit 串行方式在 sfc_sio0 线上输出。

图4-17 Standard SPI(读)接口时序图



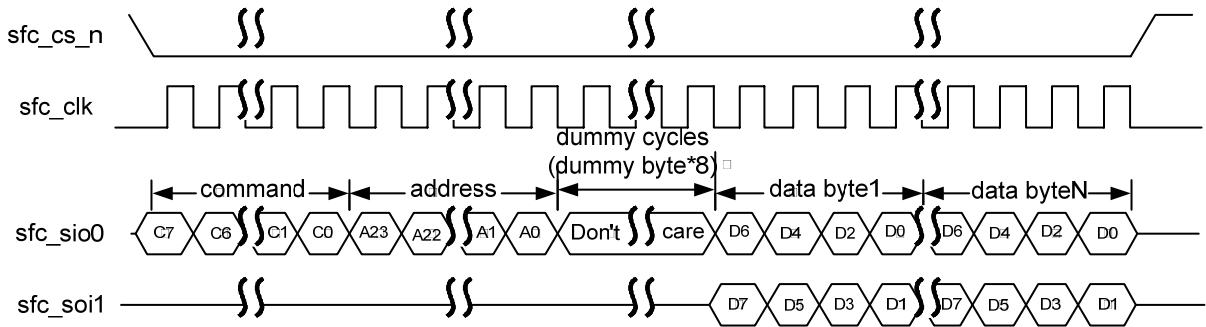
注：Opcode/Address/DummyByte 以单 bit 串行方式在 sfc_sio0 线上输出。
Data 以单 bit 串行方式在 sfc_soi1 线上输入。

Dual Input/Dual Output SPI

Dual Input/Dual Output SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-18 所示。



图4-18 Dual Input/Dual Output SPI 接口时序图

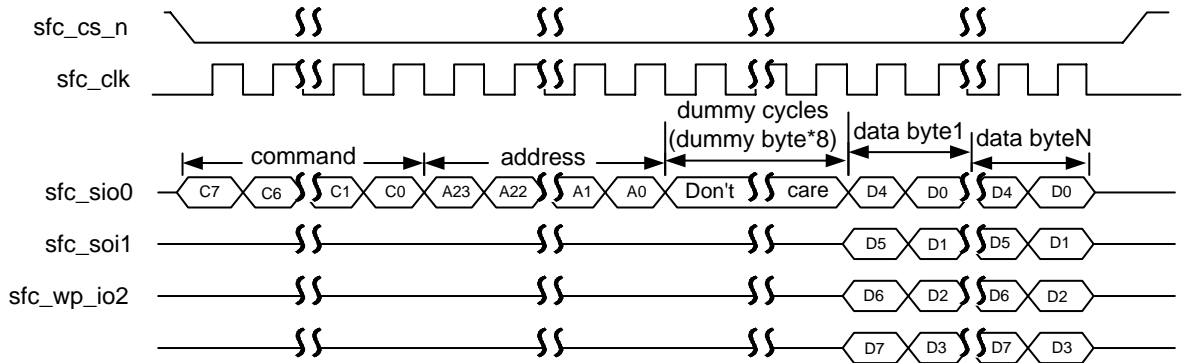


注：Opcode/Address/DummyByte 以单 Bit 串行方式在 sfc_sio0 线上输出。
Data 以 Dual Bits 方式在 sfc_sio0/sfc_soi1 线上输出（写）或输入（读）。

Quad Input/Quad Output SPI

Quad Input/Quad Output SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-19 所示。

图4-19 Quad Input/Quad Output SPI 接口时序图



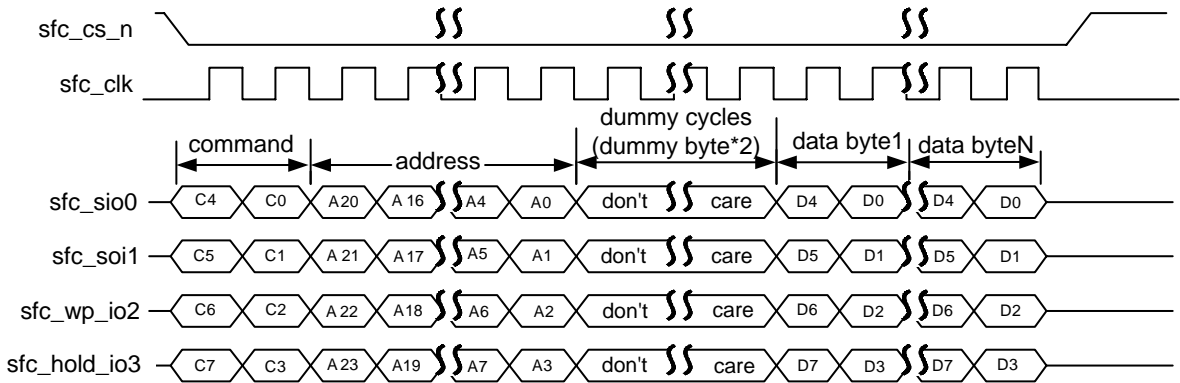
注：Opcode/Address/DummyByte 以单 Bit 串行方式在 sfc_sio0 线上输出。
Data 以 Quad Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp_io2/sfc_hold_io3 线上输出（写）或输入（读）。

Full Quad SPI

Full Quad SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-20 所示。



图4-20 Full Quad SPI 接口时序图



注：Opcode/Address/DummyByte 以 Quad Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp_io2/sfc_hold_io3 线上输出。

Data 以 Quad Bits 方式在 sfc_sio0/sfc_soi1/sfc_wp_io2/sfc_hold_io3 线上输出（写）或输入（读）。

4.3.3.2 读写 memory

读 Flash 操作

提供两种读取 Flash 途径的方法：

- 通过 AHB 总线读取 Flash，此方法读取 Flash 操作效率高，SFC 模块自动将 AHB 总线的读操作时序映射为 SPI 时序。
- 通过设置 SFC 的配置寄存器读取 Flash，需要软件配置寄存器。

对于 AHB 总线的任何读取 Memory 操作，SFC 模块都将其转换成 SPI 接口的读操作。上电后默认执行 Normal read 操作（opcode=0x3），这种读操作对应的 dummy byte 个数为 0。上电系统启动后，可以通过软件配置读命令的 opcode 和 dummy byte 个数进行其他的读操作，如 Fast Read（iocode=0xB），dummy byte 为 1。对于一个 AHB 的 wrap 读操作，SFC 拆成两个 burst 处理。

写 Flash 操作

提供两种写 Flash 途径的方法：

- 通过 AHB 总线写 Flash，SFC 模块自动将 AHB 总线的一次写操作转换为 Flash 侧的 WREN 操作（Write Enable）+PP 操作（Page Program）+RDSR（Read Status Register）操作。但在总线非定长 INCR 写时性能较差。
- 通过设置 SFC 的配置寄存器写 Flash，需要软件配置寄存器。写较大数据量时推荐这种操作方式。

在写 memory 之前要对 Flash 进行 Erase 操作，这项操作必须要由软件通过配置 SFC 的寄存器完成。

Flash 执行 PP 操作需要一定的时间，需要通过读 Flash 的状态寄存器来判断 PP 操作是否完成才能开始下一次写操作，否则会丢失数据。

PP 操作不能跨 page boundary，对于跨 page boundary 的写操作必须拆成两次来完成。通过 AHB 写 Flash 时，SFC 模块根据地址和 burst 长度自动判断此次操作是



否会跨 page boundary，如果跨 page boundary 就拆成两次来处理。对一个 AHB 的 wrap 写操作，SFC 将其拆分为两个 burst 来处理。

4.3.3.3 其他操作

对 Flash 的其他操作如 Erase、进入 Deep Power Down、读 Device ID 等必须通过寄存器访问来实现。

4.3.3.4 Flash 地址模式切换

本模块支持 3Bytes 与 4Bytes 两种 Flash 地址模式，初始地址模式为 3Bytes 模式。可通过配置进行动态切换。两个片选所接 Flash 的地址模式必须相同，否则需要在切换使用某个 FlashS 前重配 CFG、CMD。

切换 Flash 地址模式的步骤如下：

- 步骤 1 无 Flash 操作或保证之前 Flash 操作完成。
- 步骤 2 用寄存器操作 Flash 方式发送切换地址模式的指令到 Flash。
- 步骤 3 配置 CONFIG[flash_addr_mode]。
- 步骤 4 开始基于新地址模式的操作。

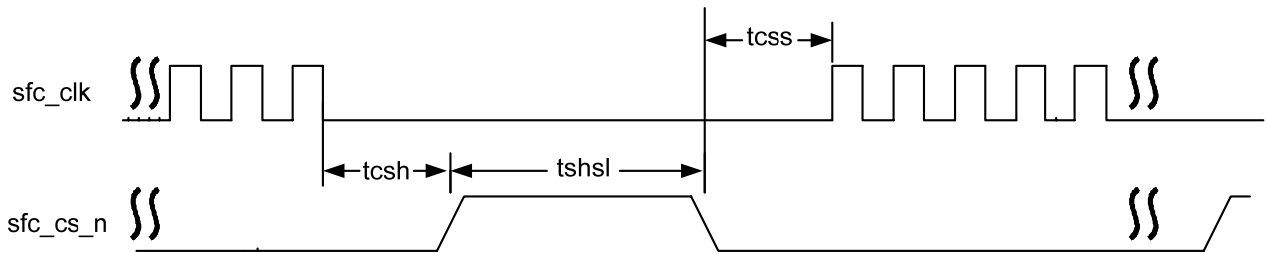
----结束

具体 SPI Flash 地址模式切换的命令。请查找相关器件手册。

4.3.3.5 时序说明

时序以及参数说明如图 4-21、图 4-22 所示。

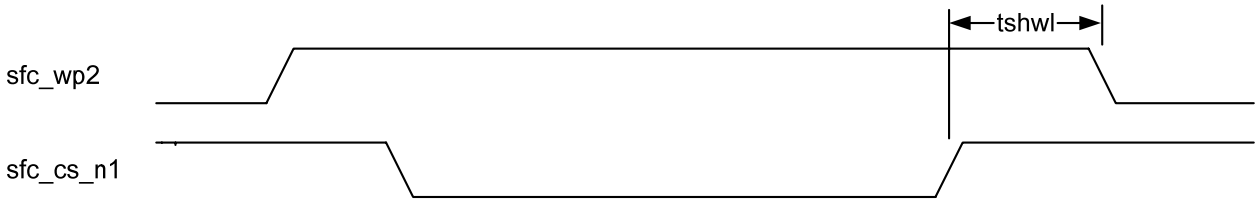
图4-21 SPI 输出时序图



注：
tcsh: CS setup time。
tcshl: CS hold time。
tcss: 片选 deselect time。



图4-22 SPI 写保护时序图



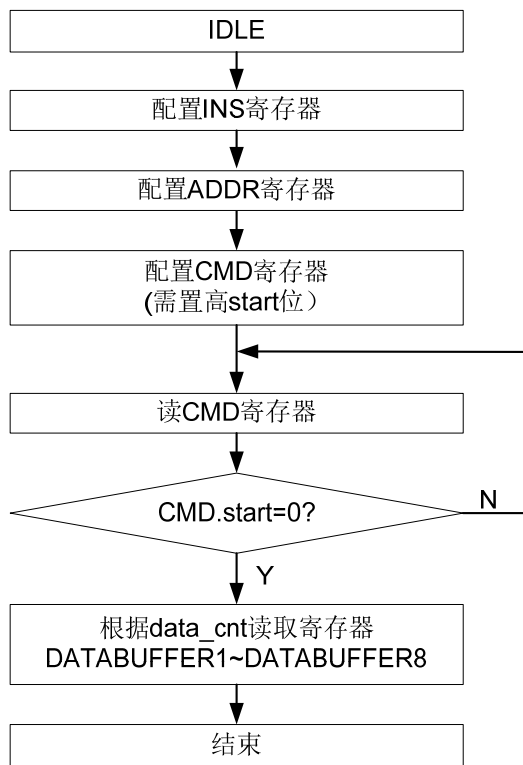
注：tshwl: write protect hold time。

4.3.4 工作流程

4.3.4.1 通过寄存器读 Flash 操作流程

通过寄存器读取 Flash 的操作流程如图 4-23 所示（查询方式）。

图4-23 通过寄存器读取 Flash 的操作流程（查询方式）

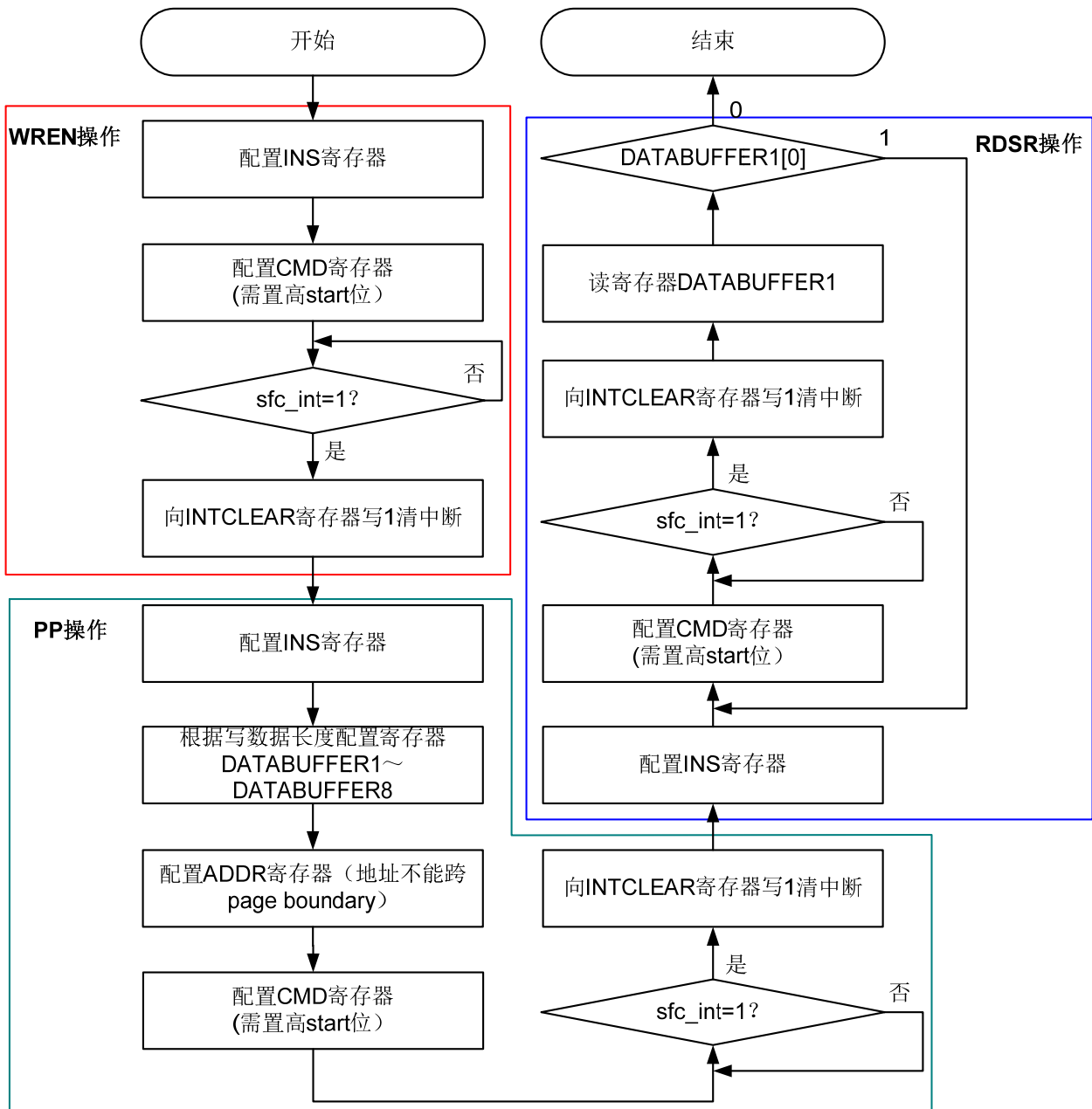


4.3.4.2 通过寄存器写 Flash 操作流程

通过寄存器写 Flash 的操作流程如图 4-24 所示（中断方式）。



图4-24 通过寄存器写 Flash 的操作流程（中断方式）

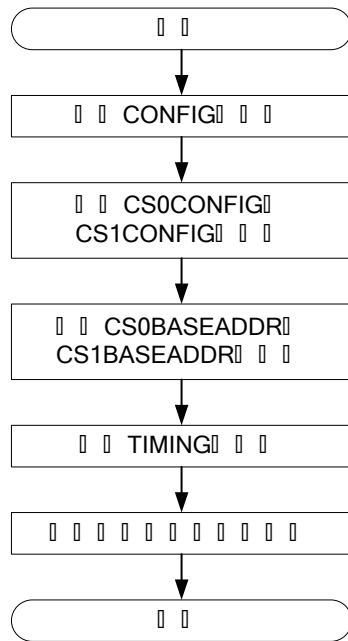


4.3.4.3 通过总线直接 Flash 读写操作流程

通过总线直接读写 Flash 的操作流程如图 4-245 所示。



图4-25 通过总线直接读写 Flash 的操作流程



4.3.5 寄存器概览

SFC 寄存器概览如表 4-15 所示。

表4-15 SFC 寄存器概览 (0x1001_0000)

偏移地址	名称	描述	页码
0x00	CONFIG	SFC 模块配置寄存器	4-110
0x04	CMD	命令寄存器	4-112
0x08	INS	指令寄存器	4-114
0x0C	ADDR	地址寄存器	4-114
0x10	DATABUF1	数据 Buffer1 寄存器	4-115
0x14	DATABUF2	数据 Buffer2 寄存器	4-115
0x18	DATABUF3	数据 Buffer3 寄存器	4-115
0x1C	DATABUF4	数据 Buffer4 寄存器	4-116
0x20	DATABUF5	数据 Buffer5 寄存器	4-116
0x24	DATABUF6	数据 Buffer6 寄存器	4-117
0x28	DATABUF7	数据 Buffer7 寄存器	4-117
0x2C	DATABUF8	数据 Buffer8 寄存器	4-118



偏移地址	名称	描述	页码
0x30	CS0CONFIG	片选 0 配置寄存器	4-118
0x34	CS1CONFIG	片选 1 配置寄存器	4-119
0x38	CS0BASEADDR	片选 0 基址寄存器	4-120
0x3C	CS1BASEADDR	片选 1 基址寄存器	4-120
0x40	CS1ALIASADDR	片选 1 别名基址寄存器	4-121
0x44	TIMING	时序参数寄存器	4-121
0x48~0x4C	RESERVED	保留	-
0x50	INTRAWSTATUS	中断原始状态寄存器	4-122
0x54	INTSTATUS	经过屏蔽处理的中断状态寄存器	4-123
0x58	INTMASK	中断屏蔽寄存器	4-123
0x5C	INTCLEAR	中断清除寄存器	4-124

寄存器配置对总线访问 Flash 方式和寄存器访问 Flash 方式的影响，如表 4-16 所示。

表4-16 寄存器配置影响总线访问 Flash 方式和寄存器访问 Flash 方式范围

寄存器	位域	配置适用方式	
		总线操作 Flash 方式	寄存器操作 Flash 方式
CONFIG	wr_ins	是	否
	rd_ins	是	否
	prefetch_cnt	是	否
	rd_delay	是	是
	flash_addr_mode	是	是
	wip_locate	是	是
	dummy_byte	是	否
	mem_if_type	是	是
	Reserved	是	是
	mode	是	是
CMD	-	否	是
INS	-	否	是



寄存器	位域	配置适用方式	
		总线操作 Flash 方式	寄存器操作 Flash 方式
ADDR	-	否	是
DATABUFFER1-8	-	否	是
CS0CONFIG	-	是	否
CS1CONFIG	-	是	否
CS1BASEADDR	-	是	否
CS1BASEADDR	-	是	否
CS1ALIASADDR	-	是	否
TIMING	-	是	是
INTRAWSTATUS	-	否	是
INTSTATUS	-	否	是
INTMASK	-	否	是
INTCLEAR	-	否	是

4.3.6 寄存器描述

CONFIG

CONFIG 为 SFC 模块配置寄存器。

	Offset Address 0x00				Register Name CONFIG								Total Reset Value 0x0203_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	wr_ins				rd_ins				prefetch_cnt		rd_delay		reserved		wip_locate		reserved		mem_if_type		reserved		mode													
Reset	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:24]	RW		wr_ins		写数据的操作符。																															
[23:16]	RW		rd_ins		读数据的操作符。																															



[15:14]	RW	prefetch_cnt	总线访问 Flash 方式（非定长读）预取周期。 00: 不预取; (default) 01: 预取 1 个时钟周期数据; 10: 预取 2 个时钟周期数据; 11: 预取 3 个时钟周期数据。
[13:12]	RW	rd_delay	SPI 读出数据延迟周期个数。 00: 读数据延迟 0 个时钟周期; (default) 01: 读数据延迟 1 个时钟周期; 10: 读数据延迟 2 个时钟周期; 11: 读数据延迟 3 个时钟周期。
[11]	RW	flash_addr_mode	SPI 地址模式 0: 3Bytes address mode (default); 1: 4Bytes address mode。 CMD.start 为 1 时写无效。
[10:8]	RW	wip_locate	WIP (Write In Progress) 位在 Flash 状态寄存器的位置。 000: WIP 位于 Flash 状态寄存器的第 0 比特; (default) 001: WIP 位于 Flash 状态寄存器的第 1 比特; 010: WIP 位于 Flash 状态寄存器的第 2 比特; 011: WIP 位于 Flash 状态寄存器的第 3 比特; 100: WIP 位于 Flash 状态寄存器的第 4 比特; 101: WIP 位于 Flash 状态寄存器的第 5 比特; 110: WIP 位于 Flash 状态寄存器的第 6 比特; 111: WIP 位于 Flash 状态寄存器的第 7 比特。
[7]	RW	dummy_byte	总线访问 Flash 方式 Dummy 字节个数。 0: 没有 Dummy 字节; 1: 有 1 个 Dummy 字节。



[6:4]	RW	mem_if_type	<p>指定连接的 SPI FLASH 接口类型。</p> <p>000~011: Standard SPI 接口类型; 同 Standard SPI 接口模式。</p> <p>100: Dual-Input SPI; 总线访问 Flash 读操作 Dual SPI Mode0 接口模式, 寄存器访问 Flash 及总线访问 Flash 写操作 Standard SPI 接口模式)</p> <p>101: Dual-Input/Output SPI; 总线访问 Flash 用 Dual SPI Mode0 接口模式, 寄存器访问 Flash 方式用 Standard SPI 接口模式)</p> <p>110: Quad-Input/Output SPI; 总线访问 Flash 方式用 Quad SPI Mode0 接口模式, 寄存器访问 Flash 方式用 Standard SPI 接口模式)</p> <p>111: Serial Quad I/O; 同 Quad SPI Mode2 接口模式。</p> <p>注: 在非 Standard SPI 模式下需要设置对应的 rd_ins 域和 wr_ins 域。两个片选所接 Flash 的接口类型需相同, 否则需要在切换访问另一 Flash 前重配置。</p>
[3:1]	-	reserved	保留。
[0]	RW	mode	<p>SPI 模式设置。</p> <p>0: 支持 Mode0;</p> <p>1: 支持 Mode3。</p>

CMD

CMD 为命令寄存器。

	Offset Address	Register Name	Total Reset Value												
	0x04	CMD	0x001F_0002												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				data_cnt	reserved	dummy_byte_cnt	reserved	addr_en	reserved	wp_en	rddata_en	wrdata_en	sel_cs	start
Reset	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0		
Bits	Access	Name	Description												
[31:21]	-	reserved	保留。												



[20:16]	RW	data_cnt	<p>读/写数据字节个数。</p> <p>wrdata_en=1, 设置写数据字节个数; rddata_en=1, 设置读数据字节个数。</p> <p>0x00: 读/写 1byte 数据; 0x01~0x1E: 读/写 (n+1) byte 数据; 0x1F: 读/写 32byte 数据。</p> <p>说明: n 为 0、1、2、……、31。</p>
[15]	-	reserved	保留。
[14:12]	RW	dummy_byte_cnt	<p>寄存器访问 Flash 方式 Dummy 字节个数。</p> <p>000: 0byte (default) ; 001: 1byte; 010: 2byte; 011: 3byte; 100: 4byte; 101: 5byte; 110: 6byte; 111: 7byte。</p>
[11:9]	-	reserved	保留。
[8]	RW	addr_en	<p>此次操作是否有地址。</p> <p>0: 没有地址; 1: 有地址。</p>
[7:5]	-	reserved	保留。
[4]	RW	wp_en	<p>硬件写保护使能。</p> <p>0: 禁止硬件写保护; 1: 使能硬件写保护。</p>
[3]	RW	rddata_en	<p>标识此次操作是否有读数据返回。</p> <p>0: 没有读数据返回; 1: 有读数据返回。</p> <p>注意: 当 rddata_en=1 时, wrdata_en 不能为 1。</p>
[2]	RW	wrdata_en	<p>标识此次操作是否有写数据。</p> <p>0: 没有写数据; 1: 有写数据。</p> <p>注意: 当 wrdata_en=1 时, rddata_en 不能为 1。</p>



[1]	RW	sel_cs	片选选择操作。 0: 选择片选 0 进行操作; 1: 选择片选 1 进行操作。
[0]	RW	start	标识指令操作开始。 0: 操作结束; 1: 开始操作。 此次操作完成后该位自动回 0。

INS

INS 为指令寄存器。

Offset Address		Register Name		Total Reset Value				
0x08		INS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						ins	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	ins	指令寄存器。					

ADDR

ADDR 为地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0C		ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	-	reserved	保留。					
[29:0]	RW	addr	用于设置所访问 SPI Flash 的地址。 3Bytes 地址模式用[23:0], 4Bytes 地址模式高两位固定补 0。					



DATABUFFER1

DATABUFFER1 为数据 Buffer1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10		DATABUFFER1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	byte4		byte3		byte2		byte1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	byte4	读/写数据第 4 字节。					
[23:16]	RW	byte3	读/写数据第 3 字节。					
[15:8]	RW	byte2	读/写数据第 2 字节。					
[7:0]	RW	byte1	读/写数据第 1 字节。					

DATABUFFER2

DATABUFFER2 为数据 Buffer2 寄存器。

Offset Address		Register Name		Total Reset Value				
0x14		DATABUFFER2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	byte8		byte7		byte6		byte5	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	byte8	读/写数据第 8 字节。					
[23:16]	RW	byte7	读/写数据第 7 字节。					
[15:8]	RW	byte6	读/写数据第 6 字节。					
[7:0]	RW	byte5	读/写数据第 5 字节。					

DATABUFFER3

DATABUFFER3 为数据 Buffer3 寄存器。



	Offset Address 0x18				Register Name DATABUFFER3				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte12				byte11				byte10				byte9																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RW	byte12	读/写数据第 12 字节。																												
	[23:16]	RW	byte11	读/写数据第 11 字节。																												
	[15:8]	RW	byte10	读/写数据第 10 字节。																												
	[7:0]	RW	byte9	读/写数据第 9 字节。																												

DATABUFFER4

DATABUFFER4 为数据 Buffer4 寄存器。

	Offset Address 0x1C				Register Name DATABUFFER4				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte16				byte15				byte14				byte13																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RW	byte16	读/写数据第 16 字节。																												
	[23:16]	RW	byte15	读/写数据第 15 字节。																												
	[15:8]	RW	byte14	读/写数据第 14 字节。																												
	[7:0]	RW	byte13	读/写数据第 13 字节。																												

DATABUFFER5

DATABUFFER5 为数据 Buffer5 寄存器。

	Offset Address 0x20				Register Name DATABUFFER5				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte20				byte19				byte18				byte17																			



Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		byte20		读/写数据第 20 字节。																											
[23:16]	RW		byte19		读/写数据第 19 字节。																											
[15:8]	RW		byte18		读/写数据第 18 字节。																											
[7:0]	RW		byte17		读/写数据第 17 字节。																											

DATABUFFER6

DATABUFFER6 为数据 Buffer6 寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x24								DATABUFFER6								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	byte24				byte23				byte22				byte21																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:24]	RW		byte24		读/写数据第 24 字节。																															
[23:16]	RW		byte23		读/写数据第 23 字节。																															
[15:8]	RW		byte22		读/写数据第 22 字节。																															
[7:0]	RW		byte21		读/写数据第 21 字节。																															

DATABUFFER7

DATABUFFER7 为数据 Buffer7 寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x28								DATABUFFER7								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	byte28				byte27				byte26				byte25																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:24]	RW		byte28		读/写数据第 28 字节。																															
[23:16]	RW		byte27		读/写数据第 27 字节。																															



[15:8]	RW	byte26	读/写数据第 26 字节。
[7:0]	RW	byte25	读/写数据第 25 字节。

DATABUFFER8

DATABUFFER8 为数据 Buffer8 寄存器。

	Offset Address 0x2C				Register Name DATABUFFER8								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte32				byte31				byte30				byte29																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RW	byte32	读/写数据第 32 字节。																												
	[23:16]	RW	byte31	读/写数据第 31 字节。																												
	[15:8]	RW	byte30	读/写数据第 30 字节。																												
	[7:0]	RW	byte29	读/写数据第 29 字节。																												

CS0CONFIG

CS0CONFIG 为片选 0 配置寄存器。

	Offset Address 0x30				Register Name CS0CONFIG								Total Reset Value 0x0000_0009																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												mem_size																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
	Bits	Access	Name	Description																												
	[31:4]	-	reserved	保留。																												



[3:0]	RW	mem_size	<p>指定片选 0 连接的 SPI Flash 容量。</p> <p>0000: 没有连接 SPI FLASH;</p> <p>0001: 512Kbit;</p> <p>0010: 1Mbit;</p> <p>0011: 2Mbit;</p> <p>0100: 4Mbit;</p> <p>0101: 8Mbit;</p> <p>0110: 16Mbit;</p> <p>0111: 32Mbit;</p> <p>1000: 64Mbit;</p> <p>1001: 128Mbit (default) ;</p> <p>1010: 256Mbit;</p> <p>1011: 512Mbit;</p> <p>1100: 1Gbit;</p> <p>1101: 2Gbit;</p> <p>1110: 4Gbit;</p> <p>1111: 8Gbit。</p>
-------	----	----------	--

CS1CONFIG

CS1CONFIG 为片选 1 配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x34				CS1CONFIG				0x0000_0009																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								mem_size							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
Bits	Access		Name		Description																											
[31:4]	-		reserved		保留。																											



[3:0]	RW	mem_size	指定片选 1 连接的 SPI Flash 容量。 0000: 没有连接 SPI FLASH; 0001: 512Kbit; 0010: 1Mbit; 0011: 2Mbit; 0100: 4Mbit; 0101: 8Mbit; 0110: 16Mbit; 0111: 32Mbit; 1000: 64Mbit; 1001: 128Mbit (default) ; 1010: 256Mbit; 1011: 512Mbit; 1100: 1Gbit; 1101: 2Gbit; 1110: 4Gbit; 1111: 8Gbit。
-------	----	----------	---

CS0BASEADDR

CS0BASEADDR 为片选 0 基址寄存器。

	Offset Address 0x38								Register Name CS0BASEADDR								Total Reset Value 0x5A00_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hi_base_addr																reserved															
Reset	0	1	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RW		hi_base_addr		片选 0 基地址高位。 注：片选 0 映射到系统的地址空间需在系统分配给 SPI_MEM 的地址空间内。																											
[15:0]	-		reserved		保留。																											

CS1BASEADDR

CS1BASEADDR 为片选 1 基址寄存器。



Offset Address		Register Name		Total Reset Value					
0x3C		CS1BASEADDR		0x5800_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hi_base_addr				reserved				
Reset	0 1 0 1	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	hi_base_addr	片选 1 基地址高位。 注：片选 1 映射到系统的地址空间需在系统分配给 SPI_MEM 的地址空间内。						
[15:0]	-	reserved	保留。						

CS1ALIASADDR

CS1ALIASADDR 为片选 1 别名基址寄存器。

Offset Address		Register Name		Total Reset Value					
0x40		CS1ALISADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	alias_addr				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	alias_addr	片选 1 别名基地址高位。（片选 1 映射到系统地址空间的第二块区域） 注：片选 1 映射到系统的地址空间需在系统分配给 SPI_MEM 的地址空间内。						
[15:0]	-	reserved	保留。						

TIMING

TIMING 为时序参数寄存器。



Offset Address		Register Name		Total Reset Value						
0x44		TIMING		0x0100_660F						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	trpd			reserved	tcsh	reserved	tcss	tshwl	tshsl
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 1 0	0 1 1 0	0 0 0 0	1 1 1 1		
Bits	Access	Name	Description							
[31:28]	-	reserved	保留。							
[27:16]	RW	trpd	复位之后首次访问 FLASH 的延时，单位为时钟周期。							
[15]	-	reserved	保留。							
[14:12]	RW	tcsh	CS hold time。 000~111: n+1 个时钟周期。n 为 0、1、2、……、7。							
[11]	-	reserved	保留。							
[10:8]	RW	tcss	CS setup time。 000~111: n+1 个时钟周期。n 为 0、1、2、……、7。							
[7:4]	RW	tshwl	设置 write protect hold time。 0000~1111: n 个时钟周期。n 为 0、1、2、……、15。							
[3:0]	RW	tshsl	设置片选的 Deselect time，相当于两次 Flash 操作之间的时间间隔。 0000~1111: n+2 个时钟周期。n 为 0、1、2、……、15。							

INTRAWSTATUS

INTRAWSTATUS 为中断原始状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x50		INTRAWSTATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								op_end_raw_statu



Reset	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name				Description																									
[31:1]	-		reserved				保留。																									
[0]	RO		op_end_raw_status				指令操作结束原始中断状态（未经过屏蔽）。 0: 未完成操作； 1: 已完成操作。																									

INTSTATUS

INTSTATUS 为经过屏蔽处理的中断状态寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x54								INTSTATUS								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										op_end_status					
Reset	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name				Description																									
[31:1]	-		reserved				保留。																									
[0]	RO		op_end_status				指令操作结束中断状态（经过屏蔽）。 0: 未完成操作； 1: 已完成操作。																									

INTMASK

INTMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0x58		INTMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								op_end_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	op_end_mask	指令操作结束中断屏蔽位。 0: 屏蔽中断; 1: 不屏蔽中断。						

INTCLEAR

INTCLEAR 为中断清除寄存器。

Offset Address		Register Name		Total Reset Value					
0x5C		INTCLEAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								clear_op_end
Reset	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	clear_op_end	指令操作结束中断清除位，向该位写 1 将清除 INTRAWSTATUS bit[0]和 INTSTATUS bit[0]。 0: 不清除中断; 1: 清除中断。 清除操作完成后该位自动返回 0。						



目 录

5 TOE	5-1
5.1 概述.....	5-1
5.2 特点.....	5-1
5.2.1 GMAC	5-1
5.2.2 TOE 加速.....	5-2
5.2.3 TOE 功能框图.....	5-2



插图目录

图 5-1 图 1-1 TOE 功能框图.....5-3



5 TOE

5.1 概述

TOE 模块(TCP offload engine, TCP 卸载引擎)同时实现两个网络接口数据的接收和发送,可以工作在 10/100/1000Mbit/s 模式下,10/100Mbit/s 支持全双工工作模式,提供 FE 的 MII、RGMII 接口,GE 的 RGMII 接口。

一般以太网接口只能处理二层报文,三四层报文则由软件协议栈处理。而 TOE 模块能够通过硬件实现部分 TCP/IP 加速处理的功能,不但能够提升网络接口的吞吐量,还可以显著的降低 CPU 占用率。

5.2 特点

5.2.1 GMAC

TOE 模块中包含两个 GMAC,可以同时支持两个 FE/GE 接口,其特点如下:

- 支持 10/100/1000Mbit/s 速率
- 支持 10/100/1000Mbit/s 全双工模式
- 支持 10/100Mbit/s 半双工模式
- 支持 MII、RGMII 接口
- 支持全双工模式下的 802.3x 流控
- 支持半双工模式下的 CSMA/CD
- 支持帧长度检测,并丢弃不符合规定长度的数据包
- 支持对发送帧 SFD 自动添加和接收帧 SFD 自动删除
- 支持对接收帧和发送帧进行 CRC 校验
- 提供一个 MDIO 接口,对两个 PHY 进行控制
- 支持对端口接收帧和发送帧进行统计计数
- 支持是否接收广播帧、多播帧和单播帧功能可配置
- 提供可配置的 MAC 地址过滤功能
- 支持报文缓存起始地址为字节地址



- 兼容 802.3-2005
- 支持 802.3az（能效以太网，EEE）
- 支持魔幻包检测和网络唤醒

5.2.2 TOE 加速

TOE 模块可以实现对 TCP/IP 协议的加速处理，其主要特点如下：

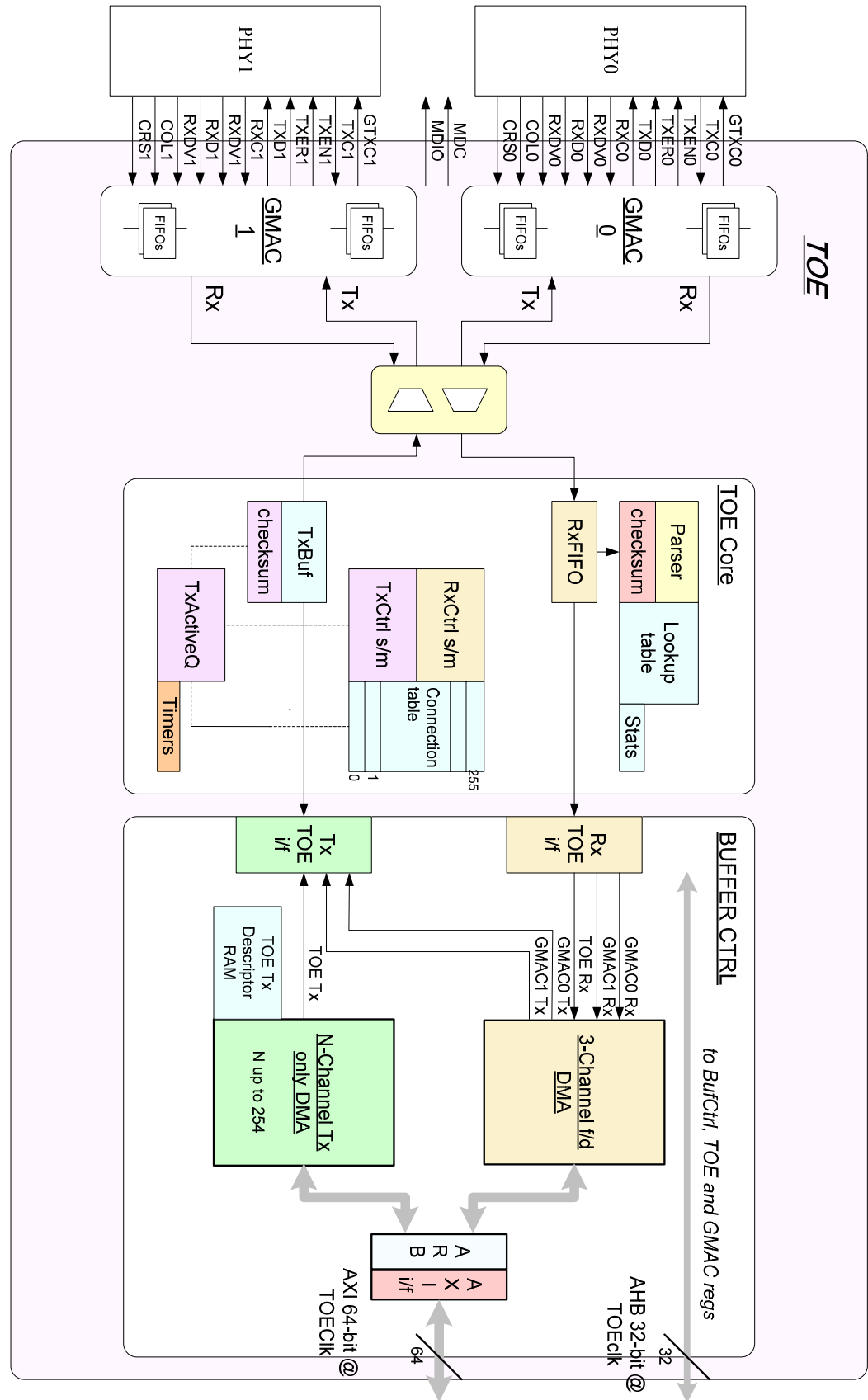
- 支持最多 254 个连接的 TCP/UDP 加速处理，最大连接数根据实际应用参数可配。超过最大连接数的其他 TCP/UDP 通信将由软件协议栈处理。
- 支持多种协议的硬件加速处理，包括 TCP、UDP、IP（IPv4/IPv6）。其他三四层协议将由软件协议栈处理。
- 支持多种 bypass 模式，目前有以下几种模式：
 - TOE bypass 模式，此时 TOE 仅处理二层报文，而三四层报文的处理由软件协议栈实现。
 - IPv6 bypass 模式，此时所有 IPv6 的报文都由软件协议栈处理。
 - VLAN 模式，此时所有 IPv6 的报文都由软件协议栈处理。
- 支持 TCP/UDP 加速处理，硬件实现的功能如下：
 - 支持连接管理，硬件将处理连接建立后的所有数据传输
 - 支持慢启动
 - 支持最大分段长度 MSS 可配
 - 支持拥塞控制算法
 - 支持糊涂窗口避免
 - 支持收发方向上的 TCP、UDP、IP 的校验和计算
 - 支持基于滑动窗口的流量控制
 - 支持对乱序报文段检测和丢弃处理
 - 支持硬件定时器，包括重传定时器，坚持定时器。保活定时器和 2MSL 定时器将在软件协议栈中实现
 - 支持窗口扩大选项 window scale
 - 支持 RTT 的测量和计算
 - 支持 TCP 的超时重传和快速重传
- 支持两种驱动模式，用于选择当前 TCP/UDP 连接是否加速。
 - 基于阈值：一旦某一连接的流量超过软件设定的阈值，该连接将一直被加速，直至被拆除
 - 先到先得：首先建立的 254 个连接将被加速，其余连接不加速。只有首先建立的 254 个连接中某一连接被拆除时，新建立的连接才能加速
- 支持 TCP/UDP 加速连接收发双向的统计计数器。1

5.2.3 TOE 功能框图

TOE 模块的功能框图如图 5-1 所示。



图5-1 TOE 功能框图





TOE 模块主要包含 GMAC、TOE Core 和 Buffer Ctrl 三个功能单元，其特性如下：

- TOE 模块提供两套 PHY 接口，它可以支持的 PHY 模式包括 RGMII 和 MII，速率支持 10/100/1000Mbps，可以分别支持半双工和全双工模式。同时 TOE 还提供一套 MDIO 接口，对两个 PHY 分别进行管理配置。
- TOE 模块包含两个 GMAC 模块，GMAC 实现了基本的二层报文处理的功能，并通过内部 FIFO 实现接收数据和发送数据的缓存。
- TOE Core 模块实现了 TCP/IP 协议的加速处理。
 - TOE Core 内部的 Connection table，维护了最多 254 个 TCP/UDP 加速连接的相关信息；
 - TOE Core 通过硬件状态机，实现对接收数据和发送数据的管理和控制。
 - 在接收方向，TOE Core 通过 FIFO 缓存接收数据，可以对数据包进行解析和 checksum 计算，并通过 lookup 准确的从 Connection Table 中获取该数据包对应连接的详细信息，同时还可以对接收数据包进行统计计数。
 - 在发送方向，TOE Core 通过 TxBuf 实现对发送数据的缓存，可以对数据包进行 checksum 计算，通过 TxActiveQ 实现对发送数据的控制，同时还通过硬件 Timer 实现发送数据的定时管理。
- Buffer Ctrl 模块提供了两个主要的 DMA 单元：3-channel f/d DMA 主要用于两个 GMAC 和 TOE 的数据接收，以及两个 GMAC 的数据发送，而 N-channel Tx only DMA 则用于 TOE 发送方向。
- TOE 提供了一套 64-bit AXI master 数据接口和一套 32-bit AHB slave 配置接口。



目 录

6 视频解码.....	6-1
6.1 VDH.....	6-1
6.1.1 概述.....	6-1
6.1.2 功能描述.....	6-1
6.1.3 工作方式.....	6-1
6.2 JPGD.....	6-3
6.2.1 概述.....	6-3
6.2.2 功能描述.....	6-3
6.2.3 工作方式.....	6-5



插图目录

图 6-1 视频解码器架构	6-2
图 6-2 JPGD 总体结构图	6-4
图 6-3 JPEG 码流结构图	6-5



表格目录

表 6-1 JPGD 内部模块说明	6-4
-------------------------	-----



6 视频解码

6.1 VDH

6.1.1 概述

视频解码器由运行于 ARM 处理器的 VFMW（Video Firmware）和内嵌的硬件视频解码引擎 VDH 构成，VFMW 从上层软件获得码流，对码流进行解析并调用 VDH，产生解码图像序列。解码图像序列在上层软件的控制下，由 VDP 输出到显示器或其它设备。

6.1.2 功能描述

视频解码器有以下特点：

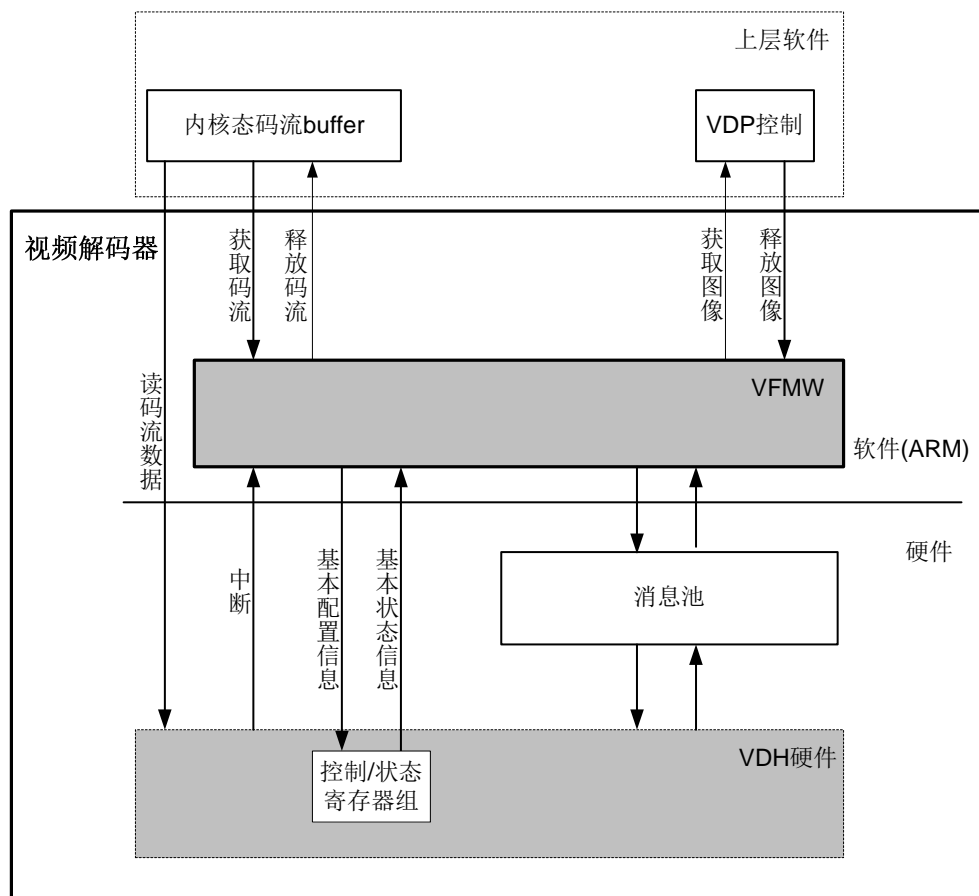
- H.264 Baseline Profile Level 5.0 解码
- H.264 Main Profile Level 5.0 解码
- H.264 High profile Level 5.0 解码
- MPEG4 SP L0~L3 解码
- MPEG4 ASP L0~L5/MPEG4 短头解码
- MPEG2 MP/HL、ML、LL 解码
- MPEG2 SP/ML 解码
- MPEG1 解码
- AVS Jizhun Level 6.0 解码
- VC1 SP@LL, ML 解码
- VC1 MP@LL, ML, HL
- VC1 AP@L0~L3
- MJPEG/JPEG Baseline 解码
- 最大分辨率：H.264：5632x4224；其它：1920x1088
- 解码性能：1080P@60fps

6.1.3 工作方式

视频解码器架构如图 6-1 所示。



图6-1 视频解码器架构



VDH: Video Decoding Module For High Definition, 多协议高清视频解码模块。

VFMW: Video Firmware, 视频固件, 实为运行在主处理器上的一个软件组件, 负责调度视频解码引擎完成视频解码。

消息池: VFMW 和 VDH 进行信息交互的存储空间, 是在外部 SDRAM 存储器中开辟的, 可被 VDH 和 VFMW 共同读写的存储区域。

VDH 与 VFMW 交互模式有两种:

- H264、VC1、AVS 协议按一批 slice 进行交互完成解码, VFMW 完成 slice header 及以上的解码, VDH 硬件完成 slice data 及以下的解码;
- 其他协议按帧进行交互, VFMW 完成 picture header 及以上的解码, VDH 硬件完成其他解码。为支持多路解码, VFMW 通过按帧切换启动 VDH 硬件, 分时复用的方式实现多路解码。

视频解码步骤如下:

- 步骤 1 创建、初始化解码器。
- 步骤 2 向码流 buffer 中存入码流。
- 步骤 3 通过 VFMW 的图像输出接口获取图像。
- 步骤 4 图像显示完成后, 通过 VFMW 的图像回收接口释放图像。



步骤 5 反复执行步骤 2~步骤 4，直到码流解码结束。

步骤 6 播放完毕，销毁解码器。

----结束

6.2 JPGD

6.2.1 概述

JPGD 是 JPEG（Joint Picture Expert Group）静态图像解码模块，该模块的作用是支持 JPEG/Motion-JPEG 图像的解码。

6.2.2 功能描述

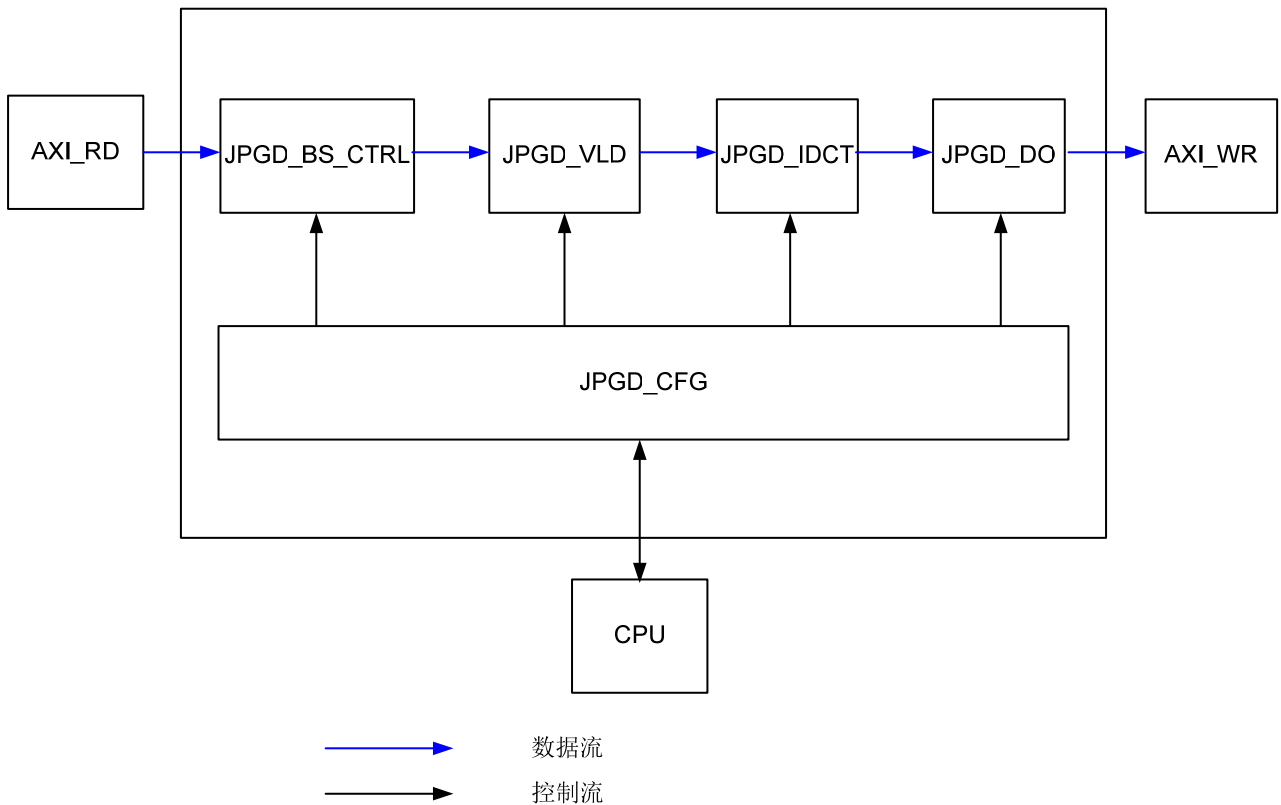
JPGD 模块具有以下功能特点：

- 支持 AXI 接口。
- 支持中断。
- 部分支持 ITU-T81 Baseline profile 解码。即：
 - 支持 YUV 三分量的 JPEG 图像解码，支持 YUV 4:0:0、YUV4:2:0、YUV4:2:2 1%2、YUV4:2:2 2%1、YUV 4:4:4 五种格式。
 - 最多支持 4 张 Huffman 表，其中包括 2 张 DC 表和 2 张 AC 表。
 - 最多支持 3 张量化表。
 - 支持 sequential 格式解码。
 - 支持基于 DCT 变换的 JPEG 格式解码。
 - 支持 8bit 采样精度。
 - 支持交织的扫描方式。
- 支持 1/2、1/4、1/8 三种尺度的频域缩放。
- 最大支持分辨率为 8192 x 8192 大小的静态图像解码，最小支持分辨率为 1 x 1 大小的静态图像解码。
- 支持 semi-planar 的最大输出存储规格为 8192 x 8192。
- 支持压缩码流分段解码。
- 提供 40Mpixel/s 或 3 路 Motion-JPEG D1 30fps 的解码能力，可以用于各种对实时性有较高要求的解码系统。
- 支持频域缩放，大大减少了解码过程中对内存和带宽的占用。

JPGD 总体结构如图 6-2 所示。



图6-2 JPGD 总体结构图



JPGD 内部模块说明如表 6-1 所示。

表6-1 JPGD 内部模块说明

模块名称	功能
JPGD_BS_CTRL	码流的读取和移位处理，内含一个 Barrel-Shift，将有效码流送给下游模块进行解码。
JPGD_VLD	Huffman 变长码解码，同时将解码后的系数进行反扫描和反量化。
JPGD_IDCT	进行 IDCT 变换和频域压缩。
JPGD_DO	负责将解码后的数据存储到指定的内存空间中。
JPGD_CFG	接收 HOST 的配置信息，并将配置信息配置给各功能模块。同时负责整个解码器的启动、中断的产生以及向 HOST 反馈解码器的内部状态。

6.2.3 工作方式

6.2.3.1 软硬件划分

JPEG 码流结构如图 6-3 所示。

图6-3 JPEG 码流结构图

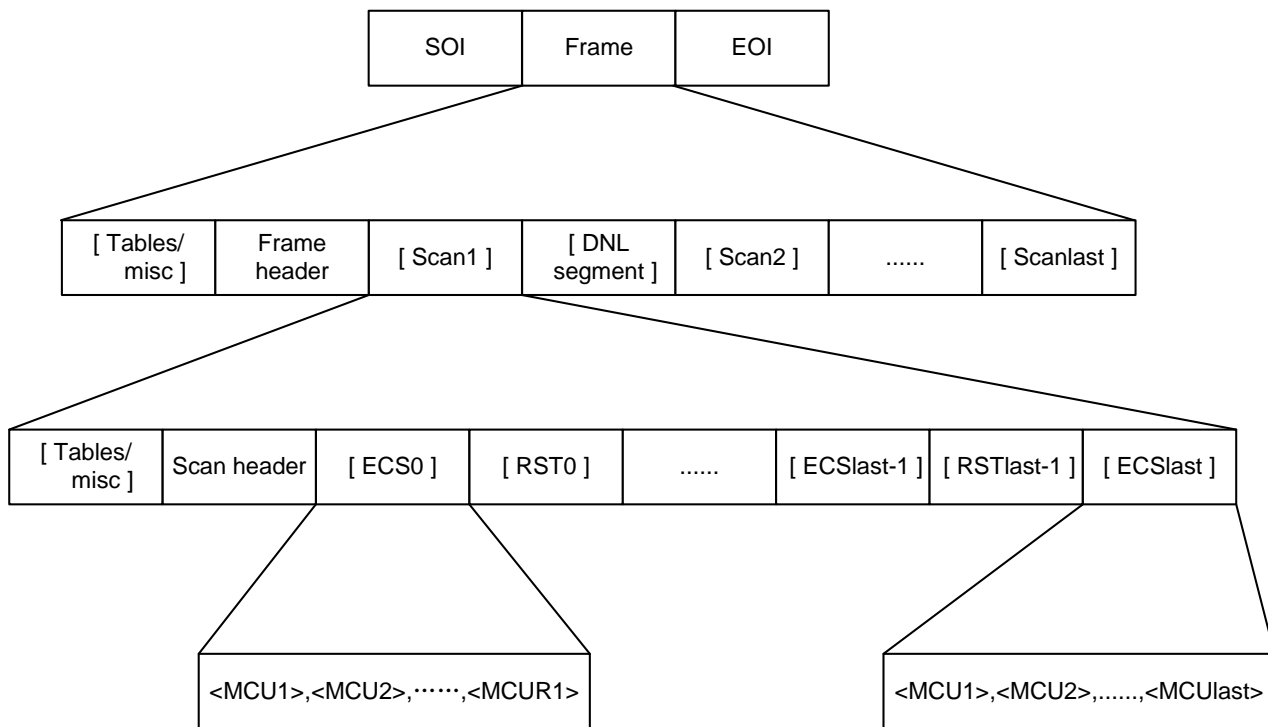


图 6-3 为广义结构图，对于 JPEG 码流，由软件解析 Scan header 及其以上部分，硬件解析 ECS 层和 RSTn 标志。

6.2.3.2 软硬件交互

JPEG 解码由软硬件共同完成，所以在解码中存在软硬件交互。

- 软硬件的交互除去续码流外，以帧级进行交互：
 - 对于 JPEG 图像，每帧图像交互一次。
 - 对于 Motion-JPEG，每帧图像交互一次。
- 软硬件可以通过查询和中断两种方式进行交互，中断产生方式有如下几种：
 - 当前图像解码完成产生的中断，表示当前图像已经全部解码完成并写入外存中，JPEG 解码工作结束（因为 Baseline 图像只有一个扫描层，因此一个扫描层解码结束也表示一幅图像解码结束）。
 - 当前配置的一段码流消耗完成产生的中断，表示当前图像解码过程中发生了错误，JPGD 无法继续解码，工作结束。
 - 当前配置的一段码流消耗完成，等待软件配置下一段码流后，启动解码器继续解码。



6.2.3.3 续码流

由于内存的限制，在解码图像时，不可能一次将全部码流读入内存。所以采用续码流机制，一次读入一段码流，当码流消耗完时，启动续码流操作，再向内存中读入下一段码流。

为简化续码流过程中的软硬件交互，定义续码流步骤如下：

- 步骤 1 JPGD 每次只接收一段连续码流解码。即在每次启动解码前，firmware 只需配置给 JPGD 一个码流物理存放起始地址和一个码流物理存放结束地址（均以 byte 为单位），就可以启动 JPGD 开始解码。
- 步骤 2 当 JPGD 消耗完当前码流后，停止解码，上报续码流中断。
- 步骤 3 软件收到续码流中断后，只需配置下一段码流起始和结束地址，即可重新启动 JPGD。启动方式为向 JPGD_RESUME_START 寄存器写 1。需要注意的是，每次启动解码时，码流不能少于 64byte。
- 步骤 4 JPGD 获取新的码流进行解码，直到当前图像解码完成。

----结束



目 录

7 视频编码.....	7-1
7.1 概述.....	7-1
7.2 VEDU.....	7-1
7.2.1 概述	7-1
7.2.2 特点	7-1
7.2.3 功能描述	7-2
7.3 JPGE.....	7-3
7.3.1 概述	7-3
7.3.2 特点	7-3
7.3.3 功能描述	7-4



插图目录

图 7-1 VEDU 功能框图	7-3
图 7-2 JPGE 功能框图	7-5



7 视频编码

7.1 概述

视频编码器是一个支持 H.264/ MPEG-4/JPEG 的多协议编码器，包括 VEDU 和 JPGE 两部分。

7.2 VEDU

7.2.1 概述

VEDU（Video Encode Unit）是一个硬件实现的支持多种视频标准（H.264/MPEG-4）的编码器。VEDU 具有 CPU 占用率低、总线带宽占用小、低延时、低功耗等优点。

7.2.2 特点

VEDU 具有以下特点：

- 支持 ITU-T H.264 High Profile/Main Profile/Baseline Profile@Level5 编码
 - 支持 1/2、1/4 像素精度运动补偿
 - 支持 16x16、16x8、8x16、8x8 四种子块类型
 - 支持所有 Intra4x4、Intra8x8、Intra16x16 预测模式
 - 支持 Trans4x4、Trans8x8，支持 Scaling Matrix
 - 支持 CABAC、CAVLC 熵编码
 - 支持 De-blocking 滤波
 - 支持 IPCM 编码
- 支持 ISO/IEC 14496-2（MPEG4）Simple Profile 编码
 - 支持 1/2 像素精度运动补偿
 - 支持 16x16 子块类型
 - 支持 DC 预测
- 支持如下几种输入图像格式：
 - Semi-Planar YCbCr4:2:0



- Semi-Planar YCbCr4:2:2
- 最高性能可达到 16x960H/30fps+16x480x272/30fps 编码
- 支持图像分辨率可配置
 - 最小图像分辨率：160x64
 - 最大图像分辨率：7040x8176
 - 图像宽度/高度的配置步长为 4
- 支持感兴趣区域编码
 - 支持最多 8 个区域的感兴趣编码
 - 感兴趣编码功能可使能/禁止
- 支持 OSD 区域编码保护
OSD 区域编码保护功能可使能/禁止
- 支持视频前端 OSD 叠加处理
 - 支持最多 8 个区域的编码前 OSD 叠加
 - 支持任意位置、最大为图像大小的 OSD 叠加
 - 支持 129 级的 alpha 叠加
 - OSD 叠加功能可使能/禁止
- 支持 CBR/VBR 两种码率控制模式
- 输出码率范围：16kbps~40Mbps

7.2.3 功能描述

VEDU 功能框图如图 7-1 所示。

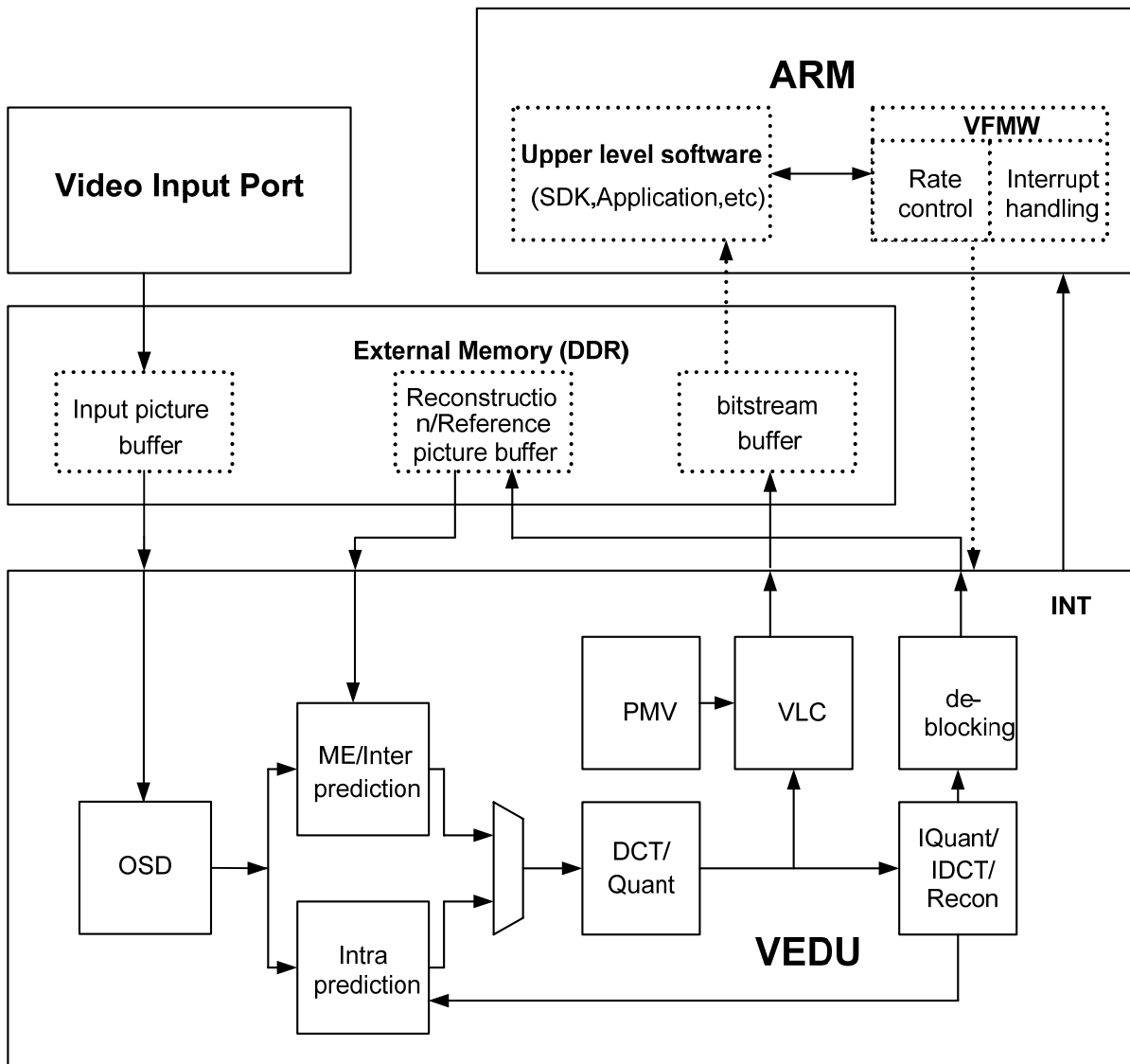
VEDU 实现了运动估计/帧间预测、帧内预测、运动矢量预测、变换/量化、反量化/反变换、VLC(Variable Length Code)编码及码流生成、de-blocking 滤波等协议/算法处理，ARM 软件则完成码率控制和中断处理等编码控制处理。

在启动 VEDU 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下三种类型的缓冲区。

- 输入图像缓冲区
VEDU 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 重构图像/参考图像缓冲区
VEDU 在编码过程中会向该缓冲区中写入重构图像、以作为后续图像的参考图像，在进行 P 帧编码时会从该缓冲区读取参考图像。
- 码流缓冲区
该缓冲区用于存放编码输出的码流。VEDU 在编码过程中会向将码流写入该缓冲区。该缓冲区通常由软件读取。



图7-1 VEDU 功能框图



7.3 JPGE

7.3.1 概述

JPGE (JPEG Encoder) 是一个硬件实现的高性能 JPEG 编码器，可实现高达 67.1M 像素的图片抓拍或高清图像 MJPEG 编码业务。

7.3.2 特点

JPGE 具有以下特点：

- 支持 ISO/IEC 10918-1(CCITT T.81) Baseline Process(DCT Sequential)编码



- 支持 YCbCr4:2:0、YCbCr4:2:2、YCbCr4:4:4 三种色度采样格式的图像编码
- MCU 采用 interleaved 顺序组织
- 支持如下几种输入图像格式：
 - Planar YCbCr4:2:0
 - Planar YCbCr4:2:2
 - Planar YCbCr4:4:4
 - Semi-Planar YCbCr4:2:0
 - Semi-Planar YCbCr4:2:2
 - PackageYUYV
- 最高性能可达到 67.1M(8192x8192)pixel/s
- 支持图像分辨率可配置
 - 最小图像分辨率：32x32
 - 最大图像分辨率：8192x8192
- 图像宽度/高度的配置步长为 4
- 量化表可配置
Y、Cb、Cr 三个分量各提供一张量化表
- 支持视频前端 OSD 叠加处理
 - 支持最多 8 个区域的编码前 OSD 叠加
 - 支持任意大小，任意位置（不超出图像大小和位置）OSD 叠加
 - 支持 129 级的 alpha 叠加
 - OSD 叠加功能可使能/禁止

7.3.3 功能描述

JPGE 功能如图 7-2 所示。

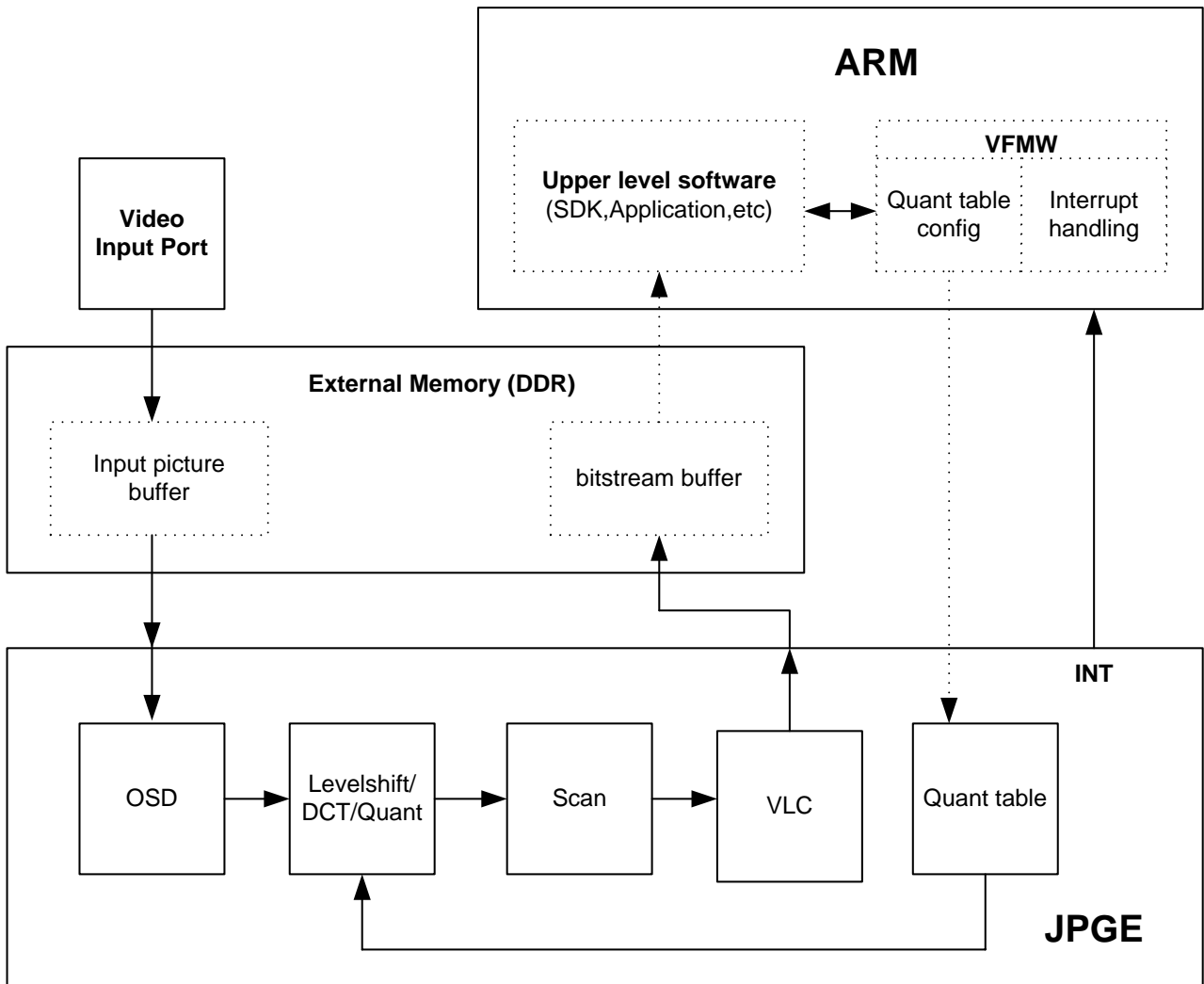
由图可见，JPGE 硬件实现了 OSD、level shift、DCT、量化、扫描、VLC 编码及码流生成等运算量较大的协议处理，而 ARM 软件则完成量化表配置和中断处理等编码控制处理。

在启动 JPGE 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下两种类型的缓冲区：

- 输入图像缓冲区
JPGE 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 码流缓冲区
该缓冲区用于存放编码输出的码流。JPGE 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。



图7-2 JPGE 功能框图





目 录

8 视频及图形处理.....	8-1
8.1 TDE.....	8-1
8.1.1 概述	8-1
8.1.2 功能描述	8-1
8.2 VPSS	8-2
8.2.1 概述	8-2
8.2.2 特点	8-3
8.3 VCMP	8-3
8.3.1 概述	8-3
8.3.2 特点	8-3
8.3.3 寄存器配置限制.....	8-4



8 视频及图形处理

8.1 TDE

8.1.1 概述

2D 图形加速引擎 TDE (Two Dimensional Engine) 利用硬件进行图形绘制, 可以大大减少对 CPU 的占用, 同时提高了内存带宽的资源利用率。TDE 通过 AXI Master 总线接口读写位图数据、滤波缩放系数、链表节点参数信息以及一些链表信息等; 通过 APB Slave 总线接口获得 CPU 的寄存器配置信息。

图形数据接口包括源 1 和源 2 两条通路, 其功能如下:

- 源 1 在单源操作时完成直接拷贝与直接填充的功能。
- 源 2 在单源操作时可完成各种复杂的操作, 如图像缩放、抗闪烁等。
- 源 1 与源 2 协同工作时可以完成颜色混合、ROP 等操作, 并且用来支持处理宏块格式的图像。

8.1.2 功能描述

TDE 模块有以下功能特点:

- 源位图 1 支持 RGB444、RGB555、RGB565、RGB888、ARGB4444、ARGB1555、ARGB8565、ARGB8888、CLUT1、CLUT2、CLUT4、CLUT8、ACLUT44、ACLUT88、A1、A8、YCbCr888、AYCbCr8888、YCbCr422、byte、halfword、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。源位图 2 支持 RGB444、RGB555、RGB565、RGB888、ARGB4444、ARGB1555、ARGB8565、ARGB8888、CLUT1、CLUT2、CLUT4、CLUT8、ACLUT44、ACLUT88、A1、A8、YCbCr888、AYCbCr8888、YCbCr422、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 输出位图支持 RGB444、RGB555、RGB565、RGB888、ARGB4444、ARGB1555、ARGB8565、ARGB8888、CLUT1、CLUT2、CLUT4、CLUT8、ACLUT44、ACLUT88、A1、A8、YCbCr888、AYCbCr8888、YCbCr422、byte、halfword、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 只支持小端系统。



- 支持源位图 1、源位图 2 和输出位图格式分别可配。
- 支持 Gamma 校正、亮度对比度的调节。
- 支持 CLUT 查找表。
- 支持 RGB 与 YCbCr 的转换。
- 支持直接拷贝。
- 支持直接填充。
- 支持 2D-resize 操作。
- 支持抗闪烁操作。
- 支持 clip 操作。
- 支持 alpha blending 操作。
- 支持 ROP 操作。
- 支持 colorkey 操作。
- 支持可编程扫描方式。
- 支持 clip mask 功能。
- 提供同步链表/异步链表方式的软件接口。
- 提供状态中断。

8.2 VPSS

8.2.1 概述

视频处理子系统 VPSS（Video Processing Sub System）实现编码前视频处理功能。包含高斯噪声 3D 自适应降噪，去振铃、去方块效应，图像细节自适应增强，解交错，大比例缩放，锐化，对比度，亮度，色度，饱和度，图像加边框和分块处理功能。

该 IP 特色如下：

- 支持单帧处理 720P 高清视频源
- 支持解码通路 Progressive 源的 DNR 功能（DR 和 DB）
- 支持编码通路同源预览功能
- 支持编码通路大小码流和预览同时输出
- 支持图像边框大小和颜色单独配置功能
- 支持 1080I/P 分块处理功能
- 支持寄存器链表配置功能
- 支持跨 4K 边界
- 输入输出数据格式为 420/422
- 支持 outstanding 配置
- 支持低功耗模式



8.2.2 特点

- 去高斯噪声功能：NR 模块（noise reduction），能通过参数配置，把图像中的高斯噪声去除，使得图像变得平滑，同时降低了编码码率。
- 图像增强功能：IE 模块（image enhancement），能辨别图像中的细节区域，把图像细节凸显，使得图像清晰，增加图像的对比度。
- 解交错功能：DEI 模块（de-interlace），能把交错的隔行视频源还原成逐行视频源
- 图像锐化功能：SHARP 模块，能锐化图像的边缘和凸显图像细节，对经过低频滤波器（scaler）后的图像进行频率补偿或增强，使得图像边缘锐利，轮廓清晰。
- 去图像振铃效应：DR 模块（de-ring），去振铃模块也称为去环效应，可以补偿由于视频压缩所造成的低频分量损失，去除图像边缘的振铃。
- 去图像块效应：DB 模块（de-blocking），去块效应，可以补偿由于视频按块压缩时的 dc 量化损失图像缩放功能
- 色度下采样：色度下采样模块，使 422 转换成 420，垂直色度缩小一半。
- 图像对比度，亮度，饱和度，色条调整功能
- 图像加边框功能：图像边缘处加入边框，图像边框（上下左右）单独设置宽度，边框颜色可单独设置
- 图像分块处理功能：当所处理图像单帧宽度大于 1280，可以采用图像分块处理功能；在分块处理模式下，所处理的图像最大宽度理论值为 ∞

8.3 VCMP

8.3.1 概述

VCMP 利用图形带宽压缩算法实现对图片数据的压缩，压缩后的码流由 VDP 读取并解压显示，以节省对系统带宽的占用。VCMP 通过 AXI Master 总线接口读取位图数据并写出压缩后的码流；通过 APB 总线接口获得 CPU 的寄存器配置信息。

图形数据接口包括一条读通路和四条写通路，其功能如下：

- 读通路从内存中读取待压缩的图片数据。
- 写通路将压缩得到的码流写到内存中，分为 A、R、G、B 四个通道。

8.3.2 特点

VCMP 模块具有以下功能特点：

- 待压缩图片数据支持 ARGB1555 和 ARGB8888 两种格式。
- 压缩码流按分量存储，A、R、G、B 四个分量的压缩数据分别存放在不同的地址中。
- 支持变长码压缩算法。
- 支持输出四个分量压缩后的数据量大小，以 byte 为单位。
- 支持直接搬移图片，作为自测试模式。
- 提供工作完成中断。



8.3.3 寄存器配置限制

VCMP 模块相关工作寄存器的配置有以下限制：

- VCMP 所有工作相关寄存器只能在 VCMP 上报中断后进行配置，当 VCMP 正在工作时，不能配置 VCMP 的寄存器。
- 待压缩图片起始地址（SRC_ADDR）与 stride(SRC_STRIDE)支持 128bit 对齐。
- A、R、G、B 分量压缩数据回写地址（VCMP_A_ADDR、VCMP_R_ADDR、VCMP_G_ADDR、VCMP_B_ADDR）与 stride 支持 128bit 对齐。
- 压缩数据回写宽度需配置为 (256 的整数倍-1)，如 255、511、767、1023 等，且需小于或等于压缩数据回写的 stride。



目 录

9 运动检测单元.....	9-5
9.1 概述.....	9-5
9.2 功能描述.....	9-5
9.3 工作方式.....	9-5
9.3.1 MDU 运动检测业务的软硬件分工	9-5
9.3.2 MDU 视频遮挡检测业务的软硬件分工.....	9-6
9.4 MDU 寄存器概览	9-6
9.5 MDU 寄存器描述	9-7



表格目录

表 9-1 MDU 寄存器概览（基址是 0x206C_0000）9-6



9 运动检测单元

9.1 概述

MDU (Motion Detect Unit) 是一个高性能的运动检测和视频遮挡检测硬件加速 IP，能够对视频背景进行高效的建模，并计算运动区域的信息。MDU 通过 AXI Master 总线接口读取图像信息，写出刷新后的背景图信息、SAD (Sum of absolute differences) 值及运动区域信息。通过 APB Slave 总线获取配置寄存器信息。

9.2 功能描述

MDU 支持如下几种功能：

- 支持以 8x8 或 16x16 为单位的 SAD 值计算和输出。
- 支持运动区域检测及运动区域信息输出。
- 支持背景图更新。

9.3 工作方式

9.3.1 MDU 运动检测业务的软硬件分工

软件实现待编码图像的准备，包括：

- 在 DDR 中分配存储空间。
- 调用其他硬件完成视频捕获、缩放等处理。
- 多个运动检测的调度，待检测区域的指定，划分和生成地址信息等。

硬件实现对输入图像进行 SAD 值计算：

- 根据 SAD 的计算结果和设定的阈值检测运动区域，并更新背景。
- 根据软件的设置输出运动区域的信息，背景图像或 SAD 值。



9.3.2 MDU 视频遮挡检测业务的软硬件分工

软件使用硬件输出的运动区域的面积信息，判断是否达到遮挡阈值，如果达到，则设置硬件不再更新背景，但继续进行运动区域的检测，当运动区域面积连续超过设置的遮挡阈值，则进行遮挡报警。

9.4 MDU 寄存器概览

MDU 寄存器概览如表 9-1 所示。

表9-1 MDU 寄存器概览（基址是 0x206C_0000）

偏移地址	名称	描述	页码
0x0000	MDU_INTSTAT	中断状态信号寄存器	9-7
0x0004	MDU_INTEN	中断使能信号寄存器	9-8
0x0008	MDU_RAWINT	原始中断信号寄存器	9-9
0x000C	MDU_INTCLR	中断清除寄存器	9-10
0x0020	MDU_VEDIMGSIZE	图像大小配置寄存器	9-10
0x0024	MDU_MODE	模式配置寄存器	9-11
0x0028	MDU_START	MDU 启动寄存器	9-12
0x002C	MDU_AXI_OUTST D_NUM	AXI OUTSTANDING 配置寄存器	9-13
0x0040	MDU_REF_YADDR	参考图像亮度存储地址寄存器	9-13
0x0044	MDU_REF_YSTRID E	参考图像亮度 Stride 寄存器	9-13
0x0048	MDU_CUR_YADDR	当前图像亮度存储地址寄存器	9-14
0x004C	MDU_CUR_YSTRID E	当前图像亮度 Stride 寄存器	9-14
0x0060	MDU_MBSAD_AD DR	宏块 SAD 值存储地址寄存器	9-15
0x0064	MDU_MBSAD_STR IDE	宏块 SAD 值存储 Stride 寄存器	9-15
0x0070	MDU_BACKGROU ND_ADDR	背景图像亮度存储地址寄存器	9-16
0x0074	MDU_BACKGROU ND_STRIDE	背景图像亮度 Stride 寄存器	9-16
0x0078	MDU_OBJ_ADDR	运动区域存储地址寄存器	9-16



偏移地址	名称	描述	页码
0x007C	MDU_BG_UP_WEIGHT	背景图更新权重寄存器	9-17
0x0080	MDU_MBSAD_TH	宏块动静判决阈值寄存器	9-18
0x0084	MDU_TIMEOUT	TIMEOUT 上限寄存器	9-18
0x0090	MDU_WND_SIZE	SAD 值输出窗口配置寄存器	9-18
0x0094	MDU_MIN_OBJ_SIZE	边界搜索最小窗口配置寄存器	9-19
0x0098	MDU_MAX_OBJ_CNT	边界搜索最大窗口配置寄存器	9-20
0x009C	MDU_OBJ_CNT	运动区域信息回读寄存器	9-20
0x00A0	MDU_MAX_OBJ_SIZE	最大运动区域回读寄存器	9-20
0x00A4	MDU_TOTAL_OBJ_SIZE	总运动区域信息回读寄存器	9-21
0x00A8	MDU_MOVE_PIX_CNT	整帧运动像素统计寄存器	9-22
0x00AC	MDU_OBJ_CNT1	基于背景的运动区域信息回读寄存器	9-22
0x00B0	MDU_MAX_OBJ_SIZE1	基于背景的最大运动区域回读寄存器	9-22
0x00B4	MDU_TOTAL_OBJ_SIZE1	基于背景的总运动区域信息回读寄存器	9-23
0x00B8	MDU_MOVE_PIX_CNT1	基于背景的整帧运动像素统计寄存器	9-23

9.5 MDU 寄存器描述

MDU_INTSTAT

MDU_INTSTAT 为中断状态信号寄存器。



Offset Address		Register Name		Total Reset Value				
0x0000		MDU_INTSTAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err mdu_cfg_err	reserved						mdu_timeout mdu_endofpic
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	mdu_bus_err	总线读写错误。					
[30]	RO	mdu_cfg_err	寄存器配置错误。					
[29:2]	RO	reserved	保留。					
[1]	RO	mdu_timeout	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。					
[0]	RO	mdu_endofpic	MDU 当前图像结束指示，高有效。					

MDU_INTEN

MDU_INTEN 为中断使能信号寄存器。

Offset Address		Register Name		Total Reset Value				
0x0004		MDU_INTEN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err_en mdu_cfg_err_en	reserved						mdu_timeout_en mdu_endofpic_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	mdu_bus_err_en	总线读写错误时中断使能。 0: 禁止; 1: 使能。					



[30]	RW	mdu_cfg_err_en	寄存器配置错误中断使能。 0: 禁止; 1: 使能。
[29:2]	RO	reserved	保留。
[1]	RW	mdu_timeout_en	mdu 超时工作中断, 当 mdu 被配置为打开超时检测模式下, 且 mdu 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。 0: 禁止; 1: 使能。
[0]	RW	mdu_endofpic_en	MDU 当前图像结束中断使能。 0: 禁止; 1: 使能。

MDU_RAWINT

MDU_RAWINT 为原始中断信号寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0008	MDU_RAWINT	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	mdu_bus_err_raw mdu_cfg_err_raw	reserved	mdu_timeout_raw mdu_endofpic_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31]	RO	mdu_bus_err_raw	总线读写错误指示, 高有效。
[30]	RO	mdu_cfg_err_raw	寄存器配置错误指示, 高有效。
[29:2]	RO	reserved	保留。
[1]	RO	mdu_timeout_raw	MDU 超时工作中断, 高有效。
[0]	RO	mdu_endofpic_raw	MDU 当前图像结束指示, 高有效。



MDU_INTCLR

MDU_INTCLR 为中断清除寄存器。

Offset Address		Register Name		Total Reset Value				
0x000C		MDU_INTCLR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err_clr mdu_cfg_err_clr	reserved						mdu_timeout_clr mdu_endofpic_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	mdu_bus_err_clr	总线读写错误清除，高有效。					
[30]	RW	mdu_cfg_err_clr	寄存器配置错误清除，高有效。					
[29:2]	RO	reserved	保留。					
[1]	RW	mdu_timeout_clr	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。					
[0]	RW	mdu_endofpic_clr	MDU 当前图像结束指示清除，高有效。					

MDU_VEDIMGSIZE

MDU_VEDIMGSIZE 为图像大小配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0020		MDU_VEDIMGSIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	imgheightinpixelsminus1				reserved	imgwidthinpixelsminus1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	imgheightinpixelsminus1	图像高度。以像素为单位，实际宽度减 1。例如图像宽度为 352，此寄存器应该配为 351。						



[15:13]	RO	reserved	保留。
[12:0]	RW	imgwidthinpixelsminus1	图象宽度。以像素为单位，实际高度减 1。例如图象宽高为 288，此寄存器应该配为 287。

MDU_MODE

MDU_MODE 为模式配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0024				MDU_MODE				0x0000_019C																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																mcpi_clkgate_en	mcpi_wrlock_en	timeout_en	md_mod	bg_update_en	eg_find_en	obj_out_en	sad_out_en	sad_mad_sel							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	0	0
Bits	Access		Name		Description																											
[31:9]	RO		reserved		保留。																											
[8]	RW		mcpi_clkgate_en		时钟门控开关。																											
[7]	RW		mcpi_wrlock_en		寄存器配置锁开关，打开时，在启动 MDU 后，到结束检测之前，配置寄存器无效，防止寄存器在使用中被改写。																											
[6]	RW		timeout_en		mdu 超时检测开关，打开时可以自行检测软件在寄存器 MDU_TIMEOUT 中配置的工作 cycle 数上限值。 0: 关闭超时检测功能； 1: 打开超时检测功能。																											
[5]	RW		md_mod		运动检测模式。 0: 基于背景算法； 1: 基于帧差算法。																											
[4]	RW		bg_update_en		背景更新开关。 0: 不更新背景； 1: 更新背景。 此寄存器在 md_mod 设置为基于背景算法的情况下有效，基于帧差算法时，此寄存器为任何值都设置无效。																											



[3]	RW	eg_find_en	运动区域联通检测开关。 0: 不使用运动区域联通检测; 1: 使用运动区域联通检测。 在基于背景算法时, 此开关只关闭最后一次基于背景的区域联通检测。
[2]	RW	obj_out_en	运动区域输出开关, 如果此开关打开, 必须设置运动区域信息存储内存的地址和间隔寄存器。 0: 运动区域信息不输出; 1: 运动区域信息输出。
[1]	RW	sad_out_en	SAD 输出开关, 如果此开关打开必须设置 SAD 的存储内存地址和间隔寄存器。 0: 生成的 SAD 不输出; 1: 生成的 SAD 输出。
[0]	RW	sad_mad_sel	SAD 输出比特数选择信号。 0: 8bit; 1: 16bit。

MDU_START

MDU_START 为 MDU 启动寄存器。

	Offset Address	Register Name	Total Reset Value					
	0x0028	MDU_START	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20					
			19 18 17 16					
			15 14 13 12					
			11 10 9 8					
			7 6 5 4					
			3 2 1 0					
Name	reserved							mdu_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0					
			0 0 0 0					
			0 0 0 0					
			0 0 0 0					
			0 0 0 0					
			0 0 0 0					
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					
[0]	WO	mdu_start	MDU 工作触发开始。 0: 不工作; 1: 触发工作。					



MDU_AXI_OUTSTD_NUM

MDU_AXI_OUTSTD_NUM 为 AXI OUTSTANDING 配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x002C				MDU_AXI_OUTSTD_NUM				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										axi_outstd_num					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	RO	reserved		保留。																											
	[2:0]	RW	axi_outstd_num		AXI outstanding 配置寄存器，从 0 计数（实际值为加 1 后的值）。																											

MDU_REF_YADDR

MDU_REF_YADDR 为参考图像亮度存储地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0040				MDU_REF_YADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mdu_ref_yaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	mdu_ref_yaddr		参考图像 Y 分量存储地址。输入的原始图像必须是 Qword (128bit) 对齐的，即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。																											

MDU_REF_YSTRIDE

MDU_REF_YSTRIDE 为参考图像亮度 Stride 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0044		MDU_REF_YSTRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mdu_ref_ystride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	mdu_ref_ystride	亮度 Stride ， 以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐， Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。					

MDU_CUR_YADDR

MDU_CUR_YADDR 为当前图像亮度存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0048		MDU_CUR_YADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_cur_yaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_cur_yaddr	原始图象 Y 分量存储地址。输入的原始图象必须是 Qword (128bit) 对齐的， 即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。					

MDU_CUR_YSTRIDE

MDU_CUR_YSTRIDE 为当前图像亮度 Stride 寄存器。



Offset Address		Register Name		Total Reset Value					
0x004C		MDU_CUR_YSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_cur_ystride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	mdu_cur_ystride	亮度 Stride，以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐，Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。						

MDU_MBSAD_ADDR

MDU_MBSAD_ADDR 为宏块 SAD 值存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0060		MDU_MBSAD_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_mbsad_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_mbsad_addr	宏块 SAD 存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。					

MDU_MBSAD_STRIDE

MDU_MBSAD_STRIDE 为宏块 SAD 值存储 Stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0064		MDU_MBSAD_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_mbsad_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	mdu_mbsad_stride	宏块 sad 行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。
--------	----	------------------	---

MDU_BACKGROUND_ADDR

MDU_BACKGROUND_ADDR 为背景图像亮度存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0070		MDU_BACKGROUND_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	bg_yaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	bg_yaddr	背景图像地址。地址必须是 qword 对齐的，因此其低 4 位为 0。					

MDU_BACKGROUND_STRIDE

MDU_BACKGROUND_STRIDE 为背景图像亮度 Stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0074		MDU_BACKGROUND_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				bg_ystride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	bg_ystride	背景图像行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。					

MDU_OBJ_ADDR

MDU_OBJ_ADDR 为运动区域存储地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0078		MDU_OBJ_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	obj_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	obj_addr	<p>运动区域存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。</p> <p>存储格式为一个运动区域使用 4 个 16bit 存放 4 个点顺序为 left、top、right、bottom；因而一个运动区域会使用 3 个 32bit 的内存，软件在分配内存的时候应该使用 2%32bit%最大运动区域个数作为内存的最小值。</p>					

MDU_BG_UP_WEIGHT

MDU_BG_UP_WEIGHT 为背景图更新权重寄存器。

Offset Address		Register Name		Total Reset Value					
0x007C		MDU_BG_UP_WEIGHT		0x0000_0101					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			src_weight			weight_sum_exp_2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:8]	RW	src_weight	新图像权重。						
[7:0]	RW	weight_sum_exp_2	<p>权重和的对 2 的指数。</p> <p>MDU 在进行源图像与背景迭加生成新背景的时候，使用如下的计算公式： $(\text{背景像素值} \times ((1 \ll \text{weight_sum_exp_2}) - \text{src_weight}) + \text{源图像} \times \text{bg_weight}) \gg \text{weight_sum_exp_2}$。</p> <p>背景图像的权重 bg_weight 为： $((1 \ll \text{weight_sum_exp_2}) - \text{src_weight})$，如果背景权重设置的比 src_weight 越大，背景更新的速度就越慢。</p> <p>Default: 0x1，最大值为 8。</p>						



MDU_MBSAD_TH

MDU_MBSAD_TH 为宏块动静判决阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x0080		MDU_MBSAD_TH		0x0000_001E					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_mbsad_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	mdu_mbsad_th	4%4 块动静判决阈值。在 MDU 内部所有的计算都是使用的 4%4 块						

MDU_TIMEOUT

MDU_TIMEOUT 为 TIMEOUT 上限寄存器。

Offset Address		Register Name		Total Reset Value				
0x0084		MDU_TIMEOUT		0x0360_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_timeout							
Reset	0 0 0 0	0 0 1 1	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_timeout	工作 cycle 数的上限值。					

MDU_WND_SIZE

MDU_WND_SIZE 为 SAD 值输出窗口配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x0090		MDU_WND_SIZE		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								sad_wnd_size
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	sad_wnd_size	sad 输出窗口大小。在 MDU 内部以 4%4 块为单位进行计算，在使能了模式寄存器中的 sad_out_en 后，MDU 在输出的时候会根据这个寄存器对多个 4%4 块做加和，然后输出到 DDR 中。 0: 8%8; 1: 16%16。（默认值）						

MDU_MIN_OBJ_SIZE

MDU_MIN_OBJ_SIZE 为边界搜索最小窗口配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0094		MDU_MIN_OBJ_SIZE		0x0300_0101					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	egsearch_timeout			min_obj_size_h			min_obj_size_w		
Reset	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RW	egsearch_timeout	边缘搜索超时，如果一个运动区域搜索的点数超过此值，则停止此运动区域边缘搜索，进行下一个区域搜索。						
[15:8]	RW	min_obj_size_h	运动尺寸的高度下限值，小于此高度的运动区域不上报。此处的 size 的 1 代表一个 4%4 块。						
[7:0]	RW	min_obj_size_w	运动尺寸的宽度下限值，小于此宽度的运动区域不上报。此处的 size 的 1 代表一个 4%4 块。						



MDU_MAX_OBJ_CNT

MDU_MAX_OBJ_CNT 为边界搜索最大窗口配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0098		MDU_MAX_OBJ_CNT		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				max_obj_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	max_obj_cnt	检测运动目标的上限值。						

MDU_OBJ_CNT

MDU_OBJ_CNT 为运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value					
0x009C		MDU_OBJ_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	max_obj_index				obj_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	max_obj_index	最大运动区域索引。后面不带数字后缀的统计寄存器，是使用帧差法的统计信息，或使用背景法，在第一次计算 SAD 和进行运动区域搜索得到的统计信息。						
[15:0]	RO	obj_cnt	检测到的运动目标个数。						

MDU_MAX_OBJ_SIZE

MDU_MAX_OBJ_SIZE 为最大运动区域回读寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00A0		MDU_MAX_OBJ_SIZE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	max_obj_size																															
Reset	0 0																															
Bits	Access	Name	Description																													
[31:0]	RO	max_obj_size	<p>最大运动区域面积，用来对视频遮挡进行检测。此处输出的值是像素面积。</p> <p>软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行视频遮挡检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。</p>																													

MDU_TOTAL_OBJ_SIZE

MDU_TOTAL_OBJ_SIZE 为总运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00A4		MDU_TOTAL_OBJ_SIZE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	total_obj_size																															
Reset	0 0																															
Bits	Access	Name	Description																													
[31:0]	RO	total_obj_size	<p>所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。</p> <p>MDU 内部的计算方法为把所有的运动区域面积进行加和。此处输出的值是像素面积（用一个运动区域的 4%4 块的个数乘 16）。</p> <p>注意：</p> <ul style="list-style-type: none"> 在某些情况下，运动区域可能会有重叠，此面积可能会超过原始图象面积。 每个运动区域是的 4%4 块宽度和高度计算公式为： weight= (right-left) +1; heigth= (bottom-top) +1。 																													



MDU_MOVE_PIX_CNT

MDU_MOVE_PIX_CNT 为整帧运动像素统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00A8		MDU_MOVE_PIX_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	move_pix_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	move_pix_cnt	整帧运动像素个数，可用来做视频遮挡检测，用法同运动区域面积统计。 注意：因为这个是按单个像素点进行的统计，此面积和上面的 total_obj_size 可能会不相等。					

MDU_OBJ_CNT1

MDU_OBJ_CNT1 为基于背景的运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value				
0x00AC		MDU_OBJ_CNT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	max_obj_index1				obj_cnt1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	max_obj_index1	基于背景的最大运动区域索引。后面所有的后缀为 1 的统计寄存器，都是指在使用背景法的时候，第二次进行 SAD 计算和运动区域搜索得到的统计信息。					
[15:0]	RO	obj_cnt1	检测到的基于背景的运动目标个数。					

MDU_MAX_OBJ_SIZE1

MDU_MAX_OBJ_SIZE1 为基于背景的最大运动区域回读寄存器。



Offset Address		Register Name		Total Reset Value				
0x00B0		MDU_MAX_OBJ_SIZE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	max_obj_size1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	max_obj_size1	基于背景的最大运动区域面积，用来对视频遮挡进行检测。软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行的视频检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。以像素为单位。					

MDU_TOTAL_OBJ_SIZE1

MDU_TOTAL_OBJ_SIZE1 为基于背景的总运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value				
0x00B4		MDU_TOTAL_OBJ_SIZE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	total_obj_size1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	total_obj_size1	基于背景的所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。					

MDU_MOVE_PIX_CNT1

MDU_MOVE_PIX_CNT1 为基于背景的整帧运动像素统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x00B8		MDU_MOVE_PIX_CNT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	move_pix_cnt1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	move_pix_cnt1	基于背景的整帧运动像素个数，可用来做视频遮挡检测，用法同运动区域面积统计。					



目 录

10 智能加速引擎	10-7
10.1 概述.....	10-7
10.2 功能描述.....	10-7
10.3 工作方式.....	10-8
10.3.1 硬件使用	10-8
10.3.2 中断	10-12
10.3.3 时钟复位	10-12
10.3.4 输入、输出数据格式.....	10-13
10.4 IVE 寄存器概览.....	10-27
10.5 IVE 寄存器描述.....	10-27



插图目录

图 10-1 IVE 链表节点结构示意图	10-9
图 10-2 IVE 链表使用示意图	10-12
图 10-3 数据格式为 SemPlanar YCbCr422 时, Pixel 在 Memory 中的存储	10-13
图 10-4 数据格式为 SemPlanar YCbCr420 时, Pixel 在 Memory 中的存储	10-13
图 10-5 数据格式为单分量时, Pixel 在 Memory 中的存储	10-14
图 10-6 数据格式为 RGB package 时, Pixel 在 Memory 中的存储	10-14
图 10-7 数据格式为 RGB planar 时, Pixel 在 Memory 中的存储	10-15
图 10-8 SOBEL 算子时, 输出结果在 Memory 中的存储	10-16
图 10-9 CANNY 算子, 结果在 Memory 中的存储	10-16
图 10-10 积分图算子时, 输出结果在 Memory 中的存储 (INTEGRAL_OUT)	10-17
图 10-11 直方图统计时, 输出结果在 Memory 中的存储 (HIST_OUT)	10-17
图 10-12 算子的参数 stride 取最小值时的情况	10-18
图 10-13 DMA 数据搬运应用之一	10-19
图 10-14 3×3 模板滤波计算公式	10-20
图 10-15 SOBEL 梯度计算公式	10-23
图 10-16 CANNY 角度量化定义	10-24



表格目录

表 10-1 IVE 链表节点参数说明	10-9
表 10-2 YCbCr 到 RGB 的视频距阵 (BT.601)	10-21
表 10-3 YCbCr 到 RGB 的视频距阵 (BT.709)	10-21
表 10-4 YCbCr 到 RGB 的图象距阵 (BT.601)	10-21
表 10-5 YCbCr 到 RGB 的图象距阵 (BT.709)	10-22
表 10-6 IVE 寄存器概览 (基址是 0x205E_0000)	10-27



10 智能加速引擎

10.1 概述

IVE (Intelligent Video Engineering) 模块是智能分析系统中的硬件加速模块。实现模板滤波、膨胀、腐蚀、图像 sobel 和 canny 边缘提取, 图像减、与、或, 图像二值化, 积分图, 直方图统计功能。IVE 通过 AXI Master 总线接口读写数据以及链表节点参数信息; 通过 APB Slave 总线接口配置 IVE 启动所需的寄存器信息以及获得运行过程中的寄存器状态信息。

10.2 功能描述

IVE 模块支持如下功能特点:

- 支持 DMA。
- 支持 3×3 模板滤波。
- 支持 YUV 到 RGB 的颜色空间转换。
- 支持 3×3 模板滤波加 YUV 到 RGB 颜色空间转换的复合功能。
- 支持 SOBEL/SCHARR 等算子的 X/Y 方向的梯度计算。
- 支持 CANNY 梯度幅值及方向计算。
- 支持 3×3 腐蚀。
- 支持 3×3 膨胀。
- 支持图象二值化。
- 支持两幅图象相与。
- 支持两幅图象相减。
- 支持两幅图象相或。
- 支持积分图计算。
- 支持直方图统计。
- 最大运行频率 300MHz。
- 支持单独进行软复位。
- 支持 64bit AXI 总线 (Master) 和 32bit APB 总线 (Slave)。



- 支持链表级中断和节点级中断。
- 支持查询模式。
- 支持单分量，SP420（semi-planar420），SP422（semi-planar422）输入格式。
- 支持单分量，SP420，SP422，RGBpackage，RGBplanar 等输出格式。
- 部分算子支持读写地址非 8byte 对齐。

10.3 工作方式

10.3.1 硬件使用

在查询模式下使用 IVE 的操作步骤如下：

- 步骤 1 在内存中创建任务链表。
- 步骤 2 配置 IVE 内部寄存器 `LIST_POINTER`，`INT_EN`。
- 步骤 3 配置 IVE 内部寄存器 `IVE_START`，启动 IVE。
- 步骤 4 在运行过程中查看 `IVE_STATUS` 的状态以获取 IVE 运行状态。如果 IVE 空闲，则链表任务完成。如需要继续使用，重复步骤 1 至步骤 4。

----结束

在中断模式下使用 IVE 的操作步骤如下：

- 步骤 1 在内存中创建任务链表。
- 步骤 2 配置 IVE 内部寄存器 `LIST_POINTER`，`INT_EN`。
- 步骤 3 配置 IVE 内部寄存器 `IVE_START`，启动 IVE。
- 步骤 4 在中断服务程序中，根据 `INT_STATUS` 判断中断类型，配置 IVE 内部寄存器 `INT_RW` 可以清除 `INT_STATUS` 的中断状态。并根据 `IVE_STATUS` 判断 IVE 状态，`IVE_STATUS` 状态为 `IDLE`，表明链表任务完成，回步骤 1 开始下一次链表操作。

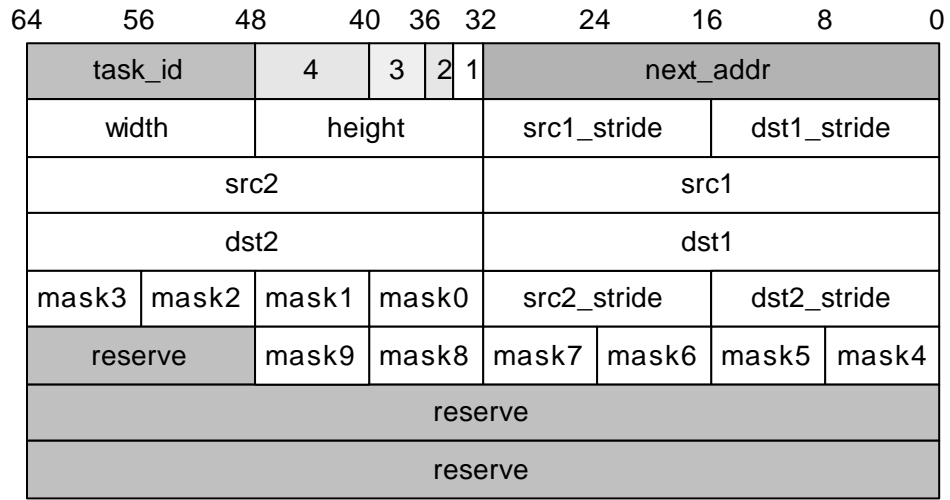
----结束

IVE 任务链表采用定长定位的链表节点格式，每个节点的大小为 $8 \times 8\text{byte}$ ，链表的节点数目为任意值。

链表节点结构如图 10-1 所示，



图10-1 IVE 链表节点结构示意图



1: in_fmt[1:0] 2: csc_fmt[1:0] 3: out_fmt[3:0] 4: op_type[7:0]

表 10-1 描述了节点各参数值的意义。

表10-1 IVE 链表节点参数说明

参数寄存器	描述
next_addr	下一个结点在内存中的地址，为 0x00000000，表示当前链表的最后一个节点。
in_fmt	图像输入格式。 00: 单分量； 01: SP420； 10: SP422； 11: 保留。
csc_fmt	CSC 模式选择。 00: BT601&BT656，范围 16~235； 01: BT701，范围 16~235； 10: BT601&BT656，范围 0~255； 11: BT701，范围 0~255。



参数寄存器	描述
out_fmt	<p>图像输出格式。</p> <p>CSC:</p> <p>0000: package;</p> <p>0001: planar。</p> <p>CANNY:</p> <p>0000: 只输出幅值;</p> <p>0001: 输出幅值和角度值。</p> <p>THRESH:</p> <p>0000: 大于阈值置为 maxvalue, 小于阈值置为 minvalue;</p> <p>0001: 大于阈值置为 maxvalue, 小于阈值不变;</p> <p>0010: 大于阈值不变, 小于阈值置为 minvalue。</p> <p>SUBSTRACT:</p> <p>0000: 差异绝对值输出;</p> <p>0001: 差异值右移一位输出。</p>
op_type	<p>当前节点选择运行的算子类型。</p> <p>0x00: 快速拷贝 (DMA);</p> <p>0x01: 模板滤波 (FILTER);</p> <p>0x02: 色彩空间转换 (CSC);</p> <p>0x03: 模板滤波加色彩转换复合功能 (FILTER+CSC);</p> <p>0x04: SOEBL 梯度 (SOBEL);</p> <p>0x05: SOBEL 幅度及方向 (CANNY);</p> <p>0x06: 膨胀 (DILATE);</p> <p>0x07: 腐蚀 (ERODE);</p> <p>0x08: 图像二值化 (THRESH);</p> <p>0x09: 两图像相与 (AND);</p> <p>0x0A: 两图像相减 (SUBSTRACT);</p> <p>0x0B: 两图像相或 (OR);</p> <p>0x0C: 积分图 (INTEGRAL);</p> <p>0x0D: 直方图 (HISTOGRAM)。</p>
task_id	当前节点的任务 ID 号。
dst1_stride	输出目的地址 1 的 stride 信号, 8byte 对齐。
src1_stride	源图像 1 的 stride 信号, 8byte 对齐。
height	源图像实际高度值。
width	源图像实际宽度值, 当输入格式为 420 和 422 时, 为偶数。

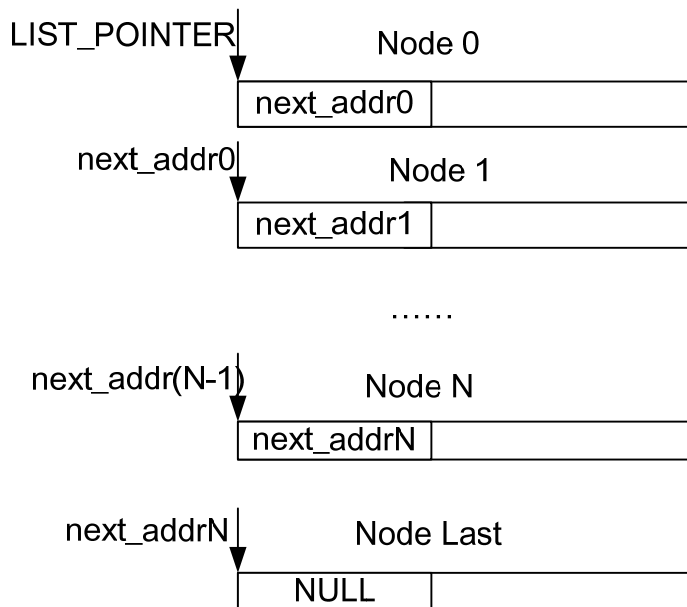


参数寄存器	描述
src1	源图像 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，8byte 对齐。
src2	源图像 2 的起始地址。
dst1	目标 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，要求 8byte 对齐。
dst2	目标 2 的起始地址。
dst2_stride	目标地址 2 的 stride，要求 8byte 对齐。
src2_stride	源图像 2 的 stride，8byte 对齐。
mask0	模板系数 00 或者 THRESH 算子的 threshold。
mask1	模板系数 01 或者 THRESH 算子的 min_value。
mask2	模板系数 02 或者 THRESH 算子的 max_value。
mask3	模板系数 10。
mask4	模板系数 11。
mask5	模板系数 12。
mask6	模板系数 20。
mask7	模板系数 21。
mask8	模板系数 22。
mask9	FILTER 算子系数和。
reserved	保留位。

模板系数：3×3 运算算子（FILTER、FILTER+CSC、SOBEL、CANNY、DILATE、ERODE）使用的运算模板的系数。



图10-2 IVE 链表使用示意图



10.3.2 中断

IVE 会产生以下 2 种中断：

- 当前链表的全部节点完成中断。
- 当前节点的操作完成中断。

10.3.3 时钟复位

时钟关断策略

IVE 的输入时钟可以进行关断，以达到降功耗的目的。IVE 时钟关断前必须保证 IVE 处于空闲状态（查询状态寄存器 IVE_STATUS 为 IDLE），然后才能关断时钟。时钟关断不会丢掉 IVE 的寄存器配置。在对 IVE 内部寄存器进行操作前，必须先开启时钟。

复位策略

单独对 IVE 复位时不支持任意时间复位，否则可能导致总线异常，单独对 IVE 复位时必须在 IVE 状态寄存器 IVE_STATUS 为 IDLE 时方可复位。

系统复位将使 IVE 内部各寄存器全部清空。



10.3.4 输入、输出数据格式

10.3.4.1 存放顺序

下面数据存放顺序均是在小端系统（little endian）的内存存放顺序，为了方便描述，统一使用 Word、Double Word 作为存储单位进行描述，实际应用中不同的算子对数据存储对齐格式有特殊要求，具体要求见 10.3.4.2 支持的功能描述部分。

图10-3 数据格式为 SemPlanar YCbCr422 时，Pixel 在 Memory 中的存储

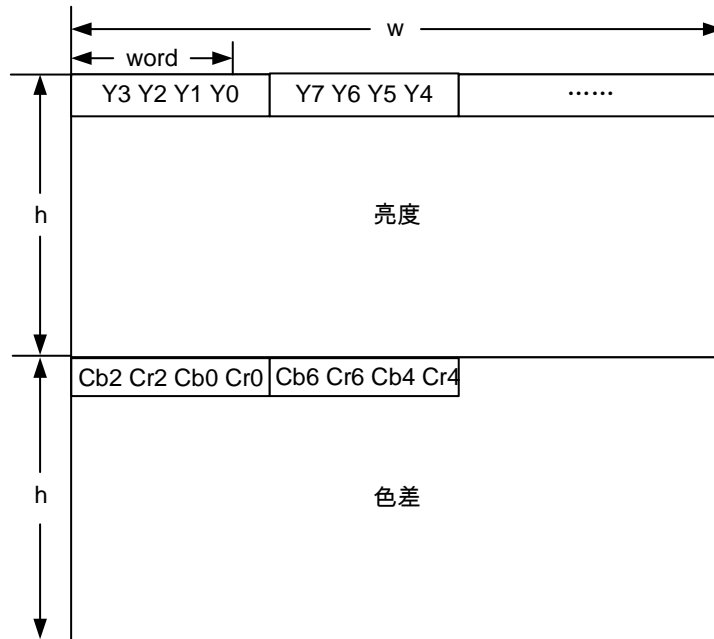


图10-4 数据格式为 SemPlanar YCbCr420 时，Pixel 在 Memory 中的存储

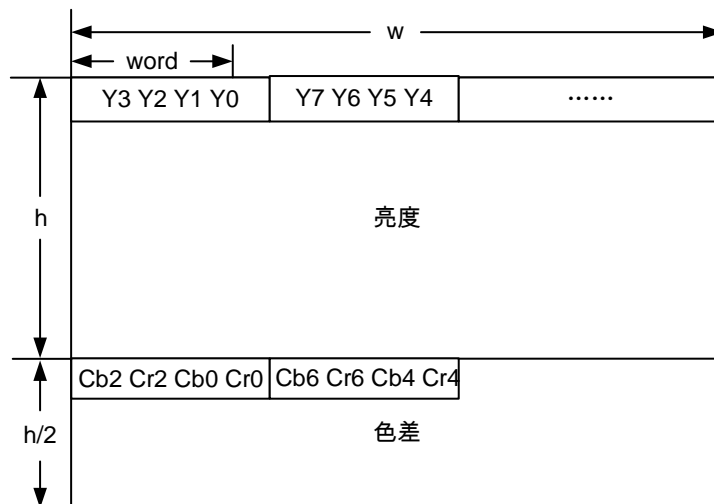




图10-5 数据格式为单分量时, Pixel 在 Memory 中的存储

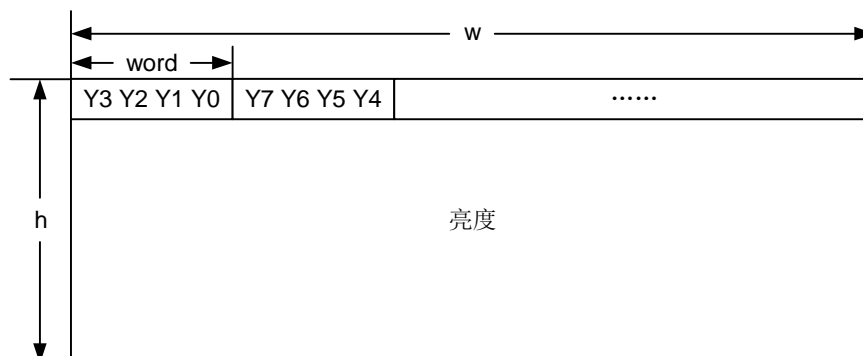


图10-6 数据格式为 RGB package 时, Pixel 在 Memory 中的存储

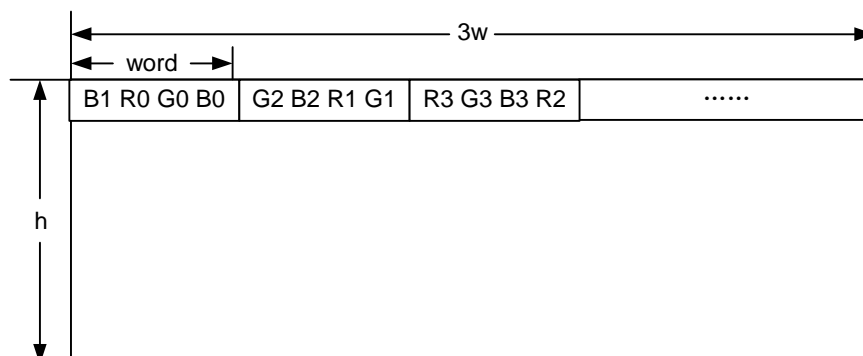




图10-7 数据格式为 RGB planar 时, Pixel 在 Memory 中的存储

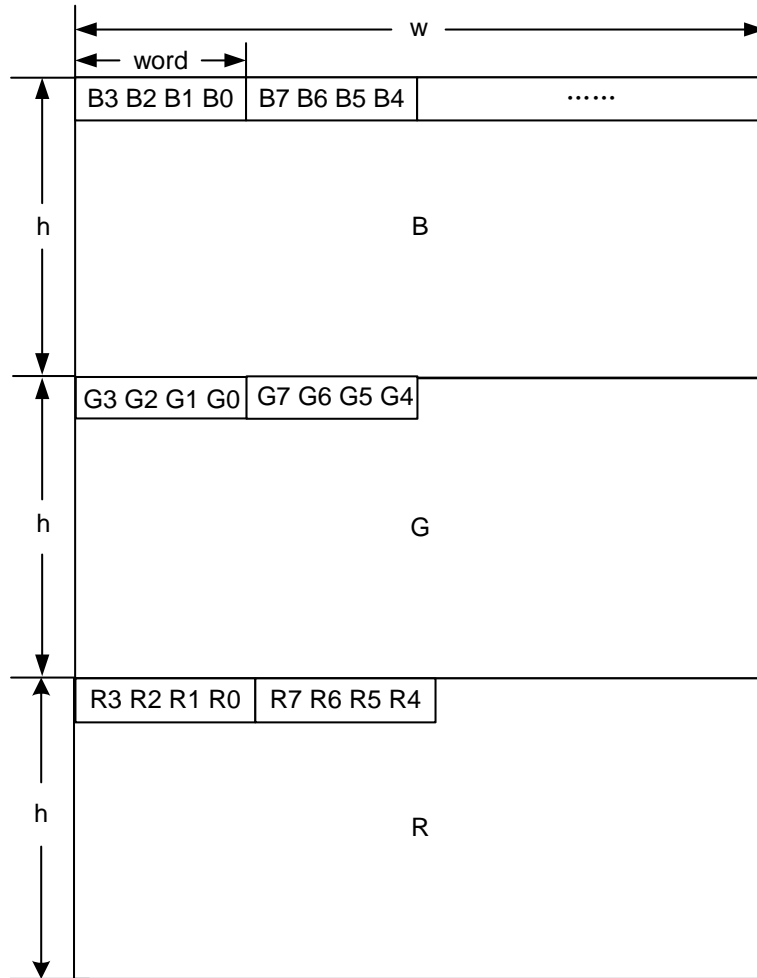




图10-8 SOBEL 算子时，输出结果在 Memory 中的存储

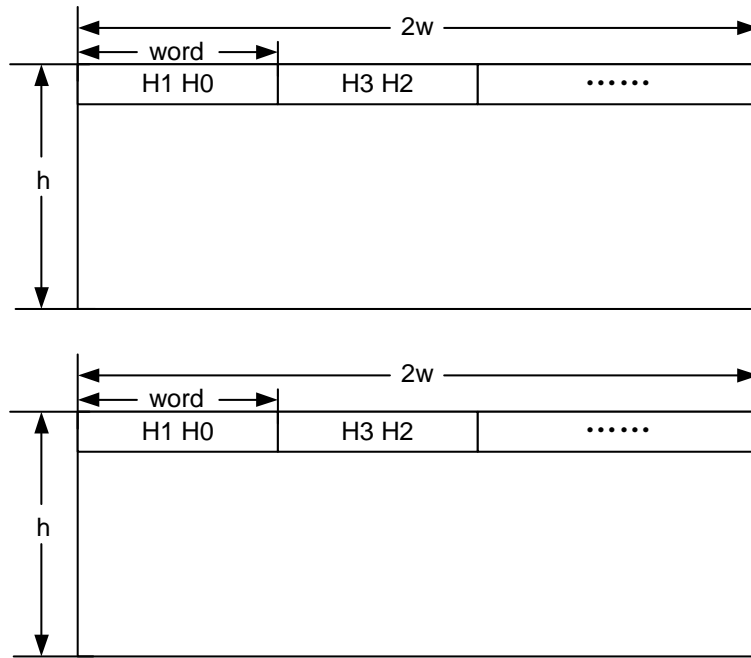


图10-9 CANNY 算子，结果在 Memory 中的存储

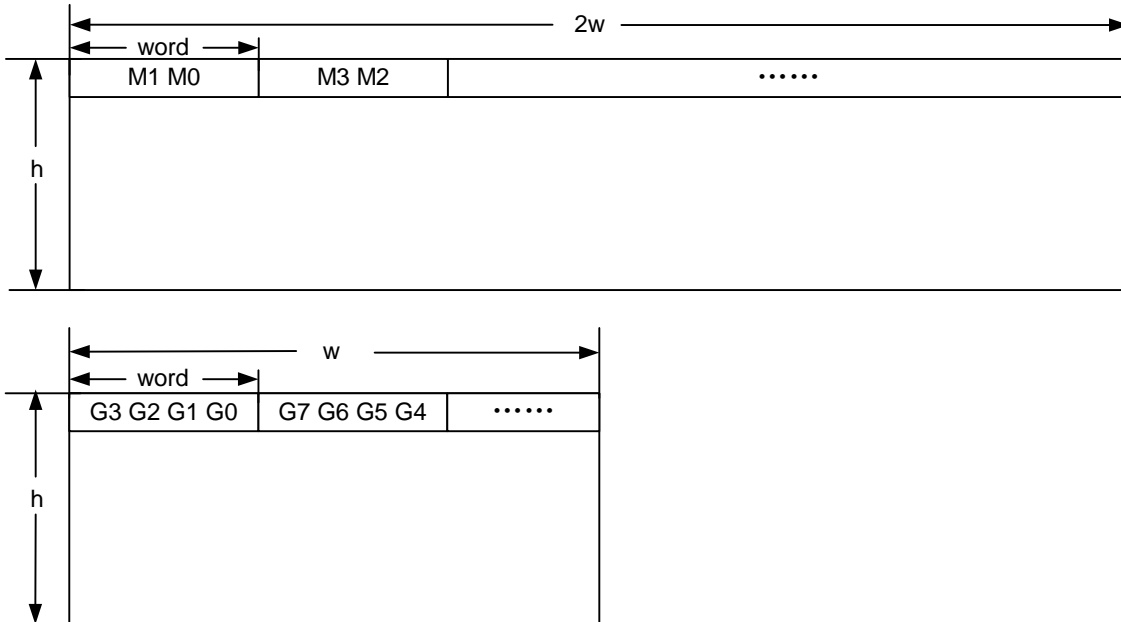




图10-10 积分图算子时，输出结果在 Memory 中的存储（INTEGRAL_OUT）

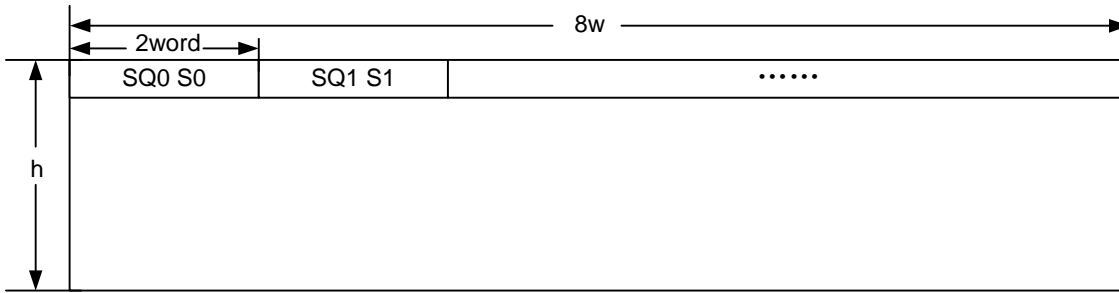
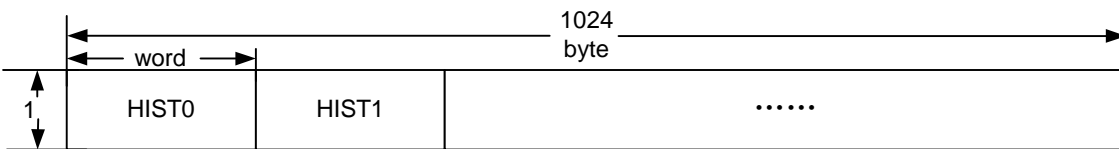


图10-11 直方图统计时，输出结果在 Memory 中的存储（HIST_OUT）



10.3.4.2 支持的功能

IVE 所有算子的 stride 均需要满足以下条件：

当 $((src\%8) == 0) \& \&((width\%8) == 0)$ 成立时，要求

$$\begin{cases} stride \geq width \\ stride\%8 = 0 \end{cases}$$

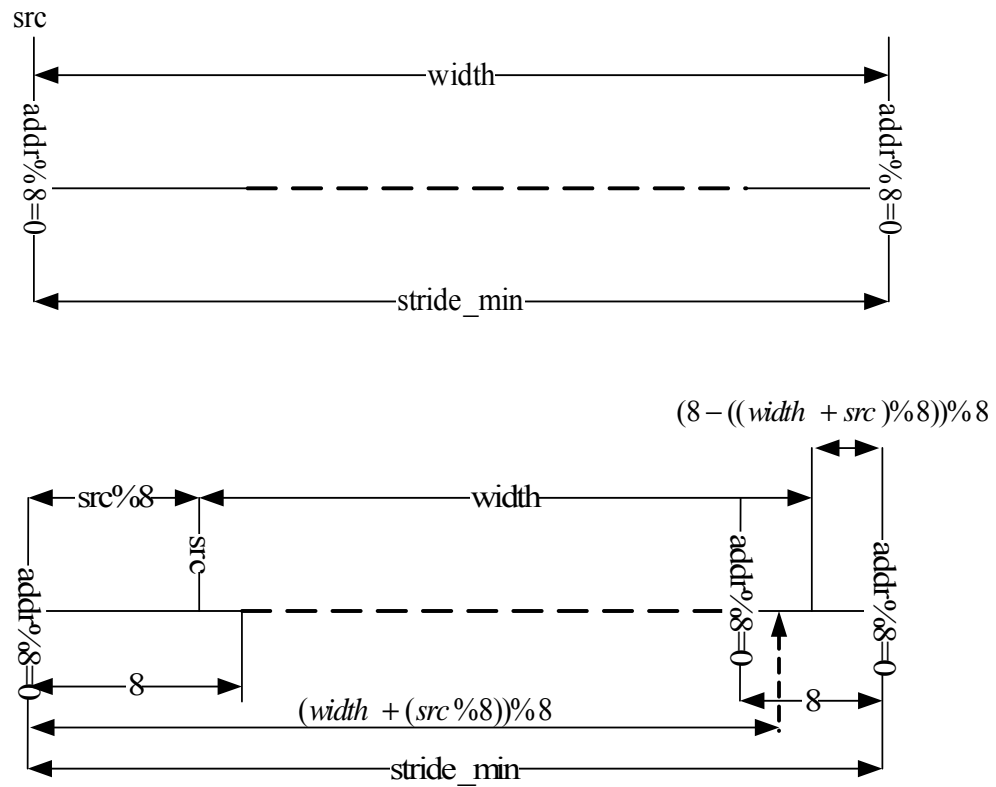
否则要求

$$\begin{cases} \{(8 - ((width + (src\%8))\%8)) + (src\%8) + width\} \leq stride \\ stride\%8 = 0 \end{cases}$$

其中 % 表示求余数操作。示例见图 10-12。



图10-12 算子的参数 stride 取最小值时的情况



快速拷贝

实现矩形图像区域的快速搬移功能。源数据在 DMA 模式下将会直接通过 IVE 内部快速通路，搬移到目的区域，并直接覆盖目标区域数据。

图象分辨率：32×1~1920×1080

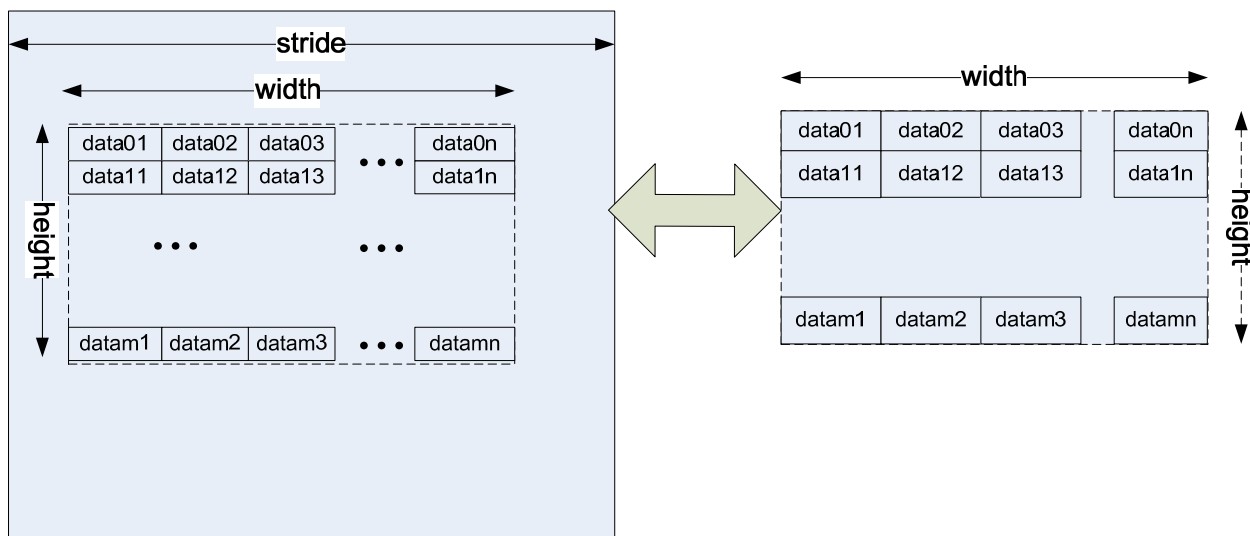
地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x00



图10-13 DMA 数据搬运应用之一



3×3 模板滤波

将源图象以 3×3 模板作滤波后输出。

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量；SP420→SP420；SP422→SP422。

使用方法：

- 配置 op_type 为 0x1。
- 配置输入格式。
- 配置系数 mask0, mask1, …… mask9。mask0～mask8 范围为[-128, 127]，mask9 取值为[0, 10]。



图10-14 3×3 模板滤波计算公式

I(x-1,y-1)	I(x,y-1)	I(x+1,y-1)	coef(-1,-1) mask0	coef(0,-1) mask1	coef(1,-1) mask2
○	○	○	○	○	○
I(x-1,y)	I(x,y)	I(x+1,y)	coef(-1,0) mask3	coef(0,0) mask4	coef(1,0) mask5
○	○	○	○	○	○
I(x-1,y+1)	I(x,y+1)	I(x+1,y+1)	coef(-1,1) mask6	coef(0,1) mask7	coef(1,1) mask8
○	○	○	○	○	○

$$I_{out}(x, y) = \left\{ \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x+i, y+j) \cdot coef(i, j) \right\} \gg mask9$$

颜色空间转换（CSC）

颜色空间转换支持从 YUV 空间到 RGB 空间的转换。

图象分辨率：64×64~1920×1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：SP420→RGB package；SP420→RGB planar；SP422→RGB package；SP422→RGB planar。

使用方法：

- 配置链表中结点的 op_type 为 0x02。
 - 配置链表中结点的 in_fmt:
 - 01: 420
 - 10: 422
 - 配置链表中结点的 out_fmt:
 - 0000: package
 - 0001: planar
- 配置链表中结点的 csc_fmt:
- 00: BT601&BT656 （16~235）
 - 01: BT709 （16~235）
 - 10: BT601&BT656 （0~255）
 - 11: BT709 （0~255）

当 csc_fmt = 0 或者 1 时为 YUV 到 RGB 的视频变换，输出满足 16≤R, G, B≤235



当 $csc_fmt = 2$ 或者 3 时为 YUV 到 RGB 的图像变换，输出满足 $0 \leq R, G, B \leq 255$
YUV 到 RGB 的转换的视频矩阵的输入输出要求如下。

- $16 \leq Y \leq 235$
- $16 \leq Cb, Cr \leq 240$
- $16 \leq R, G, B \leq 235$

YUV 到 RGB 的转换的视频矩阵算法如表 10-2。

表10-2 YCbCr 到 RGB 的视频矩阵 (BT.601)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1	$\times (Y)$	+	0.0	$\times (Cb-128)$	+	1.371	$\times (Cr-128)$
G	=	1	$\times (Y)$	-	0.336	$\times (Cb-128)$	-	0.698	$\times (Cr-128)$
B	=	1	$\times (Y)$	+	1.732	$\times (Cb-128)$	+	0.0	$\times (Cr-128)$

表10-3 YCbCr 到 RGB 的视频矩阵 (BT.709)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1	$\times (Y)$	+	0.0	$\times (Cb-128)$	+	1.540	$\times (Cr-128)$
G	=	1	$\times (Y)$	-	0.183	$\times (Cb-128)$	-	0.459	$\times (Cr-128)$
B	=	1	$\times (Y)$	+	1.816	$\times (Cb-128)$	+	0.0	$\times (Cr-128)$

YUV 到 RGB 的转换的图象矩阵的输入输出要求如下。

- $16 \leq Y \leq 235$
- $16 \leq U, V \leq 240$
- $0 \leq R, G, B \leq 255$

YUV 到 RGB 的转换的图象矩阵算法如表 10-4。

表10-4 YCbCr 到 RGB 的图象矩阵 (BT.601)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1.164	$\times (Y-16)$	+	0.0	$\times (Cb-128)$	+	1.596	$\times (Cr-128)$



RGB 到 YCbCr 颜色空间转换浮点计算方法:									
G	=	1.164	× (Y-16)	−	0.391	× (Cb-128)	−	0.813	× (Cr-128)
B	=	1.164	× (Y-16)	+	2.018	× (Cb-128)	+	0.0	× (Cr-128)

表10-5 YCbCr 到 RGB 的图象矩阵 (BT.709)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1.164	× (Y-16)	+	0.0	× (Cb-128)	+	1.793	× (Cr-128)
G	=	1.164	× (Y-16)	−	0.213	× (Cb-128)	−	0.534	× (Cr-128)
B	=	1.164	× (Y-16)	+	2.115	× (Cb-128)	+	0.0	× (Cr-128)

3×3 模板滤波加 CSC

将源图象以 3×3 模板作滤波，然后再作颜色空间转换后输出。

图象分辨率：64×64~1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：SP420→RGB package；SP420→RGB planar；SP422→RGB package；SP422→RGB planar。

使用方法：

- 配置 op_type 为 0x3。
- 配置 CSC 系数。
- 配置输入格式和输出格式。
- 配置系数 mask0, mask1, mask9。mask0~mask8 范围为[-128, 127]，mask9 取值为[0, 10]。

SOBEL x/y 方向梯度计算

图象分辨率：64×64~1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

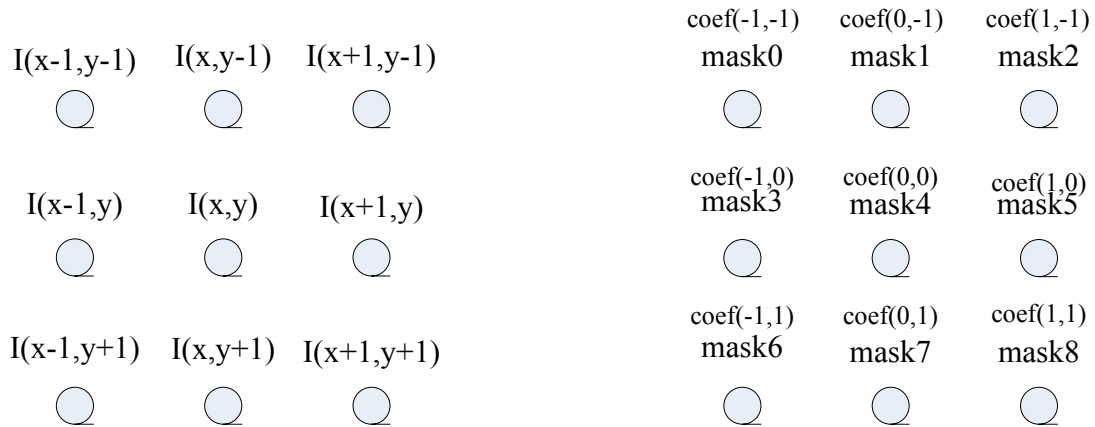
输入输出格式：单分量→SOBEL_OUT。

使用方法：

- 配置 op_type 为 0x4。
- 配置系数 mask0, mask1, mask8。mask0~mask8 范围为[-128, 127]。



图10-15 SOBEL 梯度计算公式



$$Hout(x, y) = \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x + i, y + j) \bullet coef(i, j)$$

$$Vout(x, y) = \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x + i, y + j) \bullet coef(j, i)$$

CANNY 梯度幅值及角度

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→CANNY_OUT1；单分量→CANNY_OUT2。

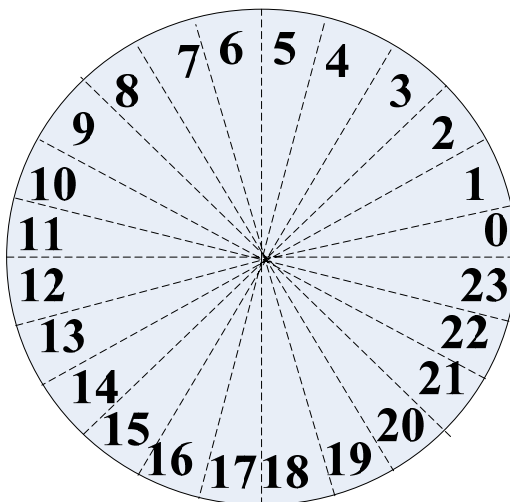
使用方法：

- 配置 op_type 为 0x5。
- 配置输出格式。
- 配置系数 mask0, mask1, mask8。mask0～mask8 范围为[-128, 127]。

幅值定义： $Mag(x, y) = abs(Hout(x, y)) + abs(Vout(x, y))$



图10-16 CANNY 角度量化定义



$$\text{计算输出角度为: } \theta = \left[\frac{\arctan\left(\frac{V}{H}\right) * 12}{\pi} \right]$$

3×3 膨胀

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置 op_type 为 0x6。
- 配置系数 mask0, mask1, mask8。

要求输入输出数据为 0 或 255, mask 的值为 0 或 255。

3×3 腐蚀

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量。

使用方法：



- 配置 `op_type` 为 `0x7`。
- 配置系数 `mask0`, `mask1`, `mask8`。
- 要求输入输出数据为 0 或 255, `mask` 的值为 0 或 255。

图像二值化处理

使用固定阈值对图像进行二值化操作, 共有三种模式:

- `mode=2`: 像素值>阈值 `threshold`, 像素值不变, 否则为 `minValue`
- `mode=1`: 像素值>阈值 `threshold`, 则为 `maxValue`, 否则像素值不变
- `mode=0`: 像素值>阈值 `threshold`, 则为 `maxValue`, 否则为 `minValue`

图象分辨率: $64 \times 64 \sim 1920 \times 1080$ 。

地址对齐方式: 输入输出地址都要求 `byte` 对齐。

输入输出格式: 单分量→单分量。

使用方法:

- 配置链表中结点的 `op_type` 为 `0x08`;
- 配置链表中结点 `mask0`, `mask1` 和 `mask2` 对应为 `threshold`, `minValue` 和 `maxValue`。

双源图像与运算



要求源图 2 和源图 1 的高宽一致, 但是 `stride` 不要求一致。

源图 2 数据与源图 1 数据进行进行与运算, 然后搬运到目的区域。

图象分辨率: $64 \times 64 \sim 1920 \times 1080$ 。

地址对齐方式: 输入输出地址都要求 `byte` 对齐。

输入输出格式: 单分量→单分量。

使用方法: 配置链表中结点的 `op_type` 为 `0x09`。

双源图像减运算



要求源图 2 和源图 1 的高宽一致, 但是 `stride` 不要求一致。



源图 2 数据与源图 1 数据进行进行减运算，然后搬移到目的区域，提供两种工作模式：

0000: 差异值绝对值输出，即 $dst[i, j] = abs(src1[i, j] - src2[i, j])$;

0001: 差异值右移 1 位输出，保留符号位，即
 $dst[i, j] = (src1[i, j] - src2[i, j]) >> 1$;

如图像 1 某位置像素值为 0x23，图像 2 对应位置像素值为 0x40，则在模式 0000 时结果为 0x1D，在模式 0001 时结果为 0xF1。

图象分辨率：64×64～1920×1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置链表中结点的 op_type 为 0x0a;
- 配置链表中结点的 out_fmt 为 0x0000 或 0x0001。

双源图像或运算



注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行进行或运算，然后搬移到目的区域。

图象分辨率：64×64～1920×1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x0b。

积分图

支持分量累加和与分量平方累加和，输出格式为 64 比特，分量累加和占低 28 比特，分量平方累加和占高 36 比特。

图象分辨率：64×64～1920×1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→INTEGRAL_OUT。

使用方法：配置链表中结点的 op_type 为 0x0c。



直方图

256 级直方图统计，输入为单分量，输出为位宽为 32bit 的 256 级直方图统计值。

图象分辨率：64×64~1920×1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→HIST_OUT。

使用方法：配置链表中结点的 op_type 为 0x0d。

10.4 IVE 寄存器概览

IVE 寄存器概览如表 10-6 所示。

表10-6 IVE 寄存器概览（基址是 0x205E_0000）

偏移地址	名称	描述	页码
0x0000	IVE_START	启动信号寄存器	10-27
0x0004	INT_EN	中断使能信号寄存器	10-28
0x0008	INT_RW	原始中断信号寄存器	10-28
0x000C	INT_STATUS	中断状态信号寄存器	10-29
0x0010	LIST_POINTER	链表首地址寄存器	10-30
0x0014	IVE_STATUS	IVE 工作状态信号寄存器	10-30
0x0018	IVE_TASK_ID	刚刚完成的 task 的 ID 寄存器	10-31

10.5 IVE 寄存器描述

IVE_START

IVE_START 为启动信号寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000		IVE_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ive_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	WO	ive_start	IVE 启动信号，高电平有效。						

INT_EN

INT_EN 为中断使能信号寄存器。

Offset Address		Register Name		Total Reset Value						
0x0004		INT_EN		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved								list_int_en	node_int_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:2]	RO	reserved	保留。							
[1]	RW	list_int_en	链表中断使能。 0: 不使能; 1: 使能。							
[0]	RW	node_int_en	节点中断使能。 0: 不使能; 1: 使能。							

INT_RW

INT_RW 为原始中断信号寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0008		INT_RW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										list_int_rw	node_int_rw				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留。																													
[1]	RW	list_int_rw	链表级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0: 没有中断; 1: 有中断。																													
[0]	RW	node_int_rw	节点级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0: 没有中断; 1: 有中断。																													

INT_STATUS

INT_STATUS 为中断状态信号寄存器。

Offset Address		Register Name		Total Reset Value																												
0x000C		INT_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										list_int_status	node_int_status				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留。																													



[1]	RO	list_int_status	链表级中断状态。软件通过读此状态位确定是否有链表级中断。 0: 没有中断; 1: 有中断。
[0]	RO	node_int_status	节点级中断状态。软件通过读此状态位确定是否有节点级中断。 0: 没有中断; 1: 有中断。

LIST_POINTER

LIST_POINTER 为链表首地址寄存器。

	Offset Address 0x0010								Register Name LIST_POINTER								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	link_table_header_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	link_table_header_addr		标明链表第一个节点的地址。																															

IVE_STATUS

IVE_STATUS 为 IVE 工作状态信号寄存器。



Offset Address		Register Name		Total Reset Value					
0x0014		IVE_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ive_working_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	ive_working_status	IVE 当前的工作状态。 0: 空闲; 1: 忙碌。						

IVE_TASK_ID

IVE_TASK_ID 为刚完成的任务的 ID 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0018		IVE_TASK_ID		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ive_task_id			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	ive_task_id	刚刚完成的任务的 ID。如果任务 ID 是递增的，则表明此 ID 之前的所有任务都已完成。					



目 录

11 视频接口	11-1
11.1 VICAP.....	11-1
11.1.1 概述.....	11-1
11.1.2 特点.....	11-1
11.1.3 功能描述.....	11-2
11.1.4 工作方式.....	11-17
11.1.1 寄存器概览.....	11-18
11.1.2 寄存器描述.....	11-24
11.2 VDP.....	11-107
11.2.1 概述.....	11-107
11.2.2 功能描述.....	11-107
11.2.3 工作方式.....	11-110



插图目录

图 11-1 VICAP 功能框图.....	11-1
图 11-2 16 路 D1/960H 的典型输入应用一.....	11-3
图 11-3 16 路 D1/960H 的典型输入应用二.....	11-4
图 11-4 16 路 D1/960H 的典型输入应用三.....	11-5
图 11-5 8 路 720P 的典型输入应用.....	11-6
图 11-6 4 路 1080P 的典型输入应用.....	11-6
图 11-7 525 行 60 场/秒视频系统垂直时序.....	11-9
图 11-8 625 行 50 场/秒视频系统垂直时序.....	11-10
图 11-9 高清接口输入时序水平时序.....	11-10
图 11-10 高清接口输入时序垂直时序.....	11-11
图 11-11 ITU-R BT.601 水平时序图.....	11-11
图 11-12 NTSC 制式垂直同步时序图.....	11-12
图 11-13 PAL 制式垂直同步时序图.....	11-12
图 11-14 数字摄像头水平时序.....	11-13
图 11-15 数字摄像头垂直时序脉冲方式.....	11-13
图 11-16 数字摄像头垂直时序行有效方式.....	11-14
图 11-17 有效图像区域与水平垂直消隐关系图.....	11-14
图 11-18 YCbCr4:2:2 的存储模式.....	11-16
图 11-19 big endian 和 little endian 图像存储模式.....	11-16
图 11-20 VICAP 的硬件工作流程.....	11-17
图 11-21 软件操作流程.....	11-18
图 11-22 VICAP 寄存器空间分配.....	11-19
图 11-23 VDP 总体框图.....	11-108
图 11-24 ITU-R BT.656 YCbCr 4:2:2 行数据格式.....	11-114
图 11-25 BT1120 接口水平时序图.....	11-115



图 11-26 3 套坐标示意图.....	11-117
图 11-27 逐行解压存储方式.....	11-120
图 11-28 隔行解压存储方式.....	11-121
图 11-29 CBM 多层叠加示意图.....	11-123
图 11-30 级联垂直中断门限.....	11-129



表格目录

表 11-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式.....	11-8
表 11-2 SAV/EAV 格式.....	11-8
表 11-3 有效 SAV/EAV 值.....	11-8
表 11-4 ITU-R BT.656 纠错码表.....	11-8
表 11-5 各通道支持缩放情况.....	11-15
表 11-6 寄存器概览（基址是 0x2058_0000）.....	11-20
表 11-7 DHD0 显示通道的时钟配置关系（接口时钟/数据来源于 DHD0）.....	11-111
表 11-8 DHD1 显示通道的时钟配置关系（接口时钟/数据来源于 DHD1）.....	11-111
表 11-9 DSD0~DSD1 显示通道的时钟配置关系.....	11-111
表 11-10 DSD2~DSD5 显示通道的时钟配置关系.....	11-112



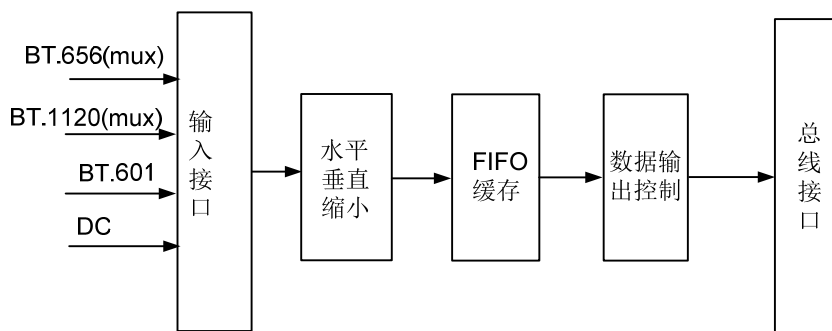
11 视频接口

11.1 VICAP

11.1.1 概述

视频捕获单元 VICAP (Video capture)，可以通过 BT.656(mux)/1120(mux)/601 接口和 DC (Digital Camera) 接口接收视频数据，存入指定的内存区域。在此过程中，VICAP 可以对视频图像数据进行水平垂直缩小（根据通道情况可能为简单的下采样或者是缩放）并输出多个不同的视频流。VICAP 的功能框图如图 11-1 所示。

图11-1 VICAP 功能框图



11.1.2 特点

VICAP 有以下特点：

- 输入最大分辨率为 2560x1600
- 外部支持 8 个 BT656 接口，或 4 个 BT1120 接口
- 内部支持 8 个端口和 16 路通道视频处理，每个通道支持隔行和逐行输入模式；其中有 8 路支持小码流输出
- 支持 BT.656(mux)，BT.1120(mux)，BT601，DC 等时序
- 支持 SMPTE293M/ITU-R BT.1358 时序（480P/576P）
- 支持 BT.601 时序



- 支持 SMPTE 274M/BT 1120 时序(1080i/1080P)
- 支持 SMPTE 296M(720P)
- 支持最大 16 倍的水平和垂直缩小
- 各通道支持 3 级总线优先级可配
- 支持在一个指定窗口内获取数据
- 支持水平镜像和垂直镜像
- 输出格式支持存储模式：SPYCbCr 4:2:0 和 SPYCbCr 4:2:2 模式。

11.1.3 功能描述

11.1.3.1 典型应用

VICAP 是一个支持多种时序输入的视频输入采集单元，将采集到的视频数据存储到 DDR 中，系统可以配置不同的功能模式，使之可以灵活的适应不同的外部输入视频接口，支持多种外部输入设备。

VICAP 的典型输入有以下几种：

- 16 路 D1/960H
- 8 路 720P
- 4 路 1080P



注意

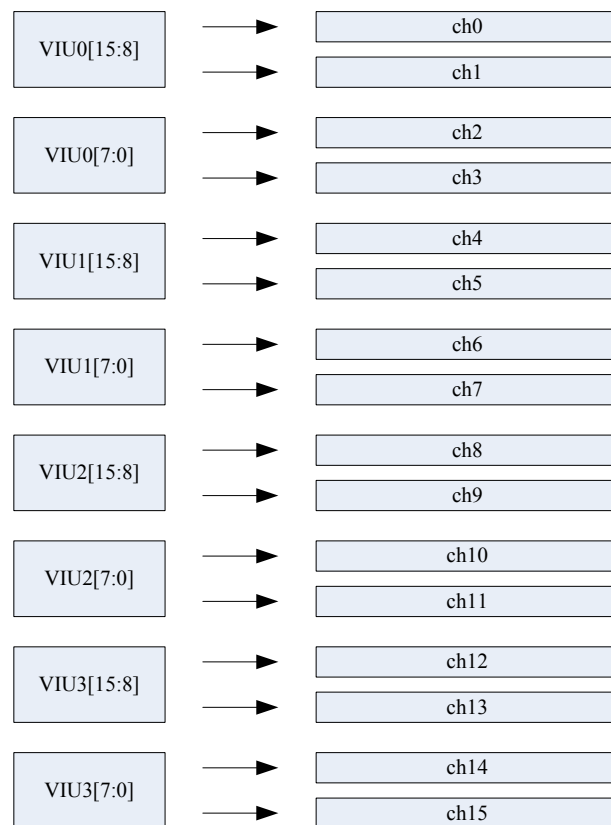
管脚上的每个 BT1120 口有两个时钟：CLK 和 CLKA。如果一个 BT.1120 口作为 1 个 16bit 的数据输入，使用 CLK；如果作为 2 个 8bit 的数据输入，则高 8bit 使用 CLK，低 8bit 使用 CLKA。

16 路 D1/960H

16 路 D1/960H 的典型输入应用一如图 11-2 所示。



图11-2 16路 D1/960H 的典型输入应用一



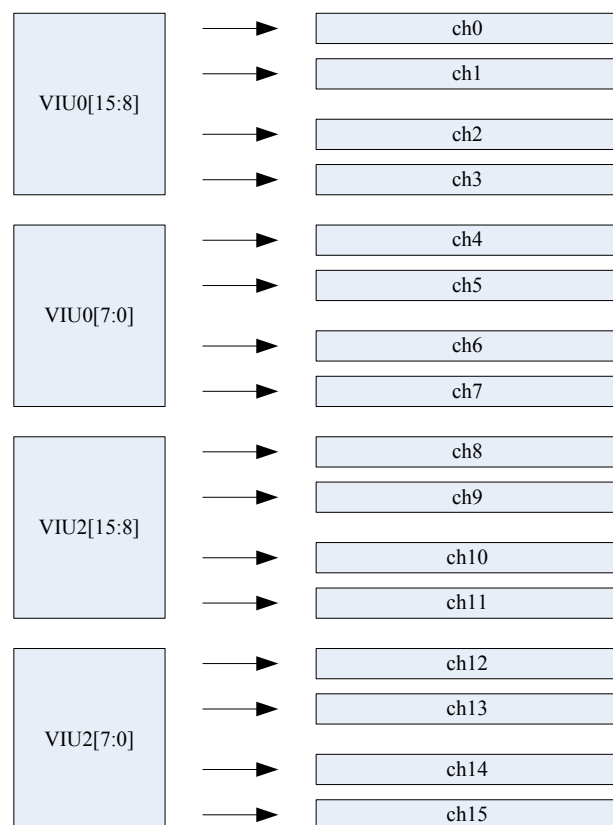
每 8bit 管脚数据传输 2 路时分复用的 D1/960H，总共使用 64bit 管脚。其中：

- VIU0 表示管脚上的第 0 个 BT1120 口
- VIU1 表示管脚上的第 1 个 BT1120 口
- VIU2 表示管脚上的第 2 个 BT1120 口
- VIU3 表示管脚上的第 3 个 BT1120 口
- [15:8]表示第 15 到 8bit
- [7:0]表示第 7 到 0bit
- ch0 到 ch15 表示通道 0 到通道 15

16 路 D1/960H 的典型输入应用二如图 11-3 所示。



图11-3 16路 D1/960H 的典型输入应用二



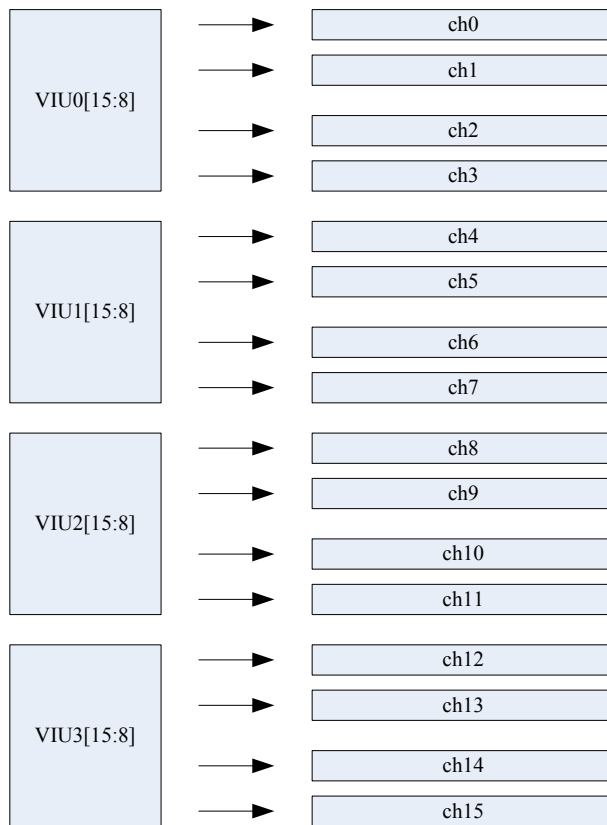
每 8bit 管脚数据传 4 路时分复用的 D1/960H，总共使用 32bit 管脚。此时，如 VICAP 不使用 VIU1[15:0]和 VIU3[15:0]，这 2 个管脚可做其他用途，例如级联。其中：

- VIU0 表示管脚上的第 0 个 BT1120 口
- VIU1 表示管脚上的第 1 个 BT1120 口
- VIU2 表示管脚上的第 2 个 BT1120 口
- VIU3 表示管脚上的第 3 个 BT1120 口
- [15:8]表示第 15 到 8bit
- [7:0]表示第 7 到 0bit
- ch0 到 ch15 表示通道 0 到通道 15

16 路 D1/960H 的典型输入应用三如图 11-4 所示。



图11-4 16路 D1/960H 的典型输入应用三



每 8bit 管脚数据传 4 路时分复用的 D1/960H，总共使用 32bit 管脚。此时，VIU0[7:0]，VIU1[7:0]，VIU2[7:0]，VIU3[7:0]，VICAP 不使用，可做其他用途。但剩余的 32bit 管脚不能组成连续的 16bit BT1120 口，无法用作级联。其中：

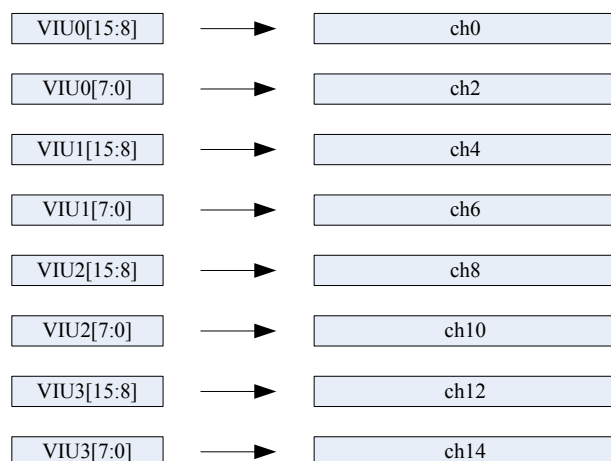
- VIU0 表示管脚上的第 0 个 BT1120 口
- VIU1 表示管脚上的第 1 个 BT1120 口
- VIU2 表示管脚上的第 2 个 BT1120 口
- VIU3 表示管脚上的第 3 个 BT1120 口
- [15:8]表示第 15 到 8bit
- [7:0]表示第 7 到 0bit
- ch0 到 ch15 表示通道 0 到通道 15

8 路 720P

8 路 720P 的典型输入应用如图 11-5 所示。



图11-5 8路 720P 的典型输入应用



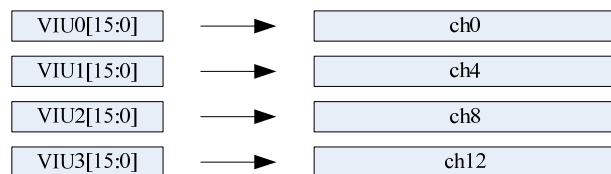
每 8bit 管脚数据传 1 路 720P，总共使用 64bit 管脚（interleave 模式，将 BT.1120 的 16bit 数据线，通过时分复用的方式，通过 8bit 来传输，C 分量在前，Y 分量在后，时钟频率提高一倍）。其中：

- VIU0 表示管脚上的第 0 个 BT.1120 口
- VIU1 表示管脚上的第 1 个 BT.1120 口
- VIU2 表示管脚上的第 2 个 BT.1120 口
- VIU3 表示管脚上的第 3 个 BT.1120 口
- [15:8]表示第 15 到 8bit
- [7:0]表示第 7 到 0bit
- ch0 到 ch15 表示通道 0 到通道 15

4 路 1080P

4 路 1080P 的典型输入应用如图 11-6 所示。

图11-6 4路 1080P 的典型输入应用



每 16bit 管脚组成 BT1120 口传 1 路 1080P，总共使用 64bit 管脚。其中：

- VIU0 表示管脚上的第 0 个 BT1120 口
- VIU1 表示管脚上的第 1 个 BT1120 口
- VIU2 表示管脚上的第 2 个 BT1120 口



- VIU3 表示管脚上的第 3 个 BT1120 口
- [15:8]表示第 15 到 8bit
- [7:0]表示第 7 到 0bit
- ch0 到 ch15 表示通道 0 到通道 15

混合时序输入

VIU0 和 VIU1 的 32bit 与 VIU2 和 VIU3 的 32bit 之间是相互独立的，时序可以进行组合。例如：

- VIU0 和 VIU1
 - 支持输入 8 路 D1
 - 支持输入 4 路 720P
 - 支持输入 2 路 1080P
- VIU2 和 VIU3
 - 支持输入 8 路 D1
 - 支持输入 4 路 720P
 - 支持输入 2 路 1080P

推荐使用如下的组合方式：



注意

使用非推荐的组合方式，可能会引入不能使用的风险。

- 8 路 D1/960H+4 路 720P
- 8 路 D1/960H+2 路 1080P
- 4 路 720P+2 路 1080P

可以根据需要减少通道的数量，例如 3 路 720P+1 路 1080P，只需关闭不用的通道即可。

11.1.3.2 功能原理

ITU-R BT. 656 YCbCr4:2:2

a. 水平时序

在 ITU-R BT.656 协议中，同步信号集成在数据流中，在数据流中的特殊字节 SAV 和 EAV 分别表示有效行数据的开始和结束。在视频数据流中，由 FF 00 00（FF、00 为图像编码数据的保留值，为非图像数据）构成的定时基准码字的码头来标志紧接着的一个字节为 SAV 或者 EAV，ITU-R BT. 656 的行数据流格式如表 11-1 所示。



表11-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式

定时基准码				行消隐区				定时基准码				720 有效像素 YCbCr 4:2:2							
FF	00	00	EAV	80	10	...	80	10	FF	00	00	SAV	Cb0	Y0	Cr0	Y1	...	Cr718	Y719

SAV 和 EAV 的相互区别由 SAV/EAV 的特殊比特位“H”区分，SAV/EAV 还包含了垂直消隐位“V”和场指示位“F”。SAV/EAV 的具体描述见表 11-2 所示。

表11-2 SAV/EAV 格式

Bit7	Bit6(F)	Bit5(V)	Bit4(H)	Bit[3:0](P3~P0)
固定值 1	场指示位 1st field: F=0 2nd field: F=1	垂直消隐位 VBI: V=1 Active video: V=0	SAV: H=0 EAV: H=1	校验位。

ITU-R BT.656 协议采用了 8 个有效保留位用来定义有效的 SAV 和 EAV，4 个校验位可纠正 1bit 出错，检测 2bit 出错。有效的 SAV/EAV 值如表 11-3 所示。

表11-3 有效 SAV/EAV 值

编码	二进制值	场号	垂直消隐期
SAV	10000000	1	-
EAV	10011101	1	-
SAV	10101011	1	是
EAV	10110110	1	是
SAV	11000111	2	-
EAV	11011010	2	-
SAV	11101100	2	是
EAV	11110001	2	是

4 个有效保留位还起到纠错的作用，P0、P1、P2、P3 由 F、V 和 H 位来确定的，如表 11-4 所示。

表11-4 ITU-R BT.656 纠错码表

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1



F	V	H	P3	P2	P1	P0
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

其中：

$$P0=F^{\wedge}V^{\wedge}H$$

$$P1=F^{\wedge}V$$

$$P2=F^{\wedge}H$$

$$P3=V^{\wedge}H$$

b. 垂直时序

垂直时序也是通过定时基准码 SAV/EAV 的“F”和“V”来实现，典型的 525 行和 625 行视频系统垂直时序如图 11-7 和图 11-8 所示。

图11-7 525 行 60 场/秒视频系统垂直时序

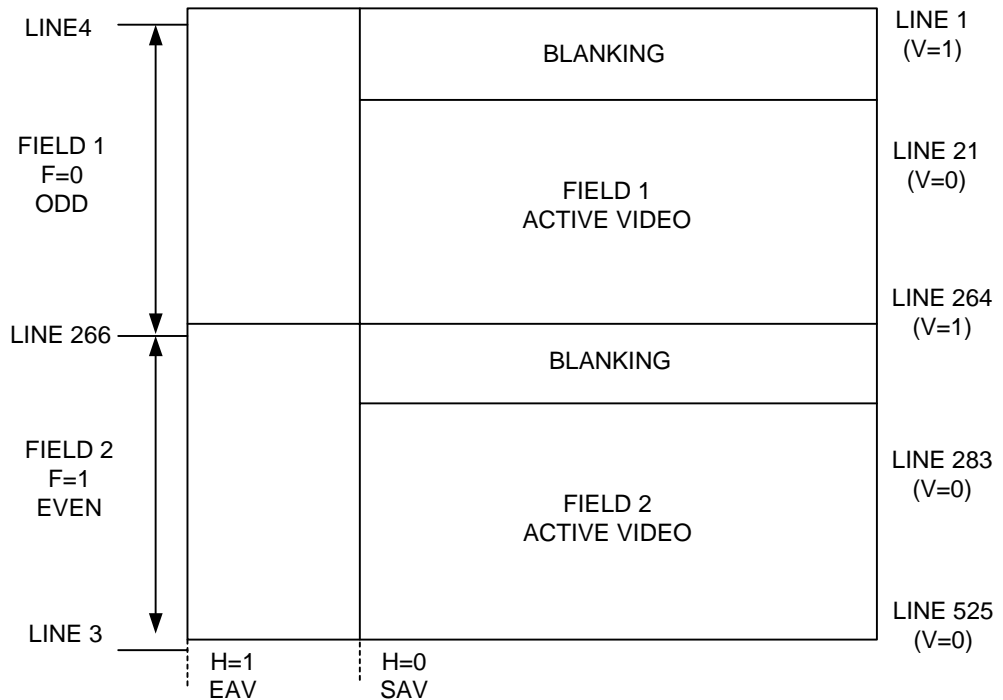
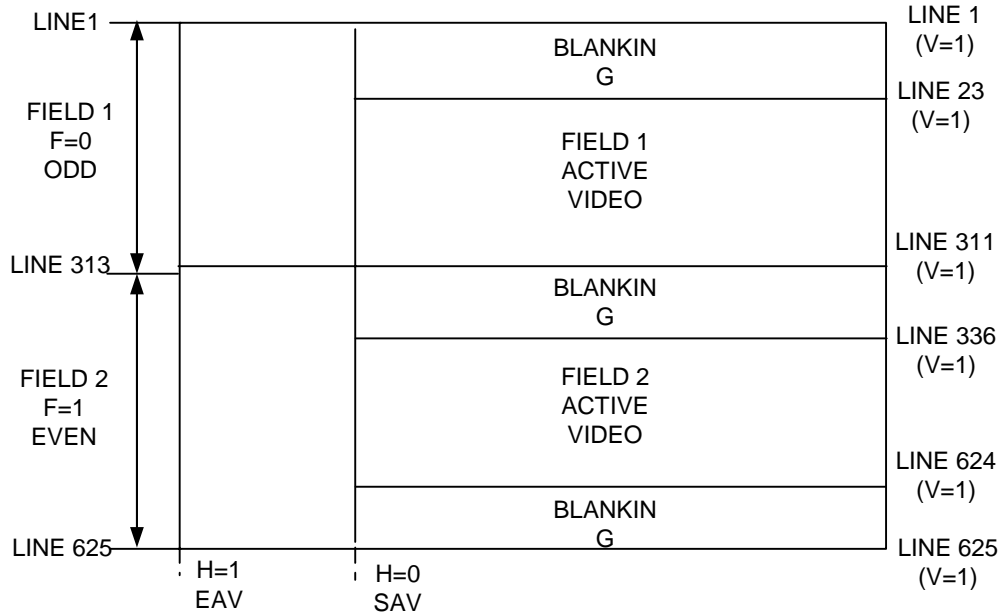




图11-8 625 行 50 场/秒视频系统垂直时序



VICAP 内部只根据 SAV/EAV 来识别垂直时序，不会限制具体在哪一行。

BT 1120（高清）接口时序

VICAP 支持 Y/C 分开输入的高清接口时序，此时需要用到 2 个端口，一个端口用来传输亮度，另一个端口用来传输色度，如图 11-9 和图 11-10 所示。

图11-9 高清接口输入时序水平时序

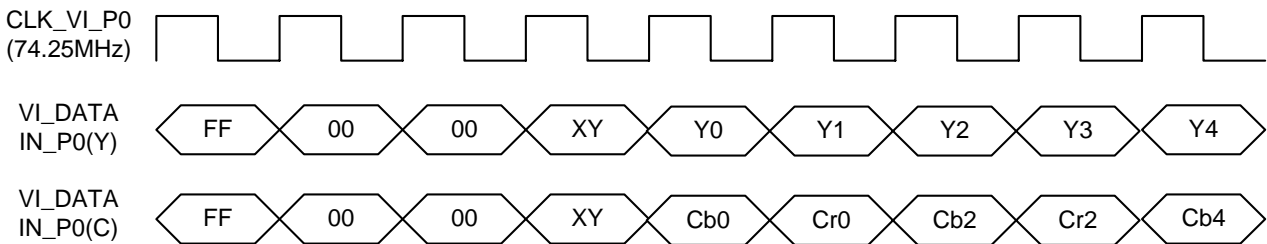
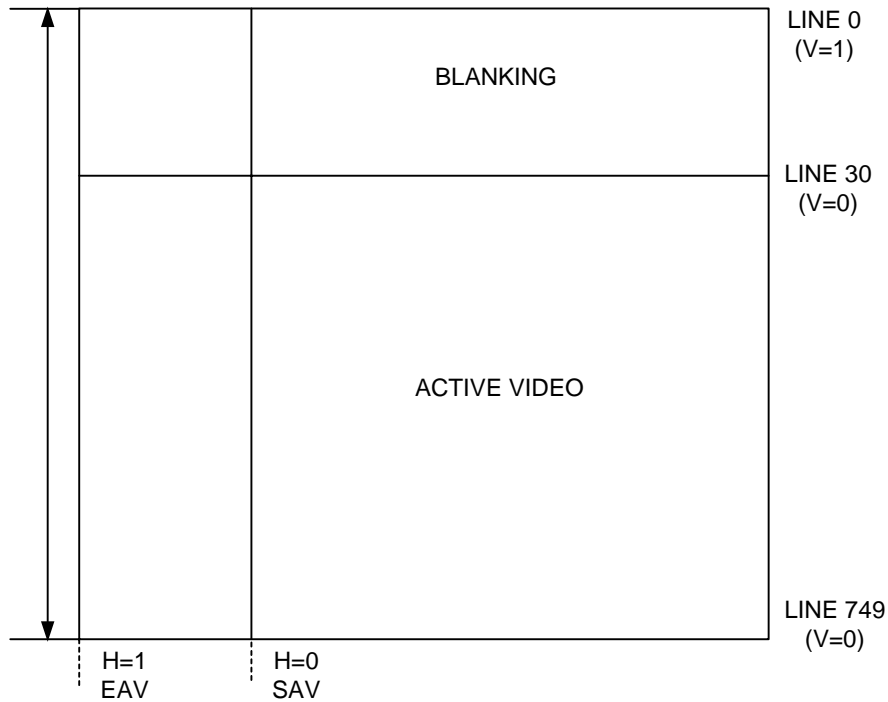




图11-10 高清接口输入时序垂直时序

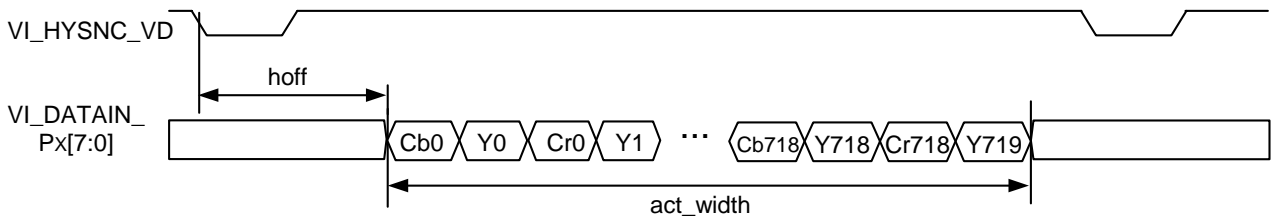


ITU-R BT.601 YCbCr4:2:2

a. 水平时序

水平脉冲表示新的的一行开始如图 11-11 所示。经过 hoff（可配，PAL525 行系统该值为 244，NTSC625 行系统该值为 264 个时钟后，行前消隐区结束，进入行有效数据区，经过 act_width（可配，典型值为 720 或 704）个时钟后行有效区域结束，进入行后消隐区。水平同步极性可配。

图11-11 ITU-R BT.601 水平时序图



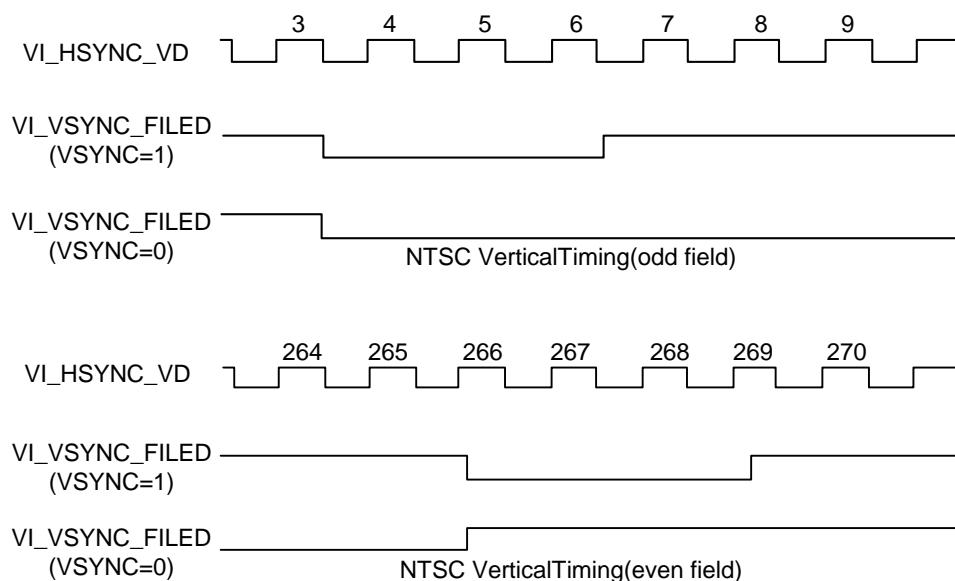
b. 垂直时序

ITU-R BT.601 建议：信号 VSYNC/FIELD 作为垂直同步信号。VSYNC 的脉冲或者 FIELD 的跳变标志奇偶场的开始，VICAP 支持以下 2 种垂直同步方法。

VI 在 NTSC 制式（625 行）和 PAL 制式（525 行）的垂直时序关系图如图 11-12 和图 11-13 所示，其中 VI_HYSNC_VD 为水平同步脉冲，VI_VSYNC_FIELD 在 VSYNC=1 时为垂直同步脉冲；在 VSYNC=0 时为场同步信号。

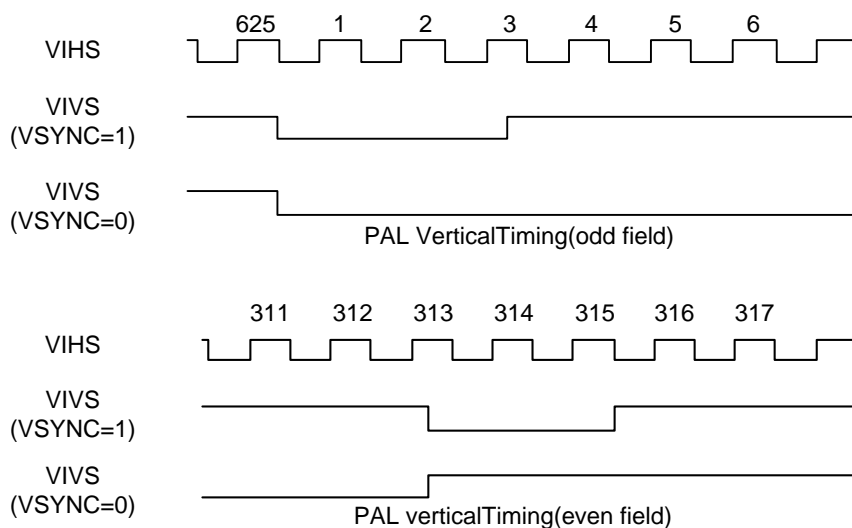


图11-12 NTSC 制式垂直同步时序图



在 NTSC 隔行扫描制式下，第 1 场的垂直同步信号在第 4 行的起始位置变为低电平，持续 3 行低电平后，在第 7 行的起始位置变为高电平。VICAP 接收从第 22 行开始到第 261 行结束的 240 行数据。第 2 场的垂直同步信号在第 266 行的中间位置变为低电平，持续 3 行低电平后，在第 269 行中间位置变为高电平。VICAP 接收从第 285 行开始第 524 行结束的 240 行数据。

图11-13 PAL 制式垂直同步时序图



在 PAL 隔行扫描制式下，第 1 场的垂直同步信号在第 1 行起始位置变为低电平，持续 2.5 行低电平后，在第 3 行的中间位置变为高电平。VICAP 接收从第 24 行开始到第 310 行结束的 288 行数据。第 2 场的垂直同步信号在第 313 行的中间位置变为低电平，



持续 2.5 行低电平后，在第 316 行的起始位置变为高电平。VICAP 接收从第 336 行开始到第 623 行结束的 288 行数据。

上面两种为典型的 BT.601 垂直时序，VICAP 内部支持场开始到场有效行开始之间的行数可配，场有效行的行数可配，垂直同步的极性可配。

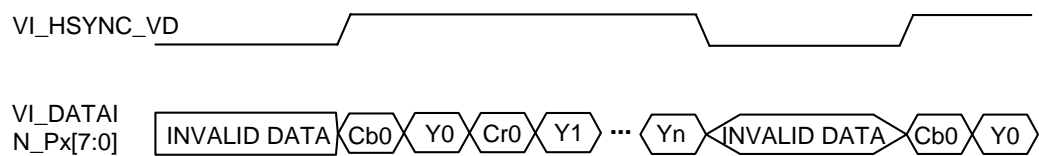
数字摄像头接口时序

VICAP 支持分辨率最大为 2560x1600 的摄像头数据传输。

a. 水平时序

VICAP 接数字摄像头时，VI_HSYNC_VD 表示数据有效信号，数据有效信号极性可配，水平时序如图 11-14 所示。

图11-14 数字摄像头水平时序



b. 垂直时序

VICAP 支持两种垂直时序脉冲方式和行有效方式，如图 11-15 和图 11-16 所示。垂直同步极性可配。

图11-15 数字摄像头垂直时序脉冲方式

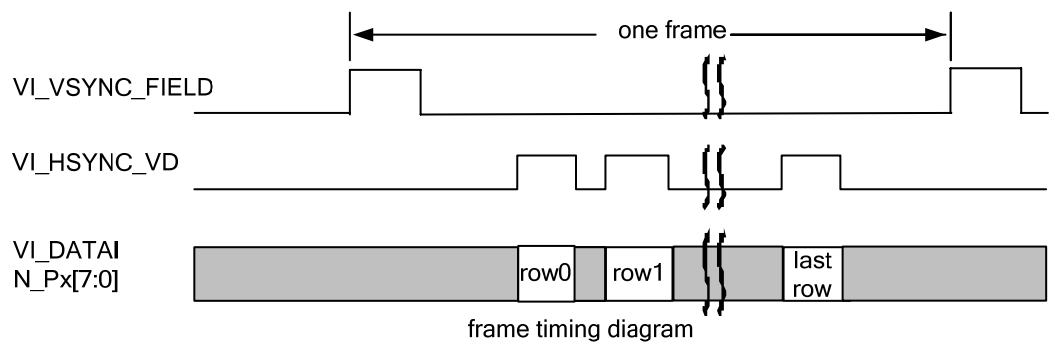
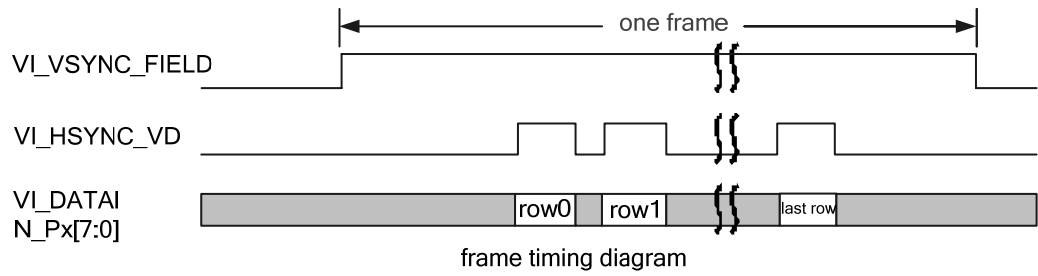




图11-16 数字摄像头垂直时序行有效方式

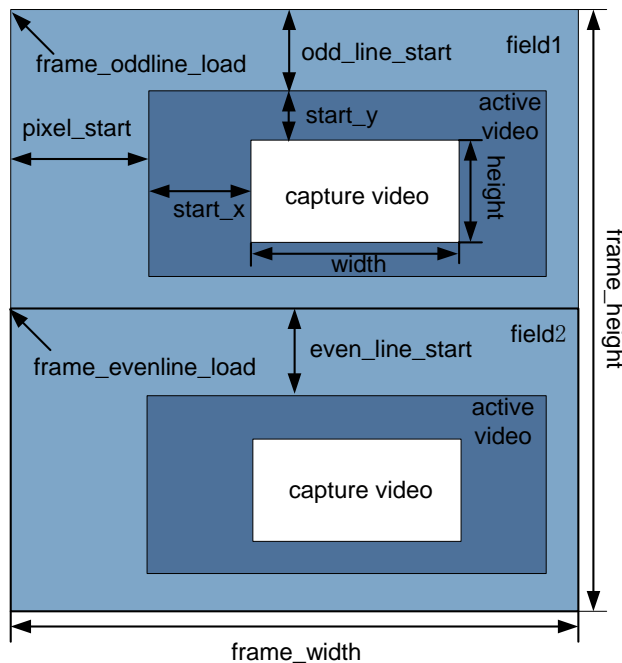


对于 VICAP 内部处理来说，这两种时序相同，VICAP 内部检测到一个上升沿或下降沿，这认为是一帧的开始，然后检测数据有效信号，来判断当前数据是否有效。

11.1.3.3 图象 CROP

有效视频范围如图 11-17 所示。开始于水平消隐和垂直消隐之后。而实际显示的视图区域常常包含在有效视频范围之内，相对有效视频的边界有一点点缩小，其目的是避免边缘效应。

图11-17 有效图像区域与水平垂直消隐关系图



11.1.3.4 图象水平垂直缩小

各通道支持缩放情况如表 11-5 所示。



表11-5 各通道支持缩放情况

通道号	缩放功能	小码流输出	最大分辨率
4n	有, 系数可配	有	1920
4n+1	无	无	960H
4n+2	有, 系数可配	有	1280
4n+3	无	无	960H

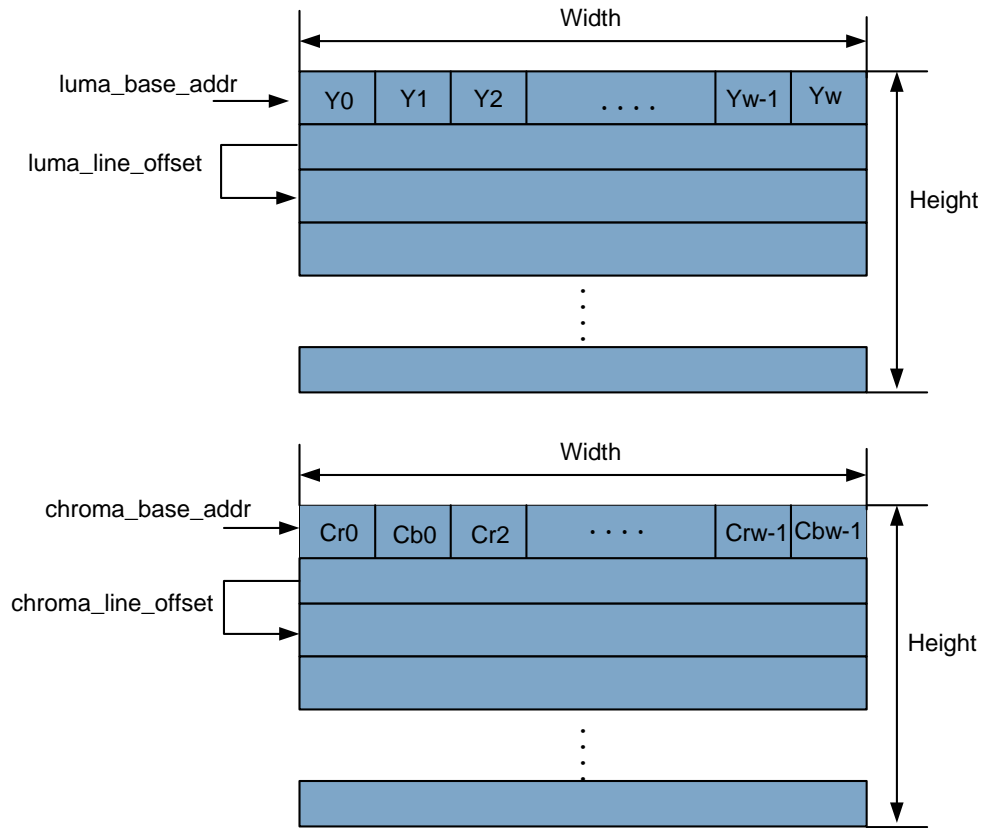
11.1.3.5 图像存储模式

图像存储模式包括:

- semi-planar YcbCr 存储
系统设定了视图区域后, 对读入数据按照 semi-planar 方式存储, 即亮度分量和色度分量分别存储在 DDR 中的亮度存储空间和色度存储空间。
- 在 1 行内, 亮度、色度分量各自连续存储。
- 连续 2 行之间的存储, 可以通过系统定义的行首与行首之间的存储间隔参数 offset 定义。亮度和色度分量在 DDR 中的存储位置由起始地址 base_addr 来指示。VI 捕获的如图 11-18 所示。

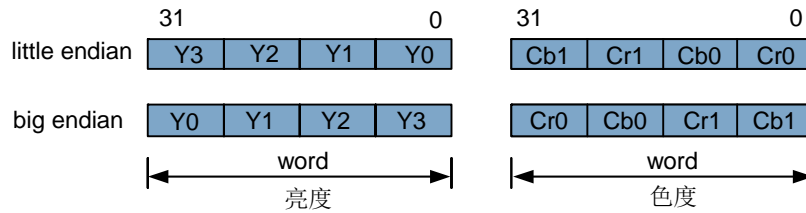


图11-18 YCbCr4:2:2 的存储模式



在 DDR，数据的存储是以 word（32bit）为单位。由 4 个 8bit 像素组成一个 32bit 的 word，在 4 个字节构成一个 word 时有 2 种方式：big endian 和 little endian。图 11-19 是以亮度和色度分量为例来说明 big endian 和 little endian 的存储方式。

图11-19 big endian 和 little endian 图像存储模式



VICAP 只支持采用 little endian 方式存储数据的 DDR。

11.1.3.6 水平镜像和垂直镜像（mirror and flip）

当 sensor 安装出现镜头水平和垂直颠倒的情况下时，可通过 VICAP 的水平和垂直镜像来纠正输出的图像，水平和垂直镜像是通过写入 DDR 地址的反向处理来实现的，但必须确保帧起始的首地址 128bit 对齐。



11.1.4 工作方式

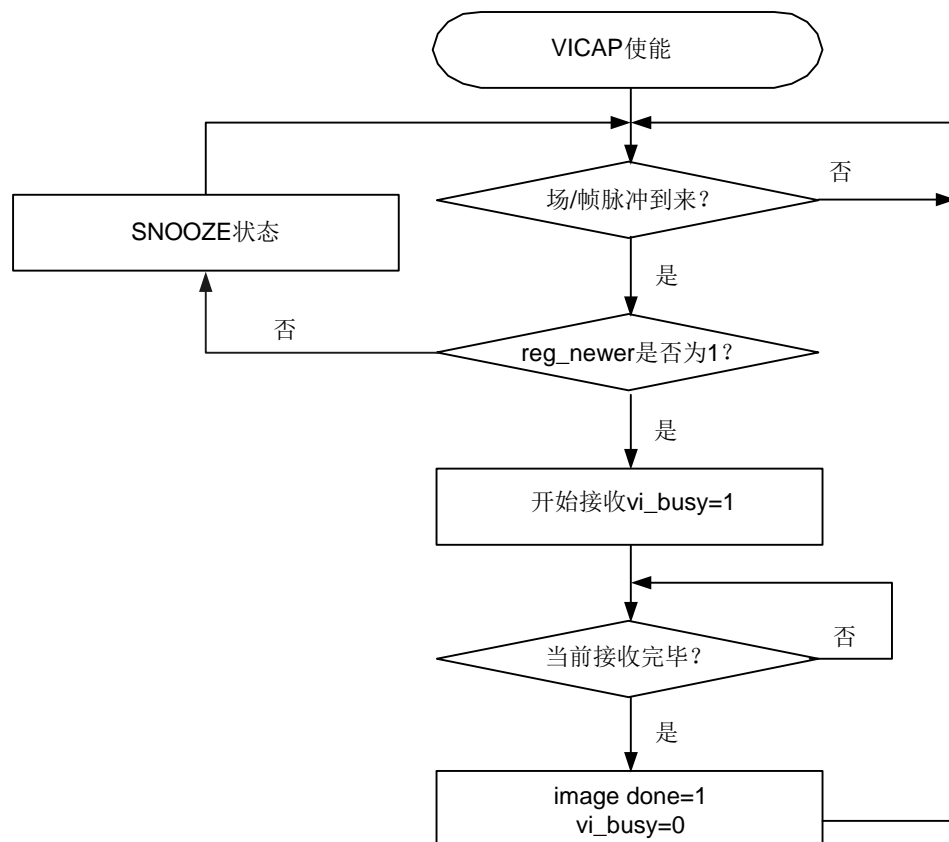
11.1.4.1 VICAP 的 reg_newer 功能

- 在软件使能 VICAP 某个通道之前，软件应该完成以下操作：
 - 完成对 VICAP 的属性寄存器的配置操作。
 - 写 reg_newer 位为“1”，通知 VICAP 模块当前的寄存器已经准备就绪。
- 使能 VICAP 后，VICAP 逻辑开始工作，当一场/帧到来的时候，则有：
 - 如果 reg_newer 为 0，则 VICAP 将不会接收数据，置硬件状态为 SNOOZE，等待下一场/帧的数据的到来。
 - 如果 reg_newer 为 1，则开始接收数据，同时给出寄存器更新中断 (reg_update_int)，并设置硬件状态为 busy。
- 当接收完毕当前数据后，清除硬件 busy 状态。等到下一场/帧到来的时候，则：
 - 如果 reg_newer 为 0，则放弃下一场/帧数据的接收。
 - 如果 reg_newer 为 1，则可以紧接着前一次数据继续接收下一场/帧的数据。

11.1.4.2 硬件工作流程

VICAP 的硬件工作流程如图 11-20 所示。

图11-20 VICAP 的硬件工作流程



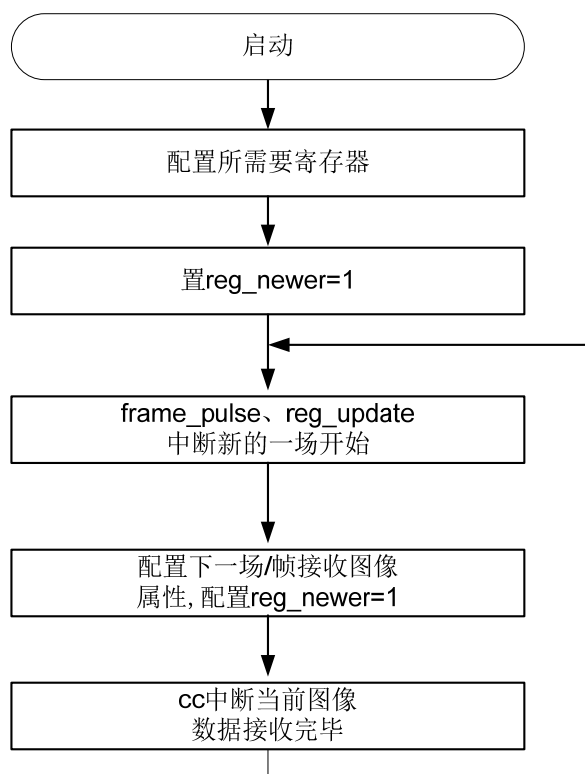


在 BT.656/601 和 digital camera 模式下，每接收完一场/帧规定数据，在下一场的到来时，VICAP 将检测 reg_newer 位。如果 reg_newer 位为 1（表示软件已经更新或者确认 VICAP 的寄存器），VICAP 将自动 load 软件所配置的寄存器值到工作寄存器（工作寄存器软件不可访问），然后将 reg_newer 位清 0，并开始接收下一场/帧数据。否则，只有等到 reg_newer 为 1 且新的一场/帧到来时开始接收数据。

11.1.4.3 软件配置流程

在中断方式下，软件的操作流程如图 11-21 所示。

图11-21 软件操作流程



在使用 BT.656 模式和 digital camera 接口情况下，不需要配置时序寄存器。在 BT.601 模式下，还需要配置时序寄存器，时序寄存器包括垂直同步寄存器和水平同步寄存器。

11.1.1 寄存器概览

VICAP 寄存器空间分配如图 11-22 所示。



注意

由于最多外接 8 个端口，因此，表 11-6 中 PT_ 为前缀的寄存器只存在于偶数通道中，奇数通道使用其前一个通道(偶数)的 PT 配置；0x0000 ~ 0x0200 为 VICAP 系统寄存器。

- 端口 0、1 的数据可连接到通道 0、1、2、3，关系可配；
- 端口 2、3 的数据可连接到通道 4、5、6、7，关系可配。
- 端口 4、5 的数据可连接到通道 8、9、10、11，关系可配。
- 端口 6、7 的数据可连接到通道 12、13、14、15，关系可配。

图11-22 VICAP 寄存器空间分配

0x0000	VICAP系统寄存器		
0x10000	PORT0寄存器	0x10300	CH0寄存器
		0x12300	CH1寄存器
0x14000	PORT1寄存器	0x14300	CH2寄存器
		0x16300	CH3寄存器
0x18000	PORT2寄存器	0x18300	CH4寄存器
		0x1A300	CH5寄存器
0x1C000	PORT3寄存器	0x1C300	CH6寄存器
		0x1E300	CH7寄存器
0x20000	PORT4寄存器	0x20300	CH8寄存器
		0x22300	CH9寄存器
0x24000	PORT5寄存器	0x24300	CH10寄存器
		0x26300	CH11寄存器
0x28000	PORT6寄存器	0x28300	CH12寄存器
		0x2A300	CH13寄存器
0x2C000	PORT7寄存器	0x2C300	CH14寄存器
		0x2E300	CH15寄存器

注：图中以0x标注的地址为偏移地址

寄存器概览如表 11-6 所示。



说明

11.1.2 寄存器描述中的寄存器针对 PORT0 和 CH0。



- 表 11-6 中 PT_XXX 是以 PORT0 为例进行介绍的，PORT1 ~ PORT7 的寄存器与 PORT0 相比，除偏移地址不同外，其他均相同；
- 表 11-6 中 CH_XXX 是以 chn0 为例进行介绍的，CH1 ~ CH15 的寄存器与 CH0 相比，除偏移地址不同外，其他均相同。

表11-6 寄存器概览（基址是 0x2058_0000）

偏移地址	名称	描述	页码
0x0000	WK_MODE	全局工作配置寄存器	11-24
0x0004	AXI_CFG	总线配置寄存器	11-25
0x0008	MIXER0_PRO_CFG0	MASTER0 优先级配置寄存器 0	11-25
0x000C	MIXER0_PRO_CFG1	MASTER0 优先级配置寄存器 1	11-26
0x0010	MIXER1_PRO_CFG0	MASTER1 优先级配置寄存器 0	11-27
0x0014	MIXER1_PRO_CFG1	MASTER1 优先级配置寄存器 1	11-28
0x0018	MASTER_SEL	通道输出选择寄存器	11-29
0x0020	CPC_SEL0	通道端口链接选择寄存器 0	11-33
0x0024	CPC_SEL1	通道端口链接选择寄存器 1	11-34
0x0028	CPC_SEL2	通道端口链接选择寄存器 2	11-34
0x002C	CPC_SEL3	通道端口链接选择寄存器 3	11-35
0x0100	VICAP_INT	中断指示寄存器	11-35
0x0200	APB_TIMEOUT	APB 超时寄存器	11-37
0x10000	PT_INTF_MOD	接口模式寄存器	11-38
0x10004	PT_R_MASK_L	R 分量 mask 寄存器	11-40
0x10008	PT_B_MASK_L	B 分量 mask 寄存器	11-41
0x1000C	PT_G_MASK_L	G 分量 mask 寄存器	11-41
0x10014	PT_R_OFFSET_L	R 分量偏移寄存器	11-41
0x10018	PT_B_OFFSET_L	B 分量偏移寄存器	11-42
0x1001C	PT_G_OFFSET_L	G 分量偏移寄存器	11-42
0x10040	PT_TEST_CFG	接口测试配置寄存器	11-43
0x10044	PT_ID_STATUS	接口 ID 状态寄存器	11-43
0x10300	CH_INTF_CFG0	接口时序寄存器 0	11-43
0x10304	CH_INTF_CFG1	接口时序寄存器 1	11-46



0x10310	CH_INTF_HFB	水平前消隐区宽度寄存器	11-47
0x10314	CH_INTF_HACT	水平有效区宽度寄存器	11-48
0x10318	CH_INTF_HBB	水平后消隐区宽度寄存器	11-48
0x10320	CH_INTF_VFB	垂直前消隐区宽度寄存器	11-49
0x10324	CH_INTF_VACT	垂直有效区宽度寄存器	11-49
0x10328	CH_INTF_VBB	垂直后消隐区宽度寄存器	11-49
0x10330	CH_INTF_VBFB	垂直底场前消隐区宽度寄存器	11-50
0x10334	CH_INTF_VBACT	垂直底场有效区宽度寄存器	11-50
0x10338	CH_INTF_VBBB	垂直底场消隐区宽度寄存器	11-51
0x10360	CH_FSTART_DLY	帧同步延迟寄存器	11-51
0x10400	CH_CTRL	通道控制寄存器	11-51
0x10404	CH_REG_NEWER	采集控制寄存器	11-52
0x10410	CH_CROP_START	CROP 起始位置寄存器	11-52
0x10414	CH_CROP_SIZE	CROP 大小置寄存器	11-53
0x10418	CH_YDES_SIZE	原始码流亮度存储大小寄存器	11-53
0x1041C	CH_CDES_SIZE	原始码流色度存储大小寄存器	11-54
0x10420	CH_YBASE_ADDR	原始码流亮度存储基地址寄存器	11-54
0x10424	CH_CBASE_ADDR	原始码流色度存储基地址寄存器	11-55
0x10428	CH_YLINE_OFFSET	原始码流亮度行偏移寄存器	11-55
0x1042C	CH_CLINE_OFFSET	原始码流色度行偏移寄存器	11-56
0x10430	CH_INT_RAW	通道原始中断寄存器	11-56
0x10434	CH_INT	通道中断寄存器	11-43
0x10438	CH_INT_MASK	通道中断屏蔽寄存器	11-59
0x1043C	CH_STATUS	通道状态寄存器	11-61
0x10500	CH_DITHER_CFG	Dither 配置寄存器	11-63
0x10510	CH_MIR_CTRL	原始码流镜像控制寄存器	11-64
0x10514	CH_SCL_MIR_CTRL	小码流镜像控制寄存器	11-65
0x10600	CH_VBI_CFG	VBI 配置寄存器	11-65
0x10610	CH_ANC0_START	VBI 数据块 0 起始位置寄存器	11-66
0x10614	CH_ANC0_SIZE	VBI 数据块 0 起始大小寄存器	11-67



0x10618	CH_ANC1_START	VBI 数据块 1 起始位置寄存器	11-67
0x1061C	CH_ANC1_SIZE	VBI 数据块 1 起始大小寄存器	11-67
0x10620	CH_ANC0_DATA0	VBI 数据块 0 数据 0 寄存器	11-68
0x10624	CH_ANC0_DATA1	VBI 数据块 0 数据 1 寄存器	11-68
0x10628	CH_ANC0_DATA2	VBI 数据块 0 数据 2 寄存器	11-69
0x1062C	CH_ANC0_DATA3	VBI 数据块 0 数据 3 寄存器	11-69
0x10630	CH_ANC0_DATA4	VBI 数据块 0 数据 4 寄存器	11-69
0x10634	CH_ANC0_DATA5	VBI 数据块 0 数据 5 寄存器	11-70
0x10638	CH_ANC0_DATA6	VBI 数据块 0 数据 6 寄存器	11-70
0x1063C	CH_ANC0_DATA7	VBI 数据块 0 数据 7 寄存器	11-70
0x10640	CH_ANC1_DATA0	VBI 数据块 1 数据 0 寄存器	11-71
0x10644	CH_ANC1_DATA1	VBI 数据块 1 数据 1 寄存器	11-71
0x10648	CH_ANC1_DATA2	VBI 数据块 1 数据 2 寄存器	11-71
0x1064C	CH_ANC1_DATA3	VBI 数据块 1 数据 3 寄存器	11-72
0x10650	CH_ANC1_DATA4	VBI 数据块 1 数据 4 寄存器	11-72
0x10654	CH_ANC1_DATA5	VBI 数据块 1 数据 5 寄存器	11-72
0x10658	CH_ANC1_DATA6	VBI 数据块 1 数据 6 寄存器	11-73
0x1065C	CH_ANC1_DATA7	VBI 数据块 1 数据 7 寄存器	11-73
0x10700	CH_MSC_CFG	块屏蔽配置寄存器	11-73
0x10710	CH_BLOCK0_START	块 0 屏蔽起始位置寄存器	11-74
0x10714	CH_BLOCK1_START	块 1 屏蔽起始位置寄存器	11-75
0x10718	CH_BLOCK2_START	块 2 屏蔽起始位置寄存器	11-75
0x1071C	CH_BLOCK3_START	块 3 屏蔽起始位置寄存器	11-76
0x10720	CH_BLOCK0_SIZE	块 0 屏蔽大小寄存器	11-76
0x10724	CH_BLOCK1_SIZE	块 1 屏蔽大小寄存器	11-77
0x10728	CH_BLOCK2_SIZE	块 2 屏蔽大小寄存器	11-77
0x1072C	CH_BLOCK3_SIZE	块 3 屏蔽大小寄存器	11-78
0x10730	CH_BLOCK0_COLOR	块 0 填充颜色寄存器	11-78
0x10734	CH_BLOCK1_COLOR	块 1 填充颜色寄存器	11-79



0x10738	CH_BLOCK2_COLOR	块 2 填充颜色寄存器	11-79
0x1073C	CH_BLOCK3_COLOR	块 3 填充颜色寄存器	11-80
0x10800	CH_VCDS_CFG	主码流色度垂直下采样配置寄存器	11-80
0x10808	CH_VCDS_COEF	主码流色度垂直下采样系数寄存器	11-81
0x10810	CH_HCRS_CFG	主码流色度重采样配置寄存器	11-81
0x10818	CH_HCRS_COEF0	主码流色度重采样系数寄存器 0	11-82
0x1081C	CH_HCRS_COEF1	主码流色度重采样系数寄存器 1	11-82
0x10900	CH_PRE_LHFIR_SPH	亮度水平缩放预处理寄存器	11-83
0x10904	CH_PRE_CHFIR_SPH	色度水平缩放预处理寄存器	11-84
0x10908	CH_PRE_LVFIR_SPH	亮度垂直缩放预处理寄存器	11-85
0x1090C	CH_PRE_CVFIR_SPH	色度垂直缩放预处理寄存器	11-86
0x10940	CH_SCL_LHFIR_SPH	亮度水平缩放参数配置寄存器	11-87
0x10944	CH_SCL_CHFIR_SPH	色度水平缩放参数配置寄存器	11-88
0x10948	CH_SCL_LHFIR_OFFSET	亮度缩放水平位置偏移寄存器	11-89
0x1094C	CH_SCL_CHFIR_OFFSET	色度缩放水平位置偏移寄存器	11-90
0x10950	CH_SCL_LVFIR_SPH	亮度垂直缩放参数配置寄存器	11-90
0x10954	CH_SCL_CVFIR_SPH	色度垂直缩放参数配置寄存器	11-91
0x10958	CH_SCL_LVFIR_OFFSET	亮度缩放垂直位置偏移寄存器	11-92
0x1095C	CH_SCL_CVFIR_OFFSET	色度缩放垂直位置偏移寄存器	11-93
0x10960	CH_SCL_COEF_UPDATE	缩放系数更新寄存器	11-93
0x10964	CH_SCL_HBLANK_WIDTH	通道水平消隐区宽度寄存器	11-94
0x10968	CH_SCL_COEF_RSEL	缩放系数读取选择寄存器	11-95
0x10A00	CH_SCL_YDES_SIZE	小码流亮度存储大小寄存器	11-96
0x10A04	CH_SCL_CDES_SIZE	小码流色度存储大小寄存器	11-97
0x10A08	CH_SCL_YBASE_ADDR	小码流亮度存储基地址寄存器	11-97
0x10A0C	CH_SCL_CBASE_ADDR	小码流色度存储基地址寄存器	11-97



0x10A10	CH_SCL_YLINE_OFF SET	小码流亮度行偏移寄存器	11-98
0x10A14	CH_SCL_CLINE_OFF SET	小码流色度行偏移寄存器	11-98
0x10F00	CH_PD_CTRL	通道关电控制寄存器	11-99
0x11000	CH_SCL_LHFIR_COE F0	小码流亮度水平缩放系数寄存器 0	11-99
0x11004	CH_SCL_LHFIR_COE F1	小码流亮度水平缩放系数寄存器 1	11-100
0x11008	CH_SCL_LHFIR_COE F2	小码流亮度水平缩放系数寄存器 2	11-101
0x1100C	CH_SCL_LHFIR_COE F3	小码流亮度水平缩放系数寄存器 3	11-101
0x11200	CH_SCL_CHFIR_COE F0	小码流色度水平缩放系数寄存器 0	11-102
0x11204	CH_SCL_CHFIR_COE F1	小码流色度水平缩放系数寄存器 1	11-102
0x11208	CH_SCL_CHFIR_COE F2	小码流色度水平缩放系数寄存器 2	11-103
0x1120C	CH_SCL_CHFIR_COE F3	小码流色度水平缩放系数寄存器 3	11-103
0x11400	CH_SCL_LVFIR_COE F0	小码流亮度垂直缩放系数寄存器 0	11-104
0x11404	CH_SCL_LVFIR_COE F1	小码流亮度垂直缩放系数寄存器 1	11-105
0x11600	CH_SCL_CVFIR_COE F0	小码流色度垂直缩放系数寄存器 0	11-106
0x11604	CH_SCL_CVFIR_COE F1	小码流色度垂直缩放系数寄存器 1	11-106

11.1.2 寄存器描述

WK_MODE

WK_MODE 为全局工作配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000		WK_MODE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								power_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	power_mode	时钟模式。 0: 低功耗关闭; 1: 低功耗打开。						

AXI_CFG

AXI_CFG 为总线配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0004		AXI_CFG		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			m1_otd	reserved			m0_otd
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	-	reserved	保留。					
[19:16]	RW	m1_otd	master1 outstanding 个数。 outstanding 应该大于 0，小于 8。					
[15:4]	-	reserved	保留。					
[3:0]	RW	m0_otd	master0 outstanding 个数。 outstanding 应该大于 0，小于 8。					

MIXER0_PRO_CFG0

MIXER0_PRO_CFG0 为 MASTER0 优先级配置寄存器 0。



Offset Address		Register Name												Total Reset Value																		
0x0008		MIXER0_PRO_CFG0												0x0000_0000																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	ch14_pro	ch13_pro	ch12_pro	reserved	ch10_pro	ch9_pro	ch8_pro	reserved	ch6_pro	ch5_pro	ch4_pro	reserved	ch2_pro	ch1_pro	ch0_pro																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:30]	-		reserved		保留。																											
[29:28]	RW		ch14_pro		通道 7 原始码流优先级寄存器。																											
[27:26]	RW		ch13_pro		通道 6 小码流优先级寄存器。																											
[25:24]	RW		ch12_pro		通道 6 原始码流优先级寄存器。																											
[23:22]	-		reserved		保留。																											
[21:20]	RW		ch10_pro		通道 5 原始码流优先级寄存器。																											
[19:18]	RW		ch9_pro		通道 4 小码流优先级寄存器。																											
[17:16]	RW		ch8_pro		通道 4 原始码流优先级寄存器。																											
[15:14]	-		reserved		保留。																											
[13:12]	RW		ch6_pro		通道 3 原始码流优先级寄存器。																											
[11:10]	RW		ch5_pro		通道 2 小码流优先级寄存器。																											
[9:8]	RW		ch4_pro		通道 2 原始码流优先级寄存器。																											
[7:6]	-		reserved		保留。																											
[5:4]	RW		ch2_pro		通道 1 原始码流优先级寄存器。																											
[3:2]	RW		ch1_pro		通道 0 小码流优先级寄存器。																											
[1:0]	RW		ch0_pro		通道 0 原始码流优先级寄存器。																											

MIXER0_PRO_CFG1

MIXER0_PRO_CFG1 为 MASTER0 优先级配置寄存器 1。



Offset Address		Register Name												Total Reset Value																		
0x000C		MIXER0_PRO_CFG1												0x0000_0000																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	ch30_pro	ch29_pro	ch28_pro	reserved	ch26_pro	ch25_pro	ch24_pro	reserved	ch22_pro	ch21_pro	ch20_pro	reserved	ch18_pro	ch17_pro	ch16_pro	reserved	ch18_pro	ch17_pro	ch16_pro	reserved	ch18_pro	ch17_pro	ch16_pro	reserved	ch18_pro	ch17_pro	ch16_pro	reserved	ch18_pro	ch17_pro	ch16_pro
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:30]	-	reserved	保留。																													
[29:28]	RW	ch30_pro	通道 15 原始码流优先级寄存器。																													
[27:26]	RW	ch29_pro	通道 14 小码流优先级寄存器。																													
[25:24]	RW	ch28_pro	通道 14 原始码流优先级寄存器。																													
[23:22]	-	reserved	保留。																													
[21:20]	RW	ch26_pro	通道 13 原始码流优先级寄存器。																													
[19:18]	RW	ch25_pro	通道 12 小码流优先级寄存器。																													
[17:16]	RW	ch24_pro	通道 12 原始码流优先级寄存器。																													
[15:14]	-	reserved	保留。																													
[13:12]	RW	ch22_pro	通道 11 原始码流优先级寄存器。																													
[11:10]	RW	ch21_pro	通道 10 小码流优先级寄存器。																													
[9:8]	RW	ch20_pro	通道 10 原始码流优先级寄存器。																													
[7:6]	-	reserved	保留。																													
[5:4]	RW	ch18_pro	通道 9 原始码流优先级寄存器。																													
[3:2]	RW	ch17_pro	通道 8 小码流优先级寄存器。																													
[1:0]	RW	ch16_pro	通道 8 原始码流优先级寄存器。																													

MIXER1_PRO_CFG0

MIXER1_PRO_CFG0 为 MASTER1 优先级配置寄存器 0。



Offset Address		Register Name		Total Reset Value												
0x0010		MIXER1_PRO_CFG0		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved	ch14_pro	ch13_pro	ch12_pro	reserved	ch10_pro	ch9_pro	ch8_pro	reserved	ch6_pro	ch5_pro	ch4_pro	reserved	ch2_pro	ch1_pro	ch0_pro
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description													
[31:30]	-	reserved	保留。													
[29:28]	RW	ch14_pro	通道 7 原始码流优先级寄存器。													
[27:26]	RW	ch13_pro	通道 6 小码流优先级寄存器。													
[25:24]	RW	ch12_pro	通道 6 原始码流优先级寄存器。													
[23:22]	-	reserved	保留。													
[21:20]	RW	ch10_pro	通道 5 原始码流优先级寄存器。													
[19:18]	RW	ch9_pro	通道 4 小码流优先级寄存器。													
[17:16]	RW	ch8_pro	通道 4 原始码流优先级寄存器。													
[15:14]	-	reserved	保留。													
[13:12]	RW	ch6_pro	通道 3 原始码流优先级寄存器。													
[11:10]	RW	ch5_pro	通道 2 小码流优先级寄存器。													
[9:8]	RW	ch4_pro	通道 2 原始码流优先级寄存器。													
[7:6]	-	reserved	保留。													
[5:4]	RW	ch2_pro	通道 1 原始码流优先级寄存器。													
[3:2]	RW	ch1_pro	通道 0 小码流优先级寄存器。													
[1:0]	RW	ch0_pro	通道 0 原始码流优先级寄存器。													

MIXER1_PRO_CFG1

MIXER1_PRO_CFG1 为 MASTER1 优先级配置寄存器 1。



Offset Address		Register Name												Total Reset Value																		
0x0014		MIXER1_PRO_CFG1												0x0000_0000																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	ch30_pro	ch29_pro	ch28_pro	reserved	ch26_pro	ch25_pro	ch24_pro	reserved	ch22_pro	ch21_pro	ch20_pro	reserved	ch18_pro	ch17_pro	ch16_pro																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:30]	-	reserved	保留。																													
[29:28]	RW	ch30_pro	通道 15 原始码流优先级寄存器。																													
[27:26]	RW	ch29_pro	通道 14 小码流优先级寄存器。																													
[25:24]	RW	ch28_pro	通道 14 原始码流优先级寄存器。																													
[23:22]	-	reserved	保留。																													
[21:20]	RW	ch26_pro	通道 13 原始码流优先级寄存器。																													
[19:18]	RW	ch25_pro	通道 12 小码流优先级寄存器。																													
[17:16]	RW	ch24_pro	通道 12 原始码流优先级寄存器。																													
[15:14]	-	reserved	保留。																													
[13:12]	RW	ch22_pro	通道 11 原始码流优先级寄存器。																													
[11:10]	RW	ch21_pro	通道 10 小码流优先级寄存器。																													
[9:8]	RW	ch20_pro	通道 10 原始码流优先级寄存器。																													
[7:6]	-	reserved	保留。																													
[5:4]	RW	ch18_pro	通道 9 原始码流优先级寄存器。																													
[3:2]	RW	ch17_pro	通道 8 小码流优先级寄存器。																													
[1:0]	RW	ch16_pro	通道 8 原始码流优先级寄存器。																													

MASTER_SEL

MASTER_SEL 为通道输出选择寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0018		MASTER_SEL		0x0000_0000																												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																								
Name	reserved	ch30_sel	ch29_sel	ch28_sel	reserved	ch26_sel	ch25_sel	ch24_sel	reserved	ch22_sel	ch21_sel	ch20_sel	reserved	ch18_sel	ch17_sel	ch16_sel	reserved	ch14_sel	ch13_sel	ch12_sel	reserved	ch10_sel	ch9_sel	ch8_sel	reserved	ch6_sel	ch5_sel	ch4_sel	reserved	ch2_sel	ch1_sel	ch0_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access		Name		Description																											
[31]	-		reserved		保留。																											
[30]	RW		ch30_sel		通道 15 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[29]	RW		ch29_sel		通道 14 小码流输出选择。 0: 到 M0; 1: 到 M1。																											
[28]	RW		ch28_sel		通道 14 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[27]	-		reserved		保留。																											
[26]	RW		ch26_sel		通道 13 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[25]	RW		ch25_sel		通道 12 小码流输出选择。 0: 到 M0; 1: 到 M1。																											
[24]	RW		ch24_sel		通道 12 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[23]	-		reserved		保留。																											
[22]	RW		ch22_sel		通道 11 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											



Offset Address		Register Name		Total Reset Value																												
0x0018		MASTER_SEL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	ch30_sel	ch29_sel	ch28_sel	reserved	ch26_sel	ch25_sel	ch24_sel	reserved	ch22_sel	ch21_sel	ch20_sel	reserved	ch18_sel	ch17_sel	ch16_sel	reserved	ch14_sel	ch13_sel	ch12_sel	reserved	ch10_sel	ch9_sel	ch8_sel	reserved	ch6_sel	ch5_sel	ch4_sel	reserved	ch2_sel	ch1_sel	ch0_sel
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[21]	RW		ch21_sel		通道 10 小码流输出选择。 0: 到 M0; 1: 到 M1。																											
[20]	RW		ch20_sel		通道 10 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[19]	-		reserved		保留。																											
[18]	RW		ch18_sel		通道 9 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[17]	RW		ch17_sel		通道 8 小码流输出选择。 0: 到 M0; 1: 到 M1。																											
[16]	RW		ch16_sel		通道 8 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[15]	RW		reserved		保留。																											
[14]	RW		ch14_sel		通道 7 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[13]	RW		ch13_sel		通道 6 小码流输出选择。 0: 到 M0; 1: 到 M1。																											
[12]	RW		ch12_sel		通道 6 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											



Offset Address		Register Name		Total Reset Value																												
0x0018		MASTER_SEL		0x0000_0000																												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																								
Name	reserved	ch30_sel	ch29_sel	ch28_sel	reserved	ch26_sel	ch25_sel	ch24_sel	reserved	ch22_sel	ch21_sel	ch20_sel	reserved	ch18_sel	ch17_sel	ch16_sel	reserved	ch14_sel	ch13_sel	ch12_sel	reserved	ch10_sel	ch9_sel	ch8_sel	reserved	ch6_sel	ch5_sel	ch4_sel	reserved	ch2_sel	ch1_sel	ch0_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access		Name		Description																											
[11]	-		reserved		保留。																											
[10]	RW		ch10_sel		通道 5 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[9]	RW		ch9_sel		通道 4 小码流输出选择。 0: 到 M0; 1: 到 M1。																											
[8]	RW		ch8_sel		通道 4 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[7]	RW		reserved		保留。																											
[6]	RW		ch6_sel		通道 3 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[5]	RW		ch5_sel		通道 2 小码流输出选择。 0: 到 M0; 1: 到 M1。																											
[4]	RW		ch4_sel		通道 2 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											
[3]	-		reserved		保留。																											
[2]	RW		ch2_sel		通道 1 原始码流输出选择。 0: 到 M0; 1: 到 M1。																											



Offset Address		Register Name		Total Reset Value				
0x0018		MASTER_SEL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved ch30_sel ch29_sel ch28_sel	reserved ch26_sel ch25_sel ch24_sel	reserved ch22_sel ch21_sel ch20_sel	reserved ch18_sel ch17_sel ch16_sel	reserved ch14_sel ch13_sel ch12_sel	reserved ch10_sel ch9_sel ch8_sel	reserved ch6_sel ch5_sel ch4_sel	reserved ch2_sel ch1_sel ch0_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[1]	RW	ch1_sel	通道 0 小码流输出选择。 0: 到 M0; 1: 到 M1。					
[0]	RW	ch0_sel	通道 0 原始码流输出选择。 0: 到 M0; 1: 到 M1。					

CPC_SEL0

CPC_SEL0 为通道端口链接选择寄存器 0。

Offset Address		Register Name		Total Reset Value						
0x0020		CPC_SEL0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						ch3_sel	ch2_sel	ch1_sel	ch0_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	-	reserved	保留。							
[11:9]	RW	ch3_sel	通道 3 端口选择配置寄存器。							
[8:6]	RW	ch2_sel	通道 2 端口选择配置寄存器。							
[5:3]	RW	ch1_sel	通道 1 端口选择配置寄存器。							
[2:0]	RW	ch0_sel	通道 0 端口选择配置寄存器。							



CPC_SEL1

CPC_SEL1 为通道端口链接选择寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x0024		CPC_SEL1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					ch7_sel	ch6_sel	ch5_sel	ch4_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	保留。						
[11:9]	RW	ch7_sel	通道 7 端口选择配置寄存器。						
[8:6]	RW	ch6_sel	通道 6 端口选择配置寄存器。						
[5:3]	RW	ch5_sel	通道 5 端口选择配置寄存器。						
[2:0]	RW	ch4_sel	通道 4 端口选择配置寄存器。						

CPC_SEL2

CPC_SEL2 为通道端口链接选择寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x0028		CPC_SEL2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					ch11_sel	ch10_sel	ch9_sel	ch8_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	保留。						
[11:9]	RW	ch11_sel	通道 11 端口选择配置寄存器。						
[8:6]	RW	ch10_sel	通道 10 端口选择配置寄存器。						
[5:3]	RW	ch9_sel	通道 9 端口选择配置寄存器。						
[2:0]	RW	ch8_sel	通道 8 端口选择配置寄存器。						



CPC_SEL3

CPC_SEL3 为通道端口链接选择寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x002C		CPC_SEL3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ch15_sel	ch14_sel	ch13_sel	ch12_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	-	reserved	保留。					
[11:9]	RW	ch15_sel	通道 15 端口选择配置寄存器。					
[8:6]	RW	ch14_sel	通道 14 端口选择配置寄存器。					
[5:3]	RW	ch13_sel	通道 13 端口选择配置寄存器。					
[2:0]	RW	ch12_sel	通道 12 端口选择配置寄存器。					

VICAP_INT

VICAP_INT 为中断指示寄存器。

Offset Address		Register Name		Total Reset Value																
0x0100		VICAP_INT		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				int_ch15	int_ch14	int_ch13	int_ch12	int_ch11	int_ch10	int_ch9	int_ch8	int_ch7	int_ch6	int_ch5	int_ch4	int_ch3	int_ch2	int_ch1	int_ch0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																	
[31:16]	-	reserved	保留。																	
[15]	RO	int_ch15	通道 15 中断指示。 0: 无中断; 1: 有中断。																	



Offset Address		Register Name		Total Reset Value																												
0x0100		VICAP_INT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												int_ch15	int_ch14	int_ch13	int_ch12	int_ch11	int_ch10	int_ch9	int_ch8	int_ch7	int_ch6	int_ch5	int_ch4	int_ch3	int_ch2	int_ch1	int_ch0				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[14]	RO	int_ch14	通道 14 中断指示。 0: 无中断; 1: 有中断。																													
[13]	RO	int_ch13	通道 13 中断指示。 0: 无中断; 1: 有中断。																													
[12]	RO	int_ch12	通道 12 中断指示。 0: 无中断; 1: 有中断。																													
[11]	RO	int_ch11	通道 11 中断指示。 0: 无中断; 1: 有中断。																													
[10]	RO	int_ch10	通道 10 中断指示。 0: 无中断; 1: 有中断。																													
[9]	RO	int_ch9	通道 9 中断指示。 0: 无中断; 1: 有中断。																													
[8]	RO	int_ch8	通道 8 中断指示。 0: 无中断; 1: 有中断。																													
[7]	RO	int_ch7	通道 7 中断指示。 0: 无中断; 1: 有中断。																													



Offset Address		Register Name		Total Reset Value																												
0x0100		VICAP_INT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												int_ch15	int_ch14	int_ch13	int_ch12	int_ch11	int_ch10	int_ch9	int_ch8	int_ch7	int_ch6	int_ch5	int_ch4	int_ch3	int_ch2	int_ch1	int_ch0				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[6]	RO	int_ch6	通道 6 中断指示。 0: 无中断; 1: 有中断。																													
[5]	RO	int_ch5	通道 5 中断指示。 0: 无中断; 1: 有中断。																													
[4]	RO	int_ch4	通道 4 中断指示。 0: 无中断; 1: 有中断。																													
[3]	RO	int_ch3	通道 3 中断指示。 0: 无中断; 1: 有中断。																													
[2]	RO	int_ch2	通道 2 中断指示。 0: 无中断; 1: 有中断。																													
[1]	RO	int_ch1	通道 1 中断指示。 0: 无中断; 1: 有中断。																													
[0]	RO	int_ch0	通道 0 中断指示。 0: 无中断; 1: 有中断。																													

APB_TIMEOUT

APB_TIMEOUT 为 APB 超时寄存器。



Offset Address		Register Name		Total Reset Value				
0x0200		APB_TIMEOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	timeout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	timeout	APB 超时寄存器，用于通道没有时钟时，APB 超时后返回 ready。以 APB 的时钟周期为单位。					

PT_INTF_MOD

PT_INTF_MOD 为接口模式寄存器。

Offset Address		Register Name		Total Reset Value														
0x10000		PT_INTF_MOD		0x0000_0000														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0										
Name	reserved		ch3_id_en	ch2_id_en	ch1_id_en	ch0_id_en	ch3_id	ch2_id	ch1_id	ch0_id	port_cap_mode	port_mux_mode	fix_code	reserved	port_mod	raw_mod	clk_mode	port_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description															
[31:24]	-	reserved	保留。															
[23]	RW	ch3_id_en	3 通道 ID 使能。 0: 不检测 ID; 1: 通过 ID 选择数据通路。															
[22]	RW	ch2_id_en	2 通道 ID 使能。 0: 不检测 ID; 1: 通过 ID 选择数据通路。															
[21]	RW	ch1_id_en	1 通道 ID 使能。 0: 不检测 ID; 1: 通过 ID 选择数据通路。															



Offset Address		Register Name		Total Reset Value																
0x10000		PT_INTF_MOD		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				ch3_id_en	ch2_id_en	ch1_id_en	ch0_id_en	ch3_id	ch2_id	ch1_id	ch0_id	port_cap_mode	port_mux_mode	fix_code	reserved	port_mod	raw_mod	clk_mode	port_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																	
[20]	RW	ch0_id_en	0 通道 ID 使能。 0: 不检测 ID; 1: 通过 ID 选择数据通路。																	
[19:18]	RW	ch3_id	3 通道 ID 使能时, 根据 ID 选择数据通路。																	
[17:16]	RW	ch2_id	2 通道 ID 使能时, 根据 ID 选择数据通路。																	
[15:14]	RW	ch1_id	1 通道 ID 使能时, 根据 ID 选择数据通路。																	
[13:12]	RW	ch0_id	0 通道 ID 使能时, 根据 ID 选择数据通路。																	
[11:10]	RW	port_cap_mode	端口模式。 00: BT656 模式; 01: BT601 模式; 10: DC 模式; 11: interleave 模式。																	
[9:8]	RW	port_mux_mode	复合模式。 00: 1 路复合模式; 01: 2 路复合模式; 10: 4 路复合模式; 11: 保留。																	
[7]	RW	fix_code	同步码最高 bit。 0: 同步码最高 bit 为 1; 1: 同步码最高 bit 为 0。																	
[6:5]	-	reserved	保留。																	



Offset Address		Register Name		Total Reset Value																
0x10000		PT_INTF_MOD		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				ch3_id_en	ch2_id_en	ch1_id_en	ch0_id_en	ch3_id	ch2_id	ch1_id	ch0_id	port_cap_mode	port_mux_mode	fix_code	reserved	port_mod	raw_mod	clk_mode	port_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																	
[4:3]	RW	port_mod	端口模式。 0: 单分量输入; 1: 双分量输入; 2: 三分量输入。																	
[2]	RW	raw_mod	raw 数据格式。 0: 单数据通道模式; 1: 双数据通道模式。																	
[1]	RW	clk_mode	时钟模式。 0: 上升沿采样; 1: 下降沿采样。																	
[0]	RW	port_en	端口使能。 0: 关闭; 1: 使能。																	

PT_R_MASK_L

PT_R_MASK_L 为 R 分量 mask 寄存器。

Offset Address		Register Name		Total Reset Value														
0x10004		PT_R_MASK_L		0x0000_0000														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0										
Name	r_mask																	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0										
Bits	Access	Name	Description															
[31:0]	RW	r_mask	R 分量 mask。															



PT_B_MASK_L

PT_B_MASK_L 为 B 分量 mask 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10008		PT_B_MASK_L		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	b_mask							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	b_mask	B 分量 mask。					

PT_G_MASK_L

PT_G_MASK_L 为 G 分量 mask 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1000C		PT_G_MASK_L		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	g_mask							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	g_mask	G 分量 mask。					

PT_R_OFFSET_L

PT_R_OFFSET_L 为 R 分量偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x10014		PT_R_OFFSET_L		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						r_offset		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0x10014		PT_R_OFFSET_L		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						r_offset		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[7:0]	RW	r_offset	R 分量偏移。						

PT_B_OFFSET_L

PT_B_OFFSET_L 为 B 分量偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x10018		PT_B_OFFSET_L		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						b_offset		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	b_offset	B 分量偏移。						

PT_G_OFFSET_L

PT_G_OFFSET_L 为 G 分量偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x1001C		PT_G_OFFSET_L		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						g_offset		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	g_offset	G 分量偏移。						



PT_TEST_CFG

PT_TEST_CFG 为接口测试配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x10040		PT_TEST_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							hsync_sel	cbar_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RW	hsync_sel	测试模式行同步信号选择。						
[0]	RW	cbar_en	color_bar 测试使能。						

PT_ID_STATUS

PT_ID_STATUS 为接口 ID 状态寄存器。

Offset Address		Register Name		Total Reset Value						
0x10044		PT_ID_STATUS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						id3	id2	id1	id0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:6]	RO	id3	通道 3 ID 号码。							
[5:4]	RO	id2	通道 2 ID 号码。							
[3:2]	RO	id1	通道 1 ID 号码。							
[1:0]	RO	id0	通道 0 ID 号码。							

CH_INTF_CFG0

CH_INTF_CFG0 为接口时序寄存器 0。



Offset Address		Register Name		Total Reset Value											
0x10300		CH_INTF_CFG0		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved						vsync_valid_neg	vsync_valid	port_scan_mod	port_mode	vsync_mode	vsync_polar	hsync_mode	hsync_polar	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0							
Bits	Access	Name	Description												
[31:11]	-	reserved	保留。												
[10]	RW	vsync_valid_neg	管脚 VI_P_VSYNC_FIELD 配置信号。 1: 低电平有效。(在 vsync_valid 为 1 时有效); 0: 高电平有效。(在 vsync_valid 为 1 时有效)。												
[9]	RW	vsync_valid	管脚 VI_P_VSYNC_FIELD 配置信号。 1: 垂直有效模式; 0: 垂直脉冲模式。												
[8:7]	RW	port_scan_mod	端口数据输入模式。 Scan_mode[1]=0: 亮度色度复合模式; Scan_mode[1]=1: 亮度色度分离模式。 Scan_mode[0]=0: 隔行输入模式; Scan_mode[0]=1: 逐行输入模式。												
[6:5]	RW	port_mode	端口数据接收模式。 00: BT.656 模式; 01: BT.601 模式; 10: 数字摄像头模式; 其他: 保留。												
[4]	RW	vsync_mode	管脚 VI_P_VSYNC_FIELD 配置信号。 0: 场号(奇场或偶场)或 toggle 模式; BT.601 模式下表示场号; camera 接口情况下表示 toggle 模式。 1: 垂直脉冲模式。												



Offset Address		Register Name		Total Reset Value																												
0x10300		CH_INTF_CFG0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vsync_valid_neg	vsync_valid	port_scan_mod	port_mode	vsync_mode	vsync_polar	hsync_mode	hsync_polar	reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[3]	RW	vsync_polar	管脚 VI_P_VSYNC_FIELD 极性配置。 0: 高电平有效。 在脉冲模式下(port_vsync=1), 正脉冲表示同步脉冲; 在场号模式下(port_vsync=0), 高电平表示偶数场, 低电平表示奇数场; 行有效模式下, 高电平表示行有效。 1: 低电平有效。 在脉冲模式下(port_vsync=1), 负脉冲表示同步脉冲; 在场号模式下(port_vsync=0), 低电平表示偶数场, 高电平表示奇数场; 行有效模式下, 低电平表示行有效。																													
[2]	RW	hsync_mode	管脚 VI_P_HSYNC_VD 配置信号。 0: VI_P_HSYNC_VD 为数据有效信号; 1: VI_P_HSYNC_VD 为水平同步脉冲信号。 说明: 16-bit 同步接口该比特配置为 1。																													
[1]	RW	hsync_polar	管脚 VI_P_HSYNC_VD 极性配置。 0: 高电平有效。 在脉冲模式下(port_hsync=1), 正脉冲表示同步脉冲; 在数据有效模式下(port_hsync=0), 高电平表示数据有效。 1: 低电平有效。 在脉冲模式下(port_hsync=1), 负脉冲表示同步脉冲; 在数据有效模式下(port_hsync=0), 低电平表示数据有效。																													
[0]	-	reserved	保留。																													



CH_INTF_CFG1

CH_INTF_CFG1 为接口时序寄存器 1。

Offset Address		Register Name		Total Reset Value									
0x10304		CH_INTF_CFG1		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved			port_mod	reserved		test_mode_en	raw_seq	yuv_seq	ftc_cfg	ftc_polar	yc_mode_sel	sav_ver_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:16]	-	reserved	保留。										
[15:14]	RW	port_mod	端口模式。 00: 单分量输入; 01: 双分量输入; 10: 三分量输入; 11: 保留。										
[13:9]	-	reserved	保留。										
[8]	RW	test_mode_en	测试使能。										
[7:6]	RW	raw_seq	YUV 输入顺序寄存器。 00: UYVY; 01: VYUY; 10: YUYV; 11: YVYU。										
[5:4]	RW	yuv_seq	YUV 输入顺序寄存器。 00: UYVY; 01: VYUY; 10: YUYV; 11: YVYU。 当为两分量时表示 UV 顺序。 00: VUVU; 01: UVUV; 10: 保留; 11: 保留。										



Offset Address		Register Name		Total Reset Value										
0x10304		CH_INTF_CFG1		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			port_mod	reserved			test_mode_en	raw_seq	yuv_seq	ftc_cfg	ftc_polar	yc_mode_sel	sav_ver_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[3]	RW	ftc_cfg	BT.656 定时基准码最高 bit 配置。 0: 固定为 1; 1: 固定为 0。											
[2]	RW	ftc_polar	BT.656 定时基准码场指示位(F)极性。 0: 1st field:F=0, 2nd field:F=1(标准); 1: 1st field:F=1, 2nd field:F=0(非标准)。											
[1]	RW	yc_mode_sel	当前通道 Y/C 配置。 0: 当前通道为亮度 Y 通道; 1: 当前通道为色度 C 通道。											
[0]	RW	sav_ver_en	SAV(Start of Active Video)/EAV(End of Activevideo)数据校验使能。 0: 不使能校验; 1: 使能校验。											

CH_INTF_HFB

CH_INTF_HFB 为水平前消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x10310		CH_INTF_HFB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留					



Offset Address		Register Name		Total Reset Value				
0x10310		CH_INTF_HFB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hfb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[15:0]	RW	hfb	水平前消隐区宽度					

CH_INTF_HACT

CH_INTF_HACT 为水平有效区宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x10314		CH_INTF_HACT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hact			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	hact	水平有效区宽度。					

CH_INTF_HBB

CH_INTF_HBB 为水平后消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value				
0x10318		CH_INTF_HBB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hbb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	hbb	水平后消隐区宽度。					



CH_INTF_VFB

CH_INTF_VFB 为垂直前消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x10320		CH_INTF_VFB		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	vfb	垂直前消隐区宽度。						

CH_INTF_VACT

CH_INTF_VACT 为垂直有效区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x10324		CH_INTF_VACT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vact				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	vact	垂直有效区宽度。						

CH_INTF_VBB

CH_INTF_VBB 为垂直后消隐区宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x10328		CH_INTF_VBB		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vbb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	vbb	垂直后消隐区宽度。						

CH_INTF_VBFB

CH_INTF_VBFB 为垂直底场前消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x10330		CH_INTF_VBFB		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vbfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	vbfb	垂直底场前消隐区宽度。						

CH_INTF_VBACT

CH_INTF_VBACT 为垂直底场有效区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x10334		CH_INTF_VBACT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vact				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	vact	垂直底场有效区宽度。						



CH_INTF_VBBB

CH_INTF_VBBB 为垂直底场消隐区宽度寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x10338				CH_INTF_VBBB				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vbbb																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:0]	RW	vbbb		垂直底场后消隐区宽度。																											

CH_FSTART_DLY

CH_FSTART_DLY 为帧同步延迟寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x10360				CH_FSTART_DLY				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	reserved		帧同步延迟寄存器。																											

CH_CTRL

CH_CTRL 为通道控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x10400		CH_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							scl_ch_en	ch_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RW	scl_ch_en	小码流使能寄存器。 0: 不使能; 1: 使能。						
[0]	RW	ch_en	原始码流使能寄存器。 0: 不使能; 1: 使能。						

CH_REG_NEWER

CH_REG_NEWER 为采集控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x10404		CH_REG_NEWER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							reg_newer
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	-	reserved	保留。					
[0]	RW	reg_newer	通道更新寄存器，每帧自动清 0。					

CH_CROP_START

CH_CROP_START 为 CROP 起始位置寄存器。



Offset Address		Register Name		Total Reset Value					
0x10410		CH_CROP_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	RW	y_start	开始获取图像的行号。						
[15:12]	-	reserved	保留。						
[11:0]	RW	x_start	开始获取图像的像素号。						

CH_CROP_SIZE

CH_CROP_SIZE 为 CROP 大小置寄存器。

Offset Address		Register Name		Total Reset Value					
0x10414		CH_CROP_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	crop_hgt			reserved	crop_wth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	RW	crop_hgt	获取图像的高度(以行为单位)。						
[15:12]	-	reserved	保留。						
[11:0]	RW	crop_wth	获取图像一行的宽度(以像素为单位)。						

CH_YDES_SIZE

CH_YDES_SIZE 为原始码流亮度存储大小寄存器。



Offset Address		Register Name		Total Reset Value					
0x10418		CH_YDES_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	height			reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RW	reserved	保留。						
[27:16]	RW	height	Y 分量的输出高度(以行为单位)。						
[15:12]	-	reserved	保留。						
[11:0]	RW	width	Y 分量的输出宽度(以像素为单位)。						

CH_CDES_SIZE

CH_CDES_SIZE 为原始码流色度存储大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x1041C		CH_CDES_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	height			reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RW	reserved	保留。						
[27:16]	RW	height	C 分量的输出高度(以行为单位)。						
[15:12]	-	reserved	保留。						
[11:0]	RW	width	C 分量的输出宽度(以像素为单位)。						

CH_YBASE_ADDR

CH_YBASE_ADDR 为原始码流亮度存储基地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x10420		CH_YBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ybase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ybase_addr	原始码流亮度存储基地址。					

CH_CBASE_ADDR

CH_CBASE_ADDR 为原始码流色度存储基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x10424		CH_CBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cbase_addr	原始码流色度存储基地址。					

CH_YLINE_OFFSET

CH_YLINE_OFFSET 为原始码流亮度行偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x10428		CH_YLINE_OFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				y_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	y_stride	图像存储亮度的 stride，以 byte 为单位。					



CH_CLINE_OFFSET

CH_CLINE_OFFSET 为原始码流色度行偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x1042C		CH_CLINE_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				c_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	c_stride	图像存储色度的 stride，以 byte 为单位。						

CH_INT_RAW

CH_INT_RAW 为通道原始中断寄存器。

Offset Address		Register Name		Total Reset Value				
0x10430		CH_INT_RAW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	scl_bus_err scl_buf_ovf scl_cc_int	reserved	bus_err buf_ovf cc_int	reserved	timing_err field_throw	reserved	reg_update fstart
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26]	WC	scl_bus_err	小码流总线错误中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。					
[25]	WC	scl_buf_ovf	小码流内部 FIFO 溢出错误中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。					
[24]	WC	scl_cc_int	小码流获取完毕中断状态，写 1 清零。 0：无原始中断； 1：有原始中断。					



Offset Address		Register Name		Total Reset Value																												
0x10430		CH_INT_RAW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				scl_bus_err	scl_buf_ovf	scl_cc_int	reserved				bus_err	buf_ovf	cc_int	reserved				timing_err	field_throw	reserved				reg_update	fstart						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[23:19]	-	reserved	保留。																													
[18]	WC	bus_err	原始码流总线错误中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[17]	WC	buf_ovf	原始码流内部 FIFO 溢出错误中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[16]	WC	cc_int	原始码流获取完毕中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[15:10]	-	reserved	保留。																													
[9]	WC	timing_err	时序错误中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[8]	WC	field_throw	场/帧丢失中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[7:2]	-	reserved	保留。																													
[1]	WC	reg_update	寄存器更新中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													
[0]	WC	fstart	帧/场起始中断状态，写 1 清零。 0: 无原始中断; 1: 有原始中断。																													



CH_INT

CH_INT 为通道中断寄存器。

Offset Address		Register Name		Total Reset Value																												
0x10434		CH_INT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				scl_bus_err	scl_buf_ovf	scl_cc_int	reserved				bus_err	buf_ovf	cc_int	reserved				timing_err	field_throw	reserved				reg_update	fstart						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:27]	-	reserved	保留。																													
[26]	RO	scl_bus_err	小码流总线错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[25]	RO	scl_buf_ovf	小码流内部 FIFO 溢出错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[24]	RO	scl_cc_int	小码流获取完毕中断状态。 0: 无原始中断; 1: 有原始中断。																													
[23:19]	-	reserved	保留。																													
[18]	RO	bus_err	原始码流总线错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[17]	RO	buf_ovf	原始码流内部 FIFO 溢出错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[16]	RO	cc_int	原始码流获取完毕中断状态。 0: 无原始中断; 1: 有原始中断。																													
[15:10]	-	reserved	保留。																													



Offset Address		Register Name		Total Reset Value												
0x10434		CH_INT		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved			scl_bus_err scl_buf_ovf scl_cc_int	reserved			bus_err buf_ovf cc_int	reserved			timing_err field_throw	reserved			reg_update fstart
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description													
[9]	RO	timing_err	时序错误中断状态。 0: 无原始中断; 1: 有原始中断。													
[8]	RO	field_throw	场/帧丢失中断状态。 0: 无原始中断; 1: 有原始中断。													
[7:2]	-	reserved	保留。													
[1]	RO	reg_update	寄存器更新中断状态。 0: 无原始中断; 1: 有原始中断。													
[0]	RO	fstart	帧/场起始中断状态。 0: 无原始中断; 1: 有原始中断。													

CH_INT_MASK

CH_INT_MASK 为通道中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value				
0x10438		CH_INT_MASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	scl_bus_err_en scl_buf_ovf_en scl_cc_int_en	reserved	bus_err_en buf_ovf_en cc_int_en	reserved	timing_err_en field_throw_en	reserved	reg_update_en fstart_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26]	RW	scl_bus_err_en	小码流总线错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[25]	RW	scl_buf_ovf_en	小码流内部 FIFO 溢出错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[24]	RW	scl_cc_int_en	小码流获取完毕中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[23:19]	-	reserved	保留。					
[18]	RW	bus_err_en	原始码流总线错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[17]	RW	buf_ovf_en	原始码流内部 FIFO 溢出错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[16]	RW	cc_int_en	原始码流获取完毕中断状态使能。 0: 屏蔽中断; 1: 使能中断。					
[15:10]	-	reserved	保留。					



Offset Address		Register Name		Total Reset Value																												
0x10438		CH_INT_MASK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				scl_bus_err_en	scl_buf_ovf_en	scl_cc_int_en	reserved				bus_err_en	buf_ovf_en	cc_int_en	reserved				timing_err_en	field_throw_en	reserved				reg_update_en	fstart_en						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[9]	RW		timing_err_en		时序错误中断状态使能。 0: 屏蔽中断; 1: 使能中断。																											
[8]	RW		field_throw_en		场/帧丢失中断状态使能。 0: 屏蔽中断; 1: 使能中断。																											
[7:2]	-		reserved		保留。																											
[1]	RW		reg_update_en		寄存器更新中断状态使能。 0: 屏蔽中断; 1: 使能中断。																											
[0]	RW		fstart_en		帧/场起始中断状态使能。 0: 屏蔽中断; 1: 使能中断。																											

CH_STATUS

CH_STATUS 为通道状态寄存器。



Offset Address		Register Name		Total Reset Value				
0x1043C		CH_STATUS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	busy bus_err buf_ovf image_done	reserved	scl_busy scl_bus_err scl_buf_ovf scl_image_done	reserved	timing_err field_throw	reserved	field2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	reserved	保留。					
[27]	RO	busy	原始码流工作状态。 0: 空闲; 1: 忙。					
[26]	RO	bus_err	原始码流总线错误。 0: 总线正确; 1: 总线错误。					
[25]	RO	buf_ovf	原始码流内部 buffer 溢出。 0: 未溢出; 1: 溢出。					
[24]	RO	image_done	原始码流获取完毕。 0: 未接受完毕; 1: 接受完毕。					
[23:20]	-	reserved	保留。					
[19]	RO	scl_busy	小码流工作状态。 0: 空闲; 1: 忙。					
[18]	RO	scl_bus_err	小码流总线错误。 0: 总线正确; 1: 总线错误。					
[17]	RO	scl_buf_ovf	小码流内部 buffer 溢出。 0: 未溢出; 1: 溢出。					



Offset Address		Register Name		Total Reset Value				
0x1043C		CH_STATUS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	busy bus_err buf_ovf image_done	reserved	scl_busy scl_bus_err scl_buf_ovf scl_image_done	reserved	timing_err field_throw	reserved	field2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[16]	RO	scl_image_done	小码流获取完毕。 0: 未接受完毕; 1: 接受完毕。					
[15:10]	-	reserved	保留。					
[9]	RO	timing_err	时序错误状态。 0: 时序正确; 1: 时序错误。					
[8]	RO	field_throw	丢失场/帧数据。 0: 未丢失; 1: 丢失。					
[7:1]	-	reserved	保留。					
[0]	RO	field2	奇偶场指示。 0: 奇场; 1: 偶场。					

CH_DITHER_CFG

CH_DITHER_CFG 为 Dither 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x10500		CH_DITHER_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								dither_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	dither_en	dither 使能。 0: 不使能; 1: 使能。						

CH_MIR_CTRL

CH_MIR_CTRL 为原始码流镜像控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x10510		CH_MIR_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							flip_en	mir_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RW	flip_en	垂直反向使能。 0: 不使能; 1: 使能。						
[0]	RW	mir_en	水平反向使能。 0: 不使能; 1: 使能。						



CH_SCL_MIR_CTRL

CH_SCL_MIR_CTRL 为小码流镜像控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x10514		CH_SCL_MIR_CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										flip_en	mir_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:2]	RW	reserved	保留。																													
[1]	RW	flip_en	垂直反向使能。 0: 不使能; 1: 使能。																													
[0]	RW	mir_en	水平反向使能。 0: 不使能; 1: 使能。																													

CH_VBI_CFG

CH_VBI_CFG 为 VBI 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x10600		CH_VBI_CFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										vbi_location	vbi_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:3]	-	reserved	保留																													



Offset Address		Register Name		Total Reset Value					
0x10600		CH_VBI_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							vbi_location	vbi_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:1]	RW	vbi_location	消隐区数据所在的消隐区。 00: 奇场前消隐区; 01: 奇场后消隐区; 10: 偶场前消隐区; 11: 偶场后消隐区。 注意: 在逐行模式下, 只有奇场前消隐。						
[0]	RW	vbi_en	当前数据选择。 0: VBI 不使能; 1: VBI 使能。						

CH_ANC0_START

CH_ANC0_START 为 VBI 数据块 0 起始位置寄存器。

Offset Address		Register Name		Total Reset Value				
0x10610		CH_ANC0_START		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	y_start			reserved	x_start		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27:16]	RW	y_start	亮度通道 VBI 数据块开始行。					
[15:12]	-	reserved	保留。					
[11:0]	RW	x_start	亮度通道 VBI 数据块开始像素坐标。					



CH_ANC0_SIZE

CH_ANC0_SIZE 为 VBI 数据块 0 起始大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x10614		CH_ANC0_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	reserved			reserved	anc_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	-	reserved	保留。						
[15:12]	-	reserved	保留。						
[11:0]	RW	anc_width	亮度通道 VBI 数据块 0 的宽度(固定为 32)。						

CH_ANC1_START

CH_ANC1_START 为 VBI 数据块 1 起始位置寄存器。

Offset Address		Register Name		Total Reset Value					
0x10618		CH_ANC1_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	RW	y_start	色度通道 VBI 数据块开始行。						
[15:12]	-	reserved	保留。						
[11:0]	RW	x_start	色度通道 VBI 数据块开始像素坐标。						

CH_ANC1_SIZE

CH_ANC1_SIZE 为 VBI 数据块 1 起始大小寄存器。



Offset Address		Register Name		Total Reset Value					
0x1061C		CH_ANC1_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	reserved			reserved	anc_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	-	reserved	保留。						
[15:12]	-	reserved	保留。						
[11:0]	RW	anc_width	色度通道 VBI 数据块的宽度(固定为 32)。						

CH_ANC0_DATA0

CH_ANC0_DATA0 为 VBI 数据块 0 数据 0 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10620		CH_ANC0_DATA0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 0 数据 0。					

CH_ANC0_DATA1

CH_ANC0_DATA1 为 VBI 数据块 0 数据 1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10624		CH_ANC0_DATA1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 0 数据 1。					



CH_ANC0_DATA2

CH_ANC0_DATA2 为 VBI 数据块 0 数据 2 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10628		CH_ANC0_DATA2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 0 数据 2。					

CH_ANC0_DATA3

CH_ANC0_DATA3 为 VBI 数据块 0 数据 3 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1062C		CH_ANC0_DATA3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 0 数据 3。					

CH_ANC0_DATA4

CH_ANC0_DATA4 为 VBI 数据块 0 数据 4 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10630		CH_ANC0_DATA4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 0 数据 4。					



CH_ANC0_DATA5

CH_ANC0_DATA5 为 VBI 数据块 0 数据 5 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10634		CH_ANC0_DATA5		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 0 数据 5。					

CH_ANC0_DATA6

CH_ANC0_DATA6 为 VBI 数据块 0 数据 6 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10638		CH_ANC0_DATA6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 0 数据 6。					

CH_ANC0_DATA7

CH_ANC0_DATA7 为 VBI 数据块 0 数据 7 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1063C		CH_ANC0_DATA7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 0 数据 7。					



CH_ANC1_DATA0

CH_ANC1_DATA0 为 VBI 数据块 1 数据 0 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10640		CH_ANC1_DATA0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 1 数据 0。					

CH_ANC1_DATA1

CH_ANC1_DATA1 为 VBI 数据块 1 数据 1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10644		CH_ANC1_DATA1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 1 数据 1。					

CH_ANC1_DATA2

CH_ANC1_DATA2 为 VBI 数据块 1 数据 2 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10648		CH_ANC1_DATA2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 1 数据 2。					



CH_ANC1_DATA3

CH_ANC1_DATA3 为 VBI 数据块 1 数据 3 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1064C		CH_ANC1_DATA3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 1 数据 3。					

CH_ANC1_DATA4

CH_ANC1_DATA4 为 VBI 数据块 1 数据 4 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10650		CH_ANC1_DATA4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 1 数据 4。					

CH_ANC1_DATA5

CH_ANC1_DATA5 为 VBI 数据块 1 数据 5 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10654		CH_ANC1_DATA5		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 1 数据 5。					



CH_ANC1_DATA6

CH_ANC1_DATA6 为 VBI 数据块 1 数据 6 寄存器。

Offset Address		Register Name		Total Reset Value				
0x10658		CH_ANC1_DATA6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 1 数据 6。					

CH_ANC1_DATA7

CH_ANC1_DATA7 为 VBI 数据块 1 数据 7 寄存器。

Offset Address		Register Name		Total Reset Value				
0x1065C		CH_ANC1_DATA7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	anc_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	anc_data	VBI 数据块 1 数据 7。					

CH_MSC_CFG

CH_MSC_CFG 为块屏蔽配置寄存器。



Offset Address		Register Name		Total Reset Value							
0x10700		CH_MSC_CFG		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							msc3_en	msc2_en	msc1_en	msc0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	-	reserved	保留。								
[3]	RW	msc3_en	遮挡块 3 使能寄存器。 0: 不使能; 1: 使能。								
[2]	RW	msc2_en	遮挡块 2 使能寄存器。 0: 不使能; 1: 使能。								
[1]	RW	msc1_en	遮挡块 1 使能寄存器。 0: 不使能; 1: 使能。								
[0]	RW	msc0_en	遮挡块 0 使能寄存器。 0: 不使能; 1: 使能。								

CH_BLOCK0_START

CH_BLOCK0_START 为块 0 屏蔽起始位置寄存器。

Offset Address		Register Name		Total Reset Value				
0x10710		CH_BLOCK0_START		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	y_start			reserved	x_start		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27:16]	RW	y_start	遮挡块 0 垂直起始点。					
[15:12]	-	reserved	保留。					



Offset Address		Register Name		Total Reset Value					
0x10710		CH_BLOCK0_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name		Description					
[11:0]	RW	x_start		遮挡块 0 水平起始点。					

CH_BLOCK1_START

CH_BLOCK1_START 为块 1 屏蔽起始位置寄存器。

Offset Address		Register Name		Total Reset Value					
0x10714		CH_BLOCK1_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name		Description					
[31:28]	-	reserved		保留。					
[27:16]	RW	y_start		遮挡块 1 垂直起始点。					
[15:12]	-	reserved		保留。					
[11:0]	RW	x_start		遮挡块 1 水平起始点。					

CH_BLOCK2_START

CH_BLOCK2_START 为块 2 屏蔽起始位置寄存器。

Offset Address		Register Name		Total Reset Value					
0x10718		CH_BLOCK2_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name		Description					
[31:28]	-	reserved		保留。					



Offset Address		Register Name		Total Reset Value					
0x10718		CH_BLOCK2_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[27:16]	RW	y_start	遮挡块 2 垂直起始点。						
[15:12]	-	reserved	保留。						
[11:0]	RW	x_start	遮挡块 2 水平起始点。						

CH_BLOCK3_START

CH_BLOCK3_START 为块 3 屏蔽起始位置寄存器。

Offset Address		Register Name		Total Reset Value					
0x1071C		CH_BLOCK3_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	y_start			reserved	x_start			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	RW	y_start	遮挡块 3 垂直起始点。						
[15:12]	-	reserved	保留。						
[11:0]	RW	x_start	遮挡块 3 水平起始点。						

CH_BLOCK0_SIZE

CH_BLOCK0_SIZE 为块 0 屏蔽大小寄存器。



Offset Address		Register Name		Total Reset Value				
0x10720		CH_BLOCK0_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	blk_height		reserved	blk_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27:16]	RW	blk_height	遮挡块 0 垂直高度。					
[15:12]	-	reserved	保留。					
[11:0]	RW	blk_width	遮挡块 0 水平宽度。					

CH_BLOCK1_SIZE

CH_BLOCK1_SIZE 为块 1 屏蔽大小寄存器。

Offset Address		Register Name		Total Reset Value				
0x10724		CH_BLOCK1_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	blk_height		reserved	blk_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27:16]	RW	blk_height	遮挡块 1 垂直高度。					
[15:12]	-	reserved	保留。					
[11:0]	RW	blk_width	遮挡块 1 水平宽度。					

CH_BLOCK2_SIZE

CH_BLOCK2_SIZE 为块 2 屏蔽大小寄存器。



Offset Address		Register Name		Total Reset Value					
0x10728		CH_BLOCK2_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	blk_height			reserved	blk_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	RW	blk_height	遮挡块 2 垂直高度。						
[15:12]	-	reserved	保留。						
[11:0]	RW	blk_width	遮挡块 2 水平宽度。						

CH_BLOCK3_SIZE

CH_BLOCK3_SIZE 为块 3 屏蔽大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x1072C		CH_BLOCK3_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	blk_height			reserved	blk_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	RW	blk_height	遮挡块 3 垂直高度。						
[15:12]	-	reserved	保留。						
[11:0]	RW	blk_width	遮挡块 3 水平宽度。						

CH_BLOCK0_COLOR

CH_BLOCK0_COLOR 为块 0 填充颜色寄存器。



Offset Address		Register Name		Total Reset Value					
0x10730		CH_BLOCK0_COLOR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		blk_cr	blk_cb		blc_y			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	blk_cr	遮挡块 0 填充色 Cr 分量。						
[15:8]	RW	blk_cb	遮挡块 0 填充色 Cb 分量。						
[7:0]	RW	blc_y	遮挡块 0 填充色 Y 分量。						

CH_BLOCK1_COLOR

CH_BLOCK1_COLOR 为块 1 填充颜色寄存器。

Offset Address		Register Name		Total Reset Value					
0x10734		CH_BLOCK1_COLOR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		blk_cr	blk_cb		blc_y			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	blk_cr	遮挡块 1 填充色 Cr 分量。						
[15:8]	RW	blk_cb	遮挡块 1 填充色 Cb 分量。						
[7:0]	RW	blc_y	遮挡块 1 填充色 Y 分量。						

CH_BLOCK2_COLOR

CH_BLOCK2_COLOR 为块 2 填充颜色寄存器。



Offset Address		Register Name		Total Reset Value				
0x10738		CH_BLOCK2_COLOR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		blk_cr	blk_cb		blc_y		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	-	reserved	保留。					
[23:16]	RW	blk_cr	遮挡块 2 填充色 Cr 分量。					
[15:8]	RW	blk_cb	遮挡块 2 填充色 Cb 分量。					
[7:0]	RW	blc_y	遮挡块 2 填充色 Y 分量。					

CH_BLOCK3_COLOR

CH_BLOCK3_COLOR 为块 3 填充颜色寄存器。

Offset Address		Register Name		Total Reset Value				
0x1073C		CH_BLOCK3_COLOR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		blk_cr	blk_cb		blc_y		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	-	reserved	保留。					
[23:16]	RW	blk_cr	遮挡块 3 填充色 Cr 分量。					
[15:8]	RW	blk_cb	遮挡块 3 填充色 Cb 分量。					
[7:0]	RW	blc_y	遮挡块 3 填充色 Y 分量。					

CH_VCDS_CFG

CH_VCDS_CFG 为主码流色度垂直下采样配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x10800		CH_VCDS_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cds_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	cds_en	下采样使能。 0: 下采样关闭; 1: 下采样使能。						

CH_VCDS_COEF

CH_VCDS_COEF 为主码流色度垂直下采样系数寄存器。

Offset Address		Register Name		Total Reset Value				
0x10808		CH_VCDS_COEF		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			coef1	reserved			coef0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:21]	-	reserved	保留。					
[20:16]	RW	coef1	下采样系数 1。					
[15:5]	-	reserved	保留。					
[4:0]	RW	coef0	下采样系数 0。					

CH_HCRS_CFG

CH_HCRS_CFG 为主码流色度重采样配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x10810		CH_HCRS_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								hcrs_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	hcrs_en	水平重采样使能。 0: 关闭; 1: 使能。						

CH_HCRS_COEF0

CH_HCRS_COEF0 为主码流色度重采样系数寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x10818		CH_HCRS_COEF0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef1		reserved		coef0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:26]	-	reserved	保留。					
[25:16]	RW	coef1	重采样系数 1, 有符号整数。					
[15:10]	-	reserved	保留。					
[9:0]	RW	coef0	重采样系数 0, 有符号整数。					

CH_HCRS_COEF1

CH_HCRS_COEF1 为主码流色度重采样系数寄存器 1。



Offset Address		Register Name		Total Reset Value					
0x1081C		CH_HCRS_COEF1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef3		reserved		coef2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	coef3	重采样系数 3，有符号整数。						
[15:10]	-	reserved	保留。						
[9:0]	RW	coef2	重采样系数 2，有符号整数。						

CH_PRE_LHFIR_SPH

CH_PRE_LHFIR_SPH 为亮度水平缩放预处理寄存器。

Offset Address		Register Name		Total Reset Value								
0x10900		CH_PRE_LHFIR_SPH		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved					hlfir_pre_coef1		reserved	hlfir_pre_coef0		reserved	hlfir_pre_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description									
[31:13]	-	reserved	保留。									
[12:8]	RW	hlfir_pre_coef1	亮度水平缩放预处理系数 1。									
[7]	-	reserved	保留。									
[6:2]	RW	hlfir_pre_coef0	亮度水平缩放预处理系数 0。 注意：系数 0 和系数 1 的和为 32。									
[1]	-	reserved	保留。									



Offset Address		Register Name		Total Reset Value							
0x10900		CH_PRE_LHFIR_SPH		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				hlfir_pre_coef1		reserved	hlfir_pre_coef0		reserved	hlfir_pre_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[0]	RW	hlfir_pre_mode	亮度水平缩放预处理模式。 0: 不进行亮度水平缩放预处理； 1: 进行亮度水平 1/2 缩放预处理。								

CH_PRE_CHFIR_SPH

CH_PRE_CHFIR_SPH 为色度水平缩放预处理寄存器。

Offset Address		Register Name		Total Reset Value							
0x10904		CH_PRE_CHFIR_SPH		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				hchfir_pre_coef1		reserved	hchfir_pre_coef0		reserved	hchfir_pre_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:13]	-	reserved	保留。								
[12:8]	RW	hchfir_pre_coef1	色度水平缩放预处理系数 1。								
[7]	-	reserved	保留。								
[6:2]	RW	hchfir_pre_coef0	色度水平缩放预处理系数 0。 注意：系数 0 和系数 1 的和为 32。								



Offset Address		Register Name		Total Reset Value																												
0x10904		CH_PRE_CHFIR_SPH		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hchfir_pre_coef1				reserved	hchfir_pre_coef0				reserved	reserved	hchfir_pre_mode								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[1]	-	reserved	保留。																													
[0]	RW	hchfir_pre_mode	色度水平缩放预处理模式。 0: 不进行水平色度缩放预处理； 1: 进行水平色度 1/2 缩放预处理。																													

CH_PRE_LVFIR_SPH

CH_PRE_LVFIR_SPH 为亮度垂直缩放预处理寄存器。

Offset Address		Register Name		Total Reset Value																												
0x10908		CH_PRE_LVFIR_SPH		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vlfir_pre_coef1				reserved	vlfir_pre_coef0				reserved	vlfir_pre_mode									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:13]	-	reserved	保留。																													
[12:8]	RW	vlfir_pre_coef1	亮度垂直缩放预处理模式系数 1。																													
[7]	-	reserved	保留。																													



Offset Address		Register Name		Total Reset Value							
0x10908		CH_PRE_LVFIR_SPH		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				vlfir_pre_coef1		reserved	vlfir_pre_coef0		reserved	vlfir_pre_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[6:2]	RW	vlfir_pre_coef0	亮度垂直缩放预处理模式系数 0。 注意：系数 0 和系数 1 的和为 32。								
[1]	-	reserved	保留。								
[0]	RW	vlfir_pre_mode	亮度垂直缩放预处理模式。 0：不进行垂直色度缩放预处理； 1：进行亮度垂直 1/2 缩放预处理。								

CH_PRE_CVFIR_SPH

CH_PRE_CVFIR_SPH 为色度垂直缩放预处理寄存器。

Offset Address		Register Name		Total Reset Value							
0x1090C		CH_PRE_CVFIR_SPH		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved		vchfir_pre_coef3	reserved	vchfir_pre_coef2	reserved	vchfir_pre_coef1	reserved	vchfir_pre_coef0	vchfir_pre_mode	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:25]	-	reserved	保留。								
[24:20]	RW	vchfir_pre_coef3	色度垂直缩放预处理系数 3。								



Offset Address		Register Name		Total Reset Value						
0x1090C		CH_PRE_CVFIR_SPH		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved		vchfir_pre_coef3	reserved	vchfir_pre_coef2	reserved	vchfir_pre_coef1	reserved	vchfir_pre_coef0	vchfir_pre_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[19]	-	reserved	保留。							
[18:14]	RW	vchfir_pre_coef2	色度垂直缩放预处理系数 2。							
[13]	-	reserved	保留。							
[12:8]	RW	vchfir_pre_coef1	色度垂直缩放预处理系数 1。							
[7]	-	reserved	保留。							
[6:2]	RW	vchfir_pre_coef0	色度垂直缩放预处理系数 0。 注意：vchfir_pre_mode 为 01 时，系数 0 和系数 1 的和为 32；vchfir_pre_mode 为 11 时，系数 0、系数 1、系数 2、系数 3 的和为 32。							
[1:0]	RW	vchfir_pre_mode	色度垂直缩放预处理模式。 00：不进行色度垂直缩放预处理； 01：进行色度垂直 1/2 缩放预处理； 10：保留； 11：进行色度垂直 1/4 缩放预处理。							

CH_SCL_LHFIR_SPH

CH_SCL_LHFIR_SPH 为亮度水平缩放参数配置寄存器。



	Offset Address			Register Name												Total Reset Value																
	0x10940			CH_SCL_LHFIR_SPH												0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hlmsc_en	hlmid_en	hlfir_en	reserved												hlratio																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31]	RW	hlmsc_en		水平亮度缩放使能。 0: 禁止; 1: 使能。																											
	[30]	RW	hlmid_en		水平亮度缩放中值滤波使能。 0: 禁止; 1: 使能。																											
	[29]	RW	hlfir_en		水平亮度缩放模式。 0: 滤波模式(滤波使能); 1: 复制模式(滤波不使能, 即抽点方式)。 注意: 该比特建议配置成 0, 复制模式用于调试。																											
	[28:16]	-	reserved		保留。																											
	[15:0]	RW	hlratio		亮度水平缩放倍数, 输出宽度/输入宽度, 若水平预处理使能, 输入宽度使用预处理后的宽度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																											

CH_SCL_CHFIR_SPH

CH_SCL_CHFIR_SPH 为色度水平缩放参数配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x10944		CH_SCL_CHFIR_SPH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hchmsc_en hchmid_en hchfir_en	reserved			hchratio				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	hchmsc_en	水平色度缩放使能。 0: 禁止; 1: 使能。						
[30]	RW	hchmid_en	水平色度缩放中值滤波使能。 0: 禁止; 1: 使能。						
[29]	RW	hchfir_en	水平色度缩放模式。 0: 滤波模式(滤波使能); 1: 复制模式(滤波不使能, 即抽点方式)。 注意: 该比特建议配置成 0, 复制模式用于调试。						
[28:16]	-	reserved	保留。						
[15:0]	RW	hchratio	色度水平缩放倍数, 输出宽度/输入宽度, 若水平预处理使能, 输入宽度使用预处理后的宽度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位						

CH_SCL_LHFIR_OFFSET

CH_SCL_LHFIR_OFFSET 为亮度缩放水平位置偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x10948		CH_SCL_LHFIR_OFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			hluma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	-	reserved	保留。					



Offset Address		Register Name		Total Reset Value					
0x10948		CH_SCL_LHFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hluma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[16:0]	RW	hluma_offset	水平亮度起始位置偏移, (s,5,12)格式, 即 1 比特符号位, 4 比特整数位, 12 比特小数, 补码表示, 范围-6~15。						

CH_SCL_CHFIR_OFFSET

CH_SCL_CHFIR_OFFSET 为色度缩放水平位置偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x1094C		CH_SCL_CHFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	hchroma_offset	水平色度起始位置偏移, (s,5,12)格式, 即 1 比特符号位, 4 比特整数位, 12 比特小数, 补码表示, 范围-6~15。						

CH_SCL_LVFIR_SPH

CH_SCL_LVFIR_SPH 为亮度垂直缩放参数配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x10950		CH_SCL_LVFIR_SPH		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	v/msc_en	v/mid_en	v/fir_en	reserved								v/ratio																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		v/msc_en		垂直亮度缩放使能。 0: 禁止; 1: 使能。																											
[30]	RW		v/mid_en		垂直亮度缩放中值滤波使能。 0: 禁止; 1: 使能。																											
[29]	RW		v/fir_en		垂直亮度缩放模式。 0: 滤波模式(滤波使能); 1: 复制模式(滤波不使能, 即抽行方式)。 注意: 该比特建议配置成 0, 复制模式用于调试。																											
[28:16]	-		reserved		保留。																											
[15:0]	RW		v/ratio		亮度垂直缩放倍数, 输出高度/输入高度, 若垂直预处理使能, 输入高度使用预处理后的高度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																											

CH_SCL_CVFIR_SPH

CH_SCL_CVFIR_SPH 为色度垂直缩放参数配置寄存器。



Offset Address		Register Name		Total Reset Value																													
0x10954		CH_SCL_CVFIR_SPH		0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	vchmsc_en			vchmid_en			vchfir_en			reserved								vchratio															
Reset	0			0			0			0			0			0			0			0			0			0			0		
Bits	[31]			[30]			[29]			[28:16]								[15:0]															
Access	RW			RW			RW			-								RW															
Name	vchmsc_en			vchmid_en			vchfir_en			reserved								vchratio															
Description	垂直色度缩放使能。 0: 禁止; 1: 使能。			垂直色度缩放中值滤波使能。 0: 禁止; 1: 使能。			垂直色度缩放模式。 0: 滤波模式(滤波使能); 1: 复制模式(滤波不使能, 即抽行方式)。 注意: 该比特建议配置成 0, 复制模式用于调试。			保留。								色度垂直缩放倍数, 输出高度/输入高度, 若垂直预处理使能, 输入高度使用预处理后的高度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。															

CH_SCL_LVFIR_OFFSET

CH_SCL_LVFIR_OFFSET 为亮度缩放垂直位置偏移寄存器。

Offset Address		Register Name		Total Reset Value																													
0x10958		CH_SCL_LVFIR_OFFSET		0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																vluma_offset																
Reset	0			0			0			0			0			0			0			0			0			0			0		
Bits	[31:17]																																
Access	-																																
Name	reserved																																
Description	保留。																																



Offset Address		Register Name		Total Reset Value					
0x10958		CH_SCL_LVFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vluma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[16:0]	RW	vluma_offset	垂直亮度起始位置偏移, (s,5,12)格式, 即 1 比特符号位, 4 比特整数位, 12 比特小数, 补码表示, 范围-6~15。						

CH_SCL_CVFIR_OFFSET

CH_SCL_CVFIR_OFFSET 为色度缩放垂直位置偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x1095C		CH_SCL_CVFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	vchroma_offset	垂直色度起始位置偏移, (s,5,12)格式, 即 1 比特符号位, 4 比特整数位, 12 比特小数, 补码表示, 范围-6~15。						

CH_SCL_COEF_UPDATE

CH_SCL_COEF_UPDATE 为缩放系数更新寄存器。



Offset Address		Register Name		Total Reset Value							
0x10960		CH_SCL_COEF_UPDATE		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							cvcoef_update	lvcoef_update	chcoef_update	lhcoef_update
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	-	reserved	保留。								
[3]	WO	cvcoef_update	垂直色度缩放系数更新使能。 0: 不更新; 1: 更新(更新后该比特自动清 0)。								
[2]	WO	lvcoef_update	垂直亮度缩放系数更新使能。 0: 不更新; 1: 更新(更新后该比特自动清 0)。								
[1]	WO	chcoef_update	水平色度缩放系数更新使能。 0: 不更新; 1: 更新(更新后该比特自动清 0)。								
[0]	WO	lhcoef_update	水平亮度缩放系数更新使能。 0: 不更新; 1: 更新(更新后该比特自动清 0)。								

CH_SCL_HBLANK_WIDTH

CH_SCL_HBLANK_WIDTH 为通道水平消隐区宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x10964		CH_SCL_HBLANK_WIDTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hblank_width				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hblank_width	水平消隐区宽度，总线时钟为单位；垂直缩放使能时，需要配置该寄存器，配置方法： (Tline - out_width x Tbus)/Tbus; Tline 为一行的时间，Tbus 总线时钟周期						

CH_SCL_COEF_RSEL

CH_SCL_COEF_RSEL 为缩放系数读取选择寄存器。

Offset Address		Register Name		Total Reset Value						
0x10968		CH_SCL_COEF_RSEL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						cvcoef_read_sel	lvcoef_read_sel	chcoef_read_sel	lhcoef_read_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:4]	-	reserved	保留。							
[3]	RW	cvcoef_read_sel	垂直色度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。							
[2]	RW	lvcoef_read_sel	垂直亮度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。							



Offset Address		Register Name		Total Reset Value							
0x10968		CH_SCL_COEF_RSEL		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							cvcoef_read_sel	lvcoef_read_sel	chcoef_read_sel	lhcoef_read_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[1]	RW	chcoef_read_sel	水平色度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。								
[0]	RW	lhcoef_read_sel	水平亮度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。								

CH_SCL_YDES_SIZE

CH_SCL_YDES_SIZE 为小码流亮度存储大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x10A00		CH_SCL_YDES_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	height			reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	RW	height	Y 分量的输出高度(以行为单位)。						
[15:12]	-	reserved	保留。						
[11:0]	RW	width	Y 分量的输出宽度(以像素为单位)。						



CH_SCL_CDES_SIZE

CH_SCL_CDES_SIZE 为小码流色度存储大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x10A04		CH_SCL_CDES_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	height			reserved	width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	RW	height	Y 分量的输出高度(以行为单位)。						
[15:12]	-	reserved	保留。						
[11:0]	RW	width	Y 分量的输出宽度(以像素为单位)。						

CH_SCL_YBASE_ADDR

CH_SCL_YBASE_ADDR 为小码流亮度存储基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x10A08		CH_SCL_YBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ybase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ybase_addr	小码流亮度存储基地址。					

CH_SCL_CBASE_ADDR

CH_SCL_CBASE_ADDR 为小码流色度存储基地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x10A0C		CH_SCL_CBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cbase_addr	小码流色度存储基地址。					

CH_SCL_YLINE_OFFSET

CH_SCL_YLINE_OFFSET 为小码流亮度行偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x10A10		CH_SCL_YLINE_OFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				y_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	y_stride	图像存储亮度的 stride, 以 byte 的为单位, 128bit 对齐。					

CH_SCL_CLINE_OFFSET

CH_SCL_CLINE_OFFSET 为小码流色度行偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x10A14		CH_SCL_CLINE_OFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				c_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	c_stride	图像存储色度的 stride, 以 byte 的为单位, 128bit 对齐。					



CH_PD_CTRL

CH_PD_CTRL 为通道关电控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x10F00				CH_PD_CTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																timer				retn_mode	pd_mode										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:10]	-		reserved		保留。																											
[9:2]	RW		timer		跳转计数器。																											
[1]	RW		retn_mode		retenion mode。																											
[0]	RW		pd_mode		power down mode。																											

CH_SCL_LHFIR_COEF0

CH_SCL_LHFIR_COEF0 为小码流亮度水平缩放系数寄存器 0。

	Offset Address				Register Name				Total Reset Value																							
	0x11000				CH_SCL_LHFIR_COEF0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	hl_coef2							hl_coef1							hl_coef0																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:30]	-		reserved		保留。																											
[29:20]	RW		hl_coef2		水平亮度缩放滤波系数 2。																											
[19:10]	RW		hl_coef1		水平亮度缩放滤波系数 1。																											



Offset Address		Register Name		Total Reset Value					
0x11000		CH_SCL_LHFIR_COEF0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	hl_coef2		hl_coef1			hl_coef0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[9:0]	RW	hl_coef0	水平亮度缩放滤波系数 0。 水平缩放为 12 阶，32 相位；每个相位对应的 12 个系数的系数和为 512，系数具有对称关系，因此只需配置 0~16 相位系数。 相位 0 对应的 12 个系数地址为 0x11000~0x1100C； 相位 1 对应的 12 个系数地址为 0x11010~0x1101C； 以此类推，相位 15 对应的 12 个系数地址为 0x110F0~0x110FC，相位 16 对应的 12 个系数地址为 0x11100~0x1110C。					

CH_SCL_LHFIR_COEF1

CH_SCL_LHFIR_COEF1 为小码流亮度水平缩放系数寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x11004		CH_SCL_LHFIR_COEF1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	hl_coef5		hl_coef4			hl_coef3		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[31:30]	-	reserved	保留。					
	[29:20]	RW	hl_coef5	水平亮度缩放滤波系数 5。					
	[19:10]	RW	hl_coef4	水平亮度缩放滤波系数 4。					
	[9:0]	RW	hl_coef3	水平亮度缩放滤波系数 3。					



CH_SCL_LHFIR_COEF2

CH_SCL_LHFIR_COEF2 为小码流亮度水平缩放系数寄存器 2。

Offset Address		Register Name		Total Reset Value																												
0x11008		CH_SCL_LHFIR_COEF2		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				hl_coef8								hl_coef7								hl_coef6											
Reset	0 0 0 0				0 0 0 0								0 0 0 0								0 0 0 0											
Bits	Access	Name		Description																												
[31:30]	-	reserved		保留。																												
[29:20]	RW	hl_coef8		水平亮度缩放滤波系数 8。																												
[19:10]	RW	hl_coef7		水平亮度缩放滤波系数 7。																												
[9:0]	RW	hl_coef6		水平亮度缩放滤波系数 6。																												

CH_SCL_LHFIR_COEF3

CH_SCL_LHFIR_COEF3 为小码流亮度水平缩放系数寄存器 3。

Offset Address		Register Name		Total Reset Value																												
0x1100C		CH_SCL_LHFIR_COEF3		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				hl_coef11								hl_coef10								hl_coef9											
Reset	0 0 0 0				0 0 0 0								0 0 0 0								0 0 0 0											
Bits	Access	Name		Description																												
[31:30]	-	reserved		保留。																												
[29:20]	RW	hl_coef11		水平亮度缩放滤波系数 11。																												
[19:10]	RW	hl_coef10		水平亮度缩放滤波系数 10。																												
[9:0]	RW	hl_coef9		水平亮度缩放滤波系数 9。																												



CH_SCL_CHFIR_COEF0

CH_SCL_CHFIR_COEF0 为小码流色度水平缩放系数寄存器 0。

Offset Address		Register Name		Total Reset Value																												
0x11200		CH_SCL_CHFIR_COEF0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				hch_coef2								hch_coef1								hch_coef0											
Reset	0 0 0 0				0 0 0 0								0 0 0 0								0 0 0 0											
Bits	Access	Name		Description																												
[31:30]	-	reserved		保留。																												
[29:20]	RW	hch_coef2		水平色度缩放滤波系数 2。																												
[19:10]	RW	hch_coef1		水平色度缩放滤波系数 1。																												
[9:0]	RW	hch_coef0		水平色度缩放滤波系数 0。 水平缩放为 12 阶，32 相位；每个相位对应的 12 个系数的系数和为 512，系数具有对称关系，因此只需配置 0~16 相位系数。 相位 0 对应的 12 个系数地址为 0x11200~0x1120C；相位 1 对应的 12 个系数地址为 0x11210~0x1121C；以此类推，相位 15 对应的 12 个系数地址为 0x112F0~0x112FC，相位 16 对应的 12 个系数地址为 0x11300~0x1130C。																												

CH_SCL_CHFIR_COEF1

CH_SCL_CHFIR_COEF1 为小码流色度水平缩放系数寄存器 1。

Offset Address		Register Name		Total Reset Value																												
0x11204		CH_SCL_CHFIR_COEF1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				hch_coef5								hch_coef4								hch_coef3											
Reset	0 0 0 0				0 0 0 0								0 0 0 0								0 0 0 0											
Bits	Access	Name		Description																												
[31:30]	-	reserved		保留。																												



Offset Address		Register Name		Total Reset Value					
0x11204		CH_SCL_CHFIR_COEF1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	hch_coef5		hch_coef4		hch_coef3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[29:20]	RW	hch_coef5	水平色度缩放滤波系数 5。						
[19:10]	RW	hch_coef4	水平色度缩放滤波系数 4。						
[9:0]	RW	hch_coef3	水平色度缩放滤波系数 3。						

CH_SCL_CHFIR_COEF2

CH_SCL_CHFIR_COEF2 为小码流色度水平缩放系数寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x11208		CH_SCL_CHFIR_COEF2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	hch_coef8		hch_coef7		hch_coef6			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	hch_coef8	水平色度缩放滤波系数 8。						
[19:10]	RW	hch_coef7	水平色度缩放滤波系数 7。						
[9:0]	RW	hch_coef6	水平色度缩放滤波系数 6。						

CH_SCL_CHFIR_COEF3

CH_SCL_CHFIR_COEF3 为小码流色度水平缩放系数寄存器 3。



Offset Address		Register Name		Total Reset Value					
0x1120C		CH_SCL_CHFIR_COEF3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	hch_coef11		hch_coef10		hch_coef9			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	hch_coef11	水平色度缩放滤波系数 11。						
[19:10]	RW	hch_coef10	水平色度缩放滤波系数 10。						
[9:0]	RW	hch_coef9	水平色度缩放滤波系数 9。						

CH_SCL_LVFIR_COEF0

CH_SCL_LVFIR_COEF0 为小码流亮度垂直缩放系数寄存器 0。

Offset Address		Register Name		Total Reset Value					
0x11400		CH_SCL_LVFIR_COEF0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	vl_coef2		vl_coef1		vl_coef0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	vl_coef2	垂直亮度缩放滤波系数 2。						
[19:10]	RW	vl_coef1	垂直亮度缩放滤波系数 1。						



Offset Address		Register Name		Total Reset Value					
0x11400		CH_SCL_LVFIR_COEF0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	vl_coef2		vl_coef1		vl_coef0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[9:0]	RW	vl_coef0	垂直亮度缩放滤波系数 0。 主通道垂直缩放为 6 阶，32 相位；每个相位对应的 6 个系数的系数和为 512，系数具有对称关系，因此只需配置 0~16 相位系数。 相位 0 对应的 6 个系数地址为 0x11400~0x11404； 相位 1 对应的 6 个系数地址为 0x11410~0x11414；以此类推，相位 15 对应的 6 个系数地址为 0x114F0~0x114F4，相位 16 对应的 6 个系数地址为 0x11510~0x11514。						

CH_SCL_LVFIR_COEF1

CH_SCL_LVFIR_COEF1 为小码流亮度垂直缩放系数寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x11404		CH_SCL_LVFIR_COEF1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	vl_coef5		vl_coef4		vl_coef3		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	-	reserved	保留。					
[29:20]	RW	vl_coef5	垂直亮度缩放滤波系数 5。					
[19:10]	RW	vl_coef4	垂直亮度缩放滤波系数 4。					
[9:0]	RW	vl_coef3	垂直亮度缩放滤波系数 3。					



CH_SCL_CVFIR_COEF0

CH_SCL_CVFIR_COEF0 为小码流色度垂直缩放系数寄存器 0。

Offset Address		Register Name		Total Reset Value																														
0x11600		CH_SCL_CVFIR_COEF0		0x0000_0000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved				vch_coef2								vch_coef1								vch_coef0													
Reset	0 0 0 0				0 0 0 0								0 0 0 0								0 0 0 0													
Bits	Access	Name	Description																															
[31:30]	-	reserved	保留。																															
[29:20]	RW	vch_coef2	垂直色度缩放滤波系数 2。																															
[19:10]	RW	vch_coef1	垂直色度缩放滤波系数 1。																															
[9:0]	RW	vch_coef0	垂直色度缩放滤波系数 0。 主通道垂直缩放为 6 阶，32 相位；每个相位对应的 6 个系数的系数和为 512，系数具有对称关系，因此只需配置 0~16 相位系数。 相位 0 对应的 6 个系数地址为 0x11600~0x11604； 相位 1 对应的 6 个系数地址为 0x11610~0x11614；以此类推，相位 15 对应的 6 个系数地址为 0x116F0~0x116F4 相位 16 对应的 6 个系数地址为 0x11700~0x11704。																															

CH_SCL_CVFIR_COEF1

CH_SCL_CVFIR_COEF1 为小码流色度垂直缩放系数寄存器 1。

Offset Address		Register Name		Total Reset Value																														
0x11604		CH_SCL_CVFIR_COEF1		0x0000_0000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved				vch_coef5								vch_coef4								vch_coef3													
Reset	0 0 0 0				0 0 0 0								0 0 0 0								0 0 0 0													
Bits	Access	Name	Description																															
[31:30]	-	reserved	保留。																															



Offset Address		Register Name		Total Reset Value																												
0x11604		CH_SCL_CVFIR_COEF1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vch_coef5								vch_coef4								vch_coef3											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[29:20]	RW		vch_coef5		垂直色度缩放滤波系数 5。																											
[19:10]	RW		vch_coef4		垂直色度缩放滤波系数 4。																											
[9:0]	RW		vch_coef3		垂直色度缩放滤波系数 3。																											

11.2 VDP

11.2.1 概述

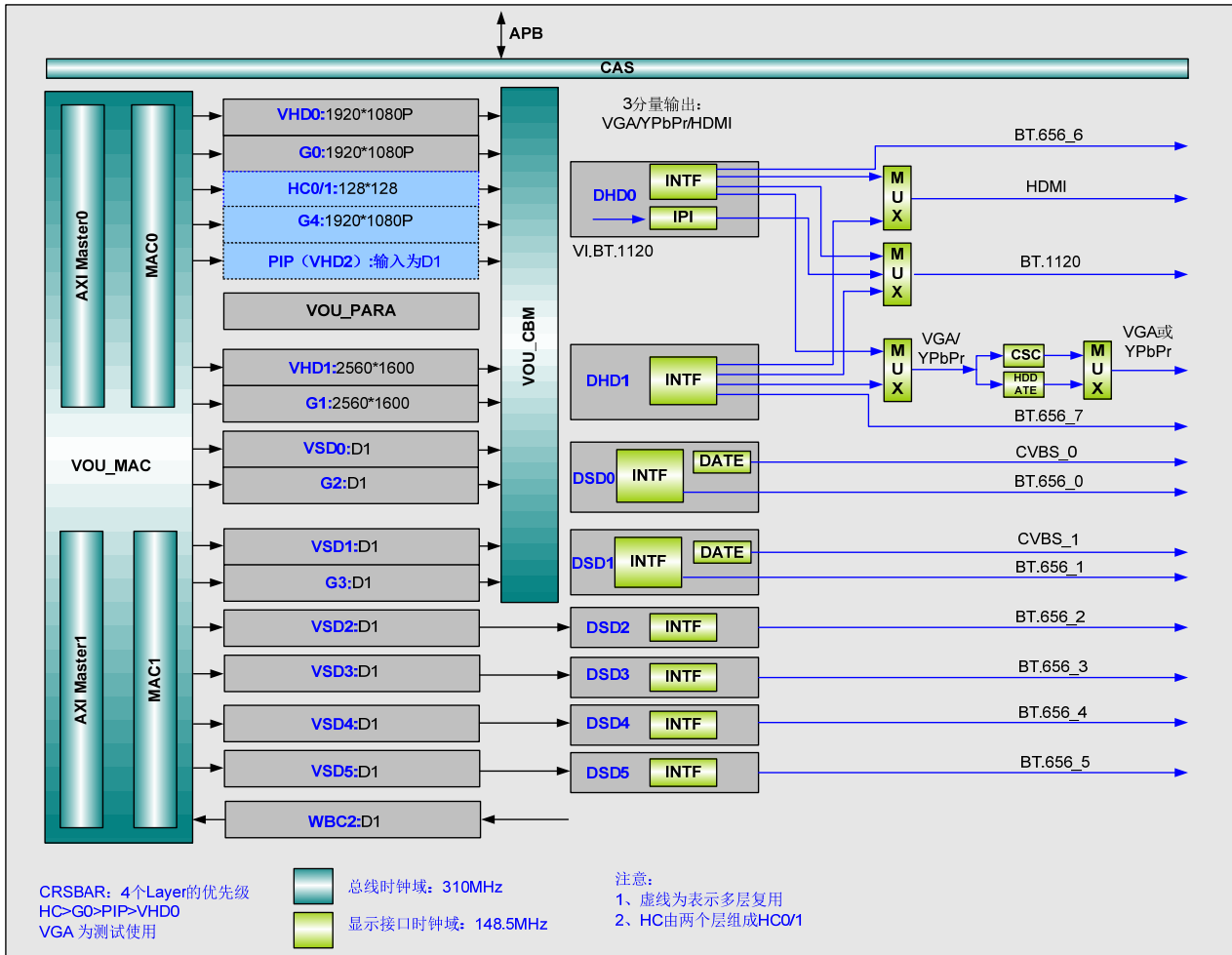
VDP (Video Display) 模块主动从内存相应位置读取视频和图形数据，将视频层和图形层数据叠加后通过显示通道送出。

11.2.2 功能描述

VDP 的总体框图如图 11-23 所示。



图11-23 VDP 总体框图



- Surface: 总线输入的数据通路。其功能包括单个图层的总线数据读取、数据处理。Surface 包括: 视频层 (VHD0~VHD2、VSD0~VSD4) 和图形层 (G0~G4)。
- Display Channel: 显示通道。包括高清显示通 (DHD0~DHD1)、标清显示通道 (DSD0~DSD5)。
- CBM (CrossBar and Mixer, 选通叠加器): 视频层/图形层叠加。(DSD2~DSD5 不经过叠加)
- PARA (Parameter, 参数): 处理视频通道 ACC (Automatic Contrast Control) 系数的更新、加载。
- MAC (Memory Access Controllor, 内存访问控制器): 各 Surface 的总线申请仲裁模块。各模块通过 AXI (Advanced eXtensible Interface, 高级扩展接口) 总线从内存中读取数据, 该模块对各 Surface 提出的申请进行仲裁。
- CAS (Control And Status, 控制和状态): 该模块主要是通过 APB (Advanced Peripheral Bus, 高级外围总线) 总线完成对寄存器的配置, 并且各模块的状态信息通过该模块上报给 CPU。



VDP 寄存器主要按照模块全局、Surface 和 Display Channel 来分配:

- 模块全局寄存器
包括总线相关配置、中断、版本寄存器。
- Surface 寄存器
包括视频层、图形层配置寄存器。
- Display Channel 寄存器
包括 DHD、DSD 配置寄存器。
- 片内系数
视频层 ACC 系数。因为系数的数据量较大，因此通过 AXI Master 读取，不占用 CPU。

VDP 的特点如下:

- 数字输出接口
 - 标清支持 ITU-R BT.656 输出
 - 高清支持 ITU-R BT.1120 输出、VGA (Video Graphics Array, 视频图形阵列) 输出、HDMI (High Definition Multimedia Interface, 高清晰度多媒体接口) 输出
 - 支持 BT.1120、HDMI、VGA 同时显示同一通道数据
- 模拟输出接口
 - 标清通道 DSD0、DSD1 支持 CVBS (Composite Video Broadcast Signal, 复合电视广播信号) 输出 (可以和 ITU-R BT.656 接口同时输出内容一样的图像)
 - 高清支持 YPbPr 输出
- 视频层 (Video Surface)
 - 支持输入像素格式: Semi-Planar YCbCr4:2:2, Semi-Planar YCbCr4:2:0
 - 支持全局 alpha 值
 - 支持视频层的色彩空间转换, 支持亮度、对比度、色调、饱和度调节
 - 支持垂直色度上采样
 - 支持水平色度上采样
 - 支持多区域读写 (VHD0/VHD1 为 64 区域, VHD2 为 8 区域)
 - 支持最大 16 倍的放大
- 图形层(Graphics Surface)
 - 支持 5 个图形层: 图形层 0、1、2、3、4
 - 支持两个鼠标层: HC0、HC1
 - 支持的数据格式: ARGB8888、ARGB1555
 - 支持全局 alpha 和像素 alpha
 - 支持 3 种数据扩展模式:
 - 低位补 0
 - 低位补最高 bit
 - 低位补若干高 bit



- 支持宽度和高度为偶数
- G0 最小输入/输出分辨率 32×32 ，最大输入/输出分辨率为 1920×1080
- G1/G4 最小输入/输出分辨率 32×32 ，最大输入/输出分辨率为 2560×1600
- G2/G3 最小输入/输出分辨率 32×32 ，最大输入/输出分辨率为 720×576
- 叠加特性
 - 支持背景层、2 层视频层、2 层图形层、1 鼠标层的 256 级 alpha 混合，图形层和视频层的优先级可配置（叠加时使用优先级高的层的 alpha）。
 - 各叠加图层的大小和位置可以任意调节。
 - 支持叠加后图像的亮度、对比度、色调、饱和度调节。
- VDP 包含 2 个高清通道、6 个标清通道，每个通道都有独立的垂直时序中断，标志帧/场的结束标志，以及 8 个低带宽中断及一个回写完成中断。

11.2.3 工作方式

11.2.3.1 时钟配置

VDP 的时钟源共有 5 个：

- VPLL0
- VPLL1
- VPLL2
- AXI bus 总线时钟
- 级联时钟

两个高清通道使能并且非同源显示时，推荐两个通道的时钟来源自不同的 VPLL。

以下时钟选择可通过寄存器配置：

- BT1120 接口时钟来源于 DHD0 或 DHD1。
- HDMI 接口时钟来源于 DHD0 或 DHD1。
- HD DATE 时钟来源于 DHD0 或 DHD1。
- DAC1 可选择 HD DATE 的时钟或者 HD DATE 的倍频时钟。

表 11-7~表 11-10 为通道接口类型和 PLL 配置关系，使用方法为：

1. 确定通道。
2. 从通道所对应的表格中查找接口类型。
3. 从接口类型所在的行信息中即可确定 PLL 的选取及 DATE（Digital part of Analog TV Encoder，模拟电视编码器的数字部分）/DAC（Digital Analog Converter，数模转换器）的配置。

--结束



表11-7 DHD0 显示通道的时钟配置关系（接口时钟/数据来源于 DHD0）

	DHD0 (MHz)	PLL0/1/2 (MHz)	HDATE (MHz)	DAC1 (MHz)
BT1120/ HDMI	148.5	PLL0/1 (297)	NA	NA
	74.25	PLL0/1 (148.5)	NA	NA
YPbPr	148.5	PLL1 (297)	297	297
	74.25	PLL1 (148.5)	148.5	148.5
VGA	148.5	PLL0/1 (148.5)	NA	148.5
BT656	27	PLL0/1 (54)	NA	NA

表11-8 DHD1 显示通道的时钟配置关系（接口时钟/数据来源于 DHD1）

	DHD1 (MHz)	PLL0/1/2 (MHz)	HDATE (MHz)	DAC1 (MHz)
BT1120/ HDMI	148.5	PLL0/1 (297)	NA	NA
	74.25	PLL0/1 (148.5)	NA	NA
YPbPr	148.5	PLL1 (297)	297	297
	74.25	PLL1 (148.5)	148.5	148.5
VGA	268.5	PLL0 (268.5)	NA	NA
	148.5	PLL0/1 (148.5)	NA	148.5
BT656	27	PLL0/1 (54)	NA	NA

表11-9 DSD0~DSD1 显示通道的时钟配置关系

	DSD0~DSD1	PLL0/1/2 (MHz)	SDATE (MHz)	DAC0 (MHz)
CVBS	27	PLL2 (270)	54	54
BT656	27	PLL2 (270)	NA	NA



表11-10 DSD2~DSD5 显示通道的时钟配置关系

	DSD2~DSD5	PLL0/1/2 (MHz)	SDATE (MHz)	DAC0 (MHz)
BT656	27	PLL2 (270)	NA	NA

11.2.3.2 复位

VDP 的复位包括硬件复位、软件复位。

VDP 共有 5 个软复位（向相应的时钟复位控制位写 1 复位，写 0 撤销复位）：

- 6 个标清通道 SD channel 共用一个软复位
- 高清通道 HD0 软复位
- 高清通道 HD1 软复位
- AXI 总线软复位
- HD DATE 软复位



注意

在进行 AXI 总线复位之前：

- 将所有的层关闭。
- 在下一帧/场中断起来（到达更新点）后，再配置总线复位请求。

11.2.3.3 总线相关配置

双 AXI Master

VDP 包括两个 Master 接口，可提高总线访问效率：

- VDP 支持双 AXI Master，VHD0/1/2、VSD0/1/2/3/4、G0/1/2/3/4、HC0/1、WBC2 层的数据读写请求可通过 MASTER1、MASTER2 进行总线操作。
- 同一层的数据只能来自同一个 DDR。
- 多区域的数据只能来自同一个 DDR。



注意

必须在应用之前确定各层对应的 Master，不支持应用过程中对 Master 进行切换操作。



APB 寄存器配置

VDP 寄存器通过 APB 接口进行读写操作，APB 的时钟为 150MHz。在 Hi3531 中，VDP 的基地址为 0x205C_0000，寄存器寻址空间 64KB，相应的地址偏移范围为：0x0000~0xFFFF。

Outstanding 配置

AXI Master 的 Outstanding 深度可配置为 0、1、2、3、4、5、6、7。其中，outstanding 为 0 时，AXI Master 不对总线进行任何操作。



注意

在图形解压，并且总线操作跨 4K 边界的情况下，Outstanding 不能设置为 1。

11.2.3.4 模拟输出接口

VDP 包含以下两类模拟输出接口：

- 高清通道支持 YPbPr 接口，其源可以来自 DHD0 和 DHD1。
 - 该接口与 VGA 共用 VDAC，两个接口互斥
 - 支持的分辨率为：720P50、720P60、1080I50、1080I60、1080P50、1080P60
- 标清通道支持最多 2 路 CVBS 输出接口
 - DSD0->CVBS_0
 - DSD1->CVBS_1
 - CVBS 支持两种制式：PAL 制和 NTSC 制式制式

11.2.3.5 数字输出接口

VDP 支持以下数字接口输出：

- ITU-R BT.656
- ITU-R BT.1120 模式
- HDMI 接口
- VGA 接口

8 路 BT656 接口复用关系：

- VOU0 和 VOU1 的输出接口与 VIU0 的输入接口复用
- VOU2 和 VOU3 的输出接口与 VIU1 的输入接口复用，同时又和级联输入接口 VIU4 接口复用
- VOU4 和 VOU5 的输出接口与 VIU2 的输入接口复用
- VOU6 和 VOU7 的输出接口与 VIU3 的输入接口复用，同时又和 VDP 的 BT1120 输出接口复用



ITU-R BT.656

VDP 支持最多 8 路 BT.656 输出接口：

- DSD0->BT.656_0
- DSD1->BT.656_1
- DSD2->BT.656_2
- DSD3->BT.656_3
- DSD4->BT.656_4
- DSD5->BT.656_5
- DHD0->BT.656_6, 当 DHD0 输出 BT.656_6 时, DHD0 的其他接口不能输出
- DHD1->BT.656_7, 当 DHD1 输出 BT.656_7 时, DHD1 的其他接口不能输出

ITU-R BT.656 模式支持以下两种制式：

- PAL 制式 (625 行/帧@25 帧/秒)
- NTSC 制式 (525 行/帧@30 帧/秒)

ITU-R BT.656 协议中, 同步信号包含在视频数据流中, 在数据流中的特殊字节 SAV 和 EAV 分别表示行的开始和行的结束。

在视频数据流中, 由 FF 00 00 (FF、00 为图像编码数据的保留字节, 为非图像数据) 构成的定时基准码字的码头来标志紧接着的一个字节为 SAV 或者 EAV。ITU-R BT.656 的行数据流格式如图 11-24 所示。

图11-24 ITU-R BT.656 YCbCr 4:2:2 行数据格式

行消隐期	定时基准码					720 有效像素 YCbCr4:2:2						定时基准码			行消隐期		
...	10	FF	00	00	SAV	C _B 0	Y0	CR0	Y1	...	Y719	FF	00	00	EAV	80	...

ITU-R BT.656 YCbCr 4:2:2 协议中, 亮度信号与色度信号的采样比例为 2:1。两个亮度信号共用一个色度 CbCr 信号。

协议推荐每行亮度采样 720 个有效图像像素点, 色度采样 360 个有效图像像素点, 色度在对应偶数像素点采样 (起始采样点为 0 像素点), 以 co-sited 格式采样。亮度色度信号在同一个 8bit 通道内传输的情况下, 传输顺序为: C_B0 Y0 C_R0 Y1 C_B2 Y2 C_R2 Y3……C_B718 Y718 C_R718 Y719, 时钟频率为 27MHz。

ITU-R BT.1120 模式

VDP 支持 BT.1120 接口 (其源可以来自 DHD0 和 DHD1)：

- 支持外同步, 行场同步、数据有效
- 最大输出分辨率: 1920×1080
- 作为级联输出 (仅 DHD0), 当级联时, DHD0 的 HDMI 和 VGA 不能输出
- 数据 Y/C 的可以调换

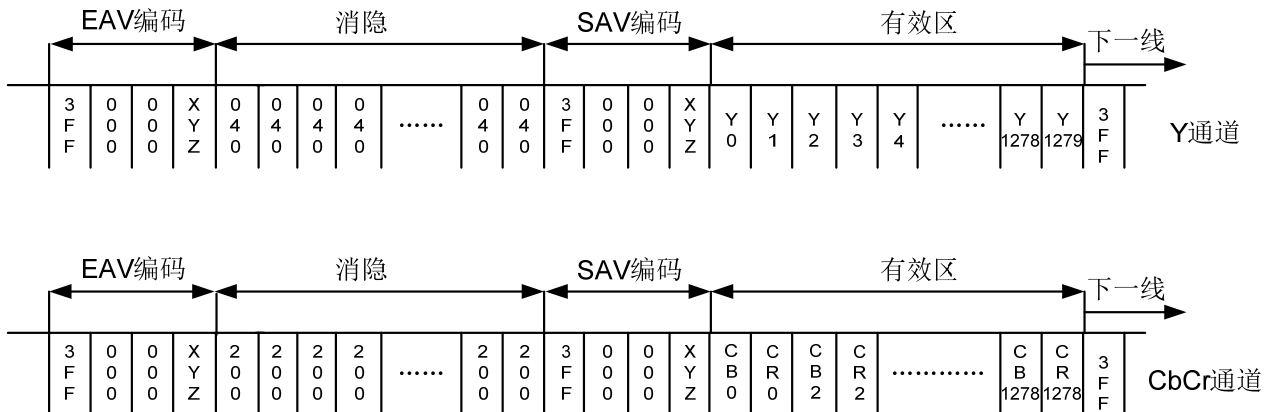
BT1120 模式下, 同步信号也包含在视频数据流中, 在数据流中的特殊字节 SAV 和 EAV 分别表示行的开始和行的结束。



ITU-R BT.1120 YCbCr 4:2:2 协议中，亮度信号与色度信号的采样比例为 2:1。两个亮度信号共用一个色度 CbCr 信号。

图 11-25 表示的是针对 1280×720P 有效分辨率一行扫描线的时序。亮度色度信号在不同的通道内传输，时钟频率为 74.25MHz。

图11-25 BT1120 接口水平时序图



HDMI 接口

HDMI 为标准的 HDMI 接口（其源可以来自 DHD0 和 DHD1）：

- 最大输出分辨率：1600×1200 或 1920×1080
- 时钟频率为 74.25MHz~165MHz
- 支持逐隔行显示
- 数据格式为 YCbCr444 或 RGB888

VGA 接口

支持 VGA 接口（其源可以来自 DHD0 和 DHD1）：

- 输出分辨率范围：720P50~1600×1200，1920×1080，2560×1600，当宽度大于 1920 时，源只能来自于 DHD1
- 时钟频率为 68.25MHz~268.5MHz
- 支持逐行显示
- 通过配置接口 CSC（Color Space Conversion，色彩空间转换）实现 RGB888 输出

11.2.3.6 高清视频层功能

多区域读取功能

VDP 具有多区域读取的功能，可同时显示多个区域的画面，每个区域画面的数据可以是不同的来源：

- VHD0/VHD1/VHD2 等 3 个高清视频层支持多区域规格。



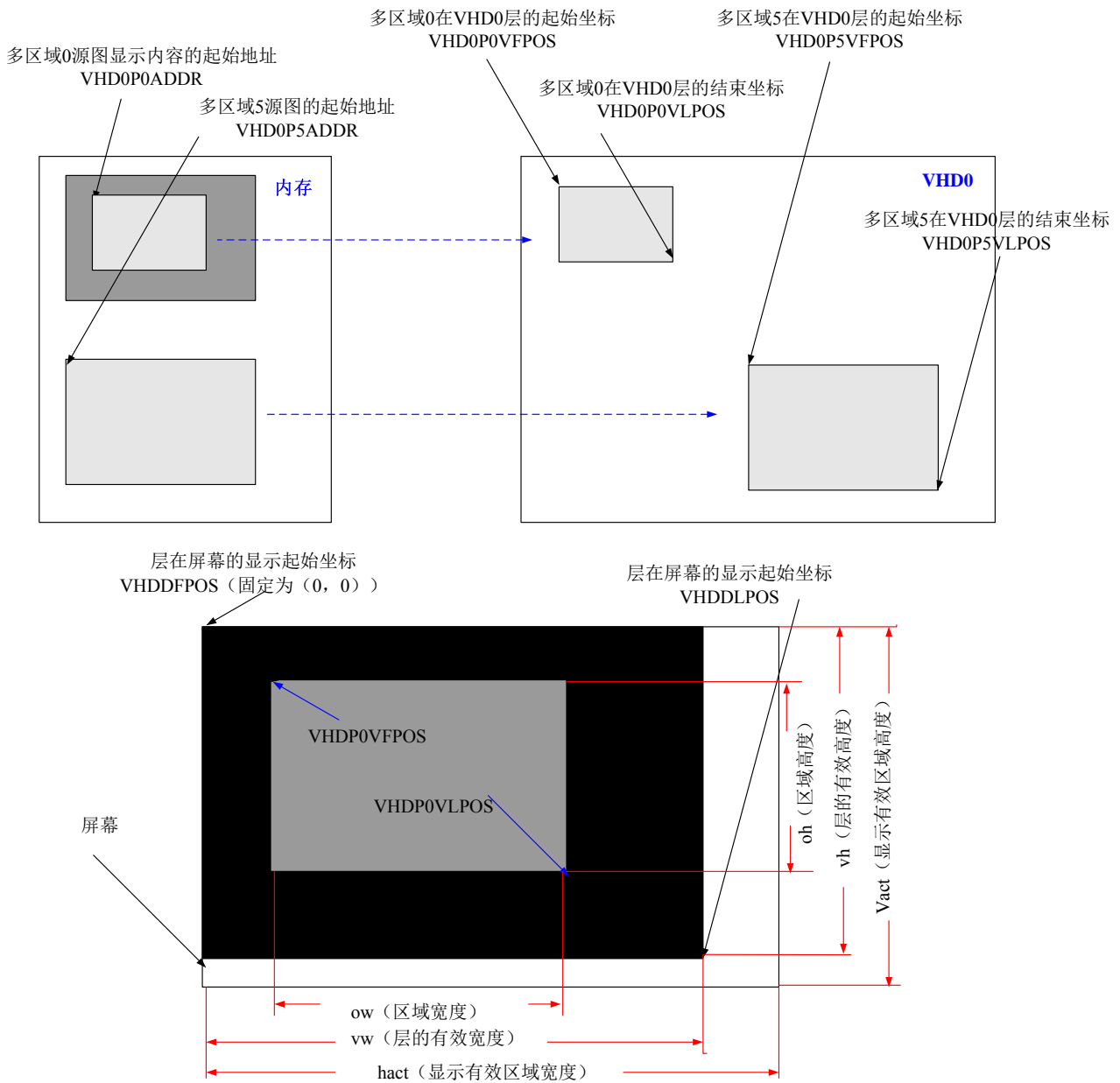
- VHD0、VHD1 最大可支持 64 区域，VHD2 最大可支持 8 区域。
- 各区域大小可配，最小为 32×32 ，最大为层的最大分辨率（VHD0： 1920×1080 ；VHD1： 2560×1600 ；VHD2： 720×576 ）。
- 各区域可单独使能。
- 区域显示位置可配置在屏幕的任意位置显示（通过区域的起始、结束坐标配置）。
- 各区域的内容可来自同一视频源，也可来自不同的视频源。
- 区域源起始地址可配（分亮度、色度地址），地址为 2byte 对齐。
- 区域源 stride 可配（分亮度、色度地址），为 16byte 对齐。
- 支持逐行模式、隔行模式。

显示位置描述

VDP 支持视频显示位置可配：

- 视频层有 3 套坐标
- 需要读取数据的源起始坐标（软件计算出起始地址配置给硬件）。
- 显示区域在相对于视频层的起始结束坐标。
- 视频层在屏幕上显示的起始结束坐标。
- 3 个坐标的组合可以实现视频源在屏幕的任意位置显示。

图11-26 3套坐标示意图

**注意**

层在屏幕的起始坐标必须设置为 (0,0)。

缩放功能描述

VDP 具有高质量的缩放引擎，支持不同倍数的放大：

- VHD0、VHD1 支持缩放功能，VHD2 不支持缩放



- VHD0/VHD1 只支持放大，不支持缩小
- 支持视频格式 semi-plannar420、semi-plannar422
- VHD0 最小的输入分辨率 32×32 ，最大的输入分辨率 1280×720
- VHD0 最小的输出分辨率 32×32 ，最大的输出分辨率 1920×1080
- VHD1 最小的输入分辨率 32×32 ，最大的输入分辨率 2048×1080
- VHD1 最小的输出分辨率 32×32 ，最大的输出分辨率 2560×1600
- VHD2 最小输入/输出分辨率 32×32 ，最大输入/输出分辨率 720×576
- 支持复制模式、滤波模式
- 支持水平亮度 8 阶、水平色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 支持垂直亮度 6 阶、垂直色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 缩放系数采取 AXI 自动从 DDR 中 load 的策略
- 支持垂直亮度色度、水平亮度色度单独配置使能
- 性能：输出的像素 1pixel/1clk



注意

- 采用垂直缩放在水平缩放之前的缩放策略。
- VHD0 不支持宽度大于 1280 且小于 1920 的分辨率放大到 1920 的缩放。
- VHD1 不支持宽度大于 2048 且小于 2560 的分辨率放大到 2560 的缩放。

420-422（垂直色度上采样）

当输入的图像数据是 420 时，需要对色度在垂直方向上放大 2 倍将数据格式转换为 422。

VHD、VSD 根据不同的图像质量要求，转换格式的处理不同：

- VHD 转换数据格式方式：
 - 4 阶滤波
 - 复制
 这两种模式可配置。
- VSD 转换数据格式方式：复制

IFIR：水平色度上采样

水平色度上采样的主要功能是对色度在水平方向上进行上采样，将 422 的数据格式转换为 444。

实现色度水平上采样的方式有 3 种，可配置：

- 复制



- 双线性插值
- 8 阶滤波

CSC: 色彩空间转换

- 可实现 YUV709、YUV601 色彩空间的转换
- 可实现 RGB、YUV 色彩空间的转换

11.2.3.7 标清视频层功能

VDP 具有多个标清视频层:

- 标清视频层包括: VSD0、VSD1、VSD2、VSD3、VSD4
- 支持的输入像素格式: semi-plannar420、semi-plannar422
- 最小输入分辨率 32×32 , 最大输入分辨率为 720×576
- 最小输出分辨率 32×32 , 最大输出分辨率为 720×576
- 输入的水平分辨率为 2 的倍数, 垂直分辨率为 4 的倍数
- 支持逐行模式、隔行模式
- 源起始地址可配 (分亮度、色度地址), 地址为 2byte 对齐
- 源 stride 可配 (分亮度、色度地址), 为 16byte 对齐
- 支持水平色度上采样 IFIR, 复制模式、双线性差值、6 阶滤波模式可选。
- 支持 YCbCr \rightarrow RGB 的色彩空间转换, 支持对比度/色调/饱和度调节
- 支持显示位置可配: 在屏幕的任意位置显示
- 支持帧/场更新模式
- 支持全局 alpha 可配置, 配置范围 0~255

11.2.3.8 图形层功能

图形层包括: G0、G1、G2、G3、G4

解压功能

VDP 支持无损压缩格式的图像解压:

- 支持的输入像素格式: ARGB1555、ARGB8888
- 支持逐行压缩、隔行压缩模式
- 支持帧/场更新模式
- G0 最小输入/输出分辨率 32×32 , 最大输入/输出分辨率为 1920×1080
- G1/G4 最小输入/输出分辨率 32×32 , 最大输入/输出分辨率为 2560×1600
- G2/G3 最小输入/输出分辨率 32×32 , 最大输入/输出分辨率为 720×576
- 图形层垂直分辨率为 2 的倍数
- 支持显示位置可配: 在屏幕的任意位置显示
- 4 个分量单独解压缩, 4 个分量的地址可配置 (16byte 对齐), 共用一个 bankwidth (16byte 对齐), 共用一个 stride (16byte 对齐)



- 解压性能：1pixel/1clk
- 格式为 ARGB1555 时，像素 alpha 值不进行压缩。

**注意**

解压不支持 outstanding = 1，总线申请跨 4k 的情况。

解压 DCMP 的配置方式：DCMP 支持逐行解压、隔行解压，压缩数据的存储与逐行、隔行的源数据存储方式类似。压缩信息的配置主要包括首地址 address、bankwidth 信息、stride 信息。其中，4 分量单独进行压缩，因此共有 alpha、R、G、B 等 4 个分量的首地址。其次，bankwidth 类似于 semi-plannar 存储方式 line 的概念，区别在于，一个 bankwidth 存储的可能是若干分量 line 的压缩数据；最后，stride 与 semi-plannar 的 stride 概念完全一致，用于确定每行压缩数据的首地址。

图11-27 逐行解压存储方式

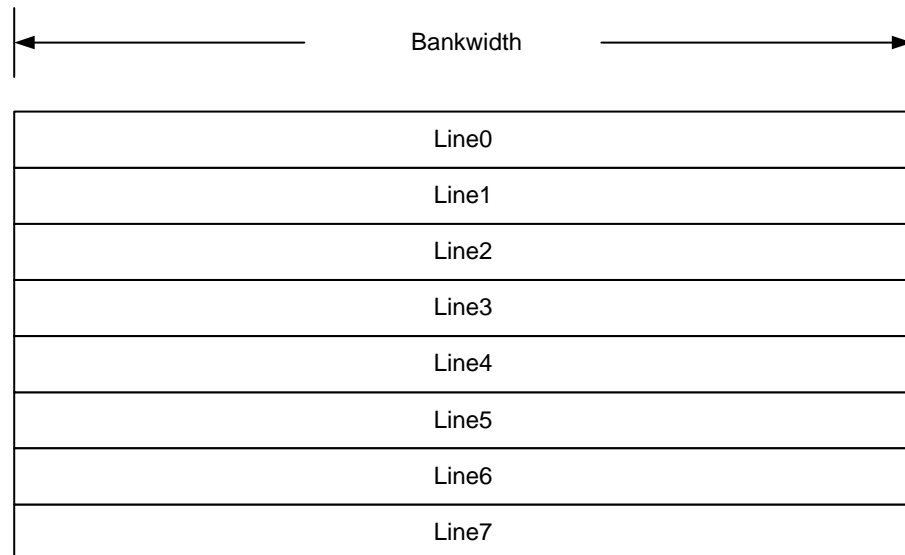
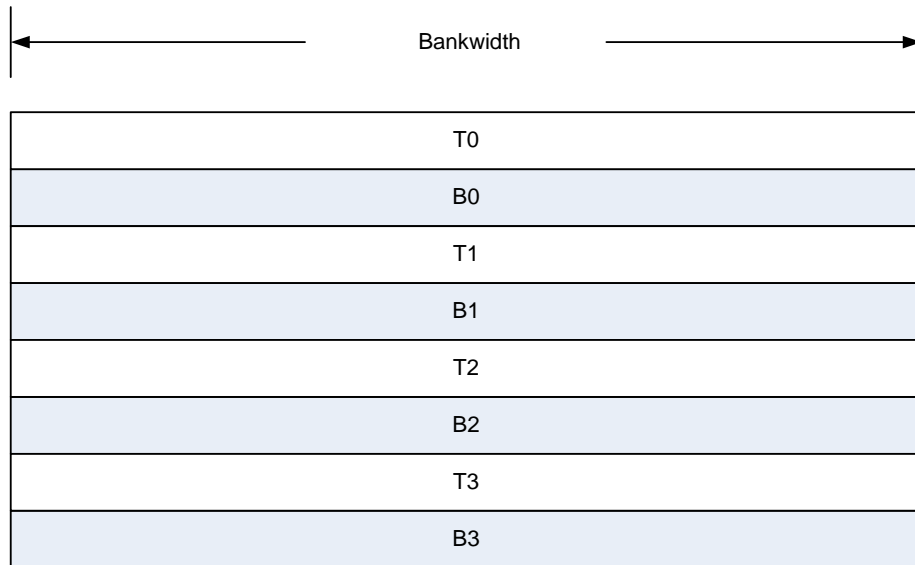


图11-28 隔行解压存储方式



以下为不同场景下解压模式的配置：

- 逐行解压、帧更新、帧中断配置方式：
 - a. 配置图形层为压缩模式。
 - b. 配置 4 个分量的基地址。
 - c. 配置 `bankwidth`、`stride` 信息，其中，压缩的 `stride` 与解压的 `stride` 相等，即 `stride_dcmp = stride_vcmp`。
 - d. 配置图形层为帧更新模式。
 - e. 配置中断产生方式为帧中断。
- 隔行解压、帧更新、帧中断配置方式：
 - f. 同逐行解压的配置。
 - g. 配置 `bankwidth`、`stride` 信息，其中，`stride_dcmp = stride_vcmp/2`。
 - h. 同逐行解压的配置。
 - i. 打开隔行解压使能。
- 隔行解压、场更新、场中断配置方式：
 - j. 同逐行解压的配置。
 - k. 配置 `bankwidth`、`stride` 信息，其中，`stride_dcmp = stride_vcmp/2`。
 - l. 配置图形层为场更新模式。
 - m. 配置中断产生方式为场中断，在中断服务程序配置顶场/底场的 4 分量存储首地址。

CSC 功能描述

支持色彩空间转换，包括：RGB、YCbCr601、YCbCr709、xvYCC601、xvYCC709 之间的相互转换。



alpha 处理

图形层的 alpha 值可以有两个来源：

- 像素 alpha 值：表示某一个像素的叠加属性。
- 全局 alpha 值：表示某一层的叠加属性。

像素 alpha 值有一种特殊情况，在 RGB1555 格式时，alpha 值仅有 1bit，该 bit 不是真实的 alpha 值，仅是 alpha 的索引，真实的 alpha 值是根据该索引值选择 alpha 寄存器中的值得到，当索引值为 0 时，取值 alpha0，否则，取值为 alpha1。

支持预乘格式

支持 ARGB8888 带有像素 α 值的数据格式预乘。

HC 功能描述

VDP 具有两个硬件鼠标层：

- 鼠标层 HC0/HC1 是一种特殊的图形层
- 支持的输入像素格式：ARGB1555、ARGB8888
- 最小输入分辨率 32×32 ，最大输入分辨率为 128×128
- 最小输出分辨率 32×32 ，最大输出分辨率为 128×128
- 输入垂直分辨率为 2 的倍数
- 支持逐行模式、隔行模式
- 支持帧更新、场更新
- 源起始地址可配，地址为 128bit（16byte）对齐
- 源 stride 可配，为 128bit（16byte）对齐
- 支持色彩空间转换，包括：RGB，YCbCr601，YCbCr709，xvYCC601，xvYCC709 之间的相互转换
- 支持显示位置可配：在屏幕的任意位置显示
- 支持全局 alpha 可配置，配置范围 0~255
- 像素 alpha 使能可配，对于像素格式 ARGB1555 中像素 Alpha 值的图形，选择 ALPHA0 或 ALPHA1
- 支持 ARGB8888 带有像素 α 值的数据格式预乘



注意

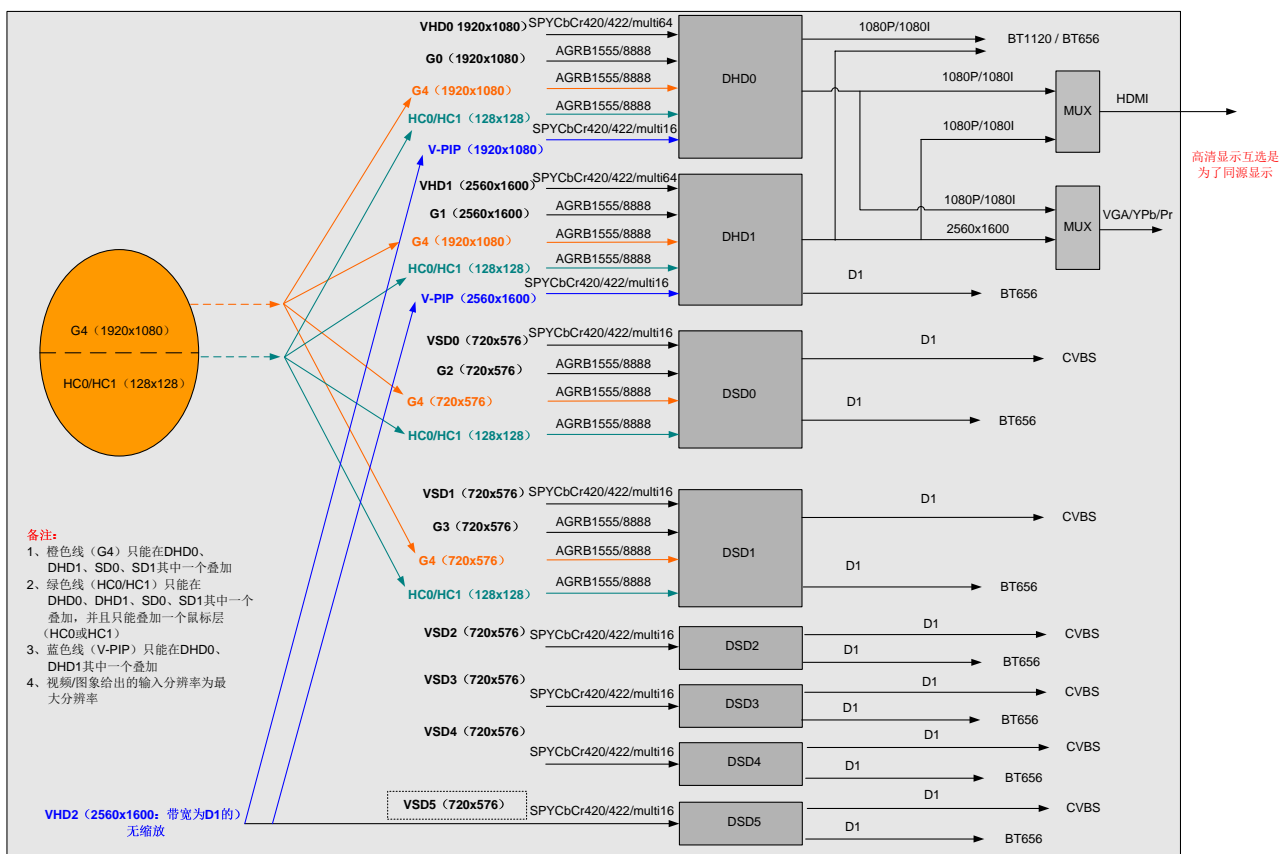
- 预乘使能时，全局 alpha 不能为 1。
- 数据格式为 ARGB1555 时，不能打开预乘。

11.2.3.9 图层叠加处理

VDP 支持多层叠加功能，共有 4 个叠加，其对应关系为：

- MIX1 → DHD0
- MIX2 → DHD1
- MIX3 → DSD0
- MIX4 → DSD1

图11-29 CBM 多层叠加示意图



MIXER 的功能描述：

- 固定绑定到 MIXER1 的视频/图形层：VHD0、G0
- 固定绑定到 MIXER2 的视频/图形层：VHD1、G1
- 固定绑定到 MIXER3 的视频/图形层：VSD0、G2



- 固定绑定到 MIXER4 的视频/图形层：VSD1、G3
- 可选绑定到 MIXER1/2/3/4 的视频/图形层：G4、HC0、HC1
- 可选绑定到 MIXER1/2 的视频层：VHD2 (PIP)
- MIXER1/2/3/4 的背景色单独可配

具体配置方法如下：

2. 关闭相应的视频输出接口。
3. 配置 sur_attrix，确定各个 surface 的连接关系。
4. 配置各个 surface 的相关寄存器。
5. 配置各个 surface 的优先级。
6. 打开相应的视频输出接口。

--结束



注意

- 若 G4、HC0/HC1、VHD2 (PIP) 绑定到 MIXER1，则其不能再绑定到 MIXER2/MIXER3/MIXER4。
- HC0、HC1 只能绑定其中之一到 MIXER1，若 HC0 绑定到 MIXER1，则 HC1 必须绑定到 MIXER2/MIXER3/MIXER4；若 HC1 绑定到 MIXER1，则 HC0 必须绑定到 MIXER2/MIXER3/MIXER4。
- G4、HC0/HC1、VHD2 (PIP) 可驱动不同的 MIXER，但如果从驱动当前 MIXER 切换到驱动另外一个 MIXER，则不能实时变更。必须先关闭相应的视频输出接口，在变更 surface 所驱动的 MIXER。

11.2.3.10 高清通道处理功能

时序配置

VDP 的输出接口支持配置各种典型及非典型时序，以适应不同的对接芯片接口：

- DHD0 接口分辨率最大 1920×1080，DHD1 接口最大分辨率 2560×1600
- 接口水平时序参数可配：
 - 水平前肩 HFB:16bit= (1-65536)，单位：时钟
 - 水平后肩 HBB:16bit= (1-65536)，单位：时钟
 - 水平有效 HACT:16bit= (1-65536)，单位：时钟



- 水平脉冲宽度 HPW:16bit= (1-65536), 单位: 时钟
- 接口垂直时序参数可配:
 - 垂直前肩 VFB:8bit= (1-256), 单位: 行
 - 垂直后肩 VBB:8bit= (5-256), 单位: 行
 - 垂直有效 VACT:12bit= (1-256), 单位: 行
 - 垂直脉冲宽度 VPW:16bit= (1-65536), 单位: 行
- 隔行时序参数可配:
 - 底场垂直前肩 BVFB:8bit= (1-256), 单位: 行
 - 底场垂直后肩 BVBB:8bit= (5-256), 单位: 行
 - 底场垂直有效 BVACT:12bit= (1-256), 单位: 行
 - 底场垂直脉冲宽度 BVPW:16bit= (1-65536), 单位: 行
 - 底场时半行配置 H MID:16bit= (1-65536), 单位: 时钟周期, 一行中在相对于有效区第一个像素的时钟周期



注意

- 一行时钟个数=HFB + HBB + HACT * (n clk/pixel), HPW 要小于 HBB。
- 一帧的行数=VFB + VBB + VACT, VPW 要小于 VBB, BVPW 要小于 BVBB。
- 所有时序参数配置时, 接口都应该关闭, 配置完成后在打开接口。

级联功能

VDP 具有多片级联的功能, 可将来源于多个芯片的视频合并起来一起显示:

- DHD0 支持级联功能, DHD1 不支持。
- 级联功能支持多片级联, 第一片提供 1120 时序, 为主片, 其他片根据主片的 1120 时序叠加数据。级联的最后一级可以是 3531、3520, 其它级为 3531、3532、3520 均可。
- 联区域模式分为 64 区域模式、32 区域模式 (兼容 3520)。
- 支持 VBI 信息, 包括:
 - 2bit 的 ID 信息, 标志传输的是哪一路码流。
 - 1bit 的级联匹配信息 img_right, 标志级联是否匹配成功。
 - 7bit 的画面格式信息 img_mode, 共有 128 种格式。
 - 64bit 的画面使能信息, 标志级联输入的区域有效情况。
- 第一片为时序提供芯片, 通过配置 ccd_en 把 VBI 信息加入到 BT.1120 的时序上。
- Slave 片 (接受时序的片), 通过配置 slave 模式接收时序, 然后把本级数据按照顺序加到时序上, 同时产生相应的 VBI 信息加到时序中进行传输。
- 支持两路数据分时复用进行传输, 比如 1080p30 的两路数据, 可以通过 1080p60 的接口, 进行复用传输, 通过配置 ID 实现多片的同步。
- 支持最多 64 个区域使能, 每个区域的坐标可以配置。



- 级联接口为 VDP 的输入接口，在硬件接口中用 VIU4 来定义，VIU4 与 VICAP 的输入 VIU1 管脚复用，VIU4_CLK 为 VDP 级联的输入时钟，VIU4_DAT0~VIU4_DAT15 为级联输入的 16 个数据线。



注意

- 级联输出时，DHD0 不能输出除 BT.1120 外的其他接口 (HDMI,VGA/YPbPr)。
- 级联时不支持视频缩放。
- 级联仅支持逐行时序。
- 对于任何一个区域，只能在某一级级联片中使能。

DFIR 功能

dfir 使能可以配置，滤波采用 1,2,1 的滤波方式，性能可达 1pixel/lclk。

CLIP 功能

VDP 具有灵活可配置的 CLIP 功能：

- 接口时序的协议要求输出数据必须限制在一定范围内。如果超出这个范围，需要对数据进行 clip 操作。
- clip 使能可以配置，clip 的低值门限和高值门限可以配置，性能可达 1pixel/lclk。

GAMMA 调节

支持 gamma 校正功能，gamma 使能可配。



注意

仅支持对 BT.1120 的输出进行 DFIR 处理，BT656 输出不支持 DFIR。

11.2.3.11 标清通道处理功能

VDP 具有 6 个标清通道：

- 标清通道包括 DSD0、DSD1、DSD2、DSD3、DSD4、DSD5
- 接口最大分辨率支持 720x576
- DSD0/DSD1 支持 CVBS 接口，DSD2/DSD3/DSD4/DSD5/不支持
- 支持色度下采样 DFIR，DFIR 使能可配
- 支持 CLIP 功能，CLIP 使能可配
- clip 的低值门限和高值门限可以配置



11.2.3.12 WBC2 通道回写功能

WBC2 回写为 DHD1 通道输出时的数据经过缩放回写到 DDR 中，作为高/标清同源显示的标清输入源。

逐/隔行回写

VDP 的 WBC 回写支持逐/隔行可配：

- WBC2 回写使能可配。
- 输入的数据格式：YUV422。WBC2 的数据源来自 CBM 的 MIX2，在输入到 WBC2 时，已下采样到 YUV422 的采样格式。
- 输出的数据格式：semi-plannar422、semi-plannar420。
- 支持逐行回写、隔行回写。WBC2 逐行回写、隔行回写由 DHD1 通道决定，当 DHD1 为隔行显示时，WBC2 隔行回写，当 DHD1 为逐行显示时，WBC2 逐行回写。
- 输入分辨率范围： $32 \times 32 \sim 2560 \times 1600$ 。WBC2 的输入分辨率由 DHD1 的有效宽高决定，当 DHD1 逐行显示时，输入的高度为一帧的高度；当 DHD1 隔行显示时，输入的高度为一场的高度。
- 输出分辨率可配，范围 $32 \times 32 \sim 720 \times 576$ 。

WBC2 缩放

VDP 的 WBC 回写支持高质量，倍数可配置的缩小：

- WBC2 只支持缩小，不支持放大
- WBC2 缩放最小的输入分辨率 32×32 ，最大的输入分辨率 2560×1600
- WBC2 缩放最小的输出分辨率 32×32 ，最大的输出分辨率 720×576
- 支持复制模式、滤波模式
- 支持水平亮度 8 阶、水平色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 支持垂直亮度 6 阶、垂直色度 4 阶滤波，各 32 组滤波系数，滤波系数可配
- 缩放系数采取 AXI 自动从 DDR 中 load 的策略
- 支持垂直亮度色度、水平亮度色度单独配置使能
- 性能：输出的像素 1pixel/1clk



注意

- 采用水平缩放在垂直缩放之前的缩放策略。
- 缩小倍数最大为缩小 16 倍，缩放的亮度行 Buffer 大小为 720，色度的行 Buffer 大小为 720。当输出为 SPYCbCr420 时，最大缩小倍数为 8 倍。

11.2.3.13 中断

VDP 支持共 17 个中断，分 3 类：

- 垂直时序中断
- 低带宽中断
- WBC2 回写完成中断

垂直时序中断

VDP 的每个通道都有独立的垂直时序中断，中断产生位置可灵活配置：

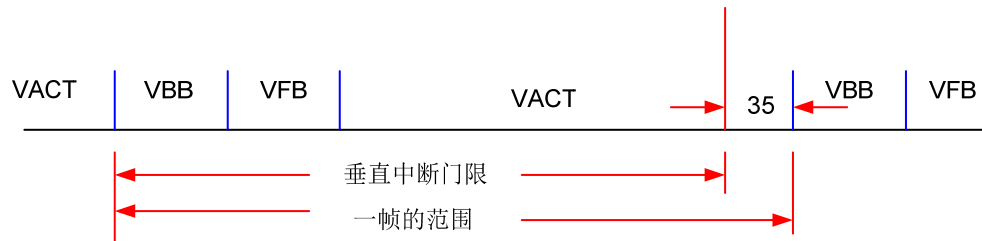
- VDP 包含 2 个高清通道，6 个标清通道，每个通道都有独立的垂直时序中断，标志帧/场的结束标志。VDP 共有 8 个垂直时序中断。
- 中断的产生方式可选：帧中断、场中断。
- 逐行显示，垂直时序中断只能配置为帧中断模式。
- 隔行显示，垂直时序中断可配置为帧中断模式或场中断模式（建议隔行时高清按照场产生中断，标清按照帧产生中断）。
- 支持中断屏蔽可配。
- 支持垂直时序中断门限可配。
- 每个中断源可单独打开与关闭，写 1 清 0。



注意

级联：当 VDP 为 slave 模式，如果为 64 区域模式，垂直时序门限必须控制在 $[0, VBB+VFB+VACT-35]$ 范围之内（预留 35 行的级联配置时间）。

图11-30 级联垂直中断门限



低带宽中断

VDP 支持以中断方式上报低带宽状态：

- VDP 包含 2 个高清通道，6 个标清通道，每个通道都有独立的低带宽中断，标志帧/场的低带宽信息。VDP 共有 8 个低带宽中断。
- 中断的产生方式可选：帧中断、场中断。
- 逐行显示，垂直时序中断只能配置为帧中断模式。
- 隔行显示，垂直时序中断可配置为帧中断模式或场中断模式（建议隔行时高清按照场产生中断，标清按照帧产生中断）。
- 支持中断屏蔽可配。
- 每个中断源可单独打开与关闭，写 1 清 0。

WBC2 回写完成中断

VDP 支持以中断方式上报 WBC 回写完成状态：

- VDP 包含 1 个 WBC2 回写通道，因此共有 1 个 WBC 回写中断，标志帧/场的数据的回写完成。
- WBC2 中断的产生方式由 DHD1 的中断产生方式决定：
 - DHD1 为帧中断，则 WBC2 的中断方式为帧中断。
 - DHD1 为场中断，则 WBC2 的中断方式为场中断。
- 支持中断屏蔽可配。
- 中断源可单独打开与关闭，写 1 清 0。

11.2.3.14 低功耗控制

Mem 的动态时钟门控

VDP 支持可配置的时钟门控：

- Mem 的动态时钟门控通过时钟门控信号 `ck_gate_en` 来实现：
 - 0：时钟正常输入到 mem。
 - 1：mem 的时钟强制为 0。
- 在使能动态时钟门控之前，必须先停止所有的 VDP 业务（所有层、通道禁能）。



Mem 的低功耗控制门控

Mem 的低功耗控制包括 3 种模式：

- NORMAL 模式。Mem 正常输出有效数据。
- RETENTION 模式。Mem 输出数据为 0。
- POWERDOWN 模式。Mem 输出数据为不定态。



说明

VDP 推荐选择低功耗 POWERDOWN 模式。

VDP 的 Mem 低功耗控制支持对不同的层和通道分别控制：

- VDP 的低功耗策略通过 Mem 的低功耗功能来实现。
- Mem 的低功耗使能、模式可配。
- VDP 的低功耗处理以层/通道为单位，各层/通道可单独配置是否进入低功耗模式。
- 支持低功耗的视频层：VHD0/VHD1/VHD2、VSD0/VSD1/VSD2/VSD3/VSD4。
- 支持低功耗的图形层：G0/G1/G2/G3/G4。
- 支持低功耗的鼠标层：HC0/HC1。
- 支持低功耗的回写层：WBC2。
- 支持低功耗的通道：DHD0/DHD1、DSD0/DSD1/DSD2/DSD3/DSD4/DSD5。
- 支持低功耗的系数模块：PARA。

低功耗配置信息包括：

- poowerdown 信号 pd_mode，控制 mem 进入 powerdown 状态。
- retention 信号 retn_mode，控制 mem 进入 retention 状态（当 pd_mode=1 时，只会进入 powerdown 状态）。
- Timer 信息，计数器，用于控制 mem 低功耗状态的状态跳转。



11.2.4 VDP 寄存器概览

VDP 寄存器概览如表 11-10 所示。

表11-10 VDP 寄存器概览（基址是 0x205C_0000）

偏移地址	名称	描述	页码
0x0000 + n x 0x1000	VHDnCTRL	VHD 控制寄存器	11-151
0x0004 + n x 0x1000	VHDnUPD	VHD 通道更新使能寄存器	11-152
0x0010 + n x 0x1000	VHDnCADDR	当前帧的地址寄存器	11-153
0x0014 + n x 0x1000	VHDnCCADDR	当前帧的色度地址寄存器	11-153
0x0024 + n x 0x1000	VHDnSTRIDE	surface 的 stride 寄存器	11-153
0x0028 + n x 0x1000	VHDnIRESO	输入分辨率寄存器	11-154
0x0034 + n x 0x1000	VHDnCBMPARA	叠加相关参数寄存器	11-154
0x0060 + n x 0x1000	VHDnDFPOS	Surface 在显示窗口的起始位置（First POsition）寄存器	11-155
0x0064 + n x 0x1000	VHDnDLPOS	Surface 在显示窗口的结束位置（Last POsition）寄存器	11-155
0x0080 + n x 0x1000	VHDnCSCIDC	色彩空间转换输入直流分量寄存器	11-156
0x0084 + n x 0x1000	VHDnCSCODC	色彩空间转换输出直流分量寄存器	11-157
0x0088 + n x 0x1000	VHDnCSCP0	色彩空间转换参数 0 寄存器	11-157
0x008C + n x 0x1000	VHDnCSCP1	色彩空间转换参数 1 寄存器	11-158
0x0090 + n x 0x1000	VHDnCSCP2	色彩空间转换参数 2 寄存器	11-158
0x0094 + n x 0x1000	VHDnCSCP3	色彩空间转换参数 3 寄存器	11-159
0x0098 + n x 0x1000	VHDnCSCP4	色彩空间转换参数 4 寄存器	11-160



偏移地址	名称	描述	页码
0x00C0+n x 0x1000	VHDnHSP	水平缩放参数配置 (horizontal Scaling Parameter) 寄存器	11-160
0x00C4+n x 0x1000	VHDnHLOFFSET	亮度水平位置偏移寄存器	11-161
0x00C8+n x 0x1000	VHDnHCOFFSET	色度水平位置偏移寄存器	11-162
0x00D8+n x 0x1000	VHDnVSP	缩放参数 (vertical Scaling Parameter) 寄存器	11-162
0x00DC+n x 0x1000	VHDnVSR	垂直缩放倍数 (Luma Vertical Scaling Ratio) 寄存器	11-164
0x00E0+n x 0x1000	VHDnVOFFSET	垂直缩放偏移 (Vertical Luma Offset) 寄存器	11-164
0x00E4+n x 0x1000	VHDnZMEORES O	缩放单元的输出分辨率寄存器	11-165
0x00E8+n x 0x1000	VHDnZMEIRESO	缩放单元的输入分辨率寄存器	11-166
0x00F0+n x 0x1000	VHDnCOEF00	VHD 色度垂直上采样相位 0 的滤波系数 1、2 寄存器	11-166
0x00F4+n x 0x1000	VHDnCOEF01	VHD 色度垂直上采样相位 0 的滤波系数 3、4 寄存器	11-167
0x00F8+n x 0x1000	VHDnCOEF10	VHD 色度垂直上采样相位 1 的滤波系数 1、2 寄存器	11-167
0x00FC+n x 0x1000	VHDnCOEF11	VHD 色度垂直上采样相位 1 的滤波系数 3、4 寄存器	11-168
0x0180+n x 0x1000	VHDnIFIRCOEF0 1	VHD IFIR 滤波系数 0、1 寄存器	11-169
0x0184+n x 0x1000	VHDnIFIRCOEF2 3	VHD IFIR 滤波系数 2、3 寄存器	11-169
0x0188+n x 0x1000	VHDnIFIRCOEF4 5	VHD IFIR 滤波系数 4、5 寄存器	11-170
0x018C+n x 0x1000	VHDnIFIRCOEF6 7	VHD IFIR 滤波系数 6、7 寄存器	11-170
0x0400+n x 0x1000+m x 0x20	VHDnPmRESO	视频层 VHD 分区 0 的分辨率寄存器	11-171



偏移地址	名称	描述	页码
0x0404+n x 0x1000+m x 0x20	VHDnPmLADDR	视频层 VHD 分区 0 的地址寄存器	11-171
0x0408+n x 0x1000+m x 0x20	VHDnPmCADDR	视频层 VHD 分区 0 的色度地址寄存器	11-172
0x040C+n x 0x1000+m x 0x20	VHDnPmSTRIDE	视频层 VHD 分区 0 的 stride 寄存器	11-172
0x0410+n x 0x1000+m x 0x20	VHDnPmVFPOS	视频层 VHD 分区 0 在视频内容的起始位置 (First POSition) 寄存器	11-173
0x0414+n x 0x1000+m x 0x20	VHDnPmVLPOS	视频层 VHD 分区 0 在视频内容的结束位置 (Last POSition) 寄存器	11-173
0x0C00+n x 0x1000	VHDn64REGION ENH	视频层 VHD 64 分区的 32~63 使能寄存器	11-174
0x0C04+n x 0x1000	VHDn64REGION ENL	视频层 VHD 64 分区的 0~31 分区使能寄存器	11-178
0x3000+i x 0x1000	VSDiCTRL	VSD 控制寄存器	11-183
0x3004+i x 0x1000	VSDiUPD	VSD 通道更新使能寄存器	11-183
0x3010+i x 0x1000	VSDiCADDR	当前帧的地址寄存器	11-184
0x3014+i x 0x1000	VSDiCCADDR	当前帧的色度地址寄存器	11-184
0x3024+i x 0x1000	VSDiSTRIDE	surface 的 stride 寄存器	11-185
0x3028+i x 0x1000	VSDiIRESO	输入分辨率寄存器	11-185
0x3034+i x 0x1000	VSDiCBMPARA	叠加相关参数寄存器	11-186
0x3060+i x 0x1000	VSDiDFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	11-186
0x3064+i x 0x1000	VSDiDLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	11-187



偏移地址	名称	描述	页码
0x3080+i x 0x1000	VSDiCSCIDC	色彩空间转换输入直流分量寄存器	11-187
0x3084+i x 0x1000	VSDiCSCODC	色彩空间转换输出直流分量寄存器	11-188
0x3088+i x 0x1000	VSDiCSCP0	色彩空间转换参数寄存器	11-189
0x308C+i x 0x1000	VSDiCSCP1	色彩空间转换参数 1 寄存器	11-189
0x3090+i x 0x1000	VSDiCSCP2	色彩空间转换参数 2 寄存器	11-190
0x3094+i x 0x1000	VSDiCSCP3	色彩空间转换参数 3 寄存器	11-191
0x3098+i x 0x1000	VSDiCSCP4	色彩空间转换参数 4 寄存器	11-191
0x3180+i x 0x1000	VSDiFIRCOEF01	VSD IFIR 滤波系数 0、1 寄存器	11-192
0x3184+i x 0x1000	VSDiFIRCOEF23	VSD IFIR 滤波系数 2、3 寄存器	11-192
0x3188+i x 0x1000	VSDiFIRCOEF45	VSD IFIR 滤波系数 4、5 寄存器	11-192
0x318C+i x 0x1000	VSDiFIRCOEF67	VSD IFIR 滤波系数 6、7 寄存器	11-193
0x3400+i x 0x1000	VSDiPORESO	视频层 VSD 分区 0 的分辨率寄存器	11-193
0x3404+i x 0x1000	VSDiPOLADDR	视频层 VSD 分区 0 的地址寄存器	11-194
0x3408+i x 0x1000	VSDiPOCADDR	视频层 VSD 分区 0 的色度地址寄存器	11-194
0x340C+i x 0x1000	VSDiPOSTRIDE	视频层 VSD 分区 0 的 stride 寄存器	11-195
0x3410+i x 0x1000	VSDiPOVFPOS	视频层 VSD 分区 0 在视频内容的起始位置 (First POSition) 寄存器	11-195
0x3414+i x 0x1000	VSDiPOVLPOS	视频层 VSD 分区 0 在视频内容的结束位置 (Last POSition) 寄存器	11-196
0x3C04+i x 0x1000	VSDi16REGIONE N	视频层 VSD 16 分使能寄存器	11-196
0x8200	WBC2CTRL	WBC2 的控制寄存器	11-197



偏移地址	名称	描述	页码
0x8204	WBC2UPD	WBC2 通道更新使能寄存器	11-198
0x8208	WBC2ADDR	CAPTURE 写地址地址寄存器	11-198
0x820C	WBC2STRIDE	CAPTURE 的 stride 寄存器	11-199
0x8210	WBC2ORESO	输出分辨率寄存器	11-199
0x8220	WBC2CADDR	CAPTURE 写地址色度地址寄存器	11-200
0x8224	WBC2CSTRIDE	CAPTURE 的色度 stride 寄存器	11-200
0x82C0	WBC2HSP	水平缩放参数配置 (horizontal Scaling Parameter) 寄存器	11-201
0x82C4	WBC2HLOFFSET	亮度水平位置偏移寄存器	11-202
0x82C8	WBC2HCOFFSET	色度水平位置偏移寄存器	11-202
0x82D8	WBC2VSP	缩放参数 (vertical Scaling Parameter) 寄存器	11-202
0x82DC	WBC2VSR	垂直缩放倍数 (Luma Vertical Scaling Ratio) 寄存器	11-204
0x82E0	WBC2VOFFSET	垂直缩放偏移 (Vertical Luma Offset) 寄存器	11-204
0x82E4	WBC2ZMEORES O	缩放单元的输出分辨率寄存器	11-205
0x82E8	WBC2ZMEIRES O	缩放单元的输入分辨率寄存器	11-205
0x9000	G0CTRL	G0 层控制寄存器	11-206
0x9004	G0UPD	图形层更新使能寄存器	11-207
0x9008	G0ADDR	图形层地址寄存器	11-208
0x900C	G0STRIDE	图形层的 stride 寄存器	11-208
0x9010	G0CBMPARA	叠加相关参数寄存器	11-209
0x9014	G0CKEYMAX	color key 最大值寄存器	11-209
0x9018	G0CKEYMIN	color key 最小值寄存器	11-210
0x9020	G0IRESO	输入分辨率寄存器	11-210
0x9024	G0ORESO	输出分辨率寄存器	11-211
0x902C	G0DFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	11-211



偏移地址	名称	描述	页码
0x9030	G0DLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	11-212
0x90A0	G0CSCIDC	色彩空间转换输入直流分量寄存器	11-212
0x90A4	G0CSCODC	色彩空间转换输出直流分量寄存器	11-213
0x90A8	G0CSCP0	色彩空间转换参数 0 寄存器	11-213
0x90AC	G0CSCP1	色彩空间转换参数 1 寄存器	11-214
0x90B0	G0CSCP2	色彩空间转换参数 2 寄存器	11-215
0x90B4	G0CSCP3	色彩空间转换参数 3 寄存器	11-215
0x90B8	G0CSCP4	色彩空间转换参数 4 寄存器	11-216
0x91B4	G0DCMPBANK WIDTH	G0 层压缩数据 bank 宽度寄存器	11-216
0x91B8	G0DCMPSTRIDE	G0 层压缩数据 stride 寄存器	11-217
0x91BC	G0DCMPAADDR	G0 层 A 分量压缩数据起始地址寄存器	11-217
0x91C0	G0DCMPRADDR	G0 层 R 分量压缩数据起始地址寄存器	11-218
0x91C4	G0DCMPGADDR	G0 层 G 分量压缩数据起始地址寄存器	11-218
0x91C8	G0DCMPBADDR	G0 层 B 分量压缩数据起始地址寄存器	11-218
0x9200	G1CTRL	G1 层控制寄存器	11-219
0x9204	G1UPD	图形层更新使能寄存器	11-220
0x9208	G1ADDR	图形层地址寄存器	11-220
0x920C	G1STRIDE	图形层的 stride 寄存器	11-221
0x9210	G1CBMPARA	叠加相关参数寄存器	11-221
0x9214	G1CKEYMAX	color key 最大值寄存器	11-222
0x9218	G1CKEYMIN	color key 最小值寄存器	11-223
0x9220	G1IRESO	输入分辨率寄存器	11-223
0x9224	G1ORESO	输出分辨率寄存器	11-223
0x922C	G1DFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	11-224



偏移地址	名称	描述	页码
0x9230	G1DLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	11-224
0x92A0	G1CSCIDC	G1 层色彩空间转换输入直流分量寄存器	11-225
0x92A4	G1CSCODC	色彩空间转换输出直流分量寄存器	11-225
0x92A8	G1CSCP0	G1 层色彩空间转换参数 0 寄存器	11-226
0x92AC	G1CSCP1	G1 层色彩空间转换参数 1 寄存器	11-226
0x92B0	G1CSCP2	色彩空间转换参数 2 寄存器	11-227
0x92B4	G1CSCP3	G1 层色彩空间转换参数 3 寄存器	11-228
0x92B8	G1CSCP4	G1 色彩空间转换参数 4 寄存器	11-228
0x93B4	G1DCMPBANK WIDTH	G1 层压缩数据 bank 宽度寄存器	11-228
0x93B8	G1DCMPSTRIDE	G1 层压缩数据 stride 寄存器	11-229
0x93BC	G1DCMPAADDR	G1 层 A 分量压缩数据起始地址寄存器	11-229
0x93C0	G1DCMPRADDR	G1 层 R 分量压缩数据起始地址寄存器	11-230
0x93C4	G1DCMPGADDR	G1 层 G 分量压缩数据起始地址寄存器	11-230
0x93C8	G1DCMPBADDR	G1 层 B 分量压缩数据起始地址寄存器	11-230
0x9400	G2CTRL	G2 层控制寄存器	11-231
0x9404	G2UPD	图形层更新使能寄存器	11-232
0x9408	G2ADDR	图形层地址寄存器	11-232
0x940C	G2STRIDE	图形层的 stride 寄存器	11-233
0x9410	G2CBMPARA	叠加相关参数寄存器	11-233
0x9414	G2CKEYMAX	color key 最大值寄存器	11-234
0x9418	G2CKEYMIN	color key 最小值寄存器	11-235
0x9420	G2IRESO	输入分辨率寄存器	11-235
0x9424	G2ORESO	输出分辨率寄存器	11-235
0x942C	G2DFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	11-236



偏移地址	名称	描述	页码
0x9430	G2DLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	11-236
0x94A0	G2CSCIDC	色彩空间转换输入直流分量寄存器	11-237
0x94A4	G2CSCODC	G2 层色彩空间转换输出直流分量寄存器	11-237
0x94A8	G2CSCP0	G2 层色彩空间转换参数 0 寄存器	11-238
0x94AC	G2CSCP1	G2 层色彩空间转换参数 1 寄存器	11-238
0x94B0	G2CSCP2	G2 层色彩空间转换参数 2 寄存器	11-239
0x94B4	G2CSCP3	G2 层色彩空间转换参数 3 寄存器	11-240
0x94B8	G2CSCP4	G2 层色彩空间转换参数 4 寄存器	11-240
0x95B4	G2DCMPBANK WIDTH	G2 层压缩数据 bank 宽度寄存器	11-240
0x95B8	G2DCMPSTRIDE	G2 层压缩数据 stride 寄存器	11-241
0x95BC	G2DCMPAADDR	G2 层 A 分量压缩数据起始地址寄存器	11-241
0x95C0	G2DCMPRADDR	G2 层 R 分量压缩数据起始地址寄存器	11-242
0x95C4	G2DCMPGADDR	G2 层 G 分量压缩数据起始地址寄存器	11-242
0x95C8	G2DCMPBADDR	G2 层 B 分量压缩数据起始地址寄存器	11-242
0x9600	G3CTRL	G3 层控制寄存器	11-243
0x9604	G3UPD	图形层更新使能寄存器	11-244
0x9608	G3ADDR	图形层地址寄存器	11-244
0x960C	G3STRIDE	图形层的 stride 寄存器	11-245
0x9610	G3CBMPARA	叠加相关参数寄存器	11-245
0x9614	G3CKEYMAX	color key 最大值寄存器	11-246
0x9618	G3CKEYMIN	color key 最小值寄存器	11-247
0x9620	G3IRESO	输入分辨率寄存器	11-247
0x9624	G3ORESO	输出分辨率寄存器	11-247
0x962C	G3DFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	11-248



偏移地址	名称	描述	页码
0x9630	G3DLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	11-248
0x96A0	G3CSCIDC	G3 层色彩空间转换输入直流分量寄存器	11-249
0x96A4	G3CSCODC	G3 层色彩空间转换输出直流分量寄存器	11-249
0x96A8	G3CSCP0	G3 色彩空间转换参数 0 寄存器	11-250
0x96AC	G3CSCP1	G3 层色彩空间转换参数 1 寄存器	11-250
0x96B0	G3CSCP2	G3 层色彩空间转换参数 2 寄存器	11-251
0x96B4	G3CSCP3	G3 层色彩空间转换参数 3 寄存器	11-252
0x96B8	G3CSCP4	G3 层色彩空间转换参数 4 寄存器	11-252
0x97B4	G3DCMPBANK WIDTH	G3 层压缩数据 bank 宽度寄存器	11-252
0x97B8	G3DCMPSTRIDE	G3 层压缩数据 stride 寄存器	11-253
0x97BC	G3DCMPAADDR	G3 层 A 分量压缩数据起始地址寄存器	11-253
0x97C0	G3DCMPRADDR	G3 层 R 分量压缩数据起始地址寄存器	11-254
0x97C4	G3DCMPGADDR	G3 层 G 分量压缩数据起始地址寄存器	11-254
0x97C8	G3DCMPBADDR	G3 层 B 分量压缩数据起始地址寄存器	11-254
0x9800	G4CTRL	G4 层控制寄存器	11-255
0x9804	G4UPD	图形层更新使能寄存器	11-256
0x9808	G4ADDR	图形层地址寄存器	11-256
0x980C	G4STRIDE	图形层的 stride 寄存器	11-257
0x9810	G4CBMPARA	叠加相关参数寄存器	11-257
0x9814	G4CKEYMAX	color key 最大值寄存器	11-258
0x9818	G4CKEYMIN	color key 最小值寄存器	11-259
0x9820	G4IRESO	输入分辨率寄存器	11-259
0x9824	G4ORESO	输出分辨率寄存器	11-259



偏移地址	名称	描述	页码
0x982C	G4DFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	11-260
0x9830	G4DLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	11-260
0x98A0	G4CSCIDC	G4 层色彩空间转换输入直流分量寄存器	11-261
0x98A4	G4CSCODC	G4 层色彩空间转换输出直流分量寄存器	11-261
0x98A8	G4CSCP0	G4 层色彩空间转换参数 0 寄存器	11-262
0x98AC	G4CSCP1	G4 层色彩空间转换参数 1 寄存器	11-262
0x98B0	G4CSCP2	G4 层色彩空间转换参数 2 寄存器	11-263
0x98B4	G4CSCP3	G4 层色彩空间转换参数 3 寄存器	11-264
0x98B8	G4CSCP4	G4 层色彩空间转换参数 4 寄存器	11-264
0x99B4	G4DCMPBANK WIDTH	G4 层压缩数据 bank 宽度寄存器	11-264
0x99B8	G4DCMPSTRIDE	G4 层压缩数据 stride 寄存器	11-265
0x99BC	G4DCMPAADDR	G4 层 A 分量压缩数据起始地址寄存器	11-265
0x99C0	G4DCMPRADDR	G4 层 R 分量压缩数据起始地址寄存器	11-266
0x99C4	G4DCMPGADDR	G4 层 G 分量压缩数据起始地址寄存器	11-266
0x99C8	G4DCMPBADDR	G4 层 B 分量压缩数据起始地址寄存器	11-266
0x9A00	HCCTRL	HC 层控制寄存器	11-267
0x9A04	HCUPD	图形层更新使能寄存器	11-268
0x9A08	HCADDR	图形层地址寄存器	11-268
0x9A0C	HCSTRIDE	图形层的 stride 寄存器	11-268
0x9A10	HCCBMPARA	叠加相关参数寄存器	11-269
0x9A14	HCCKEYMAX	color key 最大值寄存器	11-270
0x9A18	HCCKEYMIN	color key 最小值寄存器	11-270
0x9A1C	HCCMASK	color key 屏蔽寄存器	11-271



偏移地址	名称	描述	页码
0x9A20	HCIRESO	输入分辨率寄存器	11-271
0x9A2C	HCDFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	11-272
0x9A30	HCDLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	11-272
0x9AA0	HCCSCIDC	色彩空间转换输入直流分量寄存器	11-273
0x9AA4	HCCSCODC	色彩空间转换输出直流分量寄存器	11-273
0x9AA8	HCCSCP0	色彩空间转换参数 0 寄存器	11-274
0x9AAC	HCCSCP1	色彩空间转换参数 1 寄存器	11-274
0x9AB0	HCCSCP2	色彩空间转换参数 2 寄存器	11-275
0x9AB4	HCCSCP3	色彩空间转换参数 3 寄存器	11-276
0x9AB8	HCCSCP4	色彩空间转换参数 4 寄存器	11-276
0x9C00	HC1CTRL	HC1 层控制寄存器	11-276
0x9C04	HC1UPD	图形层更新使能寄存器	11-277
0x9C08	HC1ADDR	图形层地址寄存器	11-278
0x9C0C	HC1STRIDE	图形层的 stride 寄存器	11-278
0x9C10	HC1CBMPARA	叠加相关参数寄存器	11-279
0x9C14	HC1CKEYMAX	color key 最大值寄存器	11-280
0x9C18	HC1CKEYMIN	color key 最小值寄存器	11-281
0x9C1C	HC1CMASK	color key 最小值寄存器	11-281
0x9C20	HC1IRESO	输入分辨率寄存器	11-281
0x9C2C	HC1DFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	11-282
0x9C30	HC1DLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	11-282
0x9CA0	HC1CSCIDC	色彩空间转换输入直流分量寄存器	11-283
0x9CA4	HC1CSCODC	色彩空间转换输出直流分量寄存器	11-283
0x9CA8	HC1CSCP0	色彩空间转换参数 0 寄存器	11-284
0x9CAC	HC1CSCP1	色彩空间转换参数 1 寄存器	11-284
0x9CB0	HC1CSCP2	色彩空间转换参数 2 寄存器	11-285



偏移地址	名称	描述	页码
0x9CB4	HC1CSCP3	色彩空间转换参数 3 寄存器	11-286
0x9CB8	HC1CSCP4	色彩空间转换参数 4 寄存器	11-286
0x9E00	CBMBKG1	HD0 叠加背景色寄存器	11-286
0x9E04	CBMBKG2	HD1 叠加背景色寄存器	11-287
0x9E08	CBMBKG3	SD0 叠加背景色寄存器	11-287
0x9E0C	CBMBKG4	SD1 叠加背景色寄存器	11-288
0x9E10	CBMATTR	CrossBar (Cross Bar ConFiGuration) 配置寄存器	11-288
0x9E14	CBMMIX1	Mixer1 优先级配置寄存器	11-289
0x9E18	CBMMIX2	Mixer2 优先级配置寄存器	11-292
0x9E1C	CBMMIX3	Mixer3 优先级配置寄存器	11-294
0x9E20	CBMMIX4	Mixer4 优先级配置寄存器	11-296
0xA000	DHDCTRL	显示通道的总体控制寄存器	11-298
0xA004	DHDVSYNC	垂直时序寄存器	11-301
0xA008	DHDHSYNC1	水平时序寄存器	11-302
0xA00C	DHDHSYNC2	水平时序寄存器	11-303
0xA010	DHDVPLUS	隔行底场垂直时序寄存器	11-303
0xA014	DHDPWR	同步信号脉冲宽度寄存器	11-304
0xA01C	DHDVTTHD	垂直时序门限值 (Vertical Timing Threshold) 寄存器	11-305
0xA040	DHDCLIPL	显示通道 Clip 处理最低门限值寄存器	11-305
0xA044	DHDCLIPH	显示通道 Clip 处理最高门限值寄存器	11-306
0xA080	DHDCCDOIMG MOD	本地级联多画面模式配置寄存器	11-307
0xA084	DHDCCDOPOSM SKH	本地级联 32~63 区域有效寄存器	11-308
0xA088	DHDCCDOPOSM SKL	本地级联 0~31 区域有效寄存器	11-312
0xA090	DHDCCDIIMG MOD	输入级联多画面模式寄存器	11-316
0xA094	DHDCCDIPOSM SKH	级联输入 32~63 区域有效寄存器	11-316



偏移地址	名称	描述	页码
0xA098	DHDCCDIPOSM SKL	本地级联 0~31 区域有效寄存器	11-320
0xA0F0	DHDSTATE	DHD 状态寄存器	11-324
0xA400	DHD1CTRL	显示通道的总体控制寄存器	11-325
0xA404	DHD1VSYNC	垂直很时序寄存器	11-328
0xA408	DHD1HSYNC1	水平时序寄存器	11-329
0xA40C	DHD1HSYNC2	水平时序寄存器	11-330
0xA410	DHD1VPLUS	隔行底场垂时序寄存器	11-330
0xA414	DHD1PWR	同步信号脉冲宽度寄存器	11-331
0xA41C	DHD1VTTHD	垂直时序门限值 (Vertical Timing Threshold) 寄存器	11-332
0xA440	DHD1CLIPL	显示通道 Clip 处理最低门限值寄存器	11-333
0xA444	DHD1CLIPH	显示通道 Clip 处理最高门限值寄存器	11-333
0xA480	DHD1CCDOIMG MOD	本地级联多画面模式配置寄存器	11-334
0xA484	DHD1CCDOPOS MSKH	本地级联 32~64 区域有效寄存器	11-335
0xA488	DHD1CCDOPOS MSKL	本地级联 0~31 区域有效寄存器	11-339
0xA490	DHD1CCDIIMG MOD	输入级联多画面模式寄存器	11-343
0xA494	DHD1CCDIPOS MSKH	级联输入 32~63 区域有效寄存器	11-344
0xA498	DHD1CCDIPOS MSKL	本地级联 0~31 区域有效寄存器	11-348
0xA4F0	DHD1STATE	DHD 状态寄存器	11-352
0xA800	DSDCTRL	显示通道的总体控制寄存器	11-353
0xA804	DSDVSYNC	垂直时序寄存器	11-355
0xA808	DSDHSYNC1	水平时序寄存器	11-355
0xA80C	DSDHSYNC2	水平时序寄存器	11-356
0xA810	DSDVPLUS	隔行底场垂直时序寄存器	11-357
0xA814	DSDPWR	同步信号脉冲宽度寄存器	11-357



偏移地址	名称	描述	页码
0xA81C	DSDVTTHD	垂直时序门限值（Vertical Timing Threshold）寄存器	11-358
0xA840	DSDCLIPL	显示通道 Clip 处理最低门限值寄存器	11-359
0xA844	DSDCLIPH	显示通道 Clip 处理最高门限值寄存器	11-359
0xA8F0	DSDSTATE	DSD 状态寄存器	11-360
0xAC00	DSD1CTRL	显示通道的总体控制寄存器	11-361
0xAC04	DSD1VSYNC	垂直时序寄存器	11-362
0xAC08	DSD1HSYNC1	水平时序寄存器	11-363
0xAC0C	DSD1HSYNC2	水平时序寄存器	11-364
0xAC10	DSD1VPLUS	隔行输出时，底场垂直同步时序寄存器	11-364
0xAC14	DSD1PWR	同步信号脉冲宽度寄存器	11-365
0xAC1C	DSD1VTTHD	垂直时序门限值（Vertical Timing Threshold）寄存器	11-366
0xAC40	DSD1CLIPL	显示通道 Clip 处理最低门限值寄存器	11-367
0xAC44	DSD1CLIPH	显示通道 Clip 处理最高门限值寄存器	11-367
0xACF0	DSD1STATE	DSD 状态寄存器	11-368
0xB000	DSD2CTRL	显示通道的总体控制寄存器	11-369
0xB004	DSD2VSYNC	垂直时序寄存器	11-370
0xB008	DSD2HSYNC1	水平时序寄存器	11-371
0xB00C	DSD2HSYNC2	水平时序寄存器	11-372
0xB010	DSD2VPLUS	隔行输出时，底场垂直同步时序寄存器	11-372
0xB014	DSD2PWR	同步信号脉冲宽度寄存器	11-373
0xB01C	DSD2VTTHD	垂直时序门限值（Vertical Timing Threshold）寄存器	11-374
0xB040	DSD2CLIPL	显示通道 Clip 处理最低门限值寄存器	11-375
0xB044	DSD2CLIPH	显示通道 Clip 处理最高门限值寄存器	11-375
0xB0F0	DSD2STATE	DSD 状态寄存器	11-376
0xB400	DSD3CTRL	显示通道的总体控制寄存器	11-377



偏移地址	名称	描述	页码
0xB404	DSD3VSYNC	隔行输出时，顶场垂直同步时序寄存器；逐行输出时时，帧垂直同步时序寄存器	11-379
0xB408	DSD3HSYNC1	水平时序寄存器	11-379
0xB40C	DSD3HSYNC2	水平时序寄存器	11-380
0xB410	DSD3VPLUS	隔行底场时序寄存器	11-381
0xB414	DSD3PWR	同步信号脉冲宽度寄存器	11-381
0xB41C	DSD3VTTHD	垂直时序门限值（Vertical Timing Threshold）寄存器	11-382
0xB440	DSD3CLIPL	显示通道 Clip 处理最低门限值寄存器	11-383
0xB444	DSD3CLIPH	显示通道 Clip 处理最高门限值寄存器	11-383
0xB4F0	DSD3STATE	DSD 状态寄存器	11-384
0xB800	DSD4CTRL	显示通道的总体控制寄存器	11-385
0xB804	DSD4VSYNC	垂饰时序寄存器	11-386
0xB808	DSD4HSYNC1	水平时序寄存器	11-387
0xB80C	DSD4HSYNC2	水平时序寄存器	11-388
0xB810	DSD4VPLUS	隔行底场垂直时序寄存器	11-388
0xB814	DSD4PWR	同步信号脉冲宽度寄存器	11-389
0xB81C	DSD4VTTHD	垂直时序门限值（Vertical Timing Threshold）寄存器	11-390
0xB840	DSD4CLIPL	显示通道 Clip 处理最低门限值寄存器	11-391
0xB844	DSD4CLIPH	显示通道 Clip 处理最高门限值寄存器	11-391
0xB8F0	DSD4STATE	DSD 状态寄存器	11-392
0xBC00	DSD5CTRL	显示通道的总体控制寄存器	11-393
0xBC04	DSD5VSYNC	垂直时序寄存器	11-395
0xBC08	DSD5HSYNC1	水平时序寄存器	11-395
0xBC0C	DSD5HSYNC2	水平时序寄存器	11-396
0xBC10	DSD5VPLUS	隔行输出时，底场垂直同步时序寄存器	11-397
0xBC14	DSD5PWR	同步信号脉冲宽度寄存器	11-397



偏移地址	名称	描述	页码
0xBC1C	DSD5VTTHD	垂直时序门限值（Vertical Timing Threshold）寄存器	11-398
0xBC40	DSD5CLIPL	显示通道 Clip 处理最低门限值寄存器	11-399
0xBC44	DSD5CLIPH	显示通道 Clip 处理最高门限值寄存器	11-399
0xBCF0	DSD5STATE	DSD 状态寄存器	11-400
0xC000	HDATE_VERSION	HD_DATE 版本寄存器	11-401
0xC004	HDATE_EN	HD_DATE 使能控制寄存器	11-401
0xC008	HDATE_POLA_CTRL	HD_DATE 输入输出同步极性配置寄存器	11-402
0xC00C	HDATE_VIDEO_FORMAT	HD_DATE 视频格式同步叠加和色度空间转换控制寄存器	11-403
0xC010	HDATE_STATE	HD_DATE 状态寄存器	11-405
0xC014	HDATE_OUT_CTRL	HD_DATE 的输出控制寄存器	11-406
0xC018	HDATE_SRC_13_COEF1	HD_DATE 过采样模块 TAP1 第一项/第三项系数寄存器	11-408
0xC01C	HDATE_SRC_13_COEF2	HD_DATE 过采样模块 TAP2 第一项/第三项系数寄存器	11-409
0xC020	HDATE_SRC_13_COEF3	HD_DATE 过采样模块 TAP3 第一项/第三项系数寄存器	11-409
0xC024	HDATE_SRC_13_COEF4	HD_DATE 过采样模块 TAP4 第一项/第三项系数寄存器	11-409
0xC028	HDATE_SRC_13_COEF5	HD_DATE 过采样模块 TAP5 第一项/第三项系数寄存器	11-410
0xC02C	HDATE_SRC_13_COEF6	HD_DATE 过采样模块 TAP6 第一项/第三项系数寄存器	11-410
0xC030	HDATE_SRC_13_COEF7	HD_DATE 过采样模块 TAP7 第一项/第三项系数寄存器	11-411
0xC034	HDATE_SRC_13_COEF8	HD_DATE 过采样模块 TAP8 第一项/第三项系数寄存器	11-411
0xC038	HDATE_SRC_13_COEF9	HD_DATE 过采样模块 TAP9 第一项/第三项系数寄存器	11-412
0xC03C	HDATE_SRC_13_COEF10	HD_DATE 过采样模块 TAP10 第一项/第三项系数寄存器	11-412



偏移地址	名称	描述	页码
0xC040	HDATE_SRC_13_COEF11	HD_DATE 过采样模块 TAP11 第一项/第三项系数寄存器	11-413
0xC044	HDATE_SRC_13_COEF12	HD_DATE 过采样模块 TAP12 第一项/第三项系数寄存器	11-413
0xC048	HDATE_SRC_13_COEF13	HD_DATE 过采样模块 TAP13 第一项/第三项系数寄存器	11-414
0xC04C	HDATE_SRC_24_COEF1	HD_DATE 过采样模块 TAP1 第二项/第四项系数寄存器	11-414
0xC050	HDATE_SRC_24_COEF2	HD_DATE 过采样模块 TAP2 第二项/第四项系数寄存器	11-415
0xC054	HDATE_SRC_24_COEF3	HD_DATE 过采样模块 TAP3 第二项/第四项系数寄存器	11-415
0xC058	HDATE_SRC_24_COEF4	HD_DATE 过采样模块 TAP4 第二项/第四项系数寄存器	11-416
0xC05C	HDATE_SRC_24_COEF5	HD_DATE 过采样模块 TAP5 第二项/第四项系数寄存器	11-416
0xC060	HDATE_SRC_24_COEF6	HD_DATE 过采样模块 TAP6 第二项/第四项系数寄存器	11-417
0xC064	HDATE_SRC_24_COEF7	HD_DATE 过采样模块 TAP7 第二项/第四项系数寄存器	11-417
0xC068	HDATE_SRC_24_COEF8	HD_DATE 过采样模块 TAP8 第二项/第四项系数寄存器	11-418
0xC06C	HDATE_SRC_24_COEF9	HD_DATE 过采样模块 TAP9 第二项/第四项系数寄存器	11-418
0xC070	HDATE_SRC_24_COEF10	HD_DATE 过采样模块 TAP10 第二项/第四项系数寄存器	11-419
0xC074	HDATE_SRC_24_COEF11	HD_DATE 过采样模块 TAP11 第二项/第四项系数寄存器	11-419
0xC078	HDATE_SRC_24_COEF12	HD_DATE 过采样模块 TAP12 第二项/第四项系数寄存器	11-420
0xC07C	HDATE_SRC_24_COEF13	HD_DATE 过采样模块 TAP13 第二项/第四项系数寄存器	11-420
0xC080	HDATE_CSC_COEF1	HD_DATE 色度空间转换模块系数 1 寄存器	11-421
0xC084	HDATE_CSC_COEF2	HD_DATE 色度空间转换模块系数 2 寄存器	11-421



偏移地址	名称	描述	页码
0xC088	HDATE_CSC_COEF3	HD_DATE 色度空间转换模块系数 3 寄存器	11-422
0xC08C	HDATE_CSC_COEF4	HD_DATE 色度空间转换模块系数 4 寄存器	11-422
0xC090	HDATE_CSC_COEF5	HD_DATE 色度空间转换模块系数 5 寄存器	11-423
0xC0A0	HDATE_TEST	HD_DATE 的测试寄存器	11-423
0xC0A4	HDATE_VBI_CTRL	HD_DATE 的 VBI 控制寄存器	11-424
0xC0A8	HDATE_CGMSA_DATA	HD_DATE 的 CGMSA 配置数据寄存器	11-424
0xC0AC	HDATE_CGMSB_H	HD_DATE 的 CGMSB 配置数据 H 寄存器	11-425
0xC0B0	HDATE_CGMSB_DATA1	HD_DATE 的 CGMSB 配置数据[31:0]寄存器	11-425
0xC0B4	HDATE_CGMSB_DATA2	HD_DATE 的 CGMSB 配置数据 [63:32]寄存器	11-426
0xC0B8	HDATE_CGMSB_DATA3	HD_DATE 的 CGMSB 配置数据 [95:64]寄存器	11-426
0xC0BC	HDATE_CGMSB_DATA4	HD_DATE 的 CGMSB 配置数据 [127:96]寄存器	11-426
0xC200	DATE_COEFF0	制式参数配置寄存器	11-427
0xC204	DATE_COEFF1	幅度配置寄存器	11-431
0xC21C	DATE_COEFF7	Teletext 配置寄存器	11-433
0xC220	DATE_COEFF8	Teletext 配置寄存器	11-437
0xC224	DATE_COEFF9	Teletext 配置寄存器	11-438
0xC228	DATE_COEFF10	Teletext 配置寄存器	11-438
0xC22C	DATE_COEFF11	Closed Caption 配置寄存器	11-439
0xC230	DATE_COEFF12	Closed Caption 配置寄存器	11-440
0xC234	DATE_COEFF13	CGMS 配置寄存器	11-440
0xC238	DATE_COEFF14	CGMS 配置寄存器	11-441
0xC23C	DATE_COEFF15	WSS 配置寄存器	11-441



偏移地址	名称	描述	页码
0xC240	DATE_COEFF16	VPS 配置寄存器	11-442
0xC244	DATE_COEFF17	VPS 配置寄存器	11-443
0xC248	DATE_COEFF18	VPS 配置寄存器	11-443
0xC24C	DATE_COEFF19	VPS 配置寄存器	11-444
0xC250	DATE_COEFF20	Teletext 配置寄存器	11-444
0xC254	DATE_COEFF21	输出矩阵控制寄存器	11-445
0xC258	DATE_COEFF22	DTO 初始相位配置寄存器	11-448
0xC25C	DATE_COEFF23	VIDEO_OUT 延时配置寄存器	11-449
0xC280	DATE_ISRMASK	中断屏蔽寄存器	11-450
0xC284	DATE_ISRSTATE	中断状态寄存器	11-451
0xC288	DATE_ISR	中断寄存器	11-450
0xC290	DATE_VERSION	版本寄存器	11-401
0xC400	DATE1_COEFF0	制式参数配置寄存器	11-452
0xC404	DATE1_COEFF1	幅度配置寄存器	11-457
0xC41C	DATE1_COEFF7	Teletext 配置寄存器	11-459
0xC420	DATE1_COEFF8	Teletext 配置寄存器	11-463
0xC424	DATE1_COEFF9	Teletext 配置寄存器	11-463
0xC428	DATE1_COEFF10	Teletext 配置寄存器	11-464
0xC42C	DATE1_COEFF11	Closed Caption 配置寄存器	11-465
0xC430	DATE1_COEFF12	Closed Caption 配置寄存器	11-466
0xC434	DATE1_COEFF13	CGMS 配置寄存器	11-466
0xC438	DATE1_COEFF14	CGMS 配置寄存器	11-467
0xC43C	DATE1_COEFF15	WSS 配置寄存器	11-467
0xC440	DATE1_COEFF16	VPS 配置寄存器	11-468



偏移地址	名称	描述	页码
0xC444	DATE1_COEFF1 7	VPS 配置寄存器	11-469
0xC448	DATE1_COEFF1 8	VPS 配置寄存器	11-469
0xC44C	DATE1_COEFF1 9	VPS 配置寄存器	11-470
0xC450	DATE1_COEFF2 0	Teletext 配置寄存器	11-470
0xC454	DATE1_COEFF2 1	输出矩阵控制寄存器	11-471
0xC458	DATE1_COEFF2 2	DTO 初始相位配置寄存器	11-474
0xC45C	DATE1_COEFF2 3	VIDEO_OUT 延时配置寄存器	11-475
0xC480	DATE1_ISRMA S K	中断屏蔽寄存器	11-476
0xC484	DATE1_ISRSTA T E	中断状态寄存器	11-477
0xC488	DATE1_ISR	中断寄存器	11-476
0xC490	DATE1_VERSIO N	版本寄存器	11-478
0xC600	DATE2_COEFF0	制式参数配置寄存器	11-478
0xC604	DATE2_COEFF1	幅度配置寄存器	11-483
0xC61C	DATE2_COEFF7	Teletext 配置寄存器	11-484
0xC620	DATE2_COEFF8	Teletext 配置寄存器	11-488
0xC624	DATE2_COEFF9	Teletext 配置寄存器	11-489
0xC628	DATE2_COEFF1 0	Teletext 配置寄存器	11-489
0xC62C	DATE2_COEFF1 1	Closed Caption 配置寄存器	11-490
0xC630	DATE2_COEFF1 2	Closed Caption 配置寄存器	11-491
0xC634	DATE2_COEFF1 3	CGMS 配置寄存器	11-491
0xC638	DATE2_COEFF1 4	CGMS 配置寄存器	11-492



偏移地址	名称	描述	页码
0xC63C	DATE2_COEFF15	WSS 配置寄存器	11-492
0xC640	DATE2_COEFF16	VPS 配置寄存器	11-493
0xC644	DATE2_COEFF17	VPS 配置寄存器	11-494
0xC648	DATE2_COEFF18	VPS 配置寄存器	11-494
0xC64C	DATE2_COEFF19	VPS 配置寄存器	11-495
0xC650	DATE2_COEFF20	Teletext 配置寄存器	11-495
0xC654	DATE2_COEFF21	输出矩阵控制寄存器	11-496
0xC658	DATE2_COEFF22	DTO 初始相位配置寄存器	11-499
0xC65C	DATE2_COEFF23	VIDEO_OUT 延时配置寄存器	11-500
0xC680	DATE2_ISRMA SK	中断屏蔽寄存器	11-501
0xC684	DATE2_ISRSTA TE	中断状态寄存器	11-502
0xC688	DATE2_ISR	中断寄存器	11-501
0xC690	DATE2_VERSIO N	版本寄存器	11-503
0xC800	DATE3_COEFF0	制式参数配置寄存器	11-503
0xC804	DATE3_COEFF1	幅度配置寄存器	11-508
0xC81C	DATE3_COEFF7	Teletext 配置寄存器	11-510
0xC820	DATE3_COEFF8	Teletext 配置寄存器	11-514
0xC824	DATE3_COEFF9	Teletext 配置寄存器	11-515
0xC828	DATE3_COEFF10	Teletext 配置寄存器	11-515
0xC82C	DATE3_COEFF11	Closed Caption 配置寄存器	11-516
0xC830	DATE3_COEFF12	Closed Caption 配置寄存器	11-517



偏移地址	名称	描述	页码
0xC834	DATE3_COEFF1 3	CGMS 配置寄存器	11-517
0xC838	DATE3_COEFF1 4	CGMS 配置寄存器	11-518
0xC83C	DATE3_COEFF1 5	WSS 配置寄存器	11-518
0xC840	DATE3_COEFF1 6	VPS 配置寄存器	11-519
0xC844	DATE3_COEFF1 7	VPS 配置寄存器	11-520
0xC848	DATE3_COEFF1 8	VPS 配置寄存器	11-520
0xC84C	DATE3_COEFF1 9	VPS 配置寄存器	11-521
0xC850	DATE3_COEFF2 0	Teletext 配置寄存器	11-521
0xC854	DATE3_COEFF2 1	输出矩阵控制寄存器	11-522
0xC858	DATE3_COEFF2 2	DTO 初始相位配置寄存器	11-525
0xC85C	DATE3_COEFF2 3	VIDEO_OUT 延时配置寄存器	11-526
0xC880	DATE3_ISRMA S K	中断屏蔽寄存器	11-527
0xC884	DATE3_ISRSTA T E	中断状态寄存器	11-528
0xC888	DATE3_ISR	中断寄存器	11-527
0xC890	DATE3_VERSIO N	版本寄存器	11-529
0xCA00	DATE4_COEFF0	制式参数配置寄存器	11-529
0xCA04	DATE4_COEFF1	幅度配置寄存器	11-534
0xCA1C	DATE4_COEFF7	Teletext 配置寄存器	11-536
0xCA20	DATE4_COEFF8	Teletext 配置寄存器	11-540
0xCA24	DATE4_COEFF9	Teletext 配置寄存器	11-541
0xCA28	DATE4_COEFF1 0	Teletext 配置寄存器	11-541



偏移地址	名称	描述	页码
0xCA2C	DATE4_COEFF1 1	Closed Caption 配置寄存器	11-542
0xCA30	DATE4_COEFF1 2	Closed Caption 配置寄存器	11-543
0xCA34	DATE4_COEFF1 3	CGMS 配置寄存器	11-543
0xCA38	DATE4_COEFF1 4	CGMS 配置寄存器	11-544
0xCA3C	DATE4_COEFF1 5	WSS 配置寄存器	11-544
0xCA40	DATE4_COEFF1 6	VPS 配置寄存器	11-545
0xCA44	DATE4_COEFF1 7	VPS 配置寄存器	11-546
0xCA48	DATE4_COEFF1 8	VPS 配置寄存器	11-546
0xCA4C	DATE4_COEFF1 9	VPS 配置寄存器	11-547
0xCA50	DATE4_COEFF2 0	Teletext 配置寄存器	11-547
0xCA54	DATE4_COEFF2 1	输出矩阵控制寄存器	11-548
0xCA58	DATE4_COEFF2 2	DTO 初始相位配置寄存器	11-551
0xCA5C	DATE4_COEFF2 3	VIDEO_OUT 延时配置寄存器	11-552
0xCA80	DATE4_ISRMA S K	中断屏蔽寄存器	11-553
0xCA84	DATE4_ISRSTA T E	中断状态寄存器	11-554
0xCA88	DATE4_ISR	中断寄存器	11-553
0xCA90	DATE4_VERSIO N	版本寄存器	11-555
0xCC00	DATE5_COEFF0	制式参数配置寄存器	11-555
0xCC04	DATE5_COEFF1	幅度配置寄存器	11-560
0xCC1C	DATE5_COEFF7	Teletext 配置寄存器	11-562
0xCC20	DATE5_COEFF8	Teletext 配置寄存器	11-566



偏移地址	名称	描述	页码
0xCC24	DATE5_COEFF9	Teletext 配置寄存器	11-567
0xCC28	DATE5_COEFF10	Teletext 配置寄存器	11-567
0xCC2C	DATE5_COEFF11	Closed Caption 配置寄存器	11-568
0xCC30	DATE5_COEFF12	Closed Caption 配置寄存器	11-569
0xCC34	DATE5_COEFF13	CGMS 配置寄存器	11-569
0xCC38	DATE5_COEFF14	CGMS 配置寄存器	11-570
0xCC3C	DATE5_COEFF15	WSS 配置寄存器	11-570
0xCC40	DATE5_COEFF16	VPS 配置寄存器	11-571
0xCC44	DATE5_COEFF17	VPS 配置寄存器	11-572
0xCC48	DATE5_COEFF18	VPS 配置寄存器	11-572
0xCC4C	DATE5_COEFF19	VPS 配置寄存器	11-573
0xCC50	DATE5_COEFF20	Teletext 配置寄存器	11-573
0xCC54	DATE5_COEFF21	输出矩阵控制寄存器	11-574
0xCC58	DATE5_COEFF22	DTO 初始相位配置寄存器	11-577
0xCC5C	DATE5_COEFF23	VIDEO_OUT 延时配置寄存器	11-578
0xCC80	DATE5_ISRMAK	中断屏蔽寄存器	11-579
0xCC84	DATE5_ISRSTATE	中断状态寄存器	11-580
0xCC88	DATE5_ISR	中断寄存器	11-579
0xCC90	DATE5_VERSION	版本寄存器	11-581
0xCE00	VOCTRL	VO 控制寄存器	11-581



偏移地址	名称	描述	页码
0xCE04	VOINTSTA	VO 中断状态寄存器	11-583
0xCE08	VOMSKINTSTA	VO 经过 Mask 的中断状态寄存器	11-585
0xCE0C	VOINTMSK	VOU 中断屏蔽寄存器	11-588
0xCE10	VOUVERSION1	VOU 版本 1 寄存器	11-591
0xCE14	VOUVERSION2	VOU 版本 2 寄存器	11-592
0xCE18	VOMUXDATA	VO 输出接口复选数据 (VOPINTEST) 寄存器	11-592
0xCE1C	VOMUX	VO 输出接口复选寄存器	11-592
0xCE24	VGACSCIDC	色彩空间转换输入直流分量寄存器	11-595
0xCE28	VGACSCODC	色彩空间转换输出直流分量寄存器	11-596
0xCE2C	VGACSCP0	色彩空间转换参数 0 寄存器	11-596
0xCE30	VGACSCP1	色彩空间转换参数 1 寄存器	11-597
0xCE34	VGACSCP2	色彩空间转换参数 2 寄存器	11-598
0xCE38	VGACSCP3	色彩空间转换参数 3 寄存器	11-598
0xCE3C	VGACSCP4	色彩空间转换参数 4 寄存器	11-599
0xCE40	VOPARAUP	缩放/GAMMA/ACC 系数更新使能寄存器	11-599
0xCE44	VHDHCOEFAD	VHD 水平亮度、水平色度滤波系数地址寄存器	11-602
0xCE48	VHDVCOEFAD	VHD 垂直亮度、水平色度滤波系数地址寄存器	11-602
0xCE4C	VHD1HCOEFAD	VHD1 水平亮度、水平色度滤波系数地址寄存器	11-603
0xCE50	VHD1VCOEFAD	VHD1 垂直亮度、水平色度滤波系数地址寄存器	11-603
0xCE54	ACCAD	video 通道 ACC 系数查找表地址寄存器	11-603
0xCE58	WBC2HCOEFAD	WBC2 水平亮度、水平色度滤波系数地址寄存器	11-604
0xCE5C	WBC2VCOEFAD	WBC2 垂直亮度、水平色度滤波系数地址寄存器	11-604



偏移地址	名称	描述	页码
0xCE78	DHDGAMMAAD	DHD 通道 gamma 校正系数地址寄存器	11-604
0xCE7C	DHD1GAMMAAD	DHD1 通道 gamma 校正系数地址寄存器	11-605
0xCE80	VODDRSEL	DDR 选择寄存器	11-605
0xCEE0	DACCTRL0_2	DAC0~2 控制寄存器	11-608
0xCEE4	DACCTRL3_5	DAC3~5 控制寄存器	11-610
0xCEE8	DACSTAT0_2	DAC0~2 状态寄存器	11-612
0xCEEC	DACSTAT3_5	DAC3~5 状态寄存器	11-612
0xCEF0	DACBANDGAP	bandgap 测试寄存器	11-613
0xCEF4	VOLPTIMER	低功耗计数器寄存器	11-613
0xCEF8	VOLPMODE0	低功耗模式 0 寄存器	11-614
0xCEFC	VOLPMODE1	低功耗模式 1 寄存器	11-616
0xD000~ 0xD10C	VHDHLCOEf	VHD 水平亮度缩放滤波系数寄存器	11-618
0xD200~ 0xD284	VHDHCCOEf	VHD 水平色度缩放滤波系数寄存器	11-619
0xD400~ 0xD50C	VHDVLCOEf	VHD 垂直亮度缩放滤波系数寄存器	11-620
0xD600~ 0xD684	VHDVCCOEf	VHD 垂直色度缩放滤波系数寄存器	11-621
0xD800~ 0xD90C	VHD1HLCOEf	VHD1 水平亮度缩放滤波系数寄存器	11-622
0xDA00~ 0xDA84	VHD1HCCOEf	VHD1 水平色度缩放滤波系数寄存器	11-622
0xDC00~ 0xDD0C	VHD1VLCOEf	VHD1 垂直亮度缩放滤波系数寄存器	11-623
0xDE00~ 0xDF84	VHD1VCCOEf	VHD1 垂直色度缩放滤波系数寄存器	11-624
0xE000~ 0xE10C	WBCHLCOEf	WBC 水平亮度缩放滤波系数寄存器	11-625
0xE200~ 0xE284	WBCHCCOEf	WBC 水平色度缩放滤波系数寄存器	11-625



偏移地址	名称	描述	页码
0xE400~ 0xE50C	WBCVLCOEFC	WBC 垂直亮度缩放滤波系数寄存器	11-626
0xE600~ 0xE684	WBCVCCOEFC	WBC 垂直色度缩放滤波系数寄存器	11-627
0xE800~ 0xE880	DHDGAMMAN	DHD 通道 GAMMA 查找表系数寄存器	11-628
0xE900~ 0xE980	DHD1GAMMAN	DHD1 通道 GAMMA 查找表系数寄存器	11-628

VDP 寄存器偏移地址中变量的取值范围和含义如表 11-11 所示。

表11-11 VDPV150 寄存器偏移地址变量表

变量名称	取值范围	描述
n	0~2	高清视频层 0~2。
i	0~4	标清视频层 0~4。
m	0~63	视频层区域号： 当 n=0、n=1 时，m 取值 0~63； 当 n=2 时，m 取值 0~7。

11.2.5 VDP 寄存器描述

VHDnCTRL

VHDnCTRL 为 VHD 控制寄存器。该寄存器可以配置层的相关信息。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000+n x 0x1000		VHDnCTRL		0x0000_0000					
(n = 0~2)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_en	reserved			ifir_mode	vup_mode	reserved		ifmt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	surface_en	surface 使能。非即时寄存器。 0: 禁止; 1: 使能。						
[30:20]	-	reserved	保留。						
[19:18]	RW	ifir_mode	水平色度 IFIR 模式。 00: 保留。 01: 色度 IFIR 拷贝模式; 10: 双线性插值; 11: 6 阶 FIR。						
[17]	-	vup_mode	寄存器更新模式选择。 0: 按场更新; 1: 按帧更新。						
[16:4]	-	reserved	保留。						
[3:0]	RW	ifmt	输入数据格式。 0x3: SPYCbCr420; 0x4: SPYCbCr422; 其他: 保留。						

VHDnUPD

VHDnUPD 为 VHD 通道更新使能寄存器。



	Offset Address 0x0004+n x 0x1000 (n = 0~2)																Register Name VHDnUPD				Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																														regup					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:1]	-	reserved		保留。																															
	[0]	RW	regup		surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。																															

VHDnCADDR

VHDnCADDR 为当前帧的地址寄存器。对于 package 像素格式就是帧 buffer 地址；对于 semi-planar 像素格式是亮度帧 buffer 地址。

	Offset Address 0x0010+n x 0x1000 (n = 0~2)																Register Name VHDnCADDR				Total Reset Value 0x0000_0000											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_caddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	surface_caddr		当前帧的地址。																											

VHDnCCADDR

VHDnCCADDR 为当前帧的色度地址寄存器。对于 package 像素格式该地址无效；对于 semi-planar 像素格式是色度帧 buffer 地址。



Offset Address		Register Name		Total Reset Value				
0x0014+n x 0x1000 (n = 0~2)		VHDnCCADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_ccaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_ccaddr	当前帧的色度地址。					

VHDnSTRIDE

VHDnSTRIDE 为 surface 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0024+n x 0x1000 (n = 0~2)		VHDnSTRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	色度帧 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	帧 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

VHDnIRESO

VHDnIRESO 为输入分辨率寄存器。非即时寄存器。



	Offset Address $0x0028+n \times 0x1000$ ($n = 0 \sim 2$)				Register Name VHDnIRESO				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ih								iw																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	-	reserved	保留。																												
	[23:12]	RW	ih	高度，单位：行。实际高度减 1。 以帧高度为参考，以行为单位。																												
	[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。																												

VHDnCBMPARA

VHDnCBMPARA 为叠加相关参数寄存器。非即时寄存器。

	Offset Address $0x0034+n \times 0x1000$ ($n = 0 \sim 2$)				Register Name VHDnCBMPARA				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												galpha																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:8]	RW	reserved	保留。																												
	[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~128。128 为全不透明；0 为全透明。																												

VHDnDFPOS

VHDnDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0060+n x 0x1000		VHDnDFPOS		0x0000_0000					
(n = 0~2)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			disp_yfpos			disp_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_yfpos	显示列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	disp_xfpos	显示行起始坐标。						

VHDnDLPOS

VHDnDLPOS 为 Surface 在显示窗口的结束位置 (Last POSition) 寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0064+n x 0x1000		VHDnDLPOS		0x0000_0000					
(n = 0~2)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			disp_ylpos			disp_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_ylpos	显示列结束坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	disp_xlpos	显示行结束坐标。						

VHDnCSCIDC

VHDnCSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x0080+n x 0x1000 (n = 0~2)		VHDnCSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2	cscidc1				cscidc0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能控制信号。 0: 禁止; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

VHDnCSCODC

VHDnCSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0084+n x 0x1000 (n = 0~2)		VHDnCSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2	cscodc1				cscodc0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。					



VHDnCSCP0

VHDnCSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0088+n x 0x1000		VHDnCSCP0		0x0000_0000					
(n = 0~2)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp01			reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VHDnCSCP1

VHDnCSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x008C+n x 0x1000		VHDnCSCP1		0x0000_0000					
(n = 0~2)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



[15:13]	-	reserved	保留。
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

VHDnCSCP2

VHDnCSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0090+n x 0x1000				VHDnCSCP2				0x0000_0000																							
	(n = 0~2)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12								reserved				cscp11															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	-		reserved		保留。																											
[28:16]	RW		cscp12		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											
[15:13]	-		reserved		保留。																											
[12:0]	RW		cscp11		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

VHDnCSCP3

VHDnCSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0094+n x 0x1000				VHDnCSCP3				0x0000_0000																							
	(n = 0~2)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21								reserved				cscp20															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:29]	-	reserved		保留。																											
	[28:16]	RW	cscp21		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											
	[15:13]	-	reserved		保留。																											
	[12:0]	RW	cscp20		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

VHDnCSCP4

VHDnCSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0098+n x 0x1000				VHDnCSCP4				0x0000_0000																							
	(n = 0~2)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved													cscp22																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:13]	-	reserved		保留。																											
	[12:0]	RW	cscp22		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

VHDnHSP

VHDnHSP 为水平缩放参数配置（horizontal Scaling Parameter）寄存器。非即时寄存器。



缩放比率 = 输入宽度 / 输出宽度



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。

	Offset Address 0x00C0 + n x 0x1000 (n = 0~2)																Register Name VHDnHSP				Total Reset Value 0x0000_0000												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	hlmsc_en	hchmsc_en	reserved						hlfir_en	hchfir_en	reserved			hfir_order	reserved		hratio																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31]		[29:25]				[24]	[23]	[22:20]				[19]																				
Access	RW		-				RW	RW	-				RW																				
Name	hlmsc_en		reserved				hlfir_en	hchfir_en	reserved				hfir_order																				
Description	水平亮度缩放使能。 0: 禁止; 1: 使能。		保留。				水平亮度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。	水平色度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。	保留。				水平缩放位置。 0: 水平缩放在垂直缩放前面; 1: 水平缩放在垂直缩放后面。																				



[18:16]	-	reserved	保留。
[15:0]	RW	hratio	水平缩放倍数，(u,4,12)格式。

VHDnHLOFFSET

VHDnHLOFFSET 为亮度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

Offset Address		Register Name	Total Reset Value						
0x00C4+n x 0x1000 (n = 0~2)		VHDnHLOFFSET	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hor_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	hor_offset	水平亮度位置偏移，(s,5,12)格式。补码表示。						

VHDnHCOFFSET

VHDnHCOFFSET 为色度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

Offset Address		Register Name	Total Reset Value						
0x00C8+n x 0x1000 (n = 0~2)		VHDnHCOFFSET	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hor_coffset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	hor_coffset	水平色度位置偏移，(s,5,12)格式。补码表示。						

VHDnVSP

VHDnVSP 为缩放参数（vertical Scaling Parameter）寄存器。



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。

Offset Address		Register Name		Total Reset Value																													
0x00D8 + n x 0x1000		VHDnVSP		0x0000_0000																													
(n = 0~2)																																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	vlmisc_en	vchmsc_en	reserved		vsc_luma_tap	vsc_chroma_tap	chroma_type	vfir_en	vchfir_en	reserved																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																												
[31]	RW		vlmisc_en		垂直亮度缩放使能。 0: 禁止; 1: 使能。																												
[30]	RW		vchmsc_en		垂直色度缩放使能。 0: 禁止; 1: 使能。																												
[29:28]	-		reserved		保留。																												
[27]	RW		vsc_luma_tap		垂直亮度缩放阶数。 0: 4 阶 FIR; 1: 2 阶 FIR;																												
[26]	RW		vsc_chroma_tap		垂直色度缩放阶数。 0: 4 阶 FIR; 1: 2 阶 FIR。																												
[25]	RW		chroma_type		亮度和色度在垂直方向的比例。 0: 422; 1: 420。																												



	Offset Address 0x00D8+n x 0x1000 (n = 0~2)																Register Name VHDnVSP				Total Reset Value 0x0000_0000													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	vlmsc_en		vchmsc_en		reserved			vsc_luma_tap		vsc_chroma_tap		chroma_type		vlfir_en		vchfir_en		reserved																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[24]		[23]		[22:0]																													
Access	RW		RW		-																													
Name	vlfir_en		vchfir_en		reserved																													
Description	垂直亮度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。		垂直色度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。		保留。																													

VHDnVSR

VHDnVSR 为垂直缩放倍数（Luma Vertical Scaling Ratio）寄存器。非即时寄存器。

缩放比率=输入高度/输出高度。



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。



Offset Address		Register Name		Total Reset Value				
0x00DC+n x 0x1000 (n = 0~2)		VHDnVSR		0x0000_1000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vratio			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	vratio	垂直缩放倍数，(u,4,12)格式。					

VHDnVOFFSET

VHDnVOFFSET 为垂直缩放偏移（Vertical Luma Offset）寄存器。

垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。

Offset Address		Register Name		Total Reset Value				
0x00E0+n x 0x1000 (n = 0~2)		VHDnVOFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vluma_offset				vchroma_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	vluma_offset	垂直亮度偏移，补码表示，(s,4,12)格式。					
[15:0]	RW	vchroma_offset	垂直色度偏移，补码表示，(s,4,12)格式。					



VHDnZMEORESO

VHDnZMEORESO 为缩放单元的输出分辨率寄存器。非即时寄存器。



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。

	Offset Address				Register Name								Total Reset Value																			
	0x00E4+n x 0x1000				VHDnZMEORESO								0x0000_0000																			
	(n = 0~2)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				oh								ow																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	-	reserved	保留。																													
[23:12]	RW	oh	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位；隔行时，以场高度为参考，以行为单位。																													
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。																													

VHDnZMEIRESO

VHDnZMEIRESO 为缩放单元的输入分辨率寄存器。非即时寄存器。



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。



Offset Address		Register Name		Total Reset Value					
0x00E8+n x 0x1000 (n = 0~2)		VHDnZMEIRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	ih	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位，隔行时，以场高度为参考，以行为单位。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

VHDnCOEF00

VHDnCOEF00 为 VHD 色度垂直上采样相位 0 的滤波系数 1、2 寄存器。



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。

Offset Address		Register Name		Total Reset Value					
0x00F0+n x 0x1000 (n = 0~2)		VHDnCOEF00		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef01			coef00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	-	reserved	保留。						
[19:10]	RW	coef01	色度缩放相位 0 的第 2 个系数。						
[9:0]	RW	coef00	色度缩放相位 0 的第 1 个系数。						



VHDnCOEF01

VHDnCOEF01 为 VHD 色度垂直上采样相位 0 的滤波系数 3、4 寄存器。



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。

	Offset Address				Register Name				Total Reset Value																							
	0x00F4+n x 0x1000				VHDnCOEF01				0x0000_0000																							
	(n = 0~2)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef01								coef00															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:20]	-		reserved		保留。																											
[19:10]	RW		coef01		色度缩放相位 0 的第 4 个系数。																											
[9:0]	RW		coef00		色度缩放相位 0 的第 3 个系数。																											

VHDnCOEF10

VHDnCOEF10 为 VHD 色度垂直上采样相位 1 的滤波系数 1、2 寄存器。



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。



Offset Address		Register Name		Total Reset Value					
0x00F8+n x 0x1000 (n = 0~2)		VHDnCOEF10		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef01			coef00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	-	reserved	保留。						
[19:10]	RW	coef01	色度缩放相位 1 的第 2 个系数。						
[9:0]	RW	coef00	色度缩放相位 1 的第 1 个系数。						

VHDnCOEF11

VHDnCOEF11 为 VHD 色度垂直上采样相位 1 的滤波系数 3、4 寄存器。



注意

n = 2 时不支持缩放功能，即相应的缩放寄存器无效。

Offset Address		Register Name		Total Reset Value					
0x00FC+n x 0x1000 (n = 0~2)		VHDnCOEF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef01			coef00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	-	reserved	保留。						
[19:10]	RW	coef01	色度缩放相位 1 的第 4 个系数。						
[9:0]	RW	coef00	色度缩放相位 1 的第 3 个系数。						

VHDnIFIRCOEF01

VHDnIFIRCOEF01 为 VHD IFIR 滤波系数 0、1 寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0180+n x 0x1000				VHDnIFIRCOEF01								0x000D_0000																			
	(n = 0~2)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef1								reserved				coef0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:26]	-	reserved	保留。																													
[25:16]	RW	coef1	IFIR 滤波系数 1。																													
[15:10]	-	reserved	保留。																													
[9:0]	RW	coef0	IFIR 滤波系数 0。																													

VHDnIFIRCOEF23

VHDnIFIRCOEF23 为 VHD IFIR 滤波系数 2、3 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0184+n x 0x1000				VHDnIFIRCOEF23								0x0132_03C1																			
	(n = 0~2)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef3								reserved				coef2															
Reset	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:26]	-	reserved	保留。																													
[25:16]	RW	coef3	IFIR 滤波系数 3。																													
[15:10]	-	reserved	保留。																													
[9:0]	RW	coef2	IFIR 滤波系数 2。																													

VHDnIFIRCOEF45

VHDnIFIRCOEF45 为 VHD IFIR 滤波系数 4、5 寄存器。



	Offset Address $0x0188+n \times 0x1000$ ($n = 0 \sim 2$)				Register Name VHDnIFIRCOEF45				Total Reset Value 0x03C1_0132																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef5				reserved				coef4																			
Reset	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0
	Bits	Access	Name		Description																											
	[31:26]	-	reserved		保留。																											
	[25:16]	RW	coef5		IFIR 滤波系数 5。																											
	[15:10]	-	reserved		保留。																											
	[9:0]	RW	coef4		IFIR 滤波系数 4。																											

VHDnIFIRCOEF67

VHDnIFIRCOEF67 为 VHD IFIR 滤波系数 6、7 寄存器。

	Offset Address $0x018C+n \times 0x1000$ ($n = 0 \sim 2$)				Register Name VHDnIFIRCOEF67				Total Reset Value 0x0000_000D																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef7				reserved				coef6																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
	Bits	Access	Name		Description																											
	[31:26]	-	reserved		保留。																											
	[25:16]	RW	coef7		IFIR 滤波系数 7。																											
	[15:10]	-	reserved		保留。																											
	[9:0]	RW	coef6		IFIR 滤波系数 6。																											

VHDnPmRESO

VHDnPmRESO 为视频层 VHD 分区 0 的分辨率寄存器。非即时寄存器。



Offset Address
 $0x0400 + n \times 0x1000 + m \times 0x20$
 $(n = 0 \sim 2)$
 $(m = 0 \sim 63)$

Register Name
VHDnPmRESO

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												w																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:12]	RW		reserved		保留。																															
[11:0]	RW		w		宽度，单位：像素。实际宽度减1。 注意：实际宽度必须是偶数。																															

VHDnPmLADDR

VHDnPmLADDR 为视频层 VHD 分区 0 的地址寄存器。

Offset Address
 $0x0404 + n \times 0x1000 + m \times 0x20$
 $(n = 0 \sim 2)$
 $(m = 0 \sim 63)$

Register Name
VHDnPmLADDR

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RW		surface_addr		视频层 VHD 分区 0 的首地址。																															

VHDnPmCADDR

VHDnPmCADDR 为视频层 VHD 分区 0 的色度地址寄存器。



Offset Address	Register Name	Total Reset Value
$0x0408 + n \times 0x1000 + m \times 0x20$	VHDnPmCADDR	0x0000_0000
(n = 0~2)		
(m = 0~63)		

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RW		surface_addr		视频层 VHD 分区 0 的色度首地址。																															

VHDnPmSTRIDE

VHDnPmSTRIDE 为视频层 VHD 分区 0 的 stride 寄存器。

Offset Address	Register Name	Total Reset Value
$0x040C + n \times 0x1000 + m \times 0x20$	VHDnPmSTRIDE	0x0000_0000
(n = 0~2)		
(m = 0~63)		

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_cstride																surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	RW		surface_cstride		视频层 VHD 分区 0 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。																															
[15:0]	RW		surface_stride		视频层 VHD 分区 0 buffer 的 stride(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。																															

VHDnPmVFPOS

VHDnPmVFPOS 为视频层 VHD 分区 0 在视频内容的起始位置 (First POSition) 寄存器。以像素为单位。非即时寄存器。



Offset Address
 $0x0410 + n \times 0x1000 + m \times 0x20$
 (n = 0~2)
 (m = 0~63)

Register Name
 VHDnPmVFPOS

Total Reset Value
 0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								video_yfpos								video_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		reserved		保留。																											
[23:12]	RW		video_yfpos		视频内容列起始坐标。 以帧高度为参考，以行为单位。																											
[11:0]	RW		video_xfpos		视频内容行起始坐标。																											

VHDnPmVLPOS

VHDnPmVLPOS 为视频层 VHD 分区 0 在视频内容的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address
 $0x0414 + n \times 0x1000 + m \times 0x20$
 (n = 0~2)
 (m = 0~63)

Register Name
 VHDnPmVLPOS

Total Reset Value
 0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								video_ylpos								video_xlpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		reserved		保留。																											
[23:12]	RW		video_ylpos		视频内容列结束坐标。 以帧高度为参考，以行为单位。																											
[11:0]	RW		video_xlpos		视频内容行结束坐标。																											

VHDn64REGIONENH

VHDn64REGIONENH 为视频层 VHD 64 分区的 32~63 使能寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0C00+n x 0x1000 (n = 0~2)		VHDn64REGIONENH		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW	p63_en	VHD 分区 63 的使能信号。 0: 禁止; 1: 使能。																													
[30]	RW	p62_en	VHD 分区 62 的使能信号。 0: 禁止; 1: 使能。																													
[29]	RW	p61_en	VHD 分区 61 的使能信号。 0: 禁止; 1: 使能。																													
[28]	RW	p60_en	VHD 分区 60 的使能信号。 0: 禁止; 1: 使能。																													
[27]	RW	p59_en	VHD 分区 59 的使能信号。 0: 禁止; 1: 使能。																													
[26]	RW	p58_en	VHD 分区 58 的使能信号。 0: 禁止; 1: 使能。																													
[25]	RW	p57_en	VHD 分区 57 的使能信号。 0: 禁止; 1: 使能。																													
[24]	RW	p56_en	VHD 分区 56 的使能信号。 0: 禁止; 1: 使能。																													



Offset Address		Register Name																Total Reset Value																		
0x0C00+n x 0x1000		VHDn64REGIONENH																0x0000_0000																		
(n = 0~2)																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name	Description																																	
[23]	RW	p55_en	VHD 分区 55 的使能信号。 0: 禁止; 1: 使能。																																	
[22]	RW	p54_en	VHD 分区 54 的使能信号。 0: 禁止; 1: 使能。																																	
[21]	RW	p53_en	VHD 分区 53 的使能信号。 0: 禁止; 1: 使能。																																	
[20]	RW	p52_en	VHD 分区 52 的使能信号。 0: 禁止; 1: 使能。																																	
[19]	RW	p51_en	VHD 分区 51 的使能信号。 0: 禁止; 1: 使能。																																	
[18]	RW	p50_en	VHD 分区 50 的使能信号。 0: 禁止; 1: 使能。																																	
[17]	RW	p49_en	VHD 分区 49 的使能信号。 0: 禁止; 1: 使能。																																	
[16]	RW	p48_en	VHD 分区 48 的使能信号。 0: 禁止; 1: 使能。																																	



Offset Address		Register Name		Total Reset Value																												
0x0C00+n x 0x1000 (n = 0~2)		VHDn64REGIONENH		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[15]	RW	p47_en	VHD 分区 47 的使能信号。 0: 禁止; 1: 使能。																													
[14]	RW	p46_en	VHD 分区 46 的使能信号。 0: 禁止; 1: 使能。																													
[13]	RW	p45_en	VHD 分区 45 的使能信号。 0: 禁止; 1: 使能。																													
[12]	RW	p44_en	VHD 分区 44 的使能信号。 0: 禁止; 1: 使能。																													
[11]	RW	p43_en	VHD 分区 43 的使能信号。 0: 禁止; 1: 使能。																													
[10]	RW	p42_en	VHD 分区 42 的使能信号。 0: 禁止; 1: 使能。																													
[9]	RW	p41_en	VHD 分区 41 的使能信号。 0: 禁止; 1: 使能。																													
[8]	RW	p40_en	VHD 分区 40 的使能信号。 0: 禁止; 1: 使能。																													



Offset Address		Register Name																Total Reset Value																		
0x0C00+n x 0x1000		VHDn64REGIONENH																0x0000_0000																		
(n = 0~2)																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name	Description																																	
[7]	RW	p39_en	VHD 分区 39 的使能信号。 0: 禁止; 1: 使能。																																	
[6]	RW	p38_en	VHD 分区 38 的使能信号。 0: 禁止; 1: 使能。																																	
[5]	RW	p37_en	VHD 分区 37 的使能信号。 0: 禁止; 1: 使能。																																	
[4]	RW	p36_en	VHD 分区 36 的使能信号。 0: 禁止; 1: 使能。																																	
[3]	RW	p35_en	VHD 分区 35 的使能信号。 0: 禁止; 1: 使能。																																	
[2]	RW	p34_en	VHD 分区 34 的使能信号。 0: 禁止; 1: 使能。																																	
[1]	RW	p33_en	VHD 分区 33 的使能信号。 0: 禁止; 1: 使能。																																	
[0]	RW	p32_en	VHD 分区 32 的使能信号。 0: 禁止; 1: 使能。																																	



VHDn64REGIONENL

VHDn64REGIONENL 为视频层 VHD 64 分区的 0~31 分区使能寄存器。非即时寄存器。

	Offset Address 0x0C04+n x 0x1000 (n = 0~2)				Register Name VHDn64REGIONENL				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31]	RW	p31_en	VHD 分区 31 的使能信号。 0: 禁止; 1: 使能。																												
	[30]	RW	p30_en	VHD 分区 30 的使能信号。 0: 禁止; 1: 使能。																												
	[29]	RW	p29_en	VHD 分区 29 的使能信号。 0: 禁止; 1: 使能。																												
	[28]	RW	p28_en	VHD 分区 28 的使能信号。 0: 禁止; 1: 使能。																												
	[27]	RW	p27_en	VHD 分区 27 的使能信号。 0: 禁止; 1: 使能。																												
	[26]	RW	p26_en	VHD 分区 26 的使能信号。 0: 禁止; 1: 使能。																												
	[25]	RW	p25_en	VHD 分区 25 的使能信号。 0: 禁止; 1: 使能。																												



Offset Address		Register Name																Total Reset Value																		
0x0C04+n x 0x1000		VHDn64REGIONENL																0x0000_0000																		
(n = 0~2)																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[24]	RW		p24_en		VHD 分区 24 的使能信号。 0: 禁止; 1: 使能。																															
[23]	RW		p23_en		VHD 分区 23 的使能信号。 0: 禁止; 1: 使能。																															
[22]	RW		p22_en		VHD 分区 22 的使能信号。 0: 禁止; 1: 使能。																															
[21]	RW		p21_en		VHD 分区 21 的使能信号。 0: 禁止; 1: 使能。																															
[20]	RW		p20_en		VHD 分区 20 的使能信号。 0: 禁止; 1: 使能。																															
[19]	RW		p19_en		VHD 分区 19 的使能信号。 0: 禁止; 1: 使能。																															
[18]	RW		p18_en		VHD 分区 18 的使能信号。 0: 禁止; 1: 使能。																															
[17]	RW		p17_en		VHD 分区 17 的使能信号。 0: 禁止; 1: 使能。																															



Offset Address		Register Name		Total Reset Value																												
0x0C04+n x 0x1000 (n = 0~2)		VHDn64REGIONENL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[16]	RW		p16_en		VHD 分区 16 的使能信号。 0: 禁止; 1: 使能。																											
[15]	RW		p15_en		VHD 分区 15 的使能信号。 0: 禁止; 1: 使能。																											
[14]	RW		p14_en		VHD 分区 14 的使能信号。 0: 禁止; 1: 使能。																											
[13]	RW		p13_en		VHD 分区 13 的使能信号。 0: 禁止; 1: 使能。																											
[12]	RW		p12_en		VHD 分区 12 的使能信号。 0: 禁止; 1: 使能。																											
[11]	RW		p11_en		VHD 分区 11 的使能信号。 0: 禁止; 1: 使能。																											
[10]	RW		p10_en		VHD 分区 10 的使能信号。 0: 禁止; 1: 使能。																											
[9]	RW		p9_en		VHD 分区 9 的使能信号。 0: 禁止; 1: 使能。																											



Offset Address		Register Name																Total Reset Value																		
0x0C04+n x 0x1000		VHDn64REGIONENL																0x0000_0000																		
(n = 0~2)																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[8]	RW		p8_en		VHD 分区 8 的使能信号。 0: 禁止; 1: 使能。																															
[7]	RW		p7_en		VHD 分区 7 的使能信号。 0: 禁止; 1: 使能。																															
[6]	RW		p6_en		VHD 分区 6 的使能信号。 0: 禁止; 1: 使能。																															
[5]	RW		p5_en		VHD 分区 5 的使能信号。 0: 禁止; 1: 使能。																															
[4]	RW		p4_en		VHD 分区 4 的使能信号。 0: 禁止; 1: 使能。																															
[3]	RW		p3_en		VHD 分区 3 的使能信号。 0: 禁止; 1: 使能。																															
[2]	RW		p2_en		VHD 分区 2 的使能信号。 0: 禁止; 1: 使能。																															
[1]	RW		p1_en		VHD 分区 1 的使能信号。 0: 禁止; 1: 使能。																															



Offset Address		Register Name		Total Reset Value				
0x0C04+n x 0x1000 (n = 0~2)		VHDn64REGIONENL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	p31_en p30_en p29_en p28_en	p27_en p26_en p25_en p24_en	p23_en p22_en p21_en p20_en	p19_en p18_en p17_en p16_en	p15_en p14_en p13_en p12_en	p11_en p10_en p9_en p8_en	p7_en p6_en p5_en p4_en	p3_en p2_en p1_en p0_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[0]	RW	p0_en	VHD 分区 0 的使能信号。 0: 禁止; 1: 使能。					

VSDiCTRL

VSDiCTRL 为 VSD 控制寄存器。该寄存器可以配置层的相关信息。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x3000+i x 0x1000 (i = 0~4)		VSDiCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_en	reserved			ifir_mode vup_mode	reserved			ifmt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	surface_en	surface 使能。非即时寄存器。 0: 禁止; 1: 使能。						
[30:20]	-	reserved	保留。						
[19:18]	RW	ifir_mode	水平色度 IFIR 模式。 00: 保留。 01: 色度 IFIR 拷贝模式; 10: 双线性插值; 11: 6 阶 FIR。						



Offset Address		Register Name		Total Reset Value						
0x3000+i x 0x1000		VSDiCTRL		0x0000_0000						
(i = 0~4)										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	surface_en	reserved			ifir_mode	vup_mode	reserved			ifmt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[17]	-	vup_mode	寄存器更新模式选择。 0: 按场更新; 1: 按帧更新。							
[16:4]	-	reserved	保留。							
[3:0]	RW	ifmt	输入数据格式。 0x3: SPYCbCr420; 0x4: SPYCbCr422; 其他: 保留。							

VSDiUPD

VSDiUPD 为 VSD 通道更新使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x3004+i x 0x1000		VSDiUPD		0x0000_0000					
(i = 0~4)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新, 更新完成后, 硬件自动清零。						



VSDiCADDR

VSDiCADDR 为当前帧的地址寄存器。对于 package 像素格式，该地址是帧 buffer 地址；对于 semi-planar 像素格式，该地址是亮度帧 buffer 地址。

Offset Address		Register Name		Total Reset Value				
0x3010+i x 0x1000 (i = 0~4)		VSDiCADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_caddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_caddr	当前帧的地址。					

VSDiCCADDR

VSDiCCADDR 为当前帧的色度地址寄存器。对于 package 像素格式该地址无效；对于 semi-planar 像素格式是色度帧 buffer 地址。

Offset Address		Register Name		Total Reset Value				
0x3014+i x 0x1000 (i = 0~4)		VSDiCCADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_ccaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_ccaddr	当前帧的色度地址。					

VSDiSTRIDE

VSDiSTRIDE 为 surface 的 stride 寄存器。



Offset Address
0x3024+i x 0x1000
(i = 0~4)

Register Name
VSDiSTRIDE

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_cstride												surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	surface_cstride		色度帧 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。																											
	[15:0]	RW	surface_stride		帧 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。																											

VSDiIRESO

VSDiIRESO 为输入分辨率寄存器。非即时寄存器。

Offset Address
0x3028+i x 0x1000
(i = 0~4)

Register Name
VSDiIRESO

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ih								iw															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:12]	RW	ih		高度, 单位: 行。实际高度减 1。 以帧高度为参考, 以行为单位。																											
	[11:0]	RW	iw		宽度, 单位: 像素。实际宽度减 1。																											

VSDiCBMPARA

VSDiCBMPARA 为叠加相关参数寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x3034+i x 0x1000 (i = 0~4)		VSDiCBMPARA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						alpha			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RW	reserved	保留。							
[7:0]	RW	alpha	叠加全局 alpha 值。取值范围为 0~128。128 为全不透明；0 为全透明。							

VSDiDFPOS

VSDiDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x3060+i x 0x1000 (i = 0~4)		VSDiDFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_yfpos	显示列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	disp_xfpos	显示行起始坐标。						

VSDiDLPOS

VSDiDLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。



Offset Address
0x3064+i x 0x1000
(i = 0~4)

Register Name
VSDiDLPOS

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				disp_ylpos								disp_xlpos																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	-		reserved		保留。																											
[23:12]	RW		disp_ylpos		显示列结束坐标。 以帧高度为参考，以行为单位。																											
[11:0]	RW		disp_xlpos		显示行结束坐标。																											

VSDiCSCIDC

VSDiCSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

Offset Address
0x3080+i x 0x1000
(i = 0~4)

Register Name
VSDiCSCIDC

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_en	cscidc2								cscidc1								cscidc0										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	-		reserved		保留。																											
[27]	RW		csc_en		CSC 使能控制信号。 0: 禁止; 1: 使能。																											
[26:18]	RW		cscidc2		输入分量 2 直流参数, MSB 为符号位。补码表示。																											
[17:9]	RW		cscidc1		输入分量 1 直流参数, MSB 为符号位。补码表示。																											
[8:0]	RW		cscidc0		输入分量 0 直流参数, MSB 为符号位。补码表示。																											



VSDiCSCODC

VSDiCSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x3084+i x 0x1000 (i = 0~4)		VSDiCSCODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	-	reserved	保留。						
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。						
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。						
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。						

VSDiCSCP0

VSDiCSCP0 为色彩空间转换参数寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x3088+i x 0x1000 (i = 0~4)		VSDiCSCP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01		reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	-	reserved	保留。					
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					
[15:13]	-	reserved	保留。					
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					



VSDiCSCP1

VSDiCSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x308C+i x 0x1000 (i = 0~4)		VSDiCSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VSDiCSCP2

VSDiCSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x3090+i x 0x1000 (i = 0~4)		VSDiCSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



Offset Address		Register Name		Total Reset Value						
0x3090+i x 0x1000 (i = 0~4)		VSDiCSCP2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp12				reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

VSDiCSCP3

VSDiCSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x3094+i x 0x1000 (i = 0~4)		VSDiCSCP3		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp21				reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							



VSDiCSCP4

VSDiCSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x3098+i x 0x1000 (i = 0~4)		VSDiCSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VSDiFIRCOEF01

VSDiFIRCOEF01 为 VSD IFIR 滤波系数 0、1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x3180+i x 0x1000 (i = 0~4)		VSDiFIRCOEF01		0x000D_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef1		reserved		coef0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:26]	-	reserved	保留。					
[25:16]	RW	coef1	IFIR 滤波系数 1。					
[15:10]	-	reserved	保留。					
[9:0]	RW	coef0	IFIR 滤波系数 0。					

VSDiFIRCOEF23

VSDiFIRCOEF23 为 VSD IFIR 滤波系数 2、3 寄存器。



Offset Address		Register Name		Total Reset Value					
0x3184+i x 0x1000 (i = 0~4)		VSDiIFIRCOEF23		0x0132_03C1					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef3		reserved		coef2		
Reset	0 0 0 0	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	coef3	IFIR 滤波系数 3。						
[15:10]	-	reserved	保留。						
[9:0]	RW	coef2	IFIR 滤波系数 2。						

VSDiIFIRCOEF45

VSDiIFIRCOEF45 为 VSD IFIR 滤波系数 4、5 寄存器。

Offset Address		Register Name		Total Reset Value					
0x3188+i x 0x1000 (i = 0~4)		VSDiIFIRCOEF45		0x003C_0132					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef5		reserved		coef4		
Reset	0 0 0 0	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 1 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	coef5	IFIR 滤波系数 5。						
[15:10]	-	reserved	保留。						
[9:0]	RW	coef4	IFIR 滤波系数 4。						

VSDiIFIRCOEF67

VSDiIFIRCOEF67 为 VSD IFIR 滤波系数 6、7 寄存器。



Offset Address		Register Name		Total Reset Value					
0x318C+i x 0x1000 (i = 0~4)		VSDiIFIRCOEF67		0x0000_000D					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef7		reserved		coef6		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	coef7	IFIR 滤波系数 7。						
[15:10]	-	reserved	保留。						
[9:0]	RW	coef6	IFIR 滤波系数 6。						

VSDiP0RESO

VSDiP0RESO 为视频层 VSD 分区 0 的分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x3400+i x 0x1000 (i = 0~4)		VSDiP0RESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		h			w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	h	高度，以帧高度为参考。行为单位，实际高度减 1。 注意：实际高度必须是偶数。						
[11:0]	RW	w	宽度，单位：像素。实际宽度减 1。 注意：实际宽度必须是偶数。						

VSDiP0LADDR

VSDiP0LADDR 为视频层 VSD 分区 0 的地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x3404+i x 0x1000 (i = 0~4)		VSDiP0LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层 VSD 分区 0 的首地址。					

VSDiP0CADDR

VSDiP0CADDR 为视频层 VSD 分区 0 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x3408+i x 0x1000 (i = 0~4)		VSDiP0CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层 VSD 分区 0 的色度首地址。					

VSDiP0STRIDE

VSDiP0STRIDE 为视频层 VSD 分区 0 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x340C+i x 0x1000 (i = 0~4)		VSDiP0STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层 VSD 分区 0 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。					



Offset Address		Register Name		Total Reset Value				
0x340C+i x 0x1000 (i = 0~4)		VSDiP0STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[15:0]	RW	surface_stride	视频层 VSD 分区 0 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

VSDiP0VFPOS

VSDiP0VFPOS 为视频层 VSD 分区 0 在视频内容的起始位置 (First POSition) 寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x3410+i x 0x1000 (i = 0~4)		VSDiP0VFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。					
[11:0]	RW	video_xfpos	视频内容行起始坐标。					

VSDiP0VLPOS

VSDiP0VLPOS 为视频层 VSD 分区 0 在视频内容结束位置 (Last POSition) 寄存器。以像素为单位。非即时寄存器。



	Offset Address 0x3414+i x 0x1000 (i = 0~4)				Register Name VSDiP0VLPOS				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				video_ylpos								video_xlpos																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	reserved		保留。																											
	[23:12]	RW	video_ylpos		视频内容列结束坐标。 以帧高度为参考，以行为单位。																											
	[11:0]	RW	video_xlpos		视频内容行结束坐标。																											

VSDi16REGIONEN

VSDi16REGIONEN 为视频层 VSD 16 分使能寄存器。非即时寄存器。

	Offset Address 0x3C04+i x 0x1000 (i = 0~4)				Register Name VSDi16REGIONEN				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															p0_en																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RW	reserved		保留。																											
	[0]	RW	p0_en		VSD0 分区 0 的使能信号。 0: 禁止; 1: 使能。																											

WBC2CTRL

WBC2CTRL 为 WBC2 的控制寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x8200		WBC2CTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	wbc0_en	reserved				wbc0_dft	reserved	req_interval		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RW	wbc0_en	WBC0 使能。 0: 禁能; 1: 使能。							
[30:14]	-	reserved	保留。							
[13:12]	RW	wbc0_dft	WBC0 的输出数据格式 00: SPYCbCr422; 01: SPYCbCr420; 其他: 无效。							
[11:10]	-	reserved	保留。							
[9:0]	RW	req_interval	WBC0 总线申请最小间隔, 表示第 n 个申请结束到第 n+1 个申请之间的间隔有 req_interval 个时钟周期。							

WBC2UPD

WBC2UPD 为 WBC2 通道更新使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x8204		WBC2UPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	regup	CAPTURE 的寄存器更新。当软件配置完该层寄存器后写 1 更新, 更新完成后, 硬件自动清零。						



WBC2ADDR

WBC2ADDR 为 CAPTURE 写地址地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x8208		WBC2ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wbcaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wbcaddr	帧 buffer 地址。4byte 位对齐，低 2bit 无效(支持无缝拼接)。					

WBC2STRIDE

WBC2STRIDE 为 CAPTURE 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x820C		WBC2STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				wbc0stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	wbc0stride	帧 buffer 的 stride。128bit 对齐。					

WBC2ORES0

WBC2ORES0 为输出分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x8210		WBC2ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			oh			ow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	oh	高度，单位：行。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

WBC2CADDR

WBC2CADDR 为 CAPTURE 写地址色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x8220		WBC2CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wbccaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wbccaddr	帧色度 buffer 地址。4byte 位对齐，低 2bit 无效(支持无缝拼接)。					

WBC2CSTRIDE

WBC2CSTRIDE 为 CAPTURE 的色度 stride 寄存器。



Offset Address		Register Name		Total Reset Value					
0x8224		WBC2CSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				wbc0cstride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	—	reserved	保留。						
[15:0]	RW	wbc0cstride	帧色度 buffer 的 stride。16byte 位对齐。						

WBC2HSP

WBC2HSP 为水平缩放参数配置（horizontal Scaling Parameter）寄存器。非即时寄存器。

缩放比率=输入宽度/输出宽度。

Offset Address		Register Name		Total Reset Value				
0x82C0		WBC2HSP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hlmsc_en hchmsc_en	reserved		hlfir_en hchfir_en	reserved	hfir_order	reserved	hratio
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	hlmsc_en	水平亮度缩放使能。 0: 禁止; 1: 使能。					
[30]	RW	hchmsc_en	水平色度缩放使能。 0: 禁止; 1: 使能。					
[29:25]	-	reserved	保留。					
[24]	RW	hlfir_en	水平亮度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。					



Offset Address		Register Name		Total Reset Value					
0x82C0		WBC2HSP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hlmsc_en hcmsc_en	reserved	hlfir_en hchfir_en	reserved	hfir_order reserved	hratio			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[23]	RW	hchfir_en	水平色度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。						
[22:20]	-	reserved	保留。						
[19]	RW	hfir_order	水平缩放位置。 0: 水平缩放在垂直缩放前面; 1: 水平缩放在垂直缩放后面。						
[18:16]	-	reserved	保留。						
[15:0]	RW	hratio	水平缩放倍数, (u,4,12)格式。						

WBC2HLOFFSET

WBC2HLOFFSET 为亮度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x82C4		WBC2HLOFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hor_loffset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	-	reserved	保留。					
[16:0]	RW	hor_loffset	水平亮度位置偏移, (s,5,12)格式。补码表示。					



WBC2HCOFFSET

WBC2HCOFFSET 为色度水平位置偏移寄存器。用于 pan-scan。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x82C8		WBC2HCOFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hor_coffset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	hor_coffset	水平色度位置偏移, (s,5,12)格式。补码表示。						

WBC2VSP

WBC2VSP 为缩放参数 (vertical Scaling Parameter) 寄存器。

Offset Address		Register Name		Total Reset Value				
0x82D8		WBC2VSP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vlmisc_en vchmsc_en reserved	vsc_luma_tap vsc_chroma_tap chroma_type vlfir_en vchfir_en vsc_out_420	reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	vlmisc_en	垂直亮度缩放使能。 0: 禁止; 1: 使能。					
[30]	RW	vchmsc_en	垂直色度缩放使能。 0: 禁止; 1: 使能。					
[29:28]	RW	reserved	保留。					



Offset Address		Register Name		Total Reset Value				
0x82D8		WBC2VSP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vImisc_en vChmisc_en reserved	vsc_luma_tap vsc_chroma_tap chroma_type vlfir_en vchfir_en vsc_out_420	reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[27]	RW	vsc_luma_tap	垂直亮度缩放阶数。 0: 4 阶 FIR; 1: 2 阶 FIR;					
[26]	RW	vsc_chroma_tap	垂直色度缩放阶数。 0: 4 阶 FIR; 1: 2 阶 FIR。					
[25]	RW	chroma_type	亮度和色度在垂直方向的比例。 0: 422; 1: 420。					
[24]	RW	vlfir_en	垂直亮度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。					
[23]	RW	vchfir_en	垂直色度缩放模式。 0: 复制模式(滤波禁止); 1: 滤波模式(滤波使能)。					
[22]	RW	vsc_out_420	输出格式。 0: 422; 1: 420。					
[21:0]	-	reserved	保留。					

WBC2VSR

WBC2VSR 为垂直缩放倍数（Luma Vertical Scaling Ratio）寄存器。非即时寄存器。

缩放比率 = 输入高度 / 输出高度。



Offset Address		Register Name		Total Reset Value					
0x82DC		WBC2VSR		0x0000_1000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vratio				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	vratio	垂直缩放倍数, (u,4,12)格式。						

WBC2VOFFSET

WBC2VOFFSET 为垂直缩放偏移（Vertical Luma Offset）寄存器。

垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。

Offset Address		Register Name		Total Reset Value					
0x82E0		WBC2VOFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vluma_offset				vchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	vluma_offset	垂直亮度偏移, 补码表示, (s,4,12)格式。						
[15:0]	RW	vchroma_offset	垂直色度偏移, 补码表示, (s,4,12)格式。						

WBC2ZMEORES0

WBC2ZMEORES0 为缩放单元的输出分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x82E4		WBC2ZMEORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	oh	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位；隔行时，以场高度为参考，以行为单位。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

WBC2ZMEIRESO

WBC2ZMEIRESO 为缩放单元的输入分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x82E8		WBC2ZMEIRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	ih	高度，单位：行。实际高度减 1。 逐行时，以帧高度为参考，以行为单位；隔行时，以场高度为参考，以行为单位。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G0CTRL

G0CTRL 为 G0 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。



		Offset Address 0x9000								Register Name GOCTRL								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		surface_en	reserved				upd_mode	read_mode	dcmp_mode	dcmp_inter	reserved								bitext	ifmt													
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31]	RW	surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																													
[30:28]	-	reserved		保留。																													
[27]	RW	upd_mode		更新模式。 0: 帧更新; 1: 场更新。																													
[26]	RW	read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																													
[25]	RW	dcmp_mode		解压模式。非即时寄存器。 0: 非解压模式; 1: 解压模式。																													
[24]	RW	dcmp_inter		隔行解压控制, 非即时寄存器。 0: 逐行解压; 1: 隔行解压。																													
[23:10]	RW	reserved		保留。																													
[9:8]	RW	bitext		层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。																													
[7:0]	RW	ifmt		输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。																													



G0UPD

G0UPD 为图形层更新使能寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x9004				G0UPD								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											regup				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	-	reserved		保留。																											
	[0]	RW	regup		surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。																											

G0ADDR

G0ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G0SFPOS 说明。

	Offset Address				Register Name								Total Reset Value																			
	0x9008				G0ADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	surface_addr		surface 帧 buffer 地址。																											

G0STRIDE

G0STRIDE 为图形层的 stride 寄存器。



Offset Address		Register Name		Total Reset Value					
0x900C		GOSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				surface_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	—	reserved	保留。						
[15:0]	RW	surface_stride	帧 buffer 的 stride。						

G0CBMPARA

G0CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9010		G0CBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				premult_en	palpha_en	reserved	alpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						
[13]	RW	premult_en	输入位图为预乘图。 0: 非预乘图; 1: 预乘图。						
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。						
[11:8]	RW	reserved	保留。						
[7:0]	RW	alpha	叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。						



G0CKEYMAX

G0CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9014		G0CKEYMAX		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	va0		reserved						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。						
[23:0]	-	reserved	保留。						

G0CKEYMIN

G0CKEYMIN 为 color key 最小值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9018		G0CKEYMIN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	va1		reserved						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	va1	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。						
[23:0]	-	reserved	保留。						

G0IRESO

G0IRESO 为输入分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9020		G0IRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G0ORESO

G0ORESO 为输出分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9024		G0ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G0DFPOS

G0DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。



	Offset Address 0x902C								Register Name G0DFPOS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_yfpos								disp_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:12]	RW	disp_yfpos		列起始坐标。																											
	[11:0]	RW	disp_xfpos		行起始坐标。																											

G0DLPOS

G0DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。

	Offset Address 0x9030								Register Name G0DLPOS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_ylpos								disp_xlpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:12]	RW	disp_ylpos		列结束坐标。																											
	[11:0]	RW	disp_xlpos		行结束坐标。																											

G0CSCIDC

G0CSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x90A0		G0CSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2	cscidc1	cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能。 0: 禁能; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

G0CSCODC

G0CSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x90A4		G0CSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2	cscodc1	cscodc0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。					

G0CSCP0

G0CSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x90A8		G0CSCP0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp01				reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

G0CSCP1

G0CSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x90AC		G0CSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							



G0CSCP2

G0CSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x90B0		G0CSCP2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp12				reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

G0CSCP3

G0CSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x90B4		G0CSCP3		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp21				reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							



Offset Address		Register Name		Total Reset Value						
0x90B4		G0CSCP3		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp21				reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

G0CSCP4

G0CSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x90B8		G0CSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G0DCMPBANKWIDTH

G0DCMPBANKWIDTH 为 G0 层压缩数据 bank 宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x91B4		G0DCMPBANKWIDTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_bankwidth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	保留。						
[11:0]	RW	dcmp_bankwidth	压缩数据 bank 宽度，128bit 对齐。						

G0DCMPSTRIDE

G0DCMPSTRIDE 为 G0 层压缩数据 stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x91B8		G0DCMPSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	dcmp_stride	压缩数据 stride，128bit 对齐。						

G0DCMPAADDR

G0DCMPAADDR 为 G0 层 A 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x91BC		G0DCMPAADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_a							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_a	压缩数据起始地址。					



G0DCMPRADDR

G0DCMPRADDR 为 G0 层 R 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x91C0		G0DCMPRADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dcmp_addr_r								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	dcmp_addr_r	压缩数据起始地址。						

G0DCMPGADDR

G0DCMPGADDR 为 G0 层 G 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x91C4		G0DCMPGADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dcmp_addr_g								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	dcmp_addr_g	压缩数据起始地址。						

G0DCMPBADDR

G0DCMPBADDR 为 G0 层 B 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x91C8		G0DCMPBADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dcmp_addr_b								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	dcmp_addr_b	压缩数据起始地址。						



G1CTRL

G1CTRL 为 G1 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x9200		G1CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved				upd_mode	read_mode	dcmp_mode	dcmp_inter	reserved												bitext	ifmt									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31]	RW	surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																												
[30:28]	-	reserved		保留。																												
[27]	RW	upd_mode		更新模式。 0: 帧更新; 1: 场更新。																												
[26]	RW	read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																												
[25]	RW	dcmp_mode		解压模式。非即时寄存器。 0: 非解压模式; 1: 解压模式。																												
[24]	RW	dcmp_inter		隔行解压控制, 非即时寄存器。 0: 逐行解压; 1: 隔行解压。																												
[23:10]	RW	reserved		保留。																												
[9:8]	RW	bitext		层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。																												



Offset Address		Register Name		Total Reset Value					
0x9200		G1CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_en reserved	upd_mode read_mode dcmp_mode dcmp_inter	reserved				bitext	ifmt	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[7:0]	RW	ifmt	输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。						

G1UPD

G1UPD 为图形层更新使能寄存器。

Offset Address		Register Name		Total Reset Value				
0x9204		G1UPD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	-	reserved	保留。					
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。					

G1ADDR

G1ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G1SFPOS 说明。



Offset Address		Register Name		Total Reset Value				
0x9208		G1ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

G1STRIDE

G1STRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x920C		G1STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	帧 buffer 的 stride。					

G1CBMPARA

G1CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9210		G1CBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				premult_en	palpha_en	reserved	galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value				
0x9210		G1CBMPARA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				premult_en	palpha_en	reserved	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[13]	RW	premult_en	输入位图为预乘图。 0: 非预乘图; 1: 预乘图。					
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。					
[11:8]	RW	reserved	保留。					
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。					

G1CKEYMAX

G1CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9214		G1CKEYMAX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时, 用该值替换。					
[23:0]	-	reserved	保留。					



G1CKEYMIN

G1CKEYMIN 为 color key 最小值寄存器。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x9218				G1CKEYMIN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	val				reserved																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		val		alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。																											
[23:0]	-		reserved		保留。																											

G1IRESO

G1IRESO 为输入分辨率寄存器。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x9220				G1IRESO				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ih				iw																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	-		reserved		保留。																											
[23:12]	RW		ih		高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。																											
[11:0]	RW		iw		宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。																											

G1ORESO

G1ORESO 为输出分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9224		G1ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G1DFPOS

G1DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x922C		G1DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

G1DLPOS

G1DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9230		G1DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_ylpos			disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_ylpos	列结束坐标。						
[11:0]	RW	disp_xlpos	行结束坐标。						

G1CSCIDC

G1CSCIDC 为 G1 层色彩空间转换输入直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x92A0		G1CSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2		cscidc1		cscidc0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能。 0: 禁能; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

G1CSCODC

G1CSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x92A4		G1CSCODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	-	reserved	保留。						
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。						
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。						
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。						

G1CSCP0

G1CSCP0 为 G1 层色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x92A8		G1CSCP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01		reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	-	reserved	保留。					
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					
[15:13]	-	reserved	保留。					
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					

G1CSCP1

G1CSCP1 为 G1 层色彩空间转换参数 1 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x92AC		G1CSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G1CSCP2

G1CSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x92B0		G1CSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



G1CSCP3

G1CSCP3 为 G1 层色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x92B4		G1CSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G1CSCP4

G1CSCP4 为 G1 色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x92B8		G1CSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G1DCMPBANKWIDTH

G1DCMPBANKWIDTH 为 G1 层压缩数据 bank 宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x93B4		G1DCMPBANKWIDTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_bankwidth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	保留。						
[11:0]	RW	dcmp_bankwidth	压缩数据 bank 宽度，128bit 对齐。						

G1DCMPSTRIDE

G1DCMPSTRIDE 为 G1 层压缩数据 stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x93B8		G1DCMPSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	dcmp_stride	压缩数据 stride，128bit 对齐。						

G1DCMPAADDR

G1DCMPAADDR 为 G1 层 A 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x93BC		G1DCMPAADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_a							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_a	压缩数据起始地址。					



G1DCMPRADDR

G1DCMPRADDR 为 G1 层 R 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x93C0		G1DCMPRADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_r							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_r	压缩数据起始地址。					

G1DCMPGADDR

G1DCMPGADDR 为 G1 层 G 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x93C4		G1DCMPGADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_g	压缩数据起始地址。					

G1DCMPBADDR

G1DCMPBADDR 为 G1 层 B 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x93C8		G1DCMPBADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_b							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_b	压缩数据起始地址。					



G2CTRL

G2CTRL 为 G2 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x9400		G2CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved				upd_mode	read_mode	dcmp_mode	dcmp_inter	reserved												bitext	ifmt									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31]	RW	surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																												
[30:28]	-	reserved		保留。																												
[27]	RW	upd_mode		更新模式。 0: 帧更新; 1: 场更新。																												
[26]	RW	read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																												
[25]	RW	dcmp_mode		解压模式。非即时寄存器。 0: 非解压模式; 1: 解压模式。																												
[24]	RW	dcmp_inter		隔行解压控制, 非即时寄存器。 0: 逐行解压; 1: 隔行解压。																												
[23:10]	RW	reserved		保留。																												
[9:8]	RW	bitext		层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。																												



Offset Address		Register Name		Total Reset Value					
0x9400		G2CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_en reserved	upd_mode read_mode dcmp_mode dcmp_inter	reserved				bitext	ifmt	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[7:0]	RW	ifmt	输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。						

G2UPD

G2UPD 为图形层更新使能寄存器。

Offset Address		Register Name		Total Reset Value				
0x9404		G2UPD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	-	reserved	保留。					
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。					

G2ADDR

G2ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G2SFPOS 说明。



Offset Address		Register Name		Total Reset Value				
0x9408		G2ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

G2STRIDE

G2STRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x940C		G2STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	帧 buffer 的 stride。					

G2CBMPARA

G2CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9410		G2CBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				premult_en	palpha_en	reserved	galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0x9410		G2CBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				premult_en	palpha_en	reserved	galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[13]	RW	premult_en	输入位图为预乘图。 0: 非预乘图; 1: 预乘图。						
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。						
[11:8]	RW	reserved	保留。						
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。						

G2CKEYMAX

G2CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9414		G2CKEYMAX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时, 用该值替换。					
[23:0]	-	reserved	保留。					



G2CKEYMIN

G2CKEYMIN 为 color key 最小值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9418		G2CKEYMIN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	val			reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	val	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。						
[23:0]	-	reserved	保留。						

G2IRESO

G2IRESO 为输入分辨率寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9420		G2IRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G2ORESO

G2ORESO 为输出分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9424		G2ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G2DFPOS

G2DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x942C		G2DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

G2DLPOS

G2DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。



Offset Address		Register Name		Total Reset Value								
0x9430		G2DLPOS		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				disp_ylpos				disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:24]	-	reserved	保留。									
[23:12]	RW	disp_ylpos	列结束坐标。									
[11:0]	RW	disp_xlpos	行结束坐标。									

G2CSCIDC

G2CSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value										
0x94A0		G2CSCIDC		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved	csc_en	cscidc2				cscidc1				cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0						
Bits	Access	Name	Description											
[31:28]	-	reserved	保留。											
[27]	RW	csc_en	CSC 使能。 0: 禁能; 1: 使能。											
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。											
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。											
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。											

G2CSCODC

G2CSCODC 为 G2 层色彩空间转换输出直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x94A4		G2CSCODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	-	reserved	保留。						
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。						
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。						
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。						

G2CSCP0

G2CSCP0 为 G2 层色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x94A8		G2CSCP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01		reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	-	reserved	保留。					
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					
[15:13]	-	reserved	保留。					
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					

G2CSCP1

G2CSCP1 为 G2 层色彩空间转换参数 1 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x94AC		G2CSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

G2CSCP2

G2CSCP2 为 G2 层色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x94B0		G2CSCP2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp12				reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							



G2CSCP3

G2CSCP3 为 G2 层色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x94B4		G2CSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G2CSCP4

G2CSCP4 为 G2 层色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x94B8		G2CSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G2DCMPBANKWIDTH

G2DCMPBANKWIDTH 为 G2 层压缩数据 bank 宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x95B4		G2DCMPBANKWIDTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_bankwidth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	压缩数据 bank 宽度。						
[11:0]	RW	dcmp_bankwidth	压缩数据 bank 宽度。						

G2DCMPSTRIDE

G2DCMPSTRIDE 为 G2 层压缩数据 stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x95B8		G2DCMPSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	dcmp_stride	压缩数据 stride, 128bit 对齐。						

G2DCMPAADDR

G2DCMPAADDR 为 G2 层 A 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x95BC		G2DCMPAADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_a							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_a	压缩数据起始地址。					



G2DCMPRADDR

G2DCMPRADDR 为 G2 层 R 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x95C0		G2DCMPRADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dcmp_addr_r								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	dcmp_addr_r	压缩数据起始地址。						

G2DCMPGADDR

G2DCMPGADDR 为 G2 层 G 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x95C4		G2DCMPGADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dcmp_addr_g								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	dcmp_addr_g	压缩数据起始地址。						

G2DCMPBADDR

G2DCMPBADDR 为 G2 层 B 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x95C8		G2DCMPBADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dcmp_addr_b								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	dcmp_addr_b	压缩数据起始地址。						



G3CTRL

G3CTRL 为 G3 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

	Offset Address 0x9600						Register Name G3CTRL						Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_en	reserved				upd_mode	read_mode	dcmp_mode	dcmp_inter	reserved						bitext				ifmt																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31]	RW		surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																															
[30:28]	-		reserved		保留。																															
[27]	RW		upd_mode		更新模式。 0: 帧更新; 1: 场更新。																															
[26]	RW		read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																															
[25]	RW		dcmp_mode		解压模式。非即时寄存器。 0: 非解压模式; 1: 解压模式。																															
[24]	RW		dcmp_inter		隔行解压控制, 非即时寄存器 0: 逐行解压; 1: 隔行解压。																															
[23:10]	RW		reserved		保留。																															
[9:8]	RW		bitext		层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。																															



Offset Address		Register Name		Total Reset Value					
0x9600		G3CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_en reserved	upd_mode read_mode dcmp_mode dcmp_inter	reserved				bitext	ifmt	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[7:0]	RW	ifmt	输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。						

G3UPD

G3UPD 为图形层更新使能寄存器。

Offset Address		Register Name		Total Reset Value				
0x9604		G3UPD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	-	reserved	保留。					
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。					

G3ADDR

G3ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G3SFPOS 说明。



Offset Address		Register Name		Total Reset Value				
0x9608		G3ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

G3STRIDE

G3STRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x960C		G3STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	帧 buffer 的 stride。					

G3CBMPARA

G3CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9610		G3CBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				premult_en	palpha_en	reserved	galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value				
0x9610		G3CBMPARA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				premult_en	palpha_en	reserved	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[13]	RW	premult_en	输入位图为预乘图。 0: 非预乘图; 1: 预乘图。					
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。					
[11:8]	RW	reserved	保留。					
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。					

G3CKEYMAX

G3CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9614		G3CKEYMAX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时, 用该值替换。					
[23:0]	-	reserved	保留。					



G3CKEYMIN

G3CKEYMIN 为 color key 最小值寄存器。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x9618				G3CKEYMIN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	val				reserved																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		val		alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。																											
[23:0]	-		reserved		保留。																											

G3IRESO

G3IRESO 为输入分辨率寄存器。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x9620				G3IRESO				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ih				iw																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	-		reserved		保留。																											
[23:12]	RW		ih		高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。																											
[11:0]	RW		iw		宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。																											

G3ORESO

G3ORESO 为输出分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9624		G3ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G3DFPOS

G3DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x962C		G3DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

G3DLPOS

G3DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x9630				G3DLPOS								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				disp_ylpos								disp_xlpos																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:12]	RW	disp_ylpos		列结束坐标。																											
	[11:0]	RW	disp_xlpos		行结束坐标。																											

G3CSCIDC

G3CSCIDC 为 G3 层色彩空间转换输入直流分量寄存器。即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x96A0				G3CSCIDC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_en	cscidc2				cscidc1				cscidc0																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:28]	-	reserved		保留。																											
	[27]	RW	csc_en		CSC 使能。 0: 禁能; 1: 使能。																											
	[26:18]	RW	cscidc2		输入分量 2 直流参数, MSB 为符号位。补码表示。																											
	[17:9]	RW	cscidc1		输入分量 1 直流参数, MSB 为符号位。补码表示。																											
	[8:0]	RW	cscidc0		输入分量 0 直流参数, MSB 为符号位。补码表示。																											

G3CSCODC

G3CSCODC 为 G3 层色彩空间转换输出直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x96A4		G3CSCODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	-	reserved	保留。						
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。						
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。						
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。						

G3CSCP0

G3CSCP0 为 G3 色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x96A8		G3CSCP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01		reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	-	reserved	保留。					
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					
[15:13]	-	reserved	保留。					
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					

G3CSCP1

G3CSCP1 为 G3 层色彩空间转换参数 1 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x96AC		G3CSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G3CSCP2

G3CSCP2 为 G3 层色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x96B0		G3CSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



G3CSCP3

G3CSCP3 为 G3 层色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x96B4		G3CSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G3CSCP4

G3CSCP4 为 G3 层色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x96B8		G3CSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G3DCMPBANKWIDTH

G3DCMPBANKWIDTH 为 G3 层压缩数据 bank 宽度寄存器。



Offset Address		Register Name		Total Reset Value						
0x97B4		G3DCMPBANKWIDTH		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						dcmp_bankwidth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	-	reserved	保留。							
[11:0]	RW	dcmp_bankwidth	压缩数据 bank 宽度，128bit 对齐。							

G3DCMPSTRIDE

G3DCMPSTRIDE 为 G3 层压缩数据 stride 寄存器。

Offset Address		Register Name		Total Reset Value						
0x97B8		G3DCMPSTRIDE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						dcmp_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:16]	-	reserved	保留。							
[15:0]	RW	dcmp_stride	压缩数据 stride，128bit 对齐。							

G3DCMPAADDR

G3DCMPAADDR 为 G3 层 A 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x97BC		G3DCMPAADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_a							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_a	压缩数据起始地址。					



G3DCMPRADDR

G3DCMPRADDR 为 G3 层 R 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x97C0		G3DCMPRADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_r							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_r	压缩数据起始地址。					

G3DCMPGADDR

G3DCMPGADDR 为 G3 层 G 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x97C4		G3DCMPGADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_g	压缩数据起始地址。					

G3DCMPBADDR

G3DCMPBADDR 为 G3 层 B 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x97C8		G3DCMPBADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_b							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_b	压缩数据起始地址。					



G4CTRL

G4CTRL 为 G4 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

	Offset Address 0x9800								Register Name G4CTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved				upd_mode	read_mode	dcmp_mode	dcmp_inter	reserved								bitext	ifmt													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																											
[30:28]	-		reserved		保留。																											
[27]	RW		upd_mode		更新模式。 0: 帧更新; 1: 场更新。																											
[26]	RW		read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																											
[25]	RW		dcmp_mode		解压模式。非即时寄存器。 0: 非解压模式; 1: 解压模式。																											
[24]	RW		dcmp_inter		隔行解压控制, 非即时寄存器。 0: 逐行解压; 1: 隔行解压。																											
[23:10]	RW		reserved		保留。																											
[9:8]	RW		bitext		层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。																											



Offset Address		Register Name		Total Reset Value					
0x9800		G4CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_en reserved	upd_mode read_mode dcmp_mode dcmp_inter	reserved				bitext	ifmt	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[7:0]	RW	ifmt	输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。						

G4UPD

G4UPD 为图形层更新使能寄存器。

Offset Address		Register Name		Total Reset Value				
0x9804		G4UPD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	-	reserved	保留。					
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。					

G4ADDR

G4ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G4SFPOS 说明。



Offset Address		Register Name		Total Reset Value				
0x9808		G4ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

G4STRIDE

G4STRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x980C		G4STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	帧 buffer 的 stride。					

G4CBMPARA

G4CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9810		G4CBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				premult_en	palpha_en	reserved	galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value				
0x9810		G4CBMPARA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				premult_en	palpha_en	reserved	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[13]	RW	premult_en	输入位图为预乘图。 0: 非预乘图; 1: 预乘图。					
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。					
[11:8]	RW	reserved	保留。					
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。					

G4CKEYMAX

G4CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9814		G4CKEYMAX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时, 用该值替换。					
[23:0]	-	reserved	保留。					



G4CKEYMIN

G4CKEYMIN 为 color key 最小值寄存器。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x9818				G4CKEYMIN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	val				reserved																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	val		alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。																											
	[23:0]	-	reserved		保留。																											

G4IRESO

G4IRESO 为输入分辨率寄存器。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x9820				G4IRESO				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				ih				iw																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:12]	RW	ih		高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。																											
	[11:0]	RW	iw		宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。																											

G4ORESO

G4ORESO 为输出分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9824		G4ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

G4DFPOS

G4DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x982C		G4DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

G4DLPOS

G4DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x9830				G4DLPOS								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				disp_ylpos								disp_xlpos																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:12]	RW	disp_ylpos		列结束坐标。																											
	[11:0]	RW	disp_xlpos		行结束坐标。																											

G4CSCIDC

G4CSCIDC 为 G4 层色彩空间转换输入直流分量寄存器。即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x98A0				G4CSCIDC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_en	cscidc2				cscidc1				cscidc0																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:28]	-	reserved		保留。																											
	[27]	RW	csc_en		CSC 使能。 0: 禁能; 1: 使能。																											
	[26:18]	RW	cscidc2		输入分量 2 直流参数, MSB 为符号位。补码表示。																											
	[17:9]	RW	cscidc1		输入分量 1 直流参数, MSB 为符号位。补码表示。																											
	[8:0]	RW	cscidc0		输入分量 0 直流参数, MSB 为符号位。补码表示。																											

G4CSCODC

G4CSCODC 为 G4 层色彩空间转换输出直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x98A4		G4CSCODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	-	reserved	保留。						
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。						
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。						
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。						

G4CSCP0

G4CSCP0 为 G4 层色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x98A8		G4CSCP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01		reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	-	reserved	保留。					
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					
[15:13]	-	reserved	保留。					
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					

G4CSCP1

G4CSCP1 为 G4 层色彩空间转换参数 1 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x98AC		G4CSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G4CSCP2

G4CSCP2 为 G4 层色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x98B0		G4CSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



G4CSCP3

G4CSCP3 为 G4 层色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x98B4		G4CSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G4CSCP4

G4CSCP4 为 G4 层色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x98B8		G4CSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

G4DCMPBANKWIDTH

G4DCMPBANKWIDTH 为 G4 层压缩数据 bank 宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x99B4		G4DCMPBANKWIDTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_bankwidth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	保留。						
[11:0]	RW	dcmp_bankwidth	压缩数据 bank 宽度，128bit 对齐。						

G4DCMPSTRIDE

G4DCMPSTRIDE 为 G4 层压缩数据 stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x99B8		G4DCMPSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					dcmp_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	dcmp_stride	压缩数据 stride，128bit 对齐。						

G4DCMPAADDR

G4DCMPAADDR 为 G4 层 A 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x99BC		G4DCMPAADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_a							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_a	压缩数据起始地址。					



G4DCMPRADDR

G4DCMPRADDR 为 G4 层 R 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x99C0		G4DCMPRADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_r							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_r	压缩数据起始地址。					

G4DCMPGADDR

G4DCMPGADDR 为 G4 层 G 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x99C4		G4DCMPGADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_g	压缩数据起始地址。					

G4DCMPBADDR

G4DCMPBADDR 为 G4 层 B 分量压缩数据起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x99C8		G4DCMPBADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dcmp_addr_b							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dcmp_addr_b	压缩数据起始地址。					



HCCTRL

HCCTRL 为 HC 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x9A00		HCCTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved				upd_mode	read_mode	reserved										bitext	ifmt													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																											
[30:28]	-		reserved		保留。																											
[27]	RW		upd_mode		更新模式。 0: 帧更新; 1: 场更新。																											
[26]	RW		read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																											
[25:10]	-		reserved		保留。																											
[9:8]	RW		bitext		层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。																											
[7:0]	RW		ifmt		输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。																											



HCUPD

HCUPD 为图形层更新使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x9A04		HCUPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。						

HCADDR

HCADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 HCSFPOS 说明。

Offset Address		Register Name		Total Reset Value				
0x9A08		HCADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

HCSTRIDE

HCSTRIDE 为图形层的 stride 寄存器。



Offset Address		Register Name		Total Reset Value					
0x9A0C		HCSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				surface_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	—	reserved	保留。						
[15:0]	RW	surface_stride	帧 buffer 的 stride。						

HCCBMPARA

HCCBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x9A10		HCCBMPARA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				key_mode	key_en	reserved	palpha_en	reserved	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:16]	—	reserved	保留。							
[15]	RW	key_mode	color key 模式。 0: 满足 $\text{Keymin} \leq \text{Pixel} \leq \text{Keymax}$ 时，处理为关键色； 1: 满足 $\text{Pixel} \leq \text{Keymin}$ 或者 $\text{Pixel} \geq \text{Keymax}$ 时处理为关键色。							
[14]	RW	key_en	color key 使能。 0: 禁止； 1: 使能。							
[13]	—	reserved	输入位图为预乘图。 0: 非预乘图； 1: 预乘图。							



Offset Address		Register Name		Total Reset Value						
0x9A10		HCCBMPARA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				key_mode	key_en	reserved	palpha_en	reserved	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。							
[11:8]	—	reserved	保留。							
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。							

HCCKEYMAX

HCCKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9A14		HCCKEYMAX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		keyr_max		keyg_max		keyb_max	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时, 用该值替换。					
[23:16]	RW	keyr_max	color key R 分量最大值。					
[15:8]	RW	keyg_max	color key G 分量最大值。					
[7:0]	RW	keyb_max	color key B 分量最大值。					

HCCKEYMIN

HCCKEYMIN 为 color key 最小值寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x9A18		HCCKEYMIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	val		keyr_min		keyg_min		keyb_min	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	val	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。					
[23:16]	RW	keyr_min	color key R 分量最小值。					
[15:8]	RW	keyg_min	color key G 分量最小值。					
[7:0]	RW	keyb_min	color key B 分量最小值。					

HCCMASK

HCCMASK 为 color key 最小值寄存器。非即时寄存器。相应 bit 为 1 表示在 Key 的比较过程中，不关心该 bit。

Offset Address		Register Name		Total Reset Value				
0x9A1C		HCCMASK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		kmsk_r		kmsk_g		kmsk_b	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	-	reserved	保留。					
[23:16]	RW	kmsk_r	color key mask 的 R 分量。					
[15:8]	RW	kmsk_g	color key mask 的 G 分量。					
[7:0]	RW	kmsk_b	color key mask 的 B 分量。					

HCIRESO

HCIRESO 为输入分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9A20		HCIRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

HCDFPOS

HCDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9A2C		HCDFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

HCDLPOS

HCDLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9A30		HCDLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_ylpos			disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_ylpos	列结束坐标。						
[11:0]	RW	disp_xlpos	行结束坐标。						

HCCSCIDC

HCCSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9AA0		HCCSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2		cscidc1		cscidc0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能。 0: 禁能; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

HCCSCODC

HCCSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9AA4		HCCSCODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	-	reserved	保留。						
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。						
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。						
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。						

HCCSCP0

HCCSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9AA8		HCCSCP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01		reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	-	reserved	保留。					
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					
[15:13]	-	reserved	保留。					
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					

HCCSCP1

HCCSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9AAC		HCCSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

HCCSCP2

HCCSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9AB0		HCCSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



HCCSCP3

HCCSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9AB4		HCCSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

HCCSCP4

HCCSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9AB8		HCCSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

HC1CTRL

HC1CTRL 为 HC1 层控制寄存器。该寄存器可以配置层的相关信息寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value																												
0x9C00		HC1CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved				upd_mode	read_mode	reserved										bitext		ifmt												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																											
[30:28]	-		reserved		保留。																											
[27]	RW		upd_mode		更新模式。 0: 帧更新; 1: 场更新。																											
[26]	RW		read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																											
[25:10]	-		reserved		保留。																											
[9:8]	RW		bitext		层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。																											
[7:0]	RW		ifmt		输入数据格式。 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。																											

HC1UPD

HC1UPD 为图形层更新使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x9C04		HC1UPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。						

HC1ADDR

HC1ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 HCSFPOS 说明。

Offset Address		Register Name		Total Reset Value				
0x9C08		HC1ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

HC1STRIDE

HC1STRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x9C0C		HC1STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					



Offset Address		Register Name		Total Reset Value					
0x9C0C		HC1STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				surface_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[15:0]	RW	surface_stride	帧 buffer 的 stride。						

HC1CBMPARA

HC1CBMPARA 为叠加相关参数寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value							
0x9C10		HC1CBMPARA		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				key_mode	key_en	reserved	palpha_en	reserved	palpha_range	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description								
[31:16]	-	reserved	保留。								
[15]	RW	key_mode	color key 模式。 0: 满足 $\text{Keymin} \leq \text{Pixel} \leq \text{Keymax}$ 时，处理为关键色； 1: 满足 $\text{Pixel} \leq \text{Keymin}$ 或者 $\text{Pixel} \geq \text{Keymax}$ 时处理为关键色。								
[14]	RW	key_en	color key 使能。 0: 禁止； 1: 使能。								
[13]	-	reserved	输入位图为预乘图。 0: 非预乘图； 1: 预乘图。								



Offset Address		Register Name		Total Reset Value							
0x9C10		HC1CBMPARA		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				key_mode	key_en	reserved	palpha_en	reserved	palpha_range	alpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description								
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。								
[11:9]	—	reserved	保留。								
[8]	RW	palpha_range	0: 像素的 α 范围为 0~128; 1: 像素的 α 范围为 0~255。								
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。								

HC1CKEYMAX

HC1CKEYMAX 为 color key 最大值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9C14		HC1CKEYMAX		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	va0		keyr_max		keyg_max		keyb_max	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时, 用该值替换。					
[23:16]	RW	keyr_max	color key R 分量最大值。					
[15:8]	RW	keyg_max	color key G 分量最大值。					
[7:0]	RW	keyb_max	color key B 分量最大值。					



HC1CKEYMIN

HC1CKEYMIN 为 color key 最小值寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9C18		HC1CKEYMIN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	val		keyr_min		keyg_min		keyb_min		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	val	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。						
[23:16]	RW	keyr_min	color key R 分量最小值。						
[15:8]	RW	keyg_min	color key G 分量最小值。						
[7:0]	RW	keyb_min	color key B 分量最小值。						

HC1CMASK

HC1CMASK 为 color key 最小值寄存器。非即时寄存器。相应 bit 为 1 表示在 Key 的比较过程中，不关心该 bit。

Offset Address		Register Name		Total Reset Value					
0x9C1C		HC1CMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		kmsk_r		kmsk_g		kmsk_b		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	kmsk_r	color key mask 的 R 分量。						
[15:8]	RW	kmsk_g	color key mask 的 G 分量。						
[7:0]	RW	kmsk_b	color key mask 的 B 分量。						

HC1IRESO

HC1IRESO 为输入分辨率寄存器。非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9C20		HC1HRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	iw	宽度，单位：像素。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

HC1DFPOS

HC1DFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。以像素为单位。非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9C2C		HC1DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

HC1DLPOS

HC1DLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位。非即时寄存器。



Offset Address		Register Name		Total Reset Value								
0x9C30		HC1DLPOS		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				disp_ylpos				disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:24]	-	reserved	保留。									
[23:12]	RW	disp_ylpos	列结束坐标。									
[11:0]	RW	disp_xlpos	行结束坐标。									

HC1CSCIDC

HC1CSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value										
0x9CA0		HC1CSCIDC		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved	csc_en	cscidc2				cscidc1				cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0						
Bits	Access	Name	Description											
[31:28]	-	reserved	保留。											
[27]	RW	csc_en	CSC 使能。 0: 禁能; 1: 使能。											
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。											
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。											
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。											

HC1CSCODC

HC1CSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9CA4		HC1CSCODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	-	reserved	保留。						
[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。						
[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。						
[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。						

HC1CSCP0

HC1CSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9CA8		HC1CSCP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01		reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	-	reserved	保留。					
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					
[15:13]	-	reserved	保留。					
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					

HC1CSCP1

HC1CSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9CAC		HC1CSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

HC1CSCP2

HC1CSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x9CB0		HC1CSCP2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp12			reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						



HC1CSCP3

HC1CSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x9CB4		HC1CSCP3		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp21								reserved				cscp20															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	-		reserved		保留。																											
[28:16]	RW		cscp21		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											
[15:13]	-		reserved		保留。																											
[12:0]	RW		cscp20		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

HC1CSCP4

HC1CSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x9CB8		HC1CSCP4		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cscp22																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12:0]	RW		cscp22		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

CBMBKG1

CBMBKG1 为 HD0 叠加背景色寄存器。



Offset Address		Register Name		Total Reset Value						
0x9E00		CBMBKG1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				cbm_bkgy		cbm_bkgcb		cbm_bkgcr	
Reset	0 0 0 0				0 0 0 0		0 0 0 0		0 0 0 0	
Bits	Access	Name	Description							
[31:24]	-	reserved	保留。							
[23:16]	RW	cbm_bkgy	Mixer1 叠加背景色, Y 分量。							
[15:8]	RW	cbm_bkgcb	Mixer1 叠加背景色, Cb 分量。							
[7:0]	RW	cbm_bkgcr	Mixer1 叠加背景色, Cr 分量。							

CBMBKG2

CBMBKG2 为 HD1 叠加背景色寄存器。

Offset Address		Register Name		Total Reset Value						
0x9E04		CBMBKG2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				cbm_bkgy		cbm_bkgcb		cbm_bkgcr	
Reset	0 0 0 0				0 0 0 0		0 0 0 0		0 0 0 0	
Bits	Access	Name	Description							
[31:24]	-	reserved	保留。							
[23:16]	RW	cbm_bkgy	Mixer2 叠加背景色, Y 分量。							
[15:8]	RW	cbm_bkgcb	Mixer2 叠加背景色, Cb 分量。							
[7:0]	RW	cbm_bkgcr	Mixer2 叠加背景色, Cr 分量。							

CBMBKG3

CBMBKG3 为 SD0 叠加背景色寄存器。



Offset Address		Register Name		Total Reset Value					
0x9E08		CBMBKG3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cbm_bkgy	cbm_bkgcb		cbm_bkgcr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	cbm_bkgy	Mixer3 叠加背景色, Y 分量。						
[15:8]	RW	cbm_bkgcb	Mixer3 叠加背景色, Cb 分量。						
[7:0]	RW	cbm_bkgcr	Mixer3 叠加背景色, Cr 分量。						

CBMBKG4

CBMBKG4 为 SD1 叠加背景色寄存器。

Offset Address		Register Name		Total Reset Value					
0x9E0C		CBMBKG4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cbm_bkgy	cbm_bkgcb		cbm_bkgcr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	cbm_bkgy	Mixer4 叠加背景色, Y 分量。						
[15:8]	RW	cbm_bkgcb	Mixer4 叠加背景色, Cb 分量。						
[7:0]	RW	cbm_bkgcr	Mixer4 叠加背景色, Cr 分量。						

CBMATTR

CBMATTR 为 CrossBar (Cross Bar ConFiGuration) 配置寄存器。

sur_attr_x 表示第 x 层连接到 Mixer1 还是 Mixer2。



Offset Address		Register Name		Total Reset Value				
0x9E10		CBMATTR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				sur_attr3	sur_attr2	sur_attr1	sur_attr0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:12]	RW	sur_attr3	G4 链接。 0x0: Mixer1 for DHD0; 0x1: Mixer2 for DHD1; 0x2: Mixer3 for DSD0; 0x3: Mixer4 for DSD1; 其他: 无效。					
[11:8]	RW	sur_attr2	HC1 链接。 0x0: Mixer1 for DHD0; 0x1: Mixer2 for DHD1; 0x2: Mixer3 for DSD0; 0x3: Mixer4 for DSD1; 其他: 无效。					
[7:4]	RW	sur_attr1	HC0 链接。 0x0: Mixer1 for DHD0; 0x1: Mixer2 for DHD1; 0x2: Mixer3 for DSD0; 0x3: Mixer4 for DSD1。 其他: 无效。					
[3:0]	RW	sur_attr0	VHD2 链接。 0x0: Mixer1 for DHD0; 0x1: Mixer2 for DHD1; 0x4: DSD5; 其他: 无效。					

CBMMIX1

CBMMIX1 为 Mixer1 优先级配置寄存器。在 vsync 处更新有效。非即时寄存器。



	Offset Address 0x9E14								Register Name CBMMIX1								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								mixer_prio5				mixer_prio4				mixer_prio3				mixer_prio2				mixer_prio1				mixer_prio0							
Reset	0 0 0 0								0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																															
[31:24]	-		reserved		保留。																															
[23:20]	RW		mixer_prio5		Mixer1 的叠加层优先级配置，表示优先级 5 的驱动层。 0x0: 没有层驱动; 0x1: vhd0; 0x3: vhd2; 0x9: g0; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 保留。																															
[19:16]	RW		mixer_prio4		Mixer1 的叠加层优先级配置，表示优先级 4 的驱动层。 0x0: 没有层驱动; 0x1: vhd0; 0x3: vhd2; 0x9: g0; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。																															
[15:12]	RW		mixer_prio3		Mixer1 的叠加层优先级配置，表示优先级 3 的驱动层。 0x0: 没有层驱动; 0x1: vhd0; 0x3: vhd2; 0x9: g0; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。																															



Offset Address		Register Name		Total Reset Value				
0x9E14		CBMMIX1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		mixer_prio5	mixer_prio4	mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[11:8]	RW	mixer_prio2	Mixer1 的叠加层优先级配置，表示优先级 2 的驱动层。 0x0: 没有层驱动; 0x1: vhd0; 0x3: vhd2; 0x9: g0; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 保留。					
[7:4]	RW	mixer_prio1	Mixer1 的叠加层优先级配置，表示优先级 1 的驱动层。 0x0: 没有层驱动; 0x1: vhd0; 0x3: vhd2; 0x9: g0; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。					
[3:0]	RW	mixer_prio0	Mixer1 的叠加层优先级配置，表示优先级 0 的驱动层。 0x0: 没有层驱动; 0x1: vhd0; 0x2: vhd2; 0x3: g0; 0x4: g4; 0x5: HC0 0x6: HC1 其他: 无效。					



CBMMIX2

CBMMIX2 为 Mixer2 优先级配置寄存器。在 vsync 处更新有效。

该寄存器为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9E18		CBMMIX2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		mixer_prio5	mixer_prio4	mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	-	reserved	保留。					
[23:20]	RW	mixer_prio5	Mixer2 的叠加层优先级配置，表示优先级 5 的驱动层。 0x0: 没有层驱动; 0x2: vhd1; 0x3: vhd2; 0xA: g1; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。					
[19:16]	RW	mixer_prio4	Mixer2 的叠加层优先级配置，表示优先级 4 的驱动层。 0x0: 没有层驱动; 0x2: vhd1; 0x3: vhd2; 0xA: g1; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。					



Offset Address		Register Name		Total Reset Value				
0x9E18		CBMMIX2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		mixer_prio5	mixer_prio4	mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[15:12]	RW	mixer_prio3	Mixer2 的叠加层优先级配置，表示优先级 3 的驱动层。 0x0: 没有层驱动; 0x1: vhd0; 0x3: vhd2; 0x9: g0; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。					
[11:8]	RW	mixer_prio2	Mixer2 的叠加层优先级配置，表示优先级 2 的驱动层。 0x0: 没有层驱动; 0x2: vhd1; 0x3: vhd2; 0xa: g1; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。					
[7:4]	RW	mixer_prio1	Mixer2 的叠加层优先级配置，表示优先级 1 的驱动层。 0x0: 没有层驱动; 0x2: vhd1; 0x3: vhd2; 0xA: g1; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。					



Offset Address		Register Name		Total Reset Value				
0x9E18		CBMMIX2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		mixer_prio5	mixer_prio4	mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[3:0]	RW	mixer_prio0	Mixer2 的叠加层优先级配置，表示优先级 0 的驱动层。 0x0: 没有层驱动； 0x2: vhd1； 0x3: vhd2； 0xA: g1； 0xD: g4； 0xE: HC0； 0xF: HC1； 其他：无效。					

CBMMIX3

CBMMIX3 为 Mixer3 优先级配置寄存器。在 vsync 处更新有效。

该寄存器为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x9E1C		CBMMIX3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		mixer_prio4	mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	-	reserved	保留。					



Offset Address		Register Name		Total Reset Value				
0x9E1C		CBMMIX3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			mixer_prio4	mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[19:16]	RW	mixer_prio4	Mixer3 的叠加层优先级配置，表示优先级 4 的驱动层。 0x0: 没有层驱动; 0x4: vsd0; 0xB: g2; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 保留。					
[15:12]	RW	mixer_prio3	Mixer3 的叠加层优先级配置，表示优先级 3 的驱动层。 0x0: 没有层驱动; 0x4: vsd0; 0xb: g2; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 保留。					
[11:8]	RW	mixer_prio2	Mixer3 的叠加层优先级配置，表示优先级 2 的驱动层。 0x0: 没有层驱动; 0x1: vsd0; 0x2: g2; 0x3: g4; 0x4: HC0 0x5: HC1 其他: 保留。					



		Offset Address				Register Name				Total Reset Value																						
		0x9E1C				CBMMIX3				0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								mixer_prio4		mixer_prio3		mixer_prio2		mixer_prio1		mixer_prio0															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access	Name	Description																													
[7:4]	RW	mixer_prio1	Mixer3 的叠加层优先级配置，表示优先级 1 的驱动层。 0x0: 没有层驱动； 0x4: vsd0； 0xB: g2； 0xD: g4； 0xE: HC0； 0xF: HC1； 其他：保留。																													
[3:0]	RW	mixer_prio0	Mixer3 的叠加层优先级配置，表示优先级 0 的驱动层。 0x0: 没有层驱动； 0x4: vsd0； 0xB: g2； 0xD: g4； 0xE: HC0； 0xF: HC1； 其他：保留。																													

CBMMIX4

CBMMIX4 为 Mixer4 优先级配置寄存器。在 vsync 处更新有效。

该寄存器为非即时寄存器。

		Offset Address				Register Name				Total Reset Value																						
		0x9E20				CBMMIX4				0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								mixer_prio4		mixer_prio3		mixer_prio2		mixer_prio1		mixer_prio0															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31:20]	-	reserved	保留。																													



Offset Address		Register Name		Total Reset Value				
0x9E20		CBMMIX4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			mixer_prio4	mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[19:16]	RW	mixer_prio4	Mixer4 的叠加层优先级配置，表示优先级 4 的驱动层。 0x0: 没有层驱动; 0x5: vsd1; 0xC: g3; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。					
[15:12]	RW	mixer_prio3	Mixer4 的叠加层优先级配置，表示优先级 3 的驱动层。 0x0: 没有层驱动; 0x5: vsd1; 0xC: g3; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。					
[11:8]	RW	mixer_prio2	Mixer4 的叠加层优先级配置，表示优先级 2 的驱动层。 0x0: 没有层驱动; 0x5: vsd1; 0xC: g3; 0xD: g4; 0xE: HC0; 0xF: HC1; 其他: 无效。					



	Offset Address 0x9E20								Register Name CBMMIX4								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								mixer_prio4				mixer_prio3				mixer_prio2				mixer_prio1				mixer_prio0							
Reset	0 0 0 0								0 0 0 0								0 0 0 0								0 0 0 0							
	Bits	Access	Name	Description																												
	[7:4]	RW	mixer_prio1	Mixer4 的叠加层优先级配置，表示优先级 1 的驱动层。 0x0: 没有层驱动； 0x5: vsd1； 0xC: g3； 0xD: g4； 0xE: HC0； 0xF: HC1； 其他：无效。																												
	[3:0]	RW	mixer_prio0	Mixer4 的叠加层优先级配置，表示优先级 0 的驱动层。 0x0: 没有层驱动； 0x5: vsd2； 0xC: g3； 0xD: g4； 0xE: HC0； 0xF: HC1； 其他：无效。																												

DHDCTRL

DHDCTRL 为显示通道的总体控制寄存器。



该寄存器的所有 bit 的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value																													
0xA000		DHDCTRL		0x0001_0010																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	intf_en	slave_md	multi32_md	reserved	fpga_lmt_en	fpga_lmt_width								reserved	clipen	reserved	gmmen	reserved	idv	ihs	ivs	iop	synn	intfb	intfdm								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																												
[31]	RW		intf_en		显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。																												
[30]	RW		slave_md		芯片级联时，主从模式选择。当为级联的第一个芯片时，应该配置为主模式；其他配置为从模式；没有级联时，配置为主模式。 0: 主模式; 1: 从模式。																												
[29]	RW		multi32_md		芯片级联时，工作在 32 区域模式还是 64 区域模式。 0: 工作在 64 区域; 1: 工作在 32 区域。																												
[28]	-		reserved		保留。																												
[27]	RW		fpga_lmt_en		debug 寄存器。由于 FPGA 时钟总线频率的限制，无法显示 1080i 的图像内容，该寄存器使能后，可以在 1080i 的接口上显示 1280 宽度的图像内容。 0: 禁止; 1: 使能。																												
[26:20]	RW		fpga_lmt_width		debug 寄存器。在 fpga_lmt_en 使能时，VOU 接口输出的有效区宽度由该寄存器决定。实际输出有效区域宽度 = fpga_lmt_width x 16。																												
[19:17]	-		reserved		保留。																												
[16]	RW		clipen		输出嵌位使能，即时寄存器。 0: 禁止; 1: 使能。																												
[15]	-		reserved		保留。																												



Offset Address		Register Name		Total Reset Value					
0xA000		DHDCTRL		0x0001_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	intf_en slave_md multi32_md reserved fpga_lmt_en	fpga_lmt_width			reserved clipen reserved gmmen reserved	idv ihs ivs iop	synm intfb	intfdm	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[14]	RW	gmmen	输出 Gamma 校正使能，即时寄存器。 0: 禁止; 1: 使能。						
[13:11]	-	reserved	保留。						
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。						
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。						
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。						
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。						
[6]	RW	synm	同步模式，即时寄存器。 0: 时序标签模式(例如 BT.656); 1: 同步信号模式(例如 LCD 显示)。						
[5:4]	RW	intfb	输出接口位宽模式。 即时寄存器。 00: 单分量模式(每个时钟输出 1 个分量); 01: 2 分量模式(每个时钟输出 2 个分量); 10: 3 分量模式(每个时钟输出 3 个分量); 11: 保留。						



Offset Address		Register Name		Total Reset Value																												
0xA000		DHDCTRL		0x0001_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	slave_md	multi32_md	reserved	fpga_lmt_en	fpga_lmt_width								reserved	clipen	reserved	gmmen	reserved	idv	ihs	ivs	iop	synn	intfb	intfdm							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[3:0]	RW		intfdm		接口数据格式。 即时寄存器。 0x0: YCbCr422 数据格式; 0x1~0xB: 无效; 0xC: RGB888/YCbCr444 输出。 其他: 无效。																											

DHDVSYNC

DHDVSYNC 为垂直时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value																												
0xA004		DHDVSYNC		0x0011_321B																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb								vbb								vact											
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	1	1	0	1	1
Bits	Access		Name		Description																											
[31:28]	-		reserved		保留。																											



Offset Address		Register Name		Total Reset Value					
0xA004		DHDVSYNC		0x0011_321B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vfb		vbb		vact		
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 1	1 0 1 1	
Bits	Access	Name	Description						
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。						
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。						
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。						

DHDHSYNC1

DHDHSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0xA008		DHDHSYNC1		0x00BF_077F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbb				hact			
Reset	0 0 0 0	0 0 0 0	1 0 1 1	1 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	hbb	水平消隐后肩，单位：像素。					



Offset Address		Register Name		Total Reset Value					
0xA008		DHDHSYNC1		0x00BF_077F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hbb				hact				
Reset	0 0 0 0	0 0 0 0	1 0 1 1	1 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[15:0]	RW	hact	活动区域水平像素数。						

DHDHSYNC2

DHDHSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value					
0xA00C		DHDHSYNC2		0x0000_020F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hmid				hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RW	hmid	底场垂直同步有效像素值(有效数据区)。						
[15:0]	RW	hfb	水平消隐前肩，单位为像素。						

DHDVPLUS

DHDVPLUS 为隔行底场垂直时序寄存器。隔行输出时，该寄存器表示底场垂直同步时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value					
0xA010		DHDVPLUS		0x0021_321B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	bvfb		bvbb		bvact			
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 1	1 0 1 1	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:20]	RW	bvfb	隔行输出时：底场垂直消隐前肩。 单位：行						
[19:12]	RW	bvbb	隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行						
[11:0]	RW	bvact	隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行						

DHDPWR

DHDPWR 为同步信号脉冲宽度寄存器。

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0xA014		DHDPWR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	vpw		hpw				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	-	reserved	保留。					
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。					



Offset Address		Register Name		Total Reset Value					
0xA014		DHDVTPWR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vpw	hpw					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。						

DHDVTTHD

DHDVTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value					
0xA01C		DHDVTTHD		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。						
[14:13]	-	reserved	保留。						
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd_int1]中断。						

DHDCLIPL

DHDCLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xA040		DHDCLIPL		0x4100_4010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	CLIP 使能。 0: 禁止; 1: 使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。 0: 禁止; 1: 使能。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R, 无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G, 无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B, 无符号整数。						

DHDCLIPH

DHDCLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xA044		DHDCLIPH		0x0EB0_00F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 0 0	1 1 1 0	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R, 无符号整数。						
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G, 无符号整数。						



Offset Address		Register Name		Total Reset Value					
0xA044		DHDCLIPH		0x0EB0_00F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1			clipch0		
Reset	0 0 0 0	1 1 1 0	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B，无符号整数。						

DHDCCDOIMGMOD

DHDCCDOIMGMOD 为本地级联多画面模式配置寄存器。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value						
0xA080		DHDCCDOIMGMOD		0x0000_0080						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved					ccd_en	reserved	img_id	img_right	img_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RW	reserved	保留。							
[11]	RW	ccd_en	本地级联输出模式使能。 0: 禁能; 1: 使能。							
[10]	RW	reserved	保留。							



	Offset Address 0xA080								Register Name DHDCCDOIMGMOD								Total Reset Value 0x0000_0080															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ccd_en	reserved	img_id	img_right	img_mode											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[9:8]	RW	img_id		本地级联输出的制式。 00: 无效; 01: 单路 1080P@60; 10: 奇数帧 1080P@30; 11: 偶数帧 1080P@30。																											
	[7]	RW	img_right		本地级联输出的图像正确标志。 0: 错误; 1: 正确。																											
	[6:0]	RW	img_mode		本地级联输出的多画面分布指示标识。用于区分多画面的模式。软件可以自定义多画面的情况与寄存器值的匹配。 例如: 0x00: 标清 1 画面; 0x01: 标清 4 画面; 0x02: 标清 6 画面; 其他: xxxx(由软件自己定义)。																											

DHDCCDOPOSMSKH

DHDCCDOPOSMSKH 为本地级联 32~63 区域有效寄存器。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



		Offset Address				Register Name								Total Reset Value																			
		0xA084				DHDCDDOPOSMSKH								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																													
	[31]	RW	p63_en	本地画面区域 63 有效。 0: 无效; 1: 有效。																													
	[30]	RW	p62_en	本地画面区域 62 有效。 0: 无效; 1: 有效。																													
	[29]	RW	p61_en	本地画面区域 61 有效。 0: 无效; 1: 有效。																													
	[28]	RW	p60_en	本地画面区域 60 有效。 0: 无效; 1: 有效。																													
	[27]	RW	p59_en	本地画面区域 59 有效。 0: 无效; 1: 有效。																													
	[26]	RW	p58_en	本地画面区域 58 有效。 0: 无效; 1: 有效。																													
	[25]	RW	p57_en	本地画面区域 57 有效。 0: 无效; 1: 有效。																													
	[24]	RW	p56_en	本地画面区域 56 有效。 0: 无效; 1: 有效。																													
	[23]	RW	p55_en	本地画面区域 55 有效。 0: 无效; 1: 有效。																													



Offset Address		Register Name																Total Reset Value														
0xA084		DHDCCDOPOSMSKH																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[22]	RW	p54_en	本地画面区域 54 有效。 0: 无效; 1: 有效。																													
[21]	RW	p53_en	本地画面区域 53 有效。 0: 无效; 1: 有效。																													
[20]	RW	p52_en	本地画面区域 52 有效。 0: 无效; 1: 有效。																													
[19]	RW	p51_en	本地画面区域 51 有效。 0: 无效; 1: 有效。																													
[18]	RW	p50_en	本地画面区域 50 有效。 0: 无效; 1: 有效。																													
[17]	RW	p49_en	本地画面区域 49 有效。 0: 无效; 1: 有效。																													
[16]	RW	p48_en	本地画面区域 48 有效。 0: 无效; 1: 有效。																													
[15]	RW	p47_en	本地画面区域 47 有效。 0: 无效; 1: 有效。																													
[14]	RW	p46_en	本地画面区域 46 有效。 0: 无效; 1: 有效。																													



		Offset Address				Register Name								Total Reset Value																			
		0xA084				DHDCDDOPOSMSKH								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																												
	[13]	RW	p45_en		本地画面区域 45 有效。 0: 无效; 1: 有效。																												
	[12]	RW	p44_en		本地画面区域 44 有效。 0: 无效; 1: 有效。																												
	[11]	RW	p43_en		本地画面区域 43 有效。 0: 无效; 1: 有效。																												
	[10]	RW	p42_en		本地画面区域 42 有效。 0: 无效; 1: 有效。																												
	[9]	RW	p41_en		本地画面区域 41 有效。 0: 无效; 1: 有效。																												
	[8]	RW	p40_en		本地画面区域 40 有效。 0: 无效; 1: 有效。																												
	[7]	RW	p39_en		本地画面区域 39 有效。 0: 无效; 1: 有效。																												
	[6]	RW	p38_en		本地画面区域 38 有效。 0: 无效; 1: 有效。																												
	[5]	RW	p37_en		本地画面区域 37 有效。 0: 无效; 1: 有效。																												



Offset Address		Register Name																Total Reset Value														
0xA084		DHDCCDOPOSMSKH																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[4]	RW	p36_en	本地画面区域 36 有效。 0: 无效; 1: 有效。																													
[3]	RW	p35_en	本地画面区域 35 有效。 0: 无效; 1: 有效。																													
[2]	RW	p34_en	本地画面区域 34 有效。 0: 无效; 1: 有效。																													
[1]	RW	p33_en	本地画面区域 33 有效。 0: 无效; 1: 有效。																													
[0]	RW	p32_en	本地画面区域 32 有效。 0: 无效; 1: 有效。																													

DHDCCDOPOSMSKL

DHDCCDOPOSMSKL 为本地级联 0~31 区域有效寄存器。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



		Offset Address				Register Name								Total Reset Value																			
		0xA088				DHDCDDOPOSMSKL								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																													
	[31]	RW	p31_en	本地画面区域 31 有效。 0: 无效; 1: 有效。																													
	[30]	RW	p30_en	本地画面区域 30 有效。 0: 无效; 1: 有效。																													
	[29]	RW	p29_en	本地画面区域 29 有效。 0: 无效; 1: 有效。																													
	[28]	RW	p28_en	本地画面区域 28 有效。 0: 无效; 1: 有效。																													
	[27]	RW	p27_en	本地画面区域 27 有效。 0: 无效; 1: 有效。																													
	[26]	RW	p26_en	本地画面区域 26 有效。 0: 无效; 1: 有效。																													
	[25]	RW	p25_en	本地画面区域 25 有效。 0: 无效; 1: 有效。																													
	[24]	RW	p24_en	本地画面区域 24 有效。 0: 无效; 1: 有效。																													
	[23]	RW	p23_en	本地画面区域 23 有效。 0: 无效; 1: 有效。																													



		Offset Address 0xA088								Register Name DHDCCDOPOSMASKL								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name		Description																											
	[22]		RW	p22_en		本地画面区域 22 有效。 0: 无效; 1: 有效。																											
	[21]		RW	p21_en		本地画面区域 21 有效。 0: 无效; 1: 有效。																											
	[20]		RW	p20_en		本地画面区域 20 有效。 0: 无效; 1: 有效。																											
	[19]		RW	p19_en		本地画面区域 19 有效。 0: 无效; 1: 有效。																											
	[18]		RW	p18_en		本地画面区域 18 有效。 0: 无效; 1: 有效。																											
	[17]		RW	p17_en		本地画面区域 17 有效。 0: 无效; 1: 有效。																											
	[16]		RW	p16_en		本地画面区域 16 有效。 0: 无效; 1: 有效。																											
	[15]		RW	p15_en		本地画面区域 15 有效。 0: 无效; 1: 有效。																											
	[14]		RW	p14_en		本地画面区域 14 有效。 0: 无效; 1: 有效。																											



		Offset Address				Register Name								Total Reset Value																			
		0xA088				DHDCDDOPOSMSKL								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																													
	[13]	RW	p13_en	本地画面区域 13 有效。 0: 无效; 1: 有效。																													
	[12]	RW	p12_en	本地画面区域 12 有效。 0: 无效; 1: 有效。																													
	[11]	RW	p11_en	本地画面区域 11 有效。 0: 无效; 1: 有效。																													
	[10]	RW	p10_en	本地画面区域 10 有效。 0: 无效; 1: 有效。																													
	[9]	RW	p9_en	本地画面区域 9 有效。 0: 无效; 1: 有效。																													
	[8]	RW	p8_en	本地画面区域 8 有效。 0: 无效; 1: 有效。																													
	[7]	RW	p7_en	本地画面区域 7 有效。 0: 无效; 1: 有效。																													
	[6]	RW	p6_en	本地画面区域 6 有效。 0: 无效; 1: 有效。																													
	[5]	RW	p5_en	本地画面区域 5 有效。 0: 无效; 1: 有效。																													



	Offset Address 0xA088				Register Name DHDCCDOPOSMSKL								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[4]	RW	p4_en	本地画面区域 4 有效。 0: 无效; 1: 有效。																												
	[3]	RW	p3_en	本地画面区域 3 有效。 0: 无效; 1: 有效。																												
	[2]	RW	p2_en	本地画面区域 2 有效。 0: 无效; 1: 有效。																												
	[1]	RW	p1_en	本地画面区域 1 有效。 0: 无效; 1: 有效。																												
	[0]	RW	p0_en	本地画面区域 0 有效。 0: 无效; 1: 有效。																												

DHDCCDIIMGMOD

DHDCCDIIMGMOD 为输入级联多画面模式寄存器。



	Offset Address 0xA090								Register Name DHDCCDIIMGMOD								Total Reset Value 0x0000_0080																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																img_id	img_right	img_mode																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:10]	-		reserved		保留。																															
[9:8]	RO		img_id		级联输入的制式。 00: 无效 ; 01: 单路 1080P@60; 1080P@30; 11: 偶数帧 1080P@30。 10: 奇数帧																															
[7]	RO		img_right		级联输入的图像正确标志。 0: 错误; 1: 正确。																															
[6:0]	RO		img_mode		级联输入的多画面分布指示标识。用于区分多画面的模式。 软件可以自定义多画面的情况与寄存器值的匹配。 例如: 0x00: 标清 1 画面; 0x01: 标清 4 画面; 0x02: 标清 6 画面; 其他: xxxx(由软件自己定义)。																															

DHDCCDIPOSMSKH

DHDCCDIPOSMSKH 为级联输入 32~63 区域有效寄存器。



	Offset Address 0xA094								Register Name DHDCCDIPOSMSKH								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31]	RO	p63_en	级联输入画面区域 63 有效。 0: 无效; 1: 有效。																												
	[30]	RO	p62_en	级联输入画面区域 62 有效。 0: 无效; 1: 有效。																												
	[29]	RO	p61_en	级联输入画面区域 61 有效。 0: 无效; 1: 有效。																												
	[28]	RO	p60_en	级联输入画面区域 60 有效。 0: 无效; 1: 有效。																												
	[27]	RO	p59_en	级联输入画面区域 59 有效。 0: 无效; 1: 有效。																												
	[26]	RO	p58_en	级联输入画面区域 58 有效。 0: 无效; 1: 有效。																												
	[25]	RO	p57_en	级联输入画面区域 57 有效。 0: 无效; 1: 有效。																												
	[24]	RO	p56_en	级联输入画面区域 56 有效。 0: 无效; 1: 有效。																												
	[23]	RO	p55_en	级联输入画面区域 55 有效。 0: 无效; 1: 有效。																												



		Offset Address				Register Name								Total Reset Value																			
		0xA094				DHDCCDIPOSMSKH								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name	Description																												
		[22]	RO	p54_en	级联输入画面区域 54 有效。 0: 无效; 1: 有效。																												
		[21]	RO	p53_en	级联输入画面区域 53 有效。 0: 无效; 1: 有效。																												
		[20]	RO	p52_en	级联输入画面区域 52 有效。 0: 无效; 1: 有效。																												
		[19]	RO	p51_en	级联输入画面区域 51 有效。 0: 无效; 1: 有效。																												
		[18]	RO	p50_en	级联输入画面区域 50 有效。 0: 无效; 1: 有效。																												
		[17]	RO	p49_en	级联输入画面区域 49 有效。 0: 无效; 1: 有效。																												
		[16]	RO	p48_en	级联输入画面区域 48 有效。 0: 无效; 1: 有效。																												
		[15]	RO	p47_en	级联输入画面区域 47 有效。 0: 无效; 1: 有效。																												
		[14]	RO	p46_en	级联输入画面区域 46 有效。 0: 无效; 1: 有效。																												



	Offset Address 0xA094				Register Name DHDCCDIPOSMSKH								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[13]	RO	p45_en	级联输入画面区域 45 有效。 0: 无效; 1: 有效。																												
	[12]	RO	p44_en	级联输入画面区域 44 有效。 0: 无效; 1: 有效。																												
	[11]	RO	p43_en	级联输入画面区域 43 有效。 0: 无效; 1: 有效。																												
	[10]	RO	p42_en	级联输入画面区域 42 有效。 0: 无效; 1: 有效。																												
	[9]	RO	p41_en	级联输入画面区域 41 有效。 0: 无效; 1: 有效。																												
	[8]	RO	p40_en	级联输入画面区域 40 有效。 0: 无效; 1: 有效。																												
	[7]	RO	p39_en	级联输入画面区域 39 有效。 0: 无效; 1: 有效。																												
	[6]	RO	p38_en	级联输入画面区域 38 有效。 0: 无效; 1: 有效。																												
	[5]	RO	p37_en	级联输入画面区域 37 有效。 0: 无效; 1: 有效。																												



Offset Address		Register Name																Total Reset Value														
0xA094		DHDCCDIPOSMSKH																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[4]	RO	p36_en	级联输入画面区域 36 有效。 0: 无效; 1: 有效。																													
[3]	RO	p35_en	级联输入画面区域 35 有效。 0: 无效; 1: 有效。																													
[2]	RO	p34_en	级联输入画面区域 34 有效。 0: 无效; 1: 有效。																													
[1]	RO	p33_en	级联输入画面区域 33 有效。 0: 无效; 1: 有效。																													
[0]	RO	p32_en	级联输入画面区域 32 有效。 0: 无效; 1: 有效。																													

DHDCCDIPOSMSKL

DHDCCDIPOSMSKL 为本地级联 0~31 区域有效寄存器。



	Offset Address 0xA098								Register Name DHDCCDIPOSMSKL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31]	RO	p31_en	级联输入画面区域 31 有效。 0: 无效; 1: 有效。																												
	[30]	RO	p30_en	级联输入画面区域 30 有效。 0: 无效; 1: 有效。																												
	[29]	RO	p29_en	级联输入画面区域 29 有效。 0: 无效; 1: 有效。																												
	[28]	RO	p28_en	级联输入画面区域 28 有效。 0: 无效; 1: 有效。																												
	[27]	RO	p27_en	级联输入画面区域 27 有效。 0: 无效; 1: 有效。																												
	[26]	RO	p26_en	级联输入画面区域 26 有效。 0: 无效; 1: 有效。																												
	[25]	RO	p25_en	级联输入画面区域 25 有效。 0: 无效; 1: 有效。																												
	[24]	RO	p24_en	级联输入画面区域 24 有效。 0: 无效; 1: 有效。																												
	[23]	RO	p23_en	级联输入画面区域 23 有效。 0: 无效; 1: 有效。																												



		Offset Address				Register Name								Total Reset Value																			
		0xA098				DHDCCDIPOSMSKL								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name	Description																												
		[22]	RO	p22_en	级联输入画面区域 22 有效。 0: 无效; 1: 有效。																												
		[21]	RO	p21_en	级联输入画面区域 21 有效。 0: 无效; 1: 有效。																												
		[20]	RO	p20_en	级联输入画面区域 20 有效。 0: 无效; 1: 有效。																												
		[19]	RO	p19_en	级联输入画面区域 19 有效。 0: 无效; 1: 有效。																												
		[18]	RO	p18_en	级联输入画面区域 18 有效。 0: 无效; 1: 有效。																												
		[17]	RO	p17_en	级联输入画面区域 17 有效。 0: 无效; 1: 有效。																												
		[16]	RO	p16_en	级联输入画面区域 16 有效。 0: 无效; 1: 有效。																												
		[15]	RO	p15_en	级联输入画面区域 15 有效。 0: 无效; 1: 有效。																												
		[14]	RO	p14_en	级联输入画面区域 14 有效。 0: 无效; 1: 有效。																												



Offset Address		Register Name																Total Reset Value														
0xA098		DHDCCDIPOSMSKL																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[13]	RO	p13_en	级联输入画面区域 13 有效。 0: 无效; 1: 有效。																													
[12]	RO	p12_en	级联输入画面区域 12 有效。 0: 无效; 1: 有效。																													
[11]	RO	p11_en	级联输入画面区域 11 有效。 0: 无效; 1: 有效。																													
[10]	RO	p10_en	级联输入画面区域 10 有效。 0: 无效; 1: 有效。																													
[9]	RO	p9_en	级联输入画面区域 9 有效。 0: 无效; 1: 有效。																													
[8]	RO	p8_en	级联输入画面区域 8 有效。 0: 无效; 1: 有效。																													
[7]	RO	p7_en	级联输入画面区域 7 有效。 0: 无效; 1: 有效。																													
[6]	RO	p6_en	级联输入画面区域 6 有效。 0: 无效; 1: 有效。																													
[5]	RO	p5_en	级联输入画面区域 5 有效。 0: 无效; 1: 有效。																													



		Offset Address				Register Name								Total Reset Value																			
		0xA098				DHDCCDIPOSMSKL								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name	Description																												
		[4]	RO	p4_en	级联输入画面区域 4 有效。 0: 无效; 1: 有效。																												
		[3]	RO	p3_en	级联输入画面区域 3 有效。 0: 无效; 1: 有效。																												
		[2]	RO	p2_en	级联输入画面区域 2 有效。 0: 无效; 1: 有效。																												
		[1]	RO	p1_en	级联输入画面区域 1 有效。 0: 无效; 1: 有效。																												
		[0]	RO	p0_en	级联输入画面区域 0 有效。 0: 无效; 1: 有效。																												

DHDSTATE

DHDSTATE 为 DHD 状态寄存器。



	Offset Address 0xA0F0								Register Name DHDSTATE								Total Reset Value 0x0000_0110															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bottom_field	vblank	vback_blank					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	-	reserved		保留。																											
	[2]	RO	bottom_field		DHD 显示顶底场标识。 0: 顶场; 1: 底场。																											
	[1]	RO	vblank		DHD 显示消隐区标识。 0: 有效区; 1: 消隐区。																											
	[0]	RO	vback_blank		DHD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。																											

DHD1CTRL

DHD1CTRL 为显示通道的总体控制寄存器。



注意

该寄存器的所有 bit 的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value																												
0xA400		DHD1CTRL		0x0001_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	slave_md	multi32_md	reserved	fpga_lmt_en	fpga_lmt_width				reserved	clipen	reserved	gmmen	reserved	idv	ihs	ivs	iop	synn	intfb	intfdm											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		intf_en		显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。																											
[30]	RW		slave_md		芯片级联时，主从模式选择，当为级联的第一个芯片时，应该配置为主模式，其他配置为从模式，没有级联时，配置为主模式。 0: 主模式; 1: 从模式。																											
[29]	RW		multi32_md		芯片级联时，工作在 32 区域模式还是 64 区域模式。 0: 工作在 64 区域; 1: 工作在 32 区域。																											
[28]	-		reserved		保留。																											
[27]	RW		fpga_lmt_en		debug 寄存器。由于 FPGA 时钟总线频率的限制，无法显示 1080i 的图像内容，该寄存器使能后，可以在 1080i 的接口上显示 1280 宽度的图像内容。 0: 禁止; 1: 使能。																											
[26:20]	RW		fpga_lmt_width		debug 寄存器。在 fpga_lmt_en 使能时，VOU 接口输出的有效区宽度由该寄存器决定。实际输出有效区域宽度 = fpga_lmt_width x 16。																											
[19:17]	-		reserved		保留。																											
[16]	RW		clipen		输出嵌位使能，即时寄存器。 0: 禁止; 1: 使能。																											
[15]	-		reserved		保留。																											



Offset Address		Register Name		Total Reset Value					
0xA400		DHD1CTRL		0x0001_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	intf_en slave_md multi32_md reserved fpga_lmt_en	fpga_lmt_width			reserved clipen reserved gmmen reserved	idv ihs ivs iop	synm intfb	intfdm	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[14]	RW	gmmen	输出 Gamma 校正使能，即时寄存器。 0: 禁止; 1: 使能。						
[13:11]	-	reserved	保留。						
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。						
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。						
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。						
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。						
[6]	RW	synm	同步模式，即时寄存器。 0: 时序标签模式(例如 BT.656); 1: 同步信号模式(例如 LCD 显示)。						
[5:4]	RW	intfb	输出接口位宽模式。即时寄存器。 00: 单分量模式(每个时钟输出 1 个分量); 01: 2 分量模式(每个时钟输出 2 个分量); 10: 3 分量模式(每个时钟输出 3 个分量); 11: 无效。						



		Offset Address 0xA400								Register Name DHD1CTRL								Total Reset Value 0x0001_0010															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		intf_en	slave_md	multi32_md	reserved	fpga_lmt_en	fpga_lmt_width								reserved	clipen	reserved	gmmen	reserved	idv	ihs	ivs	iop	synm	intfb	intfdm							
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access		Name		Description																											
	[3:0]	RW		intfdm		接口数据格式。 即时寄存器。 0x0: YCbCr422 数据格式; 0x1~0xB: 保留; 0xC: RGB888/YCbCr444 输出; 其他: 无效。																											

DHD1VSYNC

DHD1VSYNC 为垂直很时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

		Offset Address 0xA404								Register Name DHD1VSYNC								Total Reset Value 0x0011_321B															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				vfb				vbb				vact																			
Reset		0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	1	1	0	1	1
	Bits	Access		Name		Description																											
	[31:28]	-		reserved		保留。																											



Offset Address		Register Name		Total Reset Value					
0xA404		DHD1VSYNC		0x0011_321B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vfb		vbb		vact		
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 1	1 0 1 1	
Bits	Access	Name	Description						
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。						
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。						
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。						

DHD1HSYNC1

DHD1HSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0xA408		DHD1HSYNC1		0x00BF_077F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbb				hact			
Reset	0 0 0 0	0 0 0 0	1 0 1 1	1 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	hbb	水平消隐后肩，单位为像素。					



Offset Address		Register Name		Total Reset Value				
0xA408		DHD1HSYNC1		0x00BF_077F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbb				hact			
Reset	0 0 0 0	0 0 0 0	1 0 1 1	1 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[15:0]	RW	hact	活动区域水平像素数。					

DHD1HSYNC2

DHD1HSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0xA40C		DHD1HSYNC2		0x0000_020F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hmid				hfb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	hmid	底场垂直同步有效像素值(有效数据区)。					
[15:0]	RW	hfb	水平消隐前肩，单位为像素。					

DHD1VPLUS

DHD1VPLUS 为隔行底场垂时序寄存器。隔行输出时，该寄存器表示底场垂直同步时序。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0xA410		DHD1VPLUS		0x0021_321B				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	bvfb		bvbb		bvact		
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 1	1 0 1 1
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27:20]	RW	bvfb	隔行输出时：底场垂直消隐前肩。 单位：行。					
[19:12]	RW	bvbb	隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。					
[11:0]	RW	bvact	隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。					

DHD1PWR

DHD1PWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value					
0xA414		DHD1PWR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			vpw		hpw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。						
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。						

DHD1VTTHD

DHD1VTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value				
0xA41C		DHD1VTTHD		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。					
[14:13]	-	reserved	保留。					
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd_int1]中断。					



DHD1CL IPL

DHD1CL IPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xA440		DHD1CL IPL		0x4100_4010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	CLIP 使能。 0: 禁止; 1: 使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。 0: 禁能; 1: 使能。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R, 无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G, 无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B, 无符号整数。						

DHD1CLIPH

DHD1CLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如: BT.656 标准输出时, 需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xA444		DHD1CLIPH		0x0EB0_00F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 0 0	1 1 1 0	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0xA444		DHD1CLIPH		0x0EB0_00F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1			clipch0		
Reset	0 0 0 0	1 1 1 0	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R, 无符号整数。						
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G, 无符号整数。						
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B, 无符号整数。						

DHD1CCDOIMGMOD

DHD1CCDOIMGMOD 为本地级联多画面模式配置寄存器。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value						
0xA480		DHD1CCDOIMGMOD		0x0000_0080						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved					ccd_en	reserved	img_id	img_right	img_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RW	reserved	保留。							
[11]	RW	ccd_en	本地级联输出模式使能。 0: 禁能; 1: 使能。							
[10]	RW	reserved	保留。							



	Offset Address 0xA480								Register Name DHD1CCDOIMGMOD								Total Reset Value 0x0000_0080																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ccd_en	reserved	img_id	img_right	img_mode															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[9:8]	RW		img_id		本地级联输出的制式。 00: 无效; 01: 单路 1080P@60; 10: 奇数帧 1080P@30; 11: 偶数帧 1080P@30。																															
[7]	RW		img_right		本地级联输出的图像正确标志。 0: 错误; 1: 正确。																															
[6:0]	RW		img_mode		本地级联输出的多画面分布指示标识。用于区分多画面的模式。软件可以自定义多画面的情况与寄存器值的匹配。 例如: 0x00: 标清 1 画面; 0x01: 标清 4 画面; 0x02: 标清 6 画面; 其他: xxxx(由软件自己定义)。																															

DHD1CCDOPOSMSKH

DHD1CCDOPOSMSKH 为本地级联 32~64 区域有效寄存器。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



		Offset Address				Register Name								Total Reset Value																			
		0xA484				DHD1CCDOPOSMKH								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name	Description																												
		[31]	RW	p63_en	本地画面区域 63 有效。 0: 无效; 1: 有效。																												
		[30]	RW	p62_en	本地画面区域 62 有效。 0: 无效; 1: 有效。																												
		[29]	RW	p61_en	本地画面区域 61 有效。 0: 无效; 1: 有效。																												
		[28]	RW	p60_en	本地画面区域 60 有效。 0: 无效; 1: 有效。																												
		[27]	RW	p59_en	本地画面区域 59 有效。 0: 无效; 1: 有效。																												
		[26]	RW	p58_en	本地画面区域 58 有效。 0: 无效; 1: 有效。																												
		[25]	RW	p57_en	本地画面区域 57 有效。 0: 无效; 1: 有效。																												
		[24]	RW	p56_en	本地画面区域 56 有效。 0: 无效; 1: 有效。																												
		[23]	RW	p55_en	本地画面区域 55 有效。 0: 无效; 1: 有效。																												



		Offset Address 0xA484												Register Name DHD1CCDOPOSMKH								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en				
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
		Bits	Access	Name		Description																															
		[22]	RW	p54_en		本地画面区域 54 有效。 0: 无效; 1: 有效。																															
		[21]	RW	p53_en		本地画面区域 53 有效。 0: 无效; 1: 有效。																															
		[20]	RW	p52_en		本地画面区域 52 有效。 0: 无效; 1: 有效。																															
		[19]	RW	p51_en		本地画面区域 51 有效。 0: 无效; 1: 有效。																															
		[18]	RW	p50_en		本地画面区域 50 有效。 0: 无效; 1: 有效。																															
		[17]	RW	p49_en		本地画面区域 49 有效。 0: 无效; 1: 有效。																															
		[16]	RW	p48_en		本地画面区域 48 有效。 0: 无效; 1: 有效。																															
		[15]	RW	p47_en		本地画面区域 47 有效。 0: 无效; 1: 有效。																															
		[14]	RW	p46_en		本地画面区域 46 有效。 0: 无效; 1: 有效。																															



		Offset Address				Register Name								Total Reset Value																			
		0xA484				DHD1CCDOPOSMKH								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																												
	[13]	RW	p45_en		本地画面区域 45 有效。 0: 无效; 1: 有效。																												
	[12]	RW	p44_en		本地画面区域 44 有效。 0: 无效; 1: 有效。																												
	[11]	RW	p43_en		本地画面区域 43 有效。 0: 无效; 1: 有效。																												
	[10]	RW	p42_en		本地画面区域 42 有效。 0: 无效; 1: 有效。																												
	[9]	RW	p41_en		本地画面区域 41 有效。 0: 无效; 1: 有效。																												
	[8]	RW	p40_en		本地画面区域 40 有效。 0: 无效; 1: 有效。																												
	[7]	RW	p39_en		本地画面区域 39 有效。 0: 无效; 1: 有效。																												
	[6]	RW	p38_en		本地画面区域 38 有效。 0: 无效; 1: 有效。																												
	[5]	RW	p37_en		本地画面区域 37 有效。 0: 无效; 1: 有效。																												



Offset Address		Register Name																Total Reset Value														
0xA484		DHD1CCDOPOSMSKH																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[4]	RW	p36_en	本地画面区域 36 有效。 0: 无效; 1: 有效。																													
[3]	RW	p35_en	本地画面区域 35 有效。 0: 无效; 1: 有效。																													
[2]	RW	p34_en	本地画面区域 34 有效。 0: 无效; 1: 有效。																													
[1]	RW	p33_en	本地画面区域 33 有效。 0: 无效; 1: 有效。																													
[0]	RW	p32_en	本地画面区域 32 有效。 0: 无效; 1: 有效。																													

DHD1CCDOPOSMSKL

DHD1CCDOPOSMSKL 为本地级联 0~31 区域有效寄存器。



注意

该寄存器的配置必须不晚于 DHDCTRL[intf_en]，否则配置无法生效。



		Offset Address				Register Name								Total Reset Value																			
		0xA488				DHD1CCDOPOSMSKL								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name	Description																												
		[31]	RW	p31_en	本地画面区域 31 有效。 0: 无效; 1: 有效。																												
		[30]	RW	p30_en	本地画面区域 30 有效。 0: 无效; 1: 有效。																												
		[29]	RW	p29_en	本地画面区域 29 有效。 0: 无效; 1: 有效。																												
		[28]	RW	p28_en	本地画面区域 28 有效。 0: 无效; 1: 有效。																												
		[27]	RW	p27_en	本地画面区域 27 有效。 0: 无效; 1: 有效。																												
		[26]	RW	p26_en	本地画面区域 26 有效。 0: 无效; 1: 有效。																												
		[25]	RW	p25_en	本地画面区域 25 有效。 0: 无效; 1: 有效。																												
		[24]	RW	p24_en	本地画面区域 24 有效。 0: 无效; 1: 有效。																												
		[23]	RW	p23_en	本地画面区域 23 有效。 0: 无效; 1: 有效。																												



		Offset Address				Register Name								Total Reset Value																			
		0xA488				DHD1CCDOPOMSKL								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name	Description																												
		[22]	RW	p22_en	本地画面区域 22 有效。 0: 无效; 1: 有效。																												
		[21]	RW	p21_en	本地画面区域 21 有效。 0: 无效; 1: 有效。																												
		[20]	RW	p20_en	本地画面区域 20 有效。 0: 无效; 1: 有效。																												
		[19]	RW	p19_en	本地画面区域 19 有效。 0: 无效; 1: 有效。																												
		[18]	RW	p18_en	本地画面区域 18 有效。 0: 无效; 1: 有效。																												
		[17]	RW	p17_en	本地画面区域 17 有效。 0: 无效; 1: 有效。																												
		[16]	RW	p16_en	本地画面区域 16 有效。 0: 无效; 1: 有效。																												
		[15]	RW	p15_en	本地画面区域 15 有效。 0: 无效; 1: 有效。																												
		[14]	RW	p14_en	本地画面区域 14 有效。 0: 无效; 1: 有效。																												



		Offset Address				Register Name								Total Reset Value																			
		0xA488				DHD1CCDOPOSMSKL								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[13]	RW		p13_en		本地画面区域 13 有效。 0: 无效; 1: 有效。																											
	[12]	RW		p12_en		本地画面区域 12 有效。 0: 无效; 1: 有效。																											
	[11]	RW		p11_en		本地画面区域 11 有效。 0: 无效; 1: 有效。																											
	[10]	RW		p10_en		本地画面区域 10 有效。 0: 无效; 1: 有效。																											
	[9]	RW		p9_en		本地画面区域 9 有效。 0: 无效; 1: 有效。																											
	[8]	RW		p8_en		本地画面区域 8 有效。 0: 无效; 1: 有效。																											
	[7]	RW		p7_en		本地画面区域 7 有效。 0: 无效; 1: 有效。																											
	[6]	RW		p6_en		本地画面区域 6 有效。 0: 无效; 1: 有效。																											
	[5]	RW		p5_en		本地画面区域 5 有效。 0: 无效; 1: 有效。																											



Offset Address		Register Name																Total Reset Value														
0xA488		DHD1CCDOPOSMKSL																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[4]	RW	p4_en	本地画面区域 4 有效。 0: 无效; 1: 有效。																													
[3]	RW	p3_en	本地画面区域 3 有效。 0: 无效; 1: 有效。																													
[2]	RW	p2_en	本地画面区域 2 有效。 0: 无效; 1: 有效。																													
[1]	RW	p1_en	本地画面区域 1 有效。 0: 无效; 1: 有效。																													
[0]	RW	p0_en	本地画面区域 0 有效。 0: 无效; 1: 有效。																													

DHD1CCDIIMGMOD

DHD1CCDIIMGMOD 为输入级联多画面模式寄存器。



	Offset Address	Register Name	Total Reset Value						
	0xA490	DHD1CCDIIMGMOD	0x0000_0080						
Bit	31 30 29 28	27 26 25 24	23 22 21 20						
	19 18 17 16	15 14 13 12	11 10 9 8						
	7 6 5 4	3 2 1 0							
Name	reserved						img_id	img_right	img_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	-	reserved	保留。						
[9:8]	RO	img_id	级联输入的制式。 00: 无效; 01: 单路 1080P@60; 10: 奇数帧 1080P@30; 11: 偶数帧 1080P@30。						
[7]	RO	img_right	级联输入的图像正确标志。 0: 错 误; 1: 正确。						
[6:0]	RO	img_mode	级联输入的多画面分布指示标识。用于区分多画面的模式。 软件可以自定义多画面的情况与寄存器值的匹配。 例如: 0x00: 标清 1 画面; 0x01: 标清 4 画面; 0x02: 标清 6 画面; 其他: xxxx(由软件自己定义)。						

DHD1CCDIPOSMSKH

DHD1CCDIPOSMSKH 为级联输入 32~63 区域有效寄存器。



Offset Address		Register Name																Total Reset Value														
0xA494		DHD1CCDIPOSMSKH																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RO	p63_en	级联输入画面区域 63 有效。 0: 无效; 1: 有效。																													
[30]	RO	p62_en	级联输入画面区域 62 有效。 0: 无效; 1: 有效。																													
[29]	RO	p61_en	级联输入画面区域 61 有效。 0: 无效; 1: 有效。																													
[28]	RO	p60_en	级联输入画面区域 60 有效。 0: 无效; 1: 有效。																													
[27]	RO	p59_en	级联输入画面区域 59 有效。 0: 无效; 1: 有效。																													
[26]	RO	p58_en	级联输入画面区域 58 有效。 0: 无效; 1: 有效。																													
[25]	RO	p57_en	级联输入画面区域 57 有效。 0: 无效; 1: 有效。																													
[24]	RO	p56_en	级联输入画面区域 56 有效。 0: 无效; 1: 有效。																													
[23]	RO	p55_en	级联输入画面区域 55 有效。 0: 无效; 1: 有效。																													



		Offset Address				Register Name								Total Reset Value																			
		0xA494				DHDICCDIPOSMSKH								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name	Description																												
		[22]	RO	p54_en	级联输入画面区域 54 有效。 0: 无效; 1: 有效。																												
		[21]	RO	p53_en	级联输入画面区域 53 有效。 0: 无效; 1: 有效。																												
		[20]	RO	p52_en	级联输入画面区域 52 有效。 0: 无效; 1: 有效。																												
		[19]	RO	p51_en	级联输入画面区域 51 有效。 0: 无效; 1: 有效。																												
		[18]	RO	p50_en	级联输入画面区域 50 有效。 0: 无效; 1: 有效。																												
		[17]	RO	p49_en	级联输入画面区域 49 有效。 0: 无效; 1: 有效。																												
		[16]	RO	p48_en	级联输入画面区域 48 有效。 0: 无效; 1: 有效。																												
		[15]	RO	p47_en	级联输入画面区域 47 有效。 0: 无效; 1: 有效。																												
		[14]	RO	p46_en	级联输入画面区域 46 有效。 0: 无效; 1: 有效。																												



Offset Address		Register Name																Total Reset Value														
0xA494		DHD1CCDIPOSMASKH																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[13]	RO	p45_en	级联输入画面区域 45 有效。 0: 无效; 1: 有效。																													
[12]	RO	p44_en	级联输入画面区域 44 有效。 0: 无效; 1: 有效。																													
[11]	RO	p43_en	级联输入画面区域 43 有效。 0: 无效; 1: 有效。																													
[10]	RO	p42_en	级联输入画面区域 42 有效。 0: 无效; 1: 有效。																													
[9]	RO	p41_en	级联输入画面区域 41 有效。 0: 无效; 1: 有效。																													
[8]	RO	p40_en	级联输入画面区域 40 有效。 0: 无效; 1: 有效。																													
[7]	RO	p39_en	级联输入画面区域 39 有效。 0: 无效; 1: 有效。																													
[6]	RO	p38_en	级联输入画面区域 38 有效。 0: 无效; 1: 有效。																													
[5]	RO	p37_en	级联输入画面区域 37 有效。 0: 无效; 1: 有效。																													



Offset Address		Register Name																Total Reset Value														
0xA494		DHD1CCDIPOSMSKH																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p63_en	p62_en	p61_en	p60_en	p59_en	p58_en	p57_en	p56_en	p55_en	p54_en	p53_en	p52_en	p51_en	p50_en	p49_en	p48_en	p47_en	p46_en	p45_en	p44_en	p43_en	p42_en	p41_en	p40_en	p39_en	p38_en	p37_en	p36_en	p35_en	p34_en	p33_en	p32_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[4]	RO	p36_en	级联输入画面区域 36 有效。 0: 无效; 1: 有效。																													
[3]	RO	p35_en	级联输入画面区域 35 有效。 0: 无效; 1: 有效。																													
[2]	RO	p34_en	级联输入画面区域 34 有效。 0: 无效; 1: 有效。																													
[1]	RO	p33_en	级联输入画面区域 33 有效。 0: 无效; 1: 有效。																													
[0]	RO	p32_en	级联输入画面区域 32 有效。 0: 无效; 1: 有效。																													

DHD1CCDIPOSMSKL

DHD1CCDIPOSMSKL 为本地级联 0~31 区域有效寄存器。



	Offset Address 0xA498								Register Name DHD1CCDIPOSMSKL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31]	RO	p31_en	级联输入画面区域 31 有效。 0: 无效; 1: 有效。																												
	[30]	RO	p30_en	级联输入画面区域 30 有效。 0: 无效; 1: 有效。																												
	[29]	RO	p29_en	级联输入画面区域 29 有效。 0: 无效; 1: 有效。																												
	[28]	RO	p28_en	级联输入画面区域 28 有效。 0: 无效; 1: 有效。																												
	[27]	RO	p27_en	级联输入画面区域 27 有效。 0: 无效; 1: 有效。																												
	[26]	RO	p26_en	级联输入画面区域 26 有效。 0: 无效; 1: 有效。																												
	[25]	RO	p25_en	级联输入画面区域 25 有效。 0: 无效; 1: 有效。																												
	[24]	RO	p24_en	级联输入画面区域 24 有效。 0: 无效; 1: 有效。																												
	[23]	RO	p23_en	级联输入画面区域 23 有效。 0: 无效; 1: 有效。																												



		Offset Address				Register Name								Total Reset Value																			
		0xA498				DHD1CCDIPOSMSKL								0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name		Description																											
		[22]	RO	p22_en		级联输入画面区域 22 有效。 0: 无效; 1: 有效。																											
		[21]	RO	p21_en		级联输入画面区域 21 有效。 0: 无效; 1: 有效。																											
		[20]	RO	p20_en		级联输入画面区域 20 有效。 0: 无效; 1: 有效。																											
		[19]	RO	p19_en		级联输入画面区域 19 有效。 0: 无效; 1: 有效。																											
		[18]	RO	p18_en		级联输入画面区域 18 有效。 0: 无效; 1: 有效。																											
		[17]	RO	p17_en		级联输入画面区域 17 有效。 0: 无效; 1: 有效。																											
		[16]	RO	p16_en		级联输入画面区域 16 有效。 0: 无效; 1: 有效。																											
		[15]	RO	p15_en		级联输入画面区域 15 有效。 0: 无效; 1: 有效。																											
		[14]	RO	p14_en		级联输入画面区域 14 有效。 0: 无效; 1: 有效。																											



	Offset Address 0xA498								Register Name DHD1CCDIPOSMSKL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[13]	RO	p13_en	级联输入画面区域 13 有效。 0: 无效; 1: 有效。																												
	[12]	RO	p12_en	级联输入画面区域 12 有效。 0: 无效; 1: 有效。																												
	[11]	RO	p11_en	级联输入画面区域 11 有效。 0: 无效; 1: 有效。																												
	[10]	RO	p10_en	级联输入画面区域 10 有效。 0: 无效; 1: 有效。																												
	[9]	RO	p9_en	级联输入画面区域 9 有效。 0: 无效; 1: 有效。																												
	[8]	RO	p8_en	级联输入画面区域 8 有效。 0: 无效; 1: 有效。																												
	[7]	RO	p7_en	级联输入画面区域 7 有效。 0: 无效; 1: 有效。																												
	[6]	RO	p6_en	级联输入画面区域 6 有效。 0: 无效; 1: 有效。																												
	[5]	RO	p5_en	级联输入画面区域 5 有效。 0: 无效; 1: 有效。																												



Offset Address		Register Name																Total Reset Value																		
0xA498		DHD1CCDIPOSMSKL																0x0000_0000																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	p31_en	p30_en	p29_en	p28_en	p27_en	p26_en	p25_en	p24_en	p23_en	p22_en	p21_en	p20_en	p19_en	p18_en	p17_en	p16_en	p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name	Description																																	
[4]	RO	p4_en	级联输入画面区域 4 有效。 0: 无效; 1: 有效。																																	
[3]	RO	p3_en	级联输入画面区域 3 有效。 0: 无效; 1: 有效。																																	
[2]	RO	p2_en	级联输入画面区域 2 有效。 0: 无效; 1: 有效。																																	
[1]	RO	p1_en	级联输入画面区域 1 有效。 0: 无效; 1: 有效。																																	
[0]	RO	p0_en	级联输入画面区域 0 有效。 0: 无效; 1: 有效。																																	

DHD1STATE

DHD1STATE 为 DHD 状态寄存器。



	Offset Address 0xA4F0								Register Name DHD1STATE								Total Reset Value 0x0000_0110															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bottom_field	vblank	vback_blank					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:3]	-	reserved	保留。																												
	[2]	RW	bottom_field	DHD 显示顶底场标识。 0: 顶场; 1: 底场。																												
	[1]	RW	vblank	DHD 显示消隐区标识。 0: 有效区; 1: 消隐区。																												
	[0]	RW	vback_blank	DHD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。																												

DSDCTRL

DSDCTRL 为显示通道的总体控制寄存器。



注意

该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value																												
0xA800		DSDCTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved											idv	ihs	ivs	iop	synm	intfb	intfdm													
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																											
[31]	RW		intf_en		显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。																											
[30:11]	-		reserved		保留。																											
[10]	RW		idv		数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																											
[9]	RW		ihs		水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																											
[8]	RW		ivs		垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																											
[7]	RW		iop		逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。																											
[6]	RW		synm		同步模式，即时寄存器。 0: 时序标签模式(例如 BT.656); 1: 同步信号模式(例如 LCD 显示)。																											
[5:4]	RW		intfb		输出接口位宽模式。即时寄存器。 00: 单分量模式(每个时钟输出 1 个分量); 其他: 无效。																											
[3:0]	RW		intfdm		接口数据格式。即时寄存器。 0x0: YCbCr422 数据格式; 其他: 无效。																											



DSDVSYNC

DSDVSYNC 为垂饰时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xA804								Register Name DSDVSYNC								Total Reset Value 0x0011_511F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb				vbb				vact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access		Name		Description																											
[31:28]	-		reserved		保留。																											
[27:20]	RW		vfb		隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。																											
[19:12]	RW		vbb		隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。																											
[11:0]	RW		vact		隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。																											

DSDHSYNC1

DSDHSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0xA808		DSDHSYNC1		0x0107_02CF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbb				hact			
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 1 1 1	0 0 0 0	0 0 1 0	1 1 0 0	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	hbb	水平消隐后肩，单位为像素。					
[15:0]	RW	hact	活动区域水平像素数。					

DSDHSYNC2

DSDHSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0xA80C		DSDHSYNC2		0x0000_0017				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hfb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	hfb	水平消隐前肩，单位为像素。					



DSDVPLUS

DSDVPLUS 为隔行底场垂直时序寄存器。隔行输出时，该寄存器表示底场垂直同步时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xA810								Register Name DSDVPLUS								Total Reset Value 0x0011_611F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access		Name		Description																											
[31:28]	-		reserved		保留。																											
[27:20]	RW		bvfb		隔行输出时：底场垂直消隐前肩。 单位：行。																											
[19:12]	RW		bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。																											
[11:0]	RW		bvact		隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。																											

DSDPWR

DSDPWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value					
0xA814		DSDPWR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			vpw		hpw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。						
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。						

DSDVTTHD

DSDVTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value				
0xA81C		DSDVTTHD		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。					
[14:13]	-	reserved	保留。					
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsdvtthd_int1]中断。					



DSDCLIPL

DSDCLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xA840		DSDCLIPL		0x4010_1010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	输出嵌位使能，即时寄存器。 0：禁止； 1：使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。 0：禁止； 1：使能。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。						

DSDCLIPH

DSDCLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xA844		DSDCLIPH		0x00EB_F0F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 0 0	0 0 0 0	1 1 1 0	1 0 1 1	1 1 1 1	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value																												
0xA844		DSDCLIPH		0x00EB_F0F0																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				clipch2								clipch1								clipch0											
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[29:20]	RW		clipch2		分量 2 最高门限值 Y/R, 无符号整数。																											
[19:10]	RW		clipch1		分量 1 最高门限值 Cb/G, 无符号整数。																											
[9:0]	RW		clipch0		分量 0 最高门限值 Cr/B, 无符号整数。																											

DSDSTATE

DSDSTATE 为 DSD 状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0xA8F0		DSDSTATE		0x0000_0110																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bottom_field	vblank	vback_blank					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	-		reserved		保留。																											
[2]	RW		bottom_field		DSD 显示顶底场标识。 0: 顶场; 1: 底场。																											
[1]	RW		vblank		DSD 显示消隐区标识。 0: 有效区; 1: 消隐区。																											



Offset Address		Register Name		Total Reset Value						
0xA8F0		DSDSTATE		0x0000_0110						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[0]	RW	vback_blank	DSD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。							

DSD1CTRL

DSD1CTRL 为显示通道的总体控制寄存器。



该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value									
0xAC00		DSD1CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	intf_en	reserved					idv	ihs	ivs	iop	synm	intfb	intfdm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description										
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。										



Offset Address		Register Name		Total Reset Value																												
0xAC00		DSD1CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en		reserved												idv	ihs	ivs	iop	synm	intfb	intfdm											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[30:11]	-	reserved	保留。																													
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																													
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																													
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																													
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。																													
[6]	RW	synm	同步模式，即时寄存器。 0: 时序标签模式(例如 BT.656); 1: 同步信号模式(例如 LCD 显示)。																													
[5:4]	RW	intfb	输出接口位宽模式。即时寄存器。 00: 单分量模式(每个时钟输出 1 个分量); 其他: 保留。																													
[3:0]	RW	intfdm	接口数据格式。即时寄存器。 0x0: YCbCr422 数据格式; 其他: 保留。																													



DSD1VSYNC

DSD1VSYNC 为垂直时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xAC04				DSD1VSYNC								0x0011_511F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb				vbb				vact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access	Name	Description																													
[31:28]	-	reserved	保留。																													
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。																													
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。																													
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。																													

DSD1HSYNC1

DSD1HSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xAC08				DSD1HSYNC1								0x0107_02CF																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hbb								hact																							
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:16]	RW		hbb		水平消隐后肩，单位为像素。																											
[15:0]	RW		hact		活动区域水平像素数。																											

DSD1HSYNC2

DSD1HSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xAC0C				DSD1HSYNC2								0x0000_0017																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								hfb																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		hfb		水平消隐前肩，单位为像素。																											



DSD1VPLUS

DSD1VPLUS 为隔行输出时，底场垂直同步时序寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xAC10								Register Name DSD1VPLUS								Total Reset Value 0x0011_611F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access		Name		Description																											
[31:28]	-		reserved		保留。																											
[27:20]	RW		bvfb		隔行输出时：底场垂直消隐前肩。 单位：行。																											
[19:12]	RW		bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。																											
[11:0]	RW		bvact		隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。																											

DSD1PWR

DSD1PWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value						
0xAC14		DSD1PWR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				vpw		hpw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:24]	-	reserved	保留。							
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。							
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。							

DSD1VTTHD

DSD1VTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value					
0xAC1C		DSD1VTTHD		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15]	RW	thd1_mode	门限 1 中断产生的模式： 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。						
[14:13]	-	reserved	保留。						
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsdvtthd_int1]中断。						



DSD1CL IPL

DSD1CL IPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xAC40		DSD1CL IPL		0x4010_1010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	输出嵌位使能，即时寄存器。 0: 禁止; 1: 使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。 0: 禁止 1: 使能。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。						

DSD1CLIPH

DSD1CLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xAC44		DSD1CLIPH		0x00EB_F0F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 0 0	0 0 0 0	1 1 1 0	1 0 1 1	1 1 1 1	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value																												
0xAC44		DSD1CLIPH		0x00EB_F0F0																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	clipch2								clipch1								clipch0														
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[29:20]	RW		clipch2		分量 2 最高门限值 Y/R, 无符号整数。																											
[19:10]	RW		clipch1		分量 1 最高门限值 Cb/G, 无符号整数。																											
[9:0]	RW		clipch0		分量 0 最高门限值 Cr/B, 无符号整数。																											

DSD1STATE

DSD1STATE 为 DSD 状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0xACF0		DSD1STATE		0x0000_0110																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bottom_field	vblank	vback_blank					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	-		reserved		保留。																											
[2]	RW		bottom_field		DSD 显示顶底场标识。 0: 顶场; 1: 底场。																											
[1]	RW		vblank		DSD 显示消隐区标识。 0: 有效区; 1: 消隐区。																											



Offset Address		Register Name		Total Reset Value						
0xACF0		DSD1STATE		0x0000_0110						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[0]	RW	vback_blank	DSD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。							

DSD2CTRL

DSD2CTRL 为显示通道的总体控制寄存器。



注意

该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value									
0xB000		DSD2CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	intf_en	reserved					idv	ihs	ivs	iop	synm	intfb	intfdm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description										
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。										



Offset Address		Register Name		Total Reset Value																												
0xB000		DSD2CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved														idv	ihs	ivs	iop	synm	intfb	intfdm										
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																											
[30:11]	-		reserved		保留。																											
[10]	RW		idv		数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																											
[9]	RW		ihs		水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																											
[8]	RW		ivs		垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																											
[7]	RW		iop		逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。																											
[6]	RW		synm		同步模式，即时寄存器。 0: 时序标签模式(例如 BT.656); 1: 同步信号模式(例如 LCD 显示)。																											
[5:4]	RW		intfb		输出接口位宽模式。即时寄存器。 00: 单分量模式(每个时钟输出 1 个分量); 其他: 保留。																											
[3:0]	RW		intfdm		接口数据格式。即时寄存器。 0x0: YCbCr422 数据格式; 其他: 保留。																											



DSD2VSYNC

DSD2VSYNC 为垂直时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xB004				Register Name DSD2VSYNC								Total Reset Value 0x0011_511F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb				vbb				vact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access	Name	Description																													
[31:28]	-	reserved	保留。																													
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。																													
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。																													
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。																													

DSD2HSYNC1

DSD2HSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name				Total Reset Value																							
	0xB008				DSD2HSYNC1				0x0107_02CF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hbb								hact																							
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:16]	RW		hbb		水平消隐后肩，单位为像素。																											
[15:0]	RW		hact		活动区域水平像素数。																											

DSD2HSYNC2

DSD2HSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name				Total Reset Value																							
	0xB00C				DSD2HSYNC2				0x0000_0017																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								hfb																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		hfb		水平消隐前肩，单位为像素。																											



DSD2VPLUS

DSD2VPLUS 为隔行输出时，底场垂直同步时序寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xB010								Register Name DSD2VPLUS								Total Reset Value 0x0011_611F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access		Name		Description																											
[31:28]	-		reserved		保留。																											
[27:20]	RW		bvfb		隔行输出时：底场垂直消隐前肩。 单位：行。																											
[19:12]	RW		bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。																											
[11:0]	RW		bvact		隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。																											

DSD2PWR

DSD2PWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value						
0xB014		DSD2PWR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				vpw		hpw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:24]	-	reserved	保留。							
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。							
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。							

DSD2VTTHD

DSD2VTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value					
0xB01C		DSD2VTTHD		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。						
[14:13]	-	reserved	保留。						
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsdvtthd_int1]中断。						



DSD2CL IPL

DSD2CL IPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0xB040		DSD2CL IPL		0x4010_1010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clipen		dfir_en		clipcl2								clipcl1								clipcl0											
Reset	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
Bits			Access		Name		Description																									
	[31]		RW		clipen		输出嵌位使能，即时寄存器。 0：禁止； 1：使能。																									
	[30]		RW		dfir_en		色度水平下采样使能信号。 0：禁止； 1：使能。																									
	[29:20]		RW		clipcl2		分量 2 最低门限值 Y/R，无符号整数。																									
	[19:10]		RW		clipcl1		分量 1 最低门限值 Cb/G，无符号整数。																									
	[9:0]		RW		clipcl0		分量 0 最低门限值 Cr/B，无符号整数。																									

DSD2CLIPH

DSD2CLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value																												
0xB044		DSD2CLIPH		0x00EB_F0F0																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				clipch2								clipch1								clipch0											
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
Bits	[31:30]		-		reserved		保留。																									



Offset Address		Register Name		Total Reset Value																												
0xB044		DSD2CLIPH		0x00EB_F0F0																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	clipch2								clipch1								clipch0														
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
	[29:20]		RW		clipch2		分量 2 最高门限值 Y/R, 无符号整数。																									
	[19:10]		RW		clipch1		分量 1 最高门限值 Cb/G, 无符号整数。																									
	[9:0]		RW		clipch0		分量 0 最高门限值 Cr/B, 无符号整数。																									

DSD2STATE

DSD2STATE 为 DSD 状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0xB0F0		DSD2STATE		0x0000_0110																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												bottom_field	vblank	vback_blank	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
	[31:3]		-		reserved		保留。																									
	[2]		RW		bottom_field		DSD 显示顶底场标识。 0: 顶场; 1: 底场。																									
	[1]		RW		vblank		DSD 显示消隐区标识。 0: 有效区; 1: 消隐区。																									



Offset Address		Register Name		Total Reset Value						
0xB0F0		DSD2STATE		0x0000_0110						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[0]	RW	vback_blank	DSD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。							

DSD3CTRL

DSD3CTRL 为显示通道的总体控制寄存器。



该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value									
0xB400		DSD3CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	intf_en	reserved					idv	ihs	ivs	iop	synm	intfb	intfdm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。										



Offset Address		Register Name		Total Reset Value																												
0xB400		DSD3CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	reserved														idv	ihs	ivs	iop	synm	intfb	intfdm										
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																											
[30:11]	-		reserved		保留。																											
[10]	RW		idv		数据有效信号输出反相使能，即时寄存器。 0：禁止； 1：使能。																											
[9]	RW		ihs		水平同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。																											
[8]	RW		ivs		垂直同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。																											
[7]	RW		iop		逐行或者隔行显示，即时寄存器。 0：隔行显示； 1：逐行显示。																											
[6]	RW		synm		同步模式，即时寄存器。 0：时序标签模式(例如 BT.656)； 1：同步信号模式(例如 LCD 显示)。																											
[5:4]	RW		intfb		输出接口位宽模式： 00：单分量模式(每个时钟输出 1 个分量)； 其他：保留。 即时寄存器。																											
[3:0]	RW		intfdm		接口数据格式。 0x0：YCbCr422 数据格式； 其他：保留。 即时寄存器。																											



DSD3VSYNC

DSD3VSYNC 为隔行输出时，顶场垂直同步时序寄存器；逐行输出时时，帧垂直同步时序寄存器。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value					
0xB404		DSD3VSYNC		0x0011_511F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	vfb		vbb		vact			
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 1 0 1	0 0 0 1	0 0 0 1	1 1 1 1	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。						
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。						
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。						

DSD3HSYNC1

DSD3HSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value					
0xB408		DSD3HSYNC1		0x0107_02CF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hbb				hact				
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 1 1 1	0 0 0 0	0 0 1 0	1 1 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RW	hbb	水平消隐后肩，单位为像素。						
[15:0]	RW	hact	活动区域水平像素数。						

DSD3HSYNC2

DSD3HSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value					
0xB40C		DSD3HSYNC2		0x0000_0017					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hfb	水平消隐前肩，单位为像素。						



DSD3VPLUS

DSD3VPLUS 为隔行底场时序寄存器。隔行输出时，该寄存器表示底场垂直同步时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xB410								Register Name DSD3VPLUS								Total Reset Value 0x0011_611F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:28]	-	reserved		保留。																											
	[27:20]	RW	bvfb		隔行输出时：底场垂直消隐前肩。 单位：行。																											
	[19:12]	RW	bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。																											
	[11:0]	RW	bvact		隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。																											

DSD3PWR

DSD3PWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value					
0xB414		DSD3PWR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vpw		hpw				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素						
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素						

DSD3VTTHD

DSD3VTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value				
0xB41C		DSD3VTTHD		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15]	RW	thd1_mode	门限 1 中断产生的模式： 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。					
[14:13]	-	reserved	保留。					
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsdvtthd_int1]中断。					



DSD3CLIPL

DSD3CLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xB440		DSD3CLIPL		0x4010_1010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	输出嵌位使能，即时寄存器。 0：禁止； 1：使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。 0：禁止； 1：使能。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。						

DSD3CLIPH

DSD3CLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xB444		DSD3CLIPH		0x00EB_F0F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 0 0	0 0 0 0	1 1 1 0	1 0 1 1	1 1 1 1	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value																												
0xB444		DSD3CLIPH		0x00EB_F0F0																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	clipch2								clipch1								clipch0														
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[29:20]	RW		clipch2		分量 2 最高门限值 Y/R, 无符号整数。																											
[19:10]	RW		clipch1		分量 1 最高门限值 Cb/G, 无符号整数。																											
[9:0]	RW		clipch0		分量 0 最高门限值 Cr/B, 无符号整数。																											

DSD3STATE

DSD3STATE 为 DSD 状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0xB4F0		DSD3STATE		0x0000_0110																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bottom_field	vblank	vback_blank					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	-		reserved		保留。																											
[2]	RW		bottom_field		DSD 显示顶底场标识。 0: 顶场; 1: 底场。																											
[1]	RW		vblank		DSD 显示消隐区标识。 0: 有效区; 1: 消隐区。																											



Offset Address		Register Name		Total Reset Value						
0xB4F0		DSD3STATE		0x0000_0110						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[0]	RW	vback_blank	DSD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。							

DSD4CTRL

DSD4CTRL 为显示通道的总体控制寄存器。



该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value									
0xB800		DSD4CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	intf_en	reserved					idv	ihs	ivs	iop	synm	intfb	intfdm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description										
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。										



Offset Address		Register Name		Total Reset Value								
0xB800		DSD4CTRL		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	intf_en	reserved				idv	ihs	ivs	iop	synm	intfb	intfdm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[30:11]	-	reserved	保留。									
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。									
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。									
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。									
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。									
[6]	RW	synm	同步模式，即时寄存器。 0: 时序标签模式(例如 BT.656); 1: 同步信号模式(例如 LCD 显示)。									
[5:4]	RW	intfb	输出接口位宽模式，即时寄存器。 00: 单分量模式(每个时钟输出 1 个分量); 其他: 保留。									
[3:0]	RW	intfdm	接口数据格式。 0x0: YCbCr422 数据格式; 其他: 保留。 即时寄存器。									



DSD4VSYNC

DSD4VSYNC 为垂饰时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xB804				DSD4VSYNC								0x0011_511F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb				vbb				vact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access	Name	Description																													
[31:28]	-	reserved	保留。																													
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。																													
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。																													
[11:0]	RW	vact	隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。																													

DSD4HSYNC1

DSD4HSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name				Total Reset Value																							
	0xB808				DSD4HSYNC1				0x0107_02CF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hbb								hact																							
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:16]	RW		hbb		水平消隐后肩，单位为像素。																											
[15:0]	RW		hact		活动区域水平像素数。																											

DSD4HSYNC2

DSD4HSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name				Total Reset Value																							
	0xB80C				DSD4HSYNC2				0x0000_0017																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								hfb																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		hfb		水平消隐前肩，单位为像素。																											



DSD4VPLUS

DSD4VPLUS 为隔行底场垂直时序寄存器。隔行输出时，该寄存器表示底场垂直同步时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xB810				DSD4VPLUS								0x0011_611F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access		Name		Description																											
[31:28]	-		reserved		保留。																											
[27:20]	RW		bvfb		隔行输出时：底场垂直消隐前肩。 单位：行。																											
[19:12]	RW		bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。																											
[11:0]	RW		bvact		隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。																											

DSD4PWR

DSD4PWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value					
0xB814		DSD4PWR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			vpw		hpw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。						
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。						

DSD4VTTHD

DSD4VTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value				
0xB81C		DSD4VTTHD		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15]	RW	thd1_mode	门限 1 中断产生的模式： 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。					
[14:13]	-	reserved	保留。					
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsdvtthd_int1]中断。					



DSD4CLIPL

DSD4CLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value																																
0xB840		DSD4CLIPL		0x4010_1010																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	clipen		dfir_en		clipcl2								clipcl1								clipcl0															
Reset	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0				
Bits	Access		Name		Description																															
[31]	RW		clipen		输出嵌位使能，即时寄存器。 0：禁止； 1：使能。																															
[30]	RW		dfir_en		色度水平下采样使能信号。 0：禁止； 1：使能。																															
[29:20]	RW		clipcl2		分量 2 最低门限值 Y/R，无符号整数。																															
[19:10]	RW		clipcl1		分量 1 最低门限值 Cb/G，无符号整数。																															
[9:0]	RW		clipcl0		分量 0 最低门限值 Cr/B，无符号整数。																															

DSD4CLIPH

DSD4CLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value																																
0xB844		DSD4CLIPH		0x00EB_F0F0																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				clipch2								clipch1								clipch0															
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0				
Bits	Access		Name		Description																															
[31:30]	-		reserved		保留。																															



Offset Address		Register Name		Total Reset Value																												
0xB844		DSD4CLIPH		0x00EB_F0F0																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				clipch2								clipch1								clipch0											
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[29:20]	RW		clipch2		分量 2 最高门限值 Y/R, 无符号整数。																											
[19:10]	RW		clipch1		分量 1 最高门限值 Cb/G, 无符号整数。																											
[9:0]	RW		clipch0		分量 0 最高门限值 Cr/B, 无符号整数。																											

DSD4STATE

DSD4STATE 为 DSD 状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0xB8F0		DSD4STATE		0x0000_0110																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										bottom_field	vblank	vback_blank			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	-		reserved		保留。																											
[2]	RW		bottom_field		DSD 显示顶底场标识。 0: 顶场; 1: 底场。																											
[1]	RW		vblank		DSD 显示消隐区标识。 0: 有效区; 1: 消隐区。																											



Offset Address		Register Name		Total Reset Value						
0xB8F0		DSD4STATE		0x0000_0110						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[0]	RW	vback_blank	DSD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。							

DSD5CTRL

DSD5CTRL 为显示通道的总体控制寄存器。



该寄存器所有 bit 的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

Offset Address		Register Name		Total Reset Value									
0xBC00		DSD5CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	intf_en	reserved					idv	ihs	ivs	iop	synm	intfb	intfdm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。即时寄存器。 0: 禁止; 1: 使能。										



Offset Address		Register Name		Total Reset Value																												
0xBC00		DSD5CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en		reserved												idv	ihs	ivs	iop	synm	intfb	intfdm											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[30:11]	-	reserved	保留。																													
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0：禁止； 1：使能。																													
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。																													
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。																													
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0：隔行显示； 1：逐行显示。																													
[6]	RW	synm	同步模式，即时寄存器。 0：时序标签模式(例如 BT.656)； 1：同步信号模式(例如 LCD 显示)。																													
[5:4]	RW	intfb	输出接口位宽模式： 00：单分量模式(每个时钟输出 1 个分量)； 其他：保留。 即时寄存器。																													
[3:0]	RW	intfdm	接口数据格式。 0x0：YCbCr422 数据格式； 其他：保留。 即时寄存器。																													



DSD5VSYNC

DSD5VSYNC 为垂直时序寄存器。隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xBC04				DSD5VSYNC								0x0011_511F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb				vbb				vact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0	1	1	1	1	1
Bits	Access		Name		Description																											
[31:28]	-		reserved		保留。																											
[27:20]	RW		vfb		隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。 单位：行。																											
[19:12]	RW		vbb		隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。 单位：行。																											
[11:0]	RW		vact		隔行输出时：顶场的活动图像的高度； 逐行输出时：一帧的活动图像的高度。该寄存器值为实际值减 1。 单位：行。																											

DSD5HSYNC1

DSD5HSYNC1 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xBC08				DSD5HSYNC1								0x0107_02CF																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hbb								hact																							
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:16]	RW		hbb		水平消隐后肩，单位为像素。																											
[15:0]	RW		hact		活动区域水平像素数。																											

DSD5HSYNC2

DSD5HSYNC2 为水平时序寄存器。隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。

**注意**

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address				Register Name								Total Reset Value																			
	0xBC0C				DSD5HSYNC2								0x0000_0017																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								hfb																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		hfb		水平消隐前肩，单位为像素。																											



DSD5VPLUS

DSD5VPLUS 为隔行输出时，底场垂直同步时序寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。

	Offset Address 0xBC10				Register Name DSD5VPLUS								Total Reset Value 0x0011_611F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1
	Bits	Access	Name	Description																												
	[31:28]	-	reserved	保留。																												
	[27:20]	RW	bvfb	隔行输出时：底场垂直消隐前肩。 单位：行。																												
	[19:12]	RW	bvbb	隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。 单位：行。																												
	[11:0]	RW	bvact	隔行输出时：底场的活动图像的高度。 该寄存器值为实际值减 1。 单位：行。																												

DSD5PWR

DSD5PWR 为同步信号脉冲宽度寄存器。



注意

该寄存器的配置必须不晚于 DSDCTRL[intf_en]，否则配置无法生效。



Offset Address		Register Name		Total Reset Value					
0xBC14		DSD5PWR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			vpw		hpw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:16]	RW	vpw	垂直脉冲宽度减 1。 单位：像素。						
[15:0]	RW	hpw	水平脉冲宽度减 1。 单位：像素。						

DSD5VTTHD

DSD5VTTHD 为垂直时序门限值（Vertical Timing Threshold）寄存器。即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

Offset Address		Register Name		Total Reset Value				
0xBC1C		DSD5VTTHD		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0：帧模式，以帧为单位做门限计数；1：场模式，在隔行显示时以场为单位做门限计数。					
[14:13]	-	reserved	保留。					
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dsdvtthd_int1]中断。					



DSD5CLIPL

DSD5CLIPL 为显示通道 Clip 处理最低门限值寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xBC40		DSD5CLIPL		0x4010_1010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clipen dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clipen	输出嵌位使能，即时寄存器。 0：禁止； 1：使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。 0：禁止； 1：使能。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。						

DSD5CLIPH

DSD5CLIPH 为显示通道 Clip 处理最高门限值寄存器。即时寄存器。例如：BT.656 标准输出时，需要对输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value					
0xBC44		DSD5CLIPH		0x00EB_F0F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clipch2		clipch1		clipch0			
Reset	0 0 0 0	0 0 0 0	1 1 1 0	1 0 1 1	1 1 1 1	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value																												
0xBC44		DSD5CLIPH		0x00EB_F0F0																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	clipch2								clipch1								clipch0														
Reset	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[29:20]	RW		clipch2		分量 2 最高门限值 Y/R, 无符号整数。																											
[19:10]	RW		clipch1		分量 1 最高门限值 Cb/G, 无符号整数。																											
[9:0]	RW		clipch0		分量 0 最高门限值 Cr/B, 无符号整数。																											

DSD5STATE

DSD5STATE 为 DSD 状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0xBCF0		DSD5STATE		0x0000_0110																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bottom_field	vblank	vback_blank					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	-		reserved		保留。																											
[2]	RW		bottom_field		DSD 显示顶底场标识。 0: 顶场; 1: 底场。																											
[1]	RW		vblank		DSD 显示消隐区标识。 0: 有效区; 1: 消隐区。																											



Offset Address		Register Name		Total Reset Value						
0xBCF0		DSD5STATE		0x0000_0110						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							bottom_field	vblank	vback_blank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[0]	RW	vback_blank	DSD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。							

HDATE_VERSION

HDATE_VERSION 为 HD_DATE 版本寄存器。

Offset Address		Register Name		Total Reset Value				
0xC000		HDATE_VERSION		0x2008_1031				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hdate_version							
Reset	0 0 1 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 1	0 0 0 0	0 0 1 1	0 0 0 1
Bits	Access	Name	Description					
[31:0]	RO	hdate_version	HD_DATE 版本寄存器。只读。					

HDATE_EN

HDATE_EN 为 HD_DATE 使能控制寄存器。



Offset Address		Register Name		Total Reset Value					
0xC004		HDATE_EN		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								hd_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	hd_en	模块使能寄存器。 0: HD_DATE 除具有地址空间的寄存器外其它寄存器禁止； 1: HD_DATE 所有寄存器使能，正常工作。						

HDATE_POLA_CTRL

HDATE_POLA_CTRL 为 HD_DATE 输入输出同步极性配置寄存器。

Offset Address		Register Name		Total Reset Value								
0xC008		HDATE_POLA_CTRL		0x0000_0003								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						fid_out_pola	vsync_out_pola	hsync_out_pola	fid_in_pola	vsync_in_pola	hsync_in_pola
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1				
Bits	Access	Name	Description									
[31:6]	RO	reserved	保留。									
[5]	RW	fid_out_pola	输出 FID 极性控制寄存器。 0: HD_DATE 输出的顶场标志为正极性，即 1 代表顶场； 1: HD_DATE 输出的顶场标志为负极性，即 0 代表顶场。									
[4]	RW	vsync_out_pola	输出 VSYNC 极性控制寄存器。 0: HD_DATE 输出的场同步为正极性，即 1 代表同步头； 1: HD_DATE 输出的场同步为负极性，即 0 代表同步头。									



Offset Address		Register Name		Total Reset Value																												
0xC008		HDATE_POLA_CTRL		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														fid_out_pola	vsync_out_pola	hsync_out_pola	fid_in_pola	vsync_in_pola	hsync_in_pola												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access		Name		Description																											
[3]	RW		hsync_out_pola		输出 HSYNC 极性控制寄存器。 0: HD_DATE 输出的行同步为正极性，即 1 代表同步头； 1: HD_DATE 输出的行同步为负极性，即 0 代表同步头。																											
[2]	RW		fid_in_pola		输入 FID 极性控制寄存器。 0: HD_DATE 输入的顶场标志为正极性，即 1 代表顶场； 1: HD_DATE 输入的顶场标志为负极性，即 0 代表顶场。																											
[1]	RW		vsync_in_pola		输入 VSYNC 极性控制寄存器。 0: HD_DATE 输入的场同步为正极性，即 1 代表同步头； 1: HD_DATE 输入的场同步为负极性，即 0 代表同步头。																											
[0]	RW		hsync_in_pola		输入 HSYNC 极性控制寄存器。 0: HD_DATE 输入的行同步为正极性，即 1 代表同步头； 1: HD_DATE 输入的行同步为负极性，即 0 代表同步头。																											

HDATE_VIDEO_FORMAT

HDATE_VIDEO_FORMAT 为 HD_DATE 视频格式同步叠加和色度空间转换控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0xC00C		HDATE_VIDEO_FORMAT		0x0000_00A4																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												csc_ctrl		video_out_ctrl		sync_add_ctrl		video_ft													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	0	0
Bits	Access	Name	Description																													
[31:12]	RO	reserved	保留。																													
[11:9]	RW	csc_ctrl	色度空间转换控制寄存器。 000: YCbCr→YPbPr; 001: YCbCr→RGB 按 ITU-R BT709 色度空间转换; 010: YCbCr→RGB 按 ITU-R BT601 色度空间转换; 011: YCbCr→RGB 按 SMPTE240 色度空间转换; 其他: 配置系数。																													
[8:7]	RW	video_out_ctrl	输出视频格式控制寄存器。 00: RGB 输出(RGB 内嵌同步); 01: YPbPr 输出(YPbPr 内嵌同步); 10: VGA 输出(RGB+H+V); 11: 保留。																													
[6:4]	RW	sync_add_ctrl	同步叠加控制寄存器。 3bit 分别控制 3 个视频分量。 bit[6]: R 或 Pr 通道是否叠加同步控制; bit[5]: G 或 Y 通道是否叠加同步控制; bit[4]: B 或 Pb 通道是否叠加同步控制。 每 bit 取值含义如下: 0: 不叠加; 1: 所控制通道叠加同步。																													



Offset Address		Register Name		Total Reset Value						
0xC00C		HDATE_VIDEO_FORMAT		0x0000_00A4						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						csc_ctrl	video_out_ctrl	sync_add_ctrl	video_ft
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 1 0 0		
Bits	Access	Name	Description							
[3:0]	RW	video_ft	同步格式配置寄存器。 0x0: 480p 格式, 遵从 SMPTE293M/EIA-770.2/ITU-R BT1358; 0x1: 576p 格式, 遵从 ITU-R BT1358; 0x2: 720p 格式, 遵从 EIA-770.3/SMPTE 296M; 0x3: 1080p 格式, 遵从 SMPTE 274M; 0x4: 1080i 格式, 遵从 EIA-770.3/SMPTE 274M; 0x5: 295m1080p 格式, 遵从 SMPTE 295M; 0x6: 295m1080i 格式, 遵从 SMPTE 295M; 0x7: as1152i 格式, 遵从 AS4933; 0x8: as1080i 格式, 遵从 AS4933; 其他: 配置值保留, 用于后续视频格式扩展。							

HDATE_STATE

HDATE_STATE 为 HD_DATE 状态寄存器。



Offset Address		Register Name		Total Reset Value						
0xC010		HDATE_STATE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	mv_en_pin	reserved	frame_len				reserved	line_len	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	RO	reserved	保留。							
[28]	RO	mv_en_pin	防拷贝使能状态。 0: 禁止; 1: 使能。							
[27]	RO	reserved	保留。							
[26:16]	RO	frame_len	当前视频帧长统计结果, 一帧更新一次(单位: 行)。							
[15:13]	RO	reserved	保留。							
[12:0]	RO	line_len	当前视频行长统计结果, 一行更新一次(单位: 像素)。							

HDATE_OUT_CTRL

HDATE_OUT_CTRL 为 HD_DATE 的输出控制寄存器。

Offset Address		Register Name		Total Reset Value								
0xC014		HDATE_OUT_CTRL		0x0000_01B0								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				sd_sel	sync_lpf_en	src_ctrl	video1_sel	video2_sel	video3_sel	hsync_sel	vsync_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 1 1	0 0 0 0				
Bits	Access	Name	Description									
[31:14]	RO	reserved	保留。									



Offset Address		Register Name		Total Reset Value								
0xC014		HDATE_OUT_CTRL		0x0000_01B0								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				sd_sel	sync_lpf_en	src_ctrl	video1_sel	video2_sel	video3_sel	hsync_sel	vsync_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 1 1	0 0 0 0				
Bits	Access	Name	Description									
[13]	RW	sd_sel	过采样视频输入选择。 0: 选择高清输入进行过采样; 1: 选择标清输入做为过采样。									
[12]	RW	sync_lpf_en	同步滤波使能。 0: 禁止; 1: 使能。									
[11:10]	RW	src_ctrl	过采样控制寄存器。 00: 不插值, 不滤波; 01: 滤波, 此时只有第一组系数工作, 只滤波; 10: 2x 插值; 11: 4x 插值。									
[9:8]	RW	video1_sel	video1_out 视频输出选择。 00: 没有视频输出, 输出为 0; ; 01: R(Pr)输出; 10: G(Y)输出; 11: B(Pb)输出。									
[7:6]	RW	video2_sel	video2_out 视频输出选择。 00: 没有视频输出, 输出为 0; ; 01: R(Pr)输出; ; 10: G(Y)输出; 11: B(Pb)输出。									
[5:4]	RW	video3_sel	video3_out 视频输出选择。 00: 没有视频输出, 输出为 0; 01: R(Pr)输出; 10: G(Y)输出; 11: B(Pb)输出。									



Offset Address		Register Name		Total Reset Value																												
0xC014		HDATE_OUT_CTRL		0x0000_01B0																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												sd_sel	sync_lpf_en	src_ctrl	video1_sel	video2_sel	video3_sel	hsync_sel	vsync_sel												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[3:2]	RW		hsync_sel		hsync 输出选择。 00: 没有输出; 01: hsync 输出; 10: vsync 输出; 11: fid 输出。																											
[1:0]	RW		vsync_sel		vsync 输出选择。 00: 没有输出; 01: hsync 输出; 10: vsync 输出; 11: fid 输出。																											

HDATE_SRC_13_COEF1

HDATE_SRC_13_COEF1 为 HD_DATE 过采样模块 TAP1 第一项/第三项系数寄存器。

Offset Address		Register Name		Total Reset Value																												
0xC018		HDATE_SRC_13_COEF1		0x001B_001D																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef_tap1_3				reserved								coef_tap1_1											
Reset	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1
Bits	Access		Name		Description																											
[31:21]	RW		reserved		保留。																											
[20:16]	RW		coef_tap1_3		TAP1 第三项系数，补码表示。																											
[15:5]	RW		reserved		保留。																											
[4:0]	RW		coef_tap1_1		TAP1 第一项系数，补码表示。																											



HDATE_SRC_13_COEF2

HDATE_SRC_13_COEF2 为 HD_DATE 过采样模块 TAP2 第一项/第三项系数寄存器。

	Offset Address	Register Name	Total Reset Value
	0xC01C	HDATE_SRC_13_COEF2	0x000D_0007
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		coef_tap2_3
Reset	0 0 0 0 0 0 0 0 0 0 0 0 1 1 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1		
	Bits	Access	Name
	[31:22]	RW	reserved
	[21:16]	RW	coef_tap2_3
	[15:6]	RW	reserved
	[5:0]	RW	coef_tap2_1
	Description		
	保留。		
	TAP2 第三项系数，补码表示。		
	保留。		
	TAP2 第一项系数，补码表示。		

HDATE_SRC_13_COEF3

HDATE_SRC_13_COEF3 为 HD_DATE 过采样模块 TAP3 第一项/第三项系数寄存器。

	Offset Address	Register Name	Total Reset Value
	0xC020	HDATE_SRC_13_COEF3	0x0066_0075
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		coef_tap3_3
Reset	0 0 0 0 0 0 0 0 0 1 1 0 0 1 1 0 0 0 0 0 0 0 0 0 0 1 1 1 0 1 0 1		
	Bits	Access	Name
	[31:23]	RW	reserved
	[22:16]	RW	coef_tap3_3
	[15:7]	RW	reserved
	[6:0]	RW	coef_tap3_1
	Description		
	保留。		
	TAP3 第三项系数，补码表示。		
	保留。		
	TAP3 第一项系数，补码表示。		

HDATE_SRC_13_COEF4

HDATE_SRC_13_COEF4 为 HD_DATE 过采样模块 TAP4 第一项/第三项系数寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0xC024				HDATE_SRC_13_COEF4				0x0031_000F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef_tap4_3				reserved				coef_tap4_1																			
Reset	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
	Bits	Access	Name	Description																												
	[31:24]	RW	reserved	保留。																												
	[23:16]	RW	coef_tap4_3	TAP4 第三项系数，补码表示。																												
	[15:8]	RW	reserved	保留。																												
	[7:0]	RW	coef_tap4_1	TAP4 第一项系数，补码表示。																												

HDATE_SRC_13_COEF5

HDATE_SRC_13_COEF5 为 HD_DATE 过采样模块 TAP5 第一项/第三项系数寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC028				HDATE_SRC_13_COEF5				0x019E_01ED																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef_tap5_3				reserved				coef_tap5_1																			
Reset	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	1	1	0	1
	Bits	Access	Name	Description																												
	[31:25]	RW	reserved	保留。																												
	[24:16]	RW	coef_tap5_3	TAP5 第三项系数，补码表示。																												
	[15:9]	RW	reserved	保留。																												
	[8:0]	RW	coef_tap5_1	TAP5 第一项系数，补码表示。																												

HDATE_SRC_13_COEF6

HDATE_SRC_13_COEF6 为 HD_DATE 过采样模块 TAP6 第一项/第三项系数寄存器。



Offset Address		Register Name		Total Reset Value					
0xC02C		HDATE_SRC_13_COEF6		0x0143_0014					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef_tap6_3		reserved		coef_tap6_1		
Reset	0 0 0 0	0 0 0 1	0 1 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 1	0 1 0 0	
Bits	Access	Name	Description						
[31:26]	RW	reserved	保留。						
[25:16]	RW	coef_tap6_3	TAP6 第三项系数，补码表示。						
[15:10]	RW	reserved	保留。						
[9:0]	RW	coef_tap6_1	TAP6 第一项系数，补码表示。						

HDATE_SRC_13_COEF7

HDATE_SRC_13_COEF7 为 HD_DATE 过采样模块 TAP7 第一项/第三项系数寄存器。

Offset Address		Register Name		Total Reset Value					
0xC030		HDATE_SRC_13_COEF7		0x0143_01EE					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef_tap7_3		reserved		coef_tap7_1		
Reset	0 0 0 0	0 0 0 1	0 1 0 0	0 0 1 1	0 0 0 0	0 0 0 1	1 1 1 0	1 1 1 0	
Bits	Access	Name	Description						
[31:27]	RW	reserved	保留。						
[26:16]	RW	coef_tap7_3	TAP7 第三项系数，补码表示。						
[15:11]	RW	reserved	保留。						
[10:0]	RW	coef_tap7_1	TAP7 第一项系数，补码表示。						

HDATE_SRC_13_COEF8

HDATE_SRC_13_COEF8 为 HD_DATE 过采样模块 TAP8 第一项/第三项系数寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0xC034				HDATE_SRC_13_COEF8								0x039E_0014																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef_tap8_3								reserved				coef_tap8_1															
Reset	0	0	0	0	0	0	1	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
Bits	Access		Name		Description																											
[31:26]	RW		reserved		保留。																											
[25:16]	RW		coef_tap8_3		TAP8 第三项系数，补码表示。																											
[15:10]	RW		reserved		保留。																											
[9:0]	RW		coef_tap8_1		TAP8 第一项系数，补码表示。																											

HDATE_SRC_13_COEF9

HDATE_SRC_13_COEF9 为 HD_DATE 过采样模块 TAP9 第一项/第三项系数寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC038				HDATE_SRC_13_COEF9								0x0031_01ED																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef_tap9_3								reserved				coef_tap9_1															
Reset	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	1	1	1	1	0	1	1	0	1
Bits	Access		Name		Description																											
[31:25]	RW		reserved		保留。																											
[24:16]	RW		coef_tap9_3		TAP9 第三项系数，补码表示。																											
[15:9]	RW		reserved		保留。																											
[8:0]	RW		coef_tap9_1		TAP9 第一项系数，补码表示。																											

HDATE_SRC_13_COEF10

HDATE_SRC_13_COEF10 为 HD_DATE 过采样模块 TAP10 第一项/第三项系数寄存器。



	Offset Address 0xC03C								Register Name HDATE_SRC_13_COEF10								Total Reset Value 0x00E6_000F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef_tap10_3				reserved				coef_tap10_1															
Reset	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
	Bits	Access	Name		Description																											
	[31:24]	RW	reserved		保留。																											
	[23:16]	RW	coef_tap10_3		TAP10 第三项系数，补码表示。																											
	[15:8]	RW	reserved		保留。																											
	[7:0]	RW	coef_tap10_1		TAP10 第一项系数，补码表示。																											

HDATE_SRC_13_COEF11

HDATE_SRC_13_COEF11 为 HD_DATE 过采样模块 TAP11 第一项/第三项系数寄存器。

	Offset Address 0xC040								Register Name HDATE_SRC_13_COEF11								Total Reset Value 0x000D_0075															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								coef_tap11_3				reserved				coef_tap11_1															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	1	1	1	0	1	0	1
	Bits	Access	Name		Description																											
	[31:23]	RW	reserved		保留。																											
	[22:16]	RW	coef_tap11_3		TAP11 第三项系数，补码表示。																											
	[15:7]	RW	reserved		保留。																											
	[6:0]	RW	coef_tap11_1		TAP11 第一项系数，补码表示。																											

HDATE_SRC_13_COEF12

HDATE_SRC_13_COEF12 为 HD_DATE 过采样模块 TAP12 第一项/第三项系数寄存器。



Offset Address		Register Name		Total Reset Value					
0xC044		HDATE_SRC_13_COEF12		0x003B_0007					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef_tap12_3		reserved			coef_tap12_1
Reset	0 0 0 0	0 0 0 0	0 0 1 1	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21:16]	RW	coef_tap12_3	TAP12 第三项系数，补码表示。						
[15:6]	RW	reserved	保留。						
[5:0]	RW	coef_tap12_1	TAP12 第一项系数，补码表示。						

HDATE_SRC_13_COEF13

HDATE_SRC_13_COEF13 为 HD_DATE 过采样模块 TAP13 第一项/第三项系数寄存器。

Offset Address		Register Name		Total Reset Value					
0xC048		HDATE_SRC_13_COEF13		0x0000_001D					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef_tap13_3		reserved			coef_tap13_1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 0 1	
Bits	Access	Name	Description						
[31:21]	RW	reserved	保留。						
[20:16]	RW	coef_tap13_3	TAP13 第三项系数，补码表示。						
[15:5]	RW	reserved	保留。						
[4:0]	RW	coef_tap13_1	TAP13 第一项系数，补码表示。						

HDATE_SRC_24_COEF1

HDATE_SRC_24_COEF1 为 HD_DATE 过采样模块 TAP1 第二项/第四项系数寄存器。



Offset Address		Register Name		Total Reset Value					
0xC04C		HDATE_SRC_24_COEF1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef_tap1_4		reserved			coef_tap1_2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RW	reserved	保留。						
[20:16]	RW	coef_tap1_4	TAP1 第四项系数，补码表示。						
[15:5]	RW	reserved	保留。						
[4:0]	RW	coef_tap1_2	TAP1 第二项系数，补码表示。						

HDATE_SRC_24_COEF2

HDATE_SRC_24_COEF2 为 HD_DATE 过采样模块 TAP2 第二项/第四项系数寄存器。

Offset Address		Register Name		Total Reset Value					
0xC050		HDATE_SRC_24_COEF2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef_tap2_4		reserved			coef_tap2_2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21:16]	RW	coef_tap2_4	TAP2 第四项系数，补码表示。						
[15:6]	RW	reserved	保留。						
[5:0]	RW	coef_tap2_2	TAP2 第二项系数，补码表示。						

HDATE_SRC_24_COEF3

HDATE_SRC_24_COEF3 为 HD_DATE 过采样模块 TAP3 第二项/第四项系数寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0xC054				HDATE_SRC_24_COEF3				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef_tap3_4				reserved				coef_tap3_2																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:23]	RW	reserved		保留。																											
	[22:16]	RW	coef_tap3_4		TAP3 第四项系数，补码表示。																											
	[15:7]	RW	reserved		保留。																											
	[6:0]	RW	coef_tap3_2		TAP3 第二项系数，补码表示。																											

HDATE_SRC_24_COEF4

HDATE_SRC_24_COEF4 为 HD_DATE 过采样模块 TAP4 第二项/第四项系数寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC058				HDATE_SRC_24_COEF4				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef_tap4_4				reserved				coef_tap4_2																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	reserved		保留。																											
	[23:16]	RW	coef_tap4_4		TAP4 第四项系数，补码表示。																											
	[15:8]	RW	reserved		保留。																											
	[7:0]	RW	coef_tap4_2		TAP4 第二项系数，补码表示。																											

HDATE_SRC_24_COEF5

HDATE_SRC_24_COEF5 为 HD_DATE 过采样模块 TAP5 第二项/第四项系数寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0xC05C				HDATE_SRC_24_COEF5								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef_tap5_4								reserved				coef_tap5_2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:25]	RW	reserved		保留。																											
	[24:16]	RW	coef_tap5_4		TAP5 第四项系数，补码表示。																											
	[15:9]	RW	reserved		保留。																											
	[8:0]	RW	coef_tap5_2		TAP5 第二项系数，补码表示。																											

HDATE_SRC_24_COEF6

HDATE_SRC_24_COEF6 为 HD_DATE 过采样模块 TAP6 第二项/第四项系数寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC060				HDATE_SRC_24_COEF6								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef_tap6_4								reserved				coef_tap6_2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:26]	RW	reserved		保留。																											
	[25:16]	RW	coef_tap6_4		TAP6 第四项系数，补码表示。																											
	[15:10]	RW	reserved		保留。																											
	[9:0]	RW	coef_tap6_2		TAP6 第二项系数，补码表示。																											

HDATE_SRC_24_COEF7

HDATE_SRC_24_COEF7 为 HD_DATE 过采样模块 TAP7 第二项/第四项系数寄存器。



Offset Address		Register Name		Total Reset Value					
0xC064		HDATE_SRC_24_COEF7		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	coef_tap7_4			reserved	coef_tap7_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RW	reserved	保留。						
[26:16]	RW	coef_tap7_4	TAP7 第四项系数，补码表示。						
[15:11]	RW	reserved	保留。						
[10:0]	RW	coef_tap7_2	TAP7 第二项系数，补码表示。						

HDATE_SRC_24_COEF8

HDATE_SRC_24_COEF8 为 HD_DATE 过采样模块 TAP8 第二项/第四项系数寄存器。

Offset Address		Register Name		Total Reset Value					
0xC068		HDATE_SRC_24_COEF8		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	coef_tap8_4			reserved	coef_tap8_2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RW	reserved	保留。						
[25:16]	RW	coef_tap8_4	TAP8 第四项系数，补码表示。						
[15:10]	RW	reserved	保留。						
[9:0]	RW	coef_tap8_2	TAP8 第二项系数，补码表示。						

HDATE_SRC_24_COEF9

HDATE_SRC_24_COEF9 为 HD_DATE 过采样模块 TAP9 第二项/第四项系数寄存器。



Offset Address		Register Name		Total Reset Value				
0xC06C		HDATE_SRC_24_COEF9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef_tap9_2		reserved		coef_tap9_1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RW	reserved	保留。					
[24:16]	RW	coef_tap9_2	TAP9 第四项系数，补码表示。					
[15:9]	RW	reserved	保留。					
[8:0]	RW	coef_tap9_1	TAP9 第二项系数，补码表示。					

HDATE_SRC_24_COEF10

HDATE_SRC_24_COEF10 为 HD_DATE 过采样模块 TAP10 第二项/第四项系数寄存器。

Offset Address		Register Name		Total Reset Value				
0xC070		HDATE_SRC_24_COEF10		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef_tap10_4		reserved		coef_tap10_2	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					
[23:16]	RW	coef_tap10_4	TAP10 第四项系数，最高位为符号位。					
[15:8]	RW	reserved	保留。					
[7:0]	RW	coef_tap10_2	TAP10 第二项系数，最高位为符号位。					

HDATE_SRC_24_COEF11

HDATE_SRC_24_COEF11 为 HD_DATE 过采样模块 TAP11 第二项/第四项系数寄存器。



Offset Address		Register Name		Total Reset Value					
0xC074		HDATE_SRC_24_COEF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef_tap11_2		reserved			coef_tap11_1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:23]	RW	reserved	保留。						
[22:16]	RW	coef_tap11_2	TAP11 第四项系数，补码表示。						
[15:7]	RW	reserved	保留。						
[6:0]	RW	coef_tap11_1	TAP11 第二项系数，补码表示。						

HDATE_SRC_24_COEF12

HDATE_SRC_24_COEF12 为 HD_DATE 过采样模块 TAP12 第二项/第四项系数寄存器。

Offset Address		Register Name		Total Reset Value					
0xC078		HDATE_SRC_24_COEF12		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef_tap12_4		reserved			coef_tap12_2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21:16]	RW	coef_tap12_4	TAP12 第四项系数，补码表示。						
[15:6]	RW	reserved	保留。						
[5:0]	RW	coef_tap12_2	TAP12 第二项系数，补码表示。						

HDATE_SRC_24_COEF13

HDATE_SRC_24_COEF13 为 HD_DATE 过采样模块 TAP13 第二项/第四项系数寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0xC07C				HDATE_SRC_24_COEF13								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef_tap13_4				reserved				coef_tap13_2																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:21]	RW		reserved		保留。																											
[20:16]	RW		coef_tap13_4		TAP13 第四项系数，补码表示。																											
[15:5]	RW		reserved		保留。																											
[4:0]	RW		coef_tap13_2		TAP13 第二项系数，补码表示。																											

HDATE_CSC_COEF1

HDATE_CSC_COEF1 为 HD_DATE 色度空间转换模块系数 1 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC080				HDATE_CSC_COEF1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		csc_coef_r_cb						reserved		csc_coef_r_y																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RW		reserved		保留。																											
[27:16]	RW		csc_coef_r_cb		产生 R 分量 Cb 对应的系数，补码表示。																											
[15:12]	RW		reserved		保留。																											
[11:0]	RW		csc_coef_r_y		产生 R 分量 Y 对应的系数，补码表示。																											

HDATE_CSC_COEF2

HDATE_CSC_COEF2 为 HD_DATE 色度空间转换模块系数 2 寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0xC084				HDATE_CSC_COEF2								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_coef_g_y								reserved				csc_coef_r_cr															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:28]	RW	reserved	保留。																												
	[27:16]	RW	csc_coef_g_y	产生 G 分量 Y 对应的系数，补码表示。																												
	[15:12]	RW	reserved	保留。																												
	[11:0]	RW	csc_coef_r_cr	产生 R 分量 Cr 对应的系数，补码表示。																												

HDATE_CSC_COEF3

HDATE_CSC_COEF3 为 HD_DATE 色度空间转换模块系数 3 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC088				HDATE_CSC_COEF3								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_coef_g_cr								reserved				csc_coef_g_cb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:28]	RW	reserved	保留。																												
	[27:16]	RW	csc_coef_g_cr	产生 G 分量 Cr 对应的系数，补码表示。																												
	[15:12]	RW	reserved	保留。																												
	[11:0]	RW	csc_coef_g_cb	产生 G 分量 Cb 对应的系数，补码表示。																												

HDATE_CSC_COEF4

HDATE_CSC_COEF4 为 HD_DATE 色度空间转换模块系数 4 寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0xC08C				HDATE_CSC_COEF4								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_coef_b_cb								reserved				csc_coef_b_y															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RW		reserved		保留。																											
[27:16]	RW		csc_coef_b_cb		产生 B 分量 Cb 对应的系数，补码表示。																											
[15:12]	RW		reserved		保留。																											
[11:0]	RW		csc_coef_b_y		产生 B 分量 Y 对应的系数，补码表示。																											

HDATE_CSC_COEF5

HDATE_CSC_COEF5 为 HD_DATE 色度空间转换模块系数 5 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC090				HDATE_CSC_COEF5								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												csc_coef_b_cr																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RW		reserved		保留。																											
[11:0]	RW		csc_coef_b_cr		产生 B 分量 Cr 对应的系数，补码表示。																											

HDATE_TEST

HDATE_TEST 为 HD_DATE 的测试寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0xC0A0				HDATE_TEST				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												test_data																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:10]	RW	reserved		保留。																											
	[9:0]	RW	test_data		测试数据。																											

HDATE_VBI_CTRL

HDATE_VBI_CTRL 为 HD_DATE 的 VBI 控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC0A4				HDATE_VBI_CTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vbi_lpf_en	mv_en	cgmsa_add_en	cgmsb_add_en																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:4]	RW	reserved		保留。																											
	[3]	RW	vbi_lpf_en		VBI 数据低通使能。																											
	[2]	RW	mv_en		防拷贝使能。																											
	[1]	RW	cgmsa_add_en		CGMS TypeA 添加使能。																											
	[0]	RW	cgmsb_add_en		CGMS TypeB 添加使能。																											

HDATE_CGMSA_DATA

HDATE_CGMSA_DATA 为 HD_DATE 的 CGMSA 配置数据寄存器。



Offset Address		Register Name		Total Reset Value					
0xC0A8		HDATE_CGMSA_DATA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cgmsa_data					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	RW	reserved	保留。						
[19:0]	RW	cgmsa_data	CGMSA 数据。						

HDATE_CGMSB_H

HDATE_CGMSB_H 为 HD_DATE 的 CGMSB 配置数据 H 寄存器。

Offset Address		Register Name		Total Reset Value				
0xC0AC		HDATE_CGMSB_H		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						hdate_cgmsb_h	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:6]	RW	reserved	保留。					
[5:0]	RW	hdate_cgmsb_h	CGMSB H 数据。					

HDATE_CGMSB_DATA1

HDATE_CGMSB_DATA1 为 HD_DATE 的 CGMSB 配置数据[31:0]寄存器。

Offset Address		Register Name		Total Reset Value				
0xC0B0		HDATE_CGMSB_DATA1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cgmsb_data1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cgmsb_data1	CGMSB 数据 cgmsb_data[31:0]。					



HDATE_CGMSB_DATA2

HDATE_CGMSB_DATA2 为 HD_DATE 的 CGMSB 配置数据[63:32]寄存器。

Offset Address		Register Name		Total Reset Value					
0xC0B4		HDATE_CGMSB_DATA2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	cgmsb_data2								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	cgmsb_data2	CGMSB 数据 cgmsb_data[63:32]。						

HDATE_CGMSB_DATA3

HDATE_CGMSB_DATA3 为 HD_DATE 的 CGMSB 配置数据[95:64]寄存器。

Offset Address		Register Name		Total Reset Value					
0xC0B8		HDATE_CGMSB_DATA3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	cgmsb_data3								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	cgmsb_data3	CGMSB 数据 cgmsb_data[95:64]。						

HDATE_CGMSB_DATA4

HDATE_CGMSB_DATA4 为 HD_DATE 的 CGMSB 配置数据[127:96]寄存器。

Offset Address		Register Name		Total Reset Value					
0xC0BC		HDATE_CGMSB_DATA4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	cgmsb_data4								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	cgmsb_data4	CGMSB 数据 cgmsb_data[127:96]。						



DATE_COEFF0

DATE_COEFF0 为制式参数配置寄存器。

	Offset Address 0xC200				Register Name DATE_COEFF0								Total Reset Value 0x5284_14FC																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	sytp_en	chgain_en	tt_seq	
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	[31:30]		[29]		[28:26]			[25]	[24]																							
Access	RW		RW		RW			RW	RW																							
Name	clpf_sel		dis_ire		reserved			scanline	rgb_en																							
Description	色度低通滤波器带宽选择。 00: 1.1MHz 带宽(NTSC); 01: 1.3MHz 带宽(PAL); 10: 1.6MHz 带宽(测试); 11: 保留。		对于(M)NTSC 和(M, N)PAL 制式, 黑电平高于消隐电平 7.5IRE; 对于其它制式, 黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0: 黑电平高于消隐电平 7.5IRE; 1: 黑电平等于消隐电平。		保留。 写无效, 读为 0。			根据在不同制式下每帧包含的扫描行数进行设置。对于 (M)NTSC、NTSC-J、(M)PAL, 每帧包含 525 行; 对于(B、D、J、H、I)PAL, (N)PAL, (Nc)PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。	在 intf_sel 配置为 100 时, 该位决定分量信号是选用 RGB 还是选用 YPbPr。 0: 分量信号选用 YPbPr; 1: 分量信号选用 RGB。																							



Offset Address		Register Name		Total Reset Value																												
0xC200		DATE_COEFF0		0x5284_14FC																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved				scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	sytp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access		Name		Description																											
[23]	RW		vbi_lpf_en		Vbi 数据低通滤波使能控制。 0: 不滤波处理; 1: 滤波处理。																											
[22]	RW		fm_sel		FMsecam 调频选择。 0: secam 调频采用 sin; 1: secam 调频采用 cos。																											
[21:18]	RW		style_sel		与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1: (M)NTSC 制式; 0x2: NTSC-J 制式; 0x4: (M)PAL 制式; 其他: 保留。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1: (B、D、G、H、I)PAL 制式; 0x2: (N)PAL 制式; 0x4: (Nc)PAL 制式; 0x8: SECAM 制式。 其他: 保留。																											



		Offset Address 0xC200								Register Name DATE_COEFF0								Total Reset Value 0x5284_14FC															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c1pf_sel		dis_ire		reserved		scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	sy1p_en	chgain_en	tt_seq		
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access	Name		Description																													
[17:16]	RW	sync_mode_sel		<p>bit[17]: 指明分量输出是否要在三个通道上都包含同步信号, 此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。该位只在 intf_sel 设为 100 即有分量输出时有效, 含义为:</p> <p>0: 分量输出时, 只在一个通道上包含同步信号;</p> <p>1: 分量输出时, 在三个通道上都包含同步信号。</p> <p>在该位设为 0 时, 对于 YPbPr 输出, 同步通道只能是 Y 通道; 对于 RGB 输出, 只能是 G 通道。</p> <p>bit[16]: 指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100, rgb_en 设为 1 时有效, 含义为:</p> <p>0: RGB 输出时无消隐基数;</p> <p>1: RGB 输出时有消隐基数。</p>																													
[15]	RW	sync_mode_scart		<p>此位指明下分量 3 个通道均不叠加同步</p> <p>0: 分量同步输出根据 sync_mode_sel[1]配置 1: 分量 3 个通道均不叠加同步, 此时 sync_mode_sel[1]需配置为 0</p>																													
[14]	RW	length_sel		<p>说明每个视频行包含的以像素数为单位的行有效宽度。</p> <p>0: 按照 BT.601 模式的行有效像素宽度输出;</p> <p>1: 按照 BT.470 模式的行有效像素宽度输出。当该位为 0 时, 行有效宽度为 720 个像素。当该位配置为 1 时, 对于 625 行制式, 行有效宽度为 704 个像素; 对于 525 行制式, 行有效宽度为 712 个像素。目前版本不支持 BT601 模式和 BT470 模式动态配置, 复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式, 即采用上电复位值。</p>																													
[13]	RW	agc_amp_sel		<p>AGC 脉冲选择。</p> <p>0: 参照片内默认值产生 AGC 脉冲(推荐);</p> <p>1: 参照片外配置产生 AGC 脉冲</p> <p>DATE_COEFF1[amp_outside]。</p>																													



Offset Address		Register Name		Total Reset Value				
0xC200		DATE_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scant length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en	chlp_en syllp_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[12:9]	RW	luma_dl	以半个像素宽度为单位，相对于亮度信号，色度信号超前或滞后的位移量。 bit[12]: 色度信号相对亮度信号位移量的方向。 0: 色度信号滞后于亮度信号; 1: 色度信号超前于色度信号。 bit[11:9]:色度信号相对亮度信号位移量的绝对值，二进制表示，取值范围为从0~7。 000: 色度与亮度对齐，不作调整; 001~111: 色度信号相对亮度信号超前或滞后1~7个单位。					
[8]	RW	reserved	保留。 写无效，读为0。					
[7:6]	RW	oversam_en	第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]: 亮度过采样开关控制位。 0: 亮度过采样关闭; 1: 亮度过采样打开。 bit[6]: 色度过采样开关控制位。 0: 色度过采样关闭; 1: 色度过采样打开。					
[5]	RW	lunt_en	亮度陷波功能开关控制位。 0: 亮度陷波功能关闭; 1: 亮度陷波功能打开。					
[4]	RW	oversam2_en	第二级过采样开关控制位，同时控制亮度通路和色度通路。 0: 亮度过采样关闭; 1: 亮度过采样打开。					



Offset Address		Register Name		Total Reset Value				
0xC200		DATE_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en	chlp_en sylop_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[3]	RW	chlp_en	色度低通滤波功能开关控制位。 0: 色度低通滤波功能关闭; 1: 色度低通滤波功能打开。					
[2]	RW	sylop_en	同步低通滤波功能开关控制位。 0: 同步低通滤波功能关闭; 1: 同步低通滤波功能打开。					
[1]	RW	chgain_en	色度增益开关控制位。 0: 色度增益关闭; 1: 色度增益打开。					
[0]	RW	tt_seq	配置 Teletext 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。					

DATE_COEFF1

DATE_COEFF1 为幅度配置寄存器。



		Offset Address 0xC204								Register Name DATE_COEFF1								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test											
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31:29]	RW	c_gain		色同步增益幅度调节。																													
[28]	RW	cvbs_limit_en		CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。																													
[27]	RW	wss_seq		配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[26]	RW	vps_seq		配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[25]	RW	cgms_seq		配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[24]	RW	cc_seq		配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[23]	RW	c_limit_en		色度限幅开关控制位。 0: 不限幅; 1: 限幅。																													
[22:13]	RW	amp_outside		外部 AGC 脉冲幅度输入。																													
[12]	RW	date_test_en		测试有效信号。 0: 无效; 1: 有效。																													



		Offset Address 0xC204								Register Name DATE_COEFF1								Total Reset Value 0x0000_0000																		
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en				amp_outside								date_test_en	date_test_mode		dac_test										
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																												
	[11:10]	RW		date_test_mode				测试模式信号。																												
	[9:0]	RW		dac_test				DAC 测试值输入。																												

DATE_COEFF7

DATE_COEFF7 为 Teletext 配置寄存器。

		Offset Address 0xC21C								Register Name DATE_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																									
	[31]	RW		tt22_enf1				奇场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																									
	[30]	RW		tt21_enf1				奇场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																									
	[29]	RW		tt20_enf1				奇场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																									



		Offset Address 0xC21C								Register Name DATE_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[28]	RW	tt19_enf1		奇场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[27]	RW	tt18_enf1		奇场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[26]	RW	tt17_enf1		奇场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[25]	RW	tt16_enf1		奇场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[24]	RW	tt15_enf1		奇场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[23]	RW	tt14_enf1		奇场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[22]	RW	tt13_enf1		奇场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[21]	RW	tt12_enf1		奇场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



Offset Address		Register Name		Total Reset Value																												
0xC21C		DATE_COEFF7		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[20]	RW		tt11_enf1		奇场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[19]	RW		tt10_enf1		奇场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[18]	RW		tt09_enf1		奇场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[17]	RW		tt08_enf1		奇场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[16]	RW		tt07_enf1		奇场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[15]	RW		tt22_enf2		偶场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[14]	RW		tt21_enf2		偶场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[13]	RW		tt20_enf2		偶场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											



		Offset Address 0xC21C								Register Name DATE_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[12]	RW	tt19_enf2		偶场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[11]	RW	tt18_enf2		偶场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[10]	RW	tt17_enf2		偶场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[9]	RW	tt16_enf2		偶场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[8]	RW	tt15_enf2		偶场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[7]	RW	tt14_enf2		偶场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[6]	RW	tt13_enf2		偶场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[5]	RW	tt12_enf2		偶场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



		Offset Address 0xC21C								Register Name DATE_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name		Description																											
		[4]	RW	tt11_enf2		偶场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[3]	RW	tt10_enf2		偶场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[2]	RW	tt09_enf2		偶场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[1]	RW	tt08_enf2		偶场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[0]	RW	tt07_enf2		偶场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											

DATE_COEFF8

DATE_COEFF8 为 Teletext 配置寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0xC220				DATE_COEFF8								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_staddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	tt_staddr		Teletext 数据起始地址。																											

DATE_COEFF9

DATE_COEFF9 为 Teletext 配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC224				DATE_COEFF9								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_edaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	tt_edaddr		Teletext 数据结束地址。																											

DATE_COEFF10

DATE_COEFF10 为 Teletext 配置寄存器。



注意

目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。



Offset Address		Register Name		Total Reset Value																												
0xC228		DATE_COEFF10		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_ready	reserved													nabts_100ire	full_page	tt_highest	tt_mode	tt_pkttoff													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	tt_ready	当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teletext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。																													
[30:13]	RW	reserved	保留。 写无效，读为 0。																													
[12]	RW	nabts_100ire	NABTS-NTSC 数据高度配置寄存器。 0: 70IRE; 1: 100IRE。																													
[11]	RW	full_page	tt 发送 full page 模式控制寄存器。 0: 正常模式(消隐行传 tt 数据); 1: full page 模式(有效视频区也可传 tt 数据)。																													
[10]	RW	tt_highest	Tt 优先级控制寄存器。 0: tt 优先级最高; 1: tt 优先级最低。																													
[9:8]	RW	tt_mode	TT 模式。 625 行下配置为 01，代表 wst-pal; 525 行下配置为 10，代表 nabts-ntsc。																													
[7:0]	RW	tt_pkttoff	TT 包偏移地址。																													

DATE_COEFF11

DATE_COEFF11 为 Closed Caption 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC22C		DATE_COEFF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。						
[9:0]	RW	date_clf2	Closed Caption 偶场配置行。						

DATE_COEFF12

DATE_COEFF12 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC230		DATE_COEFF12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cc_f1data				cc_f2data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cc_f1data	Closed Caption 奇场数据。					
[15:0]	RW	cc_f2data	Closed Caption 偶场数据。					

DATE_COEFF13

DATE_COEFF13 为 CGMS 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC234		DATE_COEFF13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cg_enf1	cg_enf2	cg_fldata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。 写无效，读为 0。						
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:0]	RW	cg_fldata	CGMS 奇场数据。						

DATE_COEFF14

DATE_COEFF14 为 CGMS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC238		DATE_COEFF14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cg_f2data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RW	reserved	保留。 写无效，读为 0。					
[19:0]	RW	cg_f2data	CGMS 偶场数据。					

DATE_COEFF15

DATE_COEFF15 为 WSS 配置寄存器。

**注意**

WSS 仅在 625 行制式下使用，固定在 23 行。

	Offset Address				Register Name				Total Reset Value																							
	0xC23C				DATE_COEFF15				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														wss_en	wss_data																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:15]	RW	reserved		保留。 写无效，读为 0。																											
	[14]	RW	wss_en		WSS 开关控制位。 0: 关闭; 1: 打开。																											
	[13:0]	RW	wss_data		WSS 数据。																											

DATE_COEFF16

DATE_COEFF16 为 VPS 配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC240				DATE_COEFF16				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							vps_en	vps_data																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:25]	RW	reserved		保留。 写无效，读为 0。																											



Offset Address		Register Name		Total Reset Value																												
0xC240		DATE_COEFF16		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vps_en	vps_data																										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[24]	RW		vps_en		VPS 开关控制位。 0: 关闭; 1: 打开。																											
[23:0]	RW		vps_data		VPS 数据, 第 23 位到第 0 位, 最低位为第 0 位。																											

DATE_COEFF17

DATE_COEFF17 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0xC244		DATE_COEFF17		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vps_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:0]	RW		vps_data		VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。																											

DATE_COEFF18

DATE_COEFF18 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0xC248		DATE_COEFF18		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vps_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:0]	RW		vps_data		VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。																											



DATE_COEFF19

DATE_COEFF19 为 VPS 配置寄存器。



注意

VPS 只在 625 行模式下支持，固定在 16 行。

	Offset Address				Register Name								Total Reset Value																			
	0xC24C				DATE_COEFF19								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vps_data															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	reserved		保留。 写无效，读为 0。																											
	[15:0]	RW	vps_data		VPS 数据，第 103 位到第 88 位，最低位为第 0 位。																											

DATE_COEFF20

DATE_COEFF20 为 Teletext 配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC250				DATE_COEFF20								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								tt06_enf1		tt06_enf2		tt05_enf2			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	RW	reserved		保留。 写无效，读为 0。																											



Offset Address		Register Name		Total Reset Value						
0xC250		DATE_COEFF20		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							

DATE_COEFF21

DATE_COEFF21 为输出矩阵控制寄存器。

Offset Address		Register Name		Total Reset Value										
0xC254		DATE_COEFF21		0x0060_00A1										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value																												
0xC254		DATE_COEFF21		0x0060_00A1																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								dac5_in_sel		reserved	dac4_in_sel		reserved	dac3_in_sel		reserved	dac2_in_sel		reserved	dac1_in_sel		reserved	dac0_in_sel								
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1
Bits	Access	Name	Description																													
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																													
[19]	-	reserved	保留。 写无效，读为 0。																													
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																													
[15]	-	reserved	保留。 写无效，读为 0。																													



	Offset Address 0xC254								Register Name DATE_COEFF21								Total Reset Value 0x0060_00A1																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved								dac5_in_sel				reserved	dac4_in_sel				reserved	dac3_in_sel				reserved	dac2_in_sel				reserved	dac1_in_sel				reserved	dac0_in_sel			
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1					

Bits	Access	Name	Description
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[11]	-	reserved	保留。 写无效，读为 0。
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[7]	-	reserved	保留。 写无效，读为 0。



Offset Address		Register Name		Total Reset Value																																	
0xC254		DATE_COEFF21		0x0060_00A1																																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved								dac5_in_sel				reserved	dac4_in_sel				reserved	dac3_in_sel				reserved	dac2_in_sel				reserved	dac1_in_sel				reserved	dac0_in_sel			
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1					
Bits	Access	Name	Description																																		
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																		
[3]	-	reserved	保留。 写无效，读为 0。																																		
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																		

DATE_COEFF22

DATE_COEFF22 为 DTO 初始相位配置寄存器。



Offset Address		Register Name		Total Reset Value						
0xC258		DATE_COEFF22		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						video_phase_delta			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RW	reserved	保留。 写无效，读为 0。							
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。							

DATE_COEFF23

DATE_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address		Register Name		Total Reset Value										
0xC25C		DATE_COEFF23		0x0065_4321										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[19]	-	reserved	保留。 写无效，读为 0。											
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[15]	-	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value										
0xC25C		DATE_COEFF23		0x0065_4321										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1						
Bits	Access	Name	Description											
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[11]	-	reserved	保留。 写无效，读为 0。											
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[7]	-	reserved	保留。 写无效，读为 0。											
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[3]	-	reserved	保留。 写无效，读为 0。											
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											

DATE_ISRMASK

DATE_ISRMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0xC280		DATE_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

DATE_ISRSTATE

DATE_ISRSTATE 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0xC284		DATE_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

DATE_ISR

DATE_ISR 为中断寄存器。



Offset Address		Register Name		Total Reset Value					
0xC288		DATE_ISR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_int	Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0: 没有中断; 1: 有中断。						

DATE_VERSION

DATE_VERSION 为版本寄存器。

Offset Address		Register Name		Total Reset Value				
0xC290		DATE_VERSION		0x0000_0024				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。 写无效，读为 0。					

DATE1_COEFF0

DATE1_COEFF0 为制式参数配置寄存器。



		Offset Address 0xC400								Register Name DATE1_COEFF0								Total Reset Value 0x5284_14FC															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		clpf_sel		dis_ire		reserved		scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	syllp_en	chgain_en	tt_seq		
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access	Name		Description																													
[31:30]	RW	clpf_sel		色度低通滤波器带宽选择。 00: 1.1MHz 带宽(NTSC); 01: 1.3MHz 带宽(PAL); 10: 1.6MHz 带宽(测试); 11: 保留。																													
[29]	RW	dis_ire		对于(M)NTSC 和(M, N)PAL 制式, 黑电平高于消隐电平 7.5IRE; 对于其它制式, 黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0: 黑电平高于消隐电平 7.5IRE; 1: 黑电平等于消隐电平。																													
[28:26]	RW	reserved		保留。 写无效, 读为 0。																													
[25]	RW	scanline		根据在不同制式下每帧包含的扫描行数进行设置。对于 (M)NTSC、NTSC-J、(M)PAL, 每帧包含 525 行; 对于(B、D、J、H、I)PAL, (N)PAL, (Nc)PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。																													
[24]	RW	rgb_en		在 intf_sel 配置为 100 时, 该位决定分量信号是选用 RGB 还是选用 YPbPr。 0: 分量信号选用 YPbPr; 1: 分量信号选用 RGB。																													
[23]	RW	vbi_lpf_en		Vbi 数据低通滤波使能控制。 0: 不滤波处理; 1: 滤波处理。																													



Offset Address		Register Name		Total Reset Value																												
0xC400		DATE1_COEFF0		0x5284_14FC																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved				scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	syllp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access		Name		Description																											
[22]	RW		fm_sel		FMsecam 调频选择。 0: secam 调频采用 sin; 1: secam 调频采用 cos。																											
[21:18]	RW		style_sel		与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1: (M)NTSC 制式； 0x2: NTSC-J 制式； 0x4: (M)PAL 制式； 其他：保留。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1: (B、D、G、H、I)PAL 制式； 0x2: (N)PAL 制式； 0x4: (Nc)PAL 制式； 0x8: SECAM 制式； 其他：保留。																											
[17:16]	RW		sync_mode_sel		bit[17]指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。 该位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0: 分量输出时，只在一个通道上包含同步信号； 1: 分量输出时，在三个通道上都包含同步信号。 在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。 bit[16]: 指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100, rgb_en 设为 1 时有效，含义为： 0: RGB 输出时无消隐基数； 1: RGB 输出时有消隐基数。																											



		Offset Address 0xC400								Register Name DATE1_COEFF0								Total Reset Value 0x5284_14FC															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		clpf_sel		dis_ire		reserved		scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	syllp_en	chgain_en	tt_seq		
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access	Name		Description																													
[15]	RW	sync_mode_scart		指明下分量 3 个通道均不叠加同步。 0: 分量同步输出根据 sync_mode_sel[1]配置; 1: 分量 3 个通道均不叠加同步, 此时 sync_mode_sel[1]需配置为 0。																													
[14]	RW	length_sel		说明每个视频行包含的以像素数为单位的行有效宽度。 0: 按照 BT.601 模式的行有效像素宽度输出; 1: 按照 BT.470 模式的行有效像素宽度输出。 当该位为 0 时, 行有效宽度为 720 个像素。当该位配置为 1 时, 对于 625 行制式, 行有效宽度为 704 个像素; 对于 525 行制式, 行有效宽度为 712 个像素。目前版本不支持 BT601 模式和 BT470 模式动态配置, 复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式, 即采用上电复位值。																													
[13]	RW	agc_amp_sel		0: 参照片内默认值产生 AGC 脉冲(推荐); 1: 参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。																													
[12:9]	RW	luma_dl		以半个像素宽度为单位, 相对于亮度信号, 色度信号超前或滞后的位移量。 bit[12]: 色度信号相对亮度信号位移量的方向。 0: 色度信号滞后于亮度信号; 1: 色度信号超前于色度信号。 bit[11:9]: 色度信号相对亮度信号位移量的绝对值, 二进制表示, 取值范围为从 0~7。 000: 色度与亮度对齐, 不作调整; 001~111: 色度信号相对亮度信号超前或滞后 1~7 个单位。																													



Offset Address		Register Name		Total Reset Value																												
0xC400		DATE1_COEFF0		0x5284_14FC																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved				scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scant	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	sylyp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access		Name		Description																											
[8]	RW		reserved		保留。 写无效，读为 0。																											
[7:6]	RW		oversam_en		第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]: 亮度过采样开关控制位。 0: 亮度过采样关闭; 1: 亮度过采样打开。 bit[6]: 为色度过采样开关控制位。0: 色度过采样关闭; 1: 色度过采样打开。																											
[5]	RW		lunt_en		亮度陷波功能开关控制位。 0: 亮度陷波功能关闭; 1: 亮度陷波功能打开。																											
[4]	RW		oversam2_en		第二级过采样开关控制位，同时控制亮度通路和色度通路。 0: 亮度过采样关闭; 1: 亮度过采样打开。																											
[3]	RW		chlp_en		色度低通滤波功能开关控制位。 0: 色度低通滤波功能关闭; 1: 色度低通滤波功能打开。																											
[2]	RW		sylyp_en		同步低通滤波功能开关控制位。 0: 同步低通滤波功能关闭; 1: 同步低通滤波功能打开。																											
[1]	RW		chgain_en		色度增益开关控制位。 0: 色度增益关闭; 1: 色度增益打开。																											



		Offset Address				Register Name								Total Reset Value																																											
		0xC400				DATE1_COEFF0								0x5284_14FC																																											
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																								
Name		c_lpf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel								sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl								reserved		oversam_en		lunt_en		oversam2_en		chlp_en		syllp_en		chgain_en		tt_seq	
	Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1	0	0																				
	Bits	Access		Name		Description																																																			
	[0]	RW		tt_seq		配置 Teletext 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																																																			

DATE1_COEFF1

DATE1_COEFF1 为幅度配置寄存器。

		Offset Address				Register Name								Total Reset Value																							
		0xC404				DATE1_COEFF1								0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		c_gain				cvbs_limit_en		wss_seq		vps_seq		cgms_seq		cc_seq		c_limit_en		amp_outside								date_test_en		date_test_mode		dac_test							
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																															
	[31:29]	RW		c_gain		色同步增益幅度调节。																															
	[28]	RW		cvbs_limit_en		CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。																															



		Offset Address 0xC404								Register Name DATE1_COEFF1								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test											
	Reset	0 0 0 0				0	0	0	0	0	0	0	0	0 0 0 0								0	0	0	0	0 0 0 0							
	Bits	Access		Name		Description																											
	[27]	RW		wss_seq		配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[26]	RW		vps_seq		配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[25]	RW		cgms_seq		配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[24]	RW		cc_seq		配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[23]	RW		c_limit_en		色度限幅开关控制位。 0: 不限幅; 1: 限幅。																											
	[22:13]	RW		amp_outside		外部 AGC 脉冲幅度输入。																											
	[12]	RW		date_test_en		测试有效信号。 0: 无效; 1: 有效。																											
	[11:10]	RW		date_test_mode		测试模式信号。																											
	[9:0]	RW		dac_test		DAC 测试值输入。																											



DATE1_COEFF7

DATE1_COEFF7 为 Teletext 配置寄存器。

		Offset Address				Register Name				Total Reset Value																							
		0xC41C				DATE1_COEFF7				0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31]	RW		tt22_enf1		奇场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[30]	RW		tt21_enf1		奇场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[29]	RW		tt20_enf1		奇场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[28]	RW		tt19_enf1		奇场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[27]	RW		tt18_enf1		奇场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[26]	RW		tt17_enf1		奇场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[25]	RW		tt16_enf1		奇场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											



		Offset Address 0xC41C								Register Name DATE1_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[24]	RW	tt15_enf1		奇场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[23]	RW	tt14_enf1		奇场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[22]	RW	tt13_enf1		奇场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[21]	RW	tt12_enf1		奇场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[20]	RW	tt11_enf1		奇场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[19]	RW	tt10_enf1		奇场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[18]	RW	tt09_enf1		奇场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[17]	RW	tt08_enf1		奇场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



		Offset Address 0xC41C								Register Name DATE1_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																														
[16]	RW	tt07_enf1	奇场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[15]	RW	tt22_enf2	偶场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[14]	RW	tt21_enf2	偶场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[13]	RW	tt20_enf2	偶场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[12]	RW	tt19_enf2	偶场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[11]	RW	tt18_enf2	偶场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[10]	RW	tt17_enf2	偶场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[9]	RW	tt16_enf2	偶场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														



		Offset Address 0xC41C								Register Name DATE1_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[8]	RW	tt15_enf2		偶场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[7]	RW	tt14_enf2		偶场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[6]	RW	tt13_enf2		偶场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[5]	RW	tt12_enf2		偶场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[4]	RW	tt11_enf2		偶场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[3]	RW	tt10_enf2		偶场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[2]	RW	tt09_enf2		偶场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[1]	RW	tt08_enf2		偶场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



Offset Address		Register Name		Total Reset Value																												
0xC41C		DATE1_COEFF7		0x0000_0000																												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																								
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																													
[0]	RW	tt07_enf2	偶场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													

DATE1_COEFF8

DATE1_COEFF8 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC420		DATE1_COEFF8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_staddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_staddr	Teletext 数据起始地址。					

DATE1_COEFF9

DATE1_COEFF9 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC424		DATE1_COEFF9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_edaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_edaddr	Teletext 数据结束地址。					



DATE1_COEFF10

DATE1_COEFF10 为 Teletext 配置寄存器。



注意

目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。

Offset Address		Register Name		Total Reset Value																												
0xC428		DATE1_COEFF10		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_ready	reserved													nabts_100ire	full_page	tt_highest	tt_mode	tt_pkttoff													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	tt_ready	当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teletext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。																													
[30:13]	RW	reserved	保留。 写无效，读为 0。																													
[12]	RW	nabts_100ire	NABTS-NTSC 数据高度配置寄存器。 0: 70IRE; 1: 100IRE。																													
[11]	RW	full_page	tt 发送 full page 模式控制寄存器。 0: 正常模式(消隐行传 tt 数据); 1: full page 模式(有效视频区也可传 tt 数据)。																													
[10]	RW	tt_highest	Tt 优先级控制寄存器。 0: tt 优先级最高; 1: tt 优先级最低。																													



Offset Address		Register Name		Total Reset Value					
0xC428		DATE1_COEFF10		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				nabts_100ire	full_page	tt_highest	tt_mode	tt_pkttoff
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[9:8]	RW	tt_mode	TT 模式。 625 行下配置为 01，代表 wst-pal； 525 行下配置为 10，代表 nabts-ntsc。						
[7:0]	RW	tt_pkttoff	TT 包偏移地址。						

DATE1_COEFF11

DATE1_COEFF11 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0xC42C		DATE1_COEFF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0: 关闭； 1: 打开。						
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0: 关闭； 1: 打开。						
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。						



Offset Address		Register Name		Total Reset Value					
0xC42C		DATE1_COEFF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[9:0]	RW	date_clf2	Closed Caption 偶场配置行。						

DATE1_COEFF12

DATE1_COEFF12 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC430		DATE1_COEFF12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cc_f1data				cc_f2data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cc_f1data	Closed Caption 奇场数据。					
[15:0]	RW	cc_f2data	Closed Caption 偶场数据。					

DATE1_COEFF13

DATE1_COEFF13 为 CGMS 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC434		DATE1_COEFF13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cg_enf1	cg_enf2	cg_fldata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。 写无效，读为 0。						
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:0]	RW	cg_fldata	CGMS 奇场数据。						

DATE1_COEFF14

DATE1_COEFF14 为 CGMS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC438		DATE1_COEFF14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cg_f2data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RW	reserved	保留。 写无效，读为 0。					
[19:0]	RW	cg_f2data	CGMS 偶场数据。					

DATE1_COEFF15

DATE1_COEFF15 为 WSS 配置寄存器。

**注意**

WSS 仅在 625 行制式下使用，固定在 23 行。

	Offset Address				Register Name				Total Reset Value																							
	0xC43C				DATE1_COEFF15				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														wss_en	wss_data																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:15]	RW	reserved		保留。 写无效，读为 0。																											
	[14]	RW	wss_en		WSS 开关控制位。 0: 关闭; 1: 打开。																											
	[13:0]	RW	wss_data		WSS 数据。																											

DATE1_COEFF16

DATE1_COEFF16 为 VPS 配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC440				DATE1_COEFF16				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vps_en	vps_data																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:25]	RW	reserved		保留。 写无效，读为 0。																											



Offset Address		Register Name		Total Reset Value					
0xC440		DATE1_COEFF16		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vps_en	vps_data					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[24]	RW	vps_en	VPS 开关控制位。 0: 关闭; 1: 打开。						
[23:0]	RW	vps_data	VPS 数据, 第 23 位到第 0 位, 最低位为第 0 位。						

DATE1_COEFF17

DATE1_COEFF17 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC444		DATE1_COEFF17		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					

DATE1_COEFF18

DATE1_COEFF18 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC448		DATE1_COEFF18		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					



DATE1_COEFF19

DATE1_COEFF19 为 VPS 配置寄存器。



注意

VPS 只在 625 行模式下支持，固定在 16 行。

	Offset Address				Register Name				Total Reset Value																							
	0xC44C				DATE1_COEFF19				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vps_data																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	reserved		保留。 写无效，读为 0。																											
	[15:0]	RW	vps_data		VPS 数据，第 103 位到第 88 位，最低位为第 0 位。																											

DATE1_COEFF20

DATE1_COEFF20 为 Teletext 配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC450				DATE1_COEFF20				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												tt06_enf1		tt06_enf2		tt05_enf2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	RW	reserved		保留。 写无效，读为 0。																											



Offset Address		Register Name		Total Reset Value						
0xC450		DATE1_COEFF20		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							

DATE1_COEFF21

DATE1_COEFF21 为输出矩阵控制寄存器。

Offset Address		Register Name		Total Reset Value										
0xC454		DATE1_COEFF21		0x0060_00A1										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value																																	
0xC454		DATE1_COEFF21		0x0060_00A1																																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved								dac5_in_sel				reserved	dac4_in_sel				reserved	dac3_in_sel				reserved	dac2_in_sel				reserved	dac1_in_sel				reserved	dac0_in_sel			
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1					
Bits	Access	Name	Description																																		
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																		
[19]	-	reserved	保留。 写无效, 读为 0。																																		
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																		
[15]	-	reserved	保留。 写无效, 读为 0。																																		



Offset Address		Register Name		Total Reset Value											
0xC454		DATE1_COEFF21		0x0060_00A1											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[11]	-	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[7]	-	reserved	保留。 写无效，读为 0。												



Offset Address		Register Name		Total Reset Value																																	
0xC454		DATE1_COEFF21		0x0060_00A1																																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved								dac5_in_sel				reserved	dac4_in_sel				reserved	dac3_in_sel				reserved	dac2_in_sel				reserved	dac1_in_sel				reserved	dac0_in_sel			
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1					
Bits	Access	Name	Description																																		
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																		
[3]	-	reserved	保留。 写无效，读为 0。																																		
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																		

DATE1_COEFF22

DATE1_COEFF22 为 DTO 初始相位配置寄存器。



Offset Address		Register Name		Total Reset Value						
0xC458		DATE1_COEFF22		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						video_phase_delta			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RW	reserved	保留。 写无效，读为 0。							
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。							

DATE1_COEFF23

DATE1_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address		Register Name		Total Reset Value										
0xC45C		DATE1_COEFF23		0x0065_4321										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[19]	-	reserved	保留。 写无效，读为 0。											
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[15]	-	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value											
0xC45C		DATE1_COEFF23		0x0065_4321											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[11]	-	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[7]	-	reserved	保留。 写无效，读为 0。												
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[3]	-	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												

DATE1_ISRMASK

DATE1_ISRMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0xC480		DATE1_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

DATE1_ISRSTATE

DATE1_ISRSTATE 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0xC484		DATE1_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

DATE1_ISR

DATE1_ISR 为中断寄存器。



Offset Address		Register Name		Total Reset Value					
0xC488		DATE1_ISR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_int	Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0: 没有中断; 1: 有中断。						

DATE1_VERSION

DATE1_VERSION 为版本寄存器。

Offset Address		Register Name		Total Reset Value				
0xC490		DATE1_VERSION		0x0000_0024				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。 写无效，读为 0。					

DATE2_COEFF0

DATE2_COEFF0 为制式参数配置寄存器。



		Offset Address 0xC600								Register Name DATE2_COEFF0								Total Reset Value 0x5284_14FC															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		clpf_sel		dis_ire		reserved		scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	syllp_en	chgain_en	tt_seq		
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access	Name		Description																													
[31:30]	RW	clpf_sel		色度低通滤波器带宽选择。 00: 1.1MHz 带宽(NTSC); 01: 1.3MHz 带宽(PAL); 10: 1.6MHz 带宽(测试); 11: 保留。																													
[29]	RW	dis_ire		对于(M)NTSC 和(M, N)PAL 制式, 黑电平高于消隐电平 7.5IRE; 对于其它制式, 黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0: 黑电平高于消隐电平 7.5IRE; 1: 黑电平等于消隐电平。																													
[28:26]	RW	reserved		保留。 写无效, 读为 0。																													
[25]	RW	scanline		根据在不同制式下每帧包含的扫描行数进行设置。对于 (M)NTSC、NTSC-J、(M)PAL, 每帧包含 525 行; 对于(B、D、J、H、I)PAL, (N)PAL, (Nc)PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。																													
[24]	RW	rgb_en		在 intf_sel 配置为 100 时, 该位决定分量信号是选用 RGB 还是选用 YPbPr。 0: 分量信号选用 YPbPr; 1: 分量信号选用 RGB。																													
[23]	RW	vbi_lpf_en		Vbi 数据低通滤波使能控制。 0: 不滤波处理; 1: 滤波处理。																													



Offset Address		Register Name		Total Reset Value																												
0xC600		DATE2_COEFF0		0x5284_14FC																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved				scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	syllp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access		Name		Description																											
[22]	RW		fm_sel		FMsecam 调频选择。 0: secam 调频采用 sin; 1: secam 调频采用 cos。																											
[21:18]	RW		style_sel		与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1: (M)NTSC 制式； 0x2: NTSC-J 制式； 0x4: (M)PAL 制式； 其他：保留。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1: (B、D、G、H、I)PAL 制式； 0x2: (N)PAL 制式； 0x4: (Nc)PAL 制式； 0x8: SECAM 制式； 其他：保留。																											
[17:16]	RW		sync_mode_sel		bit[17]指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。 该位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0: 分量输出时，只在一个通道上包含同步信号； 1: 分量输出时，在三个通道上都包含同步信号。 在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。 bit[16]: 指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100, rgb_en 设为 1 时有效，含义为： 0: RGB 输出时无消隐基数； 1: RGB 输出时有消隐基数。																											



		Offset Address 0xC600								Register Name DATE2_COEFF0								Total Reset Value 0x5284_14FC															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		clpf_sel		dis_ire		reserved		scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	syllp_en	chgain_en	tt_seq		
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access	Name		Description																													
[15]	RW	sync_mode_scart		指明下分量 3 个通道均不叠加同步 0: 分量同步输出根据 sync_mode_sel[1]配置; 1: 分量 3 个通道均不叠加同步, 此时 sync_mode_sel[1]需配置为 0。																													
[14]	RW	length_sel		说明每个视频行包含的以像素数为单位的行有效宽度。 0: 按照 BT.601 模式的行有效像素宽度输出; 1: 按照 BT.470 模式的行有效像素宽度输出。 当该位为 0 时, 行有效宽度为 720 个像素。当该位配置为 1 时, 对于 625 行制式, 行有效宽度为 704 个像素; 对于 525 行制式, 行有效宽度为 712 个像素。目前版本不支持 BT601 模式和 BT470 模式动态配置, 复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式, 即采用上电复位值。																													
[13]	RW	agc_amp_sel		0: 参照片内默认值产生 AGC 脉冲(推荐); 1: 参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。																													
[12:9]	RW	luma_dl		以半个像素宽度为单位, 相对于亮度信号, 色度信号超前或滞后的位移量。 bit[12]: 色度信号相对亮度信号位移量的方向。0: 色度信号滞后于亮度信号; 1: 色度信号超前于色度信号。bit[11:9]: 色度信号相对亮度信号位移量的绝对值, 二进制表示, 取值范围为从 0~7。000: 色度与亮度对齐, 不作调整; 001~111: 色度信号相对亮度信号超前或滞后 1~7 个单位。																													
[8]	RW	reserved		保留。 写无效, 读为 0。																													



Offset Address		Register Name		Total Reset Value				
0xC600		DATE2_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scant length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en	chlp_en sylv_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[7:6]	RW	oversam_en	第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]：亮度过采样开关控制位。0：亮度过采样关闭；1：亮度过采样打开。bit[6]：色度过采样开关控制位。0：色度过采样关闭；1：色度过采样打开。					
[5]	RW	lunt_en	亮度陷波功能开关控制位。 0：亮度陷波功能关闭； 1：亮度陷波功能打开。					
[4]	RW	oversam2_en	第二级过采样开关控制位，同时控制亮度通路和色度通路。 0：亮度过采样关闭； 1：亮度过采样打开。					
[3]	RW	chlp_en	色度低通滤波功能开关控制位。 0：色度低通滤波功能关闭； 1：色度低通滤波功能打开。					
[2]	RW	sylv_en	同步低通滤波功能开关控制位。 0：同步低通滤波功能关闭； 1：同步低通滤波功能打开。					
[1]	RW	chgain_en	色度增益开关控制位。 0：色度增益关闭； 1：色度增益打开。					
[0]	RW	tt_seq	配置 Teletext 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。					



DATE2_COEFF1

DATE2_COEFF1 为幅度配置寄存器。

		Offset Address 0xC604								Register Name DATE2_COEFF1								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test											
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31:29]	RW	c_gain		色同步增益幅度调节。																													
[28]	RW	cvbs_limit_en		CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。																													
[27]	RW	wss_seq		配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[26]	RW	vps_seq		配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[25]	RW	cgms_seq		配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[24]	RW	cc_seq		配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[23]	RW	c_limit_en		色度限幅开关控制位。 0: 不限幅; 1: 限幅。																													
[22:13]	RW	amp_outside		外部 AGC 脉冲幅度输入。																													



		Offset Address 0xC604								Register Name DATE2_COEFF1								Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																															
	[12]	RW		date_test_en		测试有效信号。 0: 无效; 1: 有效。																															
	[11:10]	RW		date_test_mode		测试模式信号。																															
	[9:0]	RW		dac_test		DAC 测试值输入。																															

DATE2_COEFF7

DATE2_COEFF7 为 Teletext 配置寄存器。

		Offset Address 0xC61C								Register Name DATE2_COEFF7								Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2				
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																															
	[31]	RW		tt22_enf1		奇场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																															
	[30]	RW		tt21_enf1		奇场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																															



		Offset Address 0xC61C								Register Name DATE2_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																														
[29]	RW	tt20_enf1	奇场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[28]	RW	tt19_enf1	奇场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[27]	RW	tt18_enf1	奇场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[26]	RW	tt17_enf1	奇场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[25]	RW	tt16_enf1	奇场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[24]	RW	tt15_enf1	奇场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[23]	RW	tt14_enf1	奇场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[22]	RW	tt13_enf1	奇场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														



		Offset Address 0xC61C								Register Name DATE2_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[21]	RW	tt12_enf1		奇场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[20]	RW	tt11_enf1		奇场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[19]	RW	tt10_enf1		奇场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[18]	RW	tt09_enf1		奇场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[17]	RW	tt08_enf1		奇场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[16]	RW	tt07_enf1		奇场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[15]	RW	tt22_enf2		偶场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[14]	RW	tt21_enf2		偶场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



		Offset Address 0xC61C								Register Name DATE2_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																														
[13]	RW	tt20_enf2	偶场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[12]	RW	tt19_enf2	偶场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[11]	RW	tt18_enf2	偶场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[10]	RW	tt17_enf2	偶场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[9]	RW	tt16_enf2	偶场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[8]	RW	tt15_enf2	偶场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[7]	RW	tt14_enf2	偶场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[6]	RW	tt13_enf2	偶场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														



		Offset Address 0xC61C								Register Name DATE2_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[5]	RW	tt12_enf2		偶场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[4]	RW	tt11_enf2		偶场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[3]	RW	tt10_enf2		偶场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[2]	RW	tt09_enf2		偶场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[1]	RW	tt08_enf2		偶场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[0]	RW	tt07_enf2		偶场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													

DATE2_COEFF8

DATE2_COEFF8 为 Teletext 配置寄存器。



Offset Address		Register Name		Total Reset Value				
0xC620		DATE2_COEFF8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_staddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_staddr	Teletext 数据起始地址。					

DATE2_COEFF9

DATE2_COEFF9 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC624		DATE2_COEFF9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_edaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_edaddr	Teletext 数据结束地址。					

DATE2_COEFF10

DATE2_COEFF10 为 Teletext 配置寄存器。



目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。



Offset Address		Register Name		Total Reset Value																																				
0xC628		DATE2_COEFF10		0x0000_0000																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	tt_ready				reserved												nabts_100ire				full_page				tt_highest				tt_mode				tt_pkttoff							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0															
Bits	Access	Name	Description																																					
[31]	RW	tt_ready	当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teletext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。																																					
[30:13]	RW	reserved	保留。 写无效，读为 0。																																					
[12]	RW	nabts_100ire	NABTS-NTSC 数据高度配置寄存器。 0: 70IRE; 1: 100IRE。																																					
[11]	RW	full_page	tt 发送 full page 模式控制寄存器。 0: 正常模式(消隐行传 tt 数据); 1: full page 模式(有效视频区也可传 tt 数据)。																																					
[10]	RW	tt_highest	Tt 优先级控制寄存器。 0: tt 优先级最高; 1: tt 优先级最低。																																					
[9:8]	RW	tt_mode	TT 模式。 625 行下配置为 01，代表 wst-pal; 525 行下配置为 10，代表 nabts-ntsc。																																					
[7:0]	RW	tt_pkttoff	TT 包偏移地址。																																					

DATE2_COEFF11

DATE2_COEFF11 为 Closed Caption 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC62C		DATE2_COEFF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。						
[9:0]	RW	date_clf2	Closed Caption 偶场配置行。						

DATE2_COEFF12

DATE2_COEFF12 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC630		DATE2_COEFF12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cc_f1data				cc_f2data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cc_f1data	Closed Caption 奇场数据。					
[15:0]	RW	cc_f2data	Closed Caption 偶场数据。					

DATE2_COEFF13

DATE2_COEFF13 为 CGMS 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC634		DATE2_COEFF13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cg_enf1	cg_enf2	cg_fldata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。 写无效，读为 0。						
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:0]	RW	cg_fldata	CGMS 奇场数据。						

DATE2_COEFF14

DATE2_COEFF14 为 CGMS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC638		DATE2_COEFF14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cg_f2data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RW	reserved	保留。 写无效，读为 0。					
[19:0]	RW	cg_f2data	CGMS 偶场数据。					

DATE2_COEFF15

DATE2_COEFF15 为 WSS 配置寄存器。



注意

WSS 仅在 625 行制式下使用，固定在 23 行。

Offset Address		Register Name		Total Reset Value					
0xC63C		DATE2_COEFF15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				wss_en	wss_data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RW	reserved	保留。 写无效，读为 0。						
[14]	RW	wss_en	WSS 开关控制位。 0: 关闭; 1: 打开。						
[13:0]	RW	wss_data	WSS 数据。						

DATE2_COEFF16

DATE2_COEFF16 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC640		DATE2_COEFF16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RW	reserved	保留。 写无效，读为 0。					
[24]	RW	vps_en	VPS 开关控制位。 0: 关闭; 1: 打开。					



Offset Address		Register Name		Total Reset Value					
0xC640		DATE2_COEFF16		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[23:0]	RW	vps_data	VPS 数据，第 23 位到第 0 位，最低位为第 0 位。						

DATE2_COEFF17

DATE2_COEFF17 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC644		DATE2_COEFF17		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据，第 31 位到第 0 位，最低位为第 0 位。					

DATE2_COEFF18

DATE2_COEFF18 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC648		DATE2_COEFF18		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据，第 31 位到第 0 位，最低位为第 0 位。					



DATE2_COEFF19

DATE2_COEFF19 为 VPS 配置寄存器。



注意

VPS 只在 625 行模式下支持，固定在 16 行。

	Offset Address				Register Name				Total Reset Value																							
	0xC64C				DATE2_COEFF19				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vps_data																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RW	reserved		保留。 写无效，读为 0。																											
	[15:0]	RW	vps_data		VPS 数据，第 103 位到第 88 位，最低位为第 0 位。																											

DATE2_COEFF20

DATE2_COEFF20 为 Teletext 配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC650				DATE2_COEFF20				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												tt06_enf1		tt06_enf2		tt05_enf2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	RW	reserved		保留。 写无效，读为 0。																											
	[2]	RW	tt06_enf1		奇场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											



Offset Address		Register Name		Total Reset Value						
0xC650		DATE2_COEFF20		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							

DATE2_COEFF21

DATE2_COEFF21 为输出矩阵控制寄存器。

Offset Address		Register Name		Total Reset Value									
0xC654		DATE2_COEFF21		0x0060_00A1									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved		dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1					
Bits	Access	Name	Description										
[31:23]	RW	reserved	保留。 写无效，读为 0。										



	Offset Address 0xC654								Register Name DATE2_COEFF21								Total Reset Value 0x0060_00A1																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved								dac5_in_sel				reserved	dac4_in_sel				reserved	dac3_in_sel				reserved	dac2_in_sel				reserved	dac1_in_sel				reserved	dac0_in_sel			
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1					

Bits	Access	Name	Description
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[19]	-	reserved	保留。 写无效，读为 0。
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[15]	-	reserved	保留。 写无效，读为 0。



Offset Address		Register Name		Total Reset Value																												
0xC654		DATE2_COEFF21		0x0060_00A1																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								dac5_in_sel		reserved	dac4_in_sel		reserved	dac3_in_sel		reserved	dac2_in_sel		reserved	dac1_in_sel		reserved	dac0_in_sel								
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1
Bits	Access	Name	Description																													
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																													
[11]	-	reserved	保留。 写无效，读为 0。																													
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																													
[7]	-	reserved	保留。 写无效，读为 0。																													



Offset Address		Register Name		Total Reset Value											
0xC654		DATE2_COEFF21		0x0060_00A1											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[3]	-	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												

DATE2_COEFF22

DATE2_COEFF22 为 DTO 初始相位配置寄存器。



Offset Address		Register Name		Total Reset Value						
0xC658		DATE2_COEFF22		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						video_phase_delta			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RW	reserved	保留。 写无效，读为 0。							
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。							

DATE2_COEFF23

DATE2_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address		Register Name		Total Reset Value										
0xC65C		DATE2_COEFF23		0x0065_4321										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[19]	-	reserved	保留。 写无效，读为 0。											
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[15]	-	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value											
0xC65C		DATE2_COEFF23		0x0065_4321											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[11]	-	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[7]	-	reserved	保留。 写无效，读为 0。												
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[3]	-	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												

DATE2_ISRMASK

DATE2_ISRMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0xC680		DATE2_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

DATE2_ISRSTATE

DATE2_ISRSTATE 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0xC684		DATE2_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

DATE2_ISR

DATE2_ISR 为中断寄存器。



Offset Address		Register Name		Total Reset Value					
0xC688		DATE2_ISR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_int	Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0: 没有中断; 1: 有中断。						

DATE2_VERSION

DATE2_VERSION 为版本寄存器。

Offset Address		Register Name		Total Reset Value				
0xC690		DATE2_VERSION		0x0000_0024				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。 写无效，读为 0。					

DATE3_COEFF0

DATE3_COEFF0 为制式参数配置寄存器。



Offset Address		Register Name		Total Reset Value				
0xC800		DATE3_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl			reserved oversam_en lunt_en oversam2_en chlp_en sytp_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[31:30]	RW	clpf_sel	色度低通滤波器带宽选择。 00: 1.1MHz 带宽(NTSC); 01: 1.3MHz 带宽(PAL); 10: 1.6MHz 带宽(测试); 11: 保留。					
[29]	RW	dis_ire	对于(M)NTSC 和(M, N)PAL 制式, 黑电平高于消隐电平 7.5IRE; 对于其它制式, 黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0: 黑电平高于消隐电平 7.5IRE; 1: 黑电平等于消隐电平。					
[28:26]	RW	reserved	保留。 写无效, 读为 0。					
[25]	RW	scanline	根据在不同制式下每帧包含的扫描行数进行设置。对于 (M)NTSC、NTSC-J、(M)PAL, 每帧包含 525 行; 对于(B、D、J、H、I)PAL, (N)PAL, (Nc)PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。					
[24]	RW	rgb_en	在 intf_sel 配置为 100 时, 该位决定分量信号是选用 RGB 还是选用 YPbPr。 0: 分量信号选用 YPbPr; 1: 分量信号选用 RGB。					
[23]	RW	vbi_lpf_en	Vbi 数据低通滤波使能控制。 0: 不滤波处理; 1: 滤波处理。					



Offset Address		Register Name		Total Reset Value				
0xC800		DATE3_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en	chlp_en syllp_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[22]	RW	fm_sel	FMsecam 调频选择。 0: secam 调频采用 sin; 1: secam 调频采用 cos。					
[21:18]	RW	style_sel	与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1: (M)NTSC 制式； 0x2: NTSC-J 制式； 0x4: (M)PAL 制式； 其他：保留。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1: (B、D、G、H、I)PAL 制式； 0x2: (N)PAL 制式； 0x4: (Nc)PAL 制式； 0x8: SECAM 制式； 其他：保留。					



		Offset Address	Register Name	Total Reset Value																												
		0xC800	DATE3_COEFF0	0x5284_14FC																												
Bit																																
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved				scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	sytp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
	Bits	Access	Name	Description																												
	[17:16]	RW	sync_mode_sel	bit[17]指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。 该位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0：分量输出时，只在一个通道上包含同步信号； 1：分量输出时，在三个通道上都包含同步信号。 在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。 bit[16]：指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100，rgb_en 设为 1 时有效，含义为： 0：RGB 输出时无消隐基数； 1：RGB 输出时有消隐基数。																												
	[15]	RW	sync_mode_scart	此位指明下分量 3 个通道均不叠加同步 0：分量同步输出根据 sync_mode_sel[1]配置 1：分量 3 个通道均不叠加同步，此时 sync_mode_sel[1]需配置为 0。																												
	[14]	RW	length_sel	说明每个视频行包含的以像素数为单位的行有效宽度。 0：按照 BT.601 模式的行有效像素宽度输出； 1：按照 BT.470 模式的行有效像素宽度输出。 当该位为 0 时，行有效宽度为 720 个像素。当该位配置为 1 时，对于 625 行制式，行有效宽度为 704 个像素；对于 525 行制式，行有效宽度为 712 个像素。目前版本不支持 BT601 模式和 BT470 模式动态配置，复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式，即采用上电复位值。																												
	[13]	RW	agc_amp_sel	0：参照片内默认值产生 AGC 脉冲(推荐)； 1：参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。																												



		Offset Address 0xC800								Register Name DATE3_COEFF0								Total Reset Value 0x5284_14FC																																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																								
Name		clpf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel								sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl								reserved		oversam_en		lunt_en		oversam2_en		chlp_en		sylop_en		chgain_en		tt_seq	
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
Bits	Access	Name		Description																																																					
[12:9]	RW	luma_dl		以半个像素宽度为单位，相对于亮度信号，色度信号超前或滞后的位移量。 bit[12]: 色度信号相对亮度信号位移量的方向。 0: 色度信号滞后于亮度信号; 1: 色度信号超前于色度信号。 bit[11:9]: 色度信号相对亮度信号位移量的绝对值，二进制表示，取值范围为从0~7。 000: 色度与亮度对齐，不作调整; 001~111: 色度信号相对亮度信号超前或滞后1~7个单位。																																																					
[8]	RW	reserved		保留。 写无效，读为0。																																																					
[7:6]	RW	oversam_en		第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]: 亮度过采样开关控制位。 0: 亮度过采样关闭; 1: 亮度过采样打开。 bit[6]: 色度过采样开关控制位。 0: 色度过采样关闭; 1: 色度过采样打开。																																																					
[5]	RW	lunt_en		亮度陷波功能开关控制位。 0: 亮度陷波功能关闭; 1: 亮度陷波功能打开。																																																					
[4]	RW	oversam2_en		第二级过采样开关控制位，同时控制亮度通路和色度通路。 0: 亮度过采样关闭; 1: 亮度过采样打开。																																																					



		Offset Address 0xC800												Register Name DATE3_COEFF0												Total Reset Value 0x5284_14FC																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name		clpf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel				sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl				reserved		oversam_en		lunt_en		oversam2_en		chlp_en		sylv_en		chgain_en		tt_seq	
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0	1	1	0	0	1	1	0	0								
	Bits	Access		Name		Description																																											
	[3]	RW		chlp_en		色度低通滤波功能开关控制位。 0: 色度低通滤波功能关闭; 1: 色度低通滤波功能打开。																																											
	[2]	RW		sylv_en		同步低通滤波功能开关控制位。 0: 同步低通滤波功能关闭; 1: 同步低通滤波功能打开。																																											
	[1]	RW		chgain_en		色度增益开关控制位。 0: 色度增益关闭; 1: 色度增益打开。																																											
	[0]	RW		tt_seq		配置 Teletext 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																																											

DATE3_COEFF1

DATE3_COEFF1 为幅度配置寄存器。



		Offset Address 0xC804								Register Name DATE3_COEFF1								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test											
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31:29]	RW	c_gain		色同步增益幅度调节。																													
[28]	RW	cvbs_limit_en		CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。																													
[27]	RW	wss_seq		配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[26]	RW	vps_seq		配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[25]	RW	cgms_seq		配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[24]	RW	cc_seq		配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																													
[23]	RW	c_limit_en		色度限幅开关控制位。 0: 不限幅; 1: 限幅。																													
[22:13]	RW	amp_outside		外部 AGC 脉冲幅度输入。																													
[12]	RW	date_test_en		测试有效信号。 0: 无效; 1: 有效。																													



Offset Address		Register Name		Total Reset Value					
0xC804		DATE3_COEFF1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	c_gain	cvbs_limit_en wss_seq vps_seq cgms_seq cc_seq c_limit_en	amp_outside		date_test_en	date_test_mode	dac_test		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[11:10]	RW	date_test_mode	测试模式信号。						
[9:0]	RW	dac_test	DAC 测试值输入。						

DATE3_COEFF7

DATE3_COEFF7 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0xC81C		DATE3_COEFF7		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	tt22_enf1 tt21_enf1 tt20_enf1 tt19_enf1 tt18_enf1 tt17_enf1 tt16_enf1 tt15_enf1 tt14_enf1 tt13_enf1 tt12_enf1 tt11_enf1 tt10_enf1 tt09_enf1 tt08_enf1 tt07_enf1 tt22_enf2 tt21_enf2 tt20_enf2 tt19_enf2 tt18_enf2 tt17_enf2 tt16_enf2 tt15_enf2 tt14_enf2 tt13_enf2 tt12_enf2 tt11_enf2 tt10_enf2 tt09_enf2 tt08_enf2 tt07_enf2								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	tt22_enf1	奇场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。						
[30]	RW	tt21_enf1	奇场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。						
[29]	RW	tt20_enf1	奇场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。						



		Offset Address 0xC81C								Register Name DATE3_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[28]	RW	tt19_enf1		奇场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[27]	RW	tt18_enf1		奇场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[26]	RW	tt17_enf1		奇场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[25]	RW	tt16_enf1		奇场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[24]	RW	tt15_enf1		奇场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[23]	RW	tt14_enf1		奇场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[22]	RW	tt13_enf1		奇场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[21]	RW	tt12_enf1		奇场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



		Offset Address 0xC81C								Register Name DATE3_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[20]	RW	tt11_enf1		奇场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[19]	RW	tt10_enf1		奇场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[18]	RW	tt09_enf1		奇场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[17]	RW	tt08_enf1		奇场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[16]	RW	tt07_enf1		奇场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[15]	RW	tt22_enf2		偶场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[14]	RW	tt21_enf2		偶场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[13]	RW	tt20_enf2		偶场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



		Offset Address 0xC81C								Register Name DATE3_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name		Description																											
		[12]	RW	tt19_enf2		偶场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[11]	RW	tt18_enf2		偶场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[10]	RW	tt17_enf2		偶场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[9]	RW	tt16_enf2		偶场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[8]	RW	tt15_enf2		偶场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[7]	RW	tt14_enf2		偶场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[6]	RW	tt13_enf2		偶场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[5]	RW	tt12_enf2		偶场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											



		Offset Address 0xC81C								Register Name DATE3_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[4]	RW	tt11_enf2		偶场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[3]	RW	tt10_enf2		偶场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[2]	RW	tt09_enf2		偶场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[1]	RW	tt08_enf2		偶场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[0]	RW	tt07_enf2		偶场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													

DATE3_COEFF8

DATE3_COEFF8 为 Teletext 配置寄存器。



Offset Address		Register Name		Total Reset Value				
0xC820		DATE3_COEFF8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_staddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_staddr	Teletext 数据起始地址。					

DATE3_COEFF9

DATE3_COEFF9 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC824		DATE3_COEFF9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_edaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_edaddr	Teletext 数据结束地址。					

DATE3_COEFF10

DATE3_COEFF10 为 Teletext 配置寄存器。



目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。



Offset Address		Register Name		Total Reset Value																												
0xC828		DATE3_COEFF10		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt_ready		reserved												nabts_100ire		full_page	tt_highest	tt_mode	tt_pkttoff												
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	RW	tt_ready	当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teletext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。																													
[30:13]	RW	reserved	保留。 写无效，读为 0。																													
[12]	RW	nabts_100ire	NABTS-NTSC 数据高度配置寄存器。 0: 70IRE; 1: 100IRE。																													
[11]	RW	full_page	tt 发送 full page 模式控制寄存器。 0: 正常模式(消隐行传 tt 数据); 1: full page 模式(有效视频区也可传 tt 数据)。																													
[10]	RW	tt_highest	Tt 优先级控制寄存器。 0: tt 优先级最高; 1: tt 优先级最低。																													
[9:8]	RW	tt_mode	TT 模式。 625 行下配置为 01，代表 wst-pal; 525 行下配置为 10，代表 nabts-ntsc。																													
[7:0]	RW	tt_pkttoff	TT 包偏移地址。																													

DATE3_COEFF11

DATE3_COEFF11 为 Closed Caption 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC82C		DATE3_COEFF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。						
[9:0]	RW	date_clf2	Closed Caption 偶场配置行。						

DATE3_COEFF12

DATE3_COEFF12 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC830		DATE3_COEFF12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cc_f1data				cc_f2data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cc_f1data	Closed Caption 奇场数据。					
[15:0]	RW	cc_f2data	Closed Caption 偶场数据。					

DATE3_COEFF13

DATE3_COEFF13 为 CGMS 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xC834		DATE3_COEFF13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cg_enf1	cg_enf2	cg_fldata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。 写无效，读为 0。						
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:0]	RW	cg_fldata	CGMS 奇场数据。						

DATE3_COEFF14

DATE3_COEFF14 为 CGMS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC838		DATE3_COEFF14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cg_f2data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RW	reserved	保留。 写无效，读为 0。					
[19:0]	RW	cg_f2data	CGMS 偶场数据。					

DATE3_COEFF15

DATE3_COEFF15 为 WSS 配置寄存器。



注意

WSS 仅在 625 行制式下使用，固定在 23 行。

Offset Address		Register Name		Total Reset Value					
0xC83C		DATE3_COEFF15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				wss_en	wss_data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RW	reserved	保留。 写无效，读为 0。						
[14]	RW	wss_en	WSS 开关控制位。 0: 关闭; 1: 打开。						
[13:0]	RW	wss_data	WSS 数据。						

DATE3_COEFF16

DATE3_COEFF16 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC840		DATE3_COEFF16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RW	reserved	保留。 写无效，读为 0。					



Offset Address		Register Name		Total Reset Value					
0xC840		DATE3_COEFF16		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[24]	RW	vps_en	VPS 开关控制位。 0: 关闭; 1: 打开。						
[23:0]	RW	vps_data	VPS 数据, 第 23 位到第 0 位, 最低位为第 0 位。						

DATE3_COEFF17

DATE3_COEFF17 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC844		DATE3_COEFF17		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					

DATE3_COEFF18

DATE3_COEFF18 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xC848		DATE3_COEFF18		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					



DATE3_COEFF19

DATE3_COEFF19 为 VPS 配置寄存器。



注意

VPS 只在 625 行模式下支持，固定在 16 行。

Offset Address		Register Name		Total Reset Value					
0xC84C		DATE3_COEFF19		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	reserved	保留。 写无效，读为 0。						
[15:0]	RW	vps_data	VPS 数据，第 103 位到第 88 位，最低位为第 0 位。						

DATE3_COEFF20

DATE3_COEFF20 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0xC850		DATE3_COEFF20		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						tr06_enf1	tr06_enf2	tr05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	RW	reserved	保留。 写无效，读为 0。						



Offset Address		Register Name		Total Reset Value						
0xC850		DATE3_COEFF20		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							

DATE3_COEFF21

DATE3_COEFF21 为输出矩阵控制寄存器。

Offset Address		Register Name		Total Reset Value									
0xC854		DATE3_COEFF21		0x0060_00A1									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved		dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1					
Bits	Access	Name	Description										
[31:23]	RW	reserved	保留。 写无效，读为 0。										



Offset Address		Register Name		Total Reset Value											
0xC854		DATE3_COEFF21		0x0060_00A1											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[19]	-	reserved	保留。 写无效，读为 0。												
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[15]	-	reserved	保留。 写无效，读为 0。												



Offset Address		Register Name		Total Reset Value																																	
0xC854		DATE3_COEFF21		0x0060_00A1																																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved								dac5_in_sel				reserved	dac4_in_sel				reserved	dac3_in_sel				reserved	dac2_in_sel				reserved	dac1_in_sel				reserved	dac0_in_sel			
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1					
Bits	Access	Name	Description																																		
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																		
[11]	-	reserved	保留。 写无效，读为 0。																																		
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																		
[7]	-	reserved	保留。 写无效，读为 0。																																		



Offset Address		Register Name		Total Reset Value											
0xC854		DATE3_COEFF21		0x0060_00A1											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[3]	-	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												

DATE3_COEFF22

DATE3_COEFF22 为 DTO 初始相位配置寄存器。



Offset Address		Register Name		Total Reset Value						
0xC858		DATE3_COEFF22		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						video_phase_delta			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RW	reserved	保留。 写无效，读为 0。							
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。							

DATE3_COEFF23

DATE3_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address		Register Name		Total Reset Value										
0xC85C		DATE3_COEFF23		0x0065_4321										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[19]	-	reserved	保留。 写无效，读为 0。											
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[15]	-	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value											
0xC85C		DATE3_COEFF23		0x0065_4321											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[11]	-	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[7]	-	reserved	保留。 写无效，读为 0。												
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[3]	-	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												

DATE3_ISRMASK

DATE3_ISRMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0xC880		DATE3_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

DATE3_ISRSTATE

DATE3_ISRSTATE 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0xC884		DATE3_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

DATE3_ISR

DATE3_ISR 为中断寄存器。



Offset Address		Register Name		Total Reset Value					
0xC888		DATE3_ISR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_int	Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0: 没有中断; 1: 有中断。						

DATE3_VERSION

DATE3_VERSION 为版本寄存器。

Offset Address		Register Name		Total Reset Value				
0xC890		DATE3_VERSION		0x0000_0024				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。 写无效，读为 0。					

DATE4_COEFF0

DATE4_COEFF0 为制式参数配置寄存器。



Offset Address		Register Name		Total Reset Value																																								
0xCA00		DATE4_COEFF0		0x5284_14FC																																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Name	clpf_sel		dis_ire		reserved		scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel		sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl		reserved		oversam_en		lunt_en		oversam2_en		chlp_en		sytp_en		chgain_en		tt_seq			
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:30]		[29]		[28:26]		[25]		[24]		[23]																																	
Access	RW		RW		RW		RW		RW		RW																																	
Name	clpf_sel		dis_ire		reserved		scanline		rgb_en		vbi_lpf_en																																	
Description	色度低通滤波器带宽选择。 00: 1.1MHz 带宽(NTSC); 01: 1.3MHz 带宽(PAL); 10: 1.6MHz 带宽(测试); 11: 保留。		对于(M)NTSC 和(M, N)PAL 制式, 黑电平高于消隐电平 7.5IRE; 对于其它制式, 黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0: 黑电平高于消隐电平 7.5IRE; 1: 黑电平等于消隐电平。		保留。 写无效, 读为 0。		根据在不同制式下每帧包含的扫描行数进行设置。对于 (M)NTSC、NTSC-J、(M)PAL, 每帧包含 525 行; 对于(B、D、J、H、I)PAL, (N)PAL, (Nc)PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。		在 intf_sel 配置为 100 时, 该位决定分量信号是选用 RGB 还是选用 YPbPr。 0: 分量信号选用 YPbPr; 1: 分量信号选用 RGB。		Vbi 数据低通滤波使能控制。 0: 不滤波处理; 1: 滤波处理。																																	



Offset Address		Register Name		Total Reset Value				
0xCA00		DATE4_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en	chlp_en syllp_en chgain_en tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[22]	RW	fm_sel	FMsecam 调频选择。 0: secam 调频采用 sin; 1: secam 调频采用 cos。					
[21:18]	RW	style_sel	与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1: (M)NTSC 制式； 0x2: NTSC-J 制式； 0x4: (M)PAL 制式； 其他：保留。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1: (B、D、G、H、I)PAL 制式； 0x2: (N)PAL 制式； 0x4: (Nc)PAL 制式； 0x8: SECAM 制式； 其他：保留。					



		Offset Address	Register Name	Total Reset Value																												
		0xCA00	DATE4_COEFF0	0x5284_14FC																												
Bit																																
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved				scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	sytp_en	chgain_en	tt_seq
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
	Bits	Access	Name	Description																												
	[17:16]	RW	sync_mode_sel	bit[17]: 指明分量输出是否要在三个通道上都包含同步信号, 此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。 该位只在 intf_sel 设为 100 即有分量输出时有效, 含义为: 0: 分量输出时, 只在一个通道上包含同步信号; 1: 分量输出时, 在三个通道上都包含同步信号。 在该位设为 0 时, 对于 YPbPr 输出, 同步通道只能是 Y 通道; 对于 RGB 输出, 只能是 G 通道。 bit[16]: 指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100, rgb_en 设为 1 时有效, 含义为: 0: RGB 输出时无消隐基数; 1: RGB 输出时有消隐基数。																												
	[15]	RW	sync_mode_scart	此位指明下分量 3 个通道均不叠加同步。 0: 分量同步输出根据 sync_mode_sel[1]配置; 1: 分量 3 个通道均不叠加同步, 此时 sync_mode_sel[1]需配置为 0。																												
	[14]	RW	length_sel	说明每个视频行包含的以像素数为单位的行有效宽度。 0: 按照 BT.601 模式的行有效像素宽度输出; 1: 按照 BT.470 模式的行有效像素宽度输出。 当该位为 0 时, 行有效宽度为 720 个像素。 当该位配置为 1 时, 对于 625 行制式, 行有效宽度为 704 个像素; 对于 525 行制式, 行有效宽度为 712 个像素。 目前版本不支持 BT601 模式和 BT470 模式动态配置, 复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式, 即采用上电复位值。																												



		Offset Address 0xCA00								Register Name DATE4_COEFF0								Total Reset Value 0x5284_14FC																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		c1pf_sel		dis_ire		reserved		scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	syllp_en	chgain_en	tt_seq						
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0				
Bits	Access	Name		Description																																	
[13]	RW	agc_amp_sel		0: 参照片内默认值产生 AGC 脉冲(推荐); 1: 参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside].																																	
[12:9]	RW	luma_dl		以半个像素宽度为单位, 相对于亮度信号, 色度信号超前或滞后的位移量。 bit[12]: 色度信号相对亮度信号位移量的方向。 0: 色度信号滞后于亮度信号; 1: 色度信号超前于色度信号。 bit[11:9]: 色度信号相对亮度信号位移量的绝对值, 二进制表示, 取值范围为从 0~7。 000: 色度与亮度对齐, 不作调整; 001~111: 色度信号相对亮度信号超前或滞后 1~7 个单位。																																	
[8]	RW	reserved		保留。 写无效, 读为 0。																																	
[7:6]	RW	oversam_en		第一级过采样开关控制位, 包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]: 亮度过采样开关控制位。 0: 亮度过采样关闭; 1: 亮度过采样打开。 bit[6]: 色度过采样开关控制位。 0: 色度过采样关闭; 1: 色度过采样打开。																																	
[5]	RW	lunt_en		亮度陷波功能开关控制位。 0: 亮度陷波功能关闭; 1: 亮度陷波功能打开。																																	



Offset Address		Register Name		Total Reset Value																																												
0xCA00		DATE4_COEFF0		0x5284_14FC																																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	clpf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel				sync_mode_sel		sync_mode_scant		length_sel		agc_amp_sel		luma_dl				reserved		oversam_en		lunt_en		oversam2_en		chlp_en		sylv_en		chgain_en		tt_seq	
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0	1	1	0	0	1	1	0	0								
Bits	Access		Name		Description																																											
[4]	RW		oversam2_en		第二级过采样开关控制位，同时控制亮度通路和色度通路。 0：亮度过采样关闭； 1：亮度过采样打开。																																											
[3]	RW		chlp_en		色度低通滤波功能开关控制位。 0：色度低通滤波功能关闭； 1：色度低通滤波功能打开。																																											
[2]	RW		sylv_en		同步低通滤波功能开关控制位。 0：同步低通滤波功能关闭； 1：同步低通滤波功能打开。																																											
[1]	RW		chgain_en		色度增益开关控制位。 0：色度增益关闭； 1：色度增益打开。																																											
[0]	RW		tt_seq		配置 Teletext 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。																																											

DATE4_COEFF1

DATE4_COEFF1 为幅度配置寄存器。



		Offset Address 0xCA04								Register Name DATE4_COEFF1								Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																	
[31:29]	RW	c_gain		色同步增益幅度调节。																																	
[28]	RW	cvbs_limit_en		CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。																																	
[27]	RW	wss_seq		配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																																	
[26]	RW	vps_seq		配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																																	
[25]	RW	cgms_seq		配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																																	
[24]	RW	cc_seq		配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																																	
[23]	RW	c_limit_en		色度限幅开关控制位。 0: 不限幅; 1: 限幅。																																	
[22:13]	RW	amp_outside		外部 AGC 脉冲幅度输入。																																	
[12]	RW	date_test_en		测试有效信号。 0: 无效; 1: 有效。																																	



Offset Address		Register Name		Total Reset Value					
0xCA04		DATE4_COEFF1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	c_gain	cvbs_limit_en wss_seq vps_seq cgms_seq cc_seq c_limit_en	amp_outside		date_test_en	date_test_mode	dac_test		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[11:10]	RW	date_test_mode	测试模式信号。						
[9:0]	RW	dac_test	DAC 测试值输入。						

DATE4_COEFF7

DATE4_COEFF7 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0xCA1C		DATE4_COEFF7		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	tt22_enf1 tt21_enf1 tt20_enf1 tt19_enf1 tt18_enf1 tt17_enf1 tt16_enf1 tt15_enf1 tt14_enf1 tt13_enf1 tt12_enf1 tt11_enf1 tt10_enf1 tt09_enf1 tt08_enf1 tt07_enf1 tt22_enf2 tt21_enf2 tt20_enf2 tt19_enf2 tt18_enf2 tt17_enf2 tt16_enf2 tt15_enf2 tt14_enf2 tt13_enf2 tt12_enf2 tt11_enf2 tt10_enf2 tt09_enf2 tt08_enf2 tt07_enf2								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	tt22_enf1	奇场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。						
[30]	RW	tt21_enf1	奇场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。						
[29]	RW	tt20_enf1	奇场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。						



		Offset Address 0xCA1C								Register Name DATE4_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																														
[28]	RW	tt19_enf1	奇场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[27]	RW	tt18_enf1	奇场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[26]	RW	tt17_enf1	奇场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[25]	RW	tt16_enf1	奇场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[24]	RW	tt15_enf1	奇场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[23]	RW	tt14_enf1	奇场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[22]	RW	tt13_enf1	奇场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[21]	RW	tt12_enf1	奇场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														



		Offset Address 0xCA1C								Register Name DATE4_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[20]	RW	tt11_enf1		奇场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[19]	RW	tt10_enf1		奇场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[18]	RW	tt09_enf1		奇场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[17]	RW	tt08_enf1		奇场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[16]	RW	tt07_enf1		奇场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[15]	RW	tt22_enf2		偶场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[14]	RW	tt21_enf2		偶场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[13]	RW	tt20_enf2		偶场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



		Offset Address 0xCA1C								Register Name DATE4_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		Bits	Access	Name		Description																											
		[12]	RW	tt19_enf2		偶场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[11]	RW	tt18_enf2		偶场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[10]	RW	tt17_enf2		偶场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[9]	RW	tt16_enf2		偶场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[8]	RW	tt15_enf2		偶场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[7]	RW	tt14_enf2		偶场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[6]	RW	tt13_enf2		偶场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
		[5]	RW	tt12_enf2		偶场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											



Offset Address		Register Name		Total Reset Value																												
0xCA1C		DATE4_COEFF7		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[4]	RW		tt11_enf2		偶场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[3]	RW		tt10_enf2		偶场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[2]	RW		tt09_enf2		偶场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[1]	RW		tt08_enf2		偶场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
[0]	RW		tt07_enf2		偶场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											

DATE4_COEFF8

DATE4_COEFF8 为 Teletext 配置寄存器。



Offset Address		Register Name		Total Reset Value				
0xCA20		DATE4_COEFF8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_staddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_staddr	Teletext 数据起始地址。					

DATE4_COEFF9

DATE4_COEFF9 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCA24		DATE4_COEFF9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_edaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_edaddr	Teletext 数据结束地址。					

DATE4_COEFF10

DATE4_COEFF10 为 Teletext 配置寄存器。



注意

目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。



Offset Address		Register Name		Total Reset Value																																
0xCA28		DATE4_COEFF10		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	tt_ready				reserved												nabts_100ire				full_page				tt_highest				tt_mode				tt_pkttoff			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																															
[31]	RW		tt_ready		当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teletext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。																															
[30:13]	RW		reserved		保留。 写无效，读为 0。																															
[12]	RW		nabts_100ire		NABTS-NTSC 数据高度配置寄存器。 0: 70IRE; 1: 100IRE。																															
[11]	RW		full_page		tt 发送 full page 模式控制寄存器。 0: 正常模式(消隐行传 tt 数据); 1: full page 模式(有效视频区也可传 tt 数据)。																															
[10]	RW		tt_highest		Tt 优先级控制寄存器。 0: tt 优先级最高; 1: tt 优先级最低。																															
[9:8]	RW		tt_mode		TT 模式。 625 行下配置为 01，代表 wst-pal; 525 行下配置为 10，代表 nabts-ntsc。																															
[7:0]	RW		tt_pkttoff		TT 包偏移地址。																															

DATE4_COEFF11

DATE4_COEFF11 为 Closed Caption 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xCA2C		DATE4_COEFF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。						
[9:0]	RW	date_clf2	Closed Caption 偶场配置行。						

DATE4_COEFF12

DATE4_COEFF12 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCA30		DATE4_COEFF12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cc_f1data				cc_f2data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cc_f1data	Closed Caption 奇场数据。					
[15:0]	RW	cc_f2data	Closed Caption 偶场数据。					

DATE4_COEFF13

DATE4_COEFF13 为 CGMS 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xCA34		DATE4_COEFF13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cg_enf1	cg_enf2	cg_fldata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。 写无效，读为 0。						
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:0]	RW	cg_fldata	CGMS 奇场数据。						

DATE4_COEFF14

DATE4_COEFF14 为 CGMS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCA38		DATE4_COEFF14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cg_f2data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RW	reserved	保留。 写无效，读为 0。					
[19:0]	RW	cg_f2data	CGMS 偶场数据。					

DATE4_COEFF15

DATE4_COEFF15 为 WSS 配置寄存器。



注意

WSS 仅在 625 行制式下使用，固定在 23 行。

Offset Address		Register Name		Total Reset Value					
0xCA3C		DATE4_COEFF15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				wss_en	wss_data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RW	reserved	保留。 写无效，读为 0。						
[14]	RW	wss_en	WSS 开关控制位。 0: 关闭; 1: 打开。						
[13:0]	RW	wss_data	WSS 数据。						

DATE4_COEFF16

DATE4_COEFF16 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCA40		DATE4_COEFF16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RW	reserved	保留。 写无效，读为 0。					



Offset Address		Register Name		Total Reset Value					
0xCA40		DATE4_COEFF16		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[24]	RW	vps_en	VPS 开关控制位。 0: 关闭; 1: 打开。						
[23:0]	RW	vps_data	VPS 数据, 第 23 位到第 0 位, 最低位为第 0 位。						

DATE4_COEFF17

DATE4_COEFF17 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCA44		DATE4_COEFF17		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					

DATE4_COEFF18

DATE4_COEFF18 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCA48		DATE4_COEFF18		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。					



DATE4_COEFF19

DATE4_COEFF19 为 VPS 配置寄存器。



注意

VPS 只在 625 行模式下支持，固定在 16 行。

Offset Address		Register Name		Total Reset Value					
0xCA4C		DATE4_COEFF19		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	reserved	保留。 写无效，读为 0。						
[15:0]	RW	vps_data	VPS 数据，第 103 位到第 88 位，最低位为第 0 位。						

DATE4_COEFF20

DATE4_COEFF20 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0xCA50		DATE4_COEFF20		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						tr06_enf1	tr06_enf2	tr05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	RW	reserved	保留。 写无效，读为 0。						



Offset Address		Register Name		Total Reset Value						
0xCA50		DATE4_COEFF20		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							

DATE4_COEFF21

DATE4_COEFF21 为输出矩阵控制寄存器。

Offset Address		Register Name		Total Reset Value									
0xCA54		DATE4_COEFF21		0x0060_00A1									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved		dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1					
Bits	Access	Name	Description										
[31:23]	RW	reserved	保留。 写无效，读为 0。										



	Offset Address 0xCA54								Register Name DATE4_COEFF21								Total Reset Value 0x0060_00A1																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved								dac5_in_sel				reserved	dac4_in_sel				reserved	dac3_in_sel				reserved	dac2_in_sel				reserved	dac1_in_sel				reserved	dac0_in_sel			
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	1	

Bits	Access	Name	Description
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[19]	-	reserved	保留。 写无效，读为 0。
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[15]	-	reserved	保留。 写无效，读为 0。



Offset Address		Register Name		Total Reset Value											
0xCA54		DATE4_COEFF21		0x0060_00A1											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[11]	-	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[7]	-	reserved	保留。 写无效，读为 0。												



Offset Address		Register Name		Total Reset Value											
0xCA54		DATE4_COEFF21		0x0060_00A1											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[3]	-	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												

DATE4_COEFF22

DATE4_COEFF22 为 DTO 初始相位配置寄存器。



Offset Address		Register Name		Total Reset Value						
0xCA58		DATE4_COEFF22		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						video_phase_delta			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RW	reserved	保留。 写无效，读为 0。							
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。							

DATE4_COEFF23

DATE4_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address		Register Name		Total Reset Value										
0xCA5C		DATE4_COEFF23		0x0065_4321										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[19]	-	reserved	保留。 写无效，读为 0。											
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[15]	-	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value											
0xCA5C		DATE4_COEFF23		0x0065_4321											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[11]	-	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[7]	-	reserved	保留。 写无效，读为 0。												
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[3]	-	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												

DATE4_ISRMASK

DATE4_ISRMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0xCA80		DATE4_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

DATE4_ISRSTATE

DATE4_ISRSTATE 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0xCA84		DATE4_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

DATE4_ISR

DATE4_ISR 为中断寄存器。



Offset Address		Register Name		Total Reset Value					
0xCA88		DATE4_ISR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_int	Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0: 没有中断; 1: 有中断。						

DATE4_VERSION

DATE4_VERSION 为版本寄存器。

Offset Address		Register Name		Total Reset Value				
0xCA90		DATE4_VERSION		0x0000_0024				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	保留。 写无效，读为 0。					

DATE5_COEFF0

DATE5_COEFF0 为制式参数配置寄存器。



Offset Address		Register Name		Total Reset Value																																												
0xCC00		DATE5_COEFF0		0x5284_14FC																																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	clpf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel				sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl				reserved		oversam_en		lunt_en		oversam2_en		chlp_en		sytp_en		chgain_en		tt_seq	
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0	1	1	0	0	1	1	0	0								
Bits	[31:30]		[29]		[28:26]				[25]		[24]		[23]																																			
Access	RW		RW		RW				RW		RW		RW																																			
Name	clpf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en																																			
Description	色度低通滤波器带宽选择。 00: 1.1MHz 带宽(NTSC); 01: 1.3MHz 带宽(PAL); 10: 1.6MHz 带宽(测试); 11: 保留。		对于(M)NTSC 和(M, N)PAL 制式, 黑电平高于消隐电平 7.5IRE; 对于其它制式, 黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0: 黑电平高于消隐电平 7.5IRE; 1: 黑电平等于消隐电平。		保留。 写无效, 读为 0。				根据在不同制式下每帧包含的扫描行数进行设置。对于 (M)NTSC、NTSC-J、(M)PAL, 每帧包含 525 行; 对于(B、D、J、H、I)PAL, (N)PAL, (Nc)PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。		在 intf_sel 配置为 100 时, 该位决定分量信号是选用 RGB 还是选用 YPbPr。 0: 分量信号选用 YPbPr; 1: 分量信号选用 RGB。		Vbi 数据低通滤波使能控制。 0: 不滤波处理; 1: 滤波处理。																																			



Offset Address		Register Name		Total Reset Value				
0xCC00		DATE5_COEFF0		0x5284_14FC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clpf_sel dis_ire reserved	scanline rgb_en vbi_lpf_en fm_sel	style_sel	sync_mode_sel sync_mode_scart length_sel agc_amp_sel	luma_dl	reserved	oversam_en lunt_en oversam2_en chlp_en syllp_en chgain_en	tt_seq
Reset	0 1 0 1	0 0 1 0	1 0 0 0	0 1 0 0	0 0 0 1	0 1 0 0	1 1 1 1	1 1 0 0
Bits	Access	Name	Description					
[22]	RW	fm_sel	FMsecam 调频选择。 0: secam 调频采用 sin; 1: secam 调频采用 cos。					
[21:18]	RW	style_sel	与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0x1: (M)NTSC 制式； 0x2: NTSC-J 制式； 0x4: (M)PAL 制式； 其他：保留。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0x1: (B、D、G、H、I)PAL 制式； 0x2: (N)PAL 制式； 0x4: (Nc)PAL 制式； 0x8: SECAM 制式； 其他：保留。					



		Offset Address 0xCC00																Register Name DATE5_COEFF0								Total Reset Value 0x5284_14FC																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name		clpf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel				sync_mode_sel		sync_mode_scart		length_sel		agc_amp_sel		luma_dl				reserved		oversam_en		lunt_en		oversam2_en		chlp_en		syllp_en		chgain_en		tt_seq	
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	1	0	0	1	1	0	0											
	Bits	Access		Name		Description																																											
	[17:16]	RW		sync_mode_sel		<p>bit[17]: 指明分量输出是否要在三个通道上都包含同步信号, 此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。该位只在 intf_sel 设为 100 即有分量输出时有效, 含义为:</p> <p>0: 分量输出时, 只在一个通道上包含同步信号;</p> <p>1: 分量输出时, 在三个通道上都包含同步信号。</p> <p>在该位设为 0 时, 对于 YPbPr 输出, 同步通道只能是 Y 通道; 对于 RGB 输出, 只能是 G 通道。</p> <p>bit[16]: 指明 RGB 输出有无消隐基数。该位只在 intf_sel 设为 100, rgb_en 设为 1 时有效, 含义为:</p> <p>0: RGB 输出时无消隐基数;</p> <p>1: RGB 输出时有消隐基数。</p>																																											
	[15]	RW		sync_mode_scart		<p>指明下分量 3 个通道均不叠加同步。</p> <p>0: 分量同步输出根据 sync_mode_sel[1]配置;</p> <p>1: 分量 3 个通道均不叠加同步, 此时 sync_mode_sel[1]需配置为 0。</p>																																											
	[14]	RW		length_sel		<p>说明每个视频行包含的以像素数为单位的行有效宽度。</p> <p>0: 按照 BT.601 模式的行有效像素宽度输出;</p> <p>1: 按照 BT.470 模式的行有效像素宽度输出。</p> <p>当该位为 0 时, 行有效宽度为 720 个像素。</p> <p>当该位配置为 1 时, 对于 625 行制式, 行有效宽度为 704 个像素; 对于 525 行制式, 行有效宽度为 712 个像素。</p> <p>目前版本不支持 BT601 模式和 BT470 模式动态配置, 复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式, 即采用上电复位值。</p>																																											



		Offset Address 0xCC00								Register Name DATE5_COEFF0								Total Reset Value 0x5284_14FC															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c1pf_sel		dis_ire		reserved		scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	sy1p_en	chgain_en	tt_seq		
Reset		0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access	Name		Description																													
[13]	RW	agc_amp_sel		0: 参照片内默认值产生 AGC 脉冲(推荐); 1: 参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。																													
[12:9]	RW	luma_dl		以半个像素宽度为单位, 相对于亮度信号, 色度信号超前或滞后的位移量。 bit[12]: 色度信号相对亮度信号位移量的方向。 0: 色度信号滞后于亮度信号; 1: 色度信号超前于色度信号。 bit[11:9]: 色度信号相对亮度信号位移量的绝对值, 二进制表示, 取值范围为从 0~7。 000: 色度与亮度对齐, 不作调整; 001~111: 色度信号相对亮度信号超前或滞后 1~7 个单位。																													
[8]	RW	reserved		保留。 写无效, 读为 0。																													
[7:6]	RW	oversam_en		第一级过采样开关控制位, 包含亮度过采样开关控制位和色度过采样开关控制位。 bit[7]: 亮度过采样开关控制位。 0: 亮度过采样关闭; 1: 亮度过采样打开。 bit[6]: 色度过采样开关控制位。 0: 色度过采样关闭; 1: 色度过采样打开。																													
[5]	RW	lunt_en		亮度陷波功能开关控制位。 0: 亮度陷波功能关闭; 1: 亮度陷波功能打开。																													



Offset Address		Register Name		Total Reset Value																																												
0xCC00		DATE5_COEFF0		0x5284_14FC																																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	clpf_sel		dis_ire		reserved				scanline		rgb_en		vbi_lpf_en		fm_sel		style_sel				sync_mode_sel		sync_mode_scant		length_sel		agc_amp_sel		luma_dl				reserved		oversam_en		lunt_en		oversam2_en		chlp_en		sylv_en		chgain_en		tt_seq	
Reset	0	1	0	1	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	1	0	0	0	0												
Bits	Access		Name		Description																																											
[4]	RW		oversam2_en		第二级过采样开关控制位，同时控制亮度通路和色度通路。 0：亮度过采样关闭； 1：亮度过采样打开。																																											
[3]	RW		chlp_en		色度低通滤波功能开关控制位。 0：色度低通滤波功能关闭； 1：色度低通滤波功能打开。																																											
[2]	RW		sylv_en		同步低通滤波功能开关控制位。 0：同步低通滤波功能关闭； 1：同步低通滤波功能打开。																																											
[1]	RW		chgain_en		色度增益开关控制位。 0：色度增益关闭； 1：色度增益打开。																																											
[0]	RW		tt_seq		配置 Teletext 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。																																											

DATE5_COEFF1

DATE5_COEFF1 为幅度配置寄存器。



		Offset Address 0xCC04								Register Name DATE5_COEFF1								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test											
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31:29]	RW		c_gain		色同步增益幅度调节。																											
	[28]	RW		cvbs_limit_en		CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。																											
	[27]	RW		wss_seq		配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[26]	RW		vps_seq		配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[25]	RW		cgms_seq		配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[24]	RW		cc_seq		配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。																											
	[23]	RW		c_limit_en		色度限幅开关控制位。 0: 不限幅; 1: 限幅。																											
	[22:13]	RW		amp_outside		外部 AGC 脉冲幅度输入。																											
	[12]	RW		date_test_en		测试有效信号。 0: 无效; 1: 有效。																											



		Offset Address 0xCC04								Register Name DATE5_COEFF1								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		c_gain				cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	c_limit_en	amp_outside								date_test_en	date_test_mode	dac_test											
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[11:10]	RW		date_test_mode		测试模式信号。																											
	[9:0]	RW		dac_test		DAC 测试值输入。																											

DATE5_COEFF7

DATE5_COEFF7 为 Teletext 配置寄存器。

		Offset Address 0xCC1C								Register Name DATE5_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31]	RW		tt22_enf1		奇场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[30]	RW		tt21_enf1		奇场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											
	[29]	RW		tt20_enf1		奇场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																											



		Offset Address 0xCC1C								Register Name DATE5_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																														
[28]	RW	tt19_enf1	奇场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[27]	RW	tt18_enf1	奇场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[26]	RW	tt17_enf1	奇场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[25]	RW	tt16_enf1	奇场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[24]	RW	tt15_enf1	奇场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[23]	RW	tt14_enf1	奇场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[22]	RW	tt13_enf1	奇场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[21]	RW	tt12_enf1	奇场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														



		Offset Address 0xCC1C								Register Name DATE5_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[20]	RW	tt11_enf1		奇场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[19]	RW	tt10_enf1		奇场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[18]	RW	tt09_enf1		奇场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[17]	RW	tt08_enf1		奇场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[16]	RW	tt07_enf1		奇场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[15]	RW	tt22_enf2		偶场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[14]	RW	tt21_enf2		偶场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[13]	RW	tt20_enf2		偶场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



		Offset Address 0xCC1C								Register Name DATE5_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																														
[12]	RW	tt19_enf2	偶场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[11]	RW	tt18_enf2	偶场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[10]	RW	tt17_enf2	偶场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[9]	RW	tt16_enf2	偶场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[8]	RW	tt15_enf2	偶场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[7]	RW	tt14_enf2	偶场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[6]	RW	tt13_enf2	偶场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														
[5]	RW	tt12_enf2	偶场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																														



		Offset Address 0xCC1C								Register Name DATE5_COEFF7								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[4]	RW	tt11_enf2		偶场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[3]	RW	tt10_enf2		偶场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[2]	RW	tt09_enf2		偶场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[1]	RW	tt08_enf2		偶场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[0]	RW	tt07_enf2		偶场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													

DATE5_COEFF8

DATE5_COEFF8 为 Teletext 配置寄存器。



Offset Address		Register Name		Total Reset Value				
0xCC20		DATE5_COEFF8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_staddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_staddr	Teletext 数据起始地址。					

DATE5_COEFF9

DATE5_COEFF9 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCC24		DATE5_COEFF9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tt_edaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tt_edaddr	Teletext 数据结束地址。					

DATE5_COEFF10

DATE5_COEFF10 为 Teletext 配置寄存器。



目前版本，在 625 行和 525 行模式下均支持 Teletext 功能。625 行模式下 tt_mode 配置为 01；525 行模式下 tt_mode 配置为 10。



Offset Address		Register Name		Total Reset Value																																				
0xCC28		DATE5_COEFF10		0x0000_0000																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	tt_ready				reserved												nabts_100ire				full_page				tt_highest				tt_mode				tt_pkttoff							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0															
Bits	Access	Name	Description																																					
[31]	RW	tt_ready	当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teletext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。																																					
[30:13]	RW	reserved	保留。 写无效，读为 0。																																					
[12]	RW	nabts_100ire	NABTS-NTSC 数据高度配置寄存器。 0: 70IRE; 1: 100IRE。																																					
[11]	RW	full_page	tt 发送 full page 模式控制寄存器。 0: 正常模式(消隐行传 tt 数据); 1: full page 模式(有效视频区也可传 tt 数据)。																																					
[10]	RW	tt_highest	Tt 优先级控制寄存器。 0: tt 优先级最高; 1: tt 优先级最低。																																					
[9:8]	RW	tt_mode	TT 模式。 625 行下配置为 01，代表 wst-pal; 525 行下配置为 10 代表 nabts-ntsc。																																					
[7:0]	RW	tt_pkttoff	TT 包偏移地址。																																					

DATE5_COEFF11

DATE5_COEFF11 为 Closed Caption 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xCC2C		DATE5_COEFF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cc_enf1	cc_enf2	date_clf1		date_clf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						
[21]	RW	cc_enf1	Closed Caption 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cc_enf2	Closed Caption 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:10]	RW	date_clf1	Closed Caption 奇场配置行。						
[9:0]	RW	date_clf2	Closed Caption 偶场配置行。						

DATE5_COEFF12

DATE5_COEFF12 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCC30		DATE5_COEFF12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cc_f1data				cc_f2data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	cc_f1data	Closed Caption 奇场数据。					
[15:0]	RW	cc_f2data	Closed Caption 偶场数据。					

DATE5_COEFF13

DATE5_COEFF13 为 CGMS 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xCC34		DATE5_COEFF13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cg_enf1	cg_enf2	cg_fldata			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。 写无效，读为 0。						
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:0]	RW	cg_fldata	CGMS 奇场数据。						

DATE5_COEFF14

DATE5_COEFF14 为 CGMS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCC38		DATE5_COEFF14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cg_f2data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RW	reserved	保留。 写无效，读为 0。					
[19:0]	RW	cg_f2data	CGMS 偶场数据。					

DATE5_COEFF15

DATE5_COEFF15 为 WSS 配置寄存器。



注意

WSS 仅在 625 行制式下使用，固定在 23 行。

Offset Address		Register Name		Total Reset Value					
0xCC3C		DATE5_COEFF15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				wss_en	wss_data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RW	reserved	保留。 写无效，读为 0。						
[14]	RW	wss_en	WSS 开关控制位。 0: 关闭; 1: 打开。						
[13:0]	RW	wss_data	WSS 数据。						

DATE5_COEFF16

DATE5_COEFF16 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xCC40		DATE5_COEFF16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RW	reserved	保留。 写无效，读为 0。					



	Offset Address 0xCC40								Register Name DATE5_COEFF16								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							vps_en	vps_data																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[24]	RW	vps_en		VPS 开关控制位。 0: 关闭; 1: 打开。																											
	[23:0]	RW	vps_data		VPS 数据, 第 23 位到第 0 位, 最低位为第 0 位。																											

DATE5_COEFF17

DATE5_COEFF17 为 VPS 配置寄存器。

	Offset Address 0xCC44								Register Name DATE5_COEFF17								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vps_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	vps_data		VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。																											

DATE5_COEFF18

DATE5_COEFF18 为 VPS 配置寄存器。

	Offset Address 0xCC48								Register Name DATE5_COEFF18								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vps_data																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	vps_data		VPS 数据, 第 31 位到第 0 位, 最低位为第 0 位。																											



DATE5_COEFF19

DATE5_COEFF19 为 VPS 配置寄存器。



注意

VPS 只在 625 行模式下支持，固定在 16 行。

Offset Address		Register Name		Total Reset Value					
0xCC4C		DATE5_COEFF19		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	reserved	保留。 写无效，读为 0。						
[15:0]	RW	vps_data	VPS 数据，第 103 位到第 88 位，最低位为第 0 位。						

DATE5_COEFF20

DATE5_COEFF20 为 Teletext 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0xCC50		DATE5_COEFF20		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						tr06_enf1	tr06_enf2	tr05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	RW	reserved	保留。 写无效，读为 0。						



Offset Address		Register Name		Total Reset Value						
0xCC50		DATE5_COEFF20		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tt06_enf1	tt06_enf2	tt05_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0: 关闭; 1: 打开。							

DATE5_COEFF21

DATE5_COEFF21 为输出矩阵控制寄存器。

Offset Address		Register Name		Total Reset Value									
0xCC54		DATE5_COEFF21		0x0060_00A1									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved		dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1					
Bits	Access	Name	Description										
[31:23]	RW	reserved	保留。 写无效，读为 0。										



Offset Address		Register Name		Total Reset Value											
0xCC54		DATE5_COEFF21		0x0060_00A1											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[19]	-	reserved	保留。 写无效，读为 0。												
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[15]	-	reserved	保留。 写无效，读为 0。												



Offset Address		Register Name		Total Reset Value											
0xCC54		DATE5_COEFF21		0x0060_00A1											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[11]	-	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[7]	-	reserved	保留。 写无效，读为 0。												



Offset Address		Register Name		Total Reset Value											
0xCC54		DATE5_COEFF21		0x0060_00A1											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_in_sel	reserved	dac4_in_sel	reserved	dac3_in_sel	reserved	dac2_in_sel	reserved	dac1_in_sel	reserved	dac0_in_sel
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												
[3]	-	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。												

DATE5_COEFF22

DATE5_COEFF22 为 DTO 初始相位配置寄存器。



Offset Address		Register Name		Total Reset Value						
0xCC58		DATE5_COEFF22		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						video_phase_delta			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RW	reserved	保留。 写无效，读为 0。							
[10:0]	RW	video_phase_delta	DTO 初始相位配置寄存器。							

DATE5_COEFF23

DATE5_COEFF23 为 VIDEO_OUT 延时配置寄存器。

Offset Address		Register Name		Total Reset Value										
0xCC5C		DATE5_COEFF23		0x0065_4321										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1						
Bits	Access	Name	Description											
[31:23]	RW	reserved	保留。 写无效，读为 0。											
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[19]	-	reserved	保留。 写无效，读为 0。											
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。											
[15]	-	reserved	保留。 写无效，读为 0。											



Offset Address		Register Name		Total Reset Value											
0xCC5C		DATE5_COEFF23		0x0065_4321											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1							
Bits	Access	Name	Description												
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[11]	-	reserved	保留。 写无效，读为 0。												
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[7]	-	reserved	保留。 写无效，读为 0。												
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[3]	-	reserved	保留。 写无效，读为 0。												
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												

DATE5_ISRMASK

DATE5_ISRMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0xCC80		DATE5_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

DATE5_ISRSTATE

DATE5_ISRSTATE 为中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0xCC84		DATE5_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。 写无效，读为 0。						
[0]	W1C	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

DATE5_ISR

DATE5_ISR 为中断寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0xCC88				DATE5_ISR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										tt_int					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RW	reserved		保留。 写无效，读为 0。																											
	[0]	RW	tt_int		Teletext 中断寄存器。tt_status 在经过 tt_mask 屏蔽后的中断状态。 0: 没有中断; 1: 有中断。																											

DATE5_VERSION

DATE5_VERSION 为版本寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xCC90				DATE5_VERSION				0x0000_0024																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	reserved		保留。 写无效，读为 0。																											

VOCTRL

VOCTRL 为 VO 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0xCE00		VOCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vo_ck_gt_en	reserved	bus_dbg_en	outstd_wid0	reserved	vo_id_sel	outstd_rid0	outstd_rid1	arb_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	-	vo_ck_gt_en	VOU 时钟门控使能。 0: 时钟门控关闭; 1: VOU 的内部时钟门控打开。						
[30:22]	-	reserved	保留。						
[21:20]	RW	bus_dbg_en	总线测试使能。 00: 总线正常工作模式; 01: 总线测试读写环回工作模式; 10: 总线测试写环回工作; 其他: 保留。						
[19:16]	RW	outstd_wid0	AXI 总线写 ID0 的 outstanding。						
[15:13]	-	reserved	保留。						
[12]	RW	vo_id_sel	VOU VHD ID 选择。 0: VHD 选择实时模式 ID 号(0); 1: VHD 选择离线模式 ID 号(1)。						
[11:8]	RW	outstd_rid0	AXI 总线读 ID0 的 outstanding。						
[7:4]	RW	outstd_rid1	AXI 总线读 ID1 的 outstanding。						
[3:0]	RW	arb_mode	VO 内部各 surface 总线数据申请的仲裁模式。 0000: 轮询; 0001: 图形层优先; 其他: 保留。						

VOINTSTA

VOINTSTA 为 VO 中断状态寄存器。只读寄存器。



		Offset Address 0xCE04								Register Name VOINTSTA								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved												dsd5uf_int	dsd4uf_int	dsd3uf_int	dsd2uf_int	dsd1uf_int	dhd1uf_int	reserved	wbc2_fe_int	dsdvtthd5_int	dsdvtthd4_int	dsdvtthd3_int	dhduf_int	reserved	dhdvtthd2_int	dhdvtthd1_int	dsduf_int	dsdvtthd2_int	dsdvtthd1_int	dsdvtthd0_int	
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31]	RO		be_int		总线错误中断。(AXI_Master) 0: 没有中断; 1: 有中断。																											
	[30:19]	-		reserved		保留。																											
	[18]	RW		dsd5uf_int		SD5 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																											
	[17]	RW		dsd4uf_int		SD4 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																											
	[16]	RW		dsd3uf_int		SD3 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																											
	[15]	RW		dsd2uf_int		SD2 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																											
	[14]	RW		dsd1uf_int		SD1 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																											
	[13]	RW		dhd1uf_int		HD1 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																											
	[12]	-		reserved		保留。																											



		Offset Address 0xCE04								Register Name VOINTSTA								Total Reset Value 0x0000_0000																											
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Name	be_int	reserved								d5uf_int	d4uf_int	d3uf_int	d2uf_int	d1uf_int	dhdluf_int	reserved	wbc2_te_int	d5vtthd5_int	d4vtthd4_int	d3vtthd3_int	dhduf_int	reserved	dh1vtthd2_int	dh0vtthd1_int	dsduf_int	d2vtthd2_int	d1vtthd1_int	d0vtthd0_int																	
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
Bits	Access	Name		Description																																									
[11]	RO	wbc2_te_int		WBC2 任务完成中断。 0: 没有中断; 1: 有中断。																																									
[10]	-	d5vtthd5_int		SD5 通道垂直时序中断。 0: 没有中断; 1: 有中断。																																									
[9]	RO	d4vtthd4_int		SD4 通道垂直时序中断。 0: 没有中断; 1: 有中断。																																									
[8]	RO	d3vtthd3_int		SD3 通道垂直时序中断。 0: 没有中断; 1: 有中断。																																									
[7]	RO	dhduf_int		HD 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																									
[6]	-	reserved		保留。																																									
[5]	RO	dh1vtthd2_int		HD1 通道垂直时序中断。 0: 没有中断; 1: 有中断。																																									
[4]	RO	dh0vtthd1_int		HD0 通道垂直时序中断。 0: 没有中断; 1: 有中断。																																									



Offset Address		Register Name		Total Reset Value																			
0xCE04		VOINTSTA		0x0000_0000																			
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0															
Name	be_int		reserved		dsd5uf_int	dsd4uf_int	dsd3uf_int	dsd2uf_int	dsd1uf_int	dhd1uf_int	reserved	wbc2_fe_int	dsdvtthd5_int	dsdvtthd4_int	dsdvtthd3_int	dhduf_int	reserved	dhdvtthd2_int	dhdvtthd1_int	dsduf_int	dsdvtthd2_int	dsdvtthd1_int	dsdvtthd0_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																				
[3]	RO	dsduf_int	SD 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																				
[2]	RO	dsdvtthd2_int	SD2 通道垂直时序中断。 0: 没有中断; 1: 有中断。																				
[1]	RO	dsdvtthd1_int	SD1 通道垂直时序中断。 0: 没有中断; 1: 有中断。																				
[0]	RO	dsdvtthd0_int	SD0 通道垂直时序中断。 0: 没有中断; 1: 有中断。																				

VOMSKINTSTA

VOMSKINTSTA 为 VO 经过 Mask 的中断状态寄存器。写 1 清零。



		Offset Address				Register Name								Total Reset Value																							
		0xCE08				VOMSKINTSTA								0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		be_int				reserved								d5uf_int	d4uf_int	d3uf_int	d2uf_int	d1uf_int	dhd1uf_int	reserved	wbc2_te_int	d5vthd5_int	d4vthd4_int	d3vthd3_int	dhduf_int	reserved	d2vthd2_int	d1vthd1_int	dsduf_int	d2vthd2_int	d1vthd1_int	d0vthd0_int					
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																	
[31]	RWC	be_int		总线错误中断。(AXI_Master)。 0: 没有中断; 1: 有中断。																																	
[30:19]	-	reserved		保留。																																	
[18]	RW	dsd5uf_int		SD5 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[17]	RW	dsd4uf_int		SD4 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[16]	RW	dsd3uf_int		SD3 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[15]	RW	dsd2uf_int		SD2 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[14]	RW	dsd1uf_int		SD1 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[13]	RW	dhd1uf_int		HD1 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[12]	-	reserved		保留。																																	



Offset Address		Register Name		Total Reset Value																			
0xCE08		VOMSKINTSTA		0x0000_0000																			
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0															
Name	be_int	reserved			d5d5uf_int	d5d4uf_int	d5d3uf_int	d5d2uf_int	d5d1uf_int	dhd1uf_int	reserved	wbc2_te_int	dsdvtthd5_int	dsdvtthd4_int	dsdvtthd3_int	dhduf_int	reserved	dhdvtthd2_int	dhdvtthd1_int	dsduf_int	dsdvtthd2_int	dsdvtthd1_int	dsdvtthd0_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																				
[11]	RO	wbc2_te_int	WBC2 任务完成中断。 0: 没有中断; 1: 有中断。																				
[10]	-	dsdvtthd5_int	SD5 通道垂直时序中断。 0: 没有中断; 1: 有中断。																				
[9]	RO	dsdvtthd4_int	SD4 通道垂直时序中断。 0: 没有中断; 1: 有中断。																				
[8]	RO	dsdvtthd3_int	SD3 通道垂直时序中断。 0: 没有中断; 1: 有中断。																				
[7]	RO	dhduf_int	HD 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																				
[6]	-	reserved	保留。																				
[5]	RO	dhdvtthd2_int	HD1 通道垂直时序中断。 0: 没有中断; 1: 有中断。																				
[4]	RO	dhdvtthd1_int	HD0 通道垂直时序中断。 0: 没有中断; 1: 有中断。																				



Offset Address		Register Name		Total Reset Value				
0xCE08		VOMSKINTSTA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	be_int	reserved			dsd5uf_int dsd4uf_int dsd3uf_int dsd2uf_int dsd1uf_int dhdluf_int reserved	wbc2_te_int dsdvtthd5_int dsdvtthd4_int dsdvtthd3_int dhduf_int reserved	dhdvtthd2_int dhdvtthd1_int	dsduf_int dsdvtthd2_int dsdvtthd1_int dsdvtthd0_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[3]	RO	dsduf_int	SD 通道低带宽告警中断。 0: 没有中断; 1: 有中断。					
[2]	RO	dsdvtthd2_int	SD2 通道垂直时序中断。 0: 没有中断; 1: 有中断。					
[1]	RO	dsdvtthd1_int	SD1 通道垂直时序中断。 0: 没有中断; 1: 有中断。					
[0]	RO	dsdvtthd0_int	SD0 通道垂直时序中断。 0: 没有中断; 1: 有中断。					

VOINTMSK

VOINTMSK 为 VOU 中断屏蔽寄存器。与 VOINTSTA 对应。相应 bit 为 1 表示中断打开；为 0 表示中断屏蔽。



		Offset Address 0xCE0C								Register Name VOINTMSK								Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		be_intmsk								reserved								dsd5uf_intmsk	dsd4uf_intmsk	dsd3uf_intmsk	dsd2uf_intmsk	dsd1uf_intmsk	dhd1uf_intmsk	reserved	wbc2_te_intmsk	dsdvtthd5_intmsk	dsdvtthd4_intmsk	dsdvtthd3_intmsk	dhduf_intmsk	reserved	dhdvtthd2_intmsk	dhdvtthd1_intmsk	dsduf_intmsk	dsdvtthd2_intmsk	dsdvtthd1_intmsk	dsdvtthd0_intmsk	
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																	
[31]	R/W	be_intmsk		总线错误中断。(AXI_Master) 0: 没有中断; 1: 有中断。																																	
[30:19]	-	reserved		保留。																																	
[18]	RW	dsd5uf_intmsk		SD5 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[17]	RW	dsd4uf_intmsk		SD4 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[16]	RW	dsd3uf_intmsk		SD3 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[15]	RW	dsd2uf_intmsk		SD2 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[14]	RW	dsd1uf_intmsk		SD1 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[13]	RW	dhd1uf_intmsk		HD1 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																																	
[12]	-	reserved		保留。																																	



Offset Address		Register Name		Total Reset Value																			
0xCE0C		VOINTMSK		0x0000_0000																			
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0															
Name	reserved				dsc5uf_intmsk	dsc4uf_intmsk	dsc3uf_intmsk	dsc2uf_intmsk	dsc1uf_intmsk	dhd1uf_intmsk	reserved	wbc2_te_intmsk	dsvtthd5_intmsk	dsvtthd4_intmsk	dsvtthd3_intmsk	dhduf_intmsk	reserved	dhdvtthd2_intmsk	dhdvtthd1_intmsk	dsduf_intmsk	dsvtthd2_intmsk	dsvtthd1_intmsk	dsvtthd0_intmsk
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																				
[11]	RO	wbc2_te_intmsk	WBC2 任务完成中断。 0: 没有中断; 1: 有中断。																				
[10]	R/W	dsvtthd5_intmsk	SD5 通道垂直时序中断 3。 0: 没有中断; 1: 有中断。																				
[9]	R/W	dsvtthd4_intmsk	SD4 通道垂直时序中断 2。 0: 没有中断; 1: 有中断。																				
[8]	R/W	dsvtthd3_intmsk	SD3 通道垂直时序中断 1。 0: 没有中断; 1: 有中断。																				
[7]	R/W	dhduf_intmsk	HD 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																				
[6]	-	reserved	保留。																				
[5]	R/W	dhdvtthd2_intmsk	HD 通道垂直时序中断 2。 0: 没有中断; 1: 有中断。																				
[4]	R/W	dhdvtthd1_intmsk	HD 通道垂直时序中断 1。 0: 没有中断; 1: 有中断。																				



Offset Address		Register Name		Total Reset Value																			
0xCE0C		VOINTMSK		0x0000_0000																			
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0															
Name	be_intmsk reserved				dsd5uf_intmsk	dsd4uf_intmsk	dsd3uf_intmsk	dsd2uf_intmsk	dsd1uf_intmsk	dhd1uf_intmsk	reserved	wbc2_te_intmsk	dsdvtthd5_intmsk	dsdvtthd4_intmsk	dsdvtthd3_intmsk	dhduf_intmsk	reserved	dhdvtthd2_intmsk	dhdvtthd1_intmsk	dsduf_intmsk	dsdvtthd2_intmsk	dsdvtthd1_intmsk	dsdvtthd0_intmsk
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																				
[3]	R/W	dsduf_intmsk	SD 通道低带宽告警中断。 0: 没有中断; 1: 有中断。																				
[2]	R/W	dsdvtthd2_intmsk	SD2 通道垂直时序中断 3。 0: 没有中断; 1: 有中断。																				
[1]	R/W	dsdvtthd1_intmsk	SD1 通道垂直时序中断 2。 0: 没有中断; 1: 有中断。																				
[0]	R/W	dsdvtthd0_intmsk	SD0 通道垂直时序中断 1。 0: 没有中断; 1: 有中断。																				

VOUVERSION1

VOUVERSION1 为 VOU 版本 1 寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE10		VOUVERSION1		0x7675_6F76				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vouversion0							
Reset	0 1 1 1	0 1 1 0	0 1 1 1	0 1 0 1	0 1 1 0	1 1 1 1	0 1 1 1	0 1 1 0
Bits	Access	Name	Description					
[31:0]	RO	vouversion0	VOU 版本寄存器。					



VOUVERSION2

VOUVERSION2 为 VOU 版本 2 寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE14		VOUVERSION2		0x3030_3134				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vouversion1							
Reset	0 0 1 1	0 0 0 0	0 0 1 1	0 0 0 0	0 0 1 1	0 0 0 1	0 0 1 1	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RO	vouversion1	VOU 版本寄存器。					

VOMUXDATA

VOMUXDATA 为 VO 输出接口复选数据 (VOPINTEST) 寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE18		VOMUXDATA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pin_test_en	pin_test_mode	vsync_value	hsync_value	dv_value	pin_test_data		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	pin_test_en	管脚测试模式使能。 0: 禁止; 1: 使能。					
[30:27]	RW	pin_test_mode	保留。					
[26]	RW	vsync_value	测试模式下, 垂直时序配置值。					
[25]	RW	hsync_value	测试模式下, 水平时序配置值。					
[24]	RW	dv_value	测试模式下, 数据有效时序配置值。					



Offset Address		Register Name		Total Reset Value				
0xCE18		VOMUXDATA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pin_test_en pin_test_mode	vsync_value hsync_value dv_value	pin_test_data					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[23:0]	RW	pin_test_data	测试模式，配置测试的数据。 所有的 DAC 使用[9:0]。当分量宽度大于 8bit，最高位是填充值。 举例：36bit output[35:24] = {[23:16], [23:20]}					

VOMUX

VOMUX 为 VO 输出接口复选寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE1C		VOMUX		0x0004_001B				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		bt1120_sel_yc	hdmi_vid	reserved		hddate_in_sel_hd0 vga_in_sel_hd0 dac1_sel bt1120_sel_hd0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 1 1
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					
[23]	RW	bt1120_sel_yc	BT1120 Y/C 位置选择。 0: 高 8 位传输 Y，低 8 位传输 C； 1: 高 8 位传输 C，低 8 位传输 Y。					



Offset Address		Register Name		Total Reset Value							
0xCE1C		VOMUX		0x0004_001B							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved		bt1120_sel_yc	hdmi_vid	reserved			hddate_in_sel_hd0	vga_in_sel_hd0	dac1_sel	bt1120_sel_hd0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 1 1			
Bits	Access	Name	Description								
[22:16]	RW	hdmi_vid	<p>反向使能寄存器需要和 INTF 的接口寄存器中的时序反向寄存器异或，才能够得到真正的 HDMI 输入接口时序反向要求。</p> <p>bit[22]: 垂直同步信号反向使能。 0: vsync 反相禁止; 1: vsync 反向使能。</p> <p>bit[21]: 水平同步信号反向使能。 0: hsync 反向禁止; 1: hsync 反向使能。</p> <p>bit[20]: 数据有效同步信号反向使能 0: dv 反向禁止; 1: dv 反向使能。</p> <p>bit[19]: 保留。</p> <p>bit[18:17] : (默认: 00)HDMI 视频输出格式选择。RGB 和 YCbCr 的选择，通过配置 DHD 通道得到。 。</p> <p>00: YCbCr444, 30bit 同步分离模式; 01: RGB444, 30bit 同步分离模式; 10: YCbCr422, 20bit 同步分离模式; 11: YCbCr422, 10bit 同步分离模式。</p> <p>bit[16]: HDMI 数据来源。 0: DHD1 输出; 1: DHD0 输出。</p>								
[15:5]	-	reserved	保留。								



	Offset Address 0xCE1C								Register Name VOMUX								Total Reset Value 0x0004_001B															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								bt1120_sel_yc	hdmi_vid				reserved								hddate_in_sel_hd0	vga_in_sel_hd0	dac1_sel		bt1120_sel_hd0						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1
Bits	Access		Name		Description																											
[4]	RW		hddate_in_sel_hd0		HDDATE 输出选择。 0: HDDATE 输出 DHD1 视频; 1: HDDATE 输出 DHD0 视频。																											
[3]	RW		vga_in_sel_hd0		VGA 输出选择。 0: VGA 输出 DHD1 视频; 1: VGA 输出 DHD0 视频;																											
[2:1]	RW		dac1_sel		DAC1 输出选择(默认 01)。 00: DAC1 输出高清模拟视频 (HDDATE); 01: DAC1 数字视频模拟输出(VGA); 10、11: 保留。																											
[0]	RW		bt1120_sel_hd0		BT1120 输出选择。 0: DHD1 输出; 1: DHD0 输出。																											

VGACSCIDC

VGACSCIDC 为色彩空间转换输入直流分量寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value				
0xCE24		VGACSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2	cscidc1	cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能。 0: 禁止; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

VGACSCODC

VGACSCODC 为色彩空间转换输出直流分量寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE28		VGACSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2	cscodc1	cscodc0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。					

VGACSCP0

VGACSCP0 为色彩空间转换参数 0 寄存器。即时寄存器。



Offset Address		Register Name		Total Reset Value						
0xCE2C		VGACSCP0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp01				reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

VGACSCP1

VGACSCP1 为色彩空间转换参数 1 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value						
0xCE30		VGACSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							



VGACSCP2

VGACSCP2 为色彩空间转换参数 2 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0xCE34		VGACSCP2		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12								reserved				cscp11															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	-		reserved		保留。																											
[28:16]	RW		cscp12		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											
[15:13]	-		reserved		保留。																											
[12:0]	RW		cscp11		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

VGACSCP3

VGACSCP3 为色彩空间转换参数 3 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value																																
0xCE38		VGACSCP3		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				cscp21								reserved				cscp20																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:29]	-		reserved		保留。																															
[28:16]	RW		cscp21		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																															
[15:13]	-		reserved		保留。																															



Offset Address		Register Name		Total Reset Value						
0xCE38		VGACSCP3		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp21				reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

VGACSCP4

VGACSCP4 为色彩空间转换参数 4 寄存器。即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xCE3C		VGACSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

VOPARAUP

VOPARAUP 为缩放/GAMMA/ACC 系数更新使能寄存器。软件需要配置系数地址以及系数更新使能，VOU 会通过 AXI Master 从 DDR 读取系数存放再 VOU 内部。



Offset Address		Register Name		Total Reset Value																												
0xCE40		VOPARAUP		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																dhd1_gamma_upd	g1_vcoef_upd	g1_hcoef_upd	g0_vcoef_upd	g0_hcoef_upd	g1_lut_upd	g0_lut_upd	wbc2_vcoef_upd	wbc2_hcoef_upd	dhd_gamma_upd	video_acc_upd	vhd1_vcoef_upd	vhd1_hcoef_upd	vhd_vcoef_upd	vhd_hcoef_upd	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:15]	-	reserved	保留。																													
[14]	RW	dhd1_gamma_upd	DHD1 Gamma 校正运算查找表是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													
[13]	RW	g1_vcoef_upd	G1 VFIR 系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													
[12]	RW	g1_hcoef_upd	G1 HFIR 系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													
[11]	RW	g0_vcoef_upd	G0 VFIR 系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													
[10]	RW	g0_hcoef_upd	G0 HFIR 系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													
[9]	RW	g1_lut_upd	G1 LUT 是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													
[8]	RW	g0_lut_upd	G0 LUT 是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													



Offset Address		Register Name		Total Reset Value															
0xCE40		VOPARAUP		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	reserved				dhd1_gamma_upd	g1_vcoef_upd	g1_hcoef_upd	g0_vcoef_upd	g0_hcoef_upd	g1_lut_upd	g0_lut_upd	wbc2_vcoef_upd	wbc2_hcoef_upd	dhd_gamma_upd	video_acc_upd	vhd1_vcoef_upd	vhd1_hcoef_upd	vhd_vcoef_upd	vhd_hcoef_upd
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																
[7]	RW	wbc2_vcoef_upd	WBC2 垂直亮度、垂直色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																
[6]	RW	wbc2_hcoef_upd	WBC2 水平亮度、水平色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																
[5]	RW	dhd_gamma_upd	DHD Gamma 校正运算查找表是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																
[4]	RW	video_acc_upd	Video 层 ACC 运算查找表是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																
[3]	RW	vhd1_vcoef_upd	VHD1 垂直亮度、垂直色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																
[2]	RW	vhd1_hcoef_upd	VHD1 水平亮度、水平色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																



Offset Address		Register Name		Total Reset Value															
0xCE40		VOPARAUP		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	reserved				dhd1_gamma_upd	g1_vcoef_upd	g1_hcoef_upd	g0_vcoef_upd	g0_hcoef_upd	g1_lut_upd	g0_lut_upd	wbc2_vcoef_upd	wbc2_hcoef_upd	dhd_gamma_upd	video_acc_upd	vhd1_vcoef_upd	vhd1_hcoef_upd	vhd_vcoef_upd	vhd_hcoef_upd
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																
[1]	RW	vhd_vcoef_upd	VHD 垂直亮度、垂直色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																
[0]	RW	vhd_hcoef_upd	VHD 水平亮度、水平色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																

VHDHCOEFAD

VHDHCOEFAD 为 VHD 水平亮度、水平色度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE44		VHDHCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

VHDVCOEFAD

VHDVCOEFAD 为 VHD 垂直亮度、水平色度滤波系数地址寄存器。



Offset Address		Register Name		Total Reset Value				
0xCE48		VHDVCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

VHD1HCOEFAD

VHD1HCOEFAD 为 VHD1 水平亮度、水平色度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE4C		VHD1HCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

VHD1VCOEFAD

VHD1VCOEFAD 为 VHD1 垂直亮度、水平色度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE50		VHD1VCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

ACCAD

ACCAD 为 video 通道 ACC 系数查找表地址寄存器。



Offset Address		Register Name		Total Reset Value				
0xCE54		ACCAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

WBC2HCOEFAD

WBC2HCOEFAD 为 WBC2 水平亮度、水平色度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE58		WBC2HCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

WBC2VCOEFAD

WBC2VCOEFAD 为 WBC2 垂直亮度、水平色度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE5C		WBC2VCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

DHDGAMMAAD

DHDGAMMAAD 为 DHD 通道 gamma 校正系数地址寄存器。



Offset Address		Register Name		Total Reset Value				
0xCE78		DHDGAMMAAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

DHD1GAMMAAD

DHD1GAMMAAD 为 DHD1 通道 gamma 校正系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xCE7C		DHD1GAMMAAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

VODDRSEL

VODDRSEL 为 DDR 选择寄存器。VOU 支持两个 DDR 的数据读取。

Offset Address		Register Name		Total Reset Value																	
0xCE80		VODDRSEL		0x0000_0000																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved				wbc1_ddr_sel	wbc0_ddr_sel	hc1_ddr_sel	hc0_ddr_sel	g4_ddr_sel	g3_ddr_sel	g2_ddr_sel	g1_ddr_sel	g0_ddr_sel	vsd4_ddr_sel	vsd3_ddr_sel	vsd2_ddr_sel	vsd1_ddr_sel	vsd0_ddr_sel	vhd2_ddr_sel	vhd1_ddr_sel	vhd0_ddr_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																		
[31:17]	RO	reserved	保留。																		



Offset Address		Register Name		Total Reset Value																													
0xCE80		VODDRSEL		0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																wbc1_dds_sel	wbc0_dds_sel	hc1_dds_sel	hc0_dds_sel	g4_dds_sel	g3_dds_sel	g2_dds_sel	g1_dds_sel	g0_dds_sel	vsd4_dds_sel	vsd3_dds_sel	vsd2_dds_sel	vsd1_dds_sel	vsd0_dds_sel	vhd2_dds_sel	vhd1_dds_sel	vhd0_dds_sel
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description																														
[16]	RW	wbc1_dds_sel	wbc1 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[15]	RW	wbc0_dds_sel	wbc0 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[14]	RW	hc1_dds_sel	hc1 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[13]	RW	hc0_dds_sel	hc0 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[12]	RW	g4_dds_sel	g4 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[11]	RW	g3_dds_sel	g3 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[10]	RW	g2_dds_sel	g2 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[9]	RW	g1_dds_sel	g1 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														



	Offset Address 0xCE80								Register Name VODDRSEL								Total Reset Value 0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																wbc1_ddr_sel	wbc0_ddr_sel	hc1_ddr_sel	hc0_ddr_sel	g4_ddr_sel	g3_ddr_sel	g2_ddr_sel	g1_ddr_sel	g0_ddr_sel	vsd4_ddr_sel	vsd3_ddr_sel	vsd2_ddr_sel	vsd1_ddr_sel	vsd0_ddr_sel	vhd2_ddr_sel	vhd1_ddr_sel	vhd0_ddr_sel
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description																														
[8]	RW	g0_ddr_sel	g0 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[7]	RW	vsd4_ddr_sel	vsd4 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[6]	RW	vsd3_ddr_sel	vsd3 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[5]	RW	vsd2_ddr_sel	vsd2 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[4]	RW	vsd1_ddr_sel	vsd1 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[3]	RW	vsd0_ddr_sel	vsd0 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[2]	RW	vhd2_ddr_sel	vhd2 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														
[1]	RW	vhd1_ddr_sel	vhd1 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																														



Offset Address		Register Name		Total Reset Value																	
0xCE80		VODDRSEL		0x0000_0000																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved				wbc1_ddr_sel	wbc0_ddr_sel	hc1_ddr_sel	hc0_ddr_sel	g4_ddr_sel	g3_ddr_sel	g2_ddr_sel	g1_ddr_sel	g0_ddr_sel	vsd4_ddr_sel	vsd3_ddr_sel	vsd2_ddr_sel	vsd1_ddr_sel	vsd0_ddr_sel	vhd2_ddr_sel	vhd1_ddr_sel	vhd0_ddr_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																		
[0]	RW	vhd0_ddr_sel	vhd0 层的 DDR 选择。 0: 选择 DDR0; 1: 选择 DDR1。																		

DACCTRL0_2

DACCTRL0_2 为 DAC0~2 控制寄存器。

Offset Address		Register Name		Total Reset Value																	
0xC EE0		DACCTRL0_2		0x0703_FFFF																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved	enxtref	envbg	endac2	endac1	endac0	enctr2	enctrl1	enctrl0	ensc2	ensc1	ensc0	dac2gc			dac1gc			dac0gc		
Reset	0 0 0 0	0 1 1 1	0 0 0 0	0 0 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description																		
[31:29]	RO	reserved	保留。																		
[28]	RW	enxtref	DAC0~2 extref 使能。 0: 禁止; 1: 使能。																		
[27]	RW	envbg	DAC0~2 VBG 使能。 0: 禁止; 1: 使能。																		



	Offset Address 0xCEE0								Register Name DACCTRL0_2								Total Reset Value 0x0703_FFFF															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				enxtref	envbg	endac2	endac1	endac0	enctr2	enctr1	enctr0	ensc2	ensc1	ensc0	dac2gc				dac1gc				dac0gc								
Reset	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bits	Access		Name		Description																											
[26]	RW		endac2		DAC2 PowerDown 控制使能。 0: 禁止; 1: 使能。																											
[25]	RW		endac1		DAC1 PowerDown 控制使能。 0: 禁止; 1: 使能。																											
[24]	RW		endac0		DAC0 PowerDown 控制使能。 0: 禁止; 1: 使能。																											
[23]	RW		enctr2		DAC2 模拟偏置测试控制。																											
[22]	RW		enctr1		DAC1 模拟偏置测试控制。																											
[21]	RW		enctr0		DAC0 模拟偏置测试控制。																											
[20]	RW		ensc2		DAC2 连接检测使能, 连接测试时, 送给 DAC 的数字信号由 VOMUX 寄存器配置。 0: 禁止; 1: 使能。																											
[19]	RW		ensc1		DAC1 连接检测使能, 连接测试时, 送给 DAC 的数字信号由 VOMUX 寄存器配置。 0: 禁止; 1: 使能。																											
[18]	RW		ensc0		DAC0 连接检测使能, 连接测试时, 送给 DAC 的数字信号由 VOMUX 寄存器配置。 0: 禁止; 1: 使能。																											
[17:12]	RW		dac2gc		DAC2 输出电流(Full Scale Current)增益控制。																											
[11:6]	RW		dac1gc		DAC1 输出电流(Full Scale Current)增益控制。																											



		Offset Address 0xCCE0												Register Name DACCTRL0_2				Total Reset Value 0x0703_FFFF															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				enextref	envbg	endac2	endac1	endac0	enctr2	enctr1	enctr0	ensc2	ensc1	ensc0	dac2gc				dac1gc				dac0gc								
Reset		0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access		Name		Description																											
	[5:0]	RW		dac0gc		DAC0 输出电流(Full Scale Current)增益控制。																											

DACCTRL3_5

DACCTRL3_5 为 DAC3~5 控制寄存器。

		Offset Address 0xCCE4												Register Name DACCTRL3_5				Total Reset Value 0x0703_FFFF															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				enextref	envbg	endac5	endac4	endac3	enctr5	enctr4	enctr3	ensc5	ensc4	ensc3	dac5gc				dac4gc				dac3gc								
Reset		0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access		Name		Description																											
	[31:29]	RO		reserved		保留。																											
	[28]	RW		enextref		DAC3~5 extref 使能。 0: 禁止; 1: 使能。																											
	[27]	RW		envbg		DAC3~5 VBG 使能。 0: 禁止; 1: 使能。																											
	[26]	RW		endac5		DAC5 PowerDown 控制使能。 0: 禁止; 1: 使能。																											



	Offset Address 0xCCE4										Register Name DACCTRL3_5						Total Reset Value 0x0703_FFFF															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				enxtref	enymbg	endac5	endac4	endac3	enctr5	enctr4	enctr3	ensc5	ensc4	ensc3	dac5gc						dac4gc				dac3gc						
Reset	0	0	0	0	0	1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access	Name	Description																												
	[25]	RW	endac4	DAC4 PowerDown 控制使能。 0: 禁止; 1: 使能。																												
	[24]	RW	endac3	DAC3PowerDown 控制使能。 0: 禁止; 1: 使能。																												
	[23]	RW	enctr5	DAC5 模拟偏置测试控制。																												
	[22]	RW	enctr4	DAC4 模拟偏置测试控制。																												
	[21]	RW	enctr3	DAC3 模拟偏置测试控制。																												
	[20]	RW	ensc5	DAC5 连接检测使能, 连接测试时, 送给 DAC 的数字信号由 VOMUX 寄存器配置。 0: 禁止; 1: 使能。																												
	[19]	RW	ensc4	DAC4 连接检测使能, 连接测试时, 送给 DAC 的数字信号由 VOMUX 寄存器配置。 0: 禁止; 1: 使能。																												
	[18]	RW	ensc3	DAC3 连接检测使能, 连接测试时, 送给 DAC 的数字信号由 VOMUX 寄存器配置。 0: 禁止; 1: 使能。																												
	[17:12]	RW	dac5gc	DAC5 输出电流(Full Scale Current)增益控制。																												
	[11:6]	RW	dac4gc	DAC4 输出电流(Full Scale Current)增益控制。																												
	[5:0]	RW	dac3gc	DAC3 输出电流(Full Scale Current)增益控制。																												



DACSTAT0_2

DACSTAT0_2 为 DAC0~2 状态寄存器。

Offset Address		Register Name		Total Reset Value						
0xC EE8		DACSTAT0_2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							cableout2	cableout1	cableout0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RO	cableout2	DAC2 连接检测状态。							
[1]	RO	cableout1	DAC1 连接检测状态。							
[0]	RO	cableout0	DAC0 连接检测状态。							

DACSTAT3_5

DACSTAT3_5 为 DAC3~5 状态寄存器。

Offset Address		Register Name		Total Reset Value						
0xC EE C		DACSTAT3_5		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							cableout5	cableout4	cableout3
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RO	cableout5	DAC5 连接检测状态。							
[1]	RO	cableout4	DAC4 连接检测状态。							
[0]	RO	cableout3	DAC3 连接检测状态。							



DACBANDGAP

DACBANDGAP 为 bandgap 测试寄存器。

Offset Address		Register Name		Total Reset Value					
0xCEF0		DACBANDGAP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						bandgap_bgtrim	bandgap_en	bandgap_test
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RW	reserved	保留。						
[7:5]	RW	bandgap_bgtrim	bandgap 测试寄存器。						
[4]	RW	bandgap_en	bandgap 测试寄存器。						
[3:0]	RW	bandgap_test	bandgap 测试寄存器。						

VOLPTIMER

VOLPTIMER 为低功耗计数器寄存器。

Offset Address		Register Name		Total Reset Value					
0xCEF4		VOLPTIMER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						timer		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	timer	低功耗状态计数器，即时寄存器。 bit[7:0]: stand by 状态计数器。 bit[3:0]: retention 状态计数器。						



VOLPMODE0

VOLPMODE0 为低功耗模式 0 寄存器。

Offset Address		Register Name		Total Reset Value																																
0xCEF8		VOLPMODE0		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dsd5_lp_mode	dsd4_lp_mode	dsd3_lp_mode	dsd2_lp_mode	dsd1_lp_mode	dsd0_lp_mode			dhhd1_lp_mode	dhhd0_lp_mode	vstd4_lp_mode	vstd3_lp_mode	vstd2_lp_mode	vstd1_lp_mode	vstd0_lp_mode	vhd2_lp_mode	vhd1_lp_mode	vhd0_lp_mode																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:30]	RW	dsd5_lp_mode	DSD5 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。																																	
[29:28]	RW	dsd4_lp_mode	DSD4 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。																																	
[27:26]	RW	dsd3_lp_mode	DSD3 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。																																	
[25:24]	RW	dsd2_lp_mode	DSD2 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。																																	
[23:22]	RW	dsd1_lp_mode	DSD1 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。																																	



		Offset Address 0xCEF8						Register Name VOLPMODE0						Total Reset Value 0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		dsd5_lp_mode		dsd4_lp_mode		dsd3_lp_mode		dsd2_lp_mode		dsd1_lp_mode		dsd0_lp_mode		dhd1_lp_mode		dhd0_lp_mode		vsd4_lp_mode		vsd3_lp_mode		vsd2_lp_mode		vsd1_lp_mode		vsd0_lp_mode		vhd2_lp_mode		vhd1_lp_mode		vhd0_lp_mode					
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																	
[21:20]	RW	dsd0_lp_mode		DSD0 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。																																	
[19:18]	RW	dhd1_lp_mode		DHD1 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。																																	
[17:16]	RW	dhd0_lp_mode		DHD0 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。																																	
[15:14]	RW	vsd4_lp_mode		VSD4 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。																																	
[13:12]	RW	vsd3_lp_mode		VSD3 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。																																	
[11:10]	RW	vsd2_lp_mode		VSD2 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。																																	



Offset Address		Register Name		Total Reset Value												
0xCEF8		VOLPMODE0		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	dscd5_lp_mode	dscd4_lp_mode	dscd3_lp_mode	dscd2_lp_mode	dscd1_lp_mode	dscd0_lp_mode	dhd1_lp_mode	dhd0_lp_mode	vscd4_lp_mode	vscd3_lp_mode	vscd2_lp_mode	vscd1_lp_mode	vscd0_lp_mode	vhd2_lp_mode	vhd1_lp_mode	vhd0_lp_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0								
Bits	Access	Name	Description													
[9:8]	RW	vscd1_lp_mode	VSD1 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。													
[7:6]	RW	vscd0_lp_mode	VSD0 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。													
[5:4]	RW	vhd2_lp_mode	VHD2 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。													
[3:2]	RW	vhd1_lp_mode	VHD1 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。													
[1:0]	RW	vhd0_lp_mode	VHD0 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。													

VOLPMODE1

VOLPMODE1 为低功耗模式 1 寄存器。



Offset Address		Register Name		Total Reset Value									
0xCEFC		VOLPMODE1		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				wbc2_lp_mode	para_lp_mode	hc1_lp_mode	hc0_lp_mode	g4_lp_mode	g3_lp_mode	g2_lp_mode	g1_lp_mode	g0_lp_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:18]	RW	reserved	保留。										
[17:16]	RW	wbc2_lp_mode	WBC2 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。										
[15:14]	RW	para_lp_mode	PARA 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。										
[13:12]	RW	hc1_lp_mode	HC1 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。										
[11:10]	RW	hc0_lp_mode	HC0 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。										
[9:8]	RW	g4_lp_mode	G4 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。										
[7:6]	RW	g3_lp_mode	G3 低功耗模式选择，即时寄存器。 00: normal 模式； 10: rotation 模式； 01、11: powerdown 模式。										



Offset Address		Register Name		Total Reset Value								
0xCEFC		VOLPMODE1		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved			wbc2_lp_mode	para_lp_mode	hc1_lp_mode	hc0_lp_mode	g4_lp_mode	g3_lp_mode	g2_lp_mode	g1_lp_mode	g0_lp_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description									
[5:4]	RW	g2_lp_mode	G2 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。									
[3:2]	RW	g1_lp_mode	G1 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。									
[1:0]	RW	g0_lp_mode	G0 低功耗模式选择，即时寄存器。 00: normal 模式; 10: rotation 模式; 01、11: powerdown 模式。									

VHDHLCOEFC

VHDHLCOEFC 为 VHD 水平亮度缩放滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

VHD 水平亮度缩放滤波为 8 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 8 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 8 阶系数需要 4 个 32bit 寄存器地址。



Offset Address		Register Name		Total Reset Value					
0xD000~0xD10C		VHDHLCOEf		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hlcoefn2		reserved		hlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	hlcoefn2	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 8 阶系数。						
[15:10]	-	reserved	保留。						
[9:0]	RW	hlcoefn1	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 7 阶系数。						

VHDHCCOEf

VHDHCCOEf 为 VHD 水平色度缩放滤波系数寄存器。存储格式参考 VHDHLCOEf。
VHD 水平色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xD200~0xD284		VHDHCCOEf		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hccoeffn2		reserved		hccoeffn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0xD200~0xD284		VHDHCCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hccoefn2		reserved		hccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[25:16]	RW	hccoefn2	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。						
[15:10]	-	reserved	保留。						
[9:0]	RW	hccoefn1	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。						

VHDVLCOEF

VHDVLCOEF 为 VHD 垂直亮度缩放滤波系数寄存器。存储格式参考 VHDHLCOEF。VHD 垂直亮度缩放滤波为 6 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，一个相位的 6 阶系数需要 4 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xD400~0xD50C		VHDVLCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vlcoefn2		reserved		vlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	vlcoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。						
[15:10]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0xD400~0xD50C		VHDVLCOEFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vlcoefn2		reserved		vlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[9:0]	RW	vlcoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。						

VHDVCCOEFG

VHDVCCOEFG 为 VHD 垂直色度缩放滤波系数寄存器。存储格式参考 VHDHLCOEFG。
VHD 垂直色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xD600~0xD684		VHDVCCOEFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vccoefn2		reserved		vccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	vccoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。						
[15:10]	-	reserved	保留。						
[9:0]	RW	vccoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。						



VHD1HLCOEF

VHD1HLCOEF 为 VHD1 水平亮度缩放滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

VHD 水平亮度缩放滤波为 8 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 8 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 8 阶系数需要 4 个 32bit 寄存器地址。

	Offset Address 0xD800~0xD90C				Register Name VHD1HLCOEF				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				hlcoefn2				reserved				hlcoefn1																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:26]	-		reserved		保留。																											
[25:16]	RW		hlcoefn2		水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 8 阶系数。																											
[15:10]	-		reserved		保留。																											
[9:0]	RW		hlcoefn1		水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 7 阶系数。																											

VHD1HCCOEF

VHD1HCCOEF 为 VHD1 水平色度缩放滤波系数寄存器。存储格式参考

VHDHLCOEF。VHD 水平色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。



Offset Address		Register Name		Total Reset Value					
0xDA00~0xDA84		VHD1HCCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hccoefn2		reserved		hccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	hccoefn2	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。						
[15:10]	-	reserved	保留。						
[9:0]	RW	hccoefn1	水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。						

VHD1VLCOEF

VHD1VLCOEF 为 VHD1 垂直亮度缩放滤波系数寄存器。存储格式参考 VHDHLCOEF。VHD 垂直亮度缩放滤波为 6 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，一个相位的 6 阶系数需要 4 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xDC00~0xDD0C		VHD1VLCOEF		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vlcoefn2		reserved		vlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	vlcoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。						
[15:10]	-	reserved	保留。						



Offset Address		Register Name		Total Reset Value					
0xDC00~0xDD0C		VHD1VLCOEFL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vlcoefn2		reserved		vlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[9:0]	RW	vlcoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。						

VHD1VCCOEFL

VHD1VCCOEFL 为 VHD1 垂直色度缩放滤波系数寄存器。存储格式参考 VHDHLCOEFL。VHD 垂直色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xDE00~0xDF84		VHD1VCCOEFL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vccoefn2		reserved		vccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	vccoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。						
[15:10]	-	reserved	保留。						
[9:0]	RW	vccoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。						



WBCHLCOEF

WBCHLCOEF 为 WBC 水平亮度缩放滤波系数寄存器。

每个滤波器系数为 10bit，由符号位和小数位组成，最高位为符号位，低 9bit 为小数位的绝对值。由于系数存放在片上 Memory 中，因此默认值为不定态。

WBC 水平亮度缩放滤波为 8 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 8 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 8 阶系数需要 4 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value												
0xE000~0xE10C		WBCHLCOEF		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				hlcoefn2				reserved				hlcoefn1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0								
Bits	Access	Name	Description													
[31:26]	-	reserved	保留。													
[25:16]	RW	hlcoefn2	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 8 阶系数。													
[15:10]	-	reserved	保留。													
[9:0]	RW	hlcoefn1	水平亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，表示第 7 阶系数。													

WBCHCCOEF

WBCHCCOEF 为 WBC 水平色度缩放滤波系数寄存器。存储格式参考 WBCHLCOEF。VHD 水平色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。



		Offset Address				Register Name				Total Reset Value																							
		0xE200~0xE284				WBCCHCOEF				0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				hccoefn2				reserved				hccoefn1																			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31:26]	-		reserved		保留。																											
	[25:16]	RW		hccoefn2		水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。																											
	[15:10]	-		reserved		保留。																											
	[9:0]	RW		hccoefn1		水平色度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。																											

WBCVLCOEF

WBCVLCOEF 为 WBC 垂直亮度缩放滤波系数寄存器。存储格式参考 WBCHLCOEF。VHD 垂直亮度缩放滤波为 6 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，一个相位的 6 阶系数需要 4 个 32bit 寄存器地址。

		Offset Address				Register Name				Total Reset Value																							
		0xE400~0xE50C				WBCVLCOEF				0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				vlcoefn2				reserved				vlcoefn1																			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31:26]	-		reserved		保留。																											
	[25:16]	RW		vlcoefn2		垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 4 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 6 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。																											
	[15:10]	-		reserved		保留。																											



Offset Address		Register Name		Total Reset Value					
0xE400~0xE50C		WBCVLCOEFC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vlcoefn2		reserved		vlcoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[9:0]	RW	vlcoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 时，表示第 3 阶系数； 当寄存器地址 bit[3:0]为 0x8 时，表示第 5 阶系数； 当寄存器地址 bit[3:0]为 0xC 时，为保留位。						

WBCVCCOEFC

WBCVCCOEFC 为 WBC 垂直色度缩放滤波系数寄存器。存储格式参考 WBCVLCOEFC。VHD 垂直色度缩放滤波为 4 阶 32 相位，由于对称关系，共存储 17 组系数，即 0~16 相位的 4 阶系数。每个寄存器地址包含 2 个 10bit 系数，因此一个相位的 4 阶系数需要 2 个 32bit 寄存器地址。

Offset Address		Register Name		Total Reset Value					
0xE600~0xE684		WBCVCCOEFC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		vccoefn2		reserved		vccoefn1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	vccoefn2	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 2 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 4 阶系数。						
[15:10]	-	reserved	保留。						
[9:0]	RW	vccoefn1	垂直亮度缩放滤波系数。 当寄存器地址 bit[3:0]为 0x0 或者 0x8 时，表示第 1 阶系数； 当寄存器地址 bit[3:0]为 0x4 或者 0xC 时，表示第 3 阶系数。						



DHDGAMMAN

DHDGAMMAN 为 DHD 通道 GAMMA 查找表系数寄存器。由于系数存放在片上 Memory 中，因此默认值为不定态。

Offset Address		Register Name		Total Reset Value				
0xE800~0xE880		DHDGAMMAN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	gamma_datarn	gamma_datagn	gamma_datagn	gamma_datagn	gamma_datagn	gamma_datagn	gamma_datagn
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RW	reserved	保留。					
[29:20]	RW	gamma_datarn	Gamma 表 R 分量第 n(0~32)分量值。					
[19:10]	RW	gamma_datagn	Gamma 表 G 分量第 n(0~32)分量值。					
[9:0]	RW	gamma_datagn	Gamma 表 B 分量第 n(0~32)分量值。					

DHD1GAMMAN

DHD1GAMMAN 为 DHD1 通道 GAMMA 查找表系数寄存器。由于系数存放在片上 Memory 中，因此默认值为不定态。

Offset Address		Register Name		Total Reset Value				
0xE900~0xE980		DHD1GAMMAN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	gamma_datarn	gamma_datagn	gamma_datagn	gamma_datagn	gamma_datagn	gamma_datagn	gamma_datagn
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RW	reserved	保留。					
[29:20]	RW	gamma_datarn	Gamma 表 R 分量第 n(0~32)分量值。					
[19:10]	RW	gamma_datagn	Gamma 表 G 分量第 n(0~32)分量值。					
[9:0]	RW	gamma_datagn	Gamma 表 B 分量第 n(0~32)分量值。					



目 录

12 音频编码	12-1
12.1 概述.....	12-1
12.2 特性.....	12-1
12.3 功能描述.....	12-1
12.4 工作方式.....	12-2
12.5 VOIE 寄存器概览	12-3
12.6 VOIE 寄存器描述	12-4
12.7 链表结构说明.....	12-22



插图目录

图 12-1 VOIE 功能框图	12-2
图 12-2 对应的链表结构.....	12-22
图 12-3 StCtrl 的存储结构	12-23
图 12-4 G726 通道变量结构.....	12-23
图 12-5 ADPCM 通道变量结构.....	12-24



表格目录

表 12-1 VOIE 寄存器概览（基址是 0x2064_0000） 12-3



12 音频编码

12.1 概述

语音硬件加速（VOIE, VoiceEngine）模块实现将 16bit 线性 PCM 音频数据编码压缩输出，支持 8/16/32/48KHz 采样频率输入，G726、G711A/U，ADPCM 三种语音编码协议编码输出。

12.2 特性

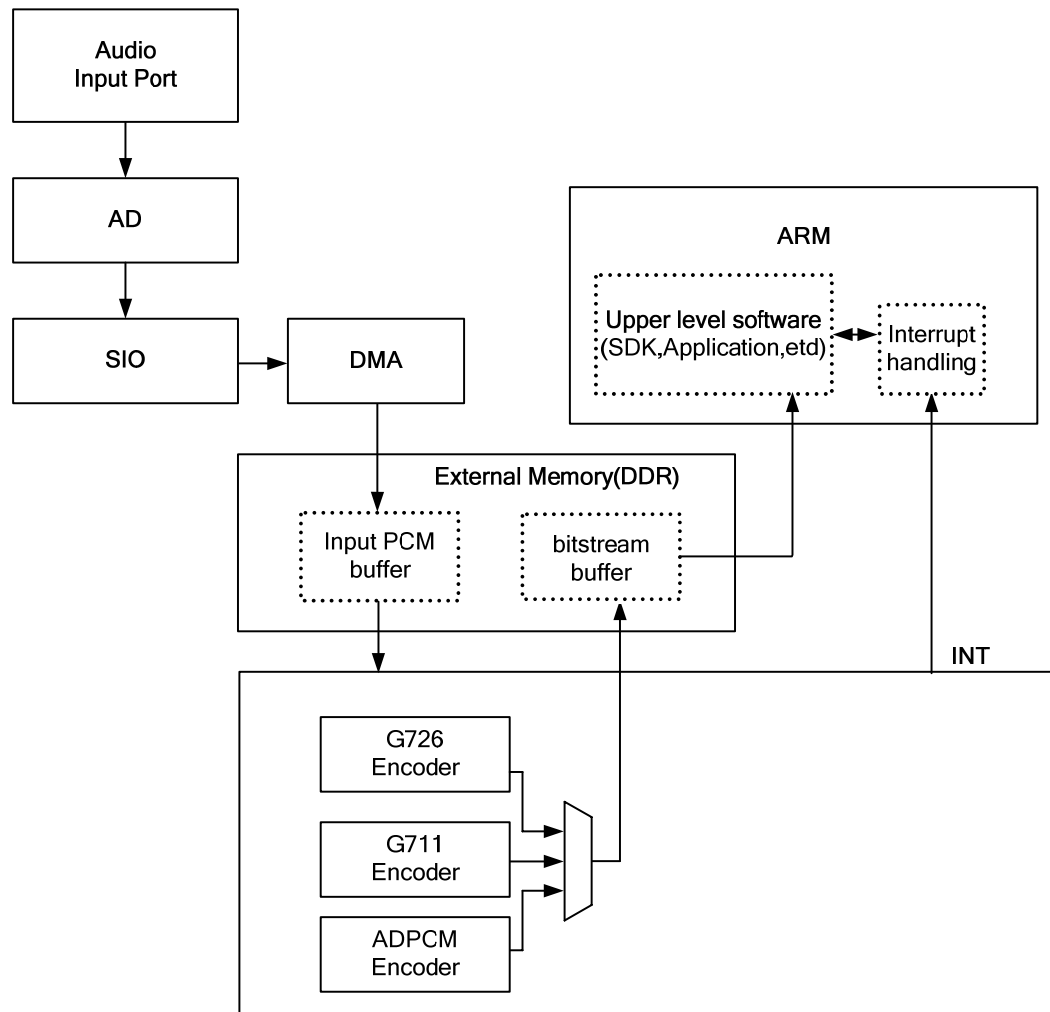
VOIE 模块具有以下特性：

- 输入音频样点格式支持 16bits 线性 PCM，小端模式输入。
- 采样频率支持 8/16/32/48KHz。
- 音频帧长度支持 10/20/30/40/50/60ms。
- 每帧输入音频路数可配置，最大支持每帧 17 路音频输入（包含 16 路编码输入，1 路对讲）。
- 支持每帧输入样点数目 80~2880（80 整数倍）。
- 支持 ITU-G.726 协议 40、32、24、16 kbit/s 四种编码压缩率。
- 支持 ITU-G.711A/U 协议编码输出。
- 支持 ADPCM_DVI4、ADPCM_ORG_DVI4 两种封装格式 ADPCM 编码输出。
- 编码输出支持海思帧头。
- 支持对输入帧进行校验，将校验错帧丢弃并上报中断。
- 支持对输入帧长度及编码模式校验，对不符合配置规范帧丢弃并上报中断。
- 支持多帧连续编码。

12.3 功能描述

VOIE 功能框图如图 12-1 所示。

图12-1 VOIE 功能框图



VOIE 由 G726 Encoder、G711 Encoder 及 ADPCM Encoder 三个编码器模块构成。根据配置编码模式的不同，选择相应的编码器工作。

各种编码模式相应的配置值请参见“[12.6 VOIE 寄存器描述](#)”。

12.4 工作方式

VOIE 首先从 DDR 中读取一帧的链表及语音帧数据，经过编码器后将码流写入到 DDR 中。

在启动 VOIE 进行语音编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下三种类型的缓冲区：

- 输入语音数据缓冲区

VOIE 在编码过程中会从该缓冲区读取待编码的语音数据。该缓冲区由 DMA 写入。



- 编码配置链表缓冲区
VOIE 在被启动后、开始编码前，从该缓冲区读取当前通道的配置信息，包括数据来源地址、目的地址、通道变量地址、下一通道链表地址及编码控制配置信息。
- 通道变量缓冲区
VOIE 在编码过程中会从该缓冲区读取当前通道的通道变量及校验信息（G711 协议编码时无需该类信息），并在编码完成后对其进行刷新。
链表及通道变量的配置结构请参见“12.7 链表结构说明”。表中 G726_check 为其上所有（共 11 个）32bit 变量做无进位累加和；ADPCM_check 则与其上 32bit 变量值一致。

12.5 VOIE 寄存器概览

VOIE 寄存器概览如表 12-1 所示。

表12-1 VOIE 寄存器概览（基址是 0x2064_0000）

偏移地址	名称	描述	页码
0x0000	VOIE_INTSTAT	中断状态寄存器	12-4
0x0004	VOIE_INTMASK	中断屏蔽寄存器	12-5
0x0008	VOIE_RAWINT	屏蔽前状态寄存器	12-6
0x000C	VOIE_INTCLR	中断清除寄存器	12-7
0x0010	VIOE_START	编码开始信号寄存器	12-8
0x0014	VOIE_OUTSTDING	outstanding 配置寄存器	12-9
0x0020	VOIE_MODE	VOIE 工作模式寄存器	12-9
0x0028	VOIE_CFG	首个链表地址寄存器	12-10
0x002C	RESERVED1	保留	12-11
0x0030	VOIE_LLICFG0	链表成员寄存器（SrcPhyAddr）	12-11
0x0034	VOIE_LLICFG1	链表成员寄存器（DstPhyAddr）	12-11
0x0038	VOIE_LLICFG2	链表成员寄存器（StatePhyAddr）	12-12
0x003C	VOIE_LLICFG3	链表成员寄存器（NextLLiAddr）	12-12
0x0040	VOIE_LLICFG4	链表成员寄存器（StCtrl）	12-13
0x0044	RESERVED2	保留寄	12-15
0x0050	VOIE_LLISTATE0	G726 编码通道变量寄存器 0	12-15
0x0054	VOIE_LLISTATE1	G726 编码通道变量寄存器 1	12-15



偏移地址	名称	描述	页码
0x0058	VOIE_LLSTATE2	G726 编码通道变量寄存器 2	12-16
0x005C	VOIE_LLSTATE3	G726 编码通道变量寄存器 3	12-16
0x0060	VOIE_LLSTATE4	G726 编码通道变量寄存器 4	12-17
0x0064	VOIE_LLSTATE5	G726 编码通道变量寄存器 5	12-17
0x0068	VOIE_LLSTATE6	G726 编码通道变量寄存器 6	12-18
0x006C	VOIE_LLSTATE7	G726 编码通道变量寄存器 7	12-18
0x0070	VOIE_LLSTATE8	G726 编码通道变量寄存器 8	12-19
0x0074	VOIE_LLSTATE9	G726 编码通道变量寄存器 9	12-19
0x0078	VOIE_LLSTATE10	G726 编码通道变量寄存器 10	12-20
0x007C	VOIE_STATE_CHK 0	G726 通道变量校验寄存器	12-20
0x0080	VOIE_LLSTATE11	ADPCM 编码通道变量寄存器 11	12-21
0x0084	VOIE_STATE_CHK 1	ADPCM 通道变量校验寄存器	12-21

12.6 VOIE 寄存器描述

VOIE_INTSTAT

VOIE_INTSTAT 为中断状态寄存器。



	Offset Address 0x0000				Register Name VOIE_INTSTAT								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cfgErr	reserved				chkErr	reserved				VoieEndofSingle	reserved				VoieEndOfFrame												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:25]	RO		reserved		保留。																											
[24]	RO		cfgErr		配置出错标志。 0: 配置正确; 1: 配置出错。																											
[23:17]	RO		reserved		保留。																											
[16]	RO		chkErr		检查出错标志。 0: 通道变量校验正确; 1: 通道变量校验出错。																											
[15:9]	RO		reserved		保留。																											
[8]	RO		VoieEndofSingle		单通道编码结束标志。 0: 单通道编码未结束; 1: 单通道编码结束。																											
[7:1]	RO		reserved		保留。																											
[0]	RO		VoieEndOfFrame		帧编码结束标志。 0: 当前帧编码未结束; 1: 当前帧编码结束。																											

VOIE_INTMASK

VOIE_INTMASK 为中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0004		VOIE_INTMASK		0x0101_0101																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cfgErrMask	reserved				chkErrMask	reserved				VoieEndofSingleMask	reserved				VoieEndOfPicMask												
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:25]	RO	reserved	保留。																													
[24]	RW	cfgErrMask	配置出错标志屏蔽使能。 0: 使能; 1: 关闭。																													
[23:17]	RO	reserved	保留。																													
[16]	RW	chkErrMask	检查出错标志屏蔽使能。 0: 使能; 1: 关闭。																													
[15:9]	RO	reserved	保留。																													
[8]	RW	VoieEndofSingleMask	单通道编码结束屏蔽使能。 0: 使能; 1: 关闭。																													
[7:1]	RO	reserved	保留。																													
[0]	RW	VoieEndOfPicMask	帧编码结束屏蔽使能。 0: 使能; 1: 关闭。																													

VOIE_RAWINT

VOIE_RAWINT 为屏蔽前状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0008		VOIE_RAWINT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cfgErr	reserved				chkErr	reserved				VoieEndofSingle	reserved				VoieEndOfFrame												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:25]	RO		reserved		保留。																											
[24]	RO		cfgErr		配置出错标志。 0: 正确; 1: 错误。																											
[23:17]	RO		reserved		保留。																											
[16]	RO		chkErr		检查出错标志。 0: 通道变量校验正确; 1: 通道变量校验出错。																											
[15:9]	RO		reserved		保留。																											
[8]	RO		VoieEndofSingle		单通道编码结束标志。 0: 单通道编码未结束; 1: 单通道编码结束。																											
[7:1]	RO		reserved		保留。																											
[0]	RO		VoieEndOfFrame		帧编码结束标志。 0: 当前帧编码未结束; 1: 当前帧编码结束。																											

VOIE_INTCLR

VOIE_INTCLR 为中断清除寄存器。



	Offset Address 0x000C				Register Name VOIE_INTCLR								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cfgErrClr	reserved				chkErrClr	reserved				VoieEndofSingleClr	reserved				VoieEndOfFrameClr												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:25]	RO	reserved	保留。																													
[24]	WC	cfgErrClr	配置出错源中断清除。 写 1 清。																													
[23:17]	RO	reserved	保留。																													
[16]	WC	chkErrClr	通道变量检查出错标志源中断清除。 写 1 清。																													
[15:9]	RO	reserved	保留。																													
[8]	WC	VoieEndofSingleClr	单通道编码结束源中断清除。 写 1 清。																													
[7:1]	RO	reserved	保留。																													
[0]	WC	VoieEndOfFrameClr	帧编码结束源中断清除。 写 1 清。																													

VIOE_START

VIOE_START 为编码开始信号寄存器。



Offset Address		Register Name		Total Reset Value					
0x0010		VIOE_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								Start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	WO	Start	编码启动信号。 0: 编码未启动; 1: 编码启动。						

VOIE_OUTSTDING

VOIE_OUTSTDING 为 outstanding 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0014		VOIE_OUTSTDING		0x0000_0007				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							xxx
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	xxx	配置 AXI 接口 outstanding 深度(支持 0~7 配置)。					

VOIE_MODE

VOIE_MODE 为 VOIE 工作模式寄存器。



Offset Address		Register Name		Total Reset Value						
0x0020		VOIE_MODE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			memClkGateEn	clkGateEn	reserved		accesslockEn	reserved	timeEn
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:19]	RO	reserved	保留。							
[18]	RW	memClkGateEn	存储器时钟门控使能。 注意：不需配置，无效。							
[17:16]	RW	clkGateEn	时钟门控使能。 注意：不需配置，无效。							
[15:9]	RO	reserved	保留。							
[8]	RW	accesslockEn	内部配置锁使能。 注意：不需配置，无效。							
[7:2]	RO	reserved	保留。							
[1:0]	RW	timeEn	超时检测使能。 注意：不需配置，无效。							

VOIE_CFG

VOIE_CFG 为首个链表地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x0028		VOIE_CFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	AddrOfFirstLLI								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	AddrOfFirstLLI	存储当前语音帧首个链表的地址。 注意：编码开始前配置，要求 128bit 对齐。						



RESERVED1

RESERVED1 为保留寄存器。

Offset Address		Register Name		Total Reset Value				
0x002C		RESERVED1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	reserved	保留。					

VOIE_LLICFG0

VOIE_LLICFG0 为链表成员寄存器 (SrcPhyAddr)。

Offset Address		Register Name		Total Reset Value				
0x0030		VOIE_LLICFG0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	SrcPhyAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	SrcPhyAddr	待编码语音帧数据在 DDR 中存放的物理地址，要求 128bit 地址对齐。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 注意：这里仅供调试时回读。					

VOIE_LLICFG1

VOIE_LLICFG1 为链表成员寄存器 (DstPhyAddr)。



Offset Address		Register Name		Total Reset Value				
0x0034		VOIE_LLICFG1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DstPhyAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	DstPhyAddr	编码后码流输出到 DDR 的物理地址，16bit 地址对齐。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 注意：这里仅供调试时回读。					

VOIE_LLICFG2

VOIE_LLICFG2 为链表成员寄存器 (StatePhyAddr)。

Offset Address		Register Name		Total Reset Value				
0x0038		VOIE_LLICFG2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	StatePhyAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	StatePhyAddr	编码时通道变量在 DDR 中存放的物理地址，要求 128bit 地址对齐。 在 G726 和 ADPCM 编码时必须配置；G711 编码时不使用通道变量，可以不配置。 在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。 注意：这里仅供调试时回读。					

VOIE_LLICFG3

VOIE_LLICFG3 为链表成员寄存器 (NextLLiAddr)。



Offset Address		Register Name		Total Reset Value				
0x003C		VOIE_LLICFG3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	NextLLiAddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	NextLLiAddr	<p>下一个通道链表存储地址，128bit 地址对齐。</p> <p>若当前通道为本帧最后一个通道，则将下一链表地址配置为 0x000000；否则不允许配置为 0。</p> <p>在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。</p> <p>注意：这里仅供调试时回读。</p>					

VOIE_LLICFG4

VOIE_LLICFG4 为链表成员寄存器（StCtrl，编码控制）。

Offset Address		Register Name		Total Reset Value					
0x0040		VOIE_LLICFG4		0x0000_0081					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	SamplesPerFrame			Codec			hisi_head	reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RO	SamplesPerFrame	<p>当前语音帧所包含的音频样点数目：80~2880(且为 80 的整数倍)。</p> <p>在编码开始前由软件写入到相应链表 DDR 地址中，编码开始后由 AXI 总线载入。</p> <p>注意：这里仅供调试时回读。</p>						



Offset Address		Register Name		Total Reset Value					
0x0040		VOIE_LLICFG4		0x0000_0081					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	SamplesPerFrame				Codec			hisi_head	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[15:8]	RO	Codec	编码类型配置。 0x01: G711 Alaw; 0x02: G711 Ulaw; 0x03: ADPCM_DIV4; 0x04: G726_16kbps; 0x05: G726_24kbps; 0x06: G726_32kbps; 0x07: G726_40kbps; 0x24: MEDIA_G726_16kbps; 0x25: MEDIA_G726_24kbps; 0x26: MEDIA_G726_32kbps; 0x27: MEDIA_G726_40kbps; 0x43: ADPCM_ORG_DIV4; 其他: 非法配置, VOIE 若收到其他配置会上报配置错误中 断。 在编码开始前由软件写入到相应链表 DDR 地址中, 编码开始 后由 AXI 总线载入。 注意: 这里仅供调试时回读。						
[7]	RW	hisi_head	输出码流海思帧头使能。 0: 不含海思帧头; 1: 码流包含海思帧头。 默认配置为 0x1。 在编码开始前由软件写入到相应链表 DDR 地址中, 编码开始 后由 AXI 总线载入。 注意: 这里仅供调试时回读。						
[6:0]	RO	reserved	保留扩展。						



RESERVED2

RESERVED2 为链表成员寄存器。

Offset Address		Register Name		Total Reset Value					
0x0044		RESERVED2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	reserved	保留。						

VOIE_LLISTATE0

VOIE_LLISTATE0 为 G726 编码通道变量寄存器。

Offset Address		Register Name		Total Reset Value				
0x0050		VOIE_LLISTATE0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	A1				A2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	A1	G726 编码通道变量。二阶极点预测器系数 1。					
[15:0]	RO	A2	G726 编码通道变量。二阶极点预测器系数 2。					

VOIE_LLISTATE1

VOIE_LLISTATE1 为 G726 编码通道变量寄存器 1。

Offset Address		Register Name		Total Reset Value						
0x0054		VOIE_LLISTATE1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	AP			reserved		PK 1	PK 2	reserved		TD
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:22]	RO	AP	G726 编码通道变量。延时速度控制参数。							



Offset Address		Register Name		Total Reset Value						
0x0054		VOIE_LLISTATE1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	AP			reserved		PK1	PK2	reserved		TD
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[21:16]	RO	reserved	保留。							
[15]	RO	PK1	G726 编码通道变量。延时为 1 的 DQ+SEZ 符号位。							
[14]	RO	PK2	G726 编码通道变量。延时为 2 的 DQ+SEZ 符号位。							
[13:1]	RO	reserved	保留。							
[0]	RO	TD	G726 编码通道变量。单音检测信号。							

VOIE_LLISTATE2

VOIE_LLISTATE2 为 G726 编码通道变量寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0058		VOIE_LLISTATE2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	B1				B2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	B1	G726 编码通道变量。六阶零点预测器系数 1。					
[15:0]	RO	B2	G726 编码通道变量。六阶零点预测器系数 2。					

VOIE_LLISTATE3

VOIE_LLISTATE3 为 G726 编码通道变量寄存器 3。



Offset Address		Register Name		Total Reset Value				
0x005C		VOIE_LLISTATE3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	B3				B4			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	B3	G726 编码通道变量。六阶零点预测器系数 3。					
[15:0]	RO	B4	G726 编码通道变量。六阶零点预测器系数 4。					

VOIE_LLISTATE4

VOIE_LLISTATE4 为 G726 编码通道变量寄存器 4。

Offset Address		Register Name		Total Reset Value				
0x0060		VOIE_LLISTATE4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	B5				B6			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	B5	G726 编码通道变量。六阶零点预测器系数 5。					
[15:0]	RO	B6	G726 编码通道变量。六阶零点预测器系数 6。					

VOIE_LLISTATE5

VOIE_LLISTATE5 为 G726 编码通道变量寄存器 5。

Offset Address		Register Name		Total Reset Value				
0x0064		VOIE_LLISTATE5		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	DML			reserved	DMS			reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:18]	RO	DML	G726 编码通道变量。延时的 F(I)长期平均值。					



Offset Address		Register Name		Total Reset Value																												
0x0064		VOIE_LLISTATE5		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DML								reserved	DMS								reserved														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[17:16]	RO		reserved		保留。																											
[15:4]	RO		DMS		G726 编码通道变量。延时的 F(I)短期平均值。																											
[3:0]	RO		reserved		保留。																											

VOIE_LLISTATE6

VOIE_LLISTATE6 为 G726 编码通道变量寄存器 6。

Offset Address		Register Name		Total Reset Value																												
0x0068		VOIE_LLISTATE6		0x0400_0400																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DQ1								reserved	DQ2								reserved														
Reset	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:21]	RO		DQ1		G726 编码通道变量。延时为 1 的量化差值信号。																											
[20:16]	RO		reserved		保留。																											
[15:5]	RO		DQ2		G726 编码通道变量。延时为 2 的量化差值信号。																											
[4:0]	RO		reserved		保留。																											

VOIE_LLISTATE7

VOIE_LLISTATE7 为 G726 编码通道变量寄存器 7。



Offset Address		Register Name		Total Reset Value					
0x006C		VOIE_LLISTATE7		0x0400_0400					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	DQ3			reserved		DQ4			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	DQ3	G726 编码通道变量。延时为 3 的量化差值信号。						
[20:16]	RO	reserved	保留。						
[15:5]	RO	DQ4	G726 编码通道变量。延时为 4 的量化差值信号。						
[4:0]	RO	reserved	保留。						

VOIE_LLISTATE8

VOIE_LLISTATE8 为 G726 编码通道变量寄存器 8。

Offset Address		Register Name		Total Reset Value					
0x0070		VOIE_LLISTATE8		0x0400_0400					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	DQ5			reserved		DQ6			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	DQ5	G726 编码通道变量。延时为 5 的量化差值信号。						
[20:16]	RO	reserved	保留。						
[15:5]	RO	DQ6	G726 编码通道变量。延时为 6 的量化差值信号。						
[4:0]	RO	reserved	保留。						

VOIE_LLISTATE9

VOIE_LLISTATE9 为 G726 编码通道变量寄存器 9。



Offset Address		Register Name		Total Reset Value					
0x0074		VOIE_LLISTATE9		0x0400_0400					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	SR1			reserved		SR2			reserved
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	SR1	G726 编码通道变量。延时为 1 的重构信号。						
[20:16]	RO	reserved	保留。						
[15:5]	RO	SR2	G726 编码通道变量。延时为 2 的重构信号。						
[4:0]	RO	reserved	保留。						

VOIE_LLISTATE10

VOIE_LLISTATE10 为 G726 编码通道变量寄存器 10。

Offset Address		Register Name		Total Reset Value				
0x0078		VOIE_LLISTATE10		0x1100_0220				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	YL					YU		
Reset	0 0 0 1	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:13]	RO	YL	G726 编码通道变量。慢速量化尺度因子。					
[12:0]	RO	YU	G726 编码通道变量。快速量化尺度因子。					

VOIE_STATE_CHK0

VOIE_STATE_CHK0 为 G726 通道变量校验寄存器。



Offset Address		Register Name		Total Reset Value				
0x007C		VOIE_STATE_CHK0		0x2100_1220				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	g726_check							
Reset	0 0 1 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	g726_check	G726 通道变量校验结果。					

VOIE_LLSTATE11

VOIE_LLSTATE11 为 ADPCM 编码通道变量寄存器 11。

Offset Address		Register Name		Total Reset Value					
0x0080		VOIE_LLSTATE11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	valprev			reserved			index		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	valprev	ADPCM 编码通道变量。上一音频点重构值。						
[15:8]	RO	reserved	保留。						
[7:0]	RO	index	ADPCM 编码通道变量。量化表的索引值。						

VOIE_STATE_CHK1

VOIE_STATE_CHK1 为 ADPCM 通道变量校验寄存器。

Offset Address		Register Name		Total Reset Value				
0x0084		VOIE_STATE_CHK1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	adpcm_check							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	adpcm_check	ADPCM 通道变量校验结果。					



12.7 链表结构说明

图 12-2 为链表结构体及其在 DDR 中的排列方式。需要将链表写入 DDR 中，并将首链表地址通过寄存器配置到 VOIE_CFG 寄存器（地址：0x2064_0028）。

链表结构体：

```
typedef struct hiVOICE_ENGINE_LLI_STATE
{
    HI_U32          u32SrcPhyAddr;
    HI_U32          u32DstPhyAddr;
    HI_U32          u32StatePhyAddr;
    HI_U32          u32NextLLiAddr;
    VOICE_ENGINE_Ctrl stCtrl;
    HI_U32          u32Reserved0;
    HI_U32          u32Reserved1;
    HI_U32          u32Reserved2;
} VOICE_ENGINE_LLI_STATE;
```

图12-2 对应的链表结构

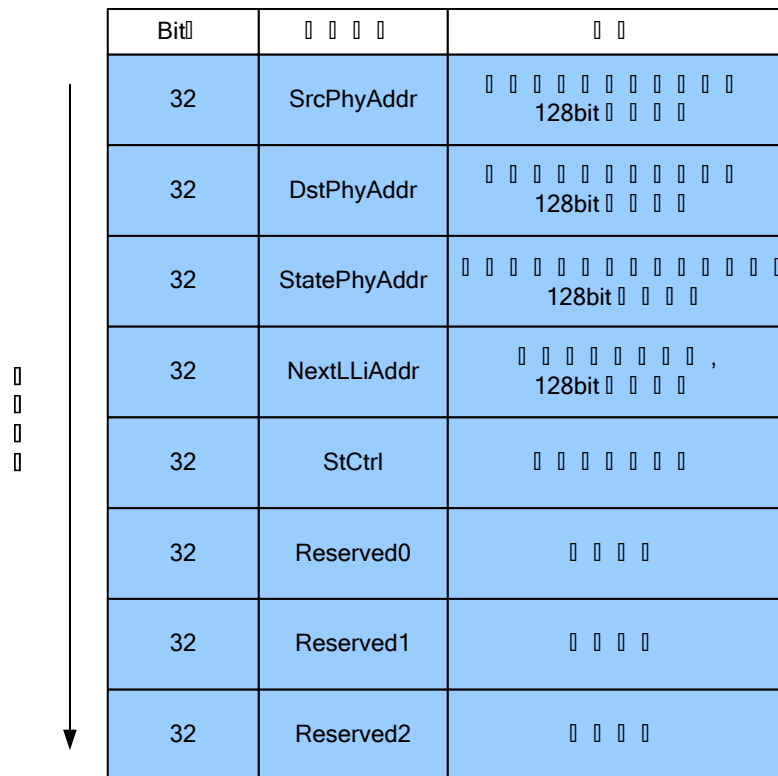




图12-3 StCtrl 的存储结构

位	Reserved	hisi_head	Codec	SamplesPerFrame
Bit	6:0	7	15:8	31:16

图12-4 G726 通道变量结构

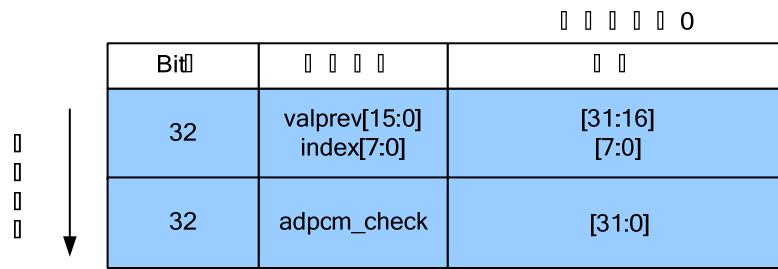
保留为均为0

Bit数	存储内容	说明
32	A1[15:0] A2[15:0]	[31:16] [15:0]
32	AP[9:0] PK1 PK2 TD	[31:22] [15] [14] [0]
32	B1[15:0] B2[15:0]	[31:16] [15:0]
32	B3[15:0] B4[15:0]	[31:16] [15:0]
32	B5[15:0] B6[15:0]	[31:16] [15:0]
32	DML[13:0] DMS[11:0]	[31:18] [15:4]
32	DQ1[10:0] DQ2[10:0]	[31:21] [15:5]
32	DQ3[10:0] DQ4[10:0]	[31:21] [15:5]
32	DQ5[10:0] DQ6[10:0]	[31:21] [15:5]
32	SR1[10:0] SR2[10:0]	[31:21] [15:5]
32	YL[18:0] YU[12:0]	[31:13] [12:0]
32	G726_check	[31:0]

地址递增



图12-5 ADPCM 通道变量结构





目 录

13 音频接口	13-1
13.1 SIO	13-1
13.1.1 概述	13-1
13.1.2 特点	13-1
13.1.3 功能描述	13-2
13.1.4 工作方式	13-7
13.1.5 寄存器概览.....	13-10
13.1.6 寄存器描述.....	13-11



插图目录

图 13-1 I ² S 接口主模式连接示意图.....	13-2
图 13-2 I ² S 接口从模式连接示意图.....	13-3
图 13-3 录音 I ² S/PCM 主模式.....	13-3
图 13-4 录音 I ² S/PCM 从模式.....	13-4
图 13-5 I ² S 接口时序.....	13-5
图 13-6 PCM 接口标准模式时序.....	13-5
图 13-7 PCM 接口自定义模式时序.....	13-5
图 13-8 I ² S 2/4/8/16 路接收.....	13-6
图 13-9 PCM 2/4/8/16 路接收.....	13-6



表格目录

表 13-1 SIO 寄存器概览 13-10



13 音频接口

13.1 SIO

13.1.1 概述

音频输入输出接口 SIO (Sonic Input/Output)，用于和片外 Audio CODEC 芯片连接，完成音乐（语音）的播放及录制。Hi3531 内部集成 6 个 SIO，SIO0、SIO1、SIO2、SIO3、SIO4 和 SIO5，其中 SIO0、SIO1、SIO2 和 SIO3 支持 8/16 路音频输入，SIO4 支持语音对讲的输入输出，SIO5 通过 I²S 接口实现与 HDMI 在芯片内部对接。

13.1.2 特点

SIO 接口支持 PCM (Pulse Code Modulation) 和 I²S 两种模式。其中，PCM 接口主要用于语音通道，比如 VOIP 电话；I²S 接口主要用于配合 AUDIO CODEC 完成对讲和录音。SIO 接口还支持 DMA 操作。

PCM 接口

PCM 接口有如下特点：

- 支持主模式和从模式。
- 支持单声道 8bit 或 16bit 线性 PCM 编码的发送和接收。
- 支持 2/4/8/16 路 8/16 bit 数据的多路接收。
- 支持由芯片内部产生位时钟以及帧同步信号，也可支持外接时钟及同步信号。
- PCM 接口帧同步信号仅支持短脉冲同步信号（同步信号的持续时间为 1 个时钟周期），支持标准和自定义 2 种模式。
- 支持发送和接收通道单独使能。
- 接收通道和发送通道具有独立的 FIFO（深度为 16）。

I²S 接口

I²S 接口有如下特点：

- 支持主模式和从模式。



- 支持左右声道 16/18/20/24/32bit 数据位宽的发送和接收。
- 支持 2/4/8/16 路 8/16bit 数据的多路接收。
- 支持 8K~192K 采样率。
- I²S 接收通道和发送通道具有独立的 FIFO，并且，每个通道的左声道和右声道均有独立的 FIFO，其 FIFO 深度为 16，FIFO 水线可调。
- I²S 支持发送和接收通道单独使能。
- 对于 I²S 接口 16bit 数据宽度的传输模式，支持左右声道接收数据合并成一个 32bit 数据在接收 FIFO 中存储，支持左右声道发送数据合并成一个 32bit 数据写入发送 FIFO，从而提高 FIFO 的缓冲能力。多路（2/4/8/16 路 8/16bit 数据）接收时不支持该合并功能。

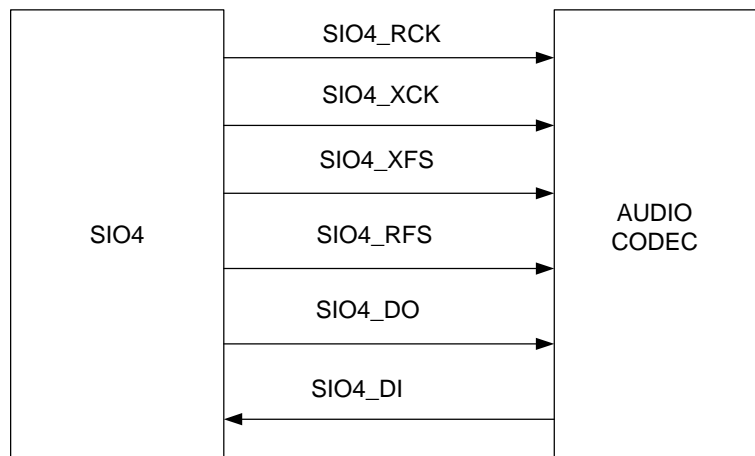
13.1.3 功能描述

典型应用

SIO4 用于语音对讲（输入输出），以下对 I²S 接口的典型连接进行说明。

主模式下，I²S 接口的典型连接如图 13-1 所示。

图13-1 I²S 接口主模式连接示意图

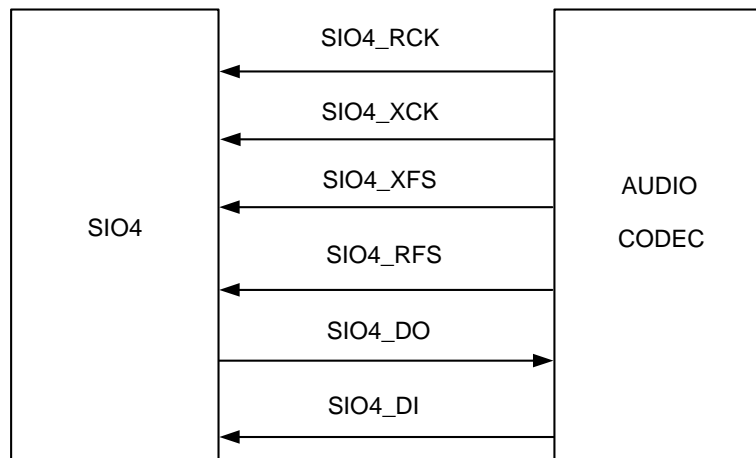


在主模式下，位流时钟和左右声道选择信号由 SIO 送给 AUDIO CODEC。而在从模式下，位流时钟和左右声道选择信号由 AUDIO CODEC 送给 SIO。

从模式下，I²S 接口的典型连接如图 13-2 所示。



图13-2 I²S 接口从模式连接示意图



在从模式下，AUDIO CODEC 的主工作时钟使用外接的晶振。

由 SIO 提供时钟和同步信号时（主模式），PCM 接口的连接同 I²S 模式一样，如图 13-1 所示。

由 AUDIO CODEC 提供时钟和同步信号时（从模式），PCM 接口的连接同 I²S 模式一样，如图 13-2 所示。

由 AUDIO CODEC 提供时钟和同步信号时，AUDIO CODEC 的主工作时钟来自外接的晶振。

SIO0~SIO3 用于典型 8/16 路 16bits 音频数据的录音，以 SIO0 示意，对其连接进行说明。I²S/PCM 模式连接如图 13-3 和图 13-4 所示。

图13-3 录音 I²S/PCM 主模式

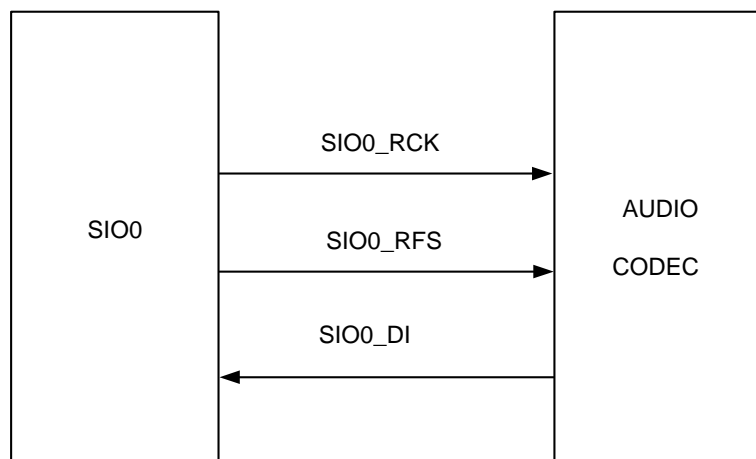
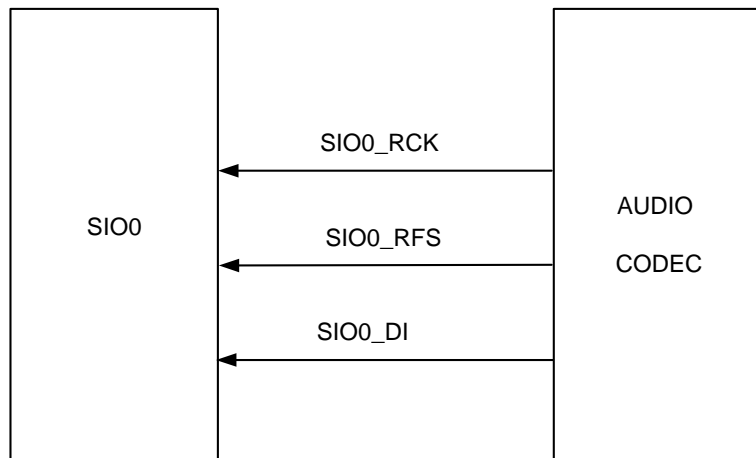
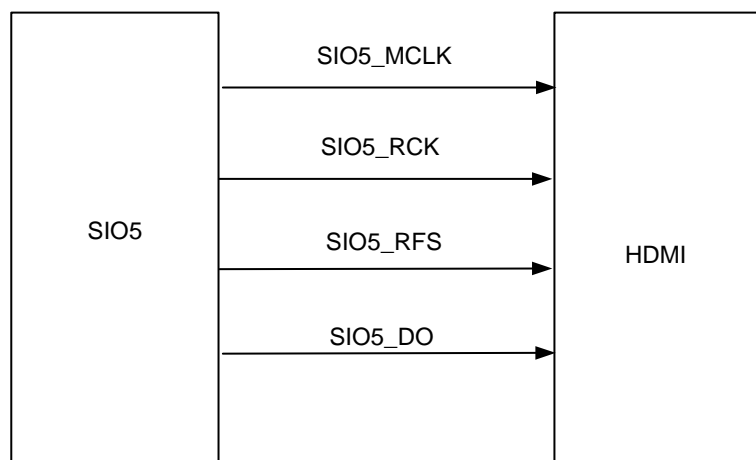


图13-4 录音 I²S/PCM 从模式

录音采用多路接收功能，即支持接收输入 2/4/8/16 路，数据位宽为 8/16bits。
SIO1~SIO3 连接与上描述相同。

SIO5 在芯片内部实现和 HDMI 对接，对接方式只支持主模式，并且是 I²S 连接模式。
SIO 与 HDMI 对接示意图如图 13-5 所示。

图13-5 SIO 与 HDMI 对接示意图



功能原理

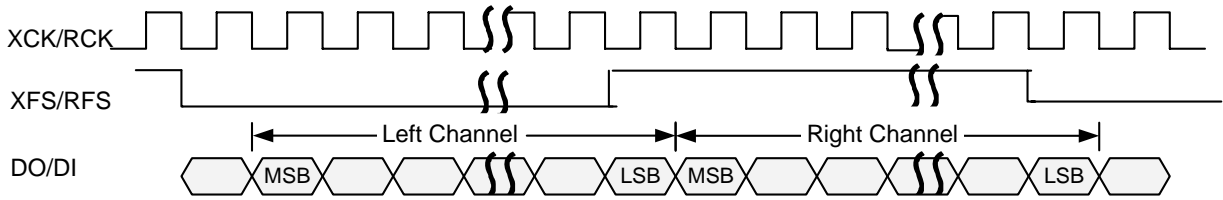
SIO 接收通过内部总线传送过来的音频数据，然后按照设定的采样率，把音频数据通过 I²S 或 PCM 接口传送给对接的 AUDIO CODEC，AUDIO CODEC 进行 DA（Digital-to-Analog）转换后进行声音播放。同时，通过 I²S 或 PCM 接口，SIO 接收对接 AUDIO CODEC 进行 AD（Analog-to-Digital）转换后的音频数据，先存入内部 FIFO，然后由 CPU 取走并存储，从而完成录音功能。

I²S 接口传输数据分为左右两个声道，根据 XFS（RFS）信号的高低电平区分，如图 13-5 所示。按照协议，用 XCK/RCK 时钟的上升沿进行数据采样，MSB 在 XFS/RFS 变化的下一个时钟周期有效。总是先传送 MSB，后传送 LSB。



I²S 接口的时序如图 13-5 所示。

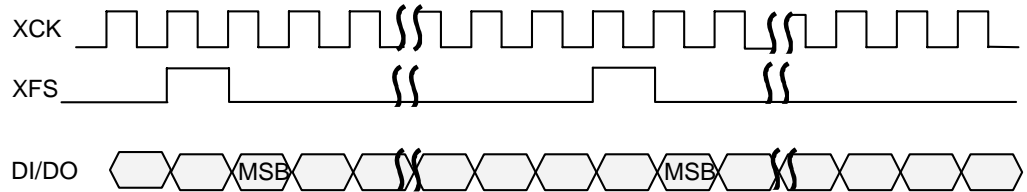
图13-6 I²S 接口时序



PCM 接口传输的数据是单声道数据，XFS 标识数据的起始位置，先发送（接收）最高有效位 MSB，使用时钟的下降沿采样数据。标准模式时序中，MSB 数据在 XFS 高电平脉冲之后一个周期有效；自定义模式时序中，MSB 的位置是与 XFS 的高电平脉冲对齐的。

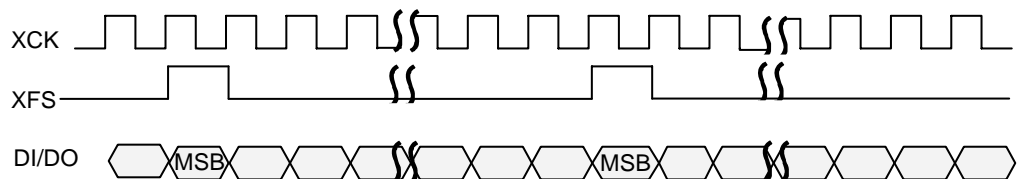
PCM 接口标准模式下的时序如图 13-6 所示。

图13-7 PCM 接口标准模式时序



PCM 接口自定义模式下的时序如图 13-7 所示。

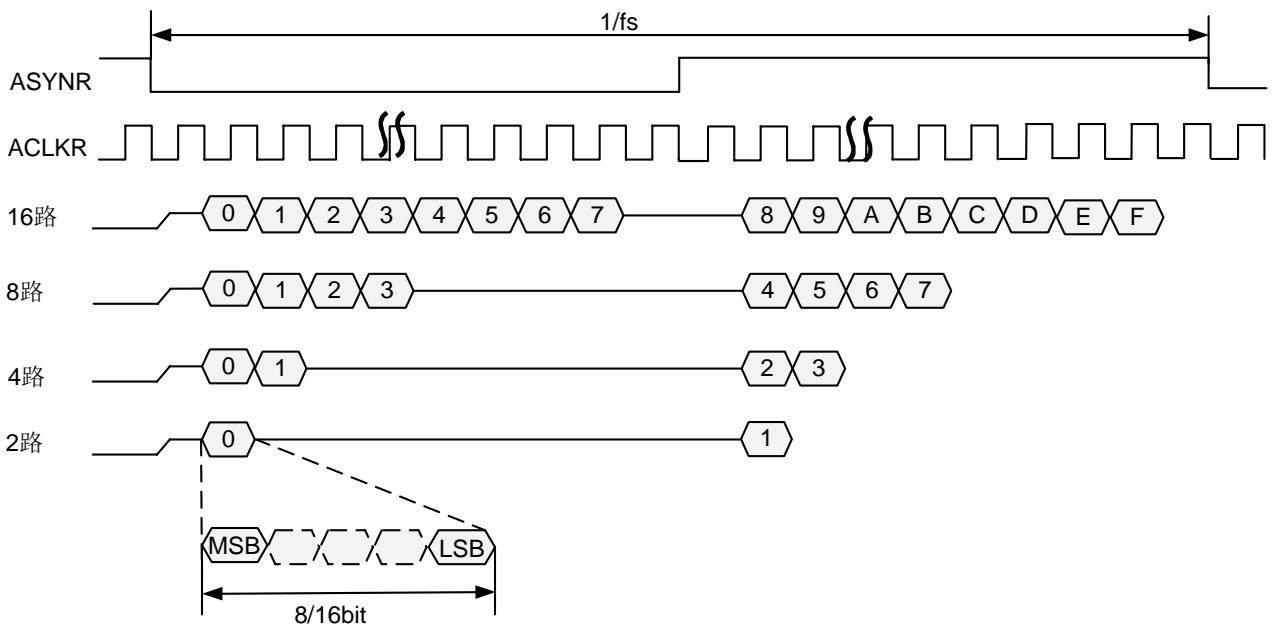
图13-8 PCM 接口自定义模式时序



I²S 进行多路（2/4/8/16 路 8/16bit）接收时，数据分别放于 I²S 时序的左右声道，如图 13-8 所示。

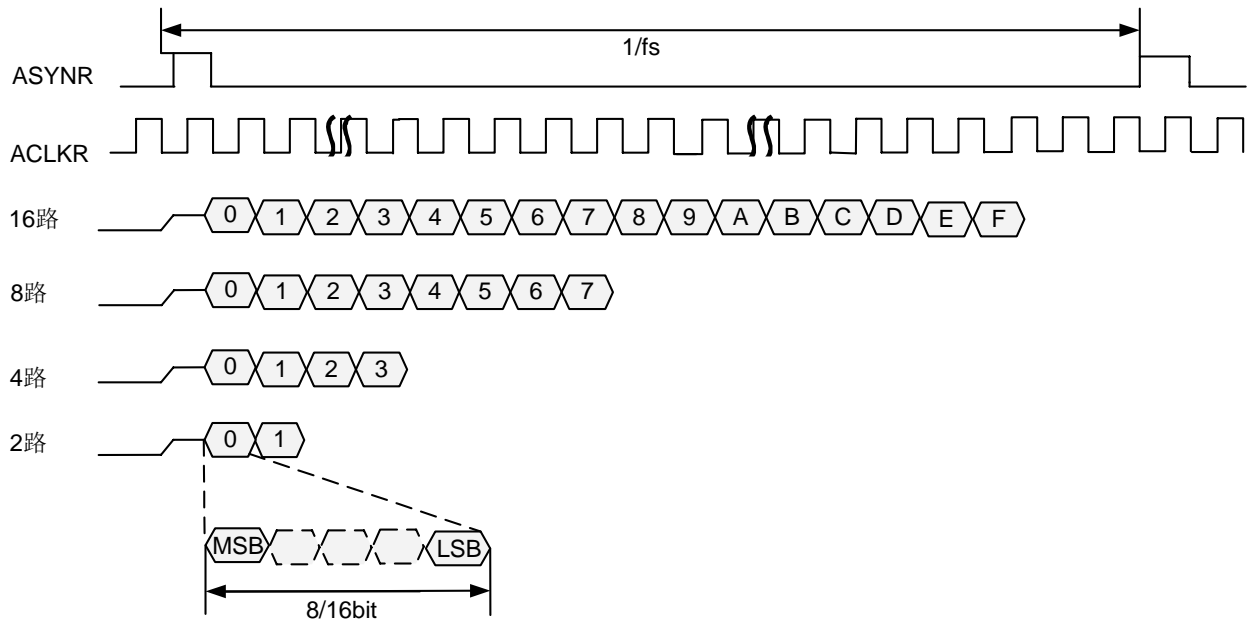


图13-9 I²S 2/4/8/16 路接收



PCM 模式下的多路接收，如图 13-9 所示。支持 PCM 标准和自定义两种模式，与单声道不同的是，SIO 可以选择数据采样时刻（上升沿或下降沿）接收。以上升沿为例。

图13-10 PCM 2/4/8/16 路接收





13.1.4 工作方式

时钟门控

当不进行录音或者音频播放时，设置 SIO 的 `SIO_CT_SET[rx_enable]`和 `SIO_CT_SET[tx_enable]`为 0 后，可以配置 PERI_CRG35、PERI_CRG36、PERI_CRG37 PERI_CRG38 PERI_CRG39 PERI_CRG40 关断 SIO 时钟：

- 向 PERI_CRG35 [sio0_cken]写 0，关断 SIO0 的时钟。
- 向 PERI_CRG36 [sio1_cken]写 0，关断 SIO1 的时钟。
- 向 PERI_CRG37 [sio2_cken]写 0，关断 SIO2 的时钟。
- 向 PERI_CRG38 [sio3_cken]写 0，关断 SIO3 的时钟。
- 向 PERI_CRG39 [sio4_cken]写 0，关断 SIO4 的时钟。
- 向 PERI_CRG40 [sio5_cken]写 0，关断 SIO5 的时钟。

如果要恢复时钟产生，可以将相应寄存器值配为 1：

- 向 PERI_CRG35 [sio0_cken]写 1，打开 SIO0 的时钟使能。
- 向 PERI_CRG36 [sio1_cken]写 1，打开 SIO1 的时钟使能。
- 向 PERI_CRG37 [sio2_cken]写 1，打开 SIO2 的时钟使能。
- 向 PERI_CRG38 [sio3_cken]写 1，打开 SIO3 的时钟使能。
- 向 PERI_CRG39 [sio4_cken]写 1，打开 SIO4 的时钟使能。
- 向 PERI_CRG40 [sio5_cken]写 1，打开 SIO5 的时钟使能。
-

时钟配置

6 个 SIO 相互独立，时钟配置方式相同，其中 SIO0~SIO4 可以选择主模式或从模式，但 SIO5 只能工作在主模式。

如果 SIO 工作在主模式下，以 SIO0 为例，需配置 PERI_CRG35 [sio0_bclk_sel]为 1，即选取主模式，否则配置 PERI_CRG35 [sio0_bclk_sel]为 0，即选择从模式。然后通过配置 PERI_CRG35 [sio0_bclk_div]和 PERI_CRG35 [sio0_fsclk_div]选择位流时钟和同步时钟的相应分频比。

软复位

6 个 SIO 相互独立，复位配置方式相同。

以 SIO0 为例，通过配置 PERI_CRG35 [sio0_srst_req]为 1，可实现对 SIO0 的单独软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

中断或查询方式下的播放和录音

1. 初始化

初始化步骤如下：



- 步骤 1 设置 `SIO_CT_SET/SIO_CT_CLR[rx_enable]`和 `SIO_CT_SET/SIO_CT_CLR[tx_enable]`为 0，使 SIO 处于禁止状态；
- 步骤 2 设置 `SIO_MODE[sio_mode]`，选择 I²S 或 PCM 模式；如果是 PCM 模式，设置 `SIO_MODE[pcm_mode]`，选择时序类型。多路录音则要设置 `SIO_MODE[ext_rec_en]`、`SIO_MODE[chn_num]`和 `SIO_MODE[clk_edge]`。
- 步骤 3 如果 SIO 为主模式，对时钟频率进行配置（如果是从模式，不需配置）。
- 步骤 4 配置 `SIO_DATA_WIDTH_SET` 寄存器、配置 `SIO_SIGNED_EXT` 寄存器，以设定正确的位宽。
- 步骤 5 配置 `SIO_CT_SET[rx_fifo_threshold]`和 `SIO_CT_SET[tx_fifo_threshold]`，即：设置接收 FIFO 和发送 FIFO 的水线。
- 步骤 6 如果是 I²S 模式，根据实际读写 FIFO 数据的方式，配置 `SIO_I2S_POS_MERGE_EN` 和 `SIO_I2S_START_POS`。同时，设置 `SIO_CT_SET[tx_data_merge_en]`和 `SIO_CT_SET[rx_data_merge_en]`。多路录音则不用进行该步骤设置。
- 步骤 7 根据中断屏蔽的需要，设置 SIO 的中断屏蔽寄存器 `SIO_INTMASK`，设置 `SIO_CT_SET[intr_en]`。
- 步骤 8 对外接的 AUDIO CODEC 进行设置。

----结束

2. 音频播放

音频播放步骤如下：

- 步骤 1 设置 `SIO_CT_SET[tx_fifo_disable]`为 1，然后再设置为 0，以清除发送 FIFO 的残留数据。
- 步骤 2 将发送数据写入发送 FIFO，向 `SIO_CT_SET[tx_enable]`写 1，启动数据发送。
- 步骤 3 查询方式下，通过读取 `SIO_TX_STA` 判断 TX_FIFO 状态；中断方式下，则根据中断状态 `SIO_INTSTATUS[tx_intr]`上报判断。当检测到发送 FIFO 中数据深度低于水线时，向发送 FIFO 写入数据，如此反复。如果数据发送全部完成，进入步骤 4。在传送完成之前，要保证 TX_FIFO 中的数据没有溢出，否则会造成声音不连续。
- 步骤 4 把 `SIO_CT_SET[tx_enable]`设置为 0。

----结束

3. 录音

录音步骤如下：

- 步骤 1 清除接收 FIFO 的残留数据，方法是：把 `SIO_CT_SET[rx_fifo_disable]`设置为 1，然后再设置为 0。
- 步骤 2 向 `SIO_CT_SET[rx_enable]`写 1，启动数据接收。
- 步骤 3 查询方式下，通过读取 `SIO_RX_STA` 检测 RX_FIFO 状态；中断方式下，则根据相应中断状态位检测。当检测到接收 FIFO 中数据深度高于水线时，从接收 FIFO 读出数



据，如此反复。如果数据接收完成，进入步骤 4。在接收完成之前，要保证 RX_FIFO 中的数据没有溢出，否则会造数据丢失。

步骤 4 把 SIO_CT_SET[rx_enable]设置为 0，并把接收 FIFO 中剩余的数据全部读出。

----结束

DMA 方式下的播放和录音

1. 初始化

与查询和中断方式下的播放和录音方式相同。

2. 音频播放

步骤如下：

步骤 2 配置中断屏蔽寄存器 SIO_INTMASK[tx_intr]为 1，屏蔽发送中断。

步骤 3 配置 DMA 数据通道，包括数据传输源和目的地址、数据传输个数、传输类型等参数，具体请参见 DMA 配置章节。

步骤 4 设置 SIO_CT_SET[tx_fifo_disable]为 1，然后再设置为 0，以清除发送 FIFO 的残留数据。

步骤 5 向发送 FIFO 写入初始数据，深度超过 FIFO 水线。（可写入全 0 的数据，代表静音。目的是：当启动播放时，因为 DMA 还没有向 FIFO 中写入数据，此时 SIO 会报发送 FIFO 下溢。如果先写入初始数据，就可以防止播放刚启动时误报 FIFO 溢出。）

步骤 6 设置 SIO_CT_SET[tx_enable]为 1，启动播放。

步骤 7 通过 DMA 中断上报，判断数据是否发送完成，如果完成，则设置 SIO_CT_SET[tx_enable]为 0。

----结束

3. 录音

步骤如下：

步骤 1 配置 DMA 数据通道，包括数据传输源地址、目的地址、数据传输个数、传输类型等参数，具体请参见 DMA 配置章节。

步骤 2 清除接收 FIFO 的残留数据，方法是：把 SIO_CT_SET[rx_fifo_disable]设置为 1，然后再设置为 0。

步骤 3 设置 SIO_CT_SET[rx_enable]为 1，启动数据接收。

步骤 4 如果停止录音，设置 SIO_CT_SET[rx_enable]为 0。

----结束

13.1.5 寄存器概览

Hi3531 寄存器基地址：



- SIO0: 0x1003_0000。
- SIO1: 0x1004_0000。
- SIO2: 0x1005_0000。
- SIO3: 0x1006_0000。
- SIO4: 0x100E_0000。
- SIO5: 0x100F_0000。

寄存器概览如表 13-1 所示。

表13-1 SIO 寄存器概览

偏移地址	名称	描述	页码
0x03C	SIO_VERSION	SIO 版本寄存器	13-11
0x040	SIO_MODE	SIO 模式寄存器	13-12
0x044	SIO_INTSTATUS	SIO 中断状态寄存器	13-13
0x048	SIO_INTCLR	SIO 中断清除寄存器	13-15
0x04C	SIO_I2S_LEFT_XD	I ² S 左通道数据发送寄存器	13-16
0x050	SIO_I2S_RIGHT_XD	I ² S 右通道数据发送寄存器	13-16
0x050	SIO_PCM_XD	PCM 数据发送寄存器	13-16
0x054	SIO_I2S_LEFT_RD	I ² S 左通道数据接收寄存器	13-17
0x058	SIO_I2S_RIGHT_RD	I ² S 右通道数据接收寄存器	13-17
0x058	SIO_PCM_RD	PCM 数据接收寄存器	13-18
0x05C	SIO_CT_SET	I ² S/PCM 控制设置寄存器	13-18
0x060	SIO_CT_CLR	I ² S/PCM 控制清除寄存器	13-20
0x064	RESERVED	保留	-
0x068	SIO_RX_STA	SIO 接收状态寄存器	13-22
0x06C	SIO_TX_STA	SIO 发送状态寄存器	13-23
0x070~0x074	RESERVED	保留	-
0x078	SIO_DATA_WIDTH_SET	I ² S/PCM 数据宽度设置寄存器	13-23
0x07C	SIO_I2S_START_POS	I ² S 左右通道起始位置控制寄存器	13-25
0x080	I2S_POS_FLAG	I ² S 左右声道操作当前位置状态寄存器	13-25
0x084	SIO_SIGNED_EXT	高位数据符号扩展使能寄存器	13-26



偏移地址	名称	描述	页码
0x088	SIO_I2S_POS_MERGE_EN	I ² S 左右声道合并使能寄存器	13-27
0x08C	SIO_INTMASK	SIO 中断屏蔽寄存器	13-27
0x090~0x09C	RESERVED	保留	-
0x0A0	SIO_I2S_DUAL_RX_CHN	I ² S 左右通道合并后数据接收寄存器	13-28
0x0C0	SIO_I2S_DUAL_TX_CHN	I ² S 左右通道合并后数据发送寄存器	13-29

13.1.6 寄存器描述

SIO_VERSION

版本寄存器，用来记录 SIO 的版本号和进行 SIO 的自测试。

offset Address	Register Name	Total Reset Value
0x03C	SIO_VERSION	0x0000_0013

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																							sio_loop	version							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1
Bits	Access	Name	Description																													
[31:9]	-	reserved	保留。																													
[8]	RW	sio_loop	SIO 循环和正常模式选择。 0: 正常模式; 1: SIO 发送和接收数据环回模式。用于 SIO 的自测试。在该模式下，在 SIO 的对外接口处，SIO 接收串行数据线与 SIO 发送串行数据线直接相连。																													
[7:0]	RO	vesion	SIO 的版本号。																													

SIO_MODE

模式寄存器，用来对 SIO 工作的基本模式进行选择：

- 主模式下，CRG 送时钟和同步信号给 CODEC，同时给 SIO。
- 从模式下，时钟和同步信号由外部 CODEC 送给 SIO。



I²S 或 PCM 的主从模式选择请参见“13.1.4 工作方式”中的“时钟配置”。

offset Address	Register Name	Total Reset Value
0x040	SIO_MODE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved																								clk	chn	ext	rec	en	pcm	mode	sio	mode							
Reset	0 0																																							

Bits	Access	Name	Description
[31:7]	-	reserved	保留。
[6]	RW	clk_edge	PCM 多路接收模式下，采样数据时钟边沿选择。 0: 下降沿有效； 1: 上升沿有效。
[5:4]	RW	chn_num	多路接收的通道数选择。 00: 2 chn; 01: 4 chn; 10: 8 chn; 11: 16 chn。 .
[3]	RW	ext_rec_en	标准模式下，I2S 接收两个声道的数据，即左声道和右声道。 PCM 只接收一个声道的数据。 多路接收模式下，对于 I2S 或 PCM，接收通道数可以配置。 该模式下，通道的数据宽度必须为 8bit 或 16bit。 0: 标准的 I2S 或 PCM 接收模式； 1: 扩展的 I2S 或 PCM 多路接收模式。
[2]	-	reserved	保留，必须配置为 0。
[1]	RW	pcm_mode	PCM 时序模式。 0: 标准模式； 1: 自定义模式。
[0]	RW	sio_mode	PCM/I ² S 模式选择。 0: I ² S 模式； 1: PCM 模式。



SIO_INTSTATUS

SIO 的中断状态指示寄存器。

对于接收中断，当接收 FIFO 的数据深度大于 FIFO 阈值时，会一直把高电平锁存到中断状态寄存器中，一直产生中断（即使 CPU 清一次中断，但中断状态寄存器会在下一个时钟周期再次置位）。因此，建议 CPU 的处理步骤为：

- 步骤 1 向 **SIO_CT_CLR[intr_en]**写 1，关闭全局中断使能。
- 步骤 2 读中断状态寄存器 **SIO_INTSTATUS**。
- 步骤 3 根据中断源进行相应处理。
- 步骤 4 向 **SIO_INTCLR** 的相应位写 1，清除中断。
- 步骤 5 向写寄存器 **SIO_CT_SET[intr_en]**写 1，打开全局中断使能。

----结束

发送中断的产生方式与接收中断产生方式相同，因此对于发送中断的处理，建议也采用相同的方式。

本寄存器是原始中断状态寄存器。在相应中断位屏蔽的情况下，中断条件满足时，对应中断状态位仍然会置位，但不会触发中断。



Offset Address	Register Name	Total Reset Value	
0x044	SIO_INTSTATUS	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	tx_left_fifo_under tx_right_fifo_under rx_left_fifo_over rx_right_fifo_over tx_intr rx_intr	
Reset	0 0		
Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	RO	tx_left_fifo_under	I ² S 模式下，左声道发送 FIFO 下溢中断状态。PCM 模式下无效。 0: 未产生中断； 1: 已产生中断。
[4]	RO	tx_right_fifo_under	I ² S 模式下，右声道发送 FIFO 下溢中断状态。PCM 模式下，PCM 发送 FIFO 下溢标志。 0: 未产生中断； 1: 已产生中断。
[3]	RO	rx_left_fifo_over	I ² S 模式下，左声道接收 FIFO 上溢中断状态。PCM 模式下无效。 0: 未产生中断； 1: 已产生中断。
[2]	RO	rx_right_fifo_over	I ² S 模式下，右声道接收 FIFO 上溢中断状态。PCM 模式下，PCM 接收 FIFO 下溢标志。 0: 未产生中断； 1: 已产生中断。
[1]	RO	tx_intr	发送 FIFO 低于阈值中断状态。 0: 未产生中断； 1: 已产生中断。
[0]	RO	rx_intr	接收 FIFO 高于阈值中断状态。 0: 未产生中断； 1: 已产生中断。



SIO_INTCLR

中断清除寄存器，可以按位清除。

Offset Address	Register Name	Total Reset Value														
0x048	SIO_INTCLR	0x0000_0000														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved						tx_left_fifo_under	tx_right_fifo_under	rx_left_fifo_over	rx_right_fifo_over	tx_intr	rx_intr				
Reset	0 0															
Bits	Access	Name	Description													
[31:6]	-	reserved	保留。													
[5]	WO	tx_left_fifo_under	I ² S 模式下，左声道发送 FIFO 下溢中断清除。PCM 模式下无效。 0: 不清除； 1: 清除。													
[4]	WO	tx_right_fifo_under	I ² S 模式下，右声道发送 FIFO 下溢中断清除。PCM 模式下，PCM 发送 FIFO 下溢中断清除。 0: 不清除； 1: 清除。													
[3]	WO	rx_left_fifo_over	I ² S 模式下，左声道接收 FIFO 上溢中断清除。PCM 模式下无效。 0: 不清除； 1: 清除。													
[2]	WO	rx_right_fifo_over	I ² S 模式下，右声道接收 FIFO 上溢中断清除。PCM 模式下，PCM 接收 FIFO 下溢中断清除。 0: 不清除； 1: 清除。													
[1]	WO	tx_intr	发送 FIFO 低于阈值中断清除。 0: 不清除； 1: 清除。													
[0]	WO	rx_intr	接收 FIFO 高于阈值中断清除。 0: 不清除； 1: 清除。													



SIO_I2S_LEFT_XD

I²S 模式下的左声道数据发送寄存器。

向寄存器写数据时，有效数据需放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

	offset Address	Register Name	Total Reset Value
	0x04C	SIO_I2S_LEFT_XD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	tx_left_data		
Reset	0 0		
	Bits	Access	Name
	[31:0]	WO	tx_left_data
	Description		
	左声道发送数据。		

SIO_I2S_RIGHT_XD

I²S 模式下的右声道数据发送寄存器。PCM 数据发送寄存器与 I²S 右声道数据发送寄存器是复用的。

向寄存器写数据时，有效数据需放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

	Offset Address	Register Name	Total Reset Value
	0x050	SIO_I2S_RIGHT_XD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	tx_right_data		
Reset	0 0		
	Bits	Access	Name
	[31:0]	WO	tx_right_data
	Description		
	右声道发送数据。		

SIO_PCM_XD

PCM 模式下的数据发送寄存器。PCM 数据发送寄存器与 I²S 右声道数据发送寄存器是复用的。

向寄存器写有效数据时，有效数据需放在寄存器的低 bit 区域。例如，8bit 宽度时，bit[7:0]为有效数据，bit[31:8]为无效数据。16bit 宽度时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。



	Offset Address	Register Name	Total Reset Value
	0x050	SIO_PCM_XD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		tx__data
Reset	0 0		
Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	WO	tx_data	PCM 发送数据。

SIO_I2S_LEFT_RD

I²S 左声道数据接收寄存器。

SIO 模块把接收到的有效数据放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

	Offset Address	Register Name	Total Reset Value
	0x054	SIO_I2S_LEFT_RD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rx_left_data		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RO	rx_left_data	I ² S 左声道接收数据。

注：I²S 模式下，在接收不使能时，右声道数据可能还没有写入 FIFO，从而导致左声道 FIFO 数据数目比右声道 FIFO 数据数目多一个。因此在 CPU 启动下一次接收前，应该把左右声道 FIFO 中数据全部读空。

SIO_I2S_RIGHT_RD

I²S 右声道数据接收寄存器。PCM 数据接收寄存器与 I²S 右声道数据接收寄存器是复用的。

SIO 模块把接收到的有效数据放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。



	Offset Address	Register Name	Total Reset Value
	0x058	SIO_I2S_RIGHT_RD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rx_right_data		
Reset	0 0		
	Bits	Access	Name
	[31:0]	RO	rx_right_data
			Description
			I ² S 右声道接收数据。

注：I²S 模式下，在接收不使能时，右声道数据可能还没有写入 FIFO，从而导致左声道 FIFO 数据数目比右声道 FIFO 数据数目多一个。因此在 CPU 启动下一次接收前，应该把左右声道 FIFO 中数据全部读空。

SIO_PCM_RD

PCM 接收数据寄存器，它与 I²S 右声道接收寄存器是复用的。

SIO 模块把接收到的有效数据放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

	Offset Address	Register Name	Total Reset Value
	0x058	SIO_PCM_RD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved rx_data		
Reset	0 0		
	Bits	Access	Name
	[31:16]	-	reserved
	[15:0]	RO	rx_data
			Description
			保留。
			PCM 接收数据。

SIO_CT_SET

为了能够方便的对 SIO 控制寄存器进行位操作，在 SIO 中，0x05C 为设置寄存器地址，当向 0x05C 寄存器中相应位写入 1 时，对应位被设为 1，写 0 无效；该寄存器属性为读写。



Offset Address		Register Name		Total Reset Value																														
0x05C/0x060		SIO_CT_SET		0x0000_8000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																rst_n	intr_en	rx_enable	tx_enable	rx_fifo_disable	tx_fifo_disable	rx_data_merge_en	tx_data_merge_en	rx_fifo_threshold	tx_fifo_threshold								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																															
[31:16]	-	reserved	保留。																															
[15]	RW	rst_n	I ² S/PCM 通道复位，低电平有效。 它对 I ² S/PCM 接收和发送模块（包括 FIFO）进行复位，因此发送和接收 FIFO 状态寄存器会变为 0。但不会复位 CPU 接口寄存器模块。																															
[14]	RW	intr_en	中断全局使能。 0：禁止； 1：使能。																															
[13]	RW	rx_enable	接收通道使能。 0：禁止； 1：使能。																															
[12]	RW	tx_enable	发送通道使能。 0：禁止； 1：使能。																															
[11]	RW	rx_fifo_disable	接收 FIFO 禁止。 0：使能； 1：禁止。																															
[10]	RW	tx_fifo_disable	发送 FIFO 禁止。 0：使能； 1：禁止。																															



[9]	RW	rx_data_merge_en	<p>数据接收合并使能，只在 I²S 模式下且数据位宽为 16bit 时有效。</p> <p>0: 禁止; 1: 使能。</p> <p>该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。</p> <p>CPU 从接收 FIFO 中读数据时，按照如下顺序：从左声道 FIFO 读出一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再从右声道 FIFO 读出一个 32bit 数据，如此反复。</p>
[8]	RW	tx_data_merge_en	<p>数据发送合并使能，只在 I²S 模式下且数据位宽为 16bit 时有效。</p> <p>0: 禁止; 1: 使能。</p> <p>该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。</p> <p>在这种情况下，CPU 向发送 FIFO 中写入数据时，按照如下顺序：向左声道 FIFO 写入一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再向右声道 FIFO 写入一个 32bit 数据，如此反复。</p>
[7:4]	RW	rx_fifo_threshold	<p>接收 FIFO 阈值。</p> <p>当 rx_right_depthf(rx_fifo_threshold + 1)时，报接收中断和 DMA 请求。</p>
[3:0]	RW	tx_fifo_threshold	<p>发送 FIFO 阈值。</p> <p>当 tx_right_depth<(tx_fifo_threshold+1)时，报发送中断和 DMA 请求。</p>

SIO_CT_CLR

为了能够方便的对 SIO 控制寄存器进行位操作，在 SIO 中，0x060 为清除寄存器地址，当向寄存器相应位写入 1 时，对应位被清除，写 0 无效。该寄存器属性为只写。



Offset Address	Register Name	Total Reset Value	
0x05C/0x060	SIO_CT_SET	0x0000_8000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved rst_n intr_en rx_enable tx_enable rx_fifo_disable tx_fifo_disable rx_data_merge_en tx_data_merge_en rx_fifo_threshold tx_fifo_threshold		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15]	RW	rst_n	I ² S/PCM 通道复位，低电平有效。 它对 I ² S/PCM 接收和发送模块（包括 FIFO）进行复位，因此发送和接收 FIFO 状态寄存器会变为 0。但不会复位 CPU 接口寄存器模块。
[14]	RW	intr_en	中断全局使能。 0：禁止； 1：使能。
[13]	RW	rx_enable	接收通道使能。 0：禁止； 1：使能。
[12]	RW	tx_enable	发送通道使能。 0：禁止； 1：使能。
[11]	RW	rx_fifo_disable	接收 FIFO 禁止。 0：使能； 1：禁止。
[10]	RW	tx_fifo_disable	发送 FIFO 禁止。 0：使能； 1：禁止。



[9]	RW	rx_data_merge_en	<p>数据接收合并使能，只在 I²S 模式下且数据位宽为 16bit 时有效。</p> <p>0: 禁止； 1: 使能。</p> <p>该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。</p> <p>CPU 从接收 FIFO 中读数据时，按照如下顺序：从左声道 FIFO 读出一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再从右声道 FIFO 读出一个 32bit 数据，如此反复。</p>
[8]	RW	tx_data_merge_en	<p>数据发送合并使能，只在 I²S 模式下且数据位宽为 16bit 时有效。</p> <p>0: 禁止； 1: 使能。</p> <p>该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。</p> <p>在这种情况下，CPU 向发送 FIFO 中写入数据时，按照如下顺序：向左声道 FIFO 写入一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再向右声道 FIFO 写入一个 32bit 数据，如此反复。</p>
[7:4]	RW	rx_fifo_threshold	<p>接收 FIFO 阈值。</p> <p>当 rx_right_depth>(rx_fifo_threshold+1)时，报接收中断和 DMA 请求。</p>
[3:0]	RW	tx_fifo_threshold	<p>发送 FIFO 阈值。</p> <p>当 tx_right_depth<(tx_fifo_threshold+1)时，报发送中断和 DMA 请求。</p>

SIO_RX_STA

SIO 接收状态寄存器。



Offset Address		Register Name		Total Reset Value		
0x068		SIO_RX_STA		0x0000_0000		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0					
Name	reserved				rx_left_depth	rx_right_depth
Reset	0 0					
Bits	Access	Name	Description			
[31:10]	-	reserved	保留。			
[9:5]	RO	rx_left_depth	左声道接收 FIFO 深度指示。 只在 I ² S 模式下有效。			
[4:0]	RO	rx_right_depth	I ² S 模式下，为右声道接收 FIFO 深度指示。 PCM 模式下，为 PCM 接收 FIFO 深度指示。			

SIO_TX_STA

SIO 发送状态寄存器。

Offset Address		Register Name		Total Reset Value		
0x06C		SIO_TX_STA		0x0000_0000		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0					
Name	reserved				tx_left_depth	tx_right_depth
Reset	0 0					
Bits	Access	Name	Description			
[31:10]	RO	reserved	保留。			
[9:5]	RO	tx_left_depth	左声道发送 FIFO 深度指示。 只在 I2S 模式下有效。			
[4:0]	RO	tx_right_depth	I2S 模式下，为右声道发送 FIFO 深度指示。 PCM 模式下，为 PCM 发送 FIFO 深度指示。			

SIO_DATA_WIDTH_SET

该寄存器配置了在 I²S/PCM 模式下的数据宽度。



Offset Address	Register Name	Total Reset Value	
0x078	SIO_DATA_WIDTH_SET	0x0000_0009	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	reserved rx_mode tx_mode	
Reset	0 1 0 0 1		
Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5:3]	RW	rx_mode	接收数据长度配置位。 000: 8bit; 001: 16bit; 010: 18bit; 011: 20bit; 100: 24bit; 101: 32bit; 110~111: 保留。 对于 I2S 模式, 支持 16/18/20/24/32bit; 对于 PCM 模式, 支持 8/16bit; 对于多路接收, 两种模式只支持 8/16bit。
[2:0]	RW	tx_mode	发送数据长度配置位。 对于 I2S 模式 000: 保留; 001: 16bit; 010: 18bit; 011: 20bit; 100: 24bit; 101: 32bit; 110~111: 保留。 对于 PCM 模式 000: 8bit; 001: 16bit; 010: 32bit; 011: 64bit; 100: 128bit; 101~111: 保留。



SIO_I2S_START_POS

I²S 左右声道起始位置配置控制寄存器。

在 I²S 模式下，左右声道数据操作地址合并使能后，控制起始访问是从左声道开始还是从右声道开始。

Offset Address	Register Name	Total Reset Value	
0x07C	SIO_I2S_START_POS	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	start_pos_write start_pos_read	
Reset	0 0		
Bits	Access	Name	Description
[31:2]	-	reserved	保留。
[1]	RW	start_pos_write	写发送 FIFO 时： 0: 从左声道开始访问； 1: 从右声道开始访问。
[0]	RW	start_pos_read	读接收 FIFO 时： 0: 从左声道开始访问； 1: 从右声道开始访问。

I2S_POS_FLAG

I²S 左右声道操作当前位置状态寄存器。

在 I²S 模式下，左右声道数据操作地址合并使能后，指示下一次访问寄存器是从左声道开始还是从右声道开始。

Offset Address	Register Name	Total Reset Value
0x080	I2S_POS_FLAG	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Name	reserved	start_pos_write start_pos_read



Reset	0 0		
Bits	Access	Name	Description
[31:2]	-	reserved	保留。
[1]	RO	start_pos_write	写发送 FIFO 时： 0: 下一次从左声道开始访问； 1: 下一次从右声道开始访问。
[0]	RO	start_pos_read	读接收 FIFO 时： 0: 下一次从左声道开始访问； 1: 下一次从右声道开始访问。

SIO_SIGNED_EXT

高位数据符号扩展使能寄存器。该标志只对接收数据有效，对发送数据无效。PCM 模式和 I²S 模式下接收到的数据都支持符号扩展。

在接收有效数据位宽为 8/16/18/20/24 bit 时，如果该标志使能，把接收到的数据转换为 32bit 数据时，把 32bit 数据的高位无效比特设置为接收数据最高有效 bit 对应的值，然后再写入接收 FIFO。

以 16bit 位宽为例：

```
if(data_rx[15]==1)
data_rx[31:16]=0xffff;
else
data_rx[31:16]=0x0000;
```

Offset Address	Register Name	Total Reset Value
0x084	SIO_SIGNED_EXT	0x0000_0000

Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																															
Name	reserved																															signed_ext_en
Reset	0 0																															
Bits	Access	Name	Description																													
[31:1]	-	reserved	保留。																													
[0]	RW	signed_ext_en	高位数据符号扩展使能。 0: 禁止； 1: 使能。																													



SIO_I2S_POS_MERGE_EN

在 I²S 模式下，对左右声道数据的操作地址合并使能。

在 I²S 模式下，用 DMA 方式读写 SIO 的 FIFO 数据时，因为左右声道数据地址不同，需要 CPU 不断配置 DMA 操作的地址，导致 CPU 效率低。为了提高 CPU 的效率，提供左右声道数据的读写的统一地址使能控制。

使能情况下，读左右声道数据统一使用 SIO_I2S_DUAL_RX_CHN 寄存器，写左右声道数据统一使用 SIO_I2S_DUAL_TX_CHN 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x088	SIO_I2S_POS_MERGE_EN	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved merge_en		
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	merge_en	在 I2S 模式下，对左右声道数据的操作地址合并使能。 0: 禁止; 1: 使能。

SIO_INTMASK

该寄存器是中断屏蔽寄存器。

	Offset Address	Register Name	Total Reset Value
	0x08C	SIO_INTMASK	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved tx_left_fifo_under tx_right_fifo_under rx_left_fifo_over rx_right_fifo_over tx_intr rx_intr		
Reset	0 1 1 1 1 1 1		



Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	RW	tx_left_fifo_under	I ² S 模式下，左声道发送 FIFO 下溢中断屏蔽。PCM 模式下无效。 0: 不屏蔽; 1: 屏蔽。
[4]	RW	tx_right_fifo_under	I ² S 模式下，右声道发送 FIFO 下溢中断屏蔽。PCM 模式下，PCM 发送 FIFO 下溢中断屏蔽。 0: 不屏蔽; 1: 屏蔽。
[3]	RW	rx_left_fifo_over	I ² S 模式下，左声道接收 FIFO 上溢中断屏蔽。PCM 模式下无效。 0: 不屏蔽; 1: 屏蔽。
[2]	RW	rx_right_fifo_over	I ² S 模式下，右声道接收 FIFO 上溢中断屏蔽。PCM 模式下，PCM 接收 FIFO 上溢中断屏蔽。 0: 不屏蔽; 1: 屏蔽。
[1]	RW	tx_intr	发送 FIFO 低于阈值中断屏蔽。 0: 不屏蔽; 1: 屏蔽。
[0]	RW	rx_intr	接收 FIFO 高于阈值中断屏蔽。 0: 不屏蔽; 1: 屏蔽。

SIO_I2S_DUAL_RX_CHN

该寄存器为 I²S 左右声道操作地址合并使能以后，读取接收数据的寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0A0	SIO_I2S_DUAL_RX_CHN	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rx_data		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RO	rx_data	接收到的数据。



SIO_I2S_DUAL_TX_CHN

该寄存器为 I²S 左右声道操作地址合并使能后，写发送数据的寄存器。

Offset Address	Register Name	Total Reset Value	
0x0C0	SIO_I2S_DUAL_TX_CHN	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	tx_data		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	WO	tx_data	发送的数据。



目 录

14 外围设备	14-1
14.1 I ² C 控制器	14-1
14.1.1 概述	14-1
14.1.2 功能描述	14-1
14.1.3 工作方式	14-1
14.1.4 寄存器概览.....	14-3
14.1.5 寄存器描述.....	14-4
14.2 SPI.....	14-11
14.2.1 概述	14-11
14.2.2 特点	14-11
14.2.3 功能描述	14-12
14.2.4 三种外设总线时序.....	14-13
14.2.5 工作方式	14-20
14.2.6 寄存器概览.....	14-23
14.2.7 寄存器描述.....	14-24
14.3 通用异步收发器.....	14-33
14.3.1 概述	14-33
14.3.2 特点	14-34
14.3.3 功能描述	14-34
14.3.4 工作方式	14-35
14.3.5 寄存器概览.....	14-38
14.3.6 寄存器描述.....	14-39
14.4 红外接口.....	14-52
14.4.1 概述	14-52
14.4.2 特点	14-52
14.4.3 功能描述	14-52
14.4.4 工作方式	14-60
14.4.5 寄存器概览.....	14-62
14.4.6 寄存器描述.....	14-63
14.5 GPIO	14-78



14.5.1 概述	14-78
14.5.2 特点	14-79
14.5.3 功能描述	14-79
14.5.4 工作方式	14-79
14.5.5 寄存器概览.....	14-80
14.5.6 寄存器描述.....	14-82
14.6 USB 2.0 Host	14-86
14.6.1 概述	14-86
14.6.2 功能描述	14-87
14.6.3 工作方式	14-89
14.6.4 寄存器概览.....	14-91
14.6.5 寄存器描述.....	14-91
14.7 MMC/SD/SDIO 控制器	14-95
14.7.1 功能描述	14-95
14.7.2 时序与参数.....	14-101
14.7.3 应用说明	14-102
14.7.4 寄存器概览.....	14-115
14.7.5 寄存器描述.....	14-116
14.8 PCI Express.....	14-141
14.8.1 概述	14-141
14.8.2 特点	14-141
14.8.3 功能描述	14-141
14.8.4 工作方式	14-145
14.8.5 PCI Express 控制器寄存器.....	14-158
14.9 SATA	14-213
14.9.1 概述	14-213
14.9.2 特点	14-213
14.9.3 信号描述	14-213
14.9.4 功能描述	14-214
14.9.5 工作方式	14-216
14.9.6 寄存器概览.....	14-219
14.9.7 SATA 寄存器概览.....	14-219
14.9.8 SATA_PORT_CFG 寄存器概览	14-220
14.9.9 SATA 寄存器描述.....	14-221
14.9.10 SATA_PORT_CFG 寄存器描述	14-232
14.9.11 附录 A SATA 命令链表格式.....	14-259



插图目录

图 14-1 主机发送数据流程图.....	14-2
图 14-2 主机接收数据流程图.....	14-3
图 14-3 SPI 接单 Slave 时的应用.....	14-12
图 14-4 SPI 接多个 Slave 时的应用.....	14-13
图 14-5 SPI 单帧帧格式 (SPO=0、SPH=0)	14-14
图 14-6 SPI 连续帧帧格式 (SPO=0、SPH=0)	14-14
图 14-7 SPI 单帧帧格式 (SPO=0、SPH=1)	14-15
图 14-8 SPI 连续帧帧格式 (SPO=0、SPH=1)	14-15
图 14-9 SPI 单帧帧格式 (SPO=1、SPH=0)	14-16
图 14-10 SPI 连续帧帧格式 (SPO=1、SPH=0)	14-16
图 14-11 SPI 单帧帧格式 (SPO=1、SPH=1)	14-17
图 14-12 SPI 连续帧帧格式 (SPO=1、SPH=1)	14-17
图 14-13 SPI 接口时序图.....	14-18
图 14-14 TI 同步串行单帧帧格式.....	14-18
图 14-15 TI 同步串行连续帧帧格式.....	14-19
图 14-16 National Semiconductor Microwire 单帧帧格式.....	14-19
图 14-17 National Semiconductor Microwire 连续帧帧格式.....	14-20
图 14-19 UART 帧格式.....	14-35
图 14-20 发送单个 NEC with simple repeat code 码的帧格式.....	14-55
图 14-21 持续按键连续发送 NEC with simple repeat code 码的帧格式.....	14-55
图 14-22 NEC with simple repeat code 码 bit0 和 bit1 定义.....	14-55
图 14-23 NEC with simple repeat code 码单发代码格式.....	14-55
图 14-24 NEC with simple repeat code 码连发代码格式.....	14-56
图 14-25 发送单个 NEC with full repeat code 码的帧格式.....	14-56
图 14-26 持续按键连续发送 NEC with full repeat code 码的帧格式.....	14-56



图 14-27 NEC with full repeat code 码 bit0 和 bit1 定义	14-57
图 14-28 NEC with full repeat code 码单发代码格式	14-57
图 14-29 发送单个 TC9012 码的帧格式	14-57
图 14-30 持续按键连续发送 TC9012 码的帧格式	14-58
图 14-31 TC9012 码 bit0 和 bit1 定义	14-58
图 14-32 TC9012 码单发代码格式	14-58
图 14-33 TC9012 码连发代码格式 (C0=1)	14-58
图 14-34 TC9012 码连发代码格式 (C0=0)	14-59
图 14-35 发送单个 SONY 帧格式	14-59
图 14-36 持续按键连续发送 SONY 码帧格式	14-59
图 14-37 bit0 和 bit1 定义	14-59
图 14-38 IR 模块初始化操作流程	14-60
图 14-40 USB 2.0 Host 逻辑框图	14-87
图 14-41 USB 2.0 Host 参考设计	14-88
图 14-42 MMC 功能框图	14-95
图 14-43 MMC 典型应用电路图	14-96
图 14-44 MMC 指令格式	14-97
图 14-45 MMC 指令响应格式	14-98
图 14-46 MMC 非数据指令操作	14-98
图 14-47 单块与多块读操作	14-99
图 14-48 单块与多块写操作	14-100
图 14-49 1bit 数据线传输模式下的块数据格式	14-100
图 14-50 4bit 数据线传输模式下的块数据格式	14-101
图 14-51 输出方向时序图	14-102
图 14-52 输入方向时序图	14-102
图 14-53 双 buffer 结构示意图	14-109
图 14-54 链结构示意图	14-109
图 14-55 32bit 位宽的描述子的结构	14-110
图 14-56 Hi3531 PCIe 控制器逻辑框图	14-142
图 14-57 PCIe 控制器应用框图 (RC 模式外接 EP 设备)	14-143
图 14-58 PCI Express 控制器应用框图 (EP 模式对接 RC 设备)	14-143
图 14-59 PCIe 控制器与 PCIe switch 设备连接应用框图 (RC 模式)	14-144



图 14-60 PCIe 控制器与 switch 设备连接应用框图（EP 模式）	14-144
图 14-61 发送方向地址转换单元实现 PCIe 事务地址转换	14-147
图 14-62 发送方向地址转换单元实现 PCIe 事务类型转换	14-148
图 14-63 接收方向地址转换单元实现 PCIe 事务地址转换	14-148
图 14-64 PCIe 控制器 0 配置事务本地地址字段定义	14-153
图 14-65 PCIe 控制器 1 配置事务本地地址字段定义	14-153
图 14-66 PCIe 控制器 0 存储器事务本地地址字段定义	14-154
图 14-67 PCIe 控制器 1 存储器事务本地地址字段定义	14-154
图 14-68 PCIe 控制器 0 IO 事务本地地址字段定义	14-155
图 14-69 PCIe 控制器 1 IO 事务本地地址字段定义	14-155
图 14-70 典型应用模式 1	14-214
图 14-71 典型应用模式 2	14-215
图 14-72 典型应用模式 3	14-215
图 14-73 Hi3531 SATA 模块架构	14-216
图 14-74 链表结构	14-259
图 14-75 命令、数据链表结构	14-260



表格目录

表 14-1 I ² C 模块寄存器概览表	14-4
表 14-2 SPI 接口时序参数	14-18
表 14-3 寄存器概览 (SPI0 基址是 200C_0000)	14-23
表 14-4 UART 寄存器概览	14-38
表 14-5 红外接收数据码型的统计表 (NEC with simple repeat code)	14-53
表 14-6 红外接收数据码型的统计表 (NEC with full repeat code)	14-53
表 14-7 红外接收数据码型的统计表 (TC9012 和 SONY 码)	14-54
表 14-8 IR 寄存器概览 (基址是 0x2007_0000)	14-62
表 14-9 19 组 GPIO 寄存器对应的基地址	14-80
表 14-10 GPIO 寄存器概览	14-81
表 14-11 USB 寄存器概览 (基址: 0x100B_0000)	14-91
表 14-12 信号线负载参数	14-97
表 14-13 MMC 接口时序参数	14-101
表 14-14 非数据传输指令时的寄存器 MMC_CMD 配置参考 (默认值)	14-105
表 14-15 单块或多块读数据时的寄存器 MMC_CMD 配置参考 (默认值)	14-106
表 14-16 单块或多块写数据时的寄存器 MMC_CMD 配置参考 (默认值)	14-108
表 14-17 DES0 各 bit 的含义	14-110
表 14-18 DES1 各 bit 的含义	14-111
表 14-19 DES2 各 bit 的含义	14-111
表 14-20 DES3 各 bit 的含义	14-111
表 14-21 Resume 操作时的寄存器 MMC_CMDARG 配置参考	14-114
表 14-22 MMC 寄存器概览 (基址是 0x1002_0000)	14-115
表 14-23 PCIe 控制器 0 相关地址空间	14-146
表 14-24 PCIe 控制器 1 相关地址空间	14-146
表 14-25 PCIe Header Type0 寄存器概览	14-158



表 14-26 PCIe Header Type1 寄存器概览	14-167
表 14-27 PCIe_iATU 寄存器概览.....	14-178
表 14-28 PCIe_DMA 寄存器概览	14-189
表 14-29 SATA 接口信号描述.....	14-214
表 14-30 寄存器偏移地址变量表.....	14-219
表 14-31 SATA 寄存器概览（基址是 0x1008_0000）	14-219
表 14-32 SATA_PORT_CFG 寄存器概览（基址是 0x1008_0100）	14-220



14 外围设备

14.1 I²C 控制器

14.1.1 概述

I²C 模块是 APB 总线上的从设备，是 I²C 总线上的主设备。I²C 模块的作用是完成 CPU 对 I²C 总线上从设备的数据读写。当 CPU 对从设备做写操作时，CPU 通过 APB 总线配置 I²C 的配置寄存器，然后发送控制信息和操作数到 I²C 模块的数据通信寄存器；I²C 模块解析命令后将数据通道寄存器的数据通过 I²C 总线发给从设备，发送完毕后将最终的状态通过中断反馈给 CPU。CPU 读取从设备数据的过程与写操作类似。

14.1.2 功能描述

I²C 具有以下功能特点：

- Hi3531 芯片的 I2C 是 Master 接口，I2C 的工作参考时钟为 APB 时钟。
- I²C 模块在 APB 总线上执行 APB Slave 的功能，在 I²C 总线上作为 Master，支持多主设备时的总线仲裁。
- 支持 Clock synchronization 和 Bit and Byte waiting。
- 支持中断或轮询操作。
- I²C 模块支持标准地址（7bit）和扩展地址（10bit）。
- 可以工作在两种速度模式下：标准模式（100kbit/s）、快速模式（400kbit/s）。
- I²C 模块支持 General Call 和 Start Byte 功能。
- I²C 总线上不支持 CBUS 器件。
- 对接收到的 SDA 和 SCL 信号进行滤波。

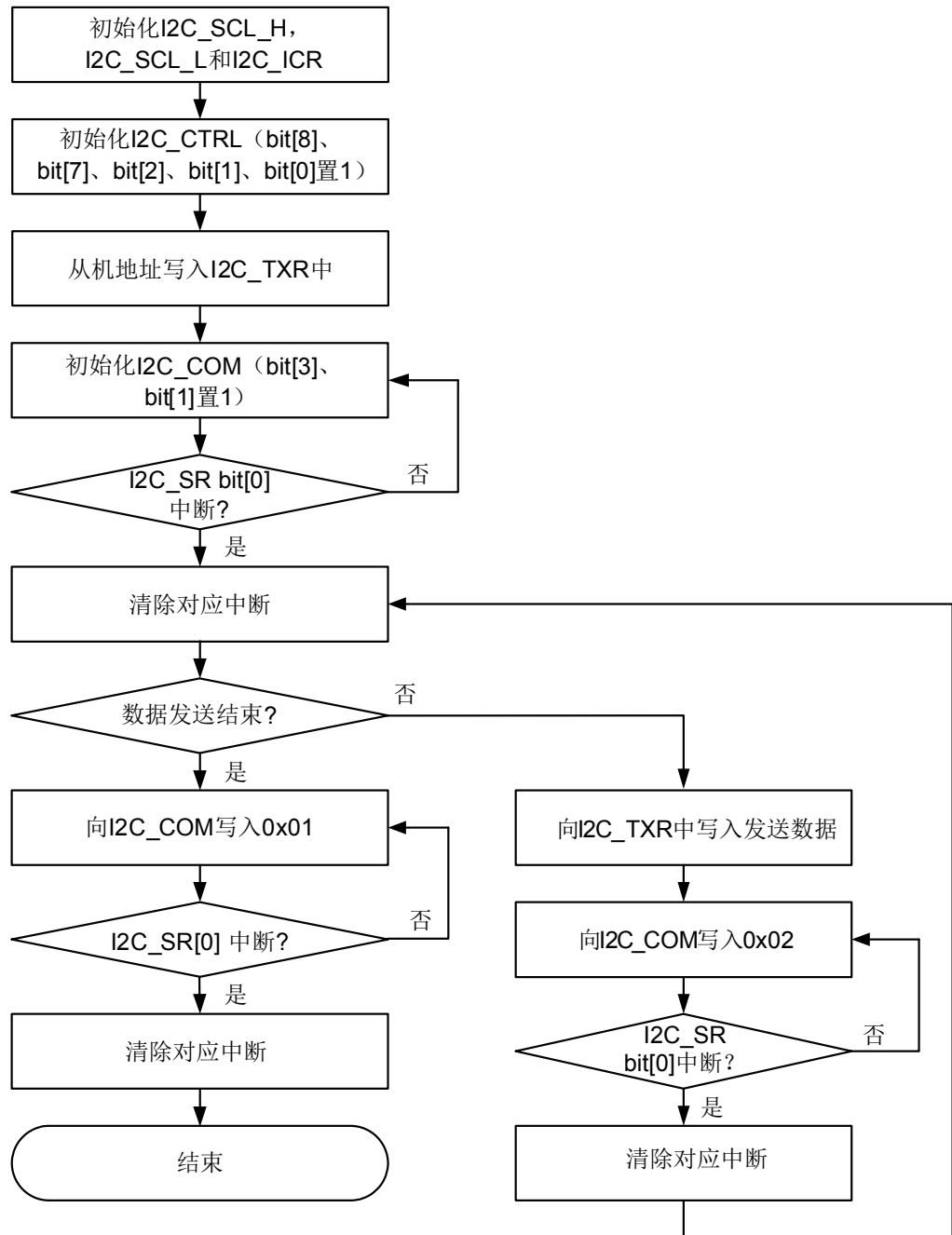
14.1.3 工作方式

14.1.3.1 I²C 初始化配置流程

I²C 主机可以向从机写入数据，也可以接收从机发来的数据。I²C 主机发送数据流程如图 14-1 所示。



图14-1 主机发送数据流程图

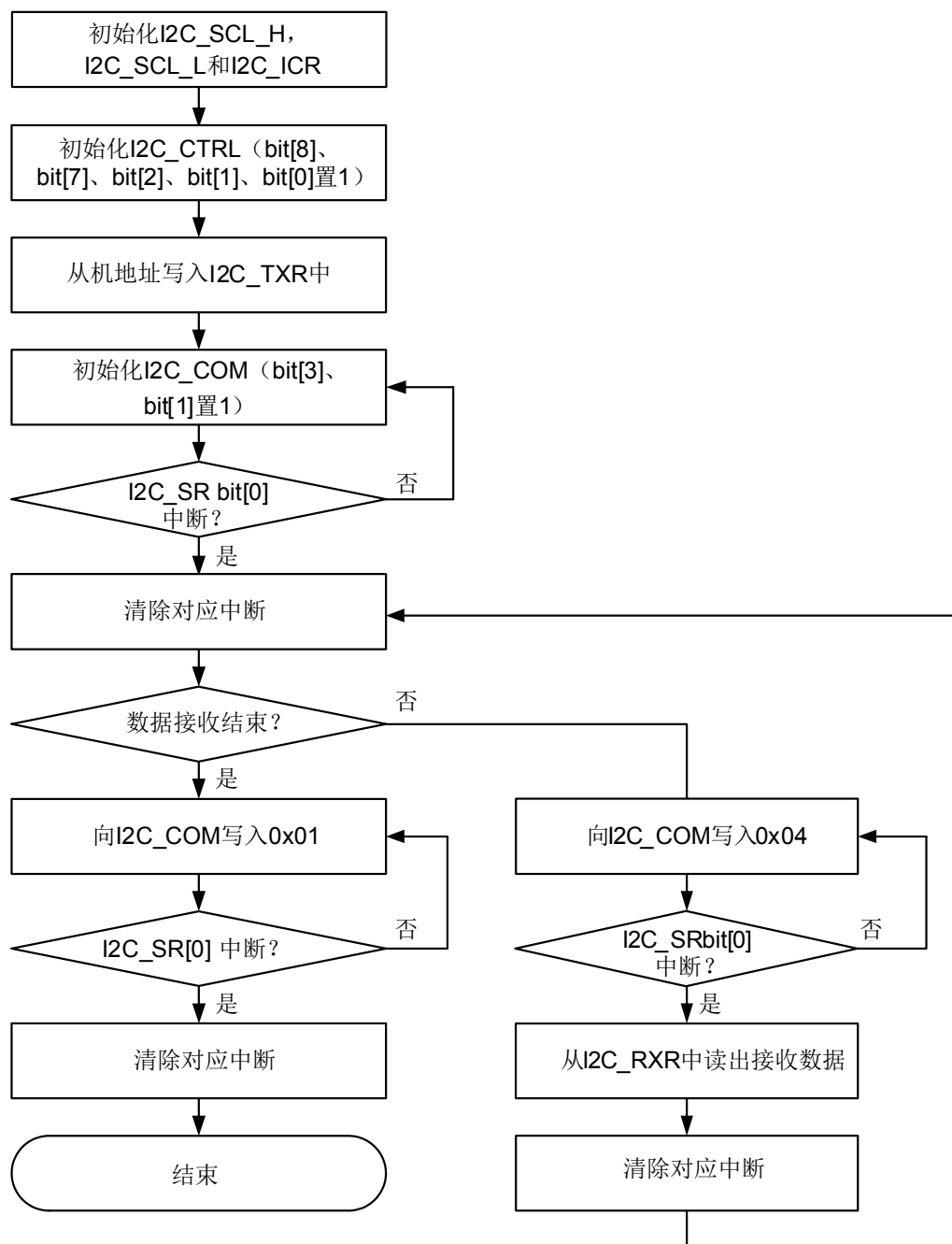


14.1.3.2 主机接收数据流程

主机接收数据流程如图 14-2 所示。



图14-2 主机接收数据流程图



14.1.4 寄存器概览

Hi3531 包含一个个 I2C 模块，寄存器基地址为：0x200D_0000

I²C 模块寄存器概览如表 14-1 所示。



表14-1 I²C 模块寄存器概览表

地址	名称	类型	描述	页码
0x00	I2C_CTRL	RW	I ² C 控制寄存器	14-4
0x04	I2C_COM	RW	I ² C 命令寄存器	14-5
0x08	I2C_ICR	RW	I ² C 中断清除寄存器	14-6
0x0C	I2C_SR	RO	I ² C 状态寄存器	14-7
0x10	I2C_SCL_H	RW	I ² C SCL 高电平周期数	14-8
0x14	I2C_SCL_L	RW	I ² C SCL 低电平周期数	14-9
0x18	I2C_TXR	RW	I ² C 发送数据寄存器	14-10
0x1C	I2C_RXR	RO	I ² C 接收数据寄存器	14-11

14.1.5 寄存器描述

I2C_CTRL

I2C_CTRL 为 I²C 控制寄存器。用于配置 I²C 使能和中断屏蔽。

Offset Address	Register Name	Total Reset Value	
0x00	I2C_CTRL	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	i2c_en int_mask int_start_mask int_stop_mask int_tx_mask int_rx_mask int_ack_err_mask int_arb_loss_mask int_done_mask	
Reset	0 0		
Bits	Access	Name	Description
[31:9]	-	reserved	保留。
[8]	RW	i2c_en	I ² C 使能。 0: 不使能; 1: 使能。
[7]	RW	int_mask	I ² C 中断总屏蔽。 0: 屏蔽; 1: 不屏蔽。



[6]	RW	int_start_mask	主机开始条件发送结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RW	int_stop_mask	主机停止条件发送结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	int_tx_mask	主机发送中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	int_rx_mask	主机接收中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	int_ack_err_mask	从机 ACK 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	int_arb_loss_mask	总线仲裁失败中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	int_done_mask	总线传输完成中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

I2C_COM

I2C_COM 为 I²C 模块的命令寄存器。用于配置 I²C 模块工作时命令。



注意

在系统初始化时配置或配置前，需要清除对应中断标志。I2C_COM bit[3:0]在操作结束后将自动清 0。



Offset Address		Register Name		Total Reset Value								
0x04		I2C_COM		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved							op_ack	op_start	op_rd	op_we	op_stop
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:5]	-	reserved	保留。									
[4]	RW	op_ack	主机作为接收器是否发送 ACK。 0: 发送; 1: 不发送。									
[3]	RW	op_start	产生开始条件操作。 0: 操作结束; 1: 操作有效。									
[2]	RW	op_rd	产生读操作。 0: 操作结束; 1: 操作有效。									
[1]	RW	op_we	产生写操作。 0: 操作结束; 1: 操作有效。									
[0]	RW	op_stop	产生停止条件操作。 0: 操作结束; 1: 操作有效。									

I2C_ICR

I2C_ICR 为 I²C 模块的中断清除寄存器。



注意

新中断到来时，I2C 模块会自动将 I2C_ICR 相应位清 0。



Offset Address		Register Name		Total Reset Value										
0x08		I2C_ICR		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved							clr_int_start	clr_int_stop	clr_int_tx	clr_int_rx	clr_int_ack_err	clr_int_arb_loss	clr_int_done
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0						
Bits	Access	Name	Description											
[31:7]	-	reserved	保留。											
[6]	WC	clr_int_start	主机开始条件发送结束中断标志清除。 0: 不清除; 1: 清除。											
[5]	WC	clr_int_stop	主机停止条件发送结束中断标志清除。 0: 不清除; 1: 清除。											
[4]	WC	clr_int_tx	主机发送中断标志清除。 0: 不清除; 1: 清除。											
[3]	WC	clr_int_rx	主机接收中断标志清除。 0: 不清除; 1: 清除。											
[2]	WC	clr_int_ack_err	从机 ACK 错误中断标志清除。 0: 不清除; 1: 清除。											
[1]	WC	clr_int_arb_loss	总线仲裁失败中断标志清除。 0: 不清除; 1: 清除。											
[0]	WC	clr_int_done	总线传输完成中断标志清除。 0: 不清除; 1: 清除。											

I2C_SR

I2C_SR 为 I²C 模块状态寄存器。用于读取 I²C 模块工作状态。



注意

I2C_SR bit[1]表示 I2C 总线仲裁失败。当 I2C_SR bit[1]有效时，当前操作失败。在清除 I2C_SR bit[1]之前，需要清除其他中断标志，然后清除 I2C_COM 或向 I2C_COM 写入新的操作命令，最后清除 I2C_SR bit[1]。

	Offset Address				Register Name								Total Reset Value																							
	0x0C				I2C_SR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																bus_busy	int_start	int_stop	int_tx	int_rx	int_ack_err	int_arb_loss	int_done												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:8]	-	reserved	保留。																																
	[7]	RO	bus_busy	总线忙。 0: 空闲; 1: 忙。																																
	[6]	RO	int_start	主机开始条件发送结束中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																
	[5]	RO	int_stop	主机停止条件发送结束中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																
	[4]	RO	int_tx	主机发送中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																
	[3]	RO	int_rx	主机接收中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																
	[2]	RO	int_ack_err	从机 ACK 错误中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																



[1]	RO	int_arb_loss	总线仲裁失败中断标志。 0: 无中断标志产生; 1: 中断标志产生。
[0]	RO	int_done	总线传输完成中断标志。 0: 无中断标志产生; 1: 中断标志产生。

I2C_SCL_H

I2C_SCL_H 为 I²C 总线 SCL 信号高电平周期数寄存器。用于配置 I²C 模块工作时 SCL 高电平周期数。



注意

在系统初始化时配置或配置前使 I2C_CTRL bit[7]=0。

	Offset Address				Register Name				Total Reset Value																							
	0x10				I2C_SCL_H				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												scl_h																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		scl_h		SCL 高电平周期数%2。																											

设系统时钟为 108MHz, I2C_SCL_H 值为 n, SCL 高电平时间为 DelTim, 则:

$$\text{DelTim} = (1/108) \times (m+1) \times 2; \quad (\text{单位: } \mu\text{s})$$

假设希望 SCL 高电平时间为 5 μ s, 则 I2C_SCL_H 配置值 n 为:

$$m = (5 \times 108) / 2 - 1 = 269;$$

系统时钟为 108MHz, SCL 高电平最长时间是 606 μ s。

I2C_SCL_L

I2C_SCL_L 为 I²C 总线 SCL 信号低电平周期数寄存器。用于配置 I²C 模块工作时 SCL 低电平周期数。



注意

在系统初始化时配置或配置前使 I2C_CTRL bit[7]=0。

	Offset Address				Register Name								Total Reset Value																			
	0x14				I2C_SCL_L								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												scl_l																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		scl_l		SCL 低电平周期数%2。																											

设系统时钟为 108MHz，I2C_SCL_L 值为 m，SCL 低电平时间为 DelTim，则：

$$\text{DelTim} = (1/108) \times (m + 1) \times 2 \quad (\text{单位: } \mu\text{s})$$

假设希望 SCL 低电平时间为 5μs，I2C_SCL_H 配置值 m 为：

$$m = (5 \times 108) / 2 - 1 = 269$$

系统时钟为 108MHz，SCL 低电平最长时间是 606μs。

I2C_TXR

I2C_TXR 为 I²C 发送数据寄存器。用于配置 I²C 模块工作时发送数据。



注意

发送结束后，I²C 模块不会修改 I2C_TXR 内容。

	Offset Address				Register Name								Total Reset Value																			
	0x18				I2C_TXR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												i2c_txr																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	-		reserved		保留。																											



[7:0]	RW	i2c_txr	主机发送数据。
-------	----	---------	---------

I2C_RXR

I2C_RXR 为 I²C 接收数据寄存器。用于主机接收从机数据。



注意

I2C_RXR 数据在 I2C_SR bit[3]=1 时，数据有效。同时数据将保持到下一个读操作之前。

	Offset Address 0x1C								Register Name I2C_RXR								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																i2c_rxr															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[31:8]	-		reserved		保留。																											
[7:0]	RO		i2c_rxr		主机接收数据。																											

14.2 SPI

14.2.1 概述

SPI 控制器实现数据的串并、并串转换，可以作为 Master 与外部设备进行同步串行通信。支持 MOTOROLA 的 SPI、TI 串行同步、MicroWire 三种外设接口协议。

14.2.2 特点



注意

Hi3531 有一组 SPI 接口，支持 8 个片选。



Hi3531 芯片的 SPI 默认是 Master 接口 (也可配置为支持 Slave), 工作参考时钟为 APB 总线时钟 , SPI 输出的 SPI_CLK 最大支持 40MHz。

SPI 的功能特点有:

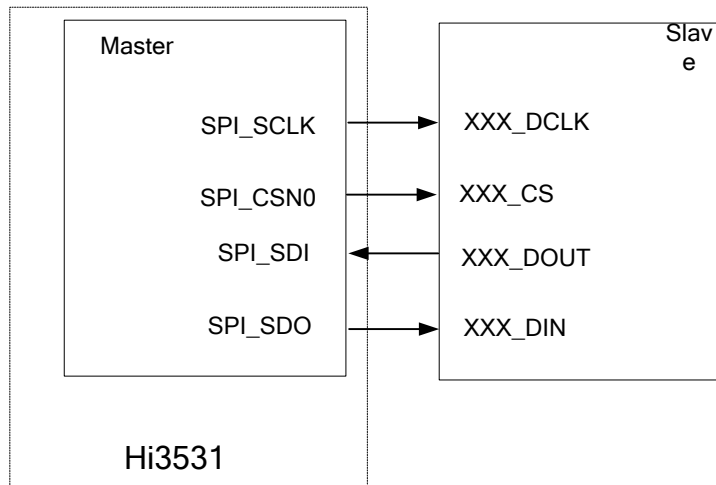
- 接口时钟频率可编程。
- 收/发分开的宽度 16bit、深度为 256 的 FIFO。
- 串行数据帧长度可编程: 4bit~16bit。
- 内部提供环回测试模式。
- 支持 DMA 操作。
- 支持 SPI、MicroWire、TI 同步串行三种接口, 支持单帧和连续帧格式。
- 支持 SPI 全双工工作模式, 时钟极性、相位可配置。
- 支持 MicroWire 半双工工作模式。
- 支持 TI 同步串行接口全双工工作模式。

14.2.3 功能描述

典型应用

SPI 接单 Slave 时的应用框图如图 14-3 所示, 使用 SPI 默认的片选管脚 SPI_CSN0。

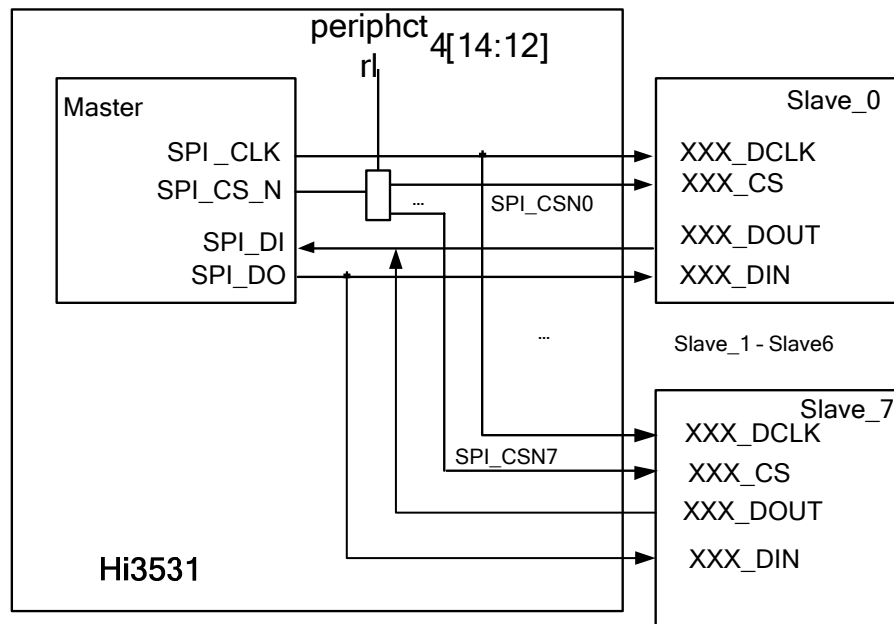
图14-3 SPI 接单 Slave 时的应用



SPI 接多个 Slave 时的应用框图如图 14-4 所示。



图14-4 SPI 接多个 Slave 时的应用



关于 SPI0 片选选择请参见“3.4 系统控制器”的 periphctrl4[14:12]寄存器。
有些 SPI 作为配置接口的芯片还支持菊花链模式，具体请参见该芯片手册。

14.2.4 三种外设总线时序

图 14-5~图 14-12 中的缩略语含义为：

- MSB: Most Significant Bit
- LSB: Least Significant Bit
- Q: Q is an undefined signal

SPI 接口



说明

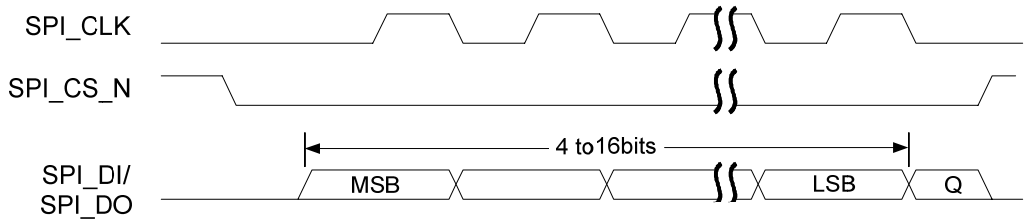
SPO 表示 SPICLKOUT 极性，SPH 表示 SPICLKOUT 相位。它们是寄存器 SPICR0 bit[7:6]。

(1) SPO=0、SPH=0

SPI 单帧格式如图 14-5 所示。

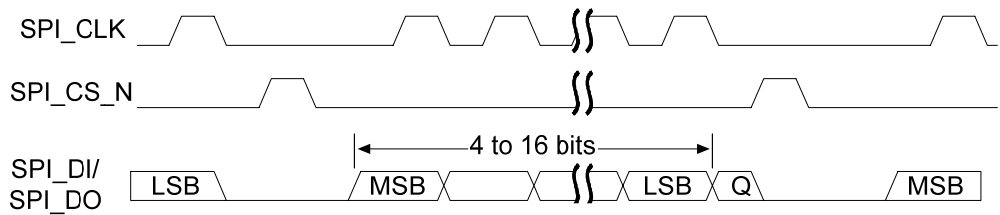


图14-5 SPI 单帧格式 (SPO=0、SPH=0)



SPI 连续帧格式如图 14-6 所示。

图14-6 SPI 连续帧格式 (SPO=0、SPH=0)



在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为低
- SPI_CS_N 信号设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 处于使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N 信号为低，表示开始传输数据。来自 Slave 的数据立刻发送到 Master 的接收数据线 SPI_DI。半个 SPI_CLK 时钟周期之后，有效的 Master 数据传输到 SPI_DO。此时 Master 和 Slave 数据都已经有效，SPI_CLK 管脚在接下来的半个 SPI_CLK 时钟周期之后变为高电平。数据在 SPI_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。

如果传输单个 word，当捕捉到最后 1bit 数据时，SPI_CS_N 在接下来的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

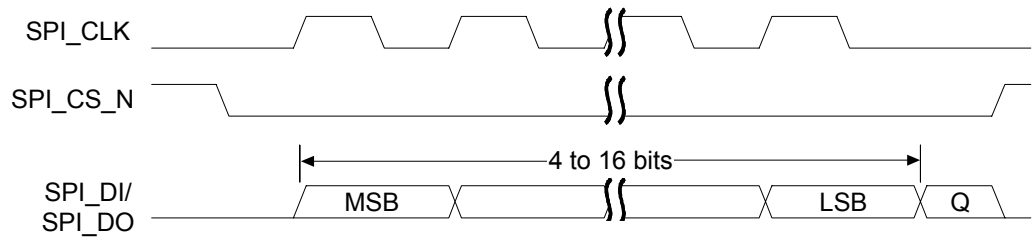
如果是连续的传输，SPI_CS_N 信号在每个 word 传输之间必须将 SPI_CLK 时钟拉高一个时钟周期。这是因为 SPH 为 0 时，Slave 选择管脚会固定其内部串行设备寄存器的数据，使它不会变化。因此在连续传输时，主设备必须在每个 word 传输之间将 SPI_CS_N 信号拉高。连续传输结束时，SPI_CS_N 在捕捉到最后 1bit 之后的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

(2) SPO=0、SPH=1

SPI 单帧格式如图 14-7 所示。

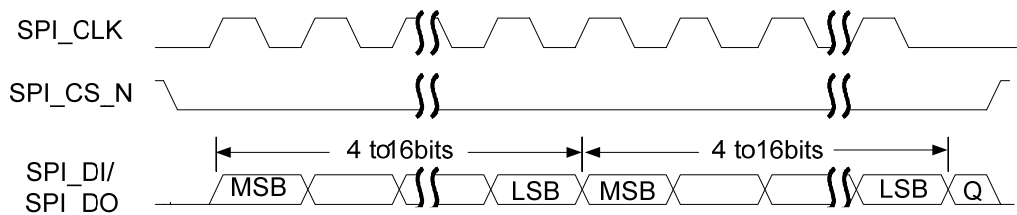


图14-7 SPI 单帧格式 (SPO=0、SPH=1)



SPI 连续帧格式如图 14-8 所示。

图14-8 SPI 连续帧格式 (SPO=0、SPH=1)



在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为低
- SPI_CS_N 设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N 信号为低表示开始传输数据。半个 SPI_CLK 时钟周期之后，Master 和 Slave 的有效数据分别在各自的传输线上有效。同时，SPI_CLK 从第一个上升沿开始有效。数据在 SPI_CLK 时钟的下降沿被捕获，在时钟的上升沿被传送。

如果传输单个 word，当捕捉到最后 1bit 数据时，SPI_CS_N 在接下来的 1 个 SPI_CLK 时钟之后恢复为高电平。

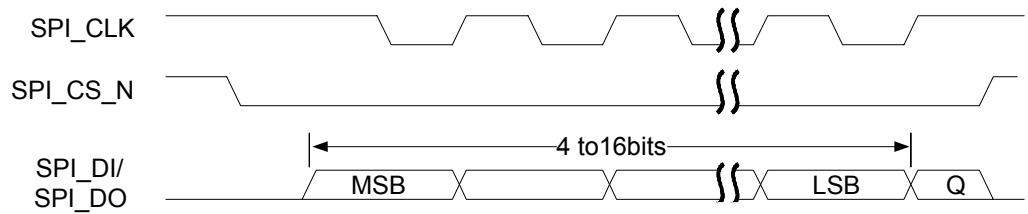
当连续传输时，在传输数据 word 之间 SPI_CS_N 保持为低。连续传输结束时，SP_CS_N 在最后 1bit 捕捉之后的 1 个 SPI_CLK 时钟之后恢复为高电平。

(3) SPO=1、SPH=0

SPI 单帧格式如图 14-9 所示。

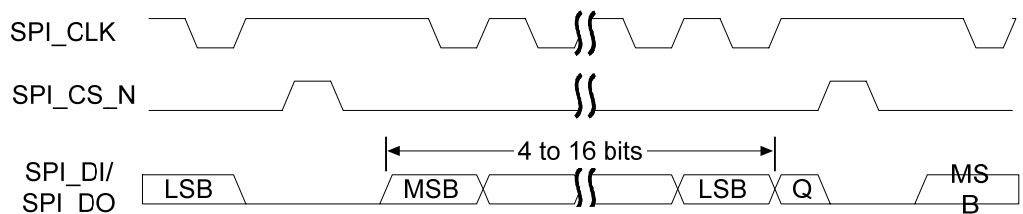


图14-9 SPI 单帧格式 (SPO=1、SPH=0)



SPI 连续帧格式如图 14-10 所示。

图14-10 SPI 连续帧格式 (SPO=1、SPH=0)



在该配置下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为高
- SPI_CS_N 信号设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N 信号为低表示开始传输数据。此时 Slave 的数据立刻发送到 Master 的接收数据线 SPI_DI。半个 SPI_CLK 周期之后，Master 的有效数据传送到 SPI_DO。再过半个 SPI_CLK 时钟周期之后，SPI_CLK Master 管脚设置为低。这表示数据在 SPI_CLK 时钟的下降沿被捕获，在 SPI_CLK 时钟的上升沿被传送。

如果传输单个 word，当捕捉到最后 1bit 数据时，SPI_CS_N 在接下来的 1 个 SPI_CLK 时钟之后恢复为高电平。

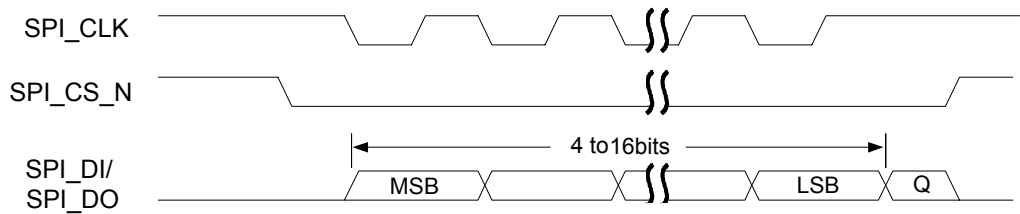
如果是连续的传输，SPI_CS_N 信号在每个 word 传输之间必须拉高。这是因为当 SPH 为 0 时，Salve 选择管脚固定其内部串行设备寄存器的数据，使它不会变化。SPI_CS_N 在捕捉到最后 1bit 数据之后的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

(4) SPO=1、SPH=1

SPI 单帧格式如图 14-11 所示。

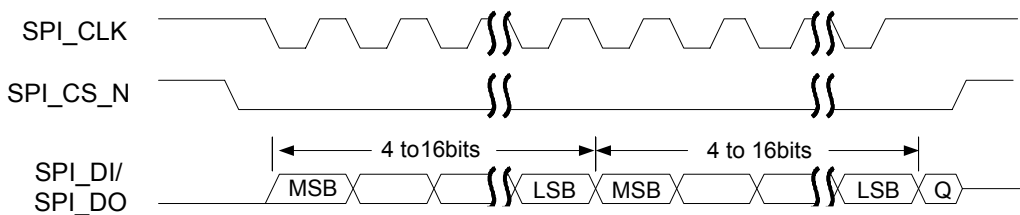


图14-11 SPI 单帧格式 (SPO=1、SPH=1)



SPI 连续帧格式如图 14-12 所示。

图14-12 SPI 连续帧格式 (SPO=1、SPH=1)



在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为高
- SPI_CS_N 信号设置为高
- 发送数据线 SPI_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI_CS_N Master 信号为低表示开始传输数据。半个 SPI_CLK 时钟周期后，Master 和 Slave 数据在各自的传输线上有效。同时，时钟 SPI_CLK 从 1 个下降沿开始有效。数据在 SPI_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。

当传输单个 word 时，SPI_CS_N 在传输的最后 1bit 捕获之后的 1 个 SPI_CLK 时钟周期之后恢复为高电平。

如果是连续传输，SPI_CS_N 信号始终保持为低。SPI_CS_N 在捕获到最后 1bit 之后的 1 个 SPI_CLK 时钟周期之后恢复到高状态。对于连续传输来说，SPI_CS_N 在传输过程中一直保持为低，结束方式与单个传输方式相同。

(5) 接口时序



图14-13 SPI 接口时序图

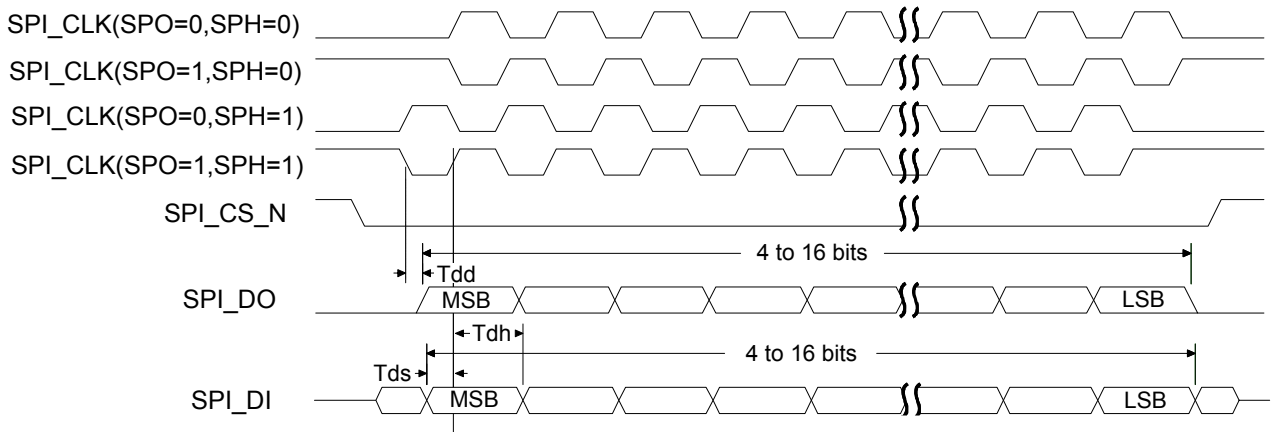


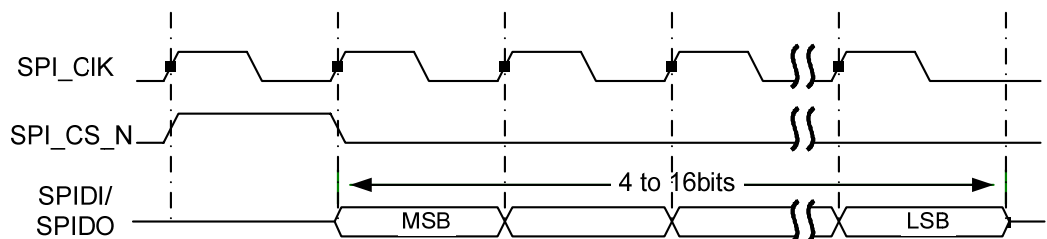
表14-2 SPI 接口时序参数

参数	描述	最小值	最大值	单位
Tdd	输出数据延迟	-3.5	5	ns
Tds	输入控制信号建立时间	23	-	ns
Tdh	输入控制信号保持时间	0	-	ns

TI 同步串行接口

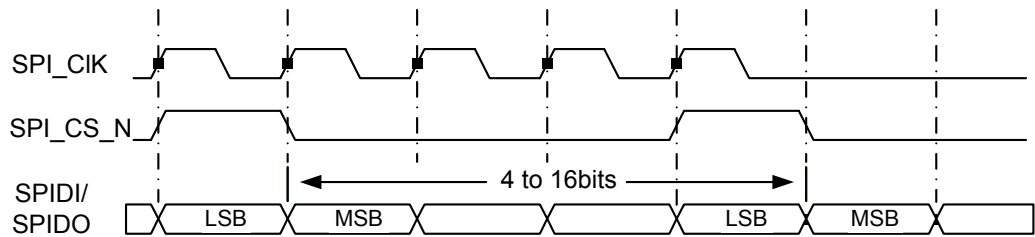
TI 同步串行单帧格式如图 14-14 所示。

图14-14 TI 同步串行单帧格式



TI 同步串行连续帧格式如图 14-15 所示。

图14-15 TI 同步串行连续帧格式



在该模式下，当 SPI 处于空闲状态时：

- SPICK 为低电平。
- SPICSN 为低电平。
- 传输数据线 SPIDO 保持为高阻。

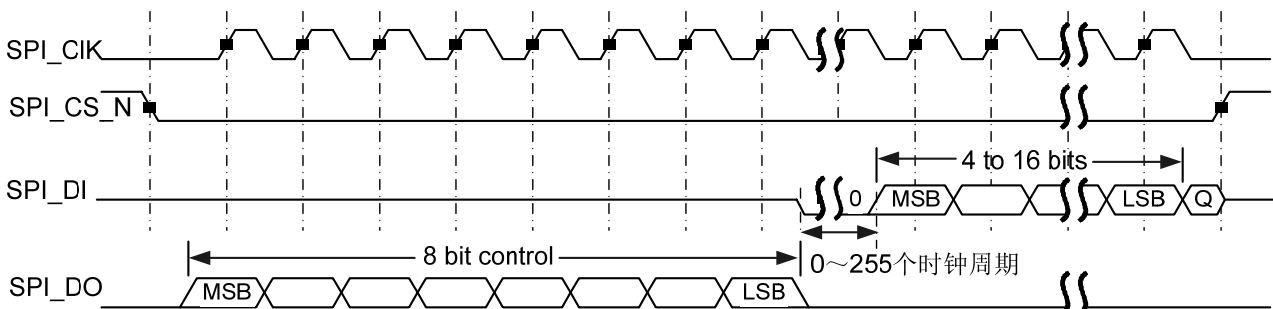
一旦发送 FIFO 有数据，SPICSN 就会产生一个 SPICK 时钟周期的高电平脉冲，将被发送的数据就会从发送 FIFO 传送到发送逻辑串行移位寄存器。在 SPICK 时钟的下一个上升沿，4bit~16bit 数据帧的 MSB 就会从 SPIDO 移位输出。同样，从外部串行 slave 设备接收数据的 MSB 会从 SPIDI 管脚移位输入。

SPI 和片外串行设备在 SPICK 时钟的下降沿将数据存入串行移位寄存器。接收串行寄存器在接收到 LSB 之后的第一个 SPICK 时钟上升沿将数据送给接收 FIFO。

National Semiconductor Microwire 接口

National Semiconductor Microwire 单帧帧格式如图 14-16 所示。

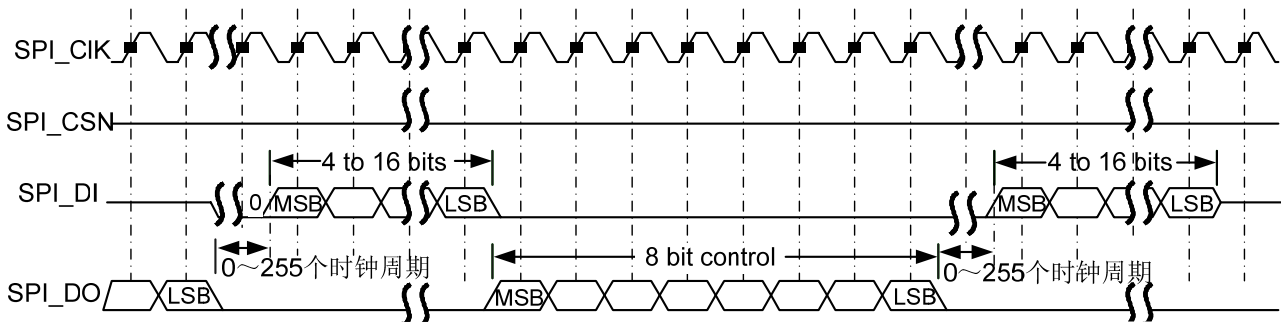
图14-16 National Semiconductor Microwire 单帧帧格式



在 SPIDO LSB 结束和 SPIDI MSB 开始之间可以延迟 0~255 个时钟周期。

National Semiconductor Microwire 连续帧帧格式如图 14-17 所示。

图14-17 National Semiconductor Microwire 连续帧格式



在 SPI_DO LSB 结束和 SPI_DI MSB 开始之间可以延迟 0~255 个时钟周期。

Microwire 的格式与 SPI 的格式非常相近，使用 master-slave 信息的传输技术，只不过 SPI 是全双工通信，而 Microwire 半双工通信。在 SPI 向外部芯片发送串行数据的时候，都要先加 8bit 控制字。在这个过程中，SPI 没有接收到任何数据。传输完毕之后，片外芯片对接收到的数据进行解码，在与 8bit 控制信息间隔一个时钟周期之后，slave 开始响应所需求的数据。返回的数据长度为 4bit~16bit，使得整个帧的长度为 13bit~25bit。

在该模式下，当 SPI 处于空闲状态时：

- SPI_CLK 信号设置为低电平。
- SPI_CS_N 设置为高电平。
- 发送数据线 SPI_DO 强制为低电平。

向发送 FIFO 内部写进一个控制字节开始一次传送。SPI_CS_N 的下降沿引发数据的传输，发送 FIFO 的数据被发送到串行移位寄存器，8bit 控制帧的 MSB 被发送到发送管脚 SPIDO。在帧的传送过程中，SPI_CS_N 保持为低。SPI_DI 在这个传送过程中保持为高阻。

片外的串行从设备在 SPI_CLK 时钟的每一个上升沿将数据锁存到串行移位寄存器中。当从设备锁存完最后 1 个 bit 的数据之后，在接下来的 1 个时钟周期的等待时间里，对接收到的数据开始解码，然后从设备反馈给 SPI 所要求的数据。每 1 个 bit 都是在 SPICK 时钟的下降沿写到 SPI_DI 的。对单个数据传送来说，在帧的结尾，SPI_CS_N 在最后 1 个 bit 写到接收串行寄存器之后的 1 个时钟周期后拉高，这样就使接收到的数据传送到接收 FIFO。

对于连续的传送来说，数据传送的开始和结束都和单个数据的传送方式相同。在这个传送过程中，信号 SPI_CS_N 时一直保持为低的，传送的数据也是连续的。下一帧的控制字直接和上一帧的 LSB 相邻。当帧的 LSB 锁存到 SPI 之后，接收到的每一个数值都是在 SPI_CLK 时钟的下降沿取自接收移位寄存器。

14.2.5 工作方式

工作模式

SPI 的工作模式分为中断或查询方式下的数据传输和 DMA 方式下的数据传输。



时钟与复位

输出 SPI 时钟频率计算方式如下，

$$F_{\text{ssplkout}} = F_{\text{ssplk}} / (\text{CPSDVRx} (1 + \text{SCR}))$$

F_{ssplk} : SPI 的工作参考时钟，1/2 总线时钟。

CPSDVR、SCR 请查询相应寄存器。

Hi3531 中 SPI 支持独立软复位，由寄存器 PERI_CRG57 bit[12]控制。相应位写“0”，SPI 退出软复位；相应位写“1”，SPI 进入软复位。上电缺省值为 0。

中断处理

SPI 有 5 个中断，其中前 4 个是独立中断源、可屏蔽、高电平有效。

- SPIRXINTR
接收 FIFO 中断请求。当接收 FIFO 中有 4 个或更多的有效数据时，该中断置位。
- SPITXINTR
发送 FIFO 中断请求。当发送 FIFO 中有 4 个或更少的有效数据时，该中断置位。
- SPIRORINTR
接收 overrun 中断请求。当 FIFO 已满，且又有新的数据需要写入 FIFO 时，会引起 FIFO overrun，该中断置位。此时数据被写入接收移位寄存器，而不是 FIFO。
- SPIRTINTR
接收 time out 中断请求。当接收 FIFO 非空，且 SPI 处于 idle 态超过一个固定的 32bit 周期，该中断置位。
此时表明接收 FIFO 中仍有数据需要传输。如果接收 FIFO 被读空或者当有新的数据被接收到 SPIRXD 中，该中断解除置位。也可以通过写寄存器 SPIICR[RTIC]清除该中断。
- SPIINTR
组合中断，为以上 4 个中断经过“或”运算后的结果。如果上述 4 个独立中断中任意一个置位且使能，该中断置位。

SPI 的中断 SPIINTR 请参见中断处理章节。

初始化

初始化步骤如下：

1. 向寄存器 SPICR1[sse]写“0”，禁止 SPI。
2. 写寄存器 SPICR0，配置帧格式及传输数据位宽等参数。
3. 配置寄存器 SPICPSR，设定时钟分频因子。
4. 中断方式下，设置寄存器 SPIIMSC，使能相应中断信号；查询、DMA 方式下，应禁止产生相应中断信号。
5. 中断或 DMA 方式，设置 SPITXFIFO CR 和 SPIRXFIFO CR。
6. DMA 方式下，配置寄存器 SPIDMACR，使能 SPI 的 DMA 功能。



----结束

查询方式下的数据传输

因为发送/接收 FIFO 深度 512，一般不需考虑 FIFO 满。

具体步骤如下：

1. 如果用到多个片选，配置系统控制寄存器 PERIPHCTRL4 [14:12]，选择当前进行操作的片选。
2. 向寄存器 SPICR1[sse]写“1”，使能 SPI。
3. 将需发送的数据连续写到寄存器 SPIDR。
4. 轮询寄存器 SPISR，直到[BSY]=0（表示总线不忙）、[TFE]=1（表示发送 FIFO 已空）、[RNE]=1（表示接收 FIFO 非空），进入步骤 5。
5. 读出数据，需保证读空接收 FIFO（可通过查询 SPISR[RNE]得到）。



注意

SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。

6. 向寄存器 SPICR1[sse]写“0”，禁止 SPI。

----结束

中断方式下的数据传输

具体步骤如下：

1. 如果用到多个片选，配置系统控制寄存器 PERIPHCTRL4 [14:12]，选择当前进行操作的片选。
2. 向寄存器 SPICR1[sse]写“1”，使能 SPI。
3. 将需发送的数据连续写到寄存器 SPIDR。
4. 等待中断 SPIRXINTR，读出数据。循环直到读出所有数据。



注意

SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。



- 向寄存器 `SPICR1[sse]`写“0”，禁止 SPI。

----结束

DMA 方式下的数据传输

具体步骤如下：

- 获取一个 DMAC 通道。
- 如果用到 SPI0 两个片选，配置系统控制寄存器 `PERIPHCTRL4 [14:12]`，选择当前进行操作的片选。
- 向寄存器 `SPICR1[sse]`写“1”，使能 SPI。
- 发送数据

配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。

启动 DMAC，响应 SPI 发送 FIFO 的 DMA 请求进行数据传输。

通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 SPI 的 DMA 功能。

- 接收数据

配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。

启动 DMAC，响应 SPI 接收 FIFO 的 DMA 请求进行数据传输。

通过 DMA 中断上报，判断数据是否接收完成，如果完成则关闭 SPI 的 DMA 功能。

- 向寄存器 `SPICR1[sse]`写“0”，禁止 SPI。

----结束

14.2.6 寄存器概览

寄存器概览如表 14-3 所示。

表14-3 寄存器概览（SPI0 基址是 200C_0000）

偏移地址	名称	描述	页码
0x000	SPICR0	控制寄存器 0	14-24
0x004	SPICR1	控制寄存器 1	14-25
0x008	SPIDR	数据寄存器	14-26
0x00C	SPISR	状态寄存器	14-26
0x010	SPICPSR	时钟分频寄存器	14-27
0x014	SPIIMSC	中断屏蔽寄存器	14-28
0x018	SPIRIS	原始中断状态寄存器	14-29



偏移地址	名称	描述	页码
0x01C	SPIMIS	屏蔽后中断状态寄存器	14-29
0x020	SPIICR	中断清除寄存器	14-30
0x024	SPIDMACR	DMA 控制寄存器	14-30
0x028	SPITXFIFO CR	发送 FIFO 控制寄存器	14-31
0x02C	SPIRXFIFO CR	接收 FIFO 控制寄存器	14-32

14.2.7 寄存器描述

SPICR0

SPICR0 为控制寄存器 0。

	Offset Address				Register Name				Total Reset Value							
	0x000				SPICR0				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SCR						SPH	SPO	FRF		DSS					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description												
	[15:8]	RW	SCR	串行时钟率，取值范围 0~255。SCR 的值用来产生 SPI 发送和接收的比特率，公式为 $F_{SPICLK} / (CPSDVSR \cdot (1+SCR))$ 。 CPSDVSR 是一个 2~254 之间的偶数，由寄存器 SPICPSR 配置。												
	[7]	RW	SPH	SPICLKOUT 相位，具体含义请参见“14.2.4 三种外设总线时序”的 SPI 帧格式。												
	[6]	RW	SPO	SPICLKOUT 极性，具体含义请参见“14.2.4 三种外设总线时序”的 SPI 帧格式。												
	[5:4]	RW	FRF	帧格式选择。 00: Motorola SPI 帧格式； 01: TI 同步串行帧格式； 10: National Microwire 帧格式； 11: 保留。												



[3:0]	RW	DSS	设置数据位宽。 0011: 4bit; 1000: 9bit; 1101: 14bit; 0100: 5bit; 1001: 10bit; 1110: 15bit; 0101: 6bit; 1010: 11bit; 1111: 16bit; 0110: 7bit; 1011: 12bit; 0111: 8bit; 1100: 13bit; 其他: 保留。
-------	----	-----	--

SPICR1

SPICR1 为控制寄存器 1。

	Offset Address				Register Name				Total Reset Value								
	0x004				SPICR1				0x7F00								
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	WaitEn	WaitVal				reserved		BigEnd		reserved	MS	SSE	LBM				
Reset	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description														
[15]	RW	WaitEn	等待使能，当 SPICR0 寄存器的 FRF 配置为 National Microwire 帧格式时有效。 0: 不使能; 1: 使能。														
[14:8]	RW	WaitVal	National Microwire 帧格式时，写和读之间的等待拍数。当 WaitEn 为 1 并且帧格式为 National Microwire 时有效。														
[7:5]	RW	reserved	保留。														



[4]	RW	BigEnd	设置数据大小端模式。 0: 小端结束; 1: 大端结束。
[3]	RW	reserved	保留。
[2]	RW	MS	设置 Master 或者 Slave 模式, 此位只能在 SPI 被禁止时改变。 0: Master 模式 (默认); 1: Slave 模式。
[1]	RW	SSE	设置 SPI 使能。 0: 不使能; 1: 使能。
[0]	RW	LBM	设置环回模式。 0: 正常的串行接口操作使能; 1: 发送串行移位寄存器的输出在内部连接到接收串行移位寄存器的输入上。

SPIDR

SPIDR 为数据寄存器。

	Offset Address						Register Name				Total Reset Value					
	0x008						SPIDR				0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DATA															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:0]	RW	DATA	发送/接收 FIFO。 读: 接收 FIFO; 写: 发送 FIFO。 如果数据比特数少于 16 则必须右对齐。发送逻辑将忽略高位未使用的比特位, 接收逻辑则自动将数据右对齐。													

SPISR

SPISR 为状态寄存器。



	Offset Address 0x00C						Register Name SPISR						Total Reset Value 0x0003			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											BSY	RFF	RNE	TNF	TFE
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
	Bits	Access	Name	Description												
	[15:5]	RW	reserved	保留。												
	[4]	RW	BSY	SPI 忙标记。 0: 空闲; 1: 忙。												
	[3]	RW	RFF	接收 FIFO 是否已满。 0: 未滿; 1: 已滿。												
	[2]	RW	RNE	接收 FIFO 是否未空。 0: 已空; 1: 未空。												
	[1]	RW	TNF	发送 FIFO 是否未滿。 0: 已滿; 1: 未滿。												
	[0]	RW	TFE	发送 FIFO 是否已空。 0: 未空; 1: 已空。												

SPICPSR

SPICPSR 为时钟分频寄存器。



	Offset Address 0x010						Register Name SPICPSR						Total Reset Value 0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved						CPSDVSR									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description											
	[15:8]	RW	reserved		保留。											
	[7:0]	RW	CPSDVSR		时钟分频因子。此值必须是 2~254 之间的偶数，取决于输入时钟 SPICLK 的频率。最低位读作“0”。											

SPIIMSC

SPIIMSC 为中断屏蔽寄存器。

	Offset Address 0x014						Register Name SPIIMSC						Total Reset Value 0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												TXIM	RXIM	RTIM	RORIM
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description											
	[15:4]	RW	reserved		保留。											
	[3]	RW	TXIM		发送 FIFO 中断屏蔽。 0: 半空或更少情况下中断被屏蔽; 1: 半空或更少情况下中断未被屏蔽。											
	[2]	RW	RXIM		接收 FIFO 中断屏蔽。 0: 半空或更少情况下中断被屏蔽; 1: 半空或更少情况下中断未被屏蔽。											
	[1]	RW	RTIM		接收超时中断。 0: 接收超时中断屏蔽; 1: 接收超时中断不屏蔽。											



[0]	RW	RORIM	接收溢出中断屏蔽。 0: 接收 FIFO 溢出中断屏蔽; 1: 接收 FIFO 溢出中断不屏蔽。 值为“1”时使能硬件流控功能, 即接收 FIFO 满后 SPI 停止发送数据。
-----	----	-------	---

SPIRIS

SPIRIS 为原始中断状态寄存器。值“0”表示无中断, 值“1”表示有中断。

	Offset Address				Register Name				Total Reset Value							
	0x018				SPIRIS				0x0008							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												TXRIS	RXRIS	RTRIS	RORRIS
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
Bits	Access		Name		Description											
[15:4]	RO		reserved		保留。											
[3]	RO		TXRIS		发送 FIFO 中断的原始中断状态。											
[2]	RO		RXRIS		接收 FIFO 中断的原始中断状态。											
[1]	RO		RTRIS		接收超时中断的原始中断状态。											
[0]	RO		RORRIS		接收溢出中断的原始中断状态。											

SPIMIS

SPIMIS 为屏蔽后中断状态寄存器。值“0”表示无中断, 值“1”表示有中断。



	Offset Address 0x01C						Register Name SPIMIS						Total Reset Value 0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												TXMIS	RXMIS	RTMIS	RORMIS
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description												
	[15:4]	RO	reserved	保留。												
	[3]	RO	TXMIS	发送 FIFO 中断屏蔽后的状态。												
	[2]	RO	RXMIS	接收 FIFO 中断屏蔽后的状态。												
	[1]	RO	RTMIS	接收超时中断屏蔽后的状态。												
	[0]	RO	RORMIS	接收溢出中断屏蔽后的状态。												

SPIICR

SPIICR 为中断清除寄存器。写“1”清除中断，写“0”无影响。

	Offset Address 0x020						Register Name SPIICR						Total Reset Value 0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												RTIC	RORIC		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description												
	[15:2]	RO	reserved	保留。												
	[1]	RO	RTIC	清除接收超时中断。												
	[0]	RO	RORIC	清除接收溢出中断。												

SPIDMACR

SPIDMACR 为 DMA 控制寄存器。



Offset Address		Register Name		Total Reset Value												
0x024		SPIDMACR		0x0000												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												TXDMAE	RXDMAE		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:2]	WO	reserved	保留位。													
[1]	WO	TXDMAE	DMA 发送 FIFO 使能寄存器。 0: 禁止; 1: 使能。													
[0]	WO	RXDMAE	DMA 接收 FIFO 使能寄存器。 0: 禁止; 1: 使能。													

SPITXFIFO CR

SPITXFIFO CR 为发送 FIFO 控制寄存器。

Offset Address		Register Name		Total Reset Value												
0x028		SPITXFIFO CR		0x0001												
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										TXINTSize	DMATXBRSIZE				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description													
[15:6]	RW	reserved	保留位。													



[5:3]	RW	TXINTSize	配置发送 FIFO 请求中断的水线。即，发送 FIFO 中数据数目小于或等于 TXINTSize 所配置的字数时，TXRIS 有效。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 64; 111: 64。
[2:0]	RW	DMATXBRSIZE	配置发送 FIFO 请求 DMA 进行 burst 传输的水线。即，发送 FIFO 中数据数目小于或等于 (256-DMATXBRSIZE) 所配置的字数时，DMATXBREQ 有效，此处字长是 16 位。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 128。

SPIRXFIFO CR

SPIRXFIFO CR 为接收 FIFO 控制寄存器。

	Offset Address				Register Name				Total Reset Value							
	0x02C				SPIRXFIFO CR				0x0001							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										RXINTSize		DMARXBRSIZE			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Bits	Access	Name		Description											
	[15:6]	RW	reserved		保留。											



[5:3]	RW	RXINTSize	配置接收 FIFO 请求中断的水线。即，接收 FIFO 中数据数目大于或等于（256-RXINTSize）所配置的字数时，RXRIS 有效，此处字长是 16 位。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 64; 111: 64。
[2:0]	RW	DMARXBRSIZE	配置接收 FIFO 请求 DMA 进行 burst 传输的水线。即，接收 FIFO 中数据数目大于或等于 DMARXBRSIZE 所配置的字数时，DMARXBREQ 有效。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 224。

14.3 通用异步收发器

14.3.1 概述

通用异步收发器 UART（Universal Asynchronous Receiver Transmitter）是一个异步串行的通信接口，主要功能是将来自外围设备的数据进行串并转换之后传入内部总线，以及将数据进行并串转换之后输出到外部设备。UART 的主要功能是和外部芯片的 UART 进行对接，从而实现两芯片间的通信。

Hi3531 提供 4 个 UART 单元：

- UART0: 2 线 UART，主要用于调试。
- UART1: 4 线 UART，主要用于连接外部 Modem。
- UART2/3: 2 线 UART，可用于与通用的 UART 设备对接。



14.3.2 特点

UART 模块有以下特点：

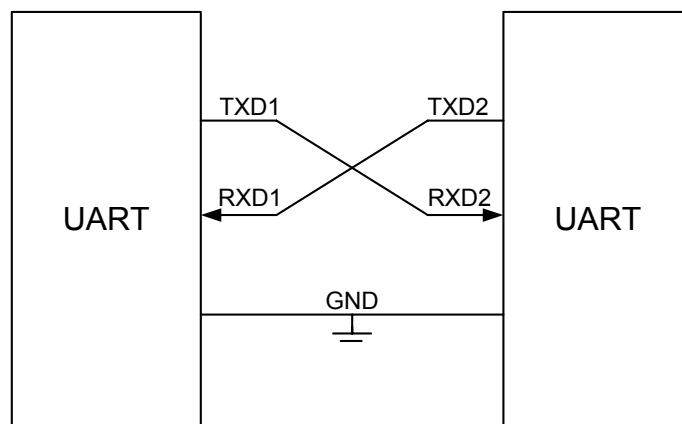
- 支持 16 x 8bit 的发送 FIFO 和 16 x 12bit 的接收 FIFO。
- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8 比特；停止位可通过编程设定为 1bit 或 2bit。
- 支持奇、偶校验方式或者无校验。
- 支持传输速率可编程。
- 支持接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持通过编程禁止 UART 模块或者 UART 发送/接收功能以降低功耗。
- 支持关断 UART 时钟以节省功耗。
- 支持 DMA 操作。

14.3.3 功能描述

应用框图

UART 的典型应用框图如图 14-18 所示。

图14-18 UART 的典型应用框图一



UART 是一种异步双向串行总线，它提供了一种简单有效的数据传输方式，只需要两根数据线互相对接。

功能原理

UART 的一次帧传输主要包括起始信号、数据、校验位和结束信号，如图 14-19 所示。数据帧从某一 UART 的 TXD 端输出，从另一个 UART 的 RXD 端输入。

图14-19 UART 帧格式



起始信号、数据、校验位和结束信号的含义如下：

- 起始信号（start bit）
一个数据帧开始的标志，UART 协议规定 TXD 信号出现一个低电平就表示一个数据帧的开始。在 UART 不传输数据时，应该保持高电平。
- 数据信号（data bit）
数据位宽可以根据不同的应用要求进行调整，可以配置成 5bit/6bit/7bit/8bit 数据位宽。
- 校验位（parity bit）
校验位是 1 比特纠错信号，UART 的校验位有奇校验、偶校验和固定校验位，同时支持校验位的使能和禁止，详细描述请见 [UART_LCR_H](#) 寄存器。
- 结束信号（stop bit）
结束信号即数据帧的停止位，支持 1 比特和 2 比特停止位两种配置。数据帧的结束信号就是把 TXD 拉成高电平。

14.3.4 工作方式

14.3.4.1 波特率配置

通过配置寄存器 [UART_IBRD](#) 和 [UART_FBRD](#) 可以设置 UART 工作的波特率，波特率计算公式为：

当前波特率=UART 参考时钟频率（1/2 总线时钟频率）/（16 x 分频系数）

分频系数有整数和小数两部分组成，分别对应寄存器 [UART_IBRD](#) 和 [UART_FBRD](#)。

例如：UART 参考时钟频率为 60MHz，如果配置 [UART_IBRD](#) 为 0x1E，[UART_FBRD](#) 为 0x00，按照波特率计算公式，则当前的波特率为 60/（16 x 30）=0.125Mbit/s。

UART 波特率配置的典型值为：9,600bit/s、14,400bit/s、19,200bit/s、38,400bit/s、57,600bit/s、76,800bit/s、115,200bit/s、230,400bit/s、460,800bit/s。

分频系数值的计算以及分频系数寄存器的配置举例如下：

如果要求波特率为 230400bit/s，并且 UART 参考时钟频率为 100MHz，那么分频系数为 $(100 \times 10^6) / (16 \times 230400) = 27.1267$ ，因此 IBRD（整数部分）为 27，FBRD（小数部分）为 0.1267。



计算 6bit `UART_FBRD` 寄存器中的数值：根据 $m = \text{integer}(FBRD \times 2^n + 0.5)$ ($n = \text{UART_FBRD}$ 寄存器的宽度)，计算出 $m = \text{integer}(0.1267 \times 2^6 + 0.5) = 8$ ，在 `UART_IBRD` 寄存器中配置 0x001B，`UART_FBRD` 寄存器中配置 0x08。

当分频系数小数部分配置成 8 时，波特率除数的实际数值为 $27 + 8/64 = 27.125$ ，产生的波特率为 $(100 \times 10^6) / (16 \times 27.125) = 230414.75$ ，误差率为 $(230414.75 - 230400) / 230400 \times 100 = 0.006\%$ 。

使用 6bit `UART_FBRD` 寄存器最大的误差率为 $1/64 \times 100 = 1.56\%$ ，当 $m=1$ 时会出现，误差率累计超过 64 个时钟周期。

14.3.4.2 软复位

通过配置 CRG 寄存器可实现对 UART 控制器的单独软复位。

- 通过配置 CRG 寄存器 `PERI_CRG57[7]` 为 1，可实现对 UART0 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[8]` 为 1，可实现对 UART1 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[9]` 为 1，可实现对 UART2 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[10]` 为 1，可实现对 UART3 控制器的单独软复位。

复位后各配置寄存器的值均为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

14.3.4.3 中断或查询方式下的数据传输

初始化

初始化步骤如下：

1. 向 `UART_CR` bit[0] 写 0，使 UART 处于禁止状态。
2. 写相应的配置值到 `UART_IBRD`、`UART_FBRD` 寄存器，配置传输速率。
3. 配置 `UART_CR`、`UART_LCR_H`，设定相应的 UART 工作模式。
4. 配置 `UART_IFLS` 设定相应的发送及接收 FIFO 阈值。
5. 如果驱动程序采用中断方式则需设定 `UART_IMSC`，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。
6. 向 `UART_CR` bit[0] 写 1，使能 UART，完成初始化配置。

----结束

数据发送

数据发送步骤如下：

1. 将发送数据写入 `UART_DR`，启动数据发送。



2. 查询方式下，进行连续数据发送时通过读取 `UART_FR` bit[5]检测 `TX_FIFO` 状态，根据 `TX_FIFO` 的状态决定是否向 `TX_FIFO` 中发送数据；中断方式下，则根据相应中断状态位检测；决定是否向 `TX_FIFO` 中发送数据。
3. 通过检测 `UART_FR` bit[7]是否为 1，判断 UART 是否完成全部数据发送。

----结束

数据接收

数据接收的处理方式如下：

- 查询方式下，进行数据接收时通过读取 `UART_FR`[rxfe]检测 `RX_FIFO` 状态，根据 `RX_FIFO` 的状态决定是否读取 `RX_FIFO` 中的数据。
- 中断方式下，则根据相应中断状态位检测决定是否读取 `RX_FIFO` 中的数据。

14.3.4.4 DMA 方式下的数据传输

初始化

初始化步骤如下：

1. 向 `UART_CR`[uarten]写 0，使 UART 处于禁止状态。
2. 写相应的配置值到 `UART_IBRD`、`UART_FBRD` 寄存器，配置传输速率。
3. 配置 `UART_CR`、`UART_LCR_H`，设定相应的 UART 工作模式。
4. 配置 `UART_IFLS` 设定相应的发送及接收 FIFO 阈值。
5. 如果驱动程序采用中断方式则需设定 `UART_IMSC`，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。
6. 向 `UART_CR`[uarten]写 1，使能 UART，完成初始化配置。

----结束

数据发送

数据发送（以 DMA 模式为例）步骤如下：

1. 配置 DMA 数据通道，包括数据传输源和目的地址、数据传输个数、传输类型等参数。具体配置时请参见“直接存储器存取控制器”的相关描述。
2. 配置 `UART_DMACR` 为 0x2，使能 UART 的 DMA 发送功能。
3. 通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 UART 的 DMA 发送功能。

----结束

数据接收

数据接收（以 DMA 模式为例）步骤如下：



1. 配置 DMA 数据通道，包括数据传输源和目的地址、数据接收区地址、数据传输个数、传输类型等参数。
2. 配置 `UART_DMOCR` 为 0x1，使能 UART 的 DMA 接收功能。
3. 通过 DMA 状态查询，判断数据是否接收完成，如果完成则关闭 UART 的 DMA 接收功能。

----结束

14.3.5 寄存器概览

Hi3531 提供 4 个 UART 单元，基址分别如下：

- UART0 寄存器基址为 0x2008_0000。
- UART1 寄存器基址为 0x2009_0000。
- UART2 寄存器基址为 0x200A_0000。
- UART3 寄存器基址为 0x200B_0000。

UART 寄存器概览如表 14-4 所示。

表14-4 UART 寄存器概览

偏移地址	名称	描述	页码
0x000	UART_DR	数据寄存器	14-39
0x004	UART_RSR	接收状态寄存器/错误清除寄存器	14-39
0x008~0x014	RESERVED	保留	-
0x018	UART_FR	标志寄存器	14-40
0x01C~0x020	RESERVED	保留	-
0x024	UART_IBRD	整数波特率寄存器	14-42
0x028	UART_FBRD	小数波特率寄存器	14-42
0x02C	UART_LCR_H	线控寄存器	14-43
0x030	UART_CR	控制寄存器	14-44
0x034	UART_IFLS	中断 FIFO 阈值选择寄存器	14-46
0x038	UART_IMSC	中断屏蔽寄存器	14-47
0x03C	UART_RIS	原始中断状态寄存器	14-48
0x040	UART_MIS	屏蔽后中断状态寄存器	14-49
0x044	UART_ICR	中断清除寄存器	14-50
0x048	UART_DMOCR	DMA 控制寄存器	14-51



14.3.6 寄存器描述

UART_DR

UART_DR 为 UART 数据寄存器，存放接收数据和发送数据，同时可以从该寄存器中读出接收状态。

	Offset Address					Register Name					Total Reset Value					
	0x000					UART_DR					0x00					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				oe	be	pe	fe	data							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description											
	[15:12]	-	reserved		保留。											
	[11]	RO	oe		溢出错误。 0: 无溢出错误; 1: 有溢出错误, 接收 FIFO 满且接收了一个数据。											
	[10]	RO	be		Break 错误。 0: 无 break 错误; 1: 有 break 错误, 即接收数据的输入保持低的时间比一个全字传输 (包括 start、data、parity、stop bit) 还要长。											
	[9]	RO	pe		校验错误。 0: 无校验错误; 1: 有校验错误。											
	[8]	RO	fe		帧错误。 0: 无帧错误; 1: 有帧错误 (错误的停止位)。											
	[7:0]	RW	data		接收数据和发送数据。											

UART_RSR

UART_RSR 为接收状态寄存器/错误清除寄存器。

- 寄存器读时作为接收状态寄存器。
- 寄存器写时作为错误清除寄存器。



接收状态也可以从 **UART_DR** 中读出。从 **UART_DR** 中读出的 break、frame、parity 的状态信息要比从 **UART_RSR** 读出的信息优先级高（即 **UART_DR** 中的状态变化比 **UART_RSR** 更快）。

对 **UART_RSR** 寄存器的任何写操作都会对 **UART_RSR** 寄存器进行复位。

	Offset Address 0x004				Register Name UART_RSR		Total Reset Value 0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved				oe	be	pe	fe
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:4]	-	reserved	保留。					
[3]	RW	oe	溢出错误。 0: 无溢出错误； 1: 溢出错误。 当 FIFO 满时，FIFO 中的内容保持有效，因为不会有下一个数据写到 FIFO 中，只是移位寄存器会溢出。CPU 必须立刻读数据以腾空 FIFO。					
[2]	RW	be	Break 错误。 0: 无 break 错误； 1: break 错误。 Break 的条件：接收数据的输入保持低的时间比一个全字传输（定义了 start、data、parity、stop bit）还要长。					
[1]	RW	pe	校验错误。 0: 无校验错误； 1: 接收数据的校验错误。 FIFO 模式下，该错误与 FIFO 顶部的数据相关联。					
[0]	RW	fe	帧错误。 0: 无帧错误； 1: 接收到的数据的停止位错误（有效的停止位为 1）。					

UART_FR

UART_FR 为 UART 标志寄存器。



		Offset Address					Register Name					Total Reset Value				
		0x018					UART_FR					0x0012				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved						txfe	rxff	txff	rxfe	busy	reserved				
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access	Name	Description													
[15:8]	-	reserved	保留。													
[7]	RO	txfe	该位的含义由 UART_LCR_H[fen] 的状态决定。 如果 UART_LCR_H[fen] 为 0，则当发送 holding register 空时该位置 1； 如果 UART_LCR_H[fen] 为 1，则当发送 FIFO 为空时该位置 1。													
[6]	RO	rxff	该位的含义由 UART_LCR_H[FEN] 的状态决定。 如果 UART_LCR_H[fen] 为 0，则当接收 holding register 满时该位置 1； 如果 UART_LCR_H[fen] 为 1，则当接收 FIFO 为满时该位置 1。													
[5]	RO	txff	该位的含义由 UART_LCR_H[FEN] 的状态决定。 如果 UART_LCR_H[fen] 为 0，则当发送 holding register 满时该位置 1； 如果 UART_LCR_H[fen] 为 1，当发送 FIFO 为满时该位置 1。													
[4]	RO	rxfe	该位的含义由 UART_LCR_H[FEN] 的状态决定。 如果 UART_LCR_H[fen] 为 0，则当接收 holding register 空时该 bit 置 1； 如果 UART_LCR_H[fen] 为 1，则当接收 FIFO 为空时该位就置 1。													
[3]	RO	busy	UART 忙闲状态位。 0: UART 空闲或者完成发送数据； 1: UART 正忙于发送数据。 该位一旦置位，该状态一直保持到整个字节（包括所有的停止位）完全从移位寄存器中发送出去。 一旦发送 FIFO 非空该位就置位，不管 UART 使用与否。													
[2:0]	-	reserved	保留。													



UART_IBRD

UART_IBRD 为整数波特率寄存器。

	Offset Address				Register Name				Total Reset Value							
	0x024				UART_IBRD				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	baud divint															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description											
	[15:0]	RW	baud divint		整数波特率分频值。复位时全部清 0。											

UART_FBRD

UART_FBRD 为小数波特率寄存器。



注意

- 整数波特率寄存器和小数波特率寄存器的值必须等到当前数据发送和接收完毕才能更新。
- 最小的分频值为 1，最大的分频值为 65535 ($2^{16}-1$)。即 `UART_IBRD=0` 是无效的，而此时 `UART_FBRD` 将被忽略。同样，如果 `UART_IBRD=65535` (`0xFFFF`)，`UART_FBRD` 就只能是 0，如果比 0 大，则会导致发送和接收的失败。
- 假设 `UART_FBRD=0x1E`、`UART_IBRD=0x01`，这就表示分频系数的整数部分为 30，小数部分为 0.015625，整个分频系数为 30.015625。
- UART 的波特率 = 内部总线频率 / (16 x 分频系数) = 内部总线频率 / (16 x 30.015625)。

	Offset Address				Register Name				Total Reset Value							
	0x028				UART_FBRD				0x00							
Bit	7	6	5	4	3	2	1	0								
Name	reserved		baud divfrac													
Reset	0	0	0	0	0	0	0	0								
	Bits	Access	Name		Description											
	[7:6]	-	reserved		保留。											



[5:0]	RW	band divfrac	小数波特率分频值。复位时全部清 0。
-------	----	--------------	--------------------

UART_LCR_H

UART_LCR_H 为传输模式控制寄存器，UART_LCR_H、UART_IBRD、UART_FBRD 组成一个 30bit 宽的寄存器。如果更新 UART_IBRD 和 UART_FBRD 的内容，必须同时更新 UART_LCR_H。

	Offset Address										Register Name					Total Reset Value				
	0x02C										UART_LCR_H					0x0000				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved							sps	wlen	fen	stp2	eps	pen	brk						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name	Description																	
[15:8]	-	reserved	保留。																	
[7]	RW	sps	校验选择。 当本寄存器的 bit[1]、bit[2]、bit[7]被置位时，校验位就会作为 0 发送和检测； 当本寄存器的 bit[1]、bit[7]被置位，bit[2]为 0 时，校验位就会作为 1 发送和检测。 当 bit[1]、bit[2]、bit[7]都清 0，则 stick parity 禁止。																	
[6:5]	RW	wlen	指示发送和接收一个帧里数据比特的数目。 00: 5bit; 01: 6bit; 10: 7bit; 11: 8bit。																	
[4]	RW	fen	发送和接收 FIFO 使能控制。 0: 发送和接收 FIFO 禁止； 1: 发送和接收 FIFO 使能。																	
[3]	RW	stp2	发送帧尾 2bit 停止位判断。 0: 发送的帧尾没有 2bit 停止位； 1: 发送的帧尾有 2bit 停止位。 接收逻辑在接收时不检查 2bit 的停止位。																	



[2]	RW	eps	<p>发送和接收过程中的奇偶校验选择。</p> <p>0: 在发送和接收过程中生成奇校验或检查奇校验;</p> <p>1: 在发送和接收过程中生成偶校验或检查偶校验。</p> <p>当 <code>UART_LCR_H[fen]</code> 为 0 时, 该位不起作用。</p>
[1]	RW	pen	<p>校验选择位。</p> <p>0: 不作校验;</p> <p>1: 发送方向产生校验, 接收方向作校验检查。</p>
[0]	RW	brk	<p>发送 break。</p> <p>0: 无效;</p> <p>1: 在完成当前数据的发送后, UTXD 连续输出低电平。</p> <p>注意: 要正确的执行 break 命令, 软件将该位置 1 的时间必须超过 2 个完整帧; 在正常使用中, 该位必须清 0。</p>

UART_CR

UART_CR 为 UART 控制寄存器。

配置 `UART_CR` 遵循以下步骤:

1. 向 `UART_CR[uarten]` 写 0, 禁止 UART。
2. 等待当前数据发送或接收结束。
3. 将 `UART_LCR_H[fen]` 清 0。
4. 配置 `UART_CR`。
5. 向 `UART_CR[uarten]` 写 1, 使能 UART。

----结束



		Offset Address				Register Name					Total Reset Value						
		0x030				UART_CR					0x0300						
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		ctsen	rtsen	reserved		rts	dtr	rx	txe	lbe	reserved					uarten	
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description													
[15]	RW	ctsen		CTS 硬件流控使能。 0: 不使能 CTS 硬件流控; 1: 使能 CTS 硬件流控, 只有当 nUARTCTS 信号有效时才发送数据。													
[14]	RW	rtsen		RTS 硬件流控使能。 0: 不使能 RTS 硬件流控; 1: 使能 RTS 硬件流控, 只有当接收 FIFO 有空间时才请求接收数据。													
[13:12]	-	reserved		保留。													
[11]	RW	rts		请求发送。 该 bit 为 UART modem 状态输出信号 nUARTRTS 的取反。 0: 输出信号不变; 1: 即该 bit 配置为 1, 则输出信号为 0。													
[10]	RW	dtr		数据发送准备。 该 bit 为 UART modem 状态输出信号 nUARTDTR 的取反。 0: 输出信号不变; 1: 即该 bit 配置为 1, 则输出信号为 0。													
[9]	RW	rx		UART 接收使能。 0: 禁止; 1: 使能。 在接收的过程中如果 UART 被禁止, 则当前数据的接收就会在正常停止之前结束。													



[8]	RW	txe	UART 发送使能。 0: 禁止; 1: 使能。 在发送的过程中如果 UART 被禁止, 则当前数据的发送就会在正常停止之前结束。
[7]	RW	lbe	环回使能。 0: 禁止; 1: UARTTXD 输出环回到 UARTRXD。
[6:1]	-	reserved	保留。
[0]	RW	uarten	UART 使能。 0: 禁止; 1: 使能。 如果在发送和接收过程中将 UART 禁止, 则会在正常停止之前结束当前数据的传送。

UART_IFLS

UART_IFLS 为中断 FIFO 阈值选择寄存器, 用于设置 FIFO 的中断 (UART_TXINTR 或 UART_RXINTR) 触发线。

	Offset Address				Register Name				Total Reset Value							
	0x034				UART_IFLS				0x0012							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										rxiflssel		txiflssel			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access		Name		Description											
[15:6]	-		reserved		保留。											
[5:3]	RW		rxiflssel		接收中断 FIFO 的阈值选择, 接收中断的触发点如下。 000: 接收 FIFO $\geq 1/8$ full; 001: 接收 FIFO $\geq 1/4$ full; 010: 接收 FIFO $\geq 1/2$ full; 011: 接收 FIFO $\geq 3/4$ full; 100: 接收 FIFO $\geq 7/8$ full; 101~111: 保留。											



[2:0]	RW	txifsel	<p>发送中断 FIFO 的阈值选择，发送中断的触发点如下。</p> <p>000: 发送 FIFO ≤ 1/8full; 001: 发送 FIFO ≤ 1/4full; 011: 发送 FIFO ≤ 3/4full; 010: 发送 FIFO ≤ 1/2full; 100: 发送 FIFO ≤ 7/8full; 101~111: 保留。</p>
-------	----	---------	--

UART_IMSC

UART_IMSC 为中断屏蔽寄存器，用于屏蔽中断。

	Offset Address					Register Name					Total Reset Value					
	0x038					UART_IMSC					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeim	beim	peim	feim	rtim	txim	rxim	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[15:11]		-		reserved		Description									
[15:11]		-		reserved		保留。										
[10]	RW	oeim		<p>溢出错误中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												
[9]	RW	beim		<p>break 错误中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												
[8]	RW	peim		<p>校验中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												
[7]	RW	feim		<p>帧错误中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												
[6]	RW	rtim		<p>接收超时中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												



[5]	RW	txim	发送中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[4]	RW	rxim	接收中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[3:0]	-	reserved	保留。

UART_RIS

UART_RIS 为原始中断状态寄存器，其内容不受中断屏蔽寄存器的影响。

	Offset Address					Register Name					Total Reset Value						
	0x03C					UART_RIS					0x0000						
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved					oeris	beris	peris	feris	rtris	txris	rxris	reserved				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description														
[15:11]	-	reserved	保留。														
[10]	RO	oeris	原始的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。														
[9]	RO	beris	原始的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。														
[8]	RO	peris	原始的校验中断状态。 0: 未产生中断; 1: 已产生中断。														
[7]	RO	feris	原始的错误中断状态。 0: 未产生中断; 1: 已产生中断。														
[6]	RO	rtris	原始接收超时中断状态。 0: 未产生中断; 1: 已产生中断。														



[5]	RO	txris	原始的发送中断状态。 0: 未产生中断; 1: 已产生中断。
[4]	RO	rxris	原始的接收中断状态。 0: 未产生中断; 1: 已产生中断。
[3:0]	-	reserved	保留。

UART_MIS

UART_MIS 为屏蔽后中断状态寄存器，其内容为原始中断状态和中断屏蔽进行“与”操作后的结果。

	Offset Address					Register Name					Total Reset Value					
	0x040					UART_MIS					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oemis	bemis	pemis	femis	rtmis	txmis	rxmis	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:11]	-	reserved	保留。													
[10]	RO	oemis	屏蔽后的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[9]	RO	bemis	屏蔽后的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[8]	RO	pemis	屏蔽后的校验中断状态。 0: 未产生中断; 1: 已产生中断。													
[7]	RO	femis	屏蔽后的错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[6]	RO	rtmis	屏蔽后的接收超时中断状态。 0: 未产生中断; 1: 已产生中断。													



[5]	RO	txmis	屏蔽后的发送中断状态。 0: 未产生中断; 1: 已产生中断。
[4]	RO	rxmis	屏蔽后的接收中断状态。 0: 未产生中断; 1: 已产生中断。
[3:0]	-	reserved	保留。

UART_ICR

UART_ICR 为中断清除寄存器，写 1 时相应的中断被清除，写 0 则不起作用。

	Offset Address				Register Name				Total Reset Value							
	0x044				UART_ICR				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeic	beic	peic	feic	rtic	txic	rxic	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:11]	-	reserved	保留。													
[10]	WO	oeic	清除溢出错误中断。 0: 无效; 1: 清除中断。													
[9]	WO	beic	清除 break 错误中断。 0: 无效; 1: 清除中断。													
[8]	WO	peic	清除校验中断。 0: 无效; 1: 清除中断。													
[7]	WO	feic	清除错误中断。 0: 无效; 1: 清除中断。													
[6]	WO	rtic	清除接收超时中断。 0: 无效; 1: 清除中断。													



[5]	WO	txic	清除发送中断。 0: 无效; 1: 清除中断。
[4]	WO	rxic	清除接收中断。 0: 无效; 1: 清除中断。
[3:0]	-	reserved	保留。

UART_DMACR

UART_DMACR 为 DMA 控制寄存器，用于配置发送 FIFO 和接收 FIFO 的 DMA 使能。

	Offset Address			Register Name			Total Reset Value									
	0x048			UART_DMACR			0x0000									
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dmaonerr	txdmae	rxdmae	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:3]	-	reserved	保留。													
[2]	RW	dmaonerr	UART 错误中断 (UARTEINTR) 出现时的接收通道 DMA 使能控制。 0: 当 UART 错误中断 (UARTEINTR) 有效时, 接收通道 DMA 的请求输出 (UARTRXDMSREQ 或 UARRTXDMABREQ) 有效; 1: 当 UART 错误中断 (UARTEINTR) 有效时, 接收通道 DMA 的请求输出 (UARTRXDMSREQ 或 UARRTXDMABREQ) 无效。													
[1]	RW	txdmae	发送 FIFO 的 DMA 使能控制。 0: 禁止; 1: 使能。													
[0]	RW	rxdmae	接收 FIFO 的 DMA 使能控制。 0: 禁止; 1: 使能。													



14.4 红外接口

14.4.1 概述

红外遥控接收单元 IR (Infrared Remoter) 通过红外接口接收红外数据。

14.4.2 特点

IR 模块具有以下特点：

- 软件可配置关闭红外遥控接收模块。
- 支持 2 种工作模式：
 - 模式 0：支持 NEC with simple repeat code、NEC with full repeat code、SONY 和 TC9012 四种数据格式解码，及接收数据错误检测和红外遥控唤醒等功能。
 - 模式 1：支持任意数据格式的 symbol 电平宽度检测。
- 模式 0 时，支持接收数据帧溢出中断、接收数据帧格式错误中断、接收数据帧中断、按键释放的中断、各种中断构成的组合中断。
- 模式 1 时，支持接收 symbol 溢出中断、接收到 symbol 中断、symbol 超时中断、各种中断构成的组合中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持中断清除和屏蔽（写清）。
- 支持红外遥控唤醒。
- 支持参考时钟频率 1MHz~128MHz 可选，软件可编程控制分频因子使工作时钟预分频到 1MHz。

14.4.3 功能描述

当 IR 模块接收到红外遥控器发射的红外信号时，便对其进行解码，然后传送给 ARM 系统。ARM 系统再根据接收到的码的不同进行相应的操作，实现期望的功能。IR 模块连接在 ARM 子系统内的 APB 总线上，当芯片处于低功耗状态时（CPU 处于低频模式），IR 模块会在接收一个完整的帧数据后，产生中断信号送给 CPU，实现红外遥控唤醒功能。

通过对多种红外遥控器发出的信号进行分析，发现在不同的遥控器发出的红外指令中，引导码各不相同，而且后面的控制指令也有较大差别，甚至指令码的位数也不相同，这是因为这些红外遥控器的设计没有遵循统一的红外遥控标准。尽管遵循的标准不同，但是基本的编码思想是相同的，都是采用不同的周期和不同占空比的脉冲分别表示 0 和 1。不同遥控器占空比可能不同，且脉冲周期也不相同。根据这些不同，对一些码型类似的红外数据进行分类：NEC with simple repeat code 的数据格式、NEC with full repeat code 的数据格式、TC9012 的数据格式和 SONY 的数据格式。

红外接收数据码型统计情况如表 14-5~表 14-7 所示。



表14-5 红外接收数据码型的统计表（NEC with simple repeat code）

数据格式		NEC with simple repeat code			
		uPD6121G	D6121/BU5777/D1913	LC7461M-C13	AEHA
引导码（10μs）	LEAD_S	900	900	900	337.6
	LEAD_E	450	450	450	168.8
bit0（10μs）	B0_L	56	56	56	42.2
	B0_H	56	56	56	42.2
bit1（10μs）	B1_L	56	56	56	42.2
	B1_H	169	169	169	126.6
simple repeat code（10μs）	SLEAD_S	900	900	900	337.6
	SLEAD_E	225	225	225	337.6
burst（10μs）		55	55	55	42.2
帧长（10μs）		10800	10800	10800	8777.6~12828.8
有效数据位		32	32	42	48

表14-6 红外接收数据码型的统计表（NEC with full repeat code）

数据格式		NEC with full repeat code						
		uPD6121G	LC7461M-C13	MN6024-C5D6	MN6014-C6D6	MATNEW	MN6030	PANASONIC
引导码（10μs）	LEAD_S	900	900	337.6	349.2	348.8	349	352
	LEAD_E	450	450	337.6	349.2	374.4	349	352
bit0（10μs）	B0_L	56	56	84.4	87.3	43.6	87.3	88
	B0_H	56	56	84.4	87.3	43.6	87.3	88
bit1（10μs）	B1_L	56	56	84.4	87.3	43.6	87.3	88
	B1_H	169	169	253.2	174.6	130.8	261.9	264
simple repeat code（10μs）	SLEAD_S	无	无	无	无	无	无	无
	SLEAD_E							
burst（10μs）		55	55	84.4	87.3	43.6	87.3	88
帧长（10μs）		10800	10800	10130	10470	12413.6~16594.4	10500	10400



数据格式	NEC with full repeat code						
	uPD6121G	LC7461 M-C13	MN602 4-C5D6	MN6014 -C6D6	MATNEW	MN6030	PANA SONIC
有效数据位	32	42	22	24	48	22	22

表14-7 红外接收数据码型的统计表（TC9012 和 SONY 码）

数据格式		TC9012	SONY			
		TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
引导码 (10μs)	LEAD_S	450	240	240	240	240
	LEAD_E	450	60	60	60	60
bit0 (10μs)	B0_L	56	60	60	60	60
	B0_H	56	60	60	60	60
bit1 (10μs)	B1_L	56	120	120	120	120
	B1_H	169	60	60	60	60
simple repeat code (10μs)	SLEAD_S	无	无	无	无	无
	SLEAD_E					
burst (10μs)		56	无	无	无	无
帧长 (10μs)		10800	4500	4500	4500	4500
有效数据位		32	12	13	15	20

14.4.3.2 NEC with simple repeat code 数据格式

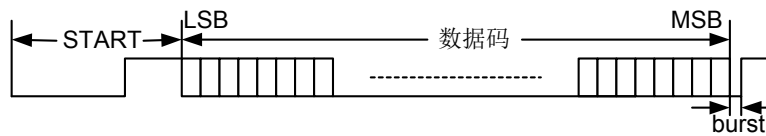
帧格式

NEC with simple repeat code 数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。

发送单个 NEC with simple repeat code 的帧格式如图 14-20 所示。

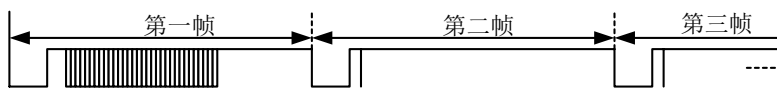


图14-20 发送单个 NEC with simple repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧仅由简化的引导码和 burst 信号组成。引导码也是由起始码（低电平）和结束码（高电平）组成，持续按键连续发送 NEC with simple repeat code 码的帧格式如图 14-21 所示。

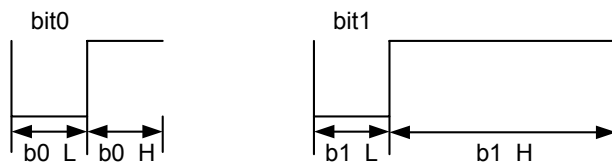
图14-21 持续按键连续发送 NEC with simple repeat code 码的帧格式



码格式

NEC with simple repeat code 的 bit0 或 bit1 定义如图 14-22 所示。

图14-22 NEC with simple repeat code 码 bit0 和 bit1 定义



NEC simple repeat code 单发代码格式和连发代码格式分别如图 14-23 和图 14-24 所示。

图14-23 NEC with simple repeat code 码单发代码格式

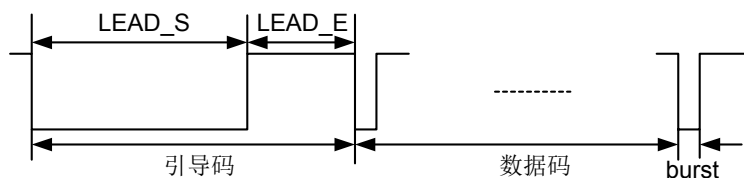
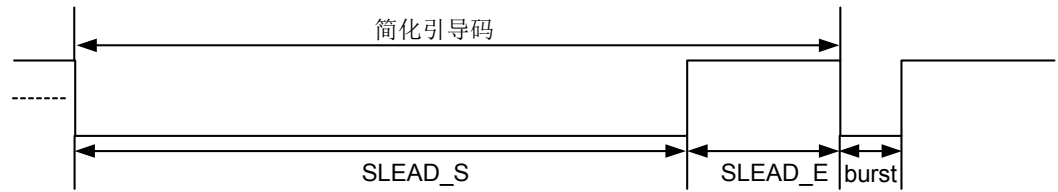


图14-24 NEC with simple repeat code 码连发代码格式



注 1：图中高低电平脉宽的宽度以及帧长均有各个具体码型决定，请参见表 14-5~表 14-7。

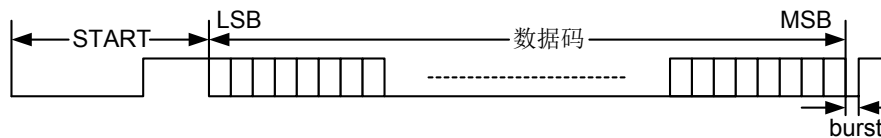
注 2：帧长不能大于 160ms，否则无法识别简化引导码。

14.4.3.3 NEC with full repeat code 数据格式

帧格式

NEC with full repeat code 的数据格式是由 START（引导码）、数据码和 burst 三部分组成。START 是由一个起始码（低电平）和一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 NEC with full repeat code 帧格式如图 14-25 所示。

图14-25 发送单个 NEC with full repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧（第一帧）后，接下来收到的数据帧还是一个完整的数据帧格式（即按照帧间隔重复发送第一帧数据），持续按键连续发送 NEC with full repeat code 码的帧格式如图 14-26 所示。

图14-26 持续按键连续发送 NEC with full repeat code 码的帧格式



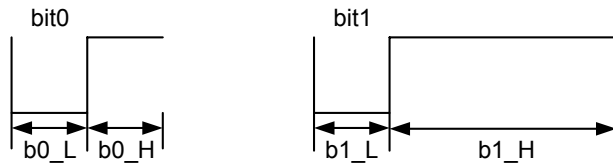
通过图 14-25 和图 14-26 可以看出：NEC with simple repeat code 与 NEC with full repeat code 唯一不同之处就是重复帧的格式，NEC with simple repeat code 发送的是简化的引导码，而 NEC with full repeat code 发送的是完整帧格式，第一帧和重复帧完全相同。

码格式

NEC with full repeat code 码 bit0 或 bit1 定义如图 14-27 所示。

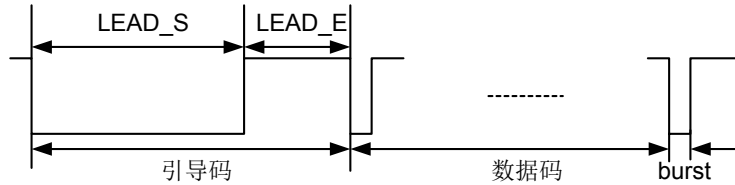


图14-27 NEC with full repeat code 码 bit0 和 bit1 定义



NEC with full repeat code 码单发代码格式如图 14-28 所示。

图14-28 NEC with full repeat code 码单发代码格式



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定，请参见表 14-5~表 14-7。

14.4.3.4 TC9012 数据格式

帧格式

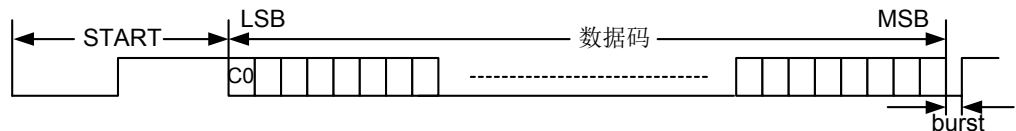


注意

根据 TC9012 码的数据格式特点，所有按键编码的第一位都必须全是 1 或者全是 0，否则会产生不需要的持续按键帧。

TC9012 的数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 TC9012 码的帧格式如图 14-29 所示。

图14-29 发送单个 TC9012 码的帧格式

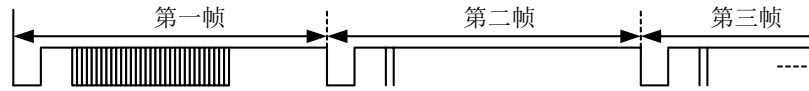


如果按键时间持续超过一帧的时间，则在收到完整数据帧后，接下来收到的数据帧由引导码、一个数据位和 burst 信号三部分组成。引导码也是由起始码（低电平）和结束



码（高电平）组成；该数据位是上一帧接收的第一个数据位（C0）的反码。发送连续 TC9012 码的帧格式如图 14-30 所示。

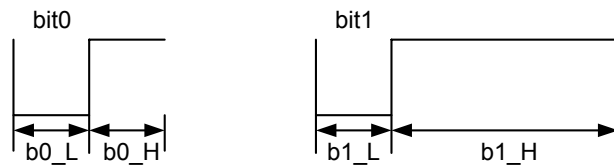
图14-30 持续按键连续发送 TC9012 码的帧格式



码格式

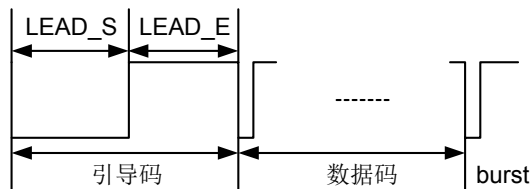
TC9012 码 bit0 或 bit1 定义如图 14-31 所示。

图14-31 TC9012 码 bit0 和 bit1 定义



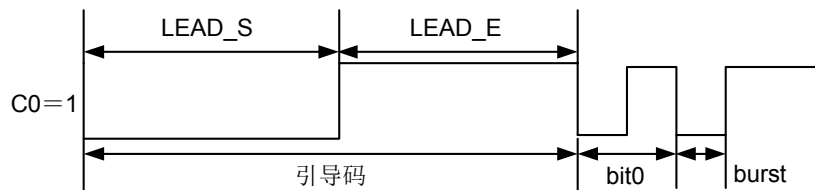
TC9012 码单发代码格式如图 14-32 所示。

图14-32 TC9012 码单发代码格式



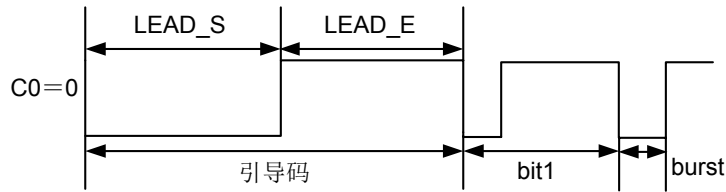
C0=1 时，TC9012 码连发代码格式如图 14-33 所示。

图14-33 TC9012 码连发代码格式（C0=1）



C0=0 时，TC9012 码连发代码格式如图 14-34 所示。

图14-34 TC9012 码连发代码格式 (C0=0)



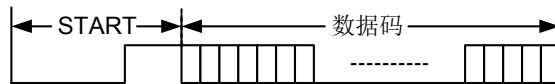
注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 14-5～表 14-7。另外值得注意的是帧长不能大于 160ms，否则无法识别重复帧。

14.4.3.5 SONY 的数据格式

帧格式

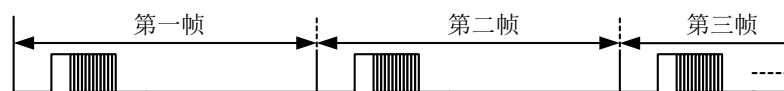
SONY 码数据格式是由 START（引导码）和数据码两部分组成。其中 START 由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的。发送单个 SONY 码帧格式如图 14-35 所示。

图14-35 发送单个 SONY 帧格式



如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧还是一个完整的数据帧格式。持续按键连续发送 SONY 码帧格式如图 14-36 所示。

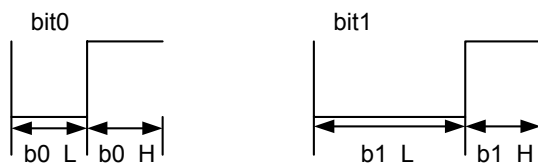
图14-36 持续按键连续发送 SONY 码帧格式



码格式

SONY 码 bit0 或 bit1 定义如图 14-37 所示。

图14-37 bit0 和 bit1 定义



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 14-5～表 14-7。



14.4.4 工作方式

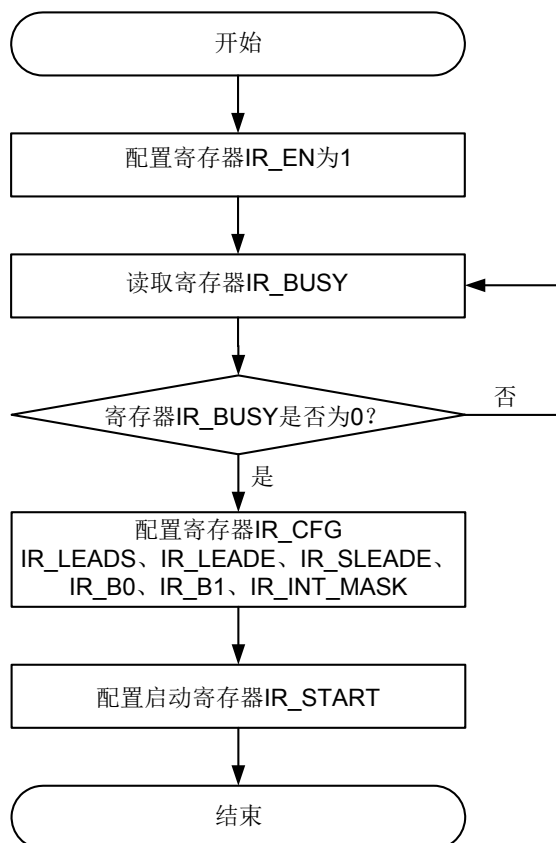
软复位

配置 CRG 寄存器 CRG_PERCTRL57[ir_srst_req]为 1，对 IR 模块单独软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

寄存器配置实例

IR 模块初始化操作流程如图 14-38 所示。

图14-38 IR 模块初始化操作流程



IR 模块初始化操作流程如下：

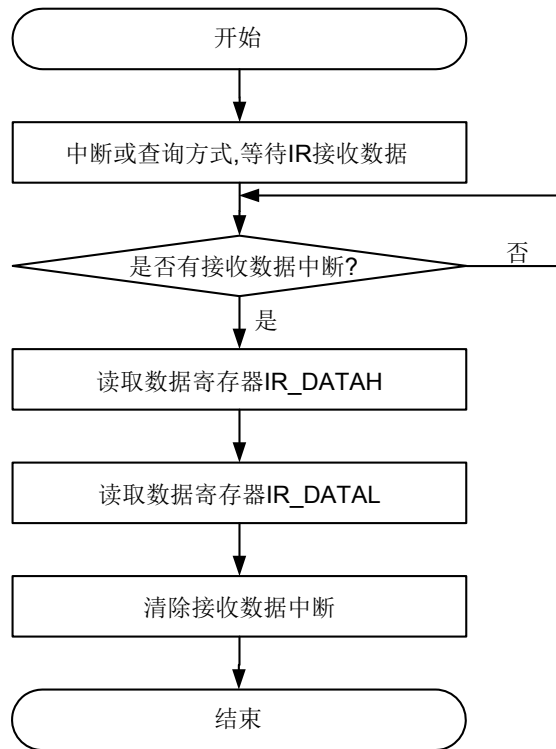
1. 选中 IR 模块地址空间，开始 IR 初始化配置操作。
2. 配置 IR_EN bit[0]为 1，打开 IR 接收模块。
3. 读 IR_BUSY，判断 IR 模块配置的当前状态。



- 若读取的值为 1，表明 IR 模块处于配置忙状态，则继续查询 IR_BUSY（注意：此时软件不要对 IR 模块的其他控制寄存器进行配置，否则配置无效）。
 - 若读取的值为 0，表明 IR 模块处于配置空闲状态，则执行 4。
4. 配置 IR_CFG、IR_LEADS、IR_LEADE、IR_SLEADE、IR_B0、IR_B1、IR_INT_MASK。注意：用户可以根据需要更新相应寄存器，如果不更新，则寄存器保持原值。
 5. 配置 IR_START。必须要等所有的 IR 控制寄存器都配置完成后，才能配置 IR_START，因为它被用来产生启动信号，只要对其进行配置，IR 模块就会根据控制寄存器的值进行红外数据接收。

----结束

图14-39 读取解码数据的操作流程



读取解码数据的操作流程如下：

1. 选中 IR 模块地址空间。
2. 中断或查询方式等待接收数据帧。
 - 中断方式下，当 CPU 接收到 IR 模块的中断请求信号时，查询 IR_INT_STATUS[intms_rcv]的值。若读取的值为 1 表明 IR 模块接收到一个数据帧，执行 3；若读取的值为 0，重新执行 2，继续等待中断。
 - 查询方式下，软件不停（或每间隔一定时间）读取 IR_INT_STATUS[intrs_rcv]的值，若读取的值为 1 表明 IR 模块接收到一个数据帧，执行 3；若读取的值为 0 时，表明 IR 模块尚未接收到数据帧，重新执行 2，继续查询。



3. 读取数据寄存器 [IR_DATAH](#)。（如果一帧内的数据位数不大于 32 位，可以省略此步骤）
4. 读取数据寄存器 [IR_DATAH](#)。
5. 清除接收数据中断。

----结束

14.4.5 寄存器概览

IR 寄存器概览如表 14-8 所示。

表14-8 IR 寄存器概览（基址是 0x2007_0000）

偏移地址	名称	描述	页码
0x000	IR_EN	IR 接收使能控制寄存器	14-63
0x004	IR_CFG	IR 配置寄存器	14-63
0x008	IR_LEADS	引导码起始位裕量配置寄存器	14-65
0x00C	IR_LEADE	引导码结束位裕量配置寄存器	14-66
0x010	IR_SLEADE	简化引导码结束位裕量配置寄存器	14-67
0x014	IR_B0	数据 0 的判断电平裕量配置寄存器	14-68
0x018	IR_B1	数据 1 的判断电平裕量配置寄存器	14-69
0x01C	IR_BUSY	配置忙标志寄存器	14-70
0x020	IR_DATAH	IR 接收解码数据的高 16 位寄存器（当 IR_CFG[ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG[ir_mode]=1 时）	14-71
0x024	IR_DATAH	IR 接收解码数据的低 32 位寄存器（当 IR_CFG[ir_mode]=0 时）或 IR 模块接收到的 symbol 宽度寄存器（当 IR_CFG[ir_mode]=1 时）	14-71
0x028	IR_INT_MASK	IR 中断屏蔽寄存器	14-72
0x02C	IR_INT_STATUS	IR 中断状态寄存器	14-74
0x030	IR_INT_CLR	IR 中断清除寄存器	14-76
0x034	IR_START	IR 启动配置寄存器	14-78



14.4.6 寄存器描述

IR_EN

IR_EN 为 IR 接收使能控制寄存器。



注意

软件必须先配置寄存器 IR_EN[ir_en]=1，才能配置其他寄存器，否则配置无效。当寄存器 IR_EN[ir_en]=0 时，其他寄存器只可读不可写，且读出值为寄存器的复位值。

	Offset Address	Register Name	Total Reset Value
	0x000	IR_EN	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		ir_en
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	ir_en	IR 接收模块的使能。 0: 关闭 IR 接收模块; 1: 打开 IR 接收模块。

IR_CFG

IR_CFG 为 IR 配置寄存器。



注意

必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值。

IR 支持的参考时钟频率为 1MHz~128MHz，其与分频因子 ir_freq 的对应关系是：

- 当参考时钟频率为 1MHz 时，分频因子 ir_freq 需配置为 0x00。
- 当参考时钟频率为 128MHz 时，分频因子 ir_freq 需配置为 0x7F。



当 IR 的参考时钟为 1MHz~128MHz 内的非整数倍频率时，选用四舍五入的方法选择相应的分频因子。举例：参考时钟为 12.1MHz，选用分频因子为 0x0B；参考时钟为 12.8MHz，选用分频因子为 0x0C。

对于频偏和计数偏差的关系：基频 f，频率变化 Df，则频偏率 $ratio=Df/f$ ；计数器计数偏差 Dcnt；判断电平宽度 s（ μs 为单位），则计数偏差： $Dcnt = \lceil 0.1 \times s \times ratio \rceil$ 。所以在时钟有频偏的情况下，参数值的有效范围要移位，如果频率上升，相应的裕量值应改为： $[\min+Dcnt, \max+Dcnt]$ ，其中 min 和 max 为无偏移时的裕量值；如果频率下降，相应的裕量值应改为： $[\min-Dcnt, \max-Dcnt]$ 。以引导码的起始位裕量举例来说：假如基频为 100MHz，频率上漂 0.1MHz，那么 $ratio=0.1/100=0.001$ ，设 $s=9000 \mu s$ ，则 $Dcnt = \lceil 0.1 \times 9000 \times 0.001 \rceil = 1$ ，则 ir_leads 的裕量值应改为[0x033D, 0x3CD]。

Offset Address		Register Name		Total Reset Value					
0x004		IR_CFG		0x3E80_1F0B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7	6 5 4	3 2 1 0
Name	ir_max_level_width				ir_format	ir_bits	ir_mode	ir_freq	
Reset	0 0 1 1	1 1 1 0	1 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	0	0 0 0	1 0 1 1
Bits	Access	Name	Description						
[31:16]	RW	ir_max_level_width	当 IR_CFG[ir_mode]=0 时，无效； 当 IR_CFG[ir_mode]=1 时，表示 symbol 的最大电平宽度（单位 $10 \mu s$ ），用以确定一个 symbol stream 结束。						
[15:14]	RW	ir_format	当 IR_CFG[ir_mode]=0 时，表示数据码型。 00: NEC with simple repeat code 的数据格式； 01: TC9012 的数据格式； 10: NEC with full repeat code 的数据格式； 11: SONY 的数据格式。 关于具体码型属于哪类码族，请参见表 14-5~表 14-7。 当 IR_CFG[ir_mode]=1 时，表示 symbol 格式。 bit[15]: 保留； bit[14]的含义如下： 0: symbol 的格式为先低后高，symbol stream 结束在高电平； 1: symbol 的格式为先高后低，symbol stream 结束在低电平。						



[13:8]	RW	ir_bits	<p>当 <code>IR_CFG[ir_mode]=0</code> 时，表示一帧内的数据位数。 <code>0x00~0x2F</code>：分别对应一帧内包含 1~48 个数据位； <code>0x30~0x3F</code>：保留。</p> <p>如果软件对该域配置 <code>0x30~0x3F</code> 范围内的值，则配置无效，<code>ir_bits</code> 保持原值不变。</p> <p>当 <code>IR_CFG[ir_mode]=1</code> 时，表示接收到 symbol 的中断水准。 <code>bit[13]</code>：保留； <code>bit[12:8]</code>：<code>0x0~0x1F</code>：分别对应 FIFO 中至少有 1~32 个 symbol 时报中断。</p>
[7]	RW	ir_mode	<p>IR 工作模式。 <code>0</code>：输出解码后的完整数据帧； <code>1</code>：只输出 symbol 宽度。</p>
[6:0]	RW	ir_freq	<p>工作时钟分频因子。 <code>0x00~0x7F</code> 分别对应工作时钟分频因子 1~128。</p>

IR_LEADS

IR_LEADS 为引导码起始位裕量配置寄存器（只在 `IR_CFG[ir_mode]=0` 时使用）。



注意

必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。

为了准确判断引导码的起始位，需要在具体码型的典型值左右考虑一定的裕量，具体码型的典型值请参见表 14-5~表 14-7 中 LEAD_S 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD_S 的典型值为 900，那么相应的 `cnt_leads_min=900 x 92%=828=0x33C`，`cnt_leads_max=900 x 108%=972=0x3CC`。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD_S 的典型值为 240，那么相应的 `cnt_leads_min=240 x 80%=192=0xC0`，`cnt_leads_max=240 x 120%=288=0x120`。

基本的配置原则：`cnt_leads_max` 不小于 `cnt_leads_min`，并且 `cnt_leads_min` 大于 `cnt0_b_max` 和 `cnt1_b_max`



	Offset Address 0x008								Register Name IR_LEADS								Total Reset Value 0x033C_03CC															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt_leads_min								reserved				cnt_leads_max															
Reset	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0	0
	Bits	Access	Name		Description																											
	[31:26]	-	reserved		保留。																											
	[25:16]	RW	cnt_leads_min		引导码起始位的最小脉宽。 0x000~0x007: 保留。																											
	[15:10]	-	reserved		保留。																											
	[9:0]	RW	cnt_leads_max		引导码起始位的最大脉宽。 0x000~0x007: 保留。																											

IR_LEADE

IR_LEADE 为引导码结束位裕量配置寄存器（只在 `IR_CFG[ir_mode]=0` 时使用）。



- 必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，其 `cnt_sleade` 的裕量范围和 `cnt_leade` 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。

为了准确判断引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 8%。具体码型的典型值请参见表 14-5~表 14-7 中 LEAD_E 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD_E 的典型值为 450，那么相应的 `cnt_leade_min=450 x 92%=414=0x19E`，`cnt_leade_max=450 x 108%=486=0x1E6`。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD_E 的典型值为 60，那么相应的 `cnt_leade_min=60 x 80%=48=0x030`，`cnt_leade_max=60 x 120%=72=0x048`。

基本的配置原则是：`cnt_leade_max` 不小于 `cnt_leade_min` 的值。



	Offset Address 0x00C								Register Name IR_LEADE								Total Reset Value 0x019E_01E6															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt_leade_min				reserved				cnt_leade_max																			
Reset	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0
Bits	Access		Name		Description																											
[31:25]	-		reserved		保留。																											
[24:16]	RW		cnt_leade_min		引导码结束位的最小脉宽。 0x000~0x007: 保留。																											
[15:9]	-		reserved		保留。																											
[8:0]	RW		cnt_leade_max		引导码结束位的最大脉宽。 0x000~0x007: 保留。																											

IR_SLEADE

IR_SLEADE 为简化引导码结束位裕量配置寄存器（只在 `IR_CFG[ir_mode]=0` 时使用）。



注意

- 必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，`cnt_sleade` 的裕量范围和 `cnt_leade` 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。
- 对于 NEC with simple repeat code 的数据格式，才需配置此寄存器；对于其他格式，无需配置此寄存器。

为了准确判断简化引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量。具体码型的典型值请参见表 14-5~表 14-7 中 `SLEAD_E` 的值。

- 对于典型值不小于 225（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 `SLEAD_E` 的典型值为 225，那么相应的 `cnt_sleade_min=225 x 92%=207=0xCF`，`cnt_sleade_max=225 x 108%=243=0xF3`。



- 对于典型值小于 225（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：比如某种码型其 SLEAD_E 的典型值为 60，那么相应的 $\text{cnt_sleade_min}=60 \times 80\%=48=0x30$ ， $\text{cnt_sleade_max}=60 \times 120\%=72=0x48$ 。

基本的配置原则是：cnt_sleade_max 不小于 cnt_sleade_min 的值。

Offset Address		Register Name		Total Reset Value					
0x010		IR_SLEADE		0x00CF_00F3					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cnt_sleade_min		reserved		cnt_sleade_max		
Reset	0 0 0 0	0 0 0 0	1 1 0 0	1 1 1 1	0 0 0 0	0 0 0 0	1 1 1 1	0 0 1 1	
Bits	Access	Name	Description						
[31:25]	-	reserved	保留。						
[24:16]	RW	cnt_sleade_min	简化引导码结束位的最小脉宽。 0x000~0x007：保留。						
[15:9]	-	reserved	保留。						
[8:0]	RW	cnt_sleade_max	简化引导码起始位的最大脉宽。 0x000~0x007：保留。						

IR_B0

IR_B0 为数据 0 的判断电平裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。



注意

- 必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit0，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码型，其包含的具体码型的典型值请参见表 14-5~表 14-7 中 B0_H 的值。举例说明：D6121 码型，其 B0_H 的典型值为 56（其精度为 10μs），那么相应的 $\text{cnt0_b_min}=56 \times 80\%=45=0x2D$ ， $\text{cnt0_b_max}=56 \times 120\%=67=0x43$ 。



- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 14-5~表 14-7 中 B0_L 的值。举例说明：SONY-D7C5 码型，其 B0_L 的典型值为 60（其精度为 10μs），那么相应的 cnt0_b_min=60 x 80%=48=0x30，cnt0_b_max=60 x 120%=72=0x48。

基本的配置原则是：cnt0_b_max 不小于 cnt0_b_min 的值。

	Offset Address 0x018								Register Name IR_B1								Total Reset Value 0x0087_00CB															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt0_b_min								reserved				cnt0_b_max															
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	1
Bits	Access		Name		Description																											
[31:25]	-		reserved		保留。																											
[24:16]	RW		cnt0_b_min		bit0 判断电平的最小脉宽。 0x000~0x007：保留。																											
[15:9]	-		reserved		保留。																											
[8:0]	RW		cnt0_b_max		bit0 判断电平的最大脉宽。 0x000~0x007：保留。																											

IR_B1

IR_B1 为数据 1 的判断电平裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。



- 必须在确保 IR_BUSY[0]=0 并且 IR_EN[0]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit1，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码族，其包含的具体码型的典型值请参见表 14-5~表 14-7 中 B1_H 的值。举例说明：D6121 码型，其 B1_H 的典型值为 169（其精度为 10μs），那么相应的 cnt1_b_min=169 x 80%=135=0x87，cnt1_b_max=169 x 120%=203=0xCB。



- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 14-5~表 14-7 中 B1_L 的值。举例说明：SONY-D7C5 码型，其 B1_L 的典型值为 120（其精度为 10μs），那么相应的 cnt1_b_min=120 x 80%=96=0x60，cnt1_b_max=120 x 120%=144=0x90。

基本的配置原则是：cnt1_b_max 不小于 cnt1_b_min 的值。

	Offset Address 0x018								Register Name IR_B1								Total Reset Value 0x0087_00CB															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt1_b_min								reserved				cnt1_b_max															
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	1
	Bits	Access	Name		Description																											
	[31:25]	-	reserved		保留。																											
	[24:16]	RW	cnt1_b_min		bit1 判断电平的最小脉宽。 0x000~0x007：保留。																											
	[15:9]	-	reserved		保留。																											
	[8:0]	RW	cnt1_b_max		bit1 判断电平的最大脉宽。 0x000~0x007：保留。																											

IR_BUSY

IR_BUSY 为配置忙标志寄存器。

	Offset Address 0x01C								Register Name IR_BUSY								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															ir_busy																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	-	reserved		保留。																											
	[0]	RO	ir_busy		忙状态标志。 0：空闲状态，软件可以配置数据； 1：忙状态，软件不可以配置数据。																											



IR_DATAH

IR_DATAH 为 IR 接收解码数据的高 16 位寄存器（当 IR_CFG[ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG[ir_mode]=1 时）。

IR_DATAH 是接收到的解码数据的高 16 位，IR_DATAH 是接收到的解码数据的低 32 位。具体哪些数据位有效取决于具体码型一帧内包含的有效数据位数，请参见表 14-5~表 14-7 的有效数据位。

数据存储原则：按照由高到低的顺序存储在 IR_DATAH 和 IR_DATAH 中（MSB……LSB），先存满 IR_DATAH，然后再存放 IR_DATAH，未用到的高位作为保留位。软件读取数据的顺序必须是：先读 IR_DATAH，然后再读 IR_DATAH。

对于具体每个数据位表示的含义，硬件不做判断，仅负责接收所有数据位，最终由软件统一处理。

	Offset Address				Register Name				Total Reset Value																							
	0x020				IR_DATAH				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ir_datah																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:16]	-	reserved	保留。																												
	[15:0]	RO	ir_datah	当 IR_CFG[ir_mode]=0 时，表示接收到的解码数据的高 16 位数据。 当 IR_CFG[ir_mode]=1 时，表示 symbol FIFO 中的 symbol 个数。 bit[15:6]: 保留； bit[5:0]: symbol FIFO 中的 symbol 个数。																												

IR_DATAH

IR_DATAH 为 IR 接收解码数据的低 32 位寄存器（当 IR_CFG[ir_mode]=0 时）或，IR 模块接收到的 symbol 宽度寄存器（当 IR_CFG[ir_mode]=1 时）。



Offset Address		Register Name		Total Reset Value				
0x024		IR_DATAL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ir_datal							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	ir_datal	<p>当 IR_CFG[ir_mode]=0 时，表示接收到的解码数据的低 32 位数据。</p> <p>当 IR_CFG[ir_mode]=1 时，表示 IR 模块接收到的 symbol 宽度。</p> <p>bit[31:16]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）。</p> <p>bit[15:0]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）。</p>					

IR_INT_MASK

IR_INT_MASK 为 IR 中断屏蔽寄存器。



注意

- 必须在确保 **IR_EN**[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值。
- 如果中断全部屏蔽后，无法支持红外遥控唤醒功能。
- **IR_CFG**[ir_mode]=0 时，**IR_INT_MASK** bit[3:0]有效；**IR_CFG**[ir_mode]=1 时，**IR_INT_MASK** bit[18:16]有效。

涉及到的中断定义如下：

- 接收数据溢出中断



如果 CPU 没有及时响应取走当前帧的数据，而下一帧数据也已经收到的情况，下一帧数据将会覆盖当前帧数据，同时上报屏蔽前接收数据溢出错中断请求。

- 接收数据帧格式错误中断

如果接收到的数据帧不完整以及数据脉宽不满足裕量范围，则会上报屏蔽前的接收帧格式错误中断请求。

- 接收到数据帧中断

当接收到一个完整的帧数据后，则会上报屏蔽前接收到数据帧中断请求。

- 支持按键释放的检测中断

对于 NEC with simple repeat code 和 TC9012 码族的数据格式，在检测到一个有效起始同步码之后的 160ms 内，如果没有再次检测到起始同步码，或者检测到非简化引导码而是有效数据帧时，则会上报屏蔽前遥控器按键释放中断。对于 NEC with full repeat code 和 SONY 两种码制不支持按键释放中断。

- 接收 symbol 溢出中断

如果 CPU 没有及时响应取走数据，导致 symbol FIFO 满，而下一个 symbol 已经收到，则会上报屏蔽前接收 symbol 溢出错中断请求。

- 接收到 symbol 中断

当接收到一个完整的 symbol 后，且 symbol FIFO 中的 symbol 个数超过 [IR_CFG\[ir_bits\]](#) 设置的水线，则会上报屏蔽前接收到 symbol 中断请求。

- symbol 超时中断

在接收到一个有效的 symbol 后，[IR_CFG\[ir_max_level_width\]](#) 设置的时间内没有再接收到新的 symbol 的中断请求，则会上报屏蔽前 symbol 超时中断请求。

硬件没有中断优先级仲裁，任何一个或多个屏蔽后的中断源有效，都会产生中断。

	Offset Address				Register Name				Total Reset Value																							
	0x028				IR_INT_MASK				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								intm_overrun	intm_time_out	intm_symb_rcv	reserved								intm_release	intm_overflow	intm_framerr	intm_rcv									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:19]	-		reserved		保留。																											
[18]	RW		intm_overrun		当 IR_CFG[ir_mode]=1 时，symbol 溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。																											



[17]	RW	intm_time_out	当 IR_CFG[ir_mode]=1 时，symbol 超时中断屏蔽。 0：不屏蔽； 1：屏蔽。
[16]	RW	intm_symb_rcv	当 IR_CFG[ir_mode]=1 时，接收到 N 个 symbol 中断屏蔽。 0：不屏蔽； 1：屏蔽。
[15:4]	-	reserved	保留。
[3]	RW	intm_release	当 IR_CFG[ir_mode]=0 时，按键释放中断屏蔽。 0：不屏蔽； 1：屏蔽。
[2]	RW	intm_overflow	当 IR_CFG[ir_mode]=0 时，接收数据溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。
[1]	RW	intm_framerr	当 IR_CFG[ir_mode]=0 时，接收数据帧格式错误中断屏蔽。 0：不屏蔽； 1：屏蔽。
[0]	RW	intm_rcv	当 IR_CFG[ir_mode]=0 时，接收到数据帧中断屏蔽。 0：不屏蔽； 1：屏蔽。

IR_INT_STATUS

IR_INT_STATUS 为 IR 中断状态寄存器。



- IR_CFG[ir_mode]=0 时，IR_INT_STATUS bit[3:0]和 IR_INT_STATUS bit[19:16]有效；
 - IR_CFG[ir_mode]=1 时，IR_INT_STATUS bit[10:8]和 IR_INT_STATUS bit[26:24]有效。
-



Offset Address		Register Name		Total Reset Value																																
0x02C		IR_INT_STATUS		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				intms_overrun	intms_time_out	intms_symb_rcv	reserved				intms_release	intms_overflow	intms_framerr	intms_rcv	reserved				intrs_overrun	intrs_time_out	intrs_symb_rcv	reserved				intrs_release	intrs_overflow	intrs_framerr	intrs_rcv						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:27]	-	reserved	保留。																																	
[26]	RO	intms_overrun	当 IR_CFG [ir_mode]=1 时，屏蔽后的 symbol 溢出中断状态。 0: 无中断； 1: 有中断。																																	
[25]	RO	intms_time_out	当 IR_CFG [ir_mode]=1 时，屏蔽后的 symbol 超时中断状态。 0: 无中断； 1: 有中断。																																	
[24]	RO	intms_symb_rcv	当 IR_CFG [ir_mode]=1 时，屏蔽后的接收到 symbol 的中断状态。 0: 无中断； 1: 有中断。																																	
[23:20]	-	reserved	保留。																																	
[19]	RO	intms_release	当 IR_CFG [ir_mode]=0 时，屏蔽后的按键释放的中断状态。 0: 无中断； 1: 有中断。																																	
[18]	RO	intms_overflow	当 IR_CFG [ir_mode]=0 时，屏蔽后的接收数据溢出错中断状态。 0: 无中断； 1: 有中断。																																	
[17]	RO	intms_framerr	当 IR_CFG [ir_mode]=0 时，屏蔽后的接收数据帧格式错误中断状态。 0: 无中断； 1: 有中断。																																	



[16]	RO	intms_rcv	当 <code>IR_CFG[ir_mode]=0</code> 时，屏蔽后的接收到数据帧中断状态。 0: 无中断; 1: 有中断。
[15:11]	-	reserved	保留。
[10]	RO	intrs_overrun	当 <code>IR_CFG[ir_mode]=1</code> 时，屏蔽前的 symbol 溢出中断状态。 0: 无中断; 1: 有中断。
[9]	RO	intrs_time_out	当 <code>IR_CFG[ir_mode]=1</code> 时，屏蔽前的 symbol 超时中断状态。 0: 无中断; 1: 有中断。
[8]	RO	intrs_symb_rcv	当 <code>IR_CFG[ir_mode]=1</code> 时，屏蔽前的接收到 symbol 的中断状态。 0: 无中断; 1: 有中断。
[7:4]	-	reserved	保留。
[3]	RO	intrs_release	当 <code>IR_CFG[ir_mode]=0</code> 时，屏蔽前的按键释放的中断状态。 0: 无中断; 1: 有中断。
[2]	RO	intrs_overflow	当 <code>IR_CFG[ir_mode]=0</code> 时，屏蔽前的接收数据溢出错中断状态。 0: 无中断; 1: 有中断。
[1]	RO	intrs_framerr	当 <code>IR_CFG[ir_mode]=0</code> 时，屏蔽前的接收数据帧格式错误中断状态。 0: 无中断; 1: 有中断。
[0]	RO	intrs_rcv	当 <code>IR_CFG[ir_mode]=0</code> 时，屏蔽前的接收到数据帧中断状态。 0: 无中断; 1: 有中断。

IR_INT_CLR

IR_INT_CLR 为 IR 中断清除寄存器。



注意

- IR_CFG[ir_mode]=0 时，IR_INT_CLR bit[3:0]有效；
- IR_CFG[ir_mode]=1 时，IR_INT_CLR bit[18:16]有效。

Offset Address		Register Name		Total Reset Value									
0x030		IR_INT_CLR		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				intc_overrun	intc_time_out	intc_symb_rcv	reserved		intc_release	intc_overflow	intc_framerr	intc_rev
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:19]	-	reserved	保留。										
[18]	WC	intc_overrun	IR_CFG[ir_mode]=1 时，清除 symbol 溢出中断请求。 0: 无影响； 1: 清除。										
[17]	WC	intc_time_out	IR_CFG[ir_mode]=1 时，清除 symbol 超时中断请求。 0: 无影响； 1: 清除。										
[16]	WC	intc_symb_rcv	IR_CFG[ir_mode]=1 时，清除接收到 symbol 中断请求。 0: 无影响； 1: 清除。										
[15:4]	-	reserved	保留。										
[3]	WC	intc_release	IR_CFG[ir_mode]=0 时，清除遥控器按键释放中断请求。 0: 无影响； 1: 清除。										
[2]	WC	intc_overflow	IR_CFG[ir_mode]=0 时，清除接收数据溢出错中断请求。 0: 无影响； 1: 清除。										
[1]	WC	intc_framerr	IR_CFG[ir_mode]=0 时，清除接收数据帧格式错误中断请求。 0: 无影响； 1: 清除。										



[0]	WC	intc_rcv	<p>IR_CFG[ir_mode]=0 时，清除接收到数据帧中断请求。</p> <p>0：无影响； 1：清除。</p> <p>如果接收数据帧中断请求产生后，软件未读走 IR_DATA1 中的数据就直接对本位进行写 1 操作，无法清除该中断请求。</p>
-----	----	----------	---

IR_START

IR_START 为 IR 启动配置寄存器。

在其他寄存器的值配置完成后，启动 IR 模块时，只要往该地址进行一次写操作（写操作数可以为任意值），就可以启动配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x034				IR_START								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ir_start					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	-	reserved	保留。																												
	[0]	WO	ir_start	IR 启动配置寄存器。																												

14.5 GPIO

14.5.1 概述



GPIO 具体管脚个数、管脚与其他管脚复用的说明请参见对应芯片的“硬件特性章节”，相关的控制请参见对应芯片的“2.1.5 复用寄存器描述”。

对于默认是输出信号的管脚上复用的 GPIO，请注意一定注意对接芯片和器件的管脚必须是输入。



Hi3531 支持 19 组 GPIO (General Purpose Input/Output)，每组 GPIO 提供 8 个可编程的输入输出管脚（除第 19 组外。第 19 组提供 6 个）。每个管脚可以配置为输入或者输出。这些管脚用于生成特定应用的输出信号或采集特定应用的输入信号。作为输入管脚时，GPIO 可作为中断源；作为输出管脚时，每个 GPIO 都可以独立地清 0 或置 1。

14.5.2 特点

GPIO 模块具有以下特点：

- 每个 GPIO 管脚均可配置为输入、输出。
 - 作为输入管脚时，可作为中断源，每个 GPIO 管脚都具有独立的中断控制。
 - 作为输出管脚时，每个 GPIO 管脚都可以独立地清 0 或置 1。
- GPIO 的中断通过 [GPIO_IS](#) 等 7 个寄存器进行控制。通过这些寄存器可以选择中断源、极性以及边沿特性。GPIO 对应的中断寄存器请参见“3.3 中断系统”。
 - 当有多个中断同时发生时，将会统一汇集成一个中断进行上报，GPIO 的中断映射关系请参见“3.3 中断系统”。
 - [GPIO_IS](#)、[GPIO_IBE](#)、[GPIO_IEV](#) 三个寄存器共同决定了中断源的特性和中断触发类别。

通过 [GPIO_RIS](#) 和 [GPIO_MIS](#) 分别读取中断的原始状态和屏蔽后的状态。通过 [GPIO_IE](#) 可以控制中断的最终上报情况。此外还提供了单独的 [GPIO_IC](#) 用于对中断状态进行清除控制。

14.5.3 功能描述

每组 GPIO 提供 8 个可编程的输入输出管脚。每个管脚可以配置为输入或者输出。这些管脚用于生成或采集特定应用的输出或输入信号。

GPIO 可以根据电平或跳变值产生可屏蔽的中断。GPIOINTR (General Purpose Input Output Interrupt) 信号给中断控制器一个指示，表示有中断发生。

14.5.4 工作方式

接口复位

上电复位时，所有的寄存器都被清 0，因此管脚默认为输入。

复位信号有效时，GPIO 有如下状态：

- 通过清除 [GPIO_IE](#) 中相应的比特位使中断无效。
- 所有的寄存器被清 0。
- 所有的管脚都被配置为输入。
- 原始中断寄存器都被清 0。
- 中断被设为边沿触发的中断。

通用输入输出

每个管脚可以配置为输入或者输出，具体步骤如下：



1. 参考“IO_CONFIG”配置管脚的相应位，使能需要使用的 GPIO 管脚功能。
2. 配置寄存器 **GPIO_DIR**，选择 GPIO 是作为输入还是输出。
 - GPIO 用于输入：外部信号通过 GPIO 管脚送进来，此时可通过 **GPIO_DATA** 寄存器查看输入信号值。
注意：输入的信号会同时送到和 GPIO 复用的管脚上。
 - GPIO 用于输出：先向 **GPIO_DATA** 寄存器写入相应值后，再通过 GPIO 输出写入值。
注意：此时若已使能 GPIO 中断功能，则当输出信号满足触发条件时，也会产生中断。

----结束

中断操作

如果要产生中断，且避免假中断，则必须按照下面的初始化顺序：

1. 配置 **GPIO_IS**，选择边沿触发或电平触发。
2. 配置 **GPIO_IEV**，选择下降沿/上升沿触发和高电平/低电平触发。
3. 如果选择边沿触发，需配置 **GPIO_IBE**，选择单沿或双沿触发方式。
4. 保证 GPIO 数据线在以上操作过程中保持稳定。
5. 向寄存器 **GPIO_IC** 写 0xFF，清中断。
6. 配置 **GPIO_IE** 为 1，使能中断。

----结束

GPIO 的中断设置由 7 个寄存器控制。当有一个或多个 GPIO 管脚产生中断，一个组合中断输出会送到中断控制器。边沿触发和电平触发有以下不同：

- 边沿触发的中断：软件必需清除该中断以使能更深的中断。
- 电平触发的中断：外部中断源应该保持该电平直到处理器识别到该中断。

14.5.5 寄存器概览

19 组 GPIO 寄存器的基地址如表 14-9 所示。

表14-9 19 组 GPIO 寄存器对应的基地址

寄存器	基地址
GPIO18	0x2027_0000
GPIO17	0x2026_0000
GPIO16	0x2025_0000
GPIO15	0x2024_0000



寄存器	基地址
GPIO14	0x2023_0000
GPIO13	0x2022_0000
GPIO12	0x2021_0000
GPIO11	0x2020_0000
GPIO10	0x201F_0000
GPIO9	0x201E_0000
GPIO8	0x201D_0000
GPIO7	0x201C_0000
GPIO6	0x201B_0000
GPIO5	0x201A_0000
GPIO4	0x2019_0000
GPIO3	0x2018_0000
GPIO2	0x2017_0000
GPIO1	0x2016_0000
GPIO0	0x2015_0000

表 14-10 是单组 GPIO 内部寄存器的偏移地址以及定义，GPIO0~GPIO18 具有相同的寄存器组。

说明

- GPIO_n 对应的寄存器地址为：GPIO_n 基地址+该寄存器偏移地址。
- n 的取值范围：[0, 18]

表14-10 GPIO 寄存器概览

偏移地址	名称	描述	页码
0x000~0x3FC	GPIO_DATA	GPIO 数据寄存器	14-82
0x400	GPIO_DIR	GPIO 方向控制寄存器	14-83
0x404	GPIO_IS	GPIO 中断触发寄存器	14-83
0x408	GPIO_IBE	GPIO 双沿触发中断寄存器	14-83
0x40C	GPIO_IEV	GPIO 触发中断条件寄存器	14-84
0x410	GPIO_IE	GPIO 中断屏蔽寄存器	14-84
0x414	GPIO_RIS	GPIO 原始中断状态寄存器	14-85



偏移地址	名称	描述	页码
0x418	GPIO_MIS	GPIO 屏蔽状态中断寄存器	14-85
0x41C	GPIO_IC	GPIO 中断清除寄存器	14-86

14.5.6 寄存器描述

GPIO_DATA

GPIO_DATA 为 GPIO 数据寄存器。用来对输入或输出数据进行缓存。

当配置 [GPIO_DIR](#) 中对应位为输出时，写入 GPIO_DATA 寄存器的值将会输出到相应的管脚（注意需要配置正确的管脚复用）；如果配置为输入时，将会读取相应输入管脚的值。



注意

当 [GPIO_DIR](#) 相应的比特配置为输入时，有效读取的结果将返回管脚的值；当配置为输出的时候，有效读取的结果将返回写入的值。

GPIO_DATA 寄存器利用 PADDR[9:2] 实现了读写寄存器比特的屏蔽操作。该寄存器对应 256 个地址空间。PADDR[9:2] 分别对应 GPIO_DATA[7:0]，当相应的 bit 为高时，则可以对相应的位进行读写操作；反之，若对应 bit 为低则不能进行操作。例如：

- 若地址为 0x3FC (0b11_1111_1100)，则对 GPIO_DATA[7:0] 这 8bit 操作全部有效。
- 若地址为 0x200 (0b10_0000_0000)，则仅对 GPIO_DATA[7] 的操作有效。

	Offset Address				Register Name			Total Reset Value	
	0x000~0x3FC				GPIO_DATA			0x00	
Bit	7	6	5	4	3	2	1	0	
Name	gpio_data								
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:0]	RW	gpio_data	当 GPIO 配置为输入模式时，为 GPIO 输入数据；当 GPIO 配置为输出模式时，为输出数据。各比特均可独立控制。与 GPIO_DIR 配合使用。						



GPIO_DIR

GPIO_DIR 为 GPIO 方向控制寄存器。用来配置 GPIO 管脚方向。

		Offset Address			Register Name			Total Reset Value	
		0x400			GPIO_DIR			0x00	
Bit		7	6	5	4	3	2	1	0
Name		gpio_dir							
Reset		0	0	0	0	0	0	0	0
Bits	Access	Name			Description				
[7:0]	RW	gpio_dir			GPIO 方向控制寄存器。bit[7:0]分别对应 GPIO_DATA[7:0]，各比特可独立控制。 0: 输入； 1: 输出。				

GPIO_IS

GPIO_IS 为 GPIO 中断触发寄存器。用来配置 GPIO 管脚触发电平方式。

		Offset Address			Register Name			Total Reset Value	
		0x404			GPIO_IS			0x00	
Bit		7	6	5	4	3	2	1	0
Name		gpio_is							
Reset		0	0	0	0	0	0	0	0
Bits	Access	Name			Description				
[7:0]	RW	gpio_is			GPIO 中断触发控制寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0: 边沿触发中断； 1: 电平触发中断。				

GPIO_IBE

GPIO_IBE 为 GPIO 双沿触发中断寄存器。用来配置 GPIO 管脚沿触发方式。



Offset Address		Register Name		Total Reset Value				
0x408		GPIO_IBE		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ibe							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ibe	GPIO 中断沿触发控制寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，各比特独立控制。 0：单边沿触发中断，具体是上升沿还是下降沿触发由 GPIO_IEV 控制； 1：双边触发中断。					

GPIO_IEV

GPIO_IEV 为 GPIO 触发中断条件寄存器。用来配置 GPIO 管脚触发中断条件。

Offset Address		Register Name		Total Reset Value				
0x40C		GPIO_IEV		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_iev							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_iev	GPIO 触发中断条件寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，各比特独立控制。 0：下降沿或低电平触发中断； 1：上升沿或高电平触发中断。					

GPIO_IE

GPIO_IE 为 GPIO 中断屏蔽寄存器。用来屏蔽 GPIO 管脚中断。



Offset Address		Register Name		Total Reset Value				
0x410		GPIO_IE		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ie							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ie	GPIO 中断屏蔽寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0：屏蔽中断； 1：不屏蔽中断。					

GPIO_RIS

GPIO_RIS 为 GPIO 原始中断状态寄存器。用来查询 GPIO 管脚原始中断状态。

Offset Address		Register Name		Total Reset Value				
0x414		GPIO_RIS		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ris							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_ris	GPIO 原始中断寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，指示未屏蔽的中断状态。该 状态不受 GPIO_IE 寄存器屏蔽控制。 0：已发生中断； 1：未发生中断。					

GPIO_MIS

GPIO_MIS 为 GPIO 屏蔽状态中断寄存器。用来查询 GPIO 管脚屏蔽后的中断状态。



Offset Address		Register Name					Total Reset Value	
0x418		GPIO_MIS					0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_mis							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_mis	GPIO 屏蔽后中断寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，指示经屏蔽后的中断状态。该状态受 GPIO_IE 寄存器屏蔽控制。 0：中断无效； 1：中断有效。					

GPIO_IC

GPIO_IC 为 GPIO 中断清除寄存器。用来清除 GPIO 管脚产生的中断，同时清除 [GPIO_RIS](#) 寄存器和 [GPIO_MIS](#) 寄存器。

Offset Address		Register Name					Total Reset Value	
0x41C		GPIO_IC					0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_ic							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	WC	gpio_ic	GPIO 中断清除寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，各比特可独立控制。 0：无影响； 1：清除中断。					

14.6 USB 2.0 Host

14.6.1 概述

USB 2.0 Host 控制器支持 High-speed (480Mbit/s)、Full-speed (12Mbit/s) 和 Low-speed (1.5Mbit/s) 三种数据传输。USB 2.0 Host 控制器完全支持 USB 2.0、OHCI Rev 1.0a 和 EHCI Rev 1.0 协议。USB 2.0 Host 控制器中包含一个 Root Hub (USB 系统中的一部分，通过 Hub 可以扩展 USB 接口)。USB 2.0 Host 控制器的大部分硬件逻辑可以：



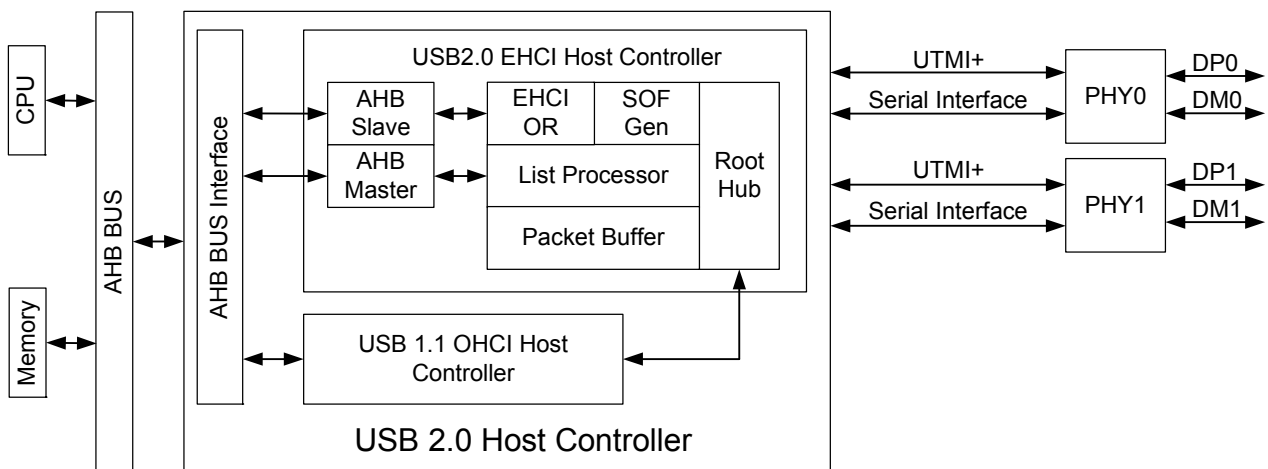
- 完成对传输的控制和处理
- 对数据包的解析和打包
- 对 USB 传输信号的编码和解码
- 为驱动程序提供了中断向量等接口

14.6.2 功能描述

逻辑框图

USB 2.0 Host 逻辑框图如图 14-40 所示。

图14-40 USB 2.0 Host 逻辑框图



UTMI: USB2.0 Transceiver Macrocell Interface
EHCI: Enhanced Host Controller Interface
OHCI: Open Host Controller Interface

典型应用

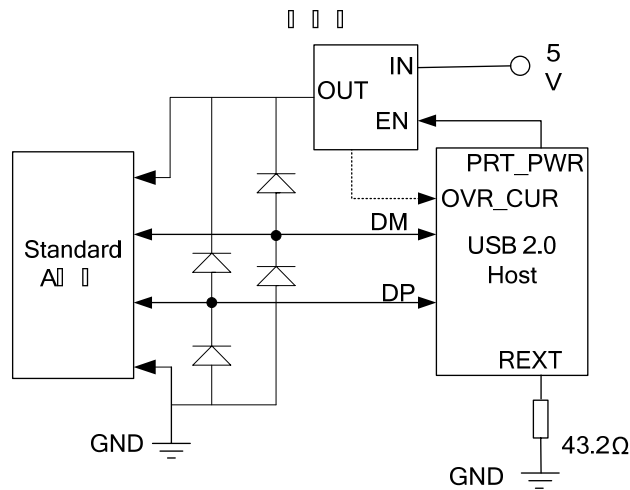
USB 2.0 Host 的参考设计如图 14-41 所示。



注意

- DP 和 DM 的单端阻抗为 $45\Omega \pm 1\%$ ，所以 DP 和 DM 无需外接任何的匹配电阻。
- REXT 电阻的精度是 $\pm 1\%$ 。
- 需要使用高速的 ESD 器件，电容值推荐为 1pF 左右。

图14-41 USB 2.0 Host 参考设计



功能特点

USB 2.0 Host 具有以下功能特点：

- 完全兼容 USB 2.0。
- 完全符合 OHCI Rev 1.0a、EHCI Rev 1.0。
- 可以支持 High-speed、Full-speed、Low-speed 三种设备。
- 支持低功耗的解决方案。
- 支持 Control Transfer、Bulk Transfer、Isochronous Transfer、Interrupt Transfer 四种基本数据传输类型。
- 可以通过连接 USB Hub，连接最多 127 个设备。

工作原理

USB 2.0 Host 支持以下 4 种标准的传输方式：

- **Control Transfer（控制传输）**
主要用于 USB Host 与 USB Device 端点 0 之间的传输，某些特定型号的 USB 设备的控制传输可能用到其他的端点。控制传输是双向传输，数据量通常较小，可以传输 8byte、16byte、32byte 或 64byte 的数据，依赖于设备和传输速度。
- **Bulk Transfer（批量传输）**
主要用于没有带宽和间隔时间要求的情况下发送和接收大量的数据，这种类型的设备适合于传输非常慢和大量被延迟的传输，可以等到所有其他类型的数据的传送完成之后再传送和接收数据。它的特点是以错误检测和重传的方式保证 USB Host 与 USB Device 的数据被无差错地发送。
- **Isochronous Transfer（同步传输）**
主要用于时间严格并具有较强容错性的流数据传输，或者用于数据传输速率恒定的即时应用中。同步传输提供了确定的带宽和间隔时间。



- **Interrupt Transfer (中断传输)**
主要用于少量、分散、不可预测的数据的传输。中断传输方式下，定时查询设备是否有中断数据要发送。设备的端点模式器的结构决定了它的查询频率为 1ms~255ms。典型的中断方式传输是单向的，并且对于 USB Host 来说只有输入的方式。

14.6.3 工作方式

管脚极性控制

通过设置系统控制寄存器 PERIPHCTRL20 [usbpwr_p_ctrl]可以设置 USB0_PWREN、USB1_PWREN 的有效极性；设置 USB0_OVRCUR、USB1_OVRCUR 的有效极性。

时钟门控

在不使用 USB 2.0 Host 时，可关断 USB 2.0 Host 的时钟，以降低功耗。

关断时钟的步骤如下：

1. 分别向 PERI_CRG46 [usbphy_port0_treq]、PERI_CRG46[usbphy_port1_treq]、PERI_CRG46[usbphy_req]、PERI_CRG46[usb_ctrl_utmi0_req]、PERI_CRG46[usb_ctrl_utmi1_req]、PERI_CRG46[usb_ctrl_hub_req]、PERI_CRG46[usb_ahb_srst_req]写 1，对 USB 控制器和 PHY 进行复位。
2. 将系统寄存器 PERI_CRG46 [usb_cken]置 0，关断 USB 2.0 Host 相关时钟。

----结束

打开时钟的步骤如下：

1. 将系统控制器的 PERI_CRG46 [usb_cken]置 1，打开 USB 2.0 Host 相关时钟。
2. 撤消 USB 控制器和 PHY 的复位，详细信息请参见“[撤消复位](#)”。

----结束

撤消复位

USB 控制器和 PHY 在上电后默认处于复位状态，撤消复位的步骤如下：

1. 至少延时 10us。
2. 向 PERI_CRG46[usbphy_port0_treq]写 0，撤消 USB PHY port0 的端口软复位；PERI_CRG46[usbphy_port1_treq]写 0，撤消 USB PHY port1 的端口软复位。
3. 向 PERI_CRG46[usbphy_req]写 0，撤消 USB PHY 的总复位；
4. 延时 250us 后，向 PERI_CRG46[usb_ctrl_utmi0_req]写 0，撤消 USB 控制器的 port0 接口软复位；向 PERI_CRG46[usb_ctrl_utmi1_req]写 0，撤消 USB 控制器的 port1 接口软复位；向 PERI_CRG46[usb_ctrl_hub_req]写 0，撤消 USB 控制器的 hub 软复位。
5. 向 PERI_CRG46[usb_ahb_srst_req]写 0，撤消 USB 总线侧软复位。



----结束

工作过程中单独复位 port0 或 port1

工作过程中单独复位 port0 的步骤如下：

1. 向 PERI_CRG46[usb_ctrl_utmi0_req]写 1，对 USB 控制器的 port0 进行软复位。
2. 向 PERI_CRG46[usbphy_port0_treq]写 1，对 USB PHY 的 port0 的端口进行软复位。
3. 延时 200us 后，向 PERI_CRG46[usbphy_port0_treq]写 0，撤消 USB PHY 的 port0 的端口复位。
4. 向 PERI_CRG46[usb_ctrl_utmi0_req]写 0，撤消 USB 控制器的 port0 复位。

----结束

工作过程中单独复位 port1 的步骤如下：


5. 向 PERI_CRG46[usb_ctrl_utmi1_req]写 1，对 USB 控制器的 port1 接口进行软复位。
6. 向 PERI_CRG46[usbphy_port1_treq]写 1，对 USB PHY 的 port1 的端口进行软复位。
7. 延时 200us 后，向 PERI_CRG46[usbphy_port1_treq]写 0，撤消 USB PHY 的 port1 的端口复位。
8. 向 PERI_CRG46[usb_ctrl_utmi1_req]写 0，撤消 USB 控制器的 port1 复位。

----结束

挂起和重启

挂起 port0（即 SUSPEND）：软件通过 EHCI/OHCI 寄存器设置挂起模式后，port0 就进入了挂起模式。

重启 port0（即 RESUME）：软件通过 EHCI/OHCI 寄存器设置退出 SUSPEND 模式后，如果 PERIPHCTRL21 [commononn]为 1，需要至少延时 225us 后，软件才能发起 USB 操作；如果 PERIPHCTRL21 [commononn]为 0，需要至少延时 5us 后，软件才能发起 USB 操作。

 说明

挂起 port1 的操作与挂起 port0 的操作类似，重启 port1 的操作与重启 port0 的操作类似。

USB TX 信号质量调节

如果测试发现单板上的 USB 眼图无法通过模板时，可以通过如下步骤调节 USB TX 的信号质量。

以 USB port0 为例。

1. 向 PERIPHCTRL21[phy0_txpreemphasistune]写 1，使能 USB PORT0 的预加重功能。
2. 向 PERIPHCTRL21[phy0_txrisetune]写 1，减小高速信号的上升/下降时间。



- 向 PERIPHCTRL21[phy0_txverftune]写 0x1111，加大 DC 电平。

---结束



如果发现 USB 眼图无法通过模板，请确认已经配置了如上寄存器。

14.6.4 寄存器概览



由于该 USB 模块是一个标准的 USB 2.0 Host，内部寄存器也是标准的 EHCI 及 OHCI 寄存器，在 EHCI 协议及 OHCI 协议中有详细的描述，请参照协议。下面仅对几个厂家特别定义的寄存器进行描述。

USB 寄存器概览如表 14-11 所示。

表14-11 USB 寄存器概览（基地址：0x100B_0000）

偏移地址	名称	描述	页码
0x90	INTNREG00	配置微帧长度寄存器	14-91
0x94	RESERVED	保留	-
0x98	RESERVED	保留	-
0x9C	RESERVED	保留	-
0xA0	INTNREG04	DEBUG 寄存器	14-92
0xA4	INTNREG05	控制及状态寄存器	14-93
0xA8	INTNREG06	AHB 错误状态寄存器	14-94
0xAC	INTNREG07	AHB 错误地址寄存器	14-94

注：EHCI 寄存器基地址是 0x100B_0000，OHCI 寄存器基地址是 0x100A_0000，表 14-11 中寄存器基地址是 EHCI 寄存器基地址。

14.6.5 寄存器描述

INTNREG00

INTNREG00 为配置微帧长度寄存器。



Offset Address		Register Name		Total Reset Value					
0x90		INTNREG00		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						val		en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						
[13:1]	RW	val	微帧计数器值。该寄存器仅用于仿真。正常工作时，微帧长度是协议规定的 125μs；仿真时，为了缩短仿真时间，根据需要可以配置该寄存器改变微帧长度。						
[0]	RW	en	使能该寄存器。 0：禁止； 1：使能。						

INTNREG04

INTNREG04 为 DEBUG 寄存器。

Offset Address		Register Name		Total Reset Value								
0xA0		INTNREG04		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						auto_en	nak_reldfix_en	reserved	scaledwn_enum_time	hccparam_en	hccparam_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:6]	-	reserved	保留。									
[5]	RW	auto_en	自动规格使能。 0：使能（当软件复位 run/stop，但 hchalted 位还未设置时挂起信号有效）； 1：禁止（即软件清除 run/stop 位时端口不挂起）。 默认为 0。									



[4]	RW	nak_reldfix_en	NAK 重载使能。 0: 使能; 1: 禁止。
[3]	-	reserved	保留。
[2]	RW	scaledwn_enum_time	减少端口枚举时间。 0: 禁止; 1: 使能。
[1]	RW	hccparam_en	HCCPARAMS 寄存器可写使能。 0: 禁止; 1: 使能。
[0]	RW	hcsparam_en	HCSPARAMS 寄存器可写使能。 0: 禁止; 1: 使能。

INTNREG05

INTNREG05 为控制及状态寄存器。用于读写 PHY 寄存器。

	Offset Address 0xA4				Register Name INTNREG05								Total Reset Value 0x0000_1000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								vbusy		vport		vcontrol_loadm				vcontrol				vstatus											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	
Bits																																
Access																																
Name	reserved				vbusy				vport				vcontrol_loadm				vcontrol															
Description	保留。				“1” 表明硬件现在正在执行数据写操作，只有当进程结束时，该位清零。				端口号，不能超过支持的端口数。				装载使能。 0: 使能; 1: 禁止。				端口控制信号。															



[7:0]	RO	vstatus	端口状态信号。
-------	----	---------	---------

INTNREG06

INTNREG06 为 AHB 错误状态寄存器。

Offset Address		Register Name		Total Reset Value						
0xA8		INTNREG06		0x0000_0000						
Bit	31	30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	err_capture	reserved				hburst_err	num_beat_err	num_beat_ok		
Reset	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits		Access	Name	Description						
[31]		RW	err_capture	发生了 AHB 错误。						
[30:12]		-	reserved	保留。						
[11:9]		RO	hburst_err	发生 AHB 错误时控制传输阶段 hburst 值。						
[8:4]		RO	num_beat_err	发生 AHB 错误时该次 burst 传输的拍数。最大拍数为 16。 0x00~0x10: 有效; 0x11~0x1F: 保留。						
[3:0]		RO	num_beat_ok	发生 AHB 错误时该次 burst 传输中已经成功完成的拍数。						

INTNREG07

INTNREG07 为 AHB 错误地址寄存器。

Offset Address		Register Name		Total Reset Value					
0xAC		INTNREG07		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	err_addr								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits		Access	Name	Description					
[31:0]		RO	err_addr	发生 AHB 错误时控制传输阶段的地址。					



14.7 MMC/SD/SDIO 控制器

14.7.1 功能描述

功能框图

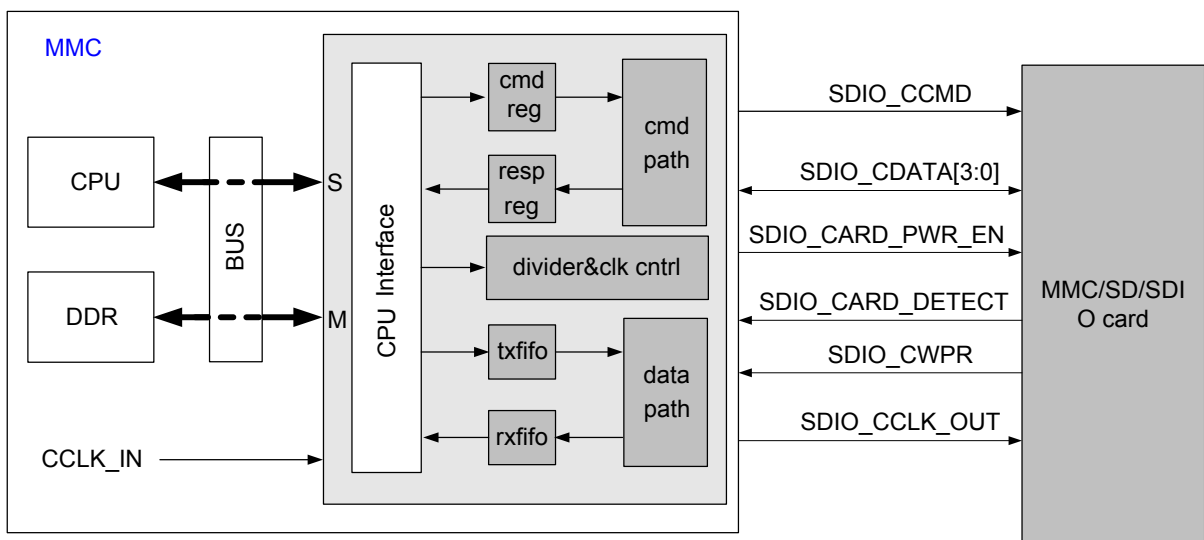
MMC/SD/SDIO 控制器（以下简称 MMC）用于处理对 SD/MMC 卡的读写等操作，并通过 SDIO 协议实现对扩展外设（如蓝牙、WiFi 等）的支持。提供 1 个 MMC 控制器，可用于控制 SD/MMC 卡、SDIO 设备。Hi3531 提供 1 个 MMC/SD/SDIO 控制器。

MMC 支持符合以下协议的设备：

- Secure Digital Memory（SD mem-version 2.00）
- Secure Digital I/O（SDIO-version 2.0）
- MultiMediaCard（MMC-version 4.3）

MMC 的功能框图如图 14-42 所示。

图14-42 MMC 功能框图



注：S：slave 接口；M：master 接口。

MMC 通过内部总线与系统连接，由以下单元构成：

- 命令通道
完成指令的发送与响应的接收。
- 数据通道



配合命令通道完成数据读写操作。

- 接口时钟控制单元

根据需求改变接口时钟频率，控制接口时钟的关闭与开启。SDIO_CCLK_OUT 可以是 CCLK_IN 的分频。

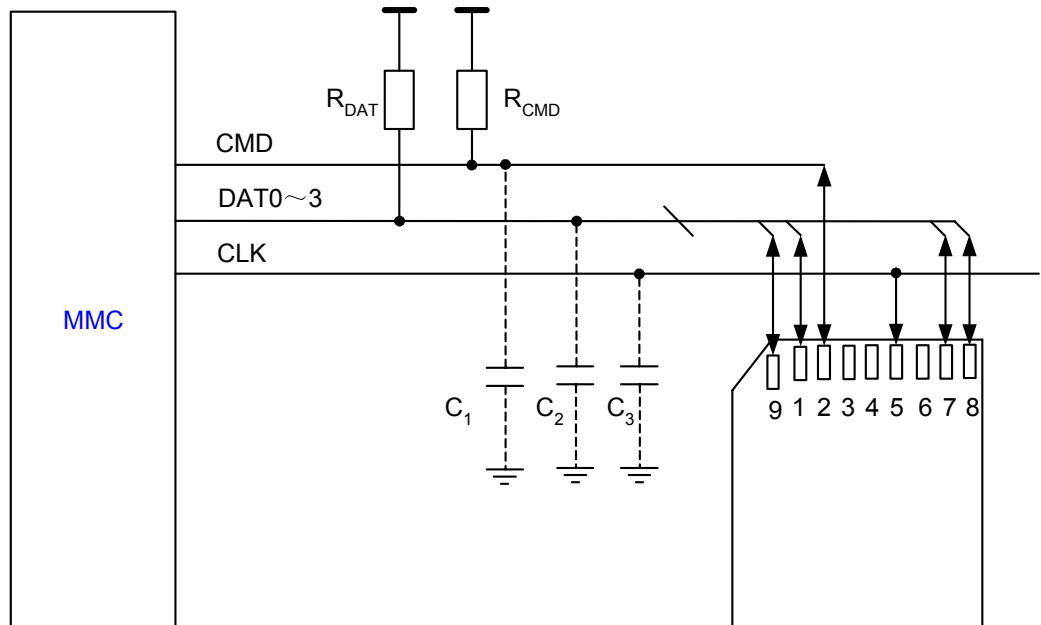
MMC 的功能特点有：

- 支持内部 DMA 数据传输方式。
- 包含数据发送方向与接收方向的 2 个 FIFO，FIFO 深度为 256word
- 支持 FIFO 阈值可配，DMA 传输时 Burst 大小可配。
- 支持 FIFO 上溢出与下溢出中断告警，防止数据传输错误。
- 支持命令与数据的 CRC 生成与校验。
- 接口时钟频率可编程。
- 支持低功耗模式关闭 MMC 时钟和接口时钟。
- 数据位宽支持 1、4、8bit，可根据对接器件选择。
- 支持 1byte~65535byte 的块数据读写操作。
- 支持 MMC 卡流数据读写方式。
- 支持 SDIO 的 suspend 操作、resume 操作和 read wait 操作。

典型应用

MMC 的典型应用电路如图 14-43 所示。

图14-43 MMC 典型应用电路图





MMC 通过 1 根时钟信号线、1 根双向指令信号线和 4 根双向数据信号线与卡设备对接来完成命令与数据的交互。指令信号、数据信号均工作在上拉模式。上拉电阻参数及各信号线负载电容限制如表 14-12 所示。

表14-12 信号线负载参数

参数	最小值	最大值	描述
R _{DAT} 、R _{CMD}	10kΩ	100kΩ	上拉电阻。
负载容抗 C _x	-	30pF	负载电容 C _x =C _{mmchost} +C _{bus} +C _{card} 。每张卡最大负载电容 C _{card} 为 10pF，所以 C _{mmchost} +C _{bus} 应该小于 30pF。
信号线感抗	-	16nH	F _{pp} ≤20MHz。



注意

除图 14-43 中信号线外，卡槽一般还提供机械写保护信号和卡检测信号。芯片提供了这些接口，示意图中未给出。

指令与响应

MMC 与卡设备之间的所有交互操作均通过指令完成，包括卡初始化、寄存器读写、状态查询、数据传输等。

MMC 指令为 48bit 的串行数据，由起始位、传输位、指令序号、指令参数、CRC 校验位和终止位组成。卡收到指令后，会根据指令类型返回 48bit 或 136bit 的响应。

图14-44 MMC 指令格式

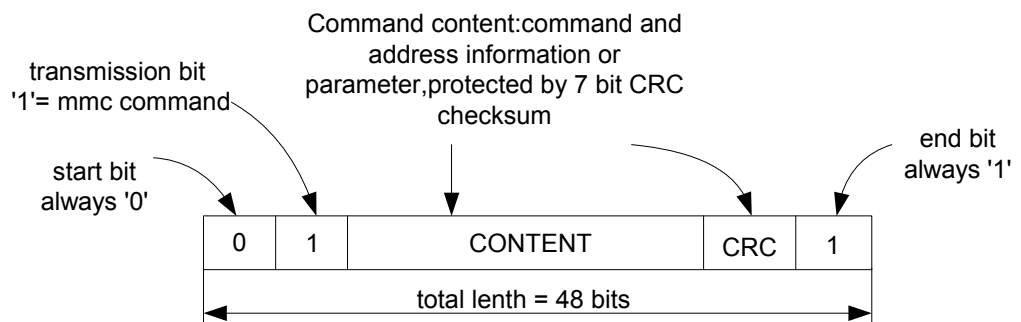
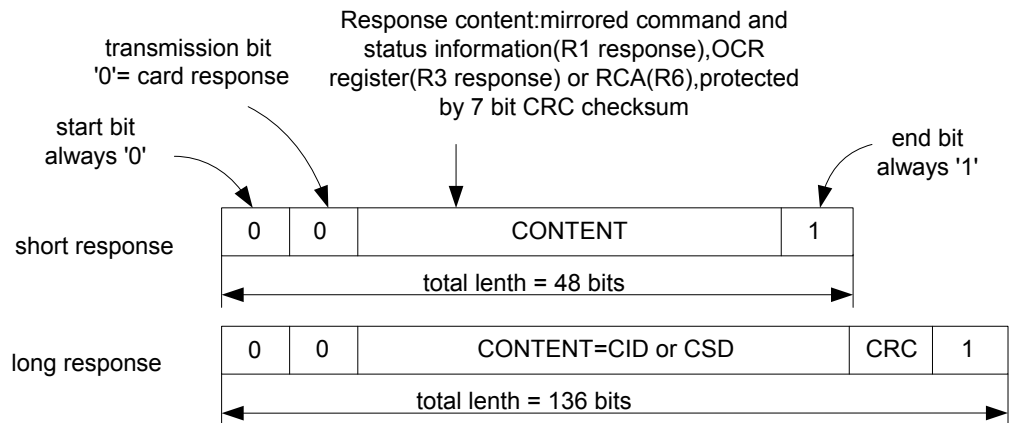


图14-45 MMC 指令响应格式



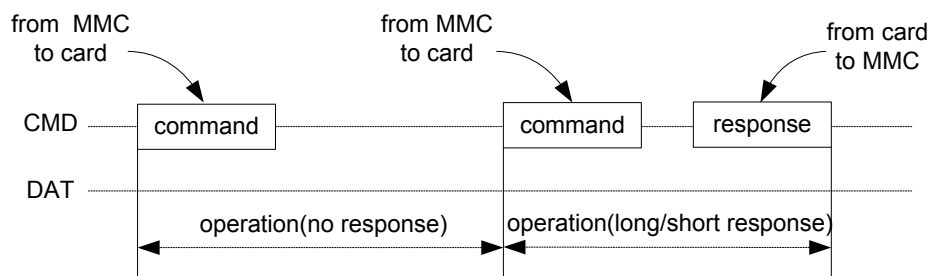
根据是否有数据传输，指令分为以下 2 种：

- 非数据传输指令
基于指令信号线 CMD，MMC 与卡采用串行方式进行指令发送与响应接收。
- 数据传输指令
除指令线上的交互外，还有数据线 DAT0~DAT7 上的数据传输。

(1) 非数据传输指令

MMC 与卡设备之间的非数据传输指令操作如图 14-46 所示。

图14-46 MMC 非数据指令操作



(2) 数据传输指令

MMC 卡支持以下数据传输指令：

- 流数据读写指令
仅 MMC 卡支持，只使用 1 根数据线（即 DAT0）进行数据传输，无 CRC 校验。
- 单块数据读写指令
一次传输完成一个块大小的数据，不需要使用停止命令结束一次数据传输。
- 多块数据读写指令
 - predefined block count 方式



在多块读写指令前，发送块数量指令指定待传输的数据量。

- open ended 方式

发送读写指令后，在数据传输末尾，需使用停止指令来结束一次数据传输。

两种方式的差别在于 MMC 通知卡结束一次传输的方式不同。SD 卡仅支持 open ended 方式，MMC 卡两种方式均支持。

SDIO 设备的多块读写指令，不同于上述 2 种方式，在发送读写指令时，指令参数中包含待传输的数据量。

根据响应的类型，指令分为以下 3 种：

- 无响应指令
如卡复位指令。
- 短响应指令
数据传输指令、卡状态查询等均属于这类指令。
- 长响应指令
仅用于读取卡的寄存器 CID 和 CSD 信息。

数据传输

单块读写指令和多块读写指令为较常用的数据传输方式。通常 SD/MMC 卡数据传输的一个块大小为 512byte，而 SDIO 设备可根据应用自定义。

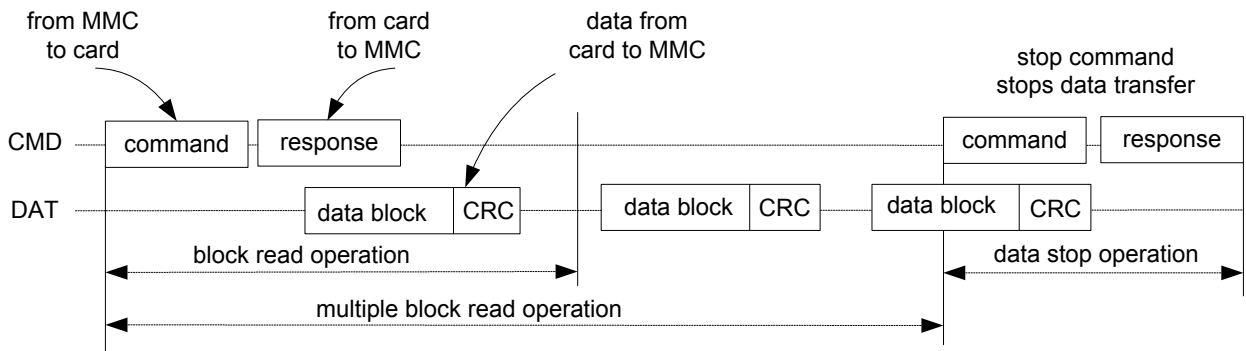
说明

以块读写指令方式进行数据传输时，传输数据总量必须为块大小的整数倍。

数据传输指令均为短响应指令，并伴随着数据线上的数据传输。指令、响应及数据线上的时序配合关系如图 14-47 和图 14-48 所示。

(1) 单块与多块读操作

图14-47 单块与多块读操作



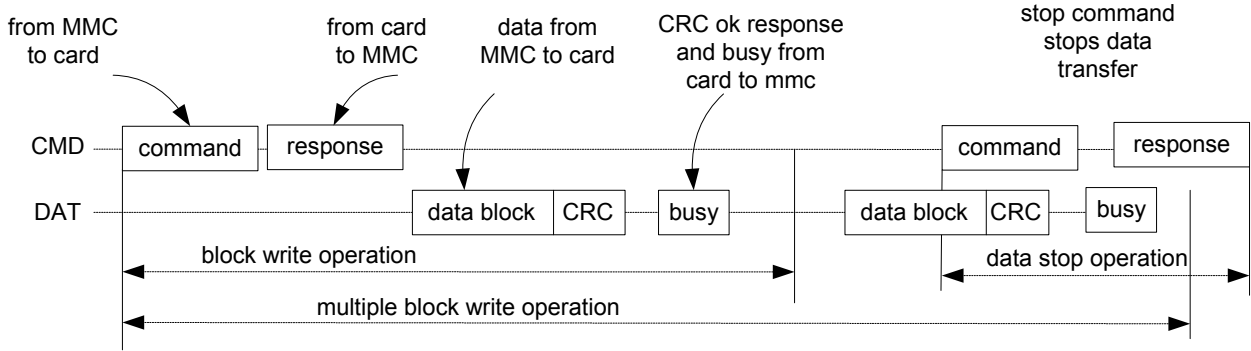
MMC 向卡发送单块或多块读指令。在接收响应的过程中，接收以块为单位的数据，其中每块数据中均包含有 CRC 校验位，以保证数据传输的完整性。



单块读指令操作时，MMC 在接收一块数据后完成一次数据传输；多块读指令操作时，MMC 在接收多块数据后，需发送一条停止指令结束本次数据传输（仅 open ended 多块读指令）。

(2) 单块与多块写操作

图14-48 单块与多块写操作



MMC 往卡发送单块或多块写指令。在接收到响应后，往卡发送以块为单位的数据，其中每块数据中均包含有 CRC 校验位，卡会对每块数据进行 CRC 校验，并反馈 CRC 状态以确认数据传输的正确性。

单块写指令操作时，MMC 在发送一块数据后完成一次数据传输；多块写指令操作时，MMC 在发送多块数据后，需发送一条停止指令完成本次数据传输（仅 open ended 多块读指令）。写操作结束后，卡可能会因为编程 Flash 而处于繁忙状态，MMC 需查询 DAT0 状态，以确认卡脱离繁忙状态后才能对卡进行下一步操作。

(3) 数据传输格式

块方式读写中，MMC 与卡之间可采用 1bit 或 4bit 数据线方式进行数据传输。在发送数据传输指令之前，应分别设置 MMC 与卡的数据传输位宽模式（1bit 或 4bit），使它们保持一致。MMC 的数据位宽通过寄存器 MMC_CTYPE 设置，卡的数据位宽则通过发送相应的指令进行设置。

1bit 和 4bit 模式下的数据传输格式如图 14-49 和图 14-50 所示。

图14-49 1bit 数据线传输模式下的块数据格式

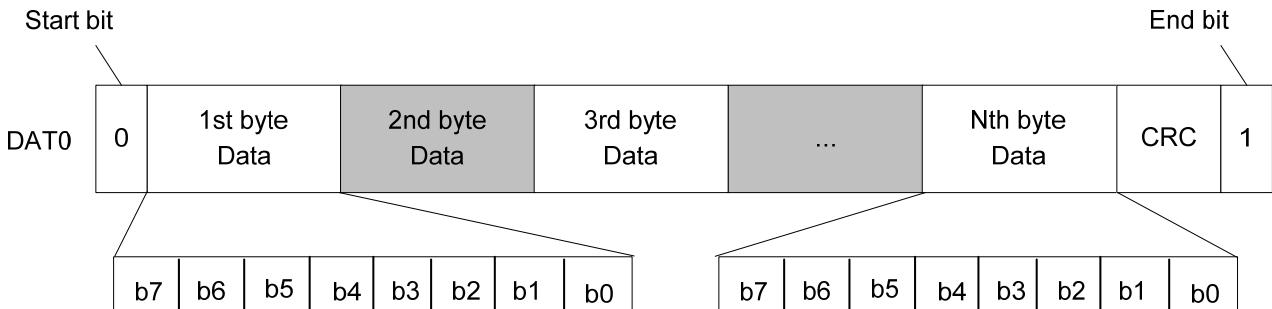
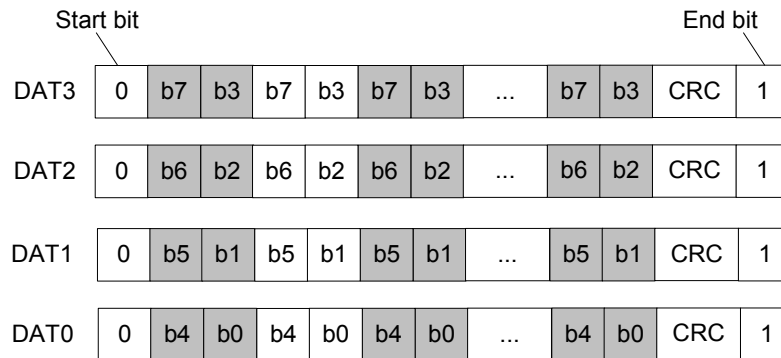




图14-50 4bit 数据线传输模式下的块数据格式



14.7.2 时序与参数

14.7.2.1 时序参数

MMC 接口时序参数如表 14-13 所示。

表14-13 MMC 接口时序参数

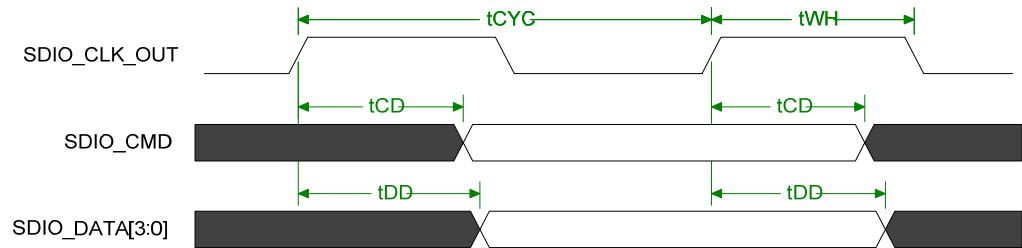
参数	描述	最小值	最大值	单位
tCYC	卡时钟周期	20	-	ns
tWH	卡时钟高电平时间	0.5tCYC	0.5tCYC	ns
tCCLK_IN	MMC 模块工作时钟周期	20 或者 41.67		ns
tCD	SDIO_CMD 输出延时	0.6tCCLK_IN-5.0	0.6tCCLK_IN+1.2	ns
tDD	SDIO_DATA 输出延时	0.6tCCLK_IN-4.7	0.6tCCLK_IN+2.1	ns
tCS	SDIO_CMD 输入建立时间	5.0	-	ns
tCH	SDIO_CMD 输入保持时间	0.7	-	ns
tDS	SDIO_DATA 输入建立时间	5.3	-	ns
tDH	SDIO_DATA 输入保持时间	0.7	-	ns

14.7.2.2 接口时序

输出方向时序

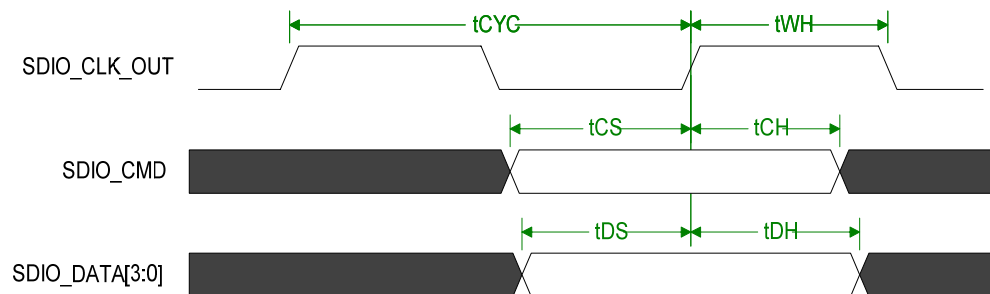


图14-51 输出方向时序图



输入方向时序

图14-52 输入方向时序图



14.7.3 应用说明

时钟门控

在软件完成当前命令或数据传输，并且未启动新传输时可关闭 SDIO_CCLK_OUT 时钟，但需要确保 MMC 已处于空闲状态。

具体步骤如下：

1. 读寄存器 `MMC_STATUS`。
2. 若 `MMC_STATUS[Command fsm states]`和 `MMC_STATUS[data_state_mc_busy]`均为 0，则向 `MMC_CTRL` 写“0”，屏蔽 MMC 中断、DMA 请求使能等，进入步骤 3。若其中有一个为非 0，则延时等待，返回步骤 1。
3. 向 CRG 寄存器 `PERI_CRG49 bit[1]`，关闭 SDIO 时钟。
4. 如果需要重新开启工作时钟，则向 CRG 寄存器 `PERI_CRG49 bit[1]`写“1”。

----结束



软复位

在数据传输出现异常而导致 MMC 无法回到空闲状态时，配置 CRG 寄存器 PERI_CRG49 bit[0]写“1”对 SDIO 模块进行软复位。查询寄存器 [MMC_STATUS\[Data_busy\]](#) 确认控制器是否处于空闲状态。

建议在使用 MMC 之前和热插拔卡后，软复位 MMC。

工作时钟配置

在使用 MMC 前，需为其配置合适的工作时钟频率。MMC 的工作时钟可选择 24MHz 或者 50MHz，通过 CRG 寄存器 PERI_CRG49 bit[2]配置。

接口时钟配置

遵从不同协议版本的 MMC 卡，以及 MMC 卡处于不同的状态时，均使用不同的时钟频率。MMC 内部提供一个偶数分频器以便于将工作时钟分频至合适的接口时钟。控制器工作时钟 CCLK_IN 与接口时钟 SDIO_CCLK_OUT 的频率关系为：

$$F_{\text{SDIO_CCLK_OUT}} = F_{\text{CCLK_IN}} / (2 \times \text{clk_divider})$$

其中，分频因子 clk_divider 为寄存器 [MMC_CLKDIV\[clk_divider\]](#) 的值。不同卡类型支持的时钟频率不同，卡侧 $F_{\text{SDIO_CCLK_OUT}}$ 最高不超过 50MHz。

在改变 MMC 卡的时钟频率之前，必须保证没有数据或指令正在传输。为了避免输出到 MMC 卡的时钟产生毛刺，在改变 MMC 卡的时钟频率时应该遵照以下步骤：

1. 关闭接口时钟。

将寄存器 [MMC_CLKNA](#) 配置为 0x0000_0000，并将寄存器 [MMC_CMD\[Start_cmd\]](#)、[MMC_CMD\[Update_clk_regs_only\]](#) 和 [MMC_CMD\[Wait_prvdata_complete\]](#) 置“1”，等待寄存器 [MMC_CMD\[Start_cmd\]](#) 被自动清零。

2. 设置分频因子。

根据所需要的时钟频率设置寄存器 [MMC_CLKDIV](#)，并将寄存器 [MMC_CMD\[Start_cmd\]](#) 和 [MMC_CMD\[Update_clk_regs_only\]](#) 置“1”，等待寄存器 [MMC_CMD\[Start_cmd\]](#) 被自动清零。

3. 重新使能接口时钟。

将寄存器 [MMC_CLKENA](#) 配置为 0x0000_0001，并将寄存器 [MMC_CMD\[Start_cmd\]](#) 和 [MMC_CMD\[Update_clk_regs_only\]](#) 置“1”，等待寄存器 [MMC_CMD\[Start_cmd\]](#) 被自动清零。

----结束



注意

只有当寄存器 `MMC_CMD[Start_cmd]` 和 `MMC_CMD[Update_clk_only]` 置“1”时，寄存器 `MMC_CLKDIV`、`MMC_CLKENA` 的值才会被载入。当载入成功以后，MMC 会自动清零寄存器 `MMC_CMD[Start_cmd]`。如果此时有其他指令正在执行，则会产生 HLE (Hardware Locked Error) 中断。若产生 HLE 中断，清除中断后重新发命令即可。

当有指令执行和数据传输时，不能改变卡的时钟参数。

初始化

与卡进行命令和数据的交互前，需要初始化 MMC，步骤如下：

1. 配置 MMC 工作时钟频率。请参见“14.7.3 应用说明”中的“工作时钟配置”。
2. 当卡上电，指令和数据信号线上拉稳定后，软复位 MMC。请参见“14.7.3 应用说明”中的“软复位”。
3. 清中断。将寄存器 `MMC_RINTSTS` bit[15:0] 所有位置“1”，清除原始中断状态位。
4. 设置寄存器 `MMC_INTMASK`。将寄存器 `MMC_INTMASK` bit[15:0] 所有位置“1”，使能各中断源。

若使用 DMA 方式进行数据传输，应将 `MMC_INTMASK` bit[4]、`MMC_INTMASK` bit[5] 置“0”，以屏蔽接收/发送 FIFO 数据请求中断。

5. 将寄存器 `MMC_CTRL[Int_enable]` 置“1”，使能 MMC 中断。
6. 配置超时参数寄存器 `MMC_TMOUT`。
7. 配置 FIFO 参数寄存器 `MMC_FIFOTH`。

----结束

完成以上步骤后，就可以配置接口时钟，往卡发送指令了。

非数据传输指令

MMC 在指令发送后，一旦收到响应（无论对错或超时），就会将寄存器 `MMC_RINTSTS` bit[2] 置位。短响应保存到寄存器 `MMC_RESP0` 中，长响应保存到寄存器 `MMC_RESP0~MMC_RESP3` 中，寄存器 `MMC_RESP3` bit[31] 为最高位，`MMC_RESP0` bit[0] 为最低位。当指令发出以后，其错误是由指令响应以及寄存器 `MMC_RINTSTS` 的错误位反映。

发送非数据传输指令的步骤如下：

1. 在寄存器 `MMC_CMDARG` 中设置相应的指令参数。
2. 根据表 14-14 设置指令寄存器 `MMC_CMD`。
3. 等待指令被 MMC 执行。如果指令已执行，MMC 自动清零寄存器 `MMC_CMD[Start_cmd]`。



4. 检查寄存器 `MMC_RINTSTS` bit[12]是否产生 HLE 中断。
5. 等待指令执行完毕。MMC 收到响应（无论对错或超时）时将寄存器 `MMC_RINTSTS` bit[2]置“1”，表示 Command Done。
6. 检查是否有响应异常，必要时可读取响应值。

读取寄存器 `MMC_RINTSTS` bit[8]、`MMC_RINTSTS` bit[6]和 `MMC_RINTSTS` bit[1]，检查响应超时、响应 CRC 错误和响应错误。

----结束



注意

只有当寄存器 `MMC_CMD`[Start_cmd]置“1”、`MMC_CMD`[Update_clock_registes_only]置“0”时，寄存器 `MMC_BYTCNT`、`MMC_BLKSIZE`、`MMC_CMDARG` 和 `MMC_CMD` 的值才能被载入。载入成功后，MMC 自动清零 `MMC_CMD`[Start_cmd]。

如果有其他指令正在执行，会产生 HLE 中断，此时重新执行操作即可。在非数据传输指令执行时，寄存器 `MMC_BYTCNT` 和 `MMC_BLKSIZE` 的值被忽略。

表14-14 非数据传输指令时的寄存器 `MMC_CMD` 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
data_transfer_expected	0	非数据传输指令。
card_number	0	-
cmd_index	Cmd index	指令序号。
send_initialization	0	当指令为卡复位时置“1”，如指令 <code>CMD0</code> 。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 <code>CMD12</code> 。
rresponse_length	0	当响应为长响应类型时置“1”。
rresponse_expect	1	当指令无响应时置“0”，如：指令 <code>CMD0</code> 、指令 <code>CMD4</code> 、指令 <code>CMD15</code> 。
Wait_prvdata_complete	1 or 0	在发送指令之前，MMC 必须等待正在处理的数据传输指令结束。建议此位一直置“1”，除非该指令是为了在数据传输时查询卡状态或停止当前数据的传输。



参数	取值	描述
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

单块或多块读数据

读取单块或多块数据的步骤如下：

1. 向寄存器 `MMC_CTRL[fifo_reset]` 写“1”，复位 FIFO 指针，查询等待该位自动清零。
2. 向寄存器 `MMC_BYTCNT` 写入待传输数据的字节数。
3. 向寄存器 `MMC_BLKSIZE` 写入块的大小。
4. 向寄存器 `MMC_CMDARG` 写入读取数据的起始地址。
5. 根据表 14-15 设置寄存器 `MMC_CMD`。

对于 SD/MMC 卡，分别使用指令 CMD17/CMD18 进行单块/多块读操作；对于 SDIO 卡，使用指令 CMD53 进行单块/多块读操作。

一旦寄存器 `MMC_CMD` 被写入，MMC 就执行指令；当指令被送到总线上以后，产生 `cmd_done` 中断。

6. 检查寄存器 `MMC_RINTSTS` bit[5]和 `MMC_RINTSTS` bit[10]，如果其中之一为 1 或都为 1，则从寄存器 `MMC_DATA` 读取 FIFO 中的数据，以便 MMC 接收后面的数据；同时检查数据错误中断，即寄存器 `MMC_RINTSTS` bit[7]、`MMC_RINTSTS` bit[9]、`MMC_RINTSTS` bit[13]和 `MMC_RINTSTS` bit[15]。此时，程序可以发送一个停止指令中止数据的传输。
7. 当寄存器 `MMC_RINTSTS` bit[3]为 1 时，数据传输完成，从寄存器 `MMC_DATA` 中读取残留在 FIFO 中的数据。
8. 若执行指令时已将寄存器 `MMC_CMD[Send_auto_stop]`置“1”，MMC 自动发送停止指令结束一次数据传输，请参见“14.7.3 应用说明”中的“Auto-stop 使用配置”。

----结束

表14-15 单块或多块读数据时的寄存器 `MMC_CMD` 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
card_number	0	-
send_initialization	0	当指令为卡复位时置“1”，如指令 CMD0。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 CMD12。



参数	取值	描述
send_auto_stop	0 or 1	请参见“14.7.3 应用说明”中的“Auto-stop 使用配置”。
transfer_mode	0	块传输。
read/write	0	从卡中读取数据。
rsponse_length	0	数据指令均为短响应。
data_transfer_expected	1	数据传输指令。
rsponse_expect	1	当指令无响应时置“0”，如：指令 CMD0、CMD4、CMD15。
cmd_index	Cmd index	命令序号。
Wait_prvdata_complete	1 or 0	在发送指令之前，主设备必须等待正在处理的数据传输指令结束。建议此位一直置1，除非该指令是为了询问卡状态或停止当前数据的传输。
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

单块与多块写数据

写入单块或多块数据的步骤如下：

1. 向寄存器 `MMC_CTRL[fifo_reset]` 写“1”，复位 FIFO 指针，查询等待直至该位自动清零。
2. 向寄存器 `MMC_BYTCNT` 写入待传输数据的大小。
3. 向寄存器 `MMC_BLKSIZE` 写入块的大小。
4. 向寄存器 `MMC_CMDARG` 写入数据的起始地址。
5. 将数据写入 FIFO，即写寄存器 `MMC_DATA`，通常在开始时应写满 FIFO。
6. 根据表 14-16 设置寄存器 `MMC_CMD`。

对于 SD/MMC 卡，分别使用指令 CMD24/CMD25 进行单块/多块写操作；对于 SDIO 卡，使用指令 CMD53 进行单块/多块写操作。

7. 检查寄存器 `MMC_RINTSTS bit[4]` 和 `MMC_RINTSTS bit[10]`，如果其中之一为 1 或都为 1，写寄存器 `MMC_DATA` 往 FIFO 填充数据；同时应检查数据错误中断，即检查寄存器 `MMC_RINTSTS bit[7]`、`MMC_RINTSTS bit[9]`、`MMC_RINTSTS bit[13]` 和 `MMC_RINTSTS bit[15]`。如果有需要，程序可以发送一个停止指令以中止数据的传输。当寄存器 `MMC_RINTSTS bit[3]` 为 1，数据传输结束。
8. 若执行指令时已将寄存器 `MMC_CMD[Send_auto_stop]` 置“1”，MMC 自动发送停止指令结束一次数据传输。请参见“14.7.3 应用说明”中的“Auto-stop 使用配置”。



9. 查询并等待寄存器 `MMC_STATUS[data_busy]` 由 1 变为 0。

----结束

表14-16 单块或多块写数据时的寄存器 `MMC_CMD` 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
card_number	0	-
send_initialization	0	当指令为卡复位时置“1”，如指令 <code>CMD0</code> 。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 <code>CMD12</code> 。
send_auto_stop	0 or 1	请参见“14.7.3 应用说明”中的“Auto-stop 使用配置”。
transfer_mode	0	块传输。
read_write	1	往卡写入数据。
rspnse_length	0	数据指令均为短响应。
data_transfer_expected	1	数据传输指令。
rspnse_expect	1	当指令无响应时置“0”，如：指令 <code>CMD0</code> 、 <code>CMD4</code> 、 <code>CMD15</code> 。
cmd_index	Cmd index	-
Wait_prvdata_complete	1 or 0	在发送指令之前，主设备必须等待直到正在处理的数据传输指令结束。建议此位一直置“1”，除非该指令是为了询问卡状态或停止当前数据的传输。
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

流数据读写

流数据的读写方式，除了将寄存器 `MMC_CMD[Transfer_mode]` 置“1”外，其他与块数据的读写方式一致。对于流数据的传输，通常需要使用 Auto-stop 功能。

内置 DMA 方式数据传输

MMC 控制器含有内置 DMA 控制器（IDMAC），IDMAC 可以根据指定的描述子把数据从原地址搬移到目的地址。

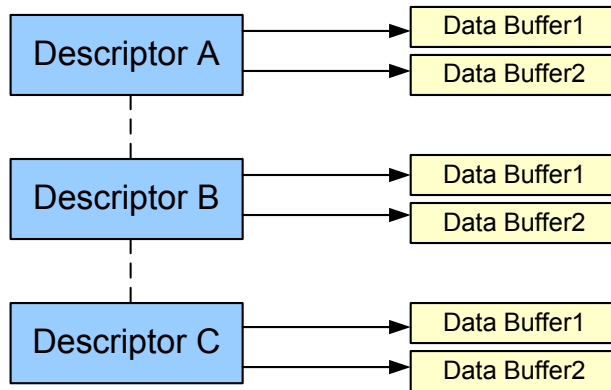


描述子

IDMAC 可以使用如下两种类型的描述子：

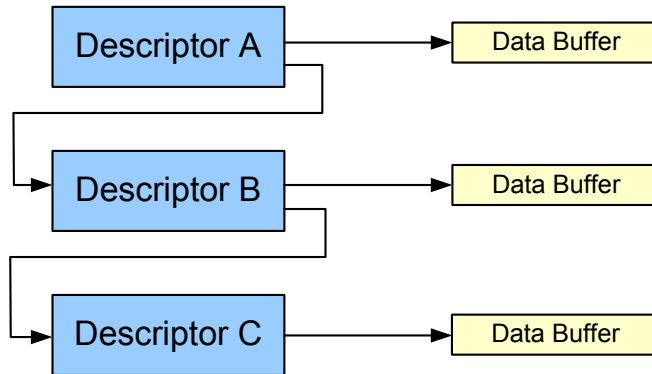
- 双 Buffer 结构：两个描述子之间的间隔根据 `MMC_BMOD` 寄存器的 `DSL` 位来指定。双 buffer 结构的示意图如图 14-53 所示。

图14-53 双 buffer 结构示意图



- 链结构：每个描述子指向唯一的 buffer 和下一个描述子。链结构的示意图如图 14-54 所示。

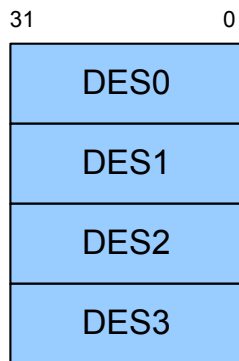
图14-54 链结构示意图



描述子必须以 word 对齐，每个描述子包含 16bytes 的控制和状态信息。描述子的内部结构如图 14-55 所示。



图14-55 32bit 位宽的描述子的结构



DES0 保护控制和状态信息，具体含义如表 14-17 所示。

表14-17 DES0 各 bit 的含义

位	名称	说明
31	OWN	描述子属性指示。 0: 表示该描述子属于 CPU; 1: 表示该描述子属于 IDMAC。 使用内部 DMA 完成数据传输后, IDMAC 将该位清 0
30	CES	读写卡时出错的状态指示。 0: 没有错; 1: 出错。
29:6	RES	保留。
5	ER	描述子链路结束指示。 0: 不是最后一个; 1: 该链路最后一个描述子。 只对双 buffer 结构的描述子有意义。
4	CH	第二个地址 (DES3 的地址) 的含义。 0: DES3 中的第二个地址是指第二个 buffer 的地址; 1: DES3 中的第二个地址是指下一个描述子的地址。 但该位为 1 时, DES1[25:13]应该是 0。
3	FS	为 1 表示该描述子包含第一个数据 buffer, 如果第 1 个数据 buffer 的大小为 0, 那么下一个描述子包含起始数据。
2	LD	为 1 表示该描述子指向的 buffer 是最后一个数据 buffer。
1	DIC	为 1 时阻止数据传输结束上报中断。



位	名称	说明
0	RES	保留。

DES1 指示 buffer 大小，具体含义如表 14-18 所示。

表14-18 DES1 各 bit 的含义

位	名称	说明
31: 26	RES	保留。
25: 13	BS2	第二个数据 buffer 的 byte 数，必须是 4 的整数倍。DES0[4]为 1 时该位无意义。
12: 0	BS1	第一个数据 buffer 的 byte 数，必须是 4 的整数倍。

DES2 表示第一个数据 buffer 的地址指针，具体含义如表 14-19 所示。

表14-19 DES2 各 bit 的含义

位	名称	说明
31:0	BAP1	第一个数据 buffer 的物理地址，必须 word 对齐。

DES3 表示第二个地址，具体含义如表 14-20 所示。

表14-20 DES3 各 bit 的含义

位	名称	说明
31:0	BAP2	当使用的是双 buffer 结构时，表示第二个数据 buffer 的物理地址。如果 DES0[4]是 1，该地址表示下一个描述子的物理地址。

初始化

1. 配置 `MMC_BMOD` 寄存器，设置总线参数。
2. 配置 `MMC_IDINTEN` 寄存器，屏蔽不需要的寄存器。
3. 创建发送或接收描述子链表，然后配置 `MMC_DBADDR` 寄存器，设置起始地址。
4. IDMAC 尝试从描述子链表中获取描述子。

----结束



发送

1. CPU 创建描述子 (DES0~DES3) 并将 DES0[31]位 OWN 置为 1, 同时准备好数据 buffer。
2. 把写数据命令写入 `MMC_CMD` 寄存器。
3. 通过 `MMC_FIFOTH` 寄存器设置 TX_Wmark。
4. IDMAC 获取描述子并判断 OWN 是否为 1, 如果 OWN 不为 1 则需要等待 CPU 释放描述子, 同时, IDMAC 会进入 suspend 状态, 需要 CPU 配置 `MMC_PLDMND` 寄存器使 IDMAC 重新获取描述子。
5. OWN 为 1 时, IDMAC 从数据 buffer 中搬移数据到 MMC 内部 FIFO。
6. 如果中断已经使能, 数据搬移完成后 IDMAC 状态寄存器 `MMC_IDSTS` 的相应为将被更新, 同时 OWN 位被清零。

----结束

接收

1. CPU 创建描述子 (DES0~DES3) 并将 DES0[31]位 OWN 置为 1。
2. 把读数据命令写入 `MMC_CMD` 寄存器。
3. 通过 `MMC_FIFOTH` 寄存器设置 RX_WMark。
4. IDMAC 获取描述子并判断 OWN 是否为 1, 如果 OWN 不为 1 则需要等待 CPU 释放描述子, 同时, IDMAC 会进入 suspend 状态, 需要 CPU 配置 `MMC_PLDMND` 寄存器使 IDMAC 重新获取描述子。
5. OWN 为 1 时, IDMAC 从 MMC 内部 FIFO 中搬移数据到外部的数据 buffer。
6. 如果中断已经使能, 数据搬移完成后 IDMAC 状态寄存器 `MMC_IDSTS` 的相应为将被更新, 同时 OWN 位被清零。

----结束

Auto-stop 使用配置

在多块读写指令操作中, 需使用停止指令完成一次数据传输。停止指令的发送可以通过[非数据传输指令](#)的方式发送, 也可以使用 Auto-stop 功能发送。

Auto-stop 功能的应用场合如下:

- SD 卡
 - 多块读写操作, 如指令 CMD18 和指令 CMD25。
- MMC 卡
 - 流数据读写操作。
 - open-ended 方式多块读写操作, 如指令 CMD18 和指令 CMD25。

建议使用控制器提供的 Auto-stop 功能, 配置过程如下:



1. 在执行块数据传输指令操作中，将寄存器 `MMC_CMD[Send_auto_stop]` 置“1”。
2. 在所有数据传输完成后，MMC 自动发送一次停止指令，以便卡能返回相应的状态。
3. 检查寄存器 `MMC_RINTSTS[auto_cmd_done]`，判断该停止指令是否完成。其响应保存在寄存器 `MMC_RESP1` 中。

----结束

停止或中止数据传输

停止指令用于打断 MMC 与卡之间的数据传输，中止指令用于打断 I/O 数据的传输（仅用于 `SDIO_IOONLY` 或 `SDIO_COMBO`）。

这两种指令的用法如下：

- 停止指令
该指令可以在数据传送的任何阶段进行发送。因为该指令用于停止数据传输，所以需要将寄存器 `MMC_CMD bit[5:0]` 设为指令 `CMD12`，将寄存器 `MMC_CMD bit[14]` 设为 1，将寄存器 `MMC_CMD bit[13]` 设为 0。
- 中止指令
该指令仅用于 `SDIO_IOONLY` 或 `SDIO_COMBO`。为了中止数据的传输，需要通过指令 `CMD52` 设置 SDIO 卡的寄存器 `CCCR[ASx]`。

Suspend 和 Resume 操作

对于 SDIO 卡（内部最多可容纳 7 个功能设备），MMC 可通过 Suspend 操作暂停某一功能设备的数据传输，将 SD 接口总线出让给另一个有更高优先级的功能设备。高优先级的功能设备完成数据传输后，MMC 通过 Resume 操作恢复前一功能设备未完成的数据传输。

Suspend 与 Resume 操作通过设置 SDIO 卡的寄存器 `CCCR` 来实现。读写寄存器 `CCCR`，使用指令 `CMD52`。

Suspend 操作步骤如下：

1. 查询寄存器 `CCCR[SBS]`，判断 SDIO 卡是否支持 suspend/resume 操作。
2. 查询寄存器 `CCCR[FSx]` 和 `[BS]`，判断待暂停的功能设备是否正在进行数据传输。
如果 `[BS]` 为 1，则 `[FSx]` 位所指定的功能设备正在进行数据传输。
3. 将寄存器 `CCCR[BR]` 置“1”，暂停当前数据传输。
4. 检测寄存器 `CCCR[BS]` 和 `[BR]` 状态是否清零。

`[BS]`（Bus 状态）在数据总线正被使用时保持为 1。`[BR]`（Bus 释放）在总线完全释放之前保持为 1。当 `[BR]` 与 `[BS]` 都为 0 时，所选功能设备的数据传输被暂停。

5. 如果暂停正在进行的读操作，在 suspend 操作成功完成以后，必须置位寄存器 `MMC_CTRL[Abort_read_data]` 来复位 MMC 的数据传输功能。复位完成后，寄存器 `MMC_CTRL[Abort_read_data]` 自动清零。
6. 读寄存器 `MMC_TCBCNT` 获取已传输数据字节数。



----结束

Resume 操作步骤如下：

1. 检查卡是否处于非传输状态，以确认总线处于空闲状态。
2. 如果卡处于 disconnect 状态，使用指令 CMD7 将它选中。卡的状态可以通过指令 CMD52/CMD53 获取。
3. 检查待恢复的功能设备是否准备好进行数据传输（查询寄存器 CCCR[RF]）。如果 [RF]=1，则该功能设备已准备好进行数据传输。
4. 为了恢复传输，使用指令 CMD52 将功能设备号写入寄存器 CCCR[FS]。发送指令 CMD52 的同时应启动 MMC 进入数据传输状态，即向寄存器 MMC_BLKSIZE 写入块的大小，向寄存器 MMC_BYTCNT 写入剩余待传输数据量。

寄存器 MMC_CMDARG 的配置如表 14-21 所示，寄存器 MMC_CMD 的配置与块传输类似。

5. 当指令 CMD52 成功发送以后，数据传输恢复正常。读取 SDIO 设备的 DF（Resume Data Flag）标志位，如果为 1，则在功能被恢复的同时，数据开始传输；如果为 0，则已无数据需要传输。
6. 如果 DF 标志位为 0，在读数据的情况下，MMC 会等待一段时间后产生数据超时错误中断。

----结束

表14-21 Resume 操作时的寄存器 MMC_CMDARG 配置参考

MMC_CMDARG	取值	描述
Bit[31]	1	读写标志。
Bit[30:28]	0	功能设备号，访问寄存器 CCCR。
Bit[27]	1	实时标志，先写后读。
Bit[26]	-	-
Bit[25:9]	0x0D	寄存器地址。
Bit[8]	-	-
Bit[7:0]	被恢复的功能号	写数据。



注意

系统处于低功耗模式后不能通过 MMC 唤醒。



Read wait 操作

Read wait 操作用于暂停 SDIO 卡当前功能设备的数据传输。MMC 根据需要决定暂停数据传输的时间长度。

Read wait 操作步骤如下：

1. 检查卡是否支持 read wait 操作。

使用指令 CMD52 读取寄存器 CCCR[SRW]。如果为 1，则卡的所有功能设备都支持 read wait 操作。

2. 如果卡支持 read wait 操作，将寄存器 MMC_CTRL[Read_wait]置“1”。
3. 如需恢复数据传输，清零寄存器 MMC_CTRL[Read_wait]。

----结束

14.7.4 寄存器概览

MMC 寄存器概览如表 14-22 所示。

表14-22 MMC 寄存器概览（基址是 0x1002_0000）

偏移地址	名称	描述	页码
0x0000	MMC_CTRL	MMC 控制寄存器	14-116
0x0004	MMC_PWREN	Power_en 控制寄存器	14-118
0x0008	MMC_CLKDIV	时钟分频系数寄存器，显示模块输出时钟与输入时钟分频比	14-119
0x000C	MMC_CLKSRC	SD 卡的时钟源选择寄存器	14-120
0x0010	MMC_CLKENA	时钟使能寄存器	14-120
0x0014	MMC_TMOUT	超时时间寄存器	14-121
0x0018	MMC_CTYPE	卡类型寄存器	14-120
0x001C	MMC_BLKSIKZ	块大小配置寄存器	14-120
0x0020	MMC_BYTCNT	块传输计数寄存器	14-121
0x0024	MMC_INTMASK	中断屏蔽寄存器	14-121
0x0028	MMC_CMDARG	指令参数寄存器	14-122
0x002C	MMC_CMD	命令寄存器	14-122
0x0030	MMC_RESP0	响应寄存器 0	14-123
0x0034	MMC_RESP1	响应寄存器 1	14-124
0x0038	MMC_RESP2	响应寄存器 2	14-124



偏移地址	名称	描述	页码
0x003C	MMC_RESP3	响应寄存器 3	14-127
0x0040	MMC_MINTSTS	屏蔽后中断状态寄存器	14-127
0x0044	MMC_RINTSTS	原始中断状态寄存器	14-128
0x0048	MMC_STATUS	状态寄存器	14-128
0x004C	MMC_FIFOTH	FIFO 水位值寄存器	14-129
0x0050	MMC_CDETECT	卡检测寄存器	14-130
0x0054	MMC_WRTprt	卡写保护寄存器	14-131
0x005C	MMC_TCBCNT	发送到卡的 byte 数目寄存器	14-133
0x0060	MMC_TBBCNT	BIU FIFO 传送数据的 byte 数目寄存器	14-134
0x0080	MMC_BMOD	总线模式寄存器	14-134
0x0084	MMC_PLDMND	Poll demand 寄存器	14-135
0x0088	MMC_DBADDR	描述子链表的基地址寄存器	14-135
0x008C	MMC_IDSTS	IDMAC 状态寄存器	14-135
0x0090	MMC_IDINTEN	IDMAC 中断使能寄存器	14-136
0x0094	MMC_DSCADDR	当前描述子地址寄存器	14-137
0x0098	MMC_BUFADDR	当前数据 buffer 地址寄存器	14-137
0x0100	MMC_DATA	数据寄存器，为 FIFO 入口地址	14-138

14.7.5 寄存器描述

MMC_CTRL

MMC_CTRL 为 MMC 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000		MMC_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		Use_internal_dmac Enable_OD_pullup	reserved				Abort_read_data Send_irq_response Read_wait Dma_enable Int_enable	reserved Dma_reset Fifo_reset Controller_reset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25]	RW	Use_internal_dmac	是否使用内置 DMA 搬移数据。 0: CPU 使用 slave 接口搬移数据; 1: 使用内部 DMA 搬移数据。						
[24]	RW	Enable_OD_pullup	外部 open-drain pullup。 0: 不使能; 1: 使能。 该值在内部取反后送到管脚 SDIO _n _CCMD_ODPULLUP_EN_N (n=0, 1)						
[23:9]	-	reserved	保留。						
[8]	RW	Abort_read_data	读数据过程中是否中止。 0: 无效; 1: 在读操作过程中发送 suspend 指令后, 软件让卡去查找 suspend 何时出现。 一旦 suspend 出现, 软件把该位置“1”, 使数据传输状态机回到 Idle 状态, 等待下一个块传输。 状态机回到 Idle 后状态, 此比特自动清零。						
[7]	RW	Send_irq_response	发送中断响应控制 0: 无效; 1: 发送自动 IRQ 回复。 当回复已经发送, 此比特自动清零。 为了等待 MMC 产生中断, 主侧发送指令 CMD40 并等待来自 MMC 的中断回复。同时, 如果主侧希望不再停留在中断等待状态, 可将该比特置“1”, 发送指令 CMD40 并回到 IDLE 状态。						



[6]	RW	Read_wait	读等待控制。 0: 禁止读等待; 1: 使能读等待。 此位仅用在具有 SDIO 功能的卡上, 要求卡支持读等待功能。
[5]	RW	Dma_enable	保留。系统使用的是内部 DMAC。
[4]	RW	Int_enable	全局中断使能。 0: 禁止; 1: 使能。 当该比特有效且有中断源被使能时, 中断输出才有效。
[3]	-	reserved	保留。
[2]	RW	Dma_reset	内部 DMAC 软复位控制。 0: 无效; 1: 复位内部 DMA 接口。 该比特在两个 AHB 时钟周期后自动复位。
[1]	RW	Fifo_reset	内部 FIFO 软复位控制。 0: 无效; 1: 复位 FIFO 指针。 当复位操作结束后, 该比特自动复位。
[0]	RW	Controller_reset	控制器软复位控制。 0: 无效; 1: 复位 MMC/SD/SDIO Host 模块。

MMC_PWREN

MMC_PWREN 为 Power_en 控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x0004		MMC_PWREN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							Power_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	-	reserved	保留。					
[0]	RW	Power_enable	POWER 控制。 0: 关闭电源; 1: 打开电源。 该值用来驱动管脚 SDIO _n _CARD_POWER_EN。 (n=0, 1)					

MMC_CLKDIV

MMC_CLKDIV 为时钟分频系数寄存器，显示模块输出时钟与输入时钟分频比。假如模块输入时钟为 40MHz，寄存器配置为 1，则输出时钟为 20MHz。

时钟分频系数值为 $2 \times N$ 。例如，N 为 0x0 时， $2 \times 0=0$ （无分频）；N 为 0x1 时为 2 分频；N 为 0xFF 时为 510 分频。

Offset Address		Register Name		Total Reset Value				
0x0008		MMC_CLKDIV		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						Clk_divider0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	Clk_divider0	时钟分频系数 0。 0x0: 无分频; 0x1: 2 分频; 0xFF: 510 分频。					



MMC_CLKSRC

MMC_CLKSRC 为 SD 卡的时钟源选择寄存器。

Offset Address		Register Name		Total Reset Value					
0x000C		MMC_CLKSRC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								Clk_source
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	Clk_source	必须配置为 0。						

MMC_CLKENA

MMC_CLKENA 为时钟使能寄存器。

Offset Address		Register Name		Total Reset Value				
0x0010		MMC_CLKENA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			Cclk_low_power	reserved			Cclk_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	-	reserved	保留。					
[16]	RW	Cclk_low_power	卡的低功耗控制，用于关闭卡时钟。 0：无低功耗模式； 1：低功耗模式。 当卡处于 IDLE 状态时，停止该卡时钟。该功能一般只用于 MMC/SD 卡。对于 SDIO，为了能检测到中断，时钟不能停止。					
[15:1]	RW	reserved	保留。					



[0]	RW	Cclk_enable	卡的时钟使能控制。 0: 时钟关闭; 1: 时钟使能。
-----	----	-------------	-----------------------------------

MMC_TMOUT

MMC_TMOUT 为超时时间寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0014				MMC_TMOUT				0xFFFF_FF40																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Data_timeout												response_timeout																			
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RW	Data_timeout		卡数据传输超时时间，该值同时用作 CPU 的 data starvation 超时时间。单位为该卡的 mmc_clk 周期。																											
	[7:0]	RW	response_timeout		回复超时时间，单位为该卡的 mmc_clk 周期。																											

MMC_CTYPE

MMC_CTYPE 为卡类型寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0018				MMC_CTYPE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												Card_width	reserved												Card_width						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:17]	-	reserved		保留。																											



[16]	RW	Card_width_0	配置卡的总线宽度。 0: 非 8bit 模式; 1: 8bit 模式。 下面为卡配置说明: 如果 bit[16]=1, 卡将被配置成 8bit 模式。此时 bit[0]的值被忽略。 如果 bit[16]=0, 卡将会是 1bit 或者 4bit 模式, 取决于 bit[0]的配置。
[15:1]	RW	reserved	保留。
[0]	RW	Card_width_1	配置卡的总线宽度。 0: 1bit 模式; 1: 4bit 模式。

MMC_BLKSIZE

MMC_BLKSIZE 为块大小配置寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x001C	MMC_BLKSIZE	0x0000_0200													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								Block_size							
Reset	0 1 0 0 0 0 0 0 0 0 0															
Bits	Access	Name	Description													
[31:16]	-	reserved	保留。													
[15:0]	RW	Block_size	块大小值, 初始值为 512byte/block。													

MMC_BYTCNT

MMC_BYTCNT 为块传输计数寄存器。



Offset Address		Register Name		Total Reset Value				
0x0020		MMC_BYTCNT		0x0000_0200				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	Byte_count							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	Byte_count	被传输的字节数，应该为块大小的整数倍。 如果为非块传输，本寄存器需要置“0”，此时必须由软件发出 stop/abort 命令来控制数据传输操作。					

MMC_INTMASK

MMC_INTMASK 为中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value					
0x0024		MMC_INTMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17	16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			Sdio_int_mask		Int_mask			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16]	RW	Sdio_int_mask	屏蔽 SDIO 中断。 0: 屏蔽; 1: 使能。						



[15:0]	RW	Int_mask	<p>屏蔽中断。0：屏蔽；1：使能。</p> <p>Bit[15]: End-bit error (read) /Write no CRC (EBE)</p> <p>Bit[14]: Auto command done (ACD)</p> <p>Bit[13]: Start-bit error (SBE)</p> <p>Bit[12]: Hardware locked write error (HLE)</p> <p>Bit[11]: FIFO underrun/overrun error (FRUN)</p> <p>Bit[10]: Data starvation-by-host timeout (HTO)</p> <p>Bit[9]: Data read timeout (DTO)</p> <p>Bit[8]: Response timeout (RTO)</p> <p>Bit[7]: Data CRC error (DCRC)</p> <p>Bit[6]: Response CRC error (RCRC)</p> <p>Bit[5]: Receive FIFO data request (RXDR)</p> <p>Bit[4]: Transmit FIFO data request (TXDR)</p> <p>Bit[3]: Data transfer over (DTO)</p> <p>Bit[2]: Command done (CD)</p> <p>Bit[1]: Response error (RE)</p> <p>Bit[0]: Card detect (CD)</p>
--------	----	----------	--

MMC_CMDARG

MMC_CMDARG 为指令参数寄存器。

	Offset Address	Register Name	Total Reset Value					
	0x0028	MMC_CMDARG	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	Cmd_arg							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
	Bits	Access	Name	Description				
	[31:0]	RW	Cmd_arg	配置传输给卡的指令参数。指令参数与协议相关，每个指令都对应一个具体的指令参数。				

MMC_CMD

MMC_CMD 为命令寄存器。



Offset Address		Register Name		Total Reset Value																												
0x002C		MMC_CMD		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Start_cmd	reserved				Boot_mode	Disable_boot	Expect_boot_ack	Enable_boot	reserved	Update_clock_registers_only	Card_number	Send_initialization	Stop_abort_cmd	wait_privdata_complete	Send_auto_stop	Transfer_mode	Read_write	data_transfer_expected	Check_reponse_crc	Response_length	Response_expect	Cmd_index									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	Start_cmd	启动控制。 0: 不启动; 1: 启动命令。当命令已经被传到 CIU, 该比特被清零。 CPU 不允许修改此寄存器。如果修改, 产生 hardware lock error 中断。 CPU 发送完命令以后需要查询该比特, 查到该比特变为 0 以后再发下一个命令。																													
[30:28]	-	reserved	保留位。																													
[27]	RW	Boot_mode	Boot 模式。 0: Boot 模式; 1: 备选 Boot 模式。																													
[26]	RW	Disable_boot	禁用 Boot。 当软件同时使能此 bit 和 Start_cmd 时, 控制器终止 Boot 操作。 不允许同时使能 Enable_boot 和 Disable_boot。																													
[25]	RW	Expect_boot_ack	使能 Boot 响应。 当软件同时使能此 bit 和 Enable_boot 时, 控制器将检测 Boot 响应信号, 即“0-1-0”序列。																													
[24]	RW	Enable_boot	使能 Boot。 此 bit 只能使用在“必选 Boot 模式”。当软件同时使能此 bit 和 Start_cmd 时, 控制器拉低 CMD 信号启动 Boot 流程。 不允许同时使能 Enable_boot 和 Disable_boot。																													
[23:22]	-	reserved	保留。																													



[21]	RW	Update_clock_registers_only	<p>是否自动更新。</p> <p>0: 正常命令顺序, 寄存器 <code>MMC_CMD</code>、<code>MMC_CMDARG</code>、<code>MMC_TMOUT</code>、<code>MMC_CTYPE</code>、<code>MMC_BLKSIZE</code>、<code>MMC_BYTCNT</code> 的值会从 BIU 传到 CIU。CIU 在新命令中使用寄存器新值;</p> <p>1: 不发送命令, 只更新卡时钟域的时钟寄存器值。寄存器 <code>MMC_CLKDIV</code>、<code>MMC_CLKSRC</code>、<code>MMC_CLKENA</code> 的值被转换到卡时钟域。</p> <p>无需发命令给卡即可转换卡时钟 (转换频率和时钟开关), 用于调整卡时钟频率以及控制卡时钟开关。</p> <p>每次改变卡时钟时, 需要将该比特设为 “1”。此时不会有命令被传送给卡, 也不会产生 Command Done 中断。</p>
[20:16]	RW	Card_number	正在使用的卡的序号。
[15]	RW	Send_initialization	<p>是否发初始序列。</p> <p>0: 在发送 <code>Send_initialization</code> 命令前不送出初始序列 (80 个时钟周期的 “1”);</p> <p>1: 在发送 <code>Send_initialization</code> 命令前送出初始序列。</p> <p>卡上电时, 在发送任何命令以前, 都必须先送出初始序列来做初始化, 即该比特置 “1”。</p>
[14]	RW	Stop_abort_cmd	<p>当 <code>open_end</code> 或定长的数据传输操作正在进行时, 该位取值含义如下。</p> <p>0: 不发送 <code>stop/abort</code> 命令;</p> <p>1: 发送 <code>stop/abort</code> 命令, 终止正在进行的数据传输。</p>
[13]	RW	wait_prvdata_complete	<p>是否立即发送指令。</p> <p>0: 立即发送命令 (即使前一个数据传输还没完成);</p> <p>1: 等到前一个数据传输完成才发送命令。</p> <p>“0” 为典型值, 用于数据传输时读取状态或中断传输。</p>
[12]	RW	Send_auto_stop	<p>是否发送 <code>stop</code> 命令。</p> <p>0: 数据传完以后不发 <code>stop</code> 命令;</p> <p>1: 数据传完以后发 <code>stop</code> 命令。</p> <p>在非数据传输时, 该比特被忽略。</p>
[11]	RW	Transfer_mode	<p>传输模式。</p> <p>0: <code>block</code> 传输命令;</p> <p>1: <code>stream</code> 传输命令。</p> <p>在非数据传输时, 该比特被忽略。</p>



[10]	RW	Read_write	读写控制。 0: 从卡读取数据; 1: 往卡写数据。 在非数据传输时, 该比特被忽略。
[9]	RW	data_transfer_expected	数据传输指示。 0: 没有数据从卡输出; 1: 有数据从卡输出。
[8]	RW	Check_reponse_crc	是否 CRC 检查。 0: 不检查 CRC response; 1: 检查 CRC response。 一些命令回复时没有返回有效的 CRC。为了禁止 Host 对 CRC 进行检查, 软件需要针对这些命令禁止该功能。
[7]	RW	Response_length	Response 长度。 0: 短 response 从卡输出; 1: 长 response 从卡输出。 长 response 是 128bit, 短 response 是 32bit。
[6]	RW	Response_expect	是否有 response。 0: 无 response 从卡输出; 1: 有 response 从卡输出。
[5:0]	RW	Cmd_index	指令序号。

MMC_RESP0

MMC_RESP0 为响应寄存器 0。

	Offset Address				Register Name				Total Reset Value																											
	0x0030				MMC_RESP0				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	Response0																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RO		Response0		Response 的 bit[31:0]。																															

MMC_RESP1

MMC_RESP1 为响应寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x0034		MMC_RESP1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	Response1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	Response1	长 Response 的 bit[63:32]。 当 CIU 发出 Auto-stop 命令，response 就会被保存在该寄存器。上一条命令的 response 仍然会被保存在寄存器 MMC_RESP0 内。 Auto-stop 只供数据传输使用，回复类型一直是短 response。					

MMC_RESP2

MMC_RESP2 为响应寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0038		MMC_RESP2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	Response2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	Response2	长 Response 的 bit[95:64]。					

MMC_RESP3

MMC_RESP3 为响应寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x003C		MMC_RESP3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	Response3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	Response3	长 Response 的 bit[127:96]。					



MMC_MINTSTS

MMC_MINTSTS 为屏蔽后中断状态寄存器。

	Offset Address	Register Name	Total Reset Value			
	0x0040	MMC_MINTSTS	0x0000_0000			
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0					
Name	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 16.6%; text-align: center;">reserved</td> <td style="width: 8.3%; text-align: center;">Sdio_interrupt</td> <td style="width: 75.1%; text-align: center;">Int_status</td> </tr> </table>			reserved	Sdio_interrupt	Int_status
reserved	Sdio_interrupt	Int_status				
Reset	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 16.6%; text-align: center;">0 0 0 0</td> <td style="width: 8.3%; text-align: center;">0 0 0 0</td> <td style="width: 75.1%; text-align: center;">0 0</td> </tr> </table>			0 0 0 0	0 0 0 0	0 0
0 0 0 0	0 0 0 0	0 0				
Bits	Access	Name	Description			
[31:17]	-	reserved	保留。			
[16]	RO	Sdio_interrupt	SDIO 中断屏蔽状态。 SDIO 中断只有在对应的 MMC_INTMASK [sdio_int_mask]被使能才有效。 0: 无 SDIO 中断从卡输出; 1: 有 SDIO 中断从卡输出。			
[15:0]	RO	Int_status	各中断状态。 Bit[15]: End-bit error (read) /write no CRC (EBE) Bit[14]: Auto command done (ACD) Bit[13]: Start-bit error (SBE) Bit[12]: Hardware locked write error (HLE) Bit[11]: FIFO underrun/overflow error (FRUN) Bit[10]: Data starvation by the host timeout (HTO) Bit[9]: Data read timeout (DTO) Bit[8]: Response timeout (RTO) Bit[7]: Data CRC error (DCRC) Bit[6]: Response CRC error (RCRC) Bit[5]: Receive FIFO data request (RXDR) Bit[4]: Transmit FIFO data request (TXDR) Bit[3]: Data transfer over (DTO) Bit[2]: Command done (CD) Bit[1]: Response error (RE) Bit[0]: Card detect (CD)			



MMC_RINTSTS

MMC_RINTSTS 为原始中断状态寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0044	MMC_RINTSTS	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17	16	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved		Sdio_interrupt Int_status
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:17]	-	reserved	保留。
[16]	RW	Sdio_interrupt	SDIO 中断原始状态。 0: 无 SDIO 中断从卡输出; 1: 有 SDIO 中断从卡输出。 中断状态位的值与中断屏蔽无关。



[16:11]	RO	Response_index	前一个 response 的序号，包括 Auto-stop 的 response。
[10]	RO	data_state_mc_busy	0: 数据发送/接收状态机空闲; 1: 数据发送/接收状态机正忙。
[9]	RO	Data_busy	0: 卡闲; 1: 卡忙。
[8]	RO	Data_3_status	0: DATA3 管脚为高电平; 1: DATA3 管脚为低电平。
[7:4]	RO	Commandfsm_states	Command 状态机状态。 0x0: Idle; 0x1: Send init sequence; 0x2: Tx cmd start bit; 0x3: Tx cmd tx bit; 0x4: Tx cmd index +arg; 0x5: Tx cmd crc7; 0x6: Tx cmd end bit; 0x7: Rx resp start bit; 0x8: Rx resp IRQ response; 0x9: Rx resp tx bit; 0xA: Rx resp cmd idx; 0xB: Rx resp data; 0xC: Rx resp crc7; 0xD: Rx resp end bit; 0xE: Cmd path wait NCC; 0xF: Wait, CMD-to-response turnaround。
[3]	RO	Fifo_full	FIFO 满标志。 0: FIFO 空; 1: FIFO 满。
[2]	RO	Fifo_empty	FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[1]	RO	Fifo_tx_watermark	FIFO 是否到达 Transmit watermark level。 0: 未达到水位; 1: 达到水位。



[0]	RO	Fifo_rx_watermark	FIFO 是否到达 Receive watermark level。 0: 未达到水位; 1: 达到水位。
-----	----	-------------------	---

MMC_FIFOETH

MMC_FIFOETH 为 FIFO 水位值寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x004C				MMC_FIFOETH				0x00FF_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				RX_Wmark				reserved				TX_Wmark																			
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:28]	-	reserved	保留。																													
[27:16]	RW	RX_Wmark	<p>读数据时的 FIFO threshold watermark level。当 FIFO 计数大于该值时，使能 DMA 请求。数据传输结束后为了完成剩余的数据，不论该值为多少，都会产生 DMA 请求。</p> <p>在非 DMA 模式，使能 RXDR 中断。在数据传输完成后如果 FIFO 计数没有大于该值，不会产生中断。这需要软件主动查询 DTD 中断来读取剩余的数据。</p> <p>在 DMA 模式，当数据传输结束时，即使剩余的数据比门限低，DMA 还是会发出 single 传送请求读取数据，直到产生 DTD 中断。</p> <p>限制：RX_WMark ≤ FIFO_DEPTH-2 建议：大于 (FIFO_DEPTH/2) -1 时发出请求。</p>																													
[15:12]	RW	reserved	保留。																													
[11:0]	RW	TX_Wmark	<p>发送数据时的 FIFO threshold watermark level。当 FIFO 计数小于该值时，使能 DMA 请求。数据传输结束后为了完成剩余的数据，不论该值为多少，都会产生 DMA 请求。</p> <p>在非 DMA 模式，使能 RXDR 中断。在数据传输完成后如果 FIFO 计数没有大于该值，不会产生中断。这需要软件主动查询 DTD 中断来读取剩余的数据。</p> <p>在 DMA 模式，当数据传输结束时，即使剩余的数据比门限低，DMA 还是会发出 single 传送请求读取数据，直到产生 DTD 中断。</p> <p>限制：TX_WMark ≤ FIFO_DEPTH-2 建议：≤ FIFO_DEPTH/2</p>																													



MMC_CDETECT

MMC_CDETECT 为卡检测寄存器。

Offset Address		Register Name		Total Reset Value					
0x0050		MMC_CDETECT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								Card_detect_n
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	Card_detect_n	卡检测信号。 值由管脚 SDIO_CARD_DETECT 决定。						

MMC_WRTprt

MMC_WRTprt 为卡写保护寄存器。

Offset Address		Register Name		Total Reset Value					
0x0054		MMC_WRTprt		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								Write_protect
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	Write_protect	卡写保护信号。 值由管脚 SDIO_CWPR 决定。						



MMC_TCBCNT

MMC_TCBCNT 为发送到卡的 byte 数目寄存器。

	Offset Address	Register Name	Total Reset Value
	0x005C	MMC_TCBCNT	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	trans_card_byte_count		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RO	trans_card_byte_count	已经从 CIU 发送到卡的 byte 数目。 32bit AHB 总线对该寄存器进行访问时，应该一次读完 32bit，避免出现 read-coherency 错误。

MMC_TBBCNT

MMC_TBBCNT 为 BIU FIFO 传送数据的 byte 数目寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0060	MMC_TBBCNT	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	trans_fifo_byte_count		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RO	trans_fifo_byte_count	在 CPU/DMA 与 BIU FIFO 之间传送数据的 byte 数目。 32bit AHB 总线对该寄存器进行访问时，应该一次读完 32bit，避免出现 read-coherency 错误。

MMC_BMOD

MMC_BMOD 为总线模式寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0080				MMC_BMOD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											PBL		DE	DSL		FB	SWR														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:11]	-	reserved	保留。																													
[10:8]	RW	PBL	IDMAC burst 传输的长度。 000: 1; 001: 4; 010: 8; 011: 16; 1xx: 保留。																													
[7]	RW	DE	IDMAC 使能。 0: 不使能; 1: 使能。																													
[6:2]	RW	DSL	描述子跨越的长度。即两个非链接的描述子之间间隔多少个 WORD。该参数只用于双 buffer 结构描述子。																													
[1]	RW	FB	固定 burst 长度。 0: 使用 SINGLE 和 INCR burst 类型; 1: 使用 SINGLE、INCR4、INCR8、INCR16 burst 类型。																													
[0]	RW	SWR	IDMAC 内部寄存器软复位控制。 0: 不复位; 1: 复位。置位后 1 个时钟周期自动清零。																													

MMC_PLDMND

MMC_PLDMND 为 Poll demand 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0084		MMC_PLDMND		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	PD							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	PD	如果描述子 DES0[OWN]为 0, IDMAC 会进入 suspend 状态, CPU 往该寄存器中写任何值都可以使 IDMAC 重新获取描述子。					

MMC_DBADDR

MMC_DBADDR 为描述子链表的基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0088		MMC_DBADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	SDL							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	SDL	描述子链表的起始地址。即第一个描述子的基地址。					

MMC_IDSTS

MMC_IDSTS 为 IDMAC 状态寄存器。

Offset Address		Register Name		Total Reset Value										
0x008C		MMC_IDSTS		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			FSM	EB	AIS	NIS	reserved	CES	DU	reserved	FBE	RI	TI
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:17]	-	reserved	保留。											



[16:13]	RW	FSM	IDMAC 状态机当前状态。 0x0: DMA_IDLE; 0x1: DMA_SUSPEND; 0x2: DESC_RD; 0x3: DESC_CHK; 0x4: DMA_RD_REQ_WAIT; 0x5: DMA_WR_REQ_WAIT; 0x6: DMA_RD; 0x7: DMA_WR; 0x8: DESC_CLOSE; 该位是只读的。
[12:10]	RW	EB	总线错误类型指示。 001: 发送被中止; 010: 接收被中止; 其它: 保留。
[9]	RW	AIS	异常总中断。是 FBE、DU、CES 取或。写 1 清 0。
[8]	RW	NIS	正常总中断。是 TI、RI 取或。写 1 清 0
[7:6]	-	reserved	保留。
[5]	RW	CES	卡出错指示。指示卡在接收发送数据过程中状态。
[4]	RW	DU	描述子无效中断。当 DES0[OWN]为 0 时，该位被置位。写 1 清 0。
[3]	-	reserved	保留。
[2]	RW	FBE	致命的总线错误中断。当该 bit 被置位时，IDMAC 停止总线访问。写 1 清 0。
[1]	RW	RI	接收完成中断。指示一个描述子的数据接收完成。写 1 清 0。
[0]	RW	TI	发送完成中断。指示一个描述子的数据发送完成。写 1 清 0。

MMC_IDINTEN

MMC_IDINTEN 为 IDMAC 中断使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0090		MMC_IDINTEN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																AI	NI	reserved	CES	DU	reserved	FBE	RI	TI							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:10]	-	reserved	保留。																													
[9]	RW	AI	异常中断使能。 0: 不使能; 1: 使能 FBE/DU/CES 中断。																													
[8]	RW	NI	正常中断使能。 0: 不使能; 1: 使能 TI/RI 中断。																													
[7:6]	-	reserved	保留。																													
[5]	RW	CES	卡出错中断使能。 0: 不使能; 1: 使能。																													
[4]	RW	DU	描述子无效中断使能。 0: 不使能; 1: 使能。																													
[3]	-	reserved	保留。																													
[2]	RW	FBE	致命总线错中断使能。 0: 不使能; 1: 使能。																													
[1]	RW	RI	接收中断使能。 0: 不使能; 1: 使能。																													
[0]	RW	TI	发送中断使能。 0: 不使能; 1: 使能。																													



MMC_DSCADDR

MMC_DSCADDR 为当前描述子地址寄存器。

	Offset Address				Register Name				Total Reset Value																										
	0x0094				MMC_DSCADDR				0x0000_0000																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	HAD																																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access	Name		Description																															
[31:0]	RO	HAD		描述子指针。在数据传输过程中自动更新。该寄存器指向当前正要被 IDMAC 使用的描述子的起始地址。																															

MMC_BUFADDR

MMC_BUFADDR 为当前数据 buffer 地址寄存器。

	Offset Address				Register Name				Total Reset Value																										
	0x0098				MMC_BUFADDR				0x0000_0000																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	HBA																																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access	Name		Description																															
[31:0]	RO	HBA		数据 buffer 指针。在数据传输过程中自动更新，该寄存器指向当前正被 IDMAC 访问的数据 buffer 地址。																															

MMC_DATA

MMC_DATA 为数据寄存器，为 FIFO 入口地址。在读写 FIFO 时，应先读取 [MMC_STATUS\[fifo_count\]](#) 得到 FIFO 剩余空间，以此确定读写的数据量，以免造成 FIFO 溢出。



	Offset Address				Register Name				Total Reset Value																							
	0x0100				MMC_DATA				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DATA																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	DATA		读写 FIFO 的地址。地址范围 0x100~0x100+FIFO_DEPTH, 均选中 FIFO。																											

14.8 PCI Express

14.8.1 概述

PCI Express（以下简称 PCIe）是一种能够应用于移动设备、台式电脑、工作站、服务器、嵌入式计算和通信平台等所有周边 I/O 设备互联的第三代高性能 I/O 总线。

14.8.2 特点

Hi3531 中 PCI Express 控制器具有以下特点：

- 支持 PCI Express spec Rev1.1。
- 支持标准的 PIPE（PHY Interface for the PCI Express Architecture）接口，接口位宽为 16bit。
- 两个 PCI Express X1 控制器，每条 PCIe 总线工作速率 2.5Gbps。
- 支持 1 VC，1 TC。
- 支持 RC（Root Complex）和 EP（End Point）模式。
- 支持通过本地总线接口（AXI 总线）读写 PCI Express 寄存器。
- 与系统通过 AXI 接口连接。
- 支持一个 DMA 读通道和一个 DMA 写通道。

14.8.3 功能描述

Hi3531 支持两个 X1 的 PCI Express(以下简称为 PCIe)控制器，分别称之为 PCIe 控制器 0 和 PCIe 控制器 1，每一个 PCIe 控制器可以分别设置成如下两种模式：

- RC 模式：
可以通过将 Hi3531 的 PCIe 接口设置为 RC 模式，来扩展 PCIe EP 设备，如外扩 WIFI 设备、以太网设备等。
- EP 模式：



PCIe EP 设备是 PCIe 事务的请求者或完成者。它可以是外围设备，如以太网、USB 或图形设备等。Hi3531 可将 PCI Express 配置为 EP 模式，与其他 PCIe RC 设备对接可实现 PCIe RC 设备对 Hi3531 内寄存器和存储空间的访问。EP 模式为 Hi3531 上电复位后默认的工作模式。

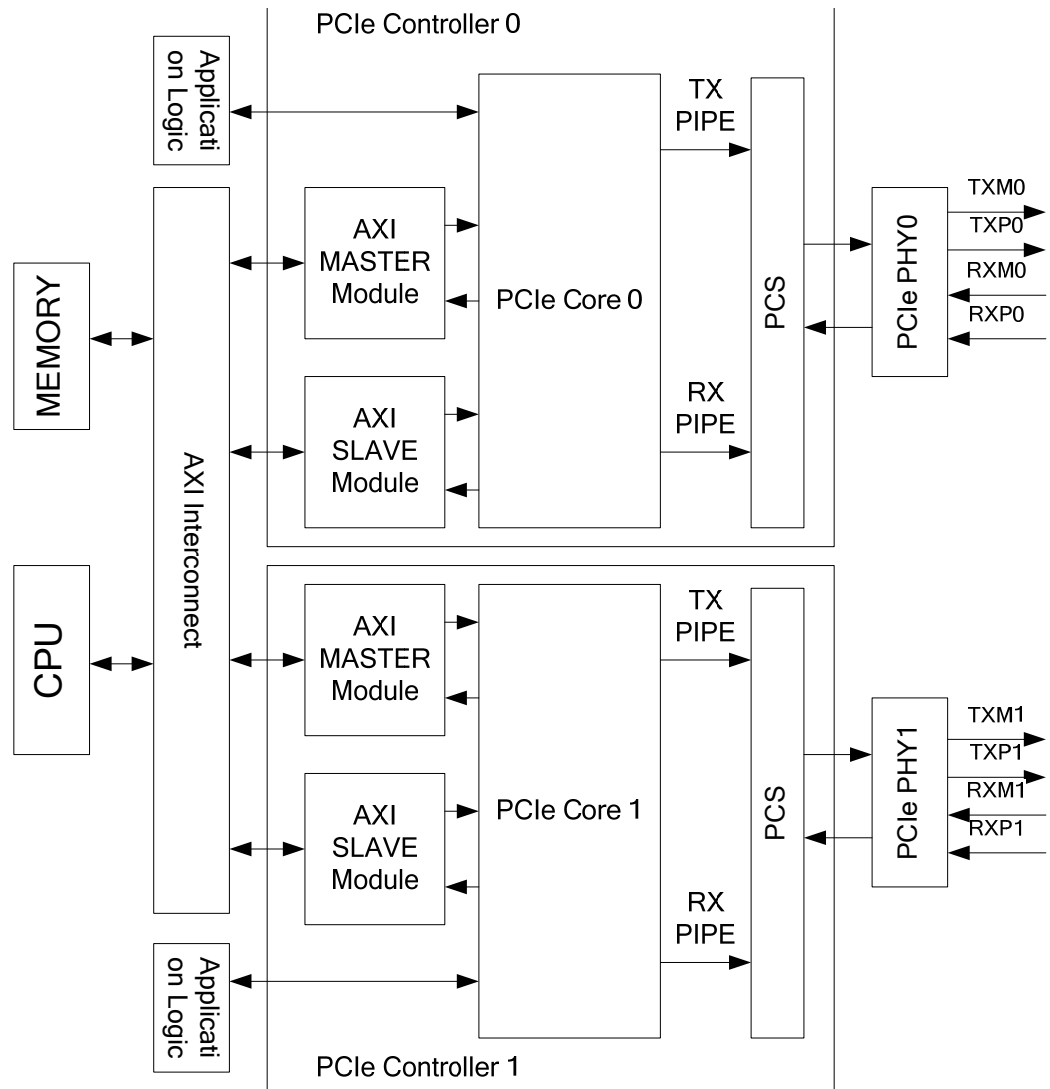
通过将 Hi3531 的 PCI Express 控制器配置为 RC 或 EP 模式，外加通过 PCIe Switch 设备可实现将 Hi3531 级联。

由于两个 PCIe 控制器的结构和功能一样，因此，如未做特别声明，以下描述只针对其中一个 PCIe 控制器。

14.8.3.1 逻辑框图

Hi3531 PCIe 控制器逻辑框图如图 14-56 所示。

图14-56 Hi3531 PCIe 控制器逻辑框图





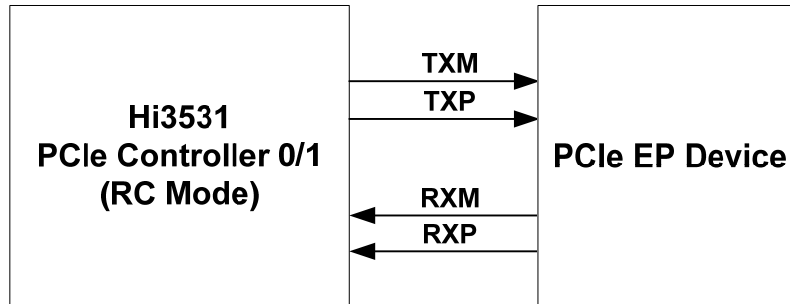
14.8.3.2 应用框图

Hi3531 中两个 PCIe 控制器可以分别配置为 RC 或 EP 模式。

Hi3531 PCIe 控制器在 RC 模式下可与其它 PCIe EP 设备进行对接以实现扩展，例如可以外接 PCIe 转 WIFI 模块等。

PCIe 控制器 RC 模式下的应用框图如图 14-57 所示。

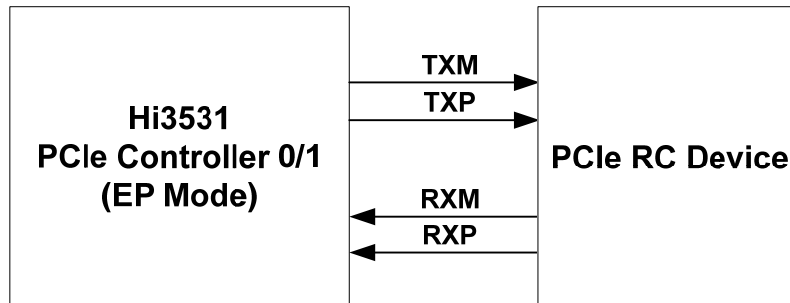
图14-57 PCIe 控制器应用框图（RC 模式外接 EP 设备）



Hi3531 PCIe 控制器在 EP 模式下可与其它 PCIe RC 设备进行对接。

EP 模式下的应用框图如图 14-58 所示。

图14-58 PCI Express 控制器应用框图（EP 模式对接 RC 设备）



Hi3531 PCIe 控制器还可以连接 PCIe switch 设备，实现更多的扩展，RC 模式下和 EP 模式下与 PCIe switch 设备连接应用框图如图 14-59 和图 14-60 所示。



图14-59 PCIe 控制器与 PCIe switch 设备连接应用框图 (RC 模式)

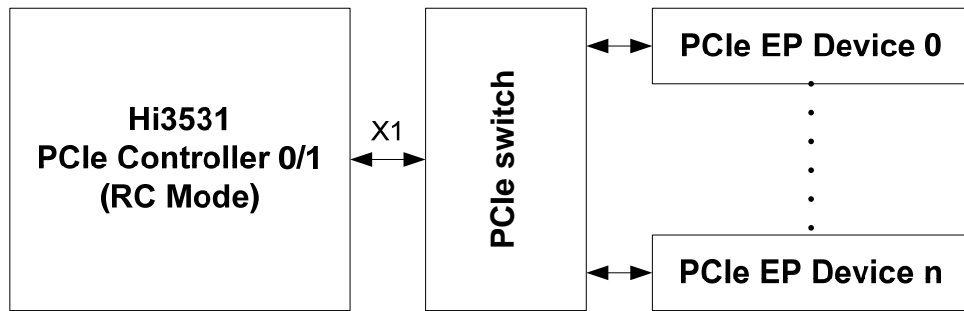
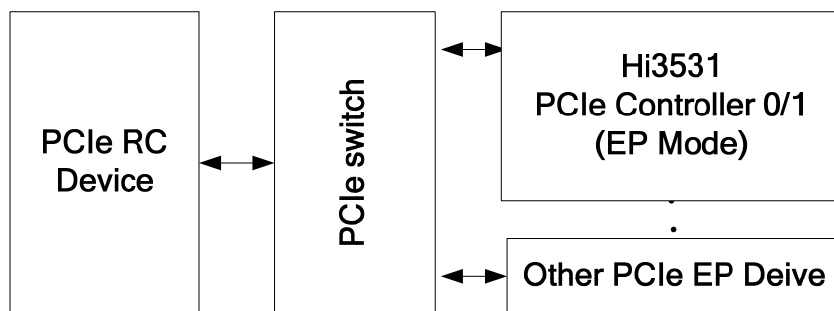


图14-60 PCIe 控制器与 switch 设备连接应用框图 (EP 模式)



14.8.3.3 功能原理

PCIe 设备之间的数据传输依靠处理层数据包(Transaction Layer Packet,TLP)来实现, PCIe 事务可以分为 4 大类:

- 存储器事务
传输数据至系统存储器地址空间的某一单元, 或从系统存储器地址空间的某一单元中读取数据。
- IO 事务
传输数据至系统 IO 地址空间的某一单元, 或从系统 IO 地址空间的某一单元中读取数据。PCI Express IO 地址分配给传统的 PCIe 设备, 不允许对真正的 PCIe 设备进行 IO 寻址。
- 配置事务
传输数据至 PCIe 设备配置空间的某一单元或从 PCIe 设备配置空间的某一单元中读取数据。PCIe 体系结构利用配置事务来访问 PCIe 设备的配置寄存器空间。配置事务分类型 0 和类型 1 两种。
- 消息事务
提供带内消息和事件报告。处理方法与存储器写事务相同。

Hi3531 PCIe 控制器能将系统总线上的操作转换为对应的 PCIe 事务, 或者将 PCIe 接口上的 PCIe 事务转换为系统总线上的操作, 从而实现与其他 PCIe 设备通信的功能。



14.8.4 工作方式

14.8.4.1 时钟和复位

PHY 参考时钟

PCIe PHY 工作时需要一个 100MHz 的参考时钟，此参考时钟有两个来源：

- Hi3531 内部 CRG。
- 外部 PCIe 差分时钟管脚。

PCIe0 PHY 和 PCIe1 PHY 参考时钟可分别由系统控制器 PERIPHCTRL32[use_refclk_alt] 和 PERIPHCTRL79[use_refclk_alt] 控制。请参考系统控制寄存器中关于 PERIPHCTRL32 和 PERIPHCTRL79 的描述。

PCIe 接口时钟管脚可配置为输入或者输出，Hi3531 中可通过寄存器来选择 PCIe 接口时钟管脚是作为时钟输入还是时钟输出。此功能由 CRG 寄存器中的 PERI_CRG30 bit[8] 和 PERI_CRG30 bit[7] 控制。

- 作为时钟输入时，Hi3531 可接受外部差分时钟作为 PHY 的参考时钟。
- 作为时钟输出时，Hi3531 可选内部 CRG 产生的时钟为 PHY 参考时钟并将此内部差分时钟通过 PCI Express 时钟管脚输出给对端设备作为参考时钟使用。

控制器时钟

PCIe 控制器工作时钟为 125MHz，由 PCIePHY 提供。在 PHY 工作稳定后即可向 PCIe 控制器输出 125MHz 工作时钟。

PCIe 控制器的 AXI 总线时钟由系统 CRG 模块提供。

软复位和时钟控制

软件可通过 PCIe 复位寄存器来控制 PCI Express 复位，PCIe 控制器复位寄存器位于 CRG 寄存器中的 PERI_CRG30 寄存器，请参考 PERI_CRG30 寄存器的描述

14.8.4.2 地址转换

地址空间

Hi3531 中每一个 PCIe 控制器使用三个地址空间：

- 配置寄存器空间：CPU 通过此空间可以访问 PCIe 控制器的配置寄存器。
- 存储器和 IO 事务地址空间：CPU 通过此空间可发起 PCIe 存储器或 IO 事务。
- 配置事务地址空间：CPU 通过此空间可发起 PCIe 配置读写事务。

PCIe 控制器 0 使用的三个地址空间如表 14-23 所示。



表14-23 PCIe 控制器 0 相关地址空间

地址空间类型	大小	起始地址	结束地址	说明
配置寄存器空间	4K	0x20800000	0x20800FFF	此空间为 PCIe 协议所定义的配置寄存器空间。
存储器和 IO 事务地址空间	256M	0x30000000	0x3FFFFFFF	在此空间内的读写操作将在 PCIe0 链路上转换为 PCIe 协议所定义的存储器或 I/O 事务（需地址转换功能配合，地址转换功能请参考下一节）。
配置事务地址空间	256M	0x40000000	0x4FFFFFFF	在此空间内的读写操作将在 PCIe0 链路上转化为 PCIe 协议所定义的类型 0 配置事务或者类型 1 配置事务（需地址转换功能配合，地址转换功能请参考下一节）。

PCIe 控制器 1 使用的三个地址空间如表 14-24 所示。

表14-24 PCIe 控制器 1 相关地址空间

地址空间类型	大小	起始地址	结束地址	说明
配置寄存器空间	4K	0x20810000	0x20810FFF	此空间为 PCIe 协议所定义的配置寄存器空间。
存储器和 I/O 事务地址空间	256M	0x60000000	0x6FFFFFFF	在此空间内的读写操作将在 PCIe1 链路上转换为 PCIe 协议所定义的存储器或 I/O 事务（需地址转换功能配合，地址转换功能请参考下一节）。
配置事务地址空间	256M	0x70000000	0x7FFFFFFF	在此空间内的读写操作将在 PCIe1 链路上转化为 PCIe 协议所定义的类型 0 配置事务或者类型 1 配置事务（需地址转换功能配合，地址转换功能请参考下一节）。

在上述地址空间中，除了地址“配置寄存器空间”的目标地址是 PCIe 控制器自身外，其余的地址空间的目标地址都是跟 PCIe 控制器建立连接的对端设备。地址转换单元实



现将不同的地址空间范围内的操作转换为对应的 PCIe 事务，或者实现目标地址的转换的功能。

地址转换单元(ATU)

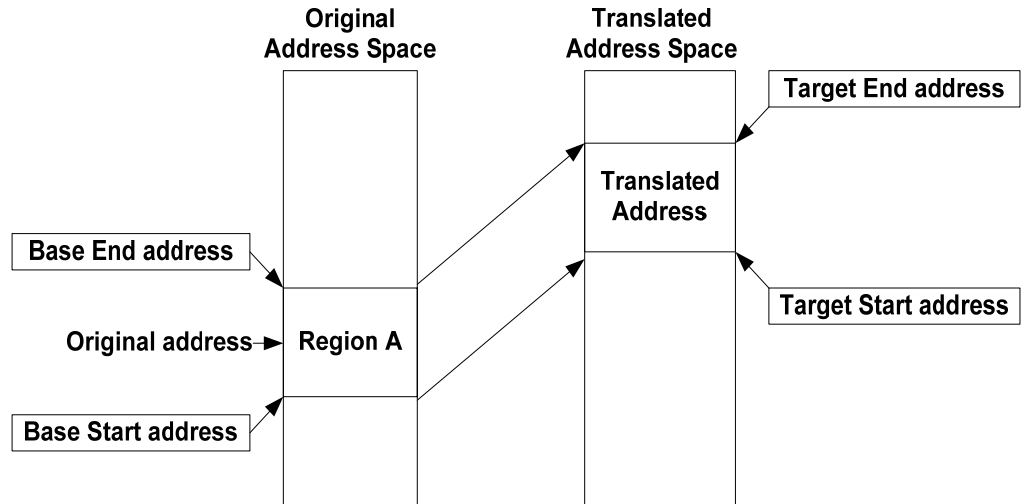
在不同的应用中，事务类型转换和目标地址转换的配置可能不同，Hi3531 中提供了地址转换单元（ATU）用来实现本地总线上不同地址的读写操作到 PCIe 事务类型的转换，也可以通过地址转换单元(ATU)实现目标地址的转换的功能。

Hi3531 中对发送方向和接收方向各提供了 6 个地址转换区，每一个区可单独实现某一种事务类型或地址转换功能。

发送方向的地址转换单元可实现由本地总线操作的地址到 PCIe 事务类型的转换或者本地总线操作的地址到 PCIe 事务地址的转换。

由本地操作地址到 PCIe 事务地址转换如图 14-61 所示，本地总线上的地址原始地址 (Original address)如果在地址转换驱 Region A 的范围内，则地址转换单元将此地址转换为经此地址转换区域转换后的地址(Translated Address),在 PCIe 总线上出现的 PCIe 事务中的地址将由转换后(Translated Address)来代替。

图14-61 发送方向地址转换单元实现 PCIe 事务地址转换

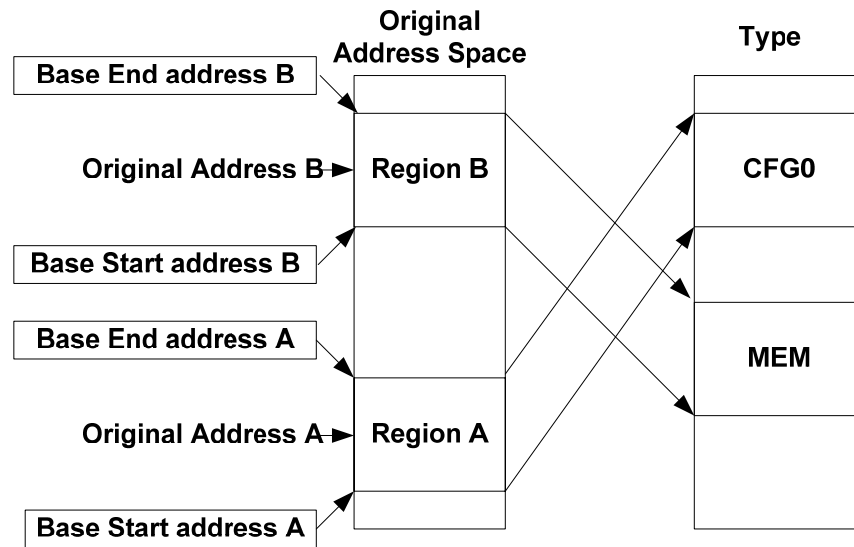


$$\text{Translated Address} = \text{Target Start Address} + \text{Original Address} - \text{Base Start address}$$

由本地操作地址到 PCIe 事务类型转换如图 14-62 所示，地址转换区 A 配置为某段地址范围到 PCIe 配置 0 事务（CFG Type 0）的转换区域，本地操作地址在地址转换区 A 范围内的操作将会转换为 PCIe 总线上的 CFG0 操作。地址转换区 B 配置为某段地址范围到 PCIe 存储器事务的转换区域，本地操作地址在地址转换区 B 范围内的操作将换转换为 PCIe 总线上的存储器事务。



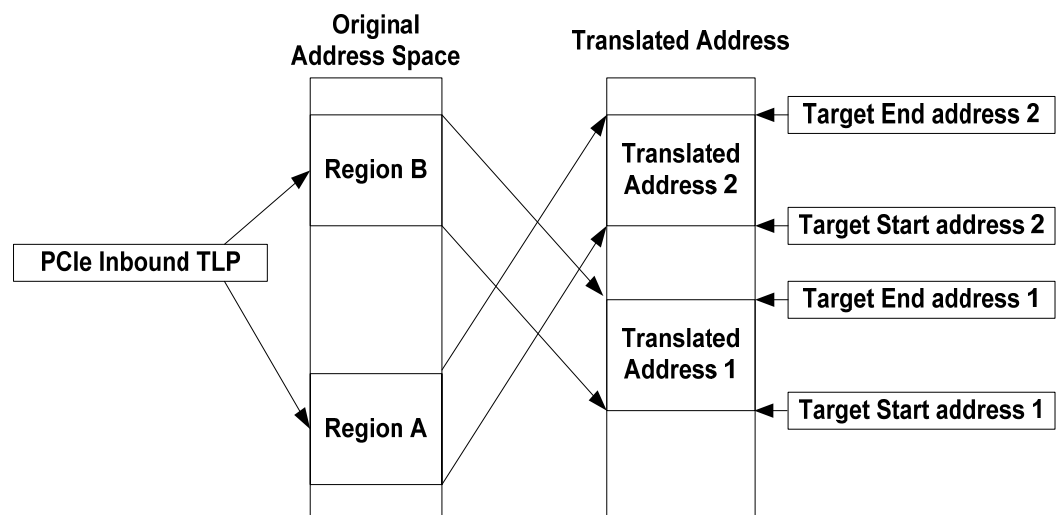
图14-62 发送方向地址转换单元实现 PCIe 事务类型转换



通过灵活配置每个发送方向的地址转换区域，可以实现多种不同的由本地总线操作到 PCIe 事务的转换方式。

与发送方向类似，接收方向也有地址转换单元可实现 PCIe 事务到内部总线的地址转换。如图 14-63 所示，接收方向接收到的 PCIe 事务经地址转换区 A 或 B 转换后，可将对应的操作转换到地址区域 Translated Address 1 或 Translated Address 2 上，若 Translated Address 1 对应为 DDR 内存地址空间，则可将从 PCIe 总线上接收到的满足地址转换区域条件的操作转化为对 DDR 内存空间的操作。

图14-63 接收方向地址转换单元实现 PCIe 事务地址转换





ATU 控制寄存器

发送和接收方向的地址转换单元在系统复位后是默认未使能的，因此在系统复位后，需根据需要对地址转换单元进行配置，并使之使能以实现地址转换功能。

Hi3531 在 PCIe 配置寄存器空间内提供了一组寄存器接口用以配置地址转换单元 (ATU)。通过这一组寄存器，可以实现对发送方向和接收方向的各 6 个地址转换区进行配置。

ATU 控制寄存器有两种方式可以访问来进行配置：

方式一：作为 RC/EP 设备时，CPU 通过本地总线访问配置寄存器空间进行配置。

方式二：作为 EP 设备时，对端 RC 设备可通过 PCIe 配置读写事务进行配置。



注意

为了减少 ATU 控制寄存器占用的配置寄存器空间，发送和接收方向的各 6 个 ATU 区域都是由同一组寄存器来配置，当需要对其中一个 ATU 区域进行配置时，必须先设置 ATU_VIEWPORT 寄存器，以表明后续对 ATU 寄存器的操作目标是哪一个 ATU 区域的 ATU 控制寄存器。

例如：当需要将发送方向的 ATU 区域 3 设置为一个地址转换区域并使之有效，需按如下步骤设置：

1. 设置 ATU_VIEWPORT[at_reg_dir]=0x0，表明操作对象是发送方向的 ATU 区域寄存器。
2. 设置 ATU_VIEWPORT[at_reg_index]=0x3，表明操作对象是发送方向的 ATU 区域 3。
3. 按此 ATU 区域特性设置其他的 ATU 寄存器。

ATU 设置步骤如下：

1. 设置 ATU 区域号寄存器为需要配置的地址转换区编号。
2. 设置 ATU Region Lower Base Address Register 和 ATU Region Upper Base Address Register。（在此区域内的目标地址将由区域号寄存器所在的 ATU 转换）
3. 设置 ATU Region Limit Address Register。
4. 设置 ATU Region Lower Target Address Register 和 ATU Region Upper Target Address Register。
5. 设置 ATU Region Control 1 Register。
6. 设置 ATU Region Control 2 Register 并使能此 ATU Region。



----结束

ATU 设置

在系统上电复位之后，ATU 寄存器未配置，ATU 功能未启用，不能实现地址转换和事务类型转换的功能。此时本地总线上的发起的地址在配置事务空间或存储器和 IO 事务空间内的操作都传递为 PCIe 总线上的存储器事务，PCIe 控制器无法发起配置事务或者 IO 事务，也无法实现地址转换的功能。

要使 PCIe 控制器能够发出配置事务或者 IO 事务，或者实现地址映射功能，必须通过 ATU 配置寄存器创建地址转换区域。

RC 模式下，RC 需具备将本地总线上发起的位于操作转换为 PCIe 总线上的配置事务的能力，为了实现将本地总线操作转换为不同的 PCIe 事务，至少需要设置如下发送方向的 ATU 区：

- 区域 1：类型 0 配置事务转换区，此区实现将本地总线操作转换为类型 0 配置事务 (CFG0)。
- 区域 2：类型 1 配置事务转换区，此区实现将本地总线操作转换为类型 1 配置事务 (CFG1)。
- 区域 3：IO 操作转换区，此区实现将本地总线操作转换为 IO 读写事务。

以上三个区域即可实现 RC 模式的基本的事务类型转换，如有需要，可根据实际情况调整三个区域的配置，也可以增加地址转换区的数量（发送方向最多为 6 个地址转换区）。

EP 模式下，ATU 输入区域需配置以实现端设备对 Hi3531 内部地址空间的访问。此配置可根据实际应用需要进行。

例如在 EP 模式下，将对端 RC 设备访问 Hi3531 PCIe BAR0 地址空间的操作映射至 DDR 内存空间的读写操作，可将接收方向的地址转换区 0 配置为 BAR 地址匹配模式下的 BAR0 到 DDR 内存地址的地址转换区域。

14.8.4.3 初始化

PCIe PHY 初始化

PCIe PHY 的初始化由 PCIe PHY 控制寄存器来实现，PCIe0 PHY 由系统控制寄存器中 PERIPHCTRL32 和 PERIPHCTRL33 控制，PCIe1 PHY 由系统控制寄存器中的 PERIPHCTRL79 和 PERIPHCTRL80 控制。

在系统上电后，PCI Express 功能使能之前，需对 PCI Express PHY 完成初始化。

使能 PCIe 控制器

通过系统控制寄存器中的 PCI Express Controller 控制寄存器 7 中的 PCI Express0_app_ltssm_enable 控制信号能够使能和关闭 PCI Express 控制器（请参考第 3 章系统控制寄存器中关于此信号的描述）。

按如下步骤使能 PCIe 控制器：



注意

在没有初始化好相关的系统控制器之前不要使能 PCIe 控制器。

1. 关闭 PCIe 控制器：
通过向系统控制寄存器 PERIPHCTRL30[pcie0_app_ltssm_enabl]写入 0 关闭 PCIe0 控制器。
通过向系统控制寄存器 PERIPHCTRL77[pcie1_app_ltssm_enabl]写入 0 关闭 PCIe1 控制器。
2. 使能 PCIe 控制器相关的时钟：
设置 CRG 寄存器 PERI_CRG30[pcie0_cken]使能 PCIe0 控制器时钟。
设置 CRG 寄存器 PERI_CRG30[pcie1_cken]使能 PCIe1 控制器时钟。
3. 设置 PCIe 控制器的工作模式(RC 模式/EP 模式)：
通过系统控制寄存器中的 PERIPHCTRL23[pcie0_slv_device_type]寄存器设置 PCIe0 控制器的工作模式。
通过系统控制寄存器中的 PERIPHCTRL70[pcie1_slv_device_type]寄存器设置 PCIe1 控制器的工作模式。
4. 设置 PCIe 控制器软复位以复位 PCIe 控制器。
向 CRG 寄存器 PERI_CRG30[pcie0_srst_req]写 1 以复位 PCIe0 控制器。
向 CRG 寄存器 PERI_CRG30[pcie1_srst_req]写 1 以复位 PCIe1 控制器。
5. 撤销 PCIe 控制器软复位。
向 CRG 寄存器 PERI_CRG30[pcie0_srst_req]写 0 以撤销 PCIe0 控制器复位。
向 CRG 寄存器 PERI_CRG30[pcie1_srst_req]写 0 以撤销 PCIe1 控制器复位。
6. 设置 PCIe 控制器的类代码：
当工作在 RC 模式时，需要配置对应的控制器的类代码寄存器（CLASS Code Register）为 0x060400（对应为 PCI 到 PCI 桥设备）。PCIe0 控制器和 PCIe1 控制器的类代码寄存器位于各自的 PCIe 配置寄存器空间内。
EP 模式下无需设置（默认值）。
7. 使能 PCIe 控制器：
通过向系统控制寄存器 PERIPHCTRL30[pcie0_app_ltssm_enable]写入 1 使能 PCIe0 控制器。PCIe0 控制器使能后，PCIe0 控制器开始链路建立过程。
通过向系统控制寄存器 PERIPHCTRL77[pcie1_app_ltssm_enable]写入 1 使能 PCIe1 控制器。PCIe1 控制器使能后，PCIe1 控制器开始链路建立过程。

----结束

14.8.4.4 PCIe 链路建立



注意

若 PCIe 控制器与对端设备之间的连接未建立，不可向对端设备发起任何 PCIe 事务。



软件通过查询系统控制寄存器 PERICTRL39[pcie0_rdlh_link_up]可以确定 PCIe0 控制器是否已与对端设备建立连接。

软件通过查询系统控制寄存器 PERICTRL40[pcie1_rdlh_link_up]可以确定 PCIe1 控制器是否已与对端设备建立连接。

请参考系统控制器中关于 PERICTRL39 和 PERICTRL40 寄存器的定义。

链路初始化和定向是配置和初始化设备物理层、端口和相关链路的物理层的过程，使链路可以传输正常的数据包流量。链路的建立均是由硬件自动完成的，完成 PCIe 控制器的初始化和使能后，PCIe 链路的建立自动发起，无需任何软件参与。

14.8.4.5 PCIe 设备枚举

当 Hi3531 中 PCIe 控制器被设置为 RC 模式时，在完成以上配置步骤之后，软件开始 PCIe 设备枚举过程。

上电时，软件仅知道总线 0 的存在，但并不知道总线 0 上挂接的设备类型。

当 Hi3531 中两个 PCIe 控制器都配置为 RC 模式时，Hi3531 的 PCIe 控制器 0 为总线 0 上的设备 0。PCIe 控制器 1 的总线号需等待 PCIe 控制器 0 上的所有设备枚举完成后才能确定。

通过枚举过程设置 PCIe 系统中的设备信息，枚举是按照深度优先来进行搜索的。

当 Hi3531 中两个 PCIe 控制器都使能且配置为 RC 模式时，枚举过程如下：

1. 启动枚举过程，首先枚举总线 0 上的设备 0。
2. 枚举软件尝试着读取每台设备中功能 0 的厂商 ID，如果从总线 0 返回的厂商 ID 值为 0xFFFF 则表明该设备不存在，否则枚举到一个设备。
3. 如果检测到端点设备，则枚举结束；如果检测到桥设备，则软件执行配置读操作，将设备的头类型字段读取并解析。
4. 软件执行配置写操作，设置该设备的主总线号、二级总线号和从属总线号，然后按照步骤 1 和步骤 2 往下一级总线继续搜索。

----结束

14.8.4.6 由 CPU 发起 PCIe 事务

通过本地总线接口，可以由 CPU 发起总线读写操作，经地址转换单元转换为对应的 PCIe 事务。

配置事务

只有在 RC 模式下才可以发起配置事务。

由 14.8.4.2 地址转换一节中可知，PCIe 控制器 0 的配置事务地址空间和 PCIe 控制器 1 的配置事务地址空间分别为 0x40000000~0x4FFFFFFF 和 0x70000000~0x7FFFFFFF。



PCIe 控制器 0 的地址转换单元负责将在 0x40000000~0x4FFFFFFF 地址范围内的本地总线操作转换为对应的 PCIe 配置事务。

CPU 在本地总线上发起总线读/写请求，且总线地址各字段组成如图 14-64 配置，就可由 PCIe 控制器 0 发出配置读/写事务。

图14-64 PCIe 控制器 0 配置事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	4				BUS_ID								DEV_ID				FUN_ID				REG_NUM								0			

其中：

- BUS_ID：配置事务的目标总线号。
- DEV_ID：配置事务的目标设备号。
- FUN_ID：配置事务的目标功能号。
- REG_NUM：配置事务的目标寄存器号

PCIe 控制器 1 的地址转换单元负责将在 0x70000000~0x7FFFFFFF 地址范围内的本地总线操作转换为对应的 PCIe 配置事务。

CPU 在本地总线上发起读/写请求，且总线地址各字段组成如图 14-65 配置，就可由 PCIe 控制器 1 发出配置读/写事务。

图14-65 PCIe 控制器 1 配置事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	7							BUS_ID								DEV_ID				FUN_ID				REG_NUM								0



注意

PCIe 控制器中的 ATU 应该实现类型 0 和类型 1 配置事务转换区(CFG TYPE0 & CFG TYPE 1)，以实现发起类型 0 和类型 1 的配置事务。设置参考如下：

假设 PCIe 控制器 0 的总线号为 I, 下一级设备总线号为 J(J=I+1), 总线号为 J 的总线下一级总线号为 K(K=I+2)。

按照 PCIe 协议，由 PCIe 控制器 0 对总线号为 J 的总线发起的配置操作为类型 0 的配置事务，对总线号大于 J 的总线发起的配置操作为类型 1 的操作。

因此需创建一个地址转换区，实现由本地总线地址 0x40J00000 ~ 0x40JFFFFFF 转换为类型 0 配置操作的地址转换区域；同时创建一个地址转换区，实现由本地总线地址 0x40K00000 ~ 0x4FFFFFFF 转换为类型 1 配置事务的地址转换区域。



假设 PCIe 控制器 1 的总线号为 L, 下一级设备总线号为 M(M=L+1), 总线号为 M 的总线下一级总线号为 N(N=L+2)。

按照 PCIe 协议, 由 PCIe 控制器 1 发起的对总线 M 的配置操作为类型 0 的配置事务, 对总线号大于 M 的总线发起的配置操作为类型 1 的操作。

因此需创建一个地址转换区, 实现由本地总线地址 0x70M00000 ~ 0x70MFFFFFF 转换为类型 0 配置操作的地址转换区域; 同时创建一个地址转换区, 实现由本地总线地址 0x70N00000 ~ 0x7FFFFFFF 转换为类型 1 配置事务的地址转换区域。

存储器事务

RC 和 EP 模式下, CPU 在存储器地址空间内发起的总线读/写操作将转化为 PCIe 总线上的 PCIe 存储器读/写事务。

CPU 在本地总线上发起读/写请求, 且总线地址各字段组成如图 14-66 配置, 就可由 PCIe 控制器 0 发起存储器读/写事务。

图14-66 PCIe 控制器 0 存储器事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	3			Target_address[27:0]																												

CPU 在本地总线上发起读/写请求, 且总线地址各字段组成如图 14-67 配置, 就可由 PCIe 控制器 1 发起存储器读/写事务。

图14-67 PCIe 控制器 1 存储器事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	6						Target_address[27:0]																									



如果 PCIe 控制器 0 中 ATU 没有设置原始地址范围在 0x30000000 ~ 0x3FFFFFFF 内的地址转换区, 则不会对总线上地址在 0x30000000 ~ 0x3FFFFFFF 内地址做地址转换操作, 此时 PCIe 控制器 0 只能发起地址为 0x30000000 ~ 0x3FFFFFFF 内的存储器事务。



如果需要由 PCIe0 控制器发起 0x30000000 ~ 0x3FFFFFFF 地址范围之外的存储器事务，例如需发起 0x50000000 ~ 0x5FFFFFFF 的存储器事务，PCIe 控制器 0 需创建一个地址转换区域实现地址 0x30000000 ~ 0x3FFFFFFF 到地址 0x50000000 ~ 0x5FFFFFFF 的地址映射。这样，CPU 在本地总线上发起的地址在 0x30000000 ~ 0x3FFFFFFF 的读写事务可以通过地址转换单元转换为对 0x50000000 ~ 0x5FFFFFFF 的存储器读写事务。

与此类似，PCIe 控制器 1 在未设置 ATU 地址转换区时只能发起目标地址为 0x60000000 ~ 0x6FFFFFFF 的存储器事务，若要发起在此地址范围之外的存储器事务，也需要对应设置 PCIe 控制器 1 的 ATU 区域。

IO 事务

CPU 在本地总线上发起读/写请求，且总线地址各字段组成如图 14-68 配置，就可由 PCIe 控制器 0 发起 IO 读/写事务。

图14-68 PCIe 控制器 0 IO 事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	3			Target_address[27:0]																												

CPU 在本地总线上发起读/写请求，且总线地址各字段组成如图 14-69 配置，就可由 PCIe 控制器 1 发起 IO 读/写事务。

图14-69 PCIe 控制器 1 IO 事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	6						Target_address[27:0]																									



注意

PCIe 控制器中的 ATU 应该实现 IO 事务转换区，以实现将本地总线操作转换为 PCIe IO 事务的功能。且在本地总线上发起的操作地址在此 IO 事务转换区的原始地址范围内。

14.8.4.7 由 DMA 发起 PCIe 事务

Hi3531 PCIe 控制器内含 DMA 控制器，DMA 控制器包含有两个 DMA 通道（一个 DMA 读通道和一个 DMA 写通道）。PCIe 控制器内包含的 DMA 控制器用于大数据量的存储器读写事务，以提高数据传输的速率。

DMA 控制器可以实现如下的存储器读写事务：



- DMA 写：将一块数据从本地内存空间搬移至对端设备的内存空间。
- DMA 读：将一块数据从对端设备的内存空间搬移至本地内存空间。

通过配置 DMA 控制寄存器能够实现 DMA 读通道和 DMA 写通道的全双工工作，即 DMA 读操作和 DMA 写操作可以同时进行。

DMA 控制寄存器

软件可通过 DMA 控制寄存器来配置 DMA 传输，也可以通过 DMA 控制寄存器启动和停止 DMA 传输。DMA 控制寄存器位于 PCIe 控制器的配置寄存器空间内，DMA 控制寄存器的定义请参考本章的 PCIe 寄存器描述。



注意

为了减少 DMA 控制寄存器占用的配置寄存器空间，部分 DMA 控制寄存器地址是 DMA 读通道和 DMA 写通道共用。当需要配置这部分寄存器时，软件需要先通过配置 DMA 通道索引寄存器 (DMA_CH_INDEX 寄) 以表明后续对这些寄存器的操作对象是写通道控制寄存器还是读通道控制寄存器。

注意中提到的部分 DMA 控制寄存器包含：

- DMA_CH_CTRL 寄存器；
- DMA_TRANS_SIZE 寄存器；
- DMA_SAR_LOW 和 DMA_SAR_HIGH 寄存器；
- DMA_DAR_LOW 和 DMA_DAR_HIGH 寄存器；
- DMA_LINK_PT_LOW 和 DMA_LINK_PT_HIGH 寄存器。

例如：软件要设置 DMA 读通道 0 的 DMA 传输长度为 1024Byte，需按如下顺序操作：

1. 软件设置 DMA_CH_INDEX[ch_dir]=1，表明后续操作目标寄存器为读通道控制寄存器。
2. 软件设置 DMA_TRANS_SIZE=0x400，表明传输长度为 1024Byte。

----结束

DMA 读/写通道使能

DMA 通道在系统复位后默认是没有使能的，要使用 PCIe 的 DMA 通道，需使能 DMA 的读写通道。

- 通过设置 DMA_RD_ENGINE_EN[dma_rd_engine_en]为 1，使能 DMA 读通道。
- 通过设置 DMA_WR_ENGINE_EN[dma_wr_engine_en]为 1，使能 DMA 写通道。



DMA 源地址和目标地址

DMA 写：源地址(SAR)为本地内存空间，目标地址(DAR)为对端设备内存空间。

DMA 读：源地址(SAR)为对端设备内存空间，目标地址(DAR)为本地内存空间。

配置 DMA 读或写通道的 DMA_SAR_LOW 和 DMA_SAR_HIGH 寄存器可以指定 DMA 传输的源地址，配置 DMA 读或写通道的 DMA_DAR_LOW 和 DMA_DAR_HIGH 寄存器可以指定 DMA 传输的目的地址。DMA 源地址和目的地址寄存器请参看 PCIe DMA 控制寄存器定义。

DMA 传输过程中，源地址和目的地址寄存器随着传输过程而递增。可以通过读取源地址和目的地址寄存器的值来确定 DMA 当前传输所获取数据的源地址和当前所写数据的目标地址。

DMA 源地址和 DMA 目的地址都是双字节对齐的，因此最低两比特都必须设置为 0。在传输过程中此最低两比特也一直为 0。

DMA 传输长度

DMA 读或写操作的传输长度由 DMA 读或写通道的 DMA_TRANS_SIZE 寄存器来指定。该寄存器的值表示 DMA 请求传输的数据的字节数。在 DMA 传输过程，此寄存器的值会随着传输过程递减，可以通过读取此寄存器确定当前还有多少字节未传输。传输成功结束后此寄存器值应该为 0。

DMA 传输长度取值范围为：最小为 1 个字节，最大为 4G 字节。

启动 DMA 传输

在配置好 DMA 读通道的控制寄存器之后，通过向 DMA_RD_DOORBELL[rd_doorbell_num]写入 0 来启动 DMA 读传输。

在配置好 DMA 写通道的控制寄存器之后，通过向 DMA_WR_DOORBELL[wr_doorbell_num]写入 0 来启动 DMA 写传输。

停止 DMA 传输

在 DMA 传输过程中如果需要停止 DMA 传输，可以通过如下寄存器控制来手动停止 DMA 读或者 DMA 写传输：

- 通过向 DMA_RD_DOORBELL[dma_rd_stop]写入 1 来停止 DMA 读传输。
- 通过向 DMA_RD_DOORBELL[dma_wr_stop]写入 1 来停止 DMA 读传输。

如果 DMA 传输过程中没有发生错误，DMA 传输将在所有的数据传输完成后自动停止。

DMA 中断

DMA 通道产生两种中断：

- 完成中断：表明 DMA 成功的完成了一次 DMA 传输。
- 中止中断：表明 DMA 传输不成功，或者传输过程中出现了错误。



DMA 读和 DMA 写通道共用同一个中断，CPU 接收到 PCIe DMA 本地中断后，通过查询 [DMA_RD_INT_STAT](#) 和 [DMA_WR_INT_STAT](#) 寄存器来确定是 DMA 读通道中断还是 DMA 写通道中断，以及是 DMA 完成中断还是 DMA 中止中断。请参考 PCIe DMA 寄存器中关于 [DMA_RD_INT_STAT](#) 和 [DMA_WR_INT_STAT](#) 的描述。

通过 [DMA_RD_INT_CLR](#) 和 [DMA_WR_INT_CLR](#) 寄存器，可以清除对应读或写通道的完成或中止中断。请参考寄存器中关于 [DMA_RD_INT_CLR](#) 和 [DMA_WR_INT_CLR](#) 的描述。

14.8.5 PCI Express 控制器寄存器

PCIe 控制器 0 和 PCIe 控制器 1 分别有 4K 字节的配置寄存器空间，其中前 256 字节为 PCI 兼容的配置空间。在 PCI 兼容的配置空间内前 64 字节为 PCI 配置寄存器头，一共有两种类型的 PCI 配置寄存器头：

- 类型 0 的 PCI 配置寄存器头：当 PCIe 控制器配置为 EP 设备时，此空间内包含类型 0 的配置寄存器头（PCIe Header Type0）。
- 类型 1 的 PCI 配置寄存器头：当 PCIe 控制器配置为 RC 设备时，此空间内包含类型 1 的配置寄存器头（PCIe Header Type1）。

除了 PCIe 配置寄存器头以外，Hi3531 PCIe 控制器在配置寄存器空间内还包含 PCIe 地址转换控制寄存器([PCIe_iATU](#))和 PCIe DMA 控制寄存器([PCIe_DMA](#))。

14.8.5.1 PCIe Header Type0 寄存器概览

PCIe Header Type0 寄存器概览如表 14-25 所示。

- PCIe 控制器 0 基址是 0x2080_0000
- PCIe 控制器 1 基址是 0x2081_0000

表14-25 PCIe Header Type0 寄存器概览

偏移地址	名称	描述	页码
0x0000	VEN_DEV_ID	厂商和设备 ID 寄存器	14-159
0x0004	COMMAND_STAT US	命令和状态寄存器	14-159
0x0008	CLASS_CODE_VER _ID	类代码和版本 ID 寄存器	14-161
0x000C	HEAD_TYPE_CAC HE_LINE_SIZE	配置头类型和 Cache 行容量寄存器	14-162
0x0010	BASE_ADDRESS_R EG0	基地址 0 寄存器	14-162
0x0014	BASE_ADDRESS_R EG1	基地址 1 寄存器	14-163
0x0018	BASE_ADDRESS_R EG2	基地址 2 寄存器	14-164



偏移地址	名称	描述	页码
0x001C	BASE_ADDRESS_REGISTER3	基地址 3 寄存器	14-164
0x0028	CARDBUS_CIS_POINTER	Card Bus 卡的卡信息结构指针寄存器	14-165
0x002C	SUBSYSTEM_VENDOR_ID	子系统 ID 和子系统厂商 ID 寄存器	错误！未定义书签。
0x0030	EXPAN_ROM_BASE	扩展 ROM 基地址寄存器	14-165
0x0034	CAP_PTR	能力指针寄存器	14-166
0x003C	INTERRUPT_BRG_CTRL	中断和桥控制寄存器	14-166

14.8.5.2 PCIe Header Type0 寄存器描述

VEN_DEV_ID

VEN_DEV_ID 为厂商和设备 ID 寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0000	VEN_DEV_ID	0x3531_19E5													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	device_id								vendor_id							
Reset	0 0 1 1 0 1 0 1 0 0 1 1 0 0 0 1 0 0 0 1 1 0 0 1 1 1 1 0 0 1 0 1															
Bits	Access	Name	Description													
[31:16]	RO	device_id	设备 ID。													
[15:0]	RO	vendor_id	厂商 ID。													

COMMAND_STATUS

COMMAND_STATUS 为命令和状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0004		COMMAND_STATUS		0x0010_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sta_detected_perr	sta_signaled_serr	sta_rcvd_master_abt	sta_rcvd_target_abt	sta_signaled_target_abt	sta_devsel_timing	sta_master_data_perr	sta_fast_b2b_cap	reserved	sta_capable_66mhz	sta_capability_list	sta_intx_status	reserved					cmd_intx_dis	cmd_fast_b2b_en	cmd_serr_en	cmd_idsel_step	cmd_perr_resp	cmd_vga_snoop	cmd_mem_write_invalid	cmd_spec_cyc_en	cmd_bus_master_en	cmd_mem_space_en	cmd_io_space_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RO	sta_detected_perr	检测到奇偶校验错。																													
[30]	WC	sta_signaled_serr	通知系统错误。																													
[29]	WC	sta_rcvd_master_abt	接收到主设备失败。																													
[28]	WC	sta_rcvd_target_abt	接收到目标失败。																													
[27]	WC	sta_signaled_target_abt	通知目标失败。																													
[26:25]	RO	sta_devsel_timing	设备选择(DEVSEL#)定时。																													
[24]	RWC	sta_master_data_perr	主设备数据奇偶校验错。																													
[23]	RO	sta_fast_b2b_cap	快速背靠背能力。																													
[22]	RO	reserved	保留。																													
[21]	RO	sta_capable_66mhz	66MHz 能力。																													
[20]	RO	sta_capability_list	能力链表使能。																													
[19]	RO	sta_intx_status	中断状态。																													
[18:11]	RW	reserved	保留。																													
[10]	RW	cmd_intx_dis	中断禁止。																													
[9]	RO	cmd_fast_b2b_en	快速背靠背使能。																													
[8]	RW	cmd_serr_en	SERR#错误使能。																													
[7]	RO	cmd_idsel_step	步进控制。																													



Offset Address		Register Name		Total Reset Value				
0x0004		COMMAND_STATUS		0x0010_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sta_detected_perr sta_signaled_serr sta_rcvd_master_abt sta_rcvd_target_abt sta_signaled_target_abt sta_devsel_timing sta_master_data_perr sta_fast_b2b_cap reserved sta_capable_66mhz sta_capability_list sta_intx_status			reserved				cmd_intx_dis cmd_fast_b2b_en cmd_serr_en cmd_idsel_step cmd_perr_resp cmd_vga_snoop cmd_mem_write_invalid cmd_spec_cyc_en cmd_bus_master_en cmd_mem_space_en cmd_io_space_en
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[6]	RW	cmd_perr_resp	奇偶校验错响应。					
[5]	RO	cmd_vga_snoop	VGA 调色板侦测。					
[4]	RO	cmd_mem_write_invalid	存储器写和使无效使能。					
[3]	RO	cmd_spec_cyc_en	特殊周期使能。					
[2]	RW	cmd_bus_master_en	总线主设备使能。					
[1]	RW	cmd_mem_space_en	存储器地址空间译码使能。					
[0]	RW	cmd_io_space_en	IO 地址空间译码器使能。					

CLASS_CODE_VER_ID

CLASS_CODE_VER_ID 为类代码和版本 ID 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0008		CLASS_CODE_VER_ID		0x0480_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	base_class_code		sub_class_code		if_code		reversion_id	
Reset	0 0 0 0	0 1 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	base_class_code	基本分类码。					



Offset Address		Register Name		Total Reset Value					
0x0008		CLASS_CODE_VER_ID		0x0480_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	base_class_code		sub_class_code		if_code		reversion_id		
Reset	0 0 0 0	0 1 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[23:16]	RW	sub_class_code	子分类码。						
[15:8]	RW	if_code	编程接口。						
[7:0]	RO	reversion_id	版本 ID 寄存器。						

HEAD_TYPE_CACHE_LINE_SIZE

HEAD_TYPE_CACHE_LINE_SIZE 为配置头类型和 Cache 行容量寄存器。

Offset Address		Register Name		Total Reset Value					
0x000C		HEAD_TYPE_CACHE_LINE_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	bist_reg		mf_device	cfg_hdr_fmt		mstr_latency_timer		cache_line_size	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	bist_reg	BIST 寄存器。						
[23]	RO	mf_device	多功能设备。						
[22:16]	RO	cfg_hdr_fmt	配置头类型。						
[15:8]	RO	mstr_latency_timer	PCI Master 延迟计数器。						
[7:0]	RW	cache_line_size	Cache 行容量。						

BASE_ADDRESS_REG0

BASE_ADDRESS_REG0 为基地址 0 寄存器。



Offset Address		Register Name		Total Reset Value						
0x0010		BASE_ADDRESS_REG0		0x0000_0008						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	bar0_base							bar0_pref	bar0_type	bar0_io
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0		
Bits	Access	Name	Description							
[31:4]	RW	bar0_base	基地址字段。							
[3]	RO	bar0_pref	可预取位, 表明该 BAR 相关的存储器空间是否为可预取的。							
[2:1]	RO	bar0_type	BAR 类型字段,表明该 BAR 相关的存储器地址译码是 32 位还是 64 位。							
[0]	RO	bar0_io	表明此 BAR 地址空间是 MEM 地址空间还是 IO 地址空间。							

BASE_ADDRESS_REG1

BASE_ADDRESS_REG1 为基地址 1 寄存器。

Offset Address		Register Name		Total Reset Value						
0x0014		BASE_ADDRESS_REG1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	bar1_base							bar1_pref	bar1_type	bar1_io
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:4]	RW	bar1_base	基地址字段。							
[3]	RO	bar1_pref	可预取位, 表明该 BAR 相关的存储器空间是否为可预取的。							
[2:1]	RO	bar1_type	BAR 类型字段,表明该 BAR 相关的存储器地址译码是 32 位还是 64 位。							
[0]	RO	bar1_io	表明此 BAR 地址空间是 MEM 地址空间还是 IO 地址空间。							



BASE_ADDRESS_REG2

BASE_ADDRESS_REG2 为基地址 2 寄存器。

Offset Address		Register Name		Total Reset Value						
0x0018		BASE_ADDRESS_REG2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	bar2_base							bar2_pref	bar2_type	bar2_io
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:4]	RW	bar2_base	基地址字段。							
[3]	RO	bar2_pref	可预取位, 表明该 BAR 相关的存储器空间是否为可预取的。							
[2:1]	RO	bar2_type	BAR 类型字段,表明该 BAR 相关的存储器地址译码是 32 位还是 64 位。							
[0]	RO	bar2_io	表明此 BAR 地址空间是 MEM 地址空间还是 IO 地址空间。							

BASE_ADDRESS_REG3

BASE_ADDRESS_REG3 为基地址 3 寄存器。

Offset Address		Register Name		Total Reset Value						
0x001C		BASE_ADDRESS_REG3		0x0000_0001						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	bar3_base							bar3_pref	bar3_type	bar3_io
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1		
Bits	Access	Name	Description							
[31:4]	RW	bar3_base	基地址字段。							
[3]	RO	bar3_pref	可预取位, 表明该 BAR 相关的存储器空间是否为可预取的。							
[2:1]	RO	bar3_type	BAR 类型字段,表明该 BAR 相关的存储器地址译码是 32 位还是 64 位。							
[0]	RO	bar3_io	表明此 BAR 地址空间是 MEM 地址空间还是 IO 地址空间。							



CARDBUS_CIS_POINTER

CARDBUS_CIS_POINTER 为 Card Bus 卡的卡信息结构指针寄存器。

Offset Address		Register Name		Total Reset Value				
0x0028		CARDBUS_CIS_POINTER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	prefetch_mem_base_upper							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	cardbus_cis_pointer	CardBus 卡的卡信息结构指针。					

SUBSYSTEM_VEN_ID

SUBSYSTEM_VEN_ID 为子系统 ID 和子系统厂商 ID 寄存器。

Offset Address		Register Name		Total Reset Value				
0x002C		SUBSYSTEM_VEN_ID		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	subsystem_id				subsystem_vendor_id			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	subsystem_id	子系统 ID。					
[15:0]	RW	subsystem_vendor_id	子系统厂商 ID。					

EXPAN_ROM_BASE

EXPAN_ROM_BASE 为扩展 ROM 基地址寄存器。



Offset Address		Register Name		Total Reset Value						
0x0030		EXPAN_ROM_BASE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	expan_rom_base						reserved			expan_rom_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:11]	RW	expan_rom_base	扩展 ROM 基地址寄存器。							
[10:1]	RO	reserved	保留。							
[0]	RW	expan_rom_enable	扩展 ROM 使能。							

CAP_PTR

CAP_PTR 为能力指针寄存器。

Offset Address		Register Name		Total Reset Value					
0x0034		CAP_PTR		0x0000_0040					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						cap_ptr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RO	cap_ptr	能力指针，指向第一个能力寄存器的偏移地址。						

INTERRUPT_BRG_CTRL

INTERRUPT_BRG_CTRL 为中断和桥控制寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x003C				INTERRUPT_BRG_CTRL								0x0000_01FF																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	max_latency				min_grant				interrupt_pin				interrupt_line																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
Bits	Access		Name		Description																											
[31:24]	RW		max_latency		最长等待时间。																											
[23:16]	RW		min_grant		最短获准时间。																											
[15:8]	RO		interrupt_pin		中断引脚。																											
[7:0]	RW		interrupt_line		中断线。																											

14.8.5.3 PCIe Header Type1 寄存器概览

PCIe Header Type1 寄存器概览如表 14-26 所示。

- PCIe 控制器 0 基址是 0x2080_0000
- PCIe 控制器 1 基址是 0x2081_0000

表14-26 PCIe Header Type1 寄存器概览

偏移地址	名称	描述	页码
0x0000	VEN_DEV_ID	厂商和设备 ID 寄存器	14-168
0x0004	COMMAND_STAT US	命令和状态寄存器	14-168
0x0008	CLASS_CODE_VER _ID	类代码和版本 ID 寄存器	14-170
0x000C	HEAD_TYPE_CAC HE_LINE_SIZE	配置头类型和 Cache 行容量寄存器	14-171
0x0010	BASE_ADDRESS_R EG0	基地址 0 寄存器	14-171
0x0014	BASE_ADDRESS_R EG1	基地址 1 寄存器	14-172
0x0018	BUS_NUM	总线号寄存器	14-173
0x001C	IO_BASE_LIMIT	IO 基地址和地址界限寄存器	14-173
0x0020	MEMORY_BASE	存储器基地址和地址界限寄存器	14-174
0x0024	PRE_MEMORY_BA SE	可预取存储器基地址和地址界限寄存器	14-174



偏移地址	名称	描述	页码
0x0028	PREFETCHABLE_BASE_UPPER	可预取存储器基地址高 32 位寄存器	14-175
0x002C	PREFETCHABLE_LIMIT_UPPER	可预取存储器地址界限高 32 位寄存器	14-176
0x0030	IO_BASE_LIMIT_UPPER	IO 基地址和地址界限高 16 位寄存器	14-176
0x0034	CAP_PTR	能力指针寄存器	14-176
0x0038	EXPAN_ROM_CTRL	扩展 ROM 基地址寄存器	14-177
0x003C	INTERRUPT_BRG_CTRL	中断和桥控制寄存器	14-177

14.8.5.4 PCIe Header Type1 寄存器描述

VEN_DEV_ID

VEN_DEV_ID 为厂商和设备 ID 寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0000	VEN_DEV_ID	0x3531_19E5													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	device_id								vendor_id							
Reset	0 0 1 1 0 1 0 1 0 0 1 1 0 0 0 1 0 0 0 1 1 0 0 1 1 1 1 0 0 1 0 1															
Bits	Access	Name	Description													
[31:16]	RO	device_id	设备 ID。													
[15:0]	RO	vendor_id	厂商 ID。													

COMMAND_STATUS

COMMAND_STATUS 为命令和状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0004		COMMAND_STATUS		0x0010_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sta_detected_perr	sta_signaled_serr	sta_rcvd_master_abt	sta_rcvd_target_abt	sta_signaled_target_abt	sta_devsel_timing	sta_master_data_perr	sta_fast_b2b_cap	reserved	sta_capable_66mhz	sta_capability_list	sta_intx_status	reserved				cmd_intx_dis	cmd_fast_b2b_en	cmd_serr_en	cmd_idsel_step	cmd_perr_resp	cmd_vga_snoop	cmd_mem_write_invalid	cmd_spec_cyc_en	cmd_bus_master_en	cmd_mem_space_en	cmd_io_space_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RO		sta_detected_perr		检测到奇偶校验错。																											
[30]	WC		sta_signaled_serr		通知系统错误。																											
[29]	WC		sta_rcvd_master_abt		接收到主设备失败。																											
[28]	WC		sta_rcvd_target_abt		接收到目标失败。																											
[27]	WC		sta_signaled_target_abt		通知目标失败。																											
[26:25]	RO		sta_devsel_timing		设备选择(DEVSEL#)定时。																											
[24]	RWC		sta_master_data_perr		主设备数据奇偶校验错。																											
[23]	RO		sta_fast_b2b_cap		快速背靠背能力。																											
[22]	RO		reserved		保留。																											
[21]	RO		sta_capable_66mhz		66MHz 能力。																											
[20]	RO		sta_capability_list		能力链表使能。																											
[19]	RO		sta_intx_status		中断状态。																											
[18:11]	RW		reserved		保留。																											
[10]	RW		cmd_intx_dis		中断禁止。																											
[9]	RO		cmd_fast_b2b_en		快速背靠背使能。																											
[8]	RW		cmd_serr_en		SERR#错误使能。																											
[7]	RO		cmd_idsel_step		步进控制。																											



Offset Address		Register Name		Total Reset Value				
0x0004		COMMAND_STATUS		0x0010_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sta_detected_perr sta_signaled_serr sta_rcvd_master_abt sta_rcvd_target_abt sta_signaled_target_abt sta_devsel_timing sta_master_data_perr sta_fast_b2b_cap reserved sta_capable_66mhz sta_capability_list sta_intx_status			reserved				cmd_intx_dis cmd_fast_b2b_en cmd_serr_en cmd_idsel_step cmd_perr_resp cmd_vga_snoop cmd_mem_write_invalid cmd_spec_cyc_en cmd_bus_master_en cmd_mem_space_en cmd_io_space_en
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[6]	RW	cmd_perr_resp	奇偶校验错响应。					
[5]	RO	cmd_vga_snoop	VGA 调色板侦测。					
[4]	RO	cmd_mem_write_invalid	存储器写和使无效使能。					
[3]	RO	cmd_spec_cyc_en	特殊周期使能。					
[2]	RW	cmd_bus_master_en	总线主设备使能。					
[1]	RW	cmd_mem_space_en	存储器地址空间译码使能。					
[0]	RW	cmd_io_space_en	IO 地址空间译码器使能。					

CLASS_CODE_VER_ID

CLASS_CODE_VER_ID 为类代码和版本 ID 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0008		CLASS_CODE_VER_ID		0x0604_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	base_class_code		sub_class_code		if_code		reversion_id	
Reset	0 0 0 0	0 1 1 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	base_class_code	基本分类码。					



Offset Address		Register Name		Total Reset Value					
0x0008		CLASS_CODE_VER_ID		0x0604_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	base_class_code		sub_class_code		if_code		reversion_id		
Reset	0 0 0 0	0 1 1 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[23:16]	RW	sub_class_code	子分类码。						
[15:8]	RW	if_code	编程接口。						
[7:0]	RO	reversion_id	版本 ID 寄存器。						

HEAD_TYPE_CACHE_LINE_SIZE

HEAD_TYPE_CACHE_LINE_SIZE 为配置头类型和 Cache 行容量寄存器。

Offset Address		Register Name		Total Reset Value					
0x000C		HEAD_TYPE_CACHE_LINE_SIZE		0x0001_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	bist_reg		multi_func	cfg_hdr_fmt		mstr_latency_timer		cache_line_size	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	bist_reg	BIST 寄存器。						
[23]	RO	multi_func	多功能设备。						
[22:16]	RO	cfg_hdr_fmt	配置头类型。						
[15:8]	RO	mstr_latency_timer	PCI Master 延迟计数器。						
[7:0]	RW	cache_line_size	Cache 行容量。						

BASE_ADDRESS_REG0

BASE_ADDRESS_REG0 为基地址 0 寄存器。



Offset Address		Register Name		Total Reset Value						
0x0010		BASE_ADDRESS_REG0		0x0000_0008						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	bar0_base							bar0_pref	bar0_type	bar0_io
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0		
Bits	Access	Name	Description							
[31:4]	RW	bar0_base	基地址字段。							
[3]	RO	bar0_pref	可预取位, 表明该 BAR 相关的存储器空间是否为可预取的。							
[2:1]	RO	bar0_type	BAR 类型字段,表明该 BAR 相关的存储器地址译码是 32 位还是 64 位。							
[0]	RO	bar0_io	表明此 BAR 地址空间是 MEM 地址空间还是 IO 地址空间。							

BASE_ADDRESS_REG1

BASE_ADDRESS_REG1 为基地址 1 寄存器。

Offset Address		Register Name		Total Reset Value						
0x0014		BASE_ADDRESS_REG1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	bar1_base							bar1_pref	bar1_type	bar1_io
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:4]	RW	bar1_base	基地址字段。							
[3]	RO	bar1_pref	可预取位, 表明该 BAR 相关的存储器空间是否为可预取的。							
[2:1]	RO	bar1_type	BAR 类型字段,表明该 BAR 相关的存储器地址译码是 32 位还是 64 位。							
[0]	RO	bar1_io	表明此 BAR 地址空间是 MEM 地址空间还是 IO 地址空间。							



BUS_NUM

BUS_NUM 为总线号寄存器。

Offset Address		Register Name		Total Reset Value					
0x0018		BUS_NUM		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	sec_latency_timer		cfg_subbus_num		cfg_secbus_num		cfg_pribus_num		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	sec_latency_timer	次级等待时间定时器。						
[23:16]	RW	cfg_subbus_num	下属总线号号。						
[15:8]	RW	cfg_secbus_num	次级总线号。						
[7:0]	RW	cfg_pribus_num	主总线号。						

IO_BASE_LIMIT

IO_BASE_LIMIT 为 IO 基地址和地址界限寄存器。

Offset Address		Register Name		Total Reset Value						
0x001C		IO_BASE_LIMIT		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	sec_bus_status			io_limit		reserved	io_decoder_mask_32	io_base	reserved	io_decoder_base_32
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:16]	RWC	sec_bus_status	次级总线状态寄存器。							
[15:12]	RW	io_limit	IO 地址界限寄存器。							
[11:9]	RO	reserved	保留。							
[8]	RO	io_decoder_mask_32	32 位 IO 地址译码。							
[7:4]	RW	io_base	IO 空间基址。							



Offset Address		Register Name		Total Reset Value						
0x001C		IO_BASE_LIMIT		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	sec_bus_status				io_limit	reserved	io_decoder_mask_32	io_base	reserved	io_decoder_base_32
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[3:1]	RO	reserved	保留。							
[0]	RO	io_decoder_base_32	32 位 IO 地址译码。							

MEMORY_BASE

MEMORY_BASE 为存储器基地址和地址界限寄存器。

Offset Address		Register Name		Total Reset Value				
0x0020		MEMORY_BASE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	memory_limit			reserved	memory_base			reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RW	memory_limit	存储器地址界限寄存器。					
[19:16]	RO	reserved	保留。					
[15:4]	RW	memory_base	存储器基地址寄存器。					
[3:0]	RO	reserved	保留。					

PRE_MEMORY_BASE

PRE_MEMORY_BASE 为可预取存储器基地址和地址界限寄存器。



Offset Address		Register Name		Total Reset Value						
0x0024		PRE_MEMORY_BASE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	prefetch_mem_limit_lower			reserved	prefetch_mem_limit_64	prefetch_mem_base_lower			reserved	prefetch_mem_decoder_64
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:20]	RW	prefetch_mem_limit_lower	可预取存储器地址界限。							
[19:17]	RO	reserved	保留。							
[16]	RO	prefetch_mem_limit_64	64 位地址译码。							
[15:4]	RW	prefetch_mem_base_lower	可预取存储器基地址。							
[3:1]	RO	reserved	保留。							
[0]	RO	prefetch_mem_decoder_64	64 位地址译码。							

PREFETCHABLE_BASE_UPPER

PREFETCHABLE_BASE_UPPER 为可预取存储器基地址高 32 位寄存器。

Offset Address		Register Name		Total Reset Value						
0x0028		PREFETCHABLE_BASE_UPPER		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	prefetch_mem_base_upper									
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:0]	RW	prefetch_mem_base_upper	可预取存储器基地址高 32 位，当 64 位地址译码时有效。							



PREFETCHABLE_LIMIT_UPPER

PREFETCHABLE_LIMIT_UPPER 为可预取存储器地址界限高 32 位寄存器。

Offset Address		Register Name		Total Reset Value				
0x002C		PREFETCHABLE_LIMIT_UPPER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	prefetch_mem_limit_upper							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	prefetch_mem_limit_upper	可预取存储器界限高 32 位，当 64 位地址译码时有效。					

IO_BASE_LIMIT_UPPER

IO_BASE_LIMIT_UPPER 为 IO 基地址和地址界限高 16 位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0030		IO_BASE_LIMIT_UPPER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	io_limit_upper				io_base_upper			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	io_limit_upper	IO 界限高 16 位，当采用 32 位 IO 地址译码时有效。					
[15:0]	RW	io_base_upper	IO 基地址高 16 位，当采用 32 为 IO 地址译码时有效。					

CAP_PTR

CAP_PTR 为能力指针寄存器。



Offset Address		Register Name		Total Reset Value					
0x0034		CAP_PTR		0x0000_0040					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						cap_ptr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RO	reserved	保留。						
[7:0]	RW	cap_ptr	能力指针，指向第一个能力寄存器的偏移地址。						

EXPAN_ROM_CTRL

EXPAN_ROM_CTRL 为扩展 ROM 基地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x0038		EXPAN_ROM_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	expan_rom_base						reserved		expan_rom_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:11]	RW	expan_rom_base	扩展 ROM 基地址寄存器。						
[10:1]	RO	reserved	保留。						
[0]	RW	expan_rom_enable	扩展 ROM 使能。						

INTERRUPT_BRG_CTRL

INTERRUPT_BRG_CTRL 为中断和桥控制寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x003C				INTERRUPT_BRG_CTRL								0x0000_01FF																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	bridge_ctrl								interrupt_pin								interrupt_line															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
Bits	Access		Name		Description																											
[31:16]	RW		bridge_ctrl		桥控制寄存器。																											
[15:8]	RO		interrupt_pin		中断引脚。																											
[7:0]	RW		interrupt_line		中断线。																											

14.8.5.5 PCIe_iATU 寄存器概览

PCIe_iATU 寄存器概览如表 14-27 所示。

- PCIe 控制器 0 基址是 0x2080_0000
- PCIe 控制器 1 基址是 0x2081_0000

表14-27 PCIe_iATU 寄存器概览

偏移地址	名称	描述	页码
0x0900	ATU_VIEWPORT	ATU 区域号寄存器	14-178
0x0904	ATU_REGION_CTRL1	ATU 区域控制寄存器	14-179
0x0908	ATU_REGION_CTRL2	ATU 区域控制寄存器	14-181
0x090C	ATU_BASE_LOW	ATU 基地址低位寄存器	14-186
0x0910	ATU_BASE_HIGH	ATU 基地址高位寄存器	14-187
0x0914	ATU_LIMIT	ATU 地址界限寄存器	14-187
0x0918	ATU_TARGET_LOW	ATU 目标地址低位寄存器	14-187
0x091C	ATU_TARGET_HIGH	ATU 目标地址高位寄存器	14-188

14.8.5.6 PCIe_iATU 寄存器描述

ATU_VIEWPORT

ATU_VIEWPORT 为 ATU 区域号寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0900		ATU_VIEWPORT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	atu_reg_region_dir	reserved														atu_reg_region_index																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	atu_reg_region_dir	区域方向。 表明是发送还是接收地址转换区域，与区域号配合使用以确定操作的具体 ATU 区域。 0：输出地址转换区域； 1：输入地址转换区域。																													
[30:4]	-	reserved	保留。																													
[3:0]	RW	atu_reg_region_index	区域编号。 表明地址转换控制寄存器操作对应的区域号。 区域号赋值范围为 0~5。																													

ATU_REGION_CTRL1

ATU_REGION_CTRL1 为 ATU 区域控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0904		ATU_REGION_CTRL1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								atu_reg_func_num		reserved		atu_reg_at		reserved				atu_reg_attr		atu_reg_id		atu_reg_tc		atu_reg_type							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31:23]	-	reserved	保留。																													
[22:20]	RW	atu_reg_func_num	功能号。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中功能号字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中与此寄存器值相对应的功能号的 BAR 地址匹配时, 则对此接收的 TLP 做地址转换处理(仅当接收区域匹配模式为 BAR 地址匹配时)。																													
[19:18]	-	reserved	保留。																													
[17:16]	RW	atu_reg_at	AT 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 AT 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 AT 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。																													
[15:11]	-	reserved	保留。																													
[10:9]	RW	atu_reg_attr	ATTR 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 ATTR 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 ATTR 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。																													
[8]	RW	atu_reg_td	TD 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 TD 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 TD 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。																													



Offset Address		Register Name		Total Reset Value								
0x0904		ATU_REGION_CTRL1		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				atu_reg_func_num	reserved	atu_reg_at	reserved	atu_reg_attr	atu_reg_id	atu_reg_tc	atu_reg_type
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[7:5]	RW	atu_reg_tc	TC 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 TC 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 TC 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。									
[4:0]	RW	atu_reg_type	TYPE 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 TYPE 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 TYPE 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。									

ATU_REGION_CTRL2

ATU_REGION_CTRL2 为 ATU 区域控制寄存器。



		Offset Address	Register Name	Total Reset Value																														
		0x0908	ATU_REGION_CTRL2	0x0000_0000																														
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name		atu_reg_region_enable	atu_reg_in_bar_match	reserved	atu_reg_shift	atu_reg_fuzzy	reserved	atu_reg_rsp_code	reserved	reserved	atu_reg_msgcode_match_en	reserved	atu_reg_func_match_en	atu_reg_at_match_en	reserved	atu_reg_attr_match_en	atu_reg_id_match_en	atu_reg_tc_match_en	reserved	reserved	reserved	reserved	reserved	atu_reg_bar_num	reserved	reserved	reserved	reserved	reserved	reserved	reserved	reserved	reserved	atu_reg_msg_code
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																														
[31]	RW	atu_reg_region_enable		ATU 区域使能。 0: 不使能。 1: 使能。																														
[30]	RW	atu_reg_in_bar_match		接收 ATU 匹配模式选择。 发送(Outbound): 无作用。 接收(Inbound): 选择接收 MEM/IO 数据包的匹配模式。 0: 地址匹配模式: 当接收到的 MEM/IO TLP 地址在 ATU 控制寄存器 1 中的地址相匹配时, 则做地址转换。 1: BAR 匹配模式: 当接收到的 MEM/IO TLP 地址与 BAR 编号相匹配时, 则做地址转换。																														
[29]	RW	reserved		保留。																														
[28]	RW	atu_reg_shift		配置事务移位功能。 此寄存器在做配置类型转换时使能, 能实现操作地址和总线号、设备号、功能号的转换(以实现用 256M 地址空间访问所有配置空间的功能。) 发送(Outbound): 将未转换的地址的 27~12 比特赋值给转换后地址的 31~16 比特。 接收(Inbound): 将接收到的配置事务的未转换的地址的 31~16 比特赋值给转换后地址的 27~12 比特。 0: 不使能; 1: 使能。																														



		Offset Address 0x0908												Register Name ATU_REGION_CTRL2								Total Reset Value 0x0000_0000															
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		atu_reg_region_enable	atu_reg_in_bar_match	reserved	atu_reg_shift	atu_reg_fuzzy	reserved	atu_reg_rsp_code	reserved	atu_reg_msgcode_match_en	reserved	atu_reg_func_match_en	atu_reg_at_match_en	reserved	atu_reg_attr_match_en	atu_reg_id_match_en	atu_reg_tc_match_en	reserved	atu_reg_bar_num	atu_reg_msg_code																	
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name		Description																																	
[27]	RW	atu_reg_fuzzy		模糊类型匹配模式。 若使能，则使能事务类型模糊匹配模式。 0：不使能； 1：使能。																																	
[26]	-	reserved		保留。																																	
[25:24]	RW	atu_reg_rsp_code		完成状态代码： 必须设置为 0。																																	
[23:22]	-	reserved		保留。																																	
[21]	RW	atu_reg_msgcode_match_en		消息代码匹配使能。 发送(Outbound)：未使用。 接收(Inbound)：当使能时，则将接收到的 TLP 中的消息代码与 ATURegionCtrl2 中的 atu_reg_msg_code 做匹配。 0：不使能； 1：使能。																																	
[20]	-	reserved		保留。																																	
[19]	RW	atu_reg_func_match_en		功能号匹配使能。 发送(Outbound)：未使用。 接收(Inbound)：当使能时，则将接收到的 TLP 中的功能号与 ATURegionCtrl1 中的 atu_reg_func_num 做匹配。 0：不使能； 1：使能。																																	



		Offset Address	Register Name	Total Reset Value																														
		0x0908	ATU_REGION_CTRL2	0x0000_0000																														
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name		atu_reg_region_enable	atu_reg_in_bar_match	reserved	atu_reg_shift	atu_reg_fuzzy	reserved	atu_reg_rsp_code	reserved	reserved	atu_reg_msgcode_match_en	reserved	atu_reg_func_match_en	atu_reg_at_match_en	reserved	atu_reg_attr_match_en	atu_reg_td_match_en	atu_reg_tc_match_en	reserved	reserved	reserved	reserved	reserved	atu_reg_bar_num	reserved	reserved	reserved	reserved	reserved	reserved	reserved	reserved	reserved	atu_reg_msgcode
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																														
[18]	RW	atu_reg_at_match_en		AT 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 AT 字段与 ATURegionCtrl1 中的 atu_reg_at 做匹配。 0: 不使能; 1: 使能。																														
[17]	-	reserved		保留。																														
[16]	RW	atu_reg_attr_match_en		ATTR 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 ATTR 字段与 ATURegionCtrl1 中的 atu_reg_attr 做匹配。 0: 不使能; 1: 使能。																														
[15]	RW	atu_reg_td_match_en		TD 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 TD 字段与 ATURegionCtrl1 中的 atu_reg_td 做匹配。 0: 不使能; 1: 使能。																														



		Offset Address	Register Name	Total Reset Value																																		
		0x0908	ATU_REGION_CTRL2	0x0000_0000																																		
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name		atu_reg_region_enable	atu_reg_in_bar_match	reserved	atu_reg_shift	atu_reg_fuzzy	reserved	atu_reg_rsp_code	reserved	reserved	atu_reg_msgcode_match_en	reserved	atu_reg_func_match_en	atu_reg_at_match_en	reserved	atu_reg_attr_match_en	atu_reg_id_match_en	atu_reg_tc_match_en	reserved	reserved	reserved	reserved	reserved	reserved	atu_reg_bar_num	atu_reg_msgcode												
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name		Description																																		
[14]	RW	atu_reg_tc_match_en		TC 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 TC 字段与 ATURegionCtrl1 中的 atu_reg_tc 做匹配。 0: 不使能; 1: 使能。																																		
[13:11]	-	reserved		保留。																																		
[10:8]	RW	atu_reg_bar_num		BAR 编号。 发送(Outbound): 未使用。 接收(Inbound): 当接收到的 TLP 中 BAR 地址与此寄存器对应的 BAR 地址相匹配时, 则对此 TLP 做地址转换处理。 000: BAR#0; 001: BAR#1; 010: BAR#2; 011: BAR#3; 100: BAR#4; 101: BAR#5; 110: ROM; 111: 保留。																																		



Offset Address		Register Name		Total Reset Value																													
0x0908		ATU_REGION_CTRL2		0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	atu_reg_region_enable	atu_reg_in_bar_match	reserved	atu_reg_shift	atu_reg_fuzzy	reserved	atu_reg_rsp_code	reserved	atu_reg_msgcode_match_en	reserved	atu_reg_func_match_en	atu_reg_at_match_en	reserved	atu_reg_attr_match_en	atu_reg_id_match_en	atu_reg_tc_match_en	reserved	atu_reg_bar_num	atu_reg_msg_code														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																												
[7:0]	RW		atu_reg_msg_code		消息代码。 发送(Outbound): 当发送的 TLP 地址与此区域匹配, 且 ATURegionCtrl1 中 atu_reg_type 字段为 MSG,则将转换后的 TLP 中 MSP 字段设置为此寄存器的值。 接收(Inbound): 当 ATURegionCtrl2 中的 atu_reg_msgcode_match_en 使能时, 且接收到的消息事务中消息代码与此寄存器值相匹配时, 则对此事务包做地址转换处理。																												

ATU_BASE_LOW

ATU_BASE_LOW 为 ATU 基地址低位寄存器。

Offset Address		Register Name		Total Reset Value																												
0x090C		ATU_BASE_LOW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	atu_reg_base_low												reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RW		atu_reg_base_low		表示此区域的起始地址中的 31~16 比特, 当未转换的地址位于起始地址和地址界限范围内时, 则满足地址匹配条件。ATUBaseLow 和 ATUBaseHigh 共同组成基地址。																											
[15:0]	-		reserved		保留。																											



ATU_BASE_HIGH

ATU_BASE_HIGH 为 ATU 基地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0910		ATU_BASE_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_base_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	atu_reg_base_high	基地址高 32 位。 此区域的起始地址的 63-63 比特，当未转换的地址位于起始地址和地址界限范围内时，则满足地址匹配条件。(此寄存器只在 64 比特地址下有效，32 比特地址模式下需设置为 0。)ATUBaseLow 和 ATUBaseHigh 共同组成基地址。					

ATU_LIMIT

ATU_LIMIT 为 ATU 地址界限寄存器。

Offset Address		Register Name		Total Reset Value				
0x0914		ATU_LIMIT		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_limit				reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	atu_reg_limit	地址界限。 此区域的界限地址的中的 31~16 比特，当未转换的地址位于起始地址和地址界限范围内时，则满足地址匹配条件。					
[15:0]	-	reserved	保留。					

ATU_TARGET_LOW

ATU_TARGET_LOW 为 ATU 目标地址低位寄存器。



Offset Address		Register Name		Total Reset Value					
0x0918		ATU_TARGET_LOW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	atu_reg_trgt_low				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	atu_reg_trgt_low	目标地址低 32 位。 当做地址转换时，转换后的地址的 31~16 比特。 ATUTargetLow 和 ATUTargetHigh 共同组成目标地址。 地址转换公式为： 转换后的地址=转换地址+基地址+目标地址。 转换后的地址=转换地址-基地址+目标地址。						
[15:0]	-	reserved	保留。						

ATU_TARGET_HIGH

ATU_TARGET_HIGH 为 ATU 目标地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x091C		ATU_TARGET_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_trgt_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	atu_reg_trgt_high	目标地址高 32 位。 当做地址转换时，转换后的地址的 63~32 比特。 ATUTargetHigh 共同组成目标地址。					

14.8.5.7 PCIe_DMA 寄存器概览

PCIe_DMA 寄存器概览如表 14-28 所示。

- PCIe 控制器 0 基址是 0x2080_0000
- PCIe 控制器 1 基址是 0x2081_0000



表14-28 PCIe_DMA 寄存器概览

偏移地址	名称	描述	页码
0x097C	DMA_WR_ENGINE_EN	DMA 写通道使能寄存器	14-190
0x0980	DMA_WR_DOORBELL	DMA 写操作启动和停止控制寄存器	14-191
0x099C	DMA_RD_ENGINE_EN	DMA 读通道使能寄存器	14-192
0x09A0	DMA_RD_DOORBELL	DMA 读操作启动和停止控制寄存器	14-192
0x09BC	DMA_WR_INT_STAT	DMA 写操作中断状态寄存器	14-193
0x09C4	DMA_WR_INT_MASK	DMA 写操作中断掩码寄存器	14-194
0x09C8	DMA_WR_INT_CLR	DMA 写操作中断清除寄存器	14-195
0x09CC	DMA_WR_ERR_STAT	DMA 写操作错误状态寄存器	14-196
0x09D0	DMA_WR_DONE_IMWR_ADDR_LOW	DMA 写完成消息中断地址低位寄存器	14-197
0x09D4	DMA_WR_DONE_IMWR_ADDR_HIGH	DMA 写完成消息中断地址高位寄存器	14-197
0x09D8	DMA_WR_ABORT_IMWR_ADDR_LOW	DMA 写中止消息中断地址低位寄存器	14-198
0x09DC	DMA_WR_ABORT_IMWR_ADDR_HIGH	DMA 写中止消息中断地址高位寄存器	14-198
0x09E0	DMA_WR_IMWR_DATA_0	DMA 写操作消息中断数据寄存器	14-199
0x0A00	DMA_WR_LINK_ERR_ENABLE	DMA 链表模式写操作错误中断使能寄存器	14-199
0x0A10	DMA_RD_INT_STAT	DMA 读操作中断状态寄存器	14-200
0x0A18	DMA_RD_INT_MASK	DMA 读操作中断掩码寄存器	14-200
0x0A1C	DMA_RD_INT_CLR	DMA 读操作中断清除寄存器	14-201
0x0A24	DMA_RD_ERR_STAT_LOW	DMA 读操作错误状态低位寄存器	14-202
0x0A28	DMA_RD_ERR_STAT_HIGH	DMA 读操作错误状态高位寄存器	14-203



偏移地址	名称	描述	页码
0x0A34	DMA_RD_LINK_ERR_ENABLE	DMA 链表模式读操作错误中断使能寄存器	14-204
0x0A3C	DMA_RD_DONE_INTERRUPT_ADDR_LOW	DMA 读完成消息中断地址低位寄存器	14-205
0x0A40	DMA_RD_DONE_INTERRUPT_ADDR_HIGH	DMA 读完成消息中断地址高位寄存器	14-205
0x0A44	DMA_RD_ABORT_INTERRUPT_ADDR_LOW	DMA 读中止消息中断地址低位寄存器	14-205
0x0A48	DMA_RD_ABORT_INTERRUPT_ADDR_HIGH	DMA 读中止消息中断地址高位寄存器	14-206
0x0A4C	DMA_RD_IMWR_DATA_0	DMA 读操作消息中断数据寄存器	14-206
0x0A6C	DMA_CH_INDEX	DMA 通道索引寄存器	14-207
0x0A70	DMA_CH_CTRL	DMA 通道控制寄存器	14-207
0x0A78	DMA_TRANS_SIZE	DMA 传输长度寄存器寄存器	14-209
0x0A7C	DMA_SAR_LOW	DMA 数据源地址低位寄存器	14-210
0x0A80	DMA_SAR_HIGH	DMA 数据源地址高位寄存器	14-210
0x0A84	DMA_DAR_LOW	DMA 目标地址低位寄存器	14-211
0x0A88	DMA_DAR_HIGH	DMA 目标地址高位寄存器	14-211
0x0A8C	DMA_LINK_POINTER_LOW	DMA 链表指针低位寄存器	14-212
0x0A90	DMA_LINK_POINTER_HIGH	DMA 链表指针高位寄存器	14-212

14.8.5.8 PCIe_DMA 寄存器描述

DMA_WR_ENGINE_EN

DMA_WR_ENGINE_EN 为 DMA 写通道使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x097C		DMA_WR_ENGINE_EN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								dma_wr_engine_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RW	reserved	保留。						
[0]	RW	dma_wr_engine_en	DMA 写通道使能。 0: 不使能 DMA 写通道。 1: 使能 DMA 写通道。						

DMA_WR_DOORBELL

DMA_WR_DOORBELL 为 DMA 写操作启动和停止控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x0980		DMA_WR_DOORBELL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_wr_stop	reserved						wr_doorbell_num
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	dma_wr_stop	DMA 写通道停止。此寄存器与 wr_doorbell_num 配合使用，停止对应的 DMA 写通道数据传输。 0: 无影响。 1: 停止当前 DMA 传输。					
[30:3]	RW	reserved	保留。					



[2:0]	RW	wr_doorbell_num	DMA 写通道启动。 通过对此寄存器写入 0 启动 DMA 写传输(DMA 引擎检测到对此寄存器的写操作即启动对应写通道的 DMA 操作。由于目前 PCIe 控制器只支持一个写通道，因此此寄存器必须写 0)。
-------	----	-----------------	---

DMA_RD_ENGINE_EN

DMA_RD_ENGINE_EN 为 DMA 读通道使能寄存器。

	Offset Address	Register Name	Total Reset Value
	0x099C	DMA_RD_ENGINE_EN	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		dma_wr_engine_en
Reset	0 0		
Bits	Access	Name	Description
[31:1]	RW	reserved	保留。
[0]	RW	dma_wr_engine_en	DMA 读通道使能。 0: 不使能 DMA 读通道。 1: 使能 DMA 读通道。

DMA_RD_DOORBELL

DMA_RD_DOORBELL 为 DMA 读操作启动和停止控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x09A0		DMA_RD_DOORBELL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dma_rd_stop		reserved												rd_doorbell_num																	
Reset	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0															
Bits	Access	Name	Description																													
[31]	RW	dma_rd_stop	DMA 读通道停止。 此寄存器与 rd_doorbell_num 配合使用，停止对应的 DMA 读通道数据传输。 0：无影响。 1：停止当前 DMA 传输。																													
[30:3]	RW	reserved	保留。																													
[2:0]	RW	rd_doorbell_num	DMA 读通道启动。 通过对此寄存器写入 0 启动 DMA 读传输(DMA 引擎检测到对此寄存器的写操作即启动对应读通道的 DMA 操作。由于目前 PCIe 控制器只支持一个读通道，因此此寄存器必须写 0)。																													

DMA_WR_INT_STAT

DMA_WR_INT_STAT 为 DMA 写操作中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x09BC		DMA_WR_INT_STAT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dma_wr_abort_int_stat	reserved												dma_wr_done_int_stat						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:17]	RW	reserved	保留。																													
[16]	RW	dma_wr_abort_int_stat	DMA 写操作中中止中断状态。 表明 DMA 写通道检测到错误或者手动停止 DMA 写操作。 0: 无效。 1: 有效。																													
[15:1]	RW	reserved	保留。																													
[0]	RW	dma_wr_done_int_stat	DMA 写操作完成中断状态。 表明已成功完成一次 DMA 写操作。 0: 无效。 1: 有效。																													

DMA_WR_INT_MASK

DMA_WR_INT_MASK 为 DMA 写操作中中断掩码寄存器。



Offset Address		Register Name		Total Reset Value																														
0x09C4		DMA_WR_INT_MASK		0x0000_0000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																dma_wr_abort_int_mask	reserved																dma_wr_done_int_mask
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access	Name	Description																															
[31:17]	RW	reserved	保留。																															
[16]	RW	dma_wr_abort_int_mask	DMA 写操作中中止中断掩码。 0: dma_wr_abort_int_stat 可产生 edma_int 中断。 1: dma_wr_abort_int_stat 不产生 edma_int 中断。																															
[15:1]	RW	reserved	保留。																															
[0]	RW	dma_wr_done_int_mask	DMA 写操作完成中断掩码。 0: dma_wr_done_int_stat 可产生 edma_int 中断。 1: dma_wr_done_int_stat 不产生 edma_int 中断。																															

DMA_WR_INT_CLR

DMA_WR_INT_CLR 为 DMA 写操作中中断清除寄存器。



Offset Address		Register Name		Total Reset Value																														
0x09C8		DMA_WR_INT_CLR		0x0000_0000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																dma_wr_abort_int_clr	reserved																dma_wr_done_int_clr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access	Name	Description																															
[31:17]	RW	reserved	保留。																															
[16]	RW	dma_wr_abort_int_clr	DMA 写操作中止中断清除。 向此位写入 1 将清除 DMA_WR_INT_STAT 寄存器中的 dma_wr_abort_int_stat 中断状态。																															
[15:1]	RW	reserved	保留。																															
[0]	RW	dma_wr_done_int_clr	DMA 写操作完成中断清除。 向此位写入 1 将清除 DMA_WR_INT_STAT 寄存器中的 dma_wr_done_int_stat 中断状态。																															

DMA_WR_ERR_STAT

DMA_WR_ERR_STAT 为 DMA 写操作错误状态寄存器。



Offset Address		Register Name		Total Reset Value						
0x09CC		DMA_WR_ERR_STAT		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				link_el_err_det	reserved				app_rd_err_det
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RW	reserved	保留。							
[16]	RW	link_el_err_det	DMA 写通道链表单元读取错误。							
[15:1]	RW	reserved	保留。							
[0]	RW	app_rd_err_det	DMA 写通道读数据错误。							

DMA_WR_DONE_IMWR_ADDR_LOW

DMA_WR_DONE_IMWR_ADDR_LOW 为 DMA 写完成消息中断地址低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x09D0		DMA_WR_DONE_IMWR_ADDR_LO W		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_wr_done_imwr_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_wr_done_imwr_addr_low	DMA 写完成中断消息地址低 32 位。					

DMA_WR_DONE_IMWR_ADDR_HIGH

DMA_WR_DONE_IMWR_ADDR_HIGH 为 DMA 写完成消息中断地址高位寄存器。



Offset Address		Register Name		Total Reset Value				
0x09D4		DMA_WR_DONE_IMWR_ADDR_HIG H		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_wr_done_imwr_addr_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_wr_done_imwr_addr_high	DMA 写完成中断消息地址高 32 位。					

DMA_WR_ABORT_IMWR_ADDR_LOW

DMA_WR_ABORT_IMWR_ADDR_LOW 为 DMA 写中止消息中断地址低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x09D8		DMA_WR_ABORT_IMWR_ADDR_L OW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_wr_abort_imwr_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_wr_abort_imwr_addr_low	DMA 写中止中断消息地址低 32 位。					

DMA_WR_ABORT_IMWR_ADDR_HIGH

DMA_WR_ABORT_IMWR_ADDR_HIGH 为 DMA 写中止消息中断地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x09DC		DMA_WR_ABORT_IMWR_ADDR_HI GH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_wr_abort_imwr_addr_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_wr_abort_imwr_addr_high	DMA 写中止中断消息地址高 32 位。					



DMA_WR_IMWR_DATA_0

DMA_WR_IMWR_DATA_0 为 DMA 写操作消息中断数据寄存器。

Offset Address		Register Name		Total Reset Value					
0x09E0		DMA_WR_IMWR_DATA_0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				dma_wr_imwr_data_0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	reserved	保留。						
[15:0]	RW	dma_wr_imwr_data_0	DMA 写通道 0 的中断消息数据。						

DMA_WR_LINK_ERR_ENABLE

DMA_WR_LINK_ERR_ENABLE 为 DMA 链表模式写操作错误中断使能寄存器。

Offset Address		Register Name		Total Reset Value						
0x0A00		DMA_WR_LINK_ERR_ENABLE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				wr_lllale	reserved				wr_llrale
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RW	reserved	保留。							
[16]	RW	wr_lllale	链表模式本地写中止中断使能。 只在链表模式下有效。							
[15:1]	RW	reserved	保留。							
[0]	RW	wr_llrale	链表模式对端设备 DMA 写中止中断使能。 只在链表模式下有效。							



DMA_RD_INT_STAT

DMA_RD_INT_STAT 为 DMA 读操作中中断状态寄存器。

	Offset Address				Register Name				Total Reset Value																									
	0x0A10				DMA_RD_INT_STAT				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																dma_wr_abort_int_stat	reserved																dma_wr_done_int_stat
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name		Description																													
[31:17]	RW		reserved		保留。																													
[16]	RW		dma_wr_abort_int_stat		DMA 读操作中中止中断状态。 表明 DMA 读通道检测到错误或者手动停止 DMA 写操作。 0: 无效。 1: 有效。																													
[15:1]	RW		reserved		保留。																													
[0]	RW		dma_wr_done_int_stat		DMA 读操作完成中断状态。 表明已成功完成一次 DMA 读操作。 0: 无效。 1: 有效。																													

DMA_RD_INT_MASK

DMA_RD_INT_MASK 为 DMA 读操作中中断掩码寄存器。



Offset Address		Register Name		Total Reset Value																														
0x0A18		DMA_RD_INT_MASK		0x0000_0000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																dma_wr_abort_int_mask	reserved																dma_wr_done_int_mask
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access	Name	Description																															
[31:17]	RW	reserved	保留。																															
[16]	RW	dma_wr_abort_int_mask	DMA 读操作中中止中断掩码。 0: dma_rd_abort_int_stat 可产生 edma_int 中断。 1: dma_rd_abort_int_stat 不产生 edma_int 中断。																															
[15:1]	RW	reserved	保留。																															
[0]	RW	dma_wr_done_int_mask	DMA 读操作完成中断掩码。 0: dma_rd_done_int_stat 可产生 edma_int 中断。 1: dma_rd_done_int_stat 不产生 edma_int 中断。																															

DMA_RD_INT_CLR

DMA_RD_INT_CLR 为 DMA 读操作中中断清除寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0A1C		DMA_RD_INT_CLR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dma_wr_abort_int_clr	reserved												dma_wr_done_int_clr						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:17]	RW	reserved	保留。																													
[16]	RW	dma_wr_abort_int_clr	DMA 读操作中止中断清除。 向此位写入 1 将清除 DMA_RD_INT_STAT 寄存器中的 dma_rd_abort_int_stat 中断状态。																													
[15:1]	RW	reserved	保留。																													
[0]	RW	dma_wr_done_int_clr	DMA 读操作中止中断清除。 向此位写入 1 将清除 DMA_RD_INT_STAT 寄存器中的 dma_rd_done_int_stat 中断状态。																													

DMA_RD_ERR_STAT_LOW

DMA_RD_ERR_STAT_LOW 为 DMA 读操作错误状态低位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A24		DMA_RD_ERR_STAT_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			link_el_fetch_err_det	reserved			app_rd_err_det
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	RW	reserved	保留。					
[16]	RW	link_el_fetch_err_det	链表模式下，DMA 读通道获取链表单元错误。					
[15:1]	RW	reserved	保留。					
[0]	RW	app_rd_err_det	DMA 读通道检测到 AXI 总线错误响应。					

DMA_RD_ERR_STAT_HIGH

DMA_RD_ERR_STAT_HIGH 为 DMA 读操作错误状态高位寄存器。

Offset Address		Register Name		Total Reset Value								
0x0A28		DMA_RD_ERR_STAT_HIGH		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved		dp_err	reserved		to_err	reserved		ca_err	reserved		ur_err
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:25]	RW	reserved	保留。									
[24]	RW	dp_err	DMA 通道检测到来自对端设备的中毒数据。									
[23:17]	RW	reserved	保留。									
[16]	RW	to_err	DMA 通道读操作超时。									
[15:9]	RW	reserved	保留。									



Offset Address		Register Name		Total Reset Value								
0x0A28		DMA_RD_ERR_STAT_HIGH		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved		dp_err	reserved		to_err	reserved		ca_err	reserved		ur_err
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[8]	RW	ca_err	DMA 通道检测到来自对端设备的 CA(Completion Abort)完成包。									
[7:1]	RW	reserved	保留。									
[0]	RW	ur_err	DMA 通道检测到来自对端设备的 UR(Unsupported Request)完成包。									

DMA_RD_LINK_ERR_ENABLE

DMA_RD_LINK_ERR_ENABLE 为 DMA 链表模式读操作错误中断使能寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A34		DMA_RD_LINK_ERR_ENABLE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		rd_lllale	reserved		reserved		rd_llrale
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	RW	reserved	保留。					
[16]	RW	rd_lllale	链表模式本地读中止中断使能。 只在链表模式下有效。					
[15:1]	RW	reserved	保留。					
[0]	RW	rd_llrale	链表模式对端设备 DMA 读中止中断使能。 只在链表模式下有效。					



DMA_RD_DONE_IMWR_ADDR_LOW

DMA_RD_DONE_IMWR_ADDR_LOW 为 DMA 读完成消息中断地址低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A3C		DMA_RD_DONE_IMWR_ADDR_LO W		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_rd_done_imwr_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_rd_done_imwr_addr_low	DMA 读完成中断消息地址低 32 位。					

DMA_RD_DONE_IMWR_ADDR_HIGH

DMA_RD_DONE_IMWR_ADDR_HIGH 为 DMA 读完成消息中断地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A40		DMA_RD_DONE_IMWR_ADDR_HIG H		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_rd_done_imwr_addr_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_rd_done_imwr_addr_high	DMA 读完成中断消息地址高 32 位。					

DMA_RD_ABORT_IMWR_ADDR_LOW

DMA_RD_ABORT_IMWR_ADDR_LOW 为 DMA 读中止消息中断地址低位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A44		DMA_RD_ABORT_IMWR_ADDR_LO W		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_rd_abort_imwr_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_rd_abort_imwr_addr_low	DMA 读中止中断消息地址低 32 位。					

DMA_RD_ABORT_IMWR_ADDR_HIGH

DMA_RD_ABORT_IMWR_ADDR_HIGH 为 DMA 读中止消息中断地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A48		DMA_RD_ABORT_IMWR_ADDR_HI GH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_rd_abort_imwr_addr_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_rd_abort_imwr_addr_high	DMA 读中止中断消息地址高 32 位。					

DMA_RD_IMWR_DATA_0

DMA_RD_IMWR_DATA_0 为 DMA 读操作消息中断数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A4C		DMA_RD_IMWR_DATA_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				dma_wr_imwr_data_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	reserved	保留。					
[15:0]	RW	dma_wr_imwr_data_0	DMA 读通道 0 的中断消息数据。					



DMA_CH_INDEX

DMA_CH_INDEX 为 DMA 通道索引寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x0A6C				DMA_CH_INDEX								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	ch_dir				reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31]	RW	ch_dir		通道方向。 通过此位选择要配置的寄存器属于读通道还是写通道。 0: 写通道。 1: 读通道。																															
	[30:3]	RW	reserved		保留。																															
	[2:0]	RW	reserved		保留，必须设置为 0。																															

DMA_CH_CTRL

DMA_CH_CTRL 为 DMA 通道控制寄存器。



Offset Address		Register Name		Total Reset Value																																
0x0A70		DMA_CH_CTRL		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	addr_trans		traffic_class		traffic_digest	relaxed_order	no_snoop	reserved					fun_num				reserved		link_mode_enable	consumer_cyc_state	reserved		ch_status	remote_int_enable	local_int_enable	ld_link_pt	tog_cyc_bit	cyc_bit								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access	Name	Description																																	
[31:30]	RW	addr_trans	PCIe 事务 AT 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 AT 位将由此成员值代替。																																	
[29:27]	RW	traffic_class	PCIe 事务 TC 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 TC 位将由此成员值代替。																																	
[26]	RW	traffic_digest	PCIe 事务 TD 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 TD 位将由此成员值代替。																																	
[25]	RW	relaxed_order	PCIe 事务 RO 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 RO 位将由此成员值代替。																																	
[24]	RW	no_snoop	PCIe 事务 NS 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 NS 位将由此成员值代替。																																	
[23:17]	RW	reserved	保留。																																	
[16:12]	RW	fun_num	PCIe 事务 fun_num 位。 DMA 发起的的 PCIe 存储器读写事务包中的的功能号将由此成员值代替。																																	
[11:10]	RW	reserved	保留。																																	
[9]	RW	link_mode_enable	链表模式使能。 在本版本中应该设置为 0。																																	
[8]	RW	consumer_cyc_stat e	只用于链表模式，无需设置。																																	



Offset Address		Register Name		Total Reset Value																																																																								
0x0A70		DMA_CH_CTRL		0x0000_0000																																																																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																												
Name	addr_trans				traffic_class				traffic_digest				relaxed_order				no_snoop				reserved								fun_num								reserved				link_mode_enable				consumer_cyc_state				reserved				ch_status				remote_int_enable				local_int_enable				ld_link_pt				tog_cyc_bit				cyc_bit			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0																															
Bits	Access	Name	Description																																																																									
[7]	RW	reserved	保留。																																																																									
[6:5]	RW	ch_status	通道状态。 表明通道所处的工作状态。 00: 保留。 01: 正在进行 DMA 传输。 10: 运行错误。 11: 通道成功完成 DMA 传输或通道被手动停止传输。																																																																									
[4]	RW	remote_int_enable	对端 DMA 中断使能。 设置此位有效，则可以在 DMA 传输完成或失败时向对端设备发出 DMA 中断。 0: 不使能 DMA 对端中断。 1: 使能 DMA 对端中断。																																																																									
[3]	RW	local_int_enable	本地 DMA 中断使能。 设置此位有效，则可以在 DMA 传输完成或失败时发出 DMA 本地中断。 0: 不使能 DMA 本地中断。 1: 使能 DMA 本地中断。																																																																									
[2]	RW	ld_link_pt	只用于链表模式，无需设置。																																																																									
[1]	RW	tog_cyc_bit	只用于链表模式，无需设置。																																																																									
[0]	RW	cyc_bit	只用于链表模式，无需设置。																																																																									

DMA_TRANS_SIZE

DMA_TRANS_SIZE 为 DMA 传输长度寄存器寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A78		DMA_TRANS_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_trans_size							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_trans_size	DMA 传输长度。 在 DMA 传输之前将需要传输的数据长度写入此寄存器，最小传输长度是 1 个字节，最大 4G 字节。 在 DMA 传输过程中，此寄存器值会自动递减。寄存器的值为未传输的字节数，传输成功结束后此寄存器为 0。					

DMA_SAR_LOW

DMA_SAR_LOW 为 DMA 数据源地址低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A7C		DMA_SAR_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_sar_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_sar_low	DMA 传输数据的源地址(低 32 位)。 在 DMA 传输之前将源数据的起始地址写入此寄存器，DMA 通道将从此地址获取将要传输的数据。 在 DMA 传输过程中，此寄存器的值会自动递增。 此寄存器低 2 比特必须为 0。					

DMA_SAR_HIGH

DMA_SAR_HIGH 为 DMA 数据源地址高位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A80		DMA_SAR_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_sar_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_sar_high	DMA 传输数据的源地址(高 32 位)。 32 位地址模式下必须为 0。 64 位地址模式下与 DMA_SAR_LOW 组成 64 位的源地址。					

DMA_DAR_LOW

DMA_DAR_LOW 为 DMA 目标地址低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A84		DMA_DAR_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_dar_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_dar_low	DMA 传输数据的目标地址(低 32 位)。 在 DMA 传输之前将目标地址写入此寄存器，DMA 通道将从源地址获取的数据写入目标地址内。 在 DMA 传输过程中，此寄存器的值会自动递增。 此寄存器低 2 比特必须为 0。					

DMA_DAR_HIGH

DMA_DAR_HIGH 为 DMA 目标地址高位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A88		DMA_DAR_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_dar_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_dar_high	DMA 传输数据的目标地址(高 32 位)。32 位地址模式下必须为 0。64 位地址模式下与 DMA_DAR_LOW 组成 64 位的目标地址。					

DMA_LINK_PT_LOW

DMA_LINK_PT_LOW 为 DMA 链表指针低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A8C		DMA_LINK_PT_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_link_pt_low							reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:2]	RW	dma_link_pt_low	DMA 链表指针(低 32 位)。链表模式下 DMA 链表单元存储地址，链表模式 DMA 启动后将从此地址获取链表单元。此寄存器只在链表模式下使用。					
[1:0]	RW	reserved	保留。					

DMA_LINK_PT_HIGH

DMA_LINK_PT_HIGH 为 DMA 链表指针高位寄存器。



	Offset Address				Register Name								Total Reset Value																							
	0x0A90				DMA_LINK_PT_HIGH								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dma_link_pt_high																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RW		dma_link_pt_high		DMA 链表指针(高 32 位)。 同 DMA_LINK_PT_LOW 组合成 64 位的链表单元地址。 32 位地址模式下必须为 0。																															

14.9 SATA

14.9.1 概述

SATA 基于 AMBA 2.0 AHB 总线接口，便于在 SOC 片上系统中快速实现集成应用；提供基于 Linux 操作系统开发的驱动程序，帮助软件人员快速完成 SOC 子系统驱动程序定制开发；最多支持 2 个 SATA 端口，另外对 NCQ、热拔插、Port Multiplier、eSATA 等最新特性也提供了在控制器层面的支持。

14.9.2 特点

Hi3531 的 SATA 接口有以下特点：

- 提供 ARM AHB 系统总线 Slave 接口，相关标准为 AMBA Spec 2.0。只支持 32bit 访问模式。
- 提供 ARM AHB 系统总线 Master 接口，相关标准为 AMBA Spec 2.0。只支持 32bit 访问模式。
- 提供和 PHY 连接的标准接口信号。
- 支持 SATA2.5 和 AHCI1.2 协议。
- 支持 PIO、Legacy DMA、NCQ、ATAPI 操作。
- 支持电源管理特性。
- 支持 Port Multiplier 特性。
- 支持最多支持 2 个 SATA 端口。
- 支持 1.5Gbps 和 3.0Gbps 速率的自动协商。
- 支持中断上报机制。

14.9.3 信号描述

SATA 接口信号如表 14-29 所示。



表14-29 SATA 接口信号描述

信号名称	方向	描述	对应管脚
SREFCKM	I	SATA 的负相差分时钟输入。	SREFCKM
SREFCKP	I	SATA 的正相差分时钟输入。	SREFCKP
SRESREF	I/O	SATA 的扩展电阻管脚，外接扩展电阻。	SRESREF
SRXM0	I	SATA 端口 0 的负相差分数据输入。	SRXM0
SRXM1	I	SATA 端口 1 的负相差分数据输入。	SRXM1
SRXP0	I	SATA 端口 0 的正相差分数据输入。	SRXP0
SRXP1	I	SATA 端口 1 的正相差分数据输入。	SRXP1
STXM0	O	SATA 端口 0 的负相差分数据输出。	STXM0
STXM1	O	SATA 端口 1 的负相差分数据输出。	STXM1
STXP0	O	SATA 端口 0 的正相差分数据输出。	STXP0
STXP1	O	SATA 端口 1 的正相差分数据输出。	STXP1

14.9.4 功能描述

典型应用

SATA 典型应用模式如图 14-70、图 14-71、图 14-72 所示。

图14-70 典型应用模式 1

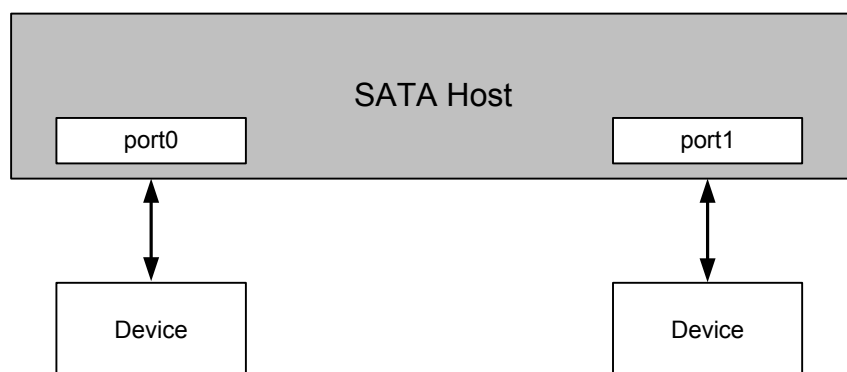




图14-71 典型应用模式 2

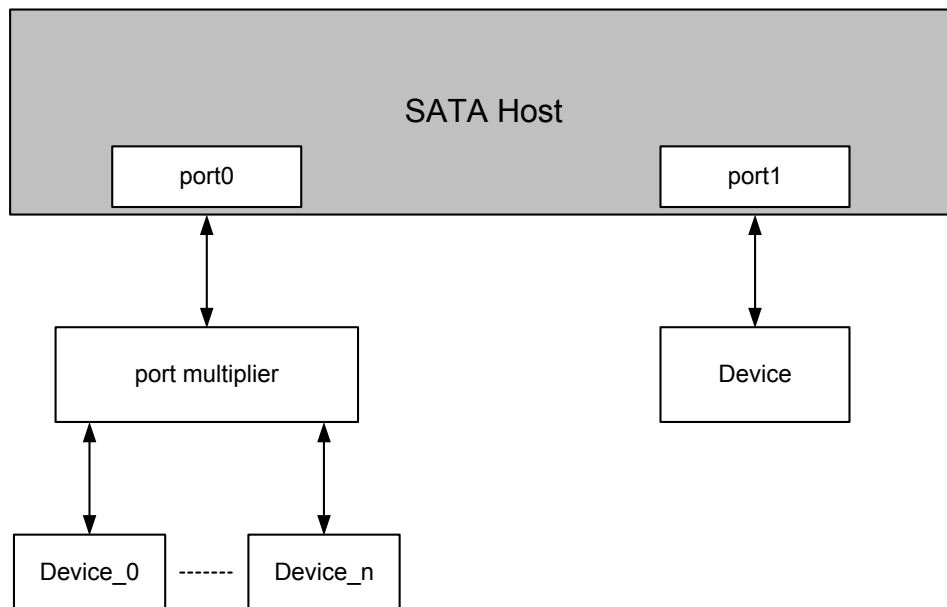
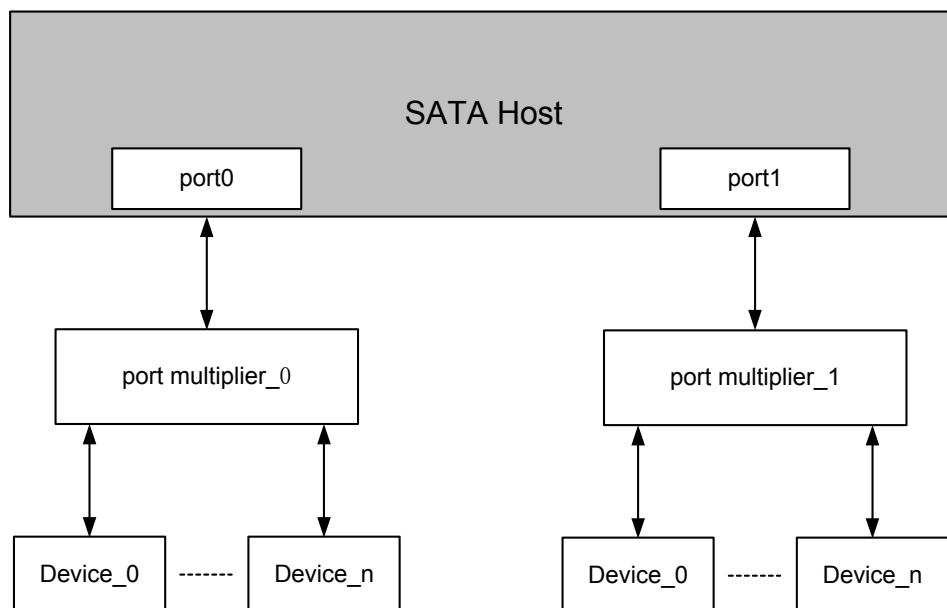


图14-72 典型应用模式 3

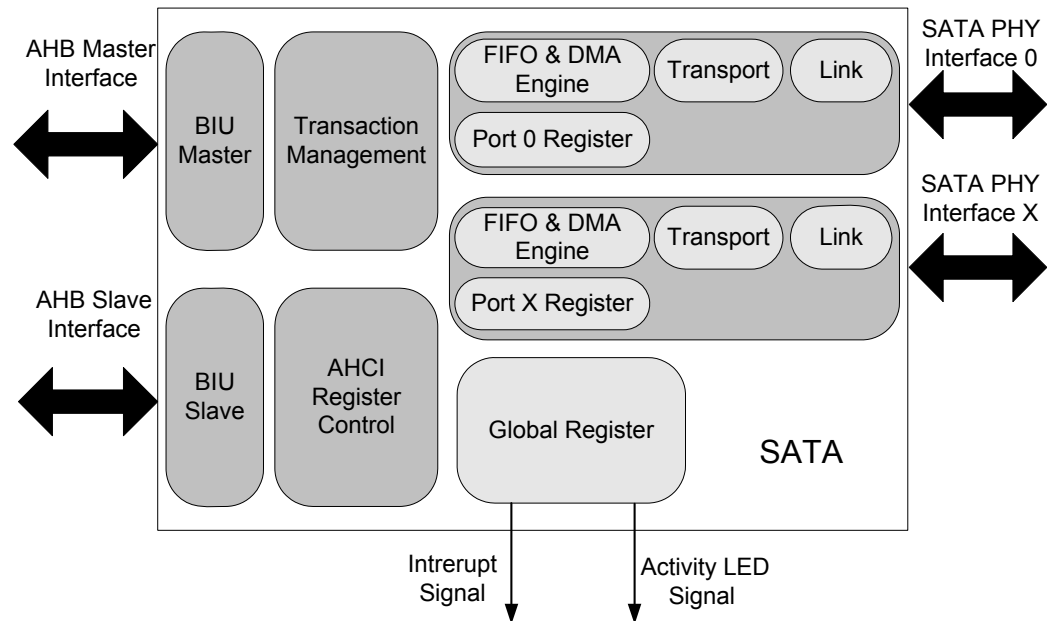


SATA Host 提供支持直接和硬盘、光驱等 Device 对接，可以同时支持两个 Device。同时也支持任何一个端口外扩 Port Multiplier，由 Port Multiplier 根据自身的外扩能力挂接多个 Device。

功能原理

Hi3531 SATA 模块架构如图 14-73 所示。

图14-73 Hi3531 SATA 模块架构



AHB Master、AHB Slave 接口挂接在基于 ARM AMBA2.0 系统总线 AHB 上，系统总线上还应有 ARM CPU、System Memory Controller，软件通过 AHB Slave 接口对 SATA 进行配置，AHB Master 接口可以主动访问 System Memory Controller 控制的 DRAM，完成命令读操作和数据读写操作。

SATA Host 支持 PIO、Legacy DMA、Native Command Queue、ATAPI 操作。

中断信号接系统中断控制器。

在芯片内部，SATA PHY 接口与 SATA PHY 相连接；在芯片外部，SATA PHY 可以连接支持 SATA 的硬盘或者光驱；SATA PHY 还可连接 SATA Port Multiplier 扩展到多个端口。

另外，Activity LED 显示信号可直接接出芯片，这一功能可根据实际应用选择。

14.9.5 工作方式

14.9.5.1 时钟门控

配置系统控制器 PERI_CRG45[sata0_cken]和 PERI_CRG45[sata1_cken]为 1，使能 SATA 模块的时钟；配置系统控制器 PERI_CRG45[sata0_cken]和 PERI_CRG45[sata1_cken]为 0，关闭 SATA 模块的时钟。

14.9.5.2 时钟配置

通过配置 SATA Host 内部的控制寄存器 [SATA_PHY0_CTLH](#) bit[13]来选择给 SATA PHY 的参考时钟源，可控制 SATA PHY 的时钟是由片内产生还是由外部时钟源输入：

- 当 [SATA_PHY0_CTLH](#) bit[13]为 1 时，SREFCKM 和 SREFCKP 由片内产生。



- 当 [SATA_PHY0_CTLH bit\[13\]](#) 为 0 时，SREFCKM 和 SREFCKP 由外部时钟源输入。

SATA PHY 支持的参考时钟范围为 25MHz~156.25MHz。由于 PHY 内部的 MPLL 的支持的输入时钟范围为 50MHz~78.125MHz，所以提供的参考时钟改变时，需要对 SATA Host 内部的控制寄存器 [SATA_PHY0_CTLL bit\[31:30\]](#) 进行配置，来满足 PHY 内部 MPLL 的时钟要求。具体请参见 [SATA_PHY0_CTLL bit\[31:30\]](#) 的描述。

14.9.5.3 软复位

SATA Host 有多个软复位控制，分别描述如下：

- 通过配置系统控制器 [PERI_CRG45 bit\[7\]](#) 为 1，可实现对 sata_alive 时钟域的单独软复位。
- 通过配置系统控制器 [PERI_CRG45 bit\[6\]](#) 为 1，可实现对 port1 的 sata_rx 时钟域的单独软复位。
- 通过配置系统控制器 [PERI_CRG45 bit\[5\]](#) 为 1，可实现对 port0 的 sata_rx 时钟域的单独软复位。
- 通过配置系统控制器 [PERI_CRG45 bit\[4\]](#) 为 1，可实现对 port1 的 sata_tx 时钟域的单独软复位。
- 通过配置系统控制器 [PERI_CRG45 bit\[3\]](#) 为 1，可实现对 port0 的 sata_tx 时钟域的单独软复位。
- 通过配置系统控制器 [PERI_CRG45 bit\[0\]](#) 为 1，可实现对 PHY 单独软复位。
- 通过配置系统控制器 [PERI_CRG45 bit\[1\]](#) 为 1，可实现对 HCLK 时钟域单独软复位。
- 通过配置系统控制器 [PERI_CRG45 bit\[2\]](#) 为 1，可实现对 SATA Host 软复位。

另外，在 SATA Host 控制器中还提供两种同步复位策略：

- 配置 SATA Host 控制器内部 [SATA_GHC_GHC bit\[0\]](#) 为 1 时，SATA Host 进入复位状态，内部的所有模块的逻辑恢复到初始值。[SATA_GHC_GHC bit\[0\]](#) 在复位完成后自动清零。
- 配置 Port0 或 Port1 中的 [SATA_PORT_CMD bit\[0\]](#) 从 1 到 0 时，SATA Host 对应的 Port0 或 Port1 进入复位状态。

14.9.5.4 工作模式配置

SATA Host 在工作之前，必须先完成对 PHY 的初始化配置，使得 PHY 能够正常工作；同时完成和 Device 的初始化协商。

初始化 PHY

以 PHY 的参考时钟 125MHz 且来自片内为例，初始化配置 1.5Gbps 速度的 port0 的步骤如下：

1. 配置 [PERI_CRG45 bit \[11\]](#) 为 0，选中 CRG 输出 125MHz 参考时钟。
2. 配置 [PERI_CRG45 bit \[1\]](#) 为 0，撤销 SATA controller 总线软复位。
3. 配置 [PERI_CRG45 bit \[0\]](#) 为 0，撤销 SATA PHY 软复位。



4. 配置 `SATA_PHY0_CTLH` bit[12]为 1，关断提供给 PHY 的参考时钟。
5. 配置 `SATA_PHY0_CTLL` 寄存器为 `0x840E_C788`。
6. 配置 `SATA_PHY0_CTLH` 寄存器为 `0x2121`。
7. 配置 `SATA_OOB_CTL` 寄存器为 `0x8406_0C15`。
8. 配置 `SATA_PORT_PHYCTL` 寄存器为 `0x0E26_2759`。
9. 配置 `PERI_CRG45` bit[0]为 1，软复位 SATA PHY。
10. 配置 `PERI_CRG45` bit [0]为 0，撤销 SATA PHY 软复位。
11. 配置 `PERI_CRG45` bit [2]为 0，撤销 SATA controller 接口软复位。
12. 配置 `PERI_CRG45` bit [3]为 0，撤销 SATA controller tx0 时钟域软复位。
13. 配置 `PERI_CRG45` bit [5]为 0，撤销 SATA controller rx0 时钟域软复位。
14. 配置 `PERI_CRG45` bit [7]为 0，撤销 SATA controller alive 时钟域软复位。

----结束

初始化协商

等待 PHY 的 PLL 正常工作，Host 开始和 Device 完成初始化协商。

1. 配置 `SATA_PORT_CMD`[`cmd_sud`]为 1。
2. 等待 PHY 给出的指示信号 `phyrdy` 有效，可以通过查看 `SATA_PORT_SSTS`[`pxssts_det`] 是否等于 3 来确定这个 port 是否已经正常。如果 `SATA_PORT_SSTS`[`pxssts_det`]等于 3 则表示初始化成功。

----结束

操作业务

初始化协商完成后，通过以下步骤开始业务操作：

1. 清中断（第一次启动工作，或复位后不必进行此操作），依次配置 `SATA_PORT_SERR`、`SATA_PORT_IS` 和 `SATA_GHC_IS` 寄存器，配置值均为 `0xFFFFFFFF`。
2. 配置中断屏蔽寄存器 `SATA_PORT_IE`，屏蔽掉不需要上报的中断。
3. 使能全局中断，配置 `SATA_GHC_GHC` 寄存器为 `0x80000002`。
4. 按照附录 A SATA 命令链表格式建立链表。
5. 设置端口命令列表在内存中的基地址，配置寄存器位 `SATA_PORT_CLB`[`port_clb`]（配置值为命令列表分配的内存基地址），通知发送 DMAC 读取命令、数据的位置。
6. 设置端口接收帧存放在的内存中的基地址，配置寄存器位 `SATA_PORT_FB`[`port_fb`]（配置值为接收帧分配的内存基地址）通知接收 DMAC 接收 FIS 保存的位置。



7. 配置 `SATA_PORT_CMD[st]` 为 1，使能发送 DMAC，进行命令、数据发送；配置 `SATA_PORT_CMD[cmd_fre]` 为 1，使能接收 DMAC，接收 FIS 并写入系统内存。
8. 配置端口命令发送控制寄存器 `SATA_PORT_CI`，表明当前哪个命令准备发送。
9. 进行命令发送和数据传输。
10. 软件通过中断位及命令执行情况来判断当前命令是否完成。在接收到中断时，若是 PIO/DMA 操作，查询 CI 位是否都清 0；若是 NCQ 操作，查询 CI 和 SACT 对应位是否都清 0。
11. 若需要启动下一次传输，重复 1~10。

----结束

说明

Legacy DMA 操作、PIO 操作、ATAPI 操作均按照上面步骤进行操作，不同之处在于建立的链表（命令代码，标志位等不同）。

除了建立链表不同外，NCQ 操作还需要配置寄存器 `SATA_PORT_SACT`，表明 NCQ 操作执行的命令个数，在上面的第 7 步骤后再添加“配置寄存器 `SATA_PORT_SACT`”的步骤，需要保证 `SATA_PORT_SACT` 配置的命令位置和 `SATA_PORT_CI` 中的命令位置对应。

14.9.6 寄存器概览

寄存器偏移地址中变量的取值范围和含义如表 14-30 所示。

表14-30 寄存器偏移地址变量表

变量名称	取值范围	描述
n	0、1	控制器的 2 个端口

14.9.7 SATA 寄存器概览

SATA 寄存器概览如表 14-31 所示。

表14-31 SATA 寄存器概览（基址是 0x1008_0000）

偏移地址	名称	描述	页码
0x0000	SATA_GHC_CAP1	特性支持寄存器 1	14-221
0x0004	SATA_GHC_GHC	全局控制寄存器	14-223
0x0008	SATA_GHC_IS	中断状态寄存器	14-223
0x000C	SATA_GHC_PI	端口实现寄存器	14-224
0x0010	SATA_GHC_VS	AHCI 版本标识寄存器	14-225



偏移地址	名称	描述	页码
0x0014	SATA_GHC_CCC_CTL	CCC 控制寄存器	14-225
0x0018	SATA_GHC_CCC_PORTS	CCC 端口使能寄存器	14-226
0x0024	SATA_GHC_CAP2	特性支持寄存器 2	14-226
0x0028	SATA_GHC_BOHC	BIOS/OS 交接控制寄存器	14-227
0x0050	SATA_GHC_TM	TM 测试状态寄存器	14-228
0x0054	SATA_PHY0_CTL	PHY0 全局控制低位寄存器	14-229
0x0058	SATA_PHY0_CTLH	PHY0 全局控制高位寄存器	14-230
0x005C	SATA_PHY0_STS	PHY0 全局状态寄存器	14-231
0x006C	SATA_OOB_CTL	PHY OOB 控制寄存器	14-232

14.9.8 SATA_PORT_CFG 寄存器概览

SATA_PORT_CFG 寄存器概览如表 14-32 所示。

表14-32 SATA_PORT_CFG 寄存器概览（基址是 0x1008_0100）

偏移地址	名称	描述	页码
0x000+n×0x80	SATA_PORT_CLB	命令列表基址寄存器	14-232
0x008+n×0x80	SATA_PORT_FB	接收 FIS 基址寄存器	14-233
0x010+n×0x80	SATA_PORT_IS	端口中断状态寄存器	14-233
0x014+n×0x80	SATA_PORT_IE	端口中断屏蔽寄存器	14-235
0x018+n×0x80	SATA_PORT_CMD	端口命令与状态寄存器	14-237
0x020+n×0x80	SATA_PORT_TFD	端口 task file 寄存器	14-240
0x024+n×0x80	SATA_PORT_SIG	端口 signature 寄存器	14-240
0x028+n×0x80	SATA_PORT_SSTS	接口状态寄存器	14-241
0x02C+n×0x80	SATA_PORT_SCTL	接口控制寄存器	14-242



偏移地址	名称	描述	页码
0x30+n×0x80	SATA_PORT_SERR	错误诊断状态寄存器	14-243
0x034+n×0x80	SATA_PORT_SACT	NCQ 命令标识控制寄存器	14-245
0x38+n×0x80	SATA_PORT_CI	命令发送控制寄存器	14-245
0x3C+n×0x80	SATA_PORT_SNTF	异步 notification 事件指示寄存器	14-246
0x044+n×0x80	SATA_PORT_FIFOTH	接收 FIFO 水线寄存器	14-247
0x050+n×0x80	SATA_PORT_HBA	HBA 测试状态寄存器	14-247
0x054+n×0x80	SATA_PORT_LINK	Link 测试状态寄存器	14-248
0x058+n×0x80	SATA_PORT_DMA1	DMAC 测试状态寄存器 1	14-249
0x05C+n×0x80	SATA_PORT_DMA2	DMAC 测试状态寄存器 2	14-250
0x060+n×0x80	SATA_PORT_DMA3	DMAC 测试状态寄存器 3	14-251
0x064+n×0x80	SATA_PORT_DMA4	DMAC 测试状态寄存器 4	14-251
0x068+n×0x80	SATA_PORT_DMA5	DMAC 测试状态寄存器 5	14-251
0x06C+n×0x80	SATA_PORT_DMA6	DMAC 测试状态寄存器 6	14-252
0x070+n×0x80	SATA_PORT_DMA7	DMAC 测试状态寄存器 7	14-252
0x074+n×0x80	SATA_PORT_PHYCTL	PHY 控制寄存器	14-254
0x078+n×0x80	SATA_PORT_PHYS	PHY 测试状态寄存器	14-256

14.9.9 SATA 寄存器描述

SATA_GHC_CAP1

SATA_GHC_CAP1 为特性支持寄存器 1。



Offset Address		Register Name																Total Reset Value																		
0x0000		SATA_GHC_CAP1																0x6F26_FFA1																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	s64a	sncq	ssntf	smmps	sss	salp	sal	sclo	iss				reserved	sam	spm	fbss	pmd	ssc	psc	ncs				cccs	ems	sxs	np									
Reset	0	1	1	0	1	1	1	1	0	0	1	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	0	1	0	0	0	0	1			
Bits	Access	Name	Description																																	
[31]	RO	s64a	固定为 0，表示不支持 64 比特数据结构访问。																																	
[30]	RO	sncq	固定为 1，表示支持 NCQ。																																	
[29]	RO	ssntf	固定为 1，表示支持端口 SNTF 寄存器。																																	
[28]	RO	smmps	固定为 0，表示不支持机械热拔插。																																	
[27]	RO	sss	固定为 1，表示支持交错启动(staggered spin-up)。																																	
[26]	RO	salp	固定为 1，表示支持电源管理。																																	
[25]	RO	sal	固定为 1，表示支持点灯管脚。																																	
[24]	RO	sclo	固定为 1，表示支持命令链表覆盖。																																	
[23:20]	RO	iss	固定为 0x2，表示最大可支持 3Gbps 速率。																																	
[19]	RO	reserved	保留。																																	
[18]	RO	sam	固定为 1，表示只支持 AHCI 模式。																																	
[17]	RO	spm	固定为 1，表示支持 Port Multiplier。																																	
[16]	RO	fbss	固定为 0，表示不支持 FIS-based Switching。																																	
[15]	RO	pmd	固定为 1，但 PIO 模式不支持传输多个 DRQ 块。																																	
[14]	RO	ssc	固定为 1，表示支持进入 Slumber 状态。																																	
[13]	RO	psc	固定为 1，表示支持进入 Partial 状态。																																	
[12:8]	RO	ncs	固定为 0x1F，表示支持 32 个命令 slot。																																	
[7]	RO	cccs	固定为 1，表示支持 CCC (Command Completion Coalescing) 功能。																																	
[6]	RO	ems	固定为 0，表示不支持 Enclose Management。																																	
[5]	RO	sxs	固定为 1，表示支持 External SATA。																																	
[4:0]	RO	np	固定为 0x01，表示支持 2 个端口。																																	



SATA_GHC_GHC

SATA_GHC_GHC 为全局控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				SATA_GHC_GHC				0x8000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ahci_en	reserved																												int_enable	hba_rst	
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RO	ahci_en	固定为 1，表示软件只能通过 AHCI 机制与控制器进行交互。																													
[30:2]	RO	reserved	保留。																													
[1]	RW	int_enable	控制器中断使能。 0：禁止； 1：使能。																													
[0]	RW	hba_rst	控制器软复位控制。 0：不复位； 1：复位。 写 1 复位控制器，复位完成后自动清 0；写 0 对控制器无影响。复位不影响 SATA_GHC_BOHC、SATA_PORT_FB、SATA_PORT_CLB 寄存器。																													

SATA_GHC_IS

SATA_GHC_IS 为中断状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x0008		SATA_GHC_IS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							ips_port1	ips_port0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	WC	ips_ccc	CCC 中断状态。 0: 未产生 CCC 中断; 1: 已产生 CCC 中断。						
[30:2]	RO	reserved	保留。						
[1]	WC	ips_port1	端口 1 中断状态。 0: 无中断上报; 1: 有中断上报。						
[0]	WC	ips_port0	端口 0 中断状态。 0: 无中断上报; 1: 有中断上报。						

SATA_GHC_PI

SATA_GHC_PI 为端口实现寄存器。

Offset Address		Register Name		Total Reset Value				
0x000C		SATA_GHC_PI		0x0000_0003				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							port_imp
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RO	port_imp	端口有效指示, 其值为 0x3 时, 表示 0~1 共 2 个端口有效, bit[1]~bit[0]分别对应端口 1~端口 0。 0: 端口无效; 1: 端口有效。					



SATA_GHC_VS

SATA_GHC_VS 为 AHCI 版本标识寄存器。

Offset Address		Register Name		Total Reset Value				
0x0010		SATA_GHC_VS		0x0001_0200				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	achi_vs							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	achi_vs	表示支持的 AHCI 版本为 V1.2。					

SATA_GHC_CCC_CTL

SATA_GHC_CCC_CTL 为 CCC 控制寄存器。

Offset Address		Register Name		Total Reset Value						
0x0014		SATA_GHC_CCC_CTL		0x0001_01F8						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	ccc_tv			ccc_cc			ccc_int		reserved	ccc_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	1 1 1 1	1 0 0 0		
Bits	Access	Name	Description							
[31:16]	RW	ccc_tv	CCC 超时参数，单位为 ms。 CCC 功能被使能时，超时计数器加载该参数值，当参与 CCC 功能的端口有命令在执行时，计数器每隔 1ms 递减 1，直至递减为 0 产生 CCC 中断，CCC 中断产生后，计数器重新加载该参数进行下一轮的计数。 该位不可写 0。							
[15:8]	RW	ccc_cc	CCC 命令完成上限值。 CCC 功能被使能时，命令完成计数器清 0，开始累加参与 CCC 功能的各个端口的命令完成数，如果计数器累加大于或等于该参数，产生 CCC 中断，CCC 中断产生后，计数器清 0 重新开始新一轮累计计数。 若对该位写 0，将禁止命令完成中断，此时 CCC 中断只能因为超时而产生。							



	Offset Address				Register Name				Total Reset Value																							
	0x0014				SATA_GHC_CCC_CTL				0x0001_01F8																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ccc_tv								ccc_cc				ccc_int				reserved		ccc_en													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0
Bits	Access		Name		Description																											
[7:3]	RO		ccc_int		CCC 中断向量号，其值为 0x1F（31），即表明 SATA_GHC_IS bit[31]为 CCC 中断状态。																											
[2:1]	RO		reserved		保留。																											
[0]	RW		ccc_en		CCC 功能使能。 0：禁止； 1：使能。 注意：在使能 CCC 功能时，不可更改 ccc_tv 和 ccc_cc 参数值。																											

SATA_GHC_CCC_PORTS

SATA_GHC_CCC_PORTS 为 CCC 端口使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0018				SATA_GHC_CCC_PORTS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															ccc_prt																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:2]	RO		reserved		保留。																											
[1:0]	RW		ccc_prt		指定参与 CCC 功能的端口。bit[1]~bit[0]分别代表端口 1~0。对应位为 1 表示该端口参与 CCC 计数，为 0 表示该端口不参与 CCC 计数。 该寄存器可以随时更改并生效。																											

SATA_GHC_CAP2



Offset Address		Register Name		Total Reset Value					
0x0024		SATA_GHC_CAP2		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cap_boh
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	cap_boh	固定为 1，表示支持 BIOS/OS 的交接管理控制。						

SATA_GHC_BOHC

SATA_GHC_BOHC 为 BIOS/OS 交接控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x0028		SATA_GHC_BOHC		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						bohc_bb	bohc_ooc	bohc_sooe	bohc_oos	bohc_bos
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:5]	RO	reserved	保留。								
[4]	RW	bohc_bb	BIOS 忙状态指示。 0: BIOS 不忙; 1: BIOS 正忙于完成相关操作并准备将控制权交接给 OS。								
[3]	WC	bohc_ooc	当 bohc_oos 信号从 0 跳变到 1 时，该位锁定到 1；该比特位写 1 清零，写 0 无影响。								
[2]	RW	bohc_sooe	消息中断使能。 0: 不产生消息中断； 1: 当 bohc_ooc 比特置 1 时，会产生消息中断。								



Offset Address		Register Name		Total Reset Value																												
0x0028		SATA_GHC_BOHC		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															bohc_bb	bohc_ooc	bohc_sooe	bohc_oos	bohc_bos												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[1]	RW	bohc_oos	操作系统控制器请求。 0: OS 未申请控制器控制权; 1: OS 申请获取控制器的控制权。如果 bohc_oos 为 1 且 bios_bos 为 0, 表示操作系统已经获取了 SATA 控制器的控制权。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该位。																													
[0]	RW	bohc_bos	BIOS 拥有控制器控制权标志。 0: BIOS 不拥有控制器的控制权; 1: BIOS 建立了对控制器的控制权。如果操作系统要求获取控制器的控制权, 则 BIOS 将要清除该比特。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该位。																													

SATA_GHC_TM

SATA_GHC_TM 为 TM 测试状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0050		SATA_GHC_TM		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															req_sel																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:3]	RO	reserved	保留。																													



Offset Address		Register Name		Total Reset Value																												
0x0050		SATA_GHC_TM		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															req_sel																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[2:0]	RO	req_sel	当前获取 AHB master 使用权的 DMAC。 0x0: 端口 0 发送 DMAC 获得通道; 0x1: 端口 0 接收 DMAC 获得通道; 0x2: 端口 1 发送 DMAC 获得通道; 0x3: 端口 1 接收 DMAC 获得通道; 其他: 保留。																													

SATA_PHY0_CTLL

SATA_PHY0_CTLL 为 PHY0 全局控制低位寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0054		SATA_PHY0_CTLL		0x8D0E_C88A																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mpll_prescale		mpll_ncy				mpll_ncy5		mpll_int_ctl		mpll_prop_ctl		tx_lvl				los_lvl				acjt_lvl				fast_tech		pddq_h					
Reset	1	0	0	0	1	1	0	1	0	0	0	0	1	1	1	0	1	1	0	0	1	0	0	0	1	0	0	0	1	0	1	0
Bits	Access	Name	Description																													
[31:30]	RW	mpll_prescale	当参考时钟改变的时候，这个值需要随之改变。 00: 直接使用 ref_clk; 01: 将 ref_clk 两倍频; 10: 将 ref_clk 二分频; 11: 保留。																													
[29:25]	RW	mpll_ncy	PHY 内部 MPLL 工作参数，需要和 mppll_ncy5 配合使用，表示使用的倍频值。																													
[24:23]	RW	mpll_ncy5	PHY 内部 MPLL 工作参数，需要和 mppll_ncy 配合使用，表示使用的倍频值。																													



[22:20]	RW	mpll_int_ctl	MPLL 内部带宽控制选择信号，必须配置为 0b000。
[19:17]	RW	mpll_prop_ctl	MPLL 内部带宽比例控制信号，必须配置为 0b111，并且只有在复位或者 MPLL 无效时才能改变此值。
[16:12]	RW	tx_lvl	发送电平参数，和选择的 SATA 协议相关，必须设置为 0b01100。
[11:7]	RW	los_lvl	LOS 信号侦测电平控制，必须设置为 0b10001。
[6:2]	RW	acjt_lvl	ACJTAG 接收比较电平控制，必须设置为 0b00010。
[1]	RW	fast_tech	表明此 IP 在一个快速的工艺变量下处理，必须设置为 0。
[0]	RW	pddq_h	IDDQ 测试信号，要执行 IDDQ 测试，在有效 pddq_h 之前，必须给所有的 Lane 和 support 模块断电；在正常模式下，必须设置为 0。

SATA_PHY0_CTLH

SATA_PHY0_CTLH 为 PHY0 全局控制高位寄存器。

Offset Address	Register Name	Total Reset Value													
0x0058	SATA_PHY0_CTLH	0x0000_2125													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0														
Name	reserved				use_refclk_alt	mpll_ck_off	mpll_pwron	mpll_ss_en	cko_word_con	cko_alive_con	rtune_do_tune	vp_is_lp2	vph_is_3p3	reset_n	wide_xface
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 1	0 0 1 0	0 1 0 1	0 0 1 0	0 1 0 1						
Bits	Access	Name	Description												
[31:14]	RO	reserved	保留。												
[13]	RW	use_refclk_alt	PHY 参考时钟选择信号。 0: 使用 refclk 这组差分信号； 1: 使用 refclk_alt 这组差分信号。												
[12]	RW	mpll_ck_off	MPLL 上电控制信号。此信号的控制需要遵循以下原则： 1、在提供 refclk 给 MPLL 时，必须将 mpll_ck_off 设置为 0； 2、在将此信号设置为 0 之前，必须先将 mpll_ncy、mpll_ncy5 和 mpll_prescale 设置为合适的值； 3、如果 refclk 暂停或者切换，或者如果 mpll_ncy、mpll_ncy5 和 mpll_prescale 需要改变，则应先将 mpll_ck_off 设置为 1。												



[11]	RW	mpll_pwron	对 MPLL 供电。 0: cko_word 时钟将无效; 1: 内部 MPLL 复位并且将基于 refclk 的频率, 随后产生 cko_word 时钟信号。 在关闭 MPLL 之前, tx_en 必须处于 OFF 或者 CM 状态, 并且 rx_en 和 rx_pll_pwron 必须设置为 0。
[10]	RW	mpll_ss_en	扩频功能使能信号。 0: 采用的 refclk 经过扩频处理; 1: 采用的 refclk 没有经过扩频处理。
[9:7]	RW	cko_word_con	cko_word 输出选择信号。必须设置为 0b111。
[6:5]	RW	cko_alive_con	cko_alive 输出信号选选择。 00: 无效; 01: 保持 prescaler 的频率输出; 10: 输出低频, 为 prescaler/16; 11: 保留。
[4]	RW	rtune_do_tune	电阻调节使能信号。 0: 不进行校准; 1: 重新对电阻进行校准。
[3]	RW	vp_is_1p2	低电压是否支持 1.2V。 0: 低电压为 1.0V; 1: 低电压为 1.2V。 此处必须设置为 0。
[2]	RW	vph_is_3p3	高电压是否支持 3.3V。 0: 高电压为 2.5V; 1: 高电压为 3.3V。 此处必须设置为 1。
[1]	RW	reset_n	复位信号, 至少需要保持 5ns。
[0]	RW	wide_xface	接口位宽控制。 0: 接口为 10bit; 1: 接口为 20bit。

SATA_PHY0_STS

SATA_PHY0_STS 为 PHY0 全局状态寄存器。



Offset Address		Register Name		Total Reset Value				
0x005C		SATA_PHY0_STS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	phy0_sts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	phy0_sts	SATA PHY0 common 部分状态寄存器。					

SATA_OOB_CTL

SATA_OOB_CTL 为 PHY OOB 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x006C		SATA_OOB_CTL		0x8406_0C15				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	min_comiwake		max_comwake		min_cominit		max_cominit	
Reset	1 0 0 0	0 1 0 0	0 0 0 0	0 1 1 0	0 0 0 0	1 1 0 0	0 0 0 1	0 1 0 1
Bits	Access	Name	Description					
[31]	RW	oob_ctrl_valid	OOB 检测参数配置位，为高电平时选择该寄存器的参数配置。					
[30:24]	RW	min_comiwake	COMWAKE space 检测所需要的最小 space 计数值。					
[23:16]	RW	max_comwake	COMWAKE space 检测所需要的最大 space 计数值。					
[15:8]	RW	min_cominit	COMINIT space 检测所需要的最小 space 计数值。					
[7:0]	RW	max_cominit	COMINIT space 检测所需要的最大 space 计数值。					

14.9.10 SATA_PORT_CFG 寄存器描述

SATA_PORT_CLB

SATA_PORT_CLB 为命令列表基址寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x000+n x 0x80				SATA_PORT_CLB								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	port_clb																reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:10]	RW	port_clb		设置端口命令列表在内存中的基地址。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该寄存器值。																											
	[9:0]	RO	reserved		保留。																											

SATA_PORT_FB

SATA_PORT_FB 为接收 FIS 基址寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x008+n x 0x80				SATA_PORT_FB								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	port_fb																reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	RW	port_fb		设置端口接收帧存放在的内存中的基地址。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该寄存器值。																											
	[7:0]	RO	reserved		保留。																											

SATA_PORT_IS

SATA_PORT_IS 为端口中断状态寄存器。



		Offset Address 0x010+n x 0x80								Register Name SATA_PORT_IS								Total Reset Value 0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	pxis_tfes	reserved	pxis_hbds	pxis_ifs	pxis_infs	reserved	pxis_ofs	pxis_ipms	pxis_pres	reserved								pxis_pcs	pxis_dps	pxis_ufs	pxis_sdbds	pxis_dss	pxis_pss	pxis_drths							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description																													
[31]	RO	reserved	保留。																													
[30]	WC	pxis_tfes	TFD 错误中断状态。 0: 未检测到 SATA_PORT_TFD bit[0]为 1; 1: 检测到 SATA_PORT_TFD bit[0]为 1。																													
[29]	RO	reserved	保留。																													
[28]	WC	pxis_hbds	内部总线错误中断。 0: DMAC 访问内存时正常; 1: DMAC 访问内存时出错。																													
[27]	WC	pxis_ifs	致命错误中断状态。 0: 在进行数据帧传输过程中未出现错误; 1: 在进行数据帧传输过程中出现错误。																													
[26]	WC	pxis_infs	非致命错误中断状态。 0: 在进行非数据帧传输过程中未出现错误; 1: 在进行非数据帧传输过程中出现错误。																													
[25]	RO	reserved	保留。																													
[24]	WC	pxis_ofs	数据传输 overflow 中断状态。 0: 未检测到 overflow 情形; 1: 数据帧传输过程中, 若检测到命令占有的数据内存空间小于实际传数据量时, 在数据传输末尾, 上报中断。																													
[23]	WC	pxis_ipms	PM 端口错误中断状态。 0: 未检测到接收帧 PM 端口号错误; 1: 在接收帧时检测到 PM 端口号错误。																													
[22]	RO	pxis_pres	PHY 状态变化中断状态。 0: 未检测到 phyrdy 信号发生变化; 1: 检测到 phyrdy 信号发生变化。 该位直接反映 SATA_PORT_SERR[diag_n] 位。																													



[21:7]	RO	reserved	保留。
[6]	RO	pxis_pcs	端口连接变化中断状态。 0: 未检测到设备发出的 COMINIT 信号; 1: 检测到设备发送的 COMINIT 信号。 该位直接反映 SATA_PORT_SERR[diag.x]位。
[5]	WC	pxis_dps	链表结束中断状态。 0: 无 PRD “I” 位为 1 链表数据传输完毕; 1: PRD “I” 位为 1 链表数据被正常传输完毕。
[4]	RO	pxis_ufs	Unknown FIS 中断状态。 0: 未收到 Unknown FIS; 1: 收到一个 Unknown FIS。
[3]	WC	pxis_sdfs	Set Device Bits FIS 中断状态。 0: 无影响; 1: 收到一个 Set Device Bits FIS, 且 I 位为 1。
[2]	WC	pxis_dss	DMA Setup FIS 中断状态。 0: 无意义; 1: 收到一个 DMA Setup FIS, 且 I 位为 1。
[1]	WC	pxis_pss	PIO Setup FIS 中断状态。 0: 无意义; 1: 收到一个 PIO Setup FIS, 且 I 位为 1。
[0]	WC	pxis_drhs	D2H Register FIS 中断状态。 0: 无意义; 1: 收到一个 D2H Register FIS, 且 I 位为 1。

SATA_PORT_IE

SATA_PORT_IE 为端口中断屏蔽寄存器。



		Offset Address 0x014+n x 0x80								Register Name SATA_PORT_IE								Total Reset Value 0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	pxie_tfee	reserved	pxie_hbde	pxie_ife	pxie_infe	reserved	pxie_ofe	pxie_ipme	pxie_prce	reserved								pxie_pce	pxie_dpe	pxie_ufe	pxie_sdbe	pxie_dse	pxie_pse	pxie_drhe							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description																													
[31]	RO	reserved	保留。																													
[30]	RW	pxie_tfee	TFD 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																													
[29]	RO	reserved	保留。																													
[28]	RW	pxie_hbde	内部总线错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																													
[27]	RW	pxie_ife	致命错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																													
[26]	RW	pxie_infe	非致命错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																													
[25]	RO	reserved	保留。																													
[24]	RW	pxie_ofe	数据传输 overflow 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																													
[23]	RW	pxie_ipme	PM 端口错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																													
[22]	RW	pxie_prce	PHY 状态变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。																													
[21:7]	RO	reserved	保留。																													



[6]	RW	pxie_pce	端口连接变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RW	pxie_dpe	链表结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	pxie_ufe	Unknown FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	pxie_sdbe	Set Device Bits FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	pxie_dse	DMA Setup FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	pxie_pse	PIO Setup FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	pxie_drhe	D2H Register FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

SATA_PORT_CMD

SATA_PORT_CMD 为端口命令与状态寄存器。



Offset Address		Register Name		Total Reset Value																				
0x018+n x 0x80		SATA_PORT_CMD		0x0020_0004																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																
Name	cmd_icc				cmd_asp	cmd_alpe	cmd_dlae	cmd_atapi	reserved	cmd_esp	reserved	cmd_pma	reserved	cmd_cr	cmd_fr	reserved	cmd_ccs		reserved	cmd_fre	cmd_clo	reserved	cmd_sud	cmd_st
Reset	0 0 0 0				0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																					
[31:28]	RW	cmd_icc	接口通信控制信号。 0x0: 无操作, 表明可进行下一次的接口状态请求; 0x1: 请求接口进入 active 状态; 0x2: 请求接口进入 partial 状态; 0x6: 请求接口进入 slumber 状态; 其它: 保留。 当软件写入上述非保留值时, 控制器执行相应操作后将 cmd_icc 清 0; 当软件请求接口进入已经处于的状态, 控制器直接将 cmd_icc 清 0; 如果软件请求接口从一种低功耗模式进入另一种低功耗模式, 如从 partial 到 slumber, 软件应先请求接口从 partial 状态进入 active 状态, 再请求接口从 active 状态进入 slumber 状态。																					
[27]	RW	cmd_asp	主动进入电源管理 Slumber/Partial 状态选择。 0: 主动进入 partial 状态; 1: 主动进入 slumber 状态。																					
[26]	RW	cmd_alpe	自动电源管理使能。 0: 禁止; 1: 使能。一旦 SATA_PORT_CI、SATA_PORT_SACT 被清 0, 控制器自动进入电源管理状态, 若 cmd_asp 为 1 进入 partial, 若 cmd_asp 为 0 则进入 slumber 状态。																					
[25]	RW	cmd_dlae	ATAPI 模式下 LED 驱动使能。 0: 在 cmd_atapi 为 0, 且有命令在执行时驱动 LED 管脚有效; 1: 只要有命令在执行, 均驱动 LED 管脚有效。																					
[24]	RW	cmd_atapi	ATAPI 设备指示。 0: 当前设备为非 ATAPI 设备; 1: 当前设备为 ATAPI 设备。																					
[23:22]	RO	reserved	保留。																					
[21]	RO	cmd_esp	一直为 1, 表示支持 External SATA 设备。																					



[20:18]	RO	reserved	保留。
[17]	RW	cmd_pma	Port Multipiler 设备识别指示。 0: 端口未连接 Port Multipiler 设备; 1: 端口连接的是 Port Multipiler 设备。
[16]	RO	reserved	保留。
[15]	RO	cmd_cr	命令列表处理指示信号。 0: 无命令正在执行; 1: 有命令正在执行。
[14]	RO	cmd_fr	FIS 接收处理指示信号, 0: 未进行 FIS 接收; 1: 正进行在 FIS 接收。
[13]	RO	reserved	保留。
[12:8]	RO	cmd_ccs	当前命令 Slot 号。 该位在 cmd_st 为 1 时有效, 在 cmd_st 为 0 时清 0。
[7:5]	RO	reserved	保留。
[4]	RW	cmd_fre	FIS 接收使能控制信号。 0: 禁止将接收的 FIS 写入系统内存; 1: 使能接收 FIS 并写入系统内存。 软件应先设置好接收 FIS 基址 SATA_PORT_FB 后再使能该位接收 FIS; 在 cmd_st 为 1 期间, 该位必须为 1。
[3]	RW	cmd_clo	Busy/Drq 清除控制, 软件可通过该位强制清除 BSY 和 DRQ, 并给 device 发送命令。 0: 无影响; 1: 将清除 SATA_PORT_TFD[tfd_sts]寄存器的 BSY 和 DRQ 位, 在 BSY、DRQ 为 0 后该位自动清 0。 该位只能紧跟在 cmd_st 由 0 置 1 之前写 1, 且软件应保证在该位清 0 后将 cmd_st 写 1。
[2]	RO	reserved	保留。
[1]	RW	cmd_sud	Spin-up 设备控制。 0: 当 SATA_PORT_SCTL[det]为 0 时, 控制器进入到 listen 模式; 1: 系统上电或 HBA 复位后, 启动控制器发送 COMRESET 序列初式化硬盘设备。



[0]	RW	cmd_st	命令列表处理使能。 0: 控制器进入闲置状态。 1: 控制器从 slot 0 开始, 处理 SATA_PORT_CI 寄存器标识为有效 slot 的命令。 在 cmd_fre 为 1 后才可设置 cmd_st 为 1。
-----	----	--------	---

SATA_PORT_TFD

SATA_PORT_TFD 为端口 task file 寄存器。

Offset Address	Register Name	Total Reset Value	
0x20+n x 0x80	SATA_PORT_TFD	0x0000_007F	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	tfd_err tfd_sts	
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1		
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:8]	RO	tfd_err	task file 错误寄存器值。 控制器在接收到 D2H register/PIO setup/SDB FIS 时更新该寄存器位。
[7:0]	RO	tfd_sts	task file 状态寄存器值。 bit[7]: BSY 位, 指示设备正忙; bit[6:4]: 不同命令代表不同的含义; bit[3]: DRQ 位, 指示设备有数据待传输; bit[2:1]: 不同的命令代表不同的含义; bit[0]: ERR 位, 指示设备在传输过程中出错。 控制器在接收到 D2H register/PIO setup/SDB FIS 时更新该寄存器位。

SATA_PORT_SIG

SATA_PORT_SIG 为端口 signature 寄存器。



Offset Address		Register Name		Total Reset Value				
0x24+n x 0x80		SATA_PORT_SIG		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	signature							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	RO	signature	LBA 地址和扇区编址。具体分配关系如下： bit[31:24]: LBA 高位地址； bit[23:16]: LBA 中间地址； bit[15:8]: LBA 低位地址； bit[7:0]: 扇区数量。 在硬盘设备复位后的第一个 D2H register FIS 更新该寄存器。					

SATA_PORT_SSTS

SATA_PORT_SSTS 为接口状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x028+n x 0x80		SATA_PORT_SSTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					pxssts_ipm	pxssts_spd	pxssts_det
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:8]	RO	pxssts_ipm	当前接口状态。 0x0: 无设备或通信未建立； 0x1: 处于 Active 状态； 0x2: 处于 Partial 状态； 0x6: 处于 Slumber 状态； 其它: 保留。					



[7:4]	RO	pxssts_spd	接口协商速度状态。 0x0: 无设备或通信未建立; 0x1: 协商采用速率 1 进行通信; 0x2: 协商采用速率 2 进行通信; 0x3: 协商采用速率 3 进行通信; 其它: 保留。
[3:0]	RO	pxssts_det	设备检测与 PHY 状态。 0x0: 未检测到设备且 PHY 通信未建立; 0x1: 检测到设备但 PHY 通信未建立; 0x3: 检测到设备且 PHY 通信已建立; 0x4: PHY 处于离线状态或者处于 BIST 状态; 其它: 保留。

SATA_PORT_SCTL

SATA_PORT_SCTL 为接口控制寄存器。

	Offset Address 0x02C+n x 0x80				Register Name SATA_PORT_SCTL				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												pxsctl_ipm				pxsctl_spd				pxsctl_det											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:8]	RW		pxsctl_ipm		接口电源管理状态控制。 0x0: 无特别要求; 0x1: 禁止进入 Partial 状态; 0x2: 禁止进入 Slumber 状态; 0x3: 禁止进入 Partial 状态或者 Slumber 状态; 其它: 保留。																											



[7:4]	RW	pxsctl_spd	接口通信速度控制。 0x0: 无特别要求; 0x1: 限速到速率 1 进行通信; 0x2: 限速到速率 2 进行通信; 0x3: 限速到速率 3 进行通信; 其它: 保留。
[3:0]	RW	pxsctl_det	设备检测与接口初始化控制。 0x0: 无设备检测或初始化请求; 0x1: 请求接口进行复位初始化序列 COMRESET; 0x4: 强制接口进入离线状态; 其它: 保留。 当 pxsctl_det 设置为 1 时, 控制器将发送 COMRESET 序列至设备, 软件应保持该位为 1 至少 1ms, 以保证设备收到 COMRESET 序列。

SATA_PORT_SERR

SATA_PORT_SERR 为错误诊断状态寄存器。

	Offset Address 0x30+n x 0x80	Register Name SATA_PORT_SERR	Total Reset Value 0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	diag_x diag_f reserved	diag_s diag_h diag_c reserved	diag_b diag_w diag_i diag_n	reserved	err_p reserved err_t	reserved	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26]	WC	diag_x	设备检测状态。 0: 未检测到设备发出的 COMINIT 信号; 1: 检测到设备发出的 COMINIT 信号。					
[25]	WC	diag_f	未知 FIS 检测状态。 0: 未收到 Unkonwn FIS; 1: 收到 Unkonwn FIS 且 CRC 校验正确时置 1。					
[24]	RO	reserved	保留。					



[23]	WC	diag_s	Link 链路层错误状态。 0: 链路层未出现状态跳变错误; 1: 链路层出现状态跳变错误。
[22]	WC	diag_h	握手错误状态。 0: 未收到设备发出 R_ERR 原语; 1: 收到设备发出的一个或多个 R_ERR 原语。
[21]	WC	diag_c	CRC 错误状态。 0: 接收 FIS 未出现 CRC 校验错误; 1: 接收 FIS CRC 校验错误。
[20]	RO	reserved	保留。
[19]	WC	diag_b	解码错误状态。 0: 未检测到 10B 到 8B 解码错误; 1: 检测到 10B 到 8B 解码错误。
[18]	WC	diag_w	COMWAKE 状态。 0: 未检测到设备发出的 COMWAKE 信号; 1: 检测到设备发出的 COMWAKE 信号。
[17]	WC	diag_i	PHY 内部错误状态。 0: 未检测到 PHY 内部错误; 1: 检测到 PHY 内部错误。
[16]	WC	diag_n	PhyRdy 信号变化状态。 0: PhyRdy 信号未发生变化; 1: PhyRdy 信号发生变化。 当 PhyRdy 信号从 1 到 0 或从 0 到 1 变化时置 1。
[15:11]	RO	reserved	保留。
[10]	WC	err_p	违背 SATA 协议错误状态。 0: 未检测到设备行为违反 SATA 协议; 1: 检测到设备行为违反 SATA 协议。
[9]	RO	reserved	保留。
[8]	WC	err_t	数据完整性错误状态。 0: 未检测到数据完整性错误; 1: 检测到数据完整性错误。
[7:0]	RO	reserved	保留。



SATA_PORT_SACT

SATA_PORT_SACT 为 NCQ 命令标识控制寄存器。

	Offset Address 0x034+n x 0x80	Register Name SATA_PORT_SACT	Total Reset Value 0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	port_sact		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	port_sact	<p>NCQ 命令标识控制寄存器。</p> <p>该寄存器每一位对应一 tag 号和内存中的一条 NCQ 命令，bit[31:0]分别对应 slot31~0 的命令和 tag31~0。以 bit[3]为例，每一位具体含义：</p> <p>0：slot3 命令为非 NCQ 命令；</p> <p>1：slot3 命令为 NCQ 命令。软件应在置位 SATA_PORT_CI[3]位之前置位该寄存器 bit[3]，在命令数据传输完成后，设备会发送一条 SDB FIS，控制器根据 FIS 中 SActive 来清除 bit[3]。</p> <p>软件只能在 cmd_st 为 1 时设置该寄存器，在 cmd_st 为 0 时全部清 0。</p>

SATA_PORT_CI

SATA_PORT_CI 为命令发送控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x38+n%0x80		SATA_PORT_CI		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	port_ci							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	port_ci	<p>命令待发送控制。</p> <p>该寄存器每一位代表内存中的一条命令，bit[31:0]分别对应slot31~0的命令。以bit[3]为例，每一位具体含义：</p> <p>0: slot3 无命令等待发送和执行；</p> <p>1: slot3 命令已在内存中建立完毕，控制器可以发送这条命令；当控制器执行完该命令，收到相应的 FIS 并清除 SATA_PORT_TFD 寄存器 BSY、DRQ、ERR 位时，同时也将清掉 bit[3]。</p> <p>该寄存器各位只能在 cmd_st 为 1 时置位，在 cmd_st 为 0 时全部清 0。</p>					

SATA_PORT_SNTF

SATA_PORT_SNTF 为异步 notification 事件指示寄存器。

Offset Address		Register Name		Total Reset Value				
0x3C+n x 0x80		SATA_PORT_SNTF		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				pxsntf_pmn			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	WC	pxsntf_pmn	<p>异步 notification 事件状态。</p> <p>如果控制器收到 PM 上设备的 SDB FIS，且该 FIS “N “位为 1，则将设备 PM 端口号对应该寄存器比特位置 1。</p> <p>以 bit[3]为例，每一位具体含义：</p> <p>0: PM 端口号为 3 的设备无异步 notification 事件发生；</p> <p>1: PM 端口号为 3 的设备有异步 notification 事件发生。</p>					



SATA_PORT_FIFOTH

SATA_PORT_FIFOTH 为接收 FIFO 水线寄存器。

	Offset Address 0x044+n x 0x80	Register Name SATA_PORT_FIFOTH	Total Reset Value 0x0000_0724						
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0								
Name	reserved						dmac_rxfifo_th	rxfifo_th_sel	link_rxfifo_th
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 0 0 1 0 0 1 0 0								
Bits	Access	Name	Description						
[31:9]	RW	reserved	保留。						
[8:4]	RW	dmac_rxfifo_th	DMAC 接收 FIFO 流控水线。在接收数据时若 DMAC FIFO 数据量超过该值时控制器开始流控。						
[3]	RW	rxfifo_th_sel	流控 FIFO 选择。 0: link 接收 FIFO 流控有效; 1: DMAC 接收 FIFO 流控有效。						
[2:0]	RW	link_rxfifo_th	link 接收 FIFO 流控水线。在接收数据时若 DMAC FIFO 数据量超过该值时控制器开始流控。						

SATA_PORT_HBA

SATA_PORT_HBA 为 HBA 测试状态寄存器。

	Offset Address 0x050+n x 0x80	Register Name SATA_PORT_HBA	Total Reset Value 0x0100_0000								
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										
Name	reserved	p_curr_st	reserved	ndr_curr_st	cfis_curr_st	reserved	pio_curr_st	reserved	pm_curr_st	reserved	err_curr_st
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description								
[31:28]	RO	reserved	保留。								



[27:24]	RO	p_curr_st	HBA_PINIT_STATE 状态机当前状态。
[23:21]	RO	reserved	保留。
[20:16]	RO	ndr_curr_st	HBA_NDR_STATE 状态机当前状态。
[15:12]	RO	cfis_curr_st	HBA_CFIS_STATE 状态机当前状态。
[11]	RO	reserved	保留。
[10:8]	RO	pio_curr_st	HBA_PIO_STATE 状态机当前状态。
[7]	RO	reserved	保留。
[6:4]	RO	pm_curr_st	HBA_PM_STATE 状态机当前状态。
[3]	RO	reserved	保留。
[2:0]	RO	err_curr_st	HBA_ERR_STATE 状态机当前状态。

SATA_PORT_LINK

SATA_PORT_LINK 为 Link 测试状态寄存器。

	Offset Address 0x054+n x 0x80	Register Name SATA_PORT_LINK	Total Reset Value 0x0020_2020
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved link_curr_st reserved link_df_fifo_full link_df_fifo_empty link_df_fifo_count reserved link_rx_fifo_full link_rx_fifo_empty link_rx_fifo_count reserved link_tx_fifo_full link_tx_fifo_empty link_tx_fifo_count		
Reset	0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 1 0 0 0 0 0		
Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:24]	RO	link_curr_st	LINK_CTL_STATE 状态机当前状态。
[23]	RO	reserved	保留。
[22]	RO	link_df_fifo_full	Link 消频差 FIFO 满标志。 0: FIFO 不满; 1: FIFO 满。



[21]	RO	link_df_fifo_empty	Link 消频差 FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[20:16]	RO	link_df_fifo_count	Link 消频差 FIFO 数据量。
[15]	RO	reserved	保留。
[14]	RO	link_rx_fifo_full	Link 接收 FIFO 满标志。 0: FIFO 不满; 1: FIFO 满。
[13]	RO	link_rx_fifo_empty	Link 接收 FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[12:8]	RO	link_rx_fifo_count	Link 接收 FIFO 数据量。
[7]	RO	reserved	保留。
[6]	RO	link_tx_fifo_full	Link 发送 FIFO 满标志。 0: FIFO 不满; 1: FIFO 满。
[5]	RO	link_tx_fifo_empty	Link 发送 FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[4:0]	RO	link_tx_fifo_count	Link 发送 FIFO 数据量。

SATA_PORT_DMA1

SATA_PORT_DMA1 为 DMAC 测试状态寄存器 1。



Offset Address		Register Name		Total Reset Value					
0x058+n x 0x80		SATA_PORT_DMA1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	txdma _{cur_state}	txdma _{prd_i}	tx_entry_dbc_cnt					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:24]	RO	txdma _{cur_state}	SATA_TX_DMAC 状态机当前状态。						
[23]	RO	txdma _{prd_i}	SATA_TX_DAMC 中 PRD 链表的 entry 中的 “I” 位。						
[22:0]	RO	tx_entry_dbc_cnt	SATA_TX_DMAC 中递减计数器，当前使用的 Entry 中的数据字节数目。						

SATA_PORT_DMA2

SATA_PORT_DMA2 为 DMAC 测试状态寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x05C+n x 0x80		SATA_PORT_DMA2		0x0020_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		tx_data_fis_cnt				tx_cmdh_prdtl		
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:8]	RO	tx_data_fis_cnt	SATA_TX_DMAC 中递减计数器，表示 PIO 和 Legacy DMA、及 First Party DMA 操作时的 Data FIS 字节数目。PIO 操作时，其初始值是 PIO Setup 中 transcount；Legacy DMA 或 First Party DMA 操作时，其初始值是 16'h2000 (2048DWORD)。						
[7:0]	RO	tx_cmdh_prdtl	SATA_TX_DMAC 中递减计数器，Command Header 中参数，表示 PRDT 中有多少个 Entries。						



SATA_PORT_DMA3

SATA_PORT_DMA3 为 DMAC 测试状态寄存器 3。

	Offset Address	Register Name	Total Reset Value
	0x060+n x 0x80	SATA_PORT_DMA3	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	tx_fpdma_tran_cnt		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RO	tx_fpdma_tran_cnt	SATA_TX_DMAMC 中递减计数器，表示 First Party DMA 操作时的 Data FIS 字节数目。其初始值是 DMA Setup 中 transcount。

SATA_PORT_DMA4

SATA_PORT_DMA4 为 DMAC 测试状态寄存器 4。

	Offset Address	Register Name	Total Reset Value
	0x064+n%0x80	SATA_PORT_DMA4	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	rxdmac_cur_state rxdmac_prd_i	rx_entry_dbc_cnt
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:28]	RO	reserved	保留。
[27:24]	RO	rxdmac_cur_state	SATA_RX_DMAMC 当前状态机信号。
[23]	RO	rxdmac_prd_i	SATA_RX_DMAMC 中 PRD 链表的 entry 中的“1”位。
[22:0]	RO	rx_entry_dbc_cnt	SATA_RX_DMAMC 中递减计数器，当前使用的 Entry 中的数据字节数目。

SATA_PORT_DMA5

SATA_PORT_DMA5 为 DMAC 测试状态寄存器 5。



Offset Address		Register Name		Total Reset Value					
0x068+n x 0x80		SATA_PORT_DMA5		0x0020_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			rx_data_fis_cnt			rx_cmdh_prdtl		
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:8]	RO	rx_data_fis_cnt	SATA_RX_DMACH 中递减计数器，表示 PIO 和 Legacy DMA、及 First Party DMA 操作时的 Data FIS 字节数目。PIO 操作时，其初始值是 PIO Setup 中 transcount；Legacy DMA 或 First Party DMA 操作时，其初始值是 0x2000 (2048DWORD)。						
[7:0]	RO	rx_cmdh_prdtl	SATA_RX_DMACH 中递减计数器，Command Header 中参数，表示 PRDT 中有多少个 Entries。						

SATA_PORT_DMA6

SATA_PORT_DMA6 为 DMACH 测试状态寄存器 6。

Offset Address		Register Name		Total Reset Value				
0x6C+n x 0x80		SATA_PORT_DMA6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_fpdma_tran_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rx_fpdma_tran_cnt	SATA_RX_DMACH 中递减计数器，表示及 First Party DMA 操作时的 Data FIS 字节数目。其初始值是 DMA Setup 中 transcount 的值。					

SATA_PORT_DMA7

SATA_PORT_DMA7 为 DMACH 测试状态寄存器 7。



Offset Address		Register Name		Total Reset Value												
0x070+n x 0x80		SATA_PORT_DMA7		0x0005_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				pio_op	fpdma_op	dmac_rx_fifo_full	dmac_rx_fifo_empty	dmac_tx_fifo_full	dmac_tx_fifo_empty	dmac_rx_fifo_cnt		dmac_tx_fifo_cnt			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description													
[31:22]	RO	reserved	保留。													
[21]	RO	pio_op	PIO 操作指示。 0: 当前命令不是 PIO 操作; 1: 当前命令为 PIO 操作。													
[20]	RO	fpdma_op	First Party DMA 操作指示。 0: 当前命令不是 First Party DMA 操作; 1: 当前命令为 First Party DMA 操作。													
[19]	RO	dmac_rx_fifo_full	SATA_DMARX_FIFO 满状态。 0: FIFO 不满; 1: FIFO 满。													
[18]	RO	dmac_rx_fifo_empty	SATA_DMARX_FIFO 空状态。 0: FIFO 非空; 1: FIFO 空。													
[17]	RO	dmac_tx_fifo_full	SATA_DMARTX_FIFO 满状态。 0: FIFO 不满; 1: FIFO 满。													
[16]	RO	dmac_tx_fifo_empty	SATA_DMARTX_FIFO 空状态。 0: FIFO 非空; 1: FIFO 空。													
[15:8]	RO	dmac_rx_fifo_cnt	SATA_DMARX_FIFO 中的数据个数, 单位为 DWORD。													
[7:0]	RO	dmac_tx_fifo_cnt	SATA_DMARTX_FIFO 中的数据个数, 单位为 DWORD。													



SATA_PORT_PHYCTL

SATA_PORT_PHYCTL 为 PHY 控制寄存器。

		Offset Address				Register Name								Total Reset Value																		
		0x074+n x 0x80				SATA_PORT_PHYCTL								0x0E63_6159																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				phy_disable	phy_calibrated	spd_change_ack	dp_rdy	bist_tx_fspd	neg_mode_b	gen2_en	los_ctl	rx_dp11_mode	rx_eq_val				rx_term_en	tx_calc	tx_edgerate	tx_cko_en	rx_align_en	tx_clk_align	tx_atten				tx_boost				
Reset	0	0	0	0	1	1	1	0	0	1	1	0	0	0	1	1	0	1	1	0	0	0	0	1	0	1	0	1	1	0	0	1
	Bits	Access	Name		Description																											
	[31:29]	RO	reserved		保留。																											
	[28]	RW	phy_disable		是否使用 PHY。 0: 使用 PHY; 1: 不使用 PHY。																											
	[27]	RW	phy_calibrated		是否对 PHY 进行校准。 0: 不校准; 1: 校准。																											
	[26]	RW	spd_change_ack		是否允许速率切换。 0: 不允许速度切换; 1: 允许速度切换。																											
	[25]	RW	dp_rdy		PHY 是否准备好发送数据。 0: 未准备好; 1: 已经准备好。																											
	[24]	RW	bist_tx_fspd		BIST 模式强迫发送时钟频率。 0: 不强迫; 1: 强迫。																											
	[23]	RW	neg_mode_b		协商模式 B 选择。 0: 不支持; 1: 支持。																											
	[22]	RW	gen2_en		发送控制信号, 是否允许 3G 模式。 0: 不支持 3G 模式; 1: 支持 3G 模式。																											



[21:20]	RW	los_ctl	LOS 检测控制。 00: LOS 检测关闭; 01: 保留; 10: OOB 信号检测; 11: 保留。
[19:17]	RW	rx_dpll_mode	接收 dpll 控制模式。 000: 表示 PHUG 为 1, FRUG 为 1; 001: 表示 PHUG 为 2, FRUG 为 2; 010: 表示 PHUG 为 1, FRUG 为 4; 011: 表示 PHUG 为 2, FRUG 为 4; 其他: 保留。
[16:14]	RW	rx_eq_val	接收均衡控制。表示内部的均衡值为 $\sim (rx_eq_val + 1) \times 0.5dB$ 。
[13]	RW	rx_term_en	接收 Terminate 使能。 0: 禁止; 1: 使能。
[12]	RW	tx_calc	此位不使用, 强制为 0。
[11:10]	RW	tx_edgerate	发送信号沿控制。缺省为 0x0。
[9]	RW	tx_cko_en	tx_cko_clk 时钟使能。 0: 禁止; 1: 使能。
[8]	RW	rx_align_en	接收数据对齐。 0: 不支持接收数据对齐; 1: 支持接收数据对齐。
[7]	RW	tx_clk_align	发送时钟对齐。 0: 不对齐; 1: 对齐。
[6:4]	RW	tx_atten	发送衰减控制。 000: 16/16; 001: 14/16; 010: 12/16; 011: 10/16; 100: 9/16; 101: 8/16; 11X: 保留。



[3:0]	RW	tx_boost	发送 boost 控制。值为 $-20\log(1 - (\text{tx_boost}[3:0] + 0.5) / 32)$ dB。
-------	----	----------	--

SATA_PORT_PHYSTS

SATA_PORT_PHYSTS 为 PHY 测试状态寄存器。

	Offset Address 0x078+n x 0x80	Register Name SATA_PORT_PHYSTS	Total Reset Value 0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
		tx_cko_word tx_rxpres tx_done spd_change link_rdy init_compl pwr_state rx_pll_pwron rx_en tx_en mpll_pwron phy_comwake phy_cominit half_rate phyrdy los op_done	
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:19]	RO	reserved	保留。
[18]	RW	tx_cko_word	每个 lane 的接收 word 时钟，暂不使用。
[17]	RW	tx_rxpres	接收检测，暂不使用。
[16]	RW	tx_done	发送部分请求的操作已完成，高有效，暂不使用。
[15]	RW	spd_change	要求变换速率，高有效。
[14]	RW	link_rdy	为高时表示发送了足够的 D10.2。
[13]	RW	init_compl	为高时表示接收到非 ALIGN 原语，初始化完成。
[12]	RW	pwr_state	为 1 表示处于低功耗模式(partial or slumber)，否则表示处于 Active 状态。
[11]	RW	rx_pll_pwron	接收 PLL 上电控制信号。
[10]	RW	rx_en	rx_en 信号控制状态。
[9:7]	RW	tx_en	tx_en 信号控制状态。
[6]	RW	mpll_pwron	MPLL 上电控制信号。
[5]	RW	phy_comwake	PHY 检测到 COMWAKE，高电平有效。
[4]	RW	phy_cominit	PHY 检测到 COMINIT，高电平有效。
[3]	RW	half_rate	为 1 时表示仅支持 1.5G 速率。
[2]	RW	phyrdy	PHY 已经初始化完成，可以与 LINK 层通信，高有效。
[1]	RW	los	Loss of Signal Output，高电平有效。



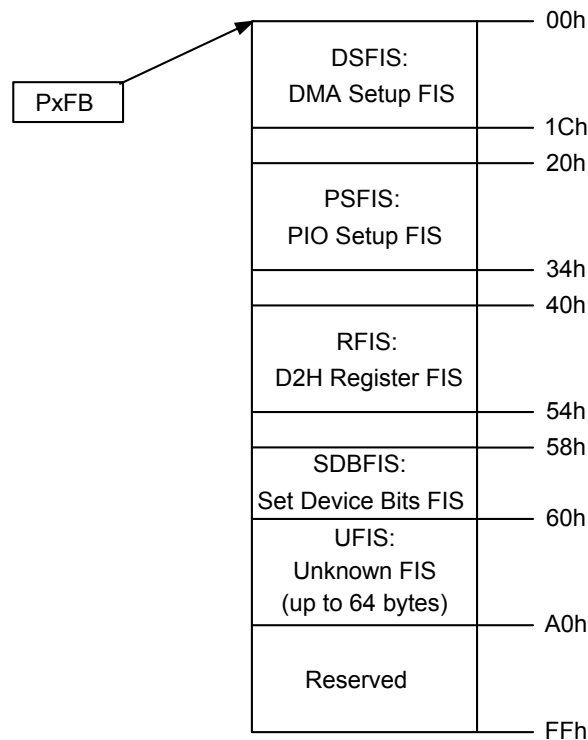
[0]	RW	op_done	MPLL 请求的操作已经完成，高电平有效。
-----	----	---------	-----------------------



14.9.11 附录 A SATA 命令链表格式

FIS 链表结构如图 14-74 所示，此链表是软件在系统 memory 开辟的一段空间，链表的基地址存在 AHCI 寄存器组中的 PxFB 和 PxFBU 寄存器中，DMAC 以此基地址为目的地址，将收到的不同帧，搬运到不同的 memory 空间中。

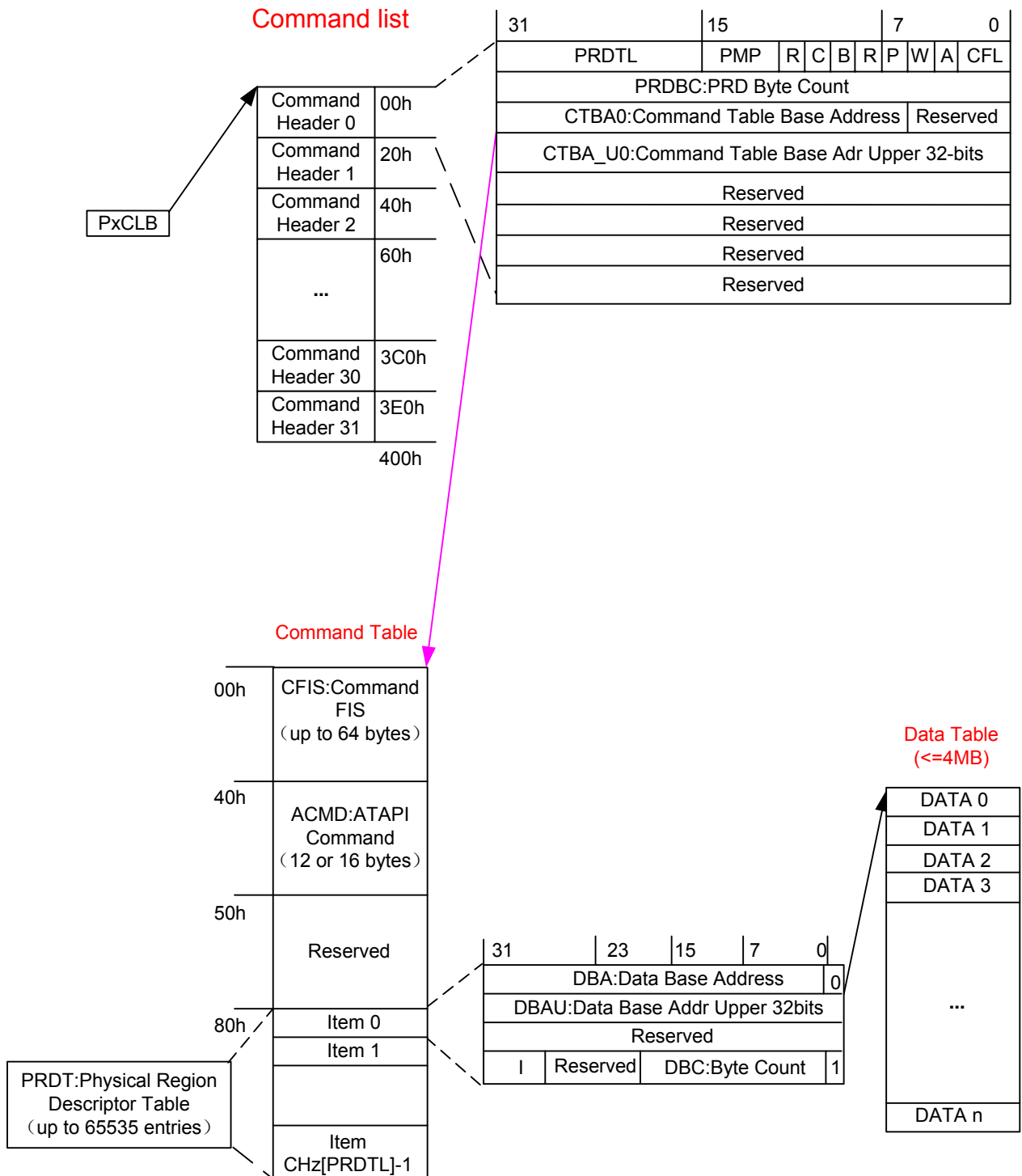
图14-74 链表结构



命令和数据链表结构如图 14-75 所示，此链表是软件在系统 memory 开辟的一段空间，Command list 中最多包括 32 个命令，Command list 的基地址由 AHCI 中的 PxCLB 和 PxCLBU 寄存器指定。每个命令都包括一个 Command Header，其中的 CTBA0 内容指定了 Command Table 的基地址，Command Table 中包括了要读取的命令和读写的数据空间链表。



图14-75 命令、数据链表结构



每次在命令执行之前都需要在内存中建立以上两个链表，链表的具体含义请参考 AHCI1.2 协议。其中的 CFIS 区域就是 H2D Register FIS，具体内容参考 SATA2.5 协议。ACMD 区域是 ATAPI 操作的命令内容，具体内容参考 SSF (Small Form Factor Committee) 专门针对 DVD Devices 和 CD-ROMs 的协议描述。



A 缩略语

A

ABR	Average Bit Rate	平均比特率
ACD	Auto Command Done	自动停止指令完成
AE	Auto Exposure	自动曝光
AES	Advanced Encryption Standard	先进的加密标准
AF	Auto Focus	自动对焦
AHB	Advanced High-performance Bus	-
AMBA	Advanced Microcontroller Bus Architecture	先进的微处理器总线结构
ARM	ARM	ARM 公司的 RISC Core
ATF	Adaptive Temporal Filter	自适应时域滤波
AWB	Auto White Balance	自动白平衡

B

BTF	Brute Force Temporal Filter	强制时域滤波
BVACT	Bottom Vertical Active Area	底场垂直活动有效区域
BVBB	Bottom Vertical Back Blank	底场垂直后消隐
BVFB	Bottom Vertical Front Blank	底场垂直前消隐

C

CBC	Cipher Block Chaining	密码分组链接
CBR	Constants Bit Rate	固定比特率
CCITT	International Telegraph and Telephone Consultative Committee	国际电报电话咨询委员会



CD	Command Done	指令完成
CFB	Cipher Feedback	密码反馈
CL	CAS Latency	读延迟
CPU	Central Processing Unit	中央处理单元
CRC	Cyclic Redundancy Check	循环冗余校验
CRG	Clock Reset Generation	时钟复位产生模块
CTR	Counter	计数器
CVBS	Composite Video Broadcast Signal	复合视频广播信号
D		
DCRC	Data CRC Error	数据 CRC 错误
DDR	Double Data-Rate	双数据速率
DEI	De-Interlace	反交错/去隔行
DES	Data Encryption Standard	数据加密标准
DFT	Design For Test	可测试性设计
DIS	Digital Image Stabilization	数字防抖
DLL	Delay Locked Loop	延迟锁相环
DMA	Direct Memory Access	直接存储器存取
DMAC	Direct Memory Access Controller	直接存储器存取控制器
DNR	Digital Noise Reduction	数字去噪
DQS	Data Strobe	数据选通信号
DRC	Dynamic Range Compression	动态范围压缩
DRTO	Data Read Timeout	数据读超时
DTO	Data Transfer Over	数据传输完成
DVR	Digital Video Recorder	数字视频录像机
E		
EBE	End-bit error	结束位错误
EBI	External Bus Interface	外部总线接口
ECB	Electronic Codebook	电子密码书
EOF	End Of Frame	帧结束



EOP	End Of Packet	包结束
ETH	Ethernet MAC	以太网接口
F		
FIFO	First In First Out	先入先出
FIQ	Fast Interrupt Request	快速中断请求
FRUN	FIFO Underrun/Overrun Error	FIFO 溢出错误
G		
GPIO	General Purpose Input/Output	通用目的输入/输出
H		
HACT	Horizontal Active Area	水平活动有效区域
HBB	Horizontal Back Blank	水平后消隐
HCCA	Host Controller Communication Area	主机控制器通信区域
HFB	Horizontal Front Blank	水平前消隐
HLE	Hardware Locked Error	硬件锁定错误
HPW	Horizontal Pulse Width	水平脉冲宽度
HTO	Data starvation-by-host timeout	控制器读写数据超时
I		
I2C	Inter-Integrated Circuit	一种串行总线协议标准
I2S	Inter-IC Sound	I2S 音频输入输出接口
IE	Image Enhancement	图像增强
IEC	International Electrotechnical Commission	国际电子技术委员会
IEEE	Institute of Electrical and Electronics Engineers	美国电气和电子工程师协会
IPVS	IP Video Surveillance	网络视频监控系统
IR	Infrared Remoter	红外遥控接口
IRQ	Interrupt Request	中断请求
ISO	International Standard Organization	国际标准化组织
ISP	Image Signal Processing	图像信号处理



ISR	Interrupt Service Routine	中断服务程序
ITCM	Instruction TCM	指令紧耦合存储器
ITU-T	International Telecommunication Union - Telecommunication Standardization Sector	国际电信联盟-电信标准部
IV	Initialization Vector	初始向量
J		
JTAG	Joint Test Action Group	联合测试行动小组
L		
LSB	Least Significant Bit	结尾 bit 位
LUT	Lookup Table	查找表
M		
MAC	Media Access Control	媒体访问控制
MCU	Micro Controller Unit	微型控制单元
MDIO	Management Data Input/Output	控制数据输入输出接口
MII	Media Independent Interface	介质无关接口
MMC	Multi-media Card	多媒体卡
MSB	Most Significant Bit	起始 bit 位
N		
NTSC	National Television Systems Committee	国家电视系统委员会（是一种原理为“正交平衡调幅制”的电视广播传输制式）
NVR	Net Video Recorder	网络视频录像机
O		
OFB	Output Feedback	输出反馈
OHCI	Open Host Controller Interface	公开主机控制器接口
OSD	On Screen Display	屏幕视控系统
OTG	On-The-Go	-



P

PAL	Phase Alternating Line	逐行倒相（是一种原理为“逐行倒相正交平衡调幅制”的电视广播传输制式）
PCB	Printed Circuit Board	印刷电路板
PCI	Peripheral Component Interconnect	一种通用的本地总线
PCM	Pulse Code Modulation	脉冲编码调制
PID	Packet ID	包标识
PIP	Picture In Picture	画中画
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器

Q

QXGA	Quantum Extended Graphics Array	昆腾扩展图形阵列（是一种计算机图形显示标准格式）
-------------	---------------------------------	--------------------------

R

RAM	Random-Access Memory	随机存取存储器
RCRC	Response CRC error	响应 CRC 错误
RE	Response error	响应错误
ROM	Read Only Memory	只读存储器
ROP	Raster Operation	光栅操作
RTO	Response Timeout	响应超时
RXDR	Receive FIFO data request	接收 FIFO 数据请求

S

SAD	Sum Of Absolute Difference	图象绝对误差和
SBE	Start-bit Error	起始位错误
SCL	Serial Clock	串行时钟
SCR	System Clock Reference	系统时钟参考
SD	Secure Digital	安全数字
SDA	Serial Data	串行数据
SDIO	secure digital Input/Output	安全数字输入输出接口
SDRAM	Synchronous Dynamic Random Access	同步动态随机存取存储器



	Memory	
SF	Spacial Filter	空域滤波
SFD	Start of Frame Delimiter	帧前导码
SI	Specific Information	特定信息
SIO	Sonic Input/Output	音频输入输出接口
SMI	Static Memory Interface	静态存储器接口
SOF	Start Of Frame	起始帧
SPI	Synchronous Peripheral Interface	同步外设接口
SRAM	Static Random Access Memory	静态随机存储器
SSP	Synchronous Serial Port	同步串口
T		
TCM	Tightly-Coupled Memory	紧耦合存储器
TDE	Two Dimension Engine	2D 引擎
TVACT	Top Vertical Active Area	顶场垂直活动有效区域
TVBB	Top Vertical Back Blank	顶场垂直后消隐
TVFB	Top Vertical Front Blank	顶场垂直前消隐
TXDR	Transmit FIFO Data Request	发送 FIFO 数据请求
U		
UART	Universal Asynchronous Receiver Transmitter	通用异步收发器
USB	Universal Serial Bus	通用串行总线
V		
VACT	Vertical Active Area	垂直活动有效区域
VBB	Vertical Back Blank	垂直后消隐
VBI	Vertical Blanking Interval	垂直消隐间隔
VBR	Variable Bit Rate	动态比特率
VEDU	Video Encode Unit	视频编码单元
VFB	Vertical Front Blank	垂直前消隐
VGA	Video Graphics Array	视频图形阵列



VIU	Video Input Unit	视频输入单元
VLC	Variable Length Coding	可变长度编码
VOU	Video Output Unit	视频输出单元
VPP	Video Pre-processing	视频前处理
VPW	Vertical Pulse Width	垂直脉冲宽度