



雅仪科技——【嵌入式智能互联设备】软硬件方案供应商。
专注【远程网络视频监控系统】研发设计。更多资讯浏览：
<http://www.travellinux.com> 获取。

Hi3535 H.264 编解码处理器

用户指南

文档版本 00B08

发布日期 2014-02-25

部件编码 N/A

深圳市海思半导体有限公司为客户提供全方位的技术支持，用户可与就近的海思办事处联系，也可直接与公司总部联系。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编： 518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： support@hisilicon.com

版权所有 © 深圳市海思半导体有限公司 2013—2014。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。



目 录

前 言.....	1
----------	---



前言

概述

本文档介绍了 Hi3535 芯片的特性、逻辑结构，详细描述各个模块的功能、工作方式、相关寄存器定义，用图表的方式给出了接口时序关系和相关参数，并详细描述了芯片的管脚定义和用途以及芯片的性能参数和封装尺寸。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3535	V100


读者对象

本文档主要适用于以下工程师：

- 电子产品设计维护人员
- 电子产品元器件市场销售人员

约定符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	以本标志开始的文本表示有高度潜在危险，如果不能避免，会导致人员死亡或严重伤害。



符号	说明
 警告	以本标志开始的文本表示有中度或低度潜在危险，如果不能避免，可能导致人员轻微或中等伤害。
 注意	以本标志开始的文本表示有潜在风险，如果忽视这些文本，可能导致设备或器件损坏、数据丢失、设备性能降低或不可预知的结果。
 窍门	以本标志开始的文本能帮助您解决某个问题或节省您的时间。
 说明	以本标志开始的文本是正文的附加信息，是对正文的强调和补充。

通用格式约定

格式	说明
宋体	正文采用宋体表示。
黑体	一级、二级、三级标题采用黑体。
楷体	警告、提示等内容一律用 楷体 ，并且在内容前后增加线条与正文隔离。
“Terminal Display”格式	“Terminal Display”格式表示屏幕输出信息。此外，屏幕输出信息中夹杂的用户从终端输入的信息采用加粗字体表示。

表格内容约定

内容	说明
-	表格中的无内容单元。
*	表格中的内容用户可根据需要进行配置。

寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	W0C	可读，写 0 清零，写 1 保持不变。
WO	只写。	W1S	可读，写 1 置 1，写 0 保持不变。



类型	说明	类型	说明
RW	可读可写。	W0S	可读, 写 0 置 1, 写 1 保持不变。
RC	读清零。	OSW	可读, 写 1 后片内自清零, 即产生一个脉冲。
W1C	可读, 写 1 清零, 写 0 保持不变。		

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量 (如 RAM 容量)	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列 (寄存器描述中除外)。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2014-02-25	00B08	第 7 章 视频解码 7.1.2 功能描述中修改 MPEG4 解码的最大宽高。
2014-01-15	00B07	第 2 章 硬件 修改表 2-76、表 2-87、表 2-88 和表 2-91 中的参数。



修订日期	版本	修订说明
2013-12-25	00B06	第 6 次临时版本。
2013-11-22	00B05	第 5 次临时版本。
2013-11-15	00B04	第 4 次临时版本。
2013-09-30	00B03	第 3 次临时版本。
2013-09-18	00B02	第 2 次临时版本。
2013-08-31	00B01	初稿版本。



目 录

1 产品概述	1-1
1.1 应用场景.....	1-1
1.2 架构.....	1-2
1.2.1 概述.....	1-2
1.2.2 处理器内核.....	1-3
1.2.3 视频解码.....	1-3
1.2.4 视频编码.....	1-3
1.2.5 视频编解码性能.....	1-4
1.2.6 智能视频分析.....	1-4
1.2.7 视频与图形处理.....	1-4
1.2.8 音频编解码.....	1-4
1.2.9 安全引擎.....	1-4
1.2.10 视频接口.....	1-4
1.2.11 音频接口.....	1-5
1.2.12 网络接口.....	1-5
1.2.13 外围接口.....	1-5
1.2.14 存储器接口.....	1-5
1.2.15 独立供电 RTC.....	1-6
1.2.16 多种启动模式可配置.....	1-6
1.2.17 SDK.....	1-6
1.2.18 芯片物理规格.....	1-6
1.3 启动模式.....	1-7



插图目录

图 1-1 单片 Hi3535 NVR 应用框图	1-2
图 1-2 Hi3535 芯片逻辑框图.....	1-3



表格目录

表 1-1 启动模式	1-7
表 1-2 地址空间映射表	1-8



1 产品概述

1.1 应用场景

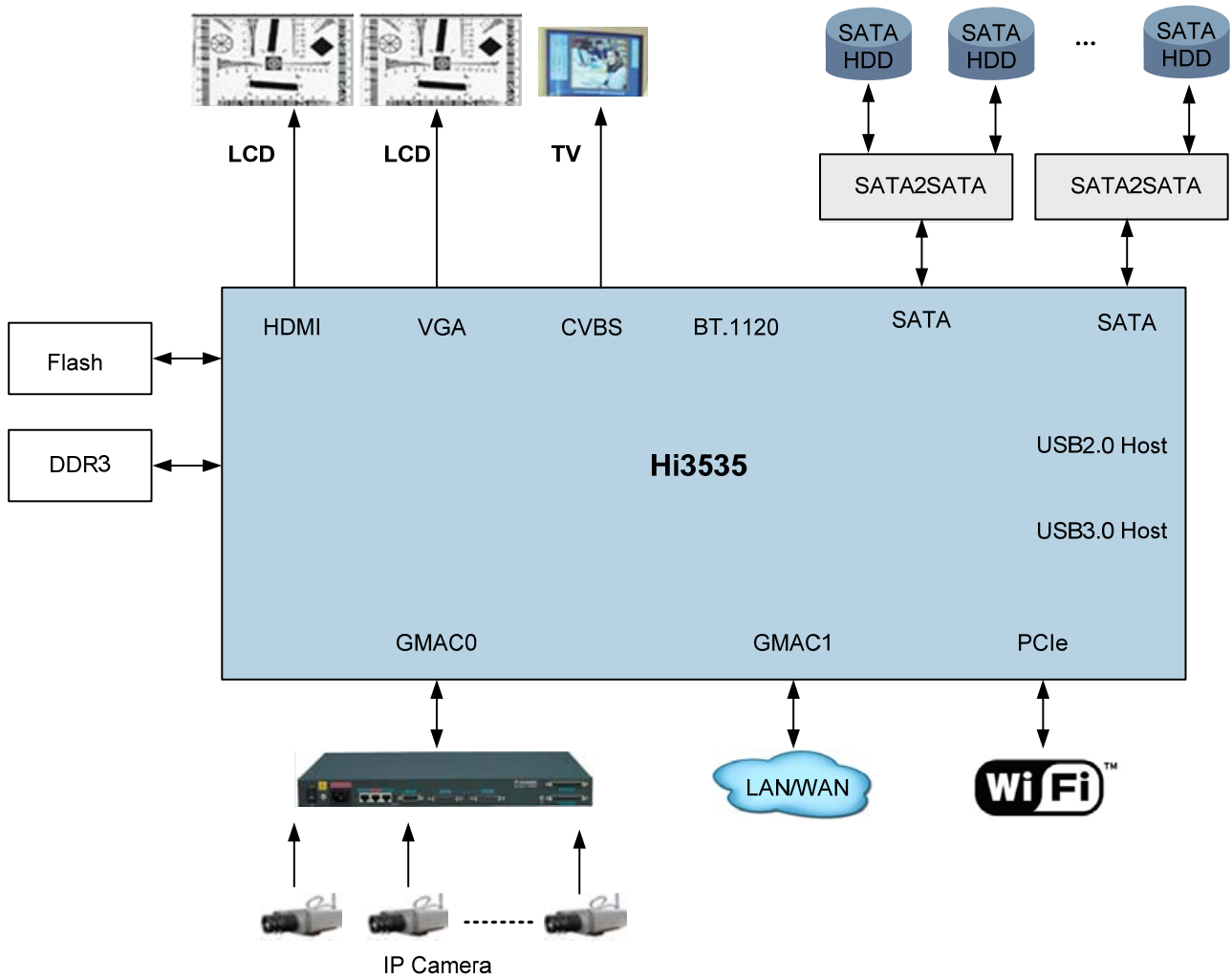
Hi3535 是针对多路高清或多路 D1 NVR 产品应用开发的专业 SOC 芯片。Hi3535 内置高性能 A9 处理器和具有高达 5 路 1080P 解码能力的多协议视频解码引擎，集成了具备多项复杂图像处理算法的高性能视频/图像处理引擎，结合双路高清显示输出能力，为客户产品提供优质的图像质量。Hi3535 集成了丰富的外围接口，为客户提供差异化产品功能、性能、图像质量要求的同时，大大降低 ebom 成本。

Hi3535 的典型应用场景：单片 Hi3535 NVR 解决方案

- 4x1080p NVR
 - 5 路 1080p 实时解码（4 路预览+1 路回放）
 - 1 路 1080p 实时编码
 - 1080p @8fps JPEG 抓拍
 - HDMI+VGA 1080P@60fps 双高清输出+1 路 CVBS 输出
- 8x720p NVR
 - 9 路 720p 实时解码（8 路预览+1 路回放）
 - 1 路 1080p 实时编码
 - 720p @16fps JPEG 抓拍
 - HDMI+VGA 1080p@60fps 双高清输出+1 路 CVBS 输出
- 16D1 NVR
 - 24D1 实时解码（16 路预览+8 路回放）
 - 1 路 1080p 实时编码
 - D1 @32fps JPEG 抓拍
 - HDMI+VGA 1080p@60fps 双高清输出+1 路 CVBS 输出



图1-1 单片 Hi3535 NVR 应用框图



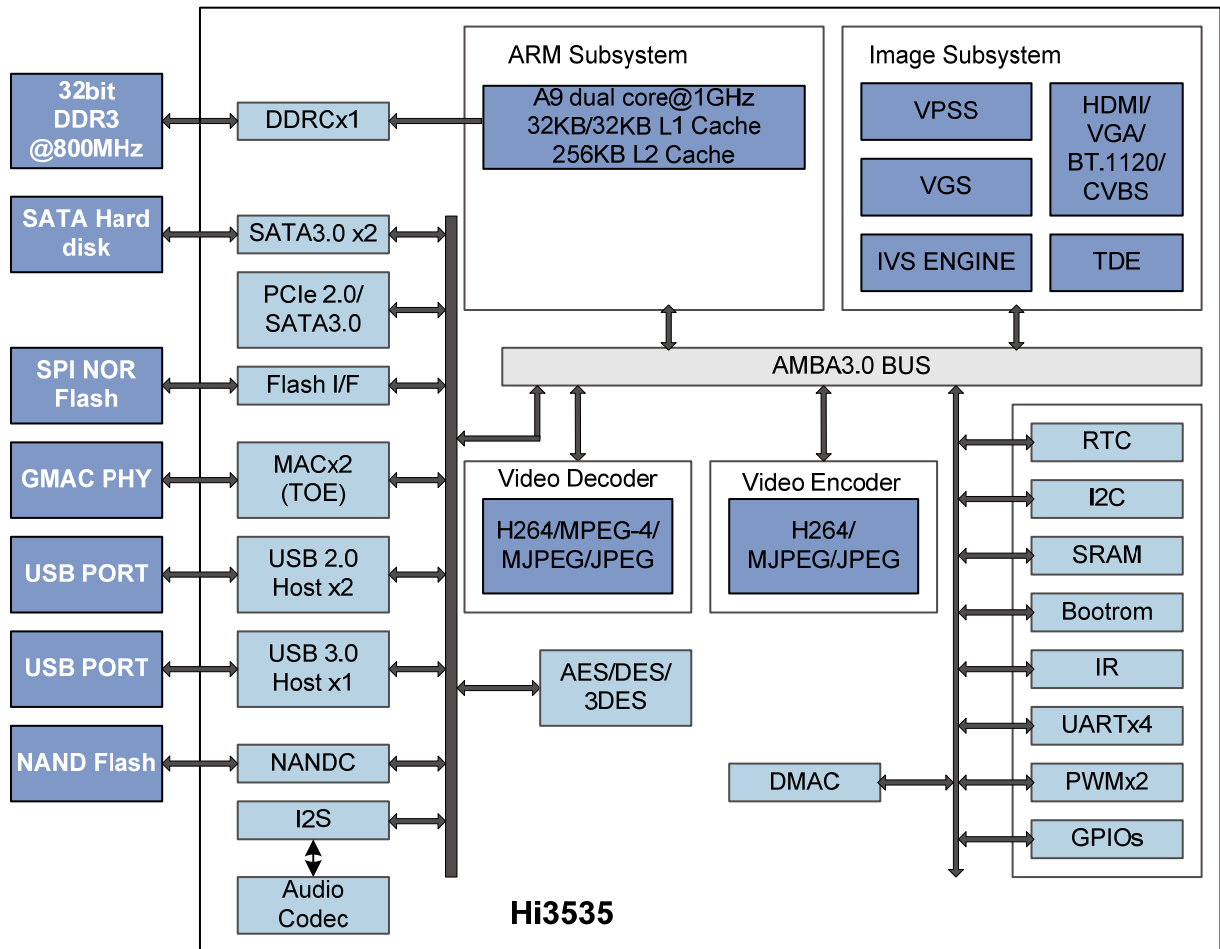
1.2 架构

1.2.1 概述

Hi3535 芯片逻辑框图如图 1-2 所示。



图1-2 Hi3535 芯片逻辑框图



1.2.2 处理器内核

ARM Cortex A9 dual core@Max. 1GHz

- 32KB L1 I-Cache, 32KB L1 D-Cache
- 256KB L2 Cache

1.2.3 视频解码

- H.264 Baseline/Main/High Profile Level5.0 解码
- MPEG4 SP L0~L3/ASP L0~L5 解码
- MJPEG/JPEG Baseline 解码

1.2.4 视频编码

- H.264 Baseline/Main/High Profile Level4.2 编码
- MJPEG/JPEG Baseline 编码



1.2.5 视频编解码性能

- H.264&JPEG 多码流编解码性能
 - 5x1080p@30fps H.264 解码 + 1x1080p@30fps H.264 编码+ 1080p@8fps JPEG 编码
 - 9 x720p@30fps H.264 解码 + 1x1080p@30fps H.264 编码+ 720p@16fps JPEG 编码
 - 24xD1@30fps H.264 解码 + 1x1080p@30fps H.264 编码 + D1@32fps JPEG 编码
 - 4 x 720p@30fps JPEG 解码
- CBR/VBR 码率控制, 16Kbit/s~40Mbit/s
- 编码帧率支持 1fps~60fps
- 支持感兴趣区域 (ROI) 编码
- 提供彩转灰编码

1.2.6 智能视频分析

集成智能分析加速引擎, 支持智能运动侦测、周界防范、视频诊断等多种智能分析应用。

1.2.7 视频与图形处理

- 支持 de-interlace、边缘增强、3D 去噪、动态对比度增强
- 支持视频、图形输出抗闪烁处理
- 支持视频 1/8~16x 缩放
- 支持图形 1/2~2x 缩放
- 支持 4 个遮挡区域
- 支持 8 个区域的 OSD 叠加
- 视频层、图形层 Alpha 叠加

1.2.8 音频编解码

- 软件实现多协议音频编解码

1.2.9 安全引擎

- 硬件实现 AES/DES/3DES 加解密算法

1.2.10 视频接口

- 视频输出接口
 - 支持 1 个 HDMI 1.4 高清输出接口
 - 支持 1 个 VGA 高清输出接口
 - 支持 1 个 BT.1120 输出接口
 - HDMI 和 VGA 可配置为同源或非同源



- BT.1120 可配置为与 HDMI 或 VGA 同源
- HDMI/VGA 最高分辨率支持 1920x1200@60fps
- 支持 1 个 CVBS 标清输出接口
- 支持 3 个 ARGB1555、ARGB8888 或 ARGB4444 的全屏 GUI 图形层，分别用于 2 路高清和 1 路标清
- 支持一个硬件鼠标层，格式为 ARGB1555、ARGB8888 或 ARGB4444 可配置，最大分辨率为 128x128

1.2.11 音频接口

- 集成 1 个 Audio codec，支持 16bit 语音输入和输出
- 支持 2 个标准 I²S 接口
 - 1 个支持输入
 - 1 个支持输出
- 支持通过 I²S 接口外接 Audio codec，支持 16/24bit 语音输入和输出

1.2.12 网络接口

支持 2 个千兆以太网接口

- 支持 RGMII、RMII、MII 三种接口模式
- 支持 10/100Mbit/s 半双工或全双工
- 支持 1000Mbit/s 全双工
- 支持 TOE，降低 CPU 开销

1.2.13 外围接口

- 2 个 SATA3.0 接口
 - 支持 PM 功能
 - 支持 eSATA
- 1 个 PCIe 2.0/SATA 3.0 复用接口
 - 用于 PCIe 2.0 接口时，支持 RC 和 Endpoint 功能
 - 用于 SATA 3.0 接口时，支持 eSATA 和 PM
- 4 个 UART 接口，其中 2 个支持 4 线
- IR 接口、I²C 接口、GPIO 接口
- 2 个 USB 2.0 HOST 接口，支持 Hub 功能
- 1 个 USB 3.0 HOST 接口，支持 Hub 功能

1.2.14 存储器接口

- 1 个 32bit DDR3 SDRAM 控制器接口
 - 最高频率 800MHz
 - 支持 ODT 功能



- 最大容量支持 2GB
- 支持自动功耗控制
- SPI Nor Flash 接口
 - 1、2、4bit SPI Nor Flash
 - 2 个片选
 - 每个片选最大容量支持 32Mbyte
- Nand Flash 接口
 - 支持 8bit Nand Flash
 - 支持 SLC, MLC
 - 1,4,8,24bit ECC
 - 支持从 Nand Flash 启动
- 内置 4KB bootrom 和 10KB SRAM

1.2.15 独立供电 RTC

- RTC 可通过电池独立供电

1.2.16 多种启动模式可配置

- bootrom 启动
- SPI NOR Flash 启动
- NAND Flash 启动
- DDR 启动

1.2.17 SDK

- 提供基于 Linux 3.4 的开发包
- 提供 H.264 的高性能 PC 解码库

1.2.18 芯片物理规格

- 功耗
 - 3.5W 典型功耗
 - 支持多级功耗控制
- 工作电压
 - 内核电压为 1.1V
 - CPU 电压为 1.2V (可降压至 1.1V)
 - IO 电压为 3.3V
 - DDR3 SDRAM 接口电压为 1.5V
- 封装
 - RoHS, EDHS-PBGA
 - 管脚间距: 0.8mm



- 23mmx23mm 封装大小

1.3 启动模式

支持以下四种启动方式：

- 从 BOOT ROM 存储空间启动
- 从片外 NAND Flash 存储空间启动
- 从片外 SPI Flash 存储空间启动
- 从 DDR 启动

当芯片上电复位时，启动模式由 BOOTROM_SEL/BOOT_SEL1/BOOT_SEL0 信号的值决定，具体情况如表 1-1 所示。

表1-1 启动模式

BOOTROM_SEL	BOOT_SEL1	BOOT_SEL0	启动模式
1	X	X	从 BOOTROM 启动
0	0	0	从片外 SPI Flash 启动
0	1	0	从片外 NAND Flash 启动
0	0	1	从启动模式

说明

- BOOTROM_SEL 信号与芯片外部管脚 MDCK 复用；
- BOOT_SEL1 信号与芯片外部管脚 VOU1120_DATA10 复用；
- BOOT_SEL0 信号与芯片外部管脚 VOU1120_DATA7 复用。

当启动模式为从 BOOTROM 启动时，将会启动串口通信机制，通过串口与 PC 端相应的软件建立通信，下载 boot 程序后完成启动（请参考《Fastboot 工具使用说明》）；如果在 BOOTROM 启动时如果与串口通信超时未响应，将会转向判断 BOOT_SEL1 和 BOOT_SEL0 的上下拉电平，当 BOOT_SEL1=0，BOOT_SEL0=0 时转向从 SPI Flash 启动；当 BOOT_SEL1=1，BOOT_SEL0=0 时转向从 NAND Flash 启动。

当启动模式配置成从启动模式时，芯片上电复位撤销后 CPU 不会启动，由主片通过 PCIe 接口加载 boot 程序至从片 DDR 内，然后主片通过 PCIe 接口撤销从片 CPU 的复位，从片从 DDR 加载 boot 程序。

地址空间映射如表 1-2 所示。

表1-2 地址空间映射表

起始地址	结束地址	功能	大小	说明
0x8000_0000	0xFFFF_FFFF	DDR 外接 DDR 器件地址空间	2GB	-



起始地址	结束地址	功能	大小	说明
0x5C00_0000	0x7FFF_FFFF	保留	-	-
0x5800_0000	0x5BFF_FFFF	SPI FLASH 存储空间	64MB	-
0x5400_0000	0x57FF_FFFF	保留	-	-
0x5000_0000	0x53FF_FFFF	NANDC 存储空间	64MB	-
0x4000_0000	0x4FFF_FFFF	PCIE 配置地址空间	256MB	-
0x3000_0000	0x3FFF_FFFF	PCIE 存储器地址空间	256MB	-
0x2081_0000	0x2FFF_FFFF	保留	-	-
0x2080_0000	0x2080_FFFF	PCIE 寄存器空间	64KB	-
0x2070_0000	0x207F_FFFF	L2 CACHE 空间	1MB	-
0x206E_0000	0x206F_FFFF	保留	-	-
0x206D_0000	0x206D_FFFF	DDRT 寄存器	64KB	-
0x206C_0000	0x206C_FFFF	MD 寄存器	64KB	-
0x206B_0000	0x206B_FFFF	VGS 寄存器	64KB	-
0x2069_0000	0x206A_FFFF	保留	-	-
0x2068_0000	0x2068_FFFF	AIO 寄存器	64KB	-
0x2067_0000	0x2067_FFFF	JPGD 寄存器	64KB	-
0x2066_0000	0x2066_FFFF	JPGE 寄存器	64KB	-
0x2065_0000	0x2065_FFFF	VDH1 寄存器	64KB	-
0x2064_0000	0x2064_FFFF	保留	-	-
0x2063_0000	0x2063_FFFF	VDH0 寄存器	64KB	-
0x2062_0000	0x2062_FFFF	VENC 寄存器	64KB	-
0x2061_0000	0x2061_FFFF	TDE 寄存器	64KB	-
0x2060_0000	0x2060_FFFF	VPSS 寄存器	64KB	-
0x205F_0000	0x205F_FFFF	保留	-	-
0x205E_0000	0x205E_FFFF	IVE 寄存器	64KB	-
0x205D_0000	0x205D_FFFF	保留	-	-
0x205C_0000	0x205C_FFFF	VDP 寄存器	64KB	-
0x2052_0000	0x205B_FFFF	保留	-	-
0x2040_0000	0x2051_FFFF	ARM DEBUG	1152KB	-



起始地址	结束地址	功能	大小	说明
0x2031_0000	0x203F_FFFF	保留	-	-
0x2030_0000	0x2030_FFFF	ARM WDG/TIMER/GIC 等内部寄存器	64KB	-
0x2024_0000	0x202F_FFFF	保留	-	-
0x2023_0000	0x2023_FFFF	GPIO14 寄存器	64KB	-
0x2022_0000	0x2022_FFFF	GPIO13 寄存器	64KB	-
0x2021_0000	0x2021_FFFF	GPIO12 寄存器	64KB	-
0x2020_0000	0x2020_FFFF	GPIO11 寄存器	64KB	-
0x201F_0000	0x201F_FFFF	GPIO10 寄存器	64KB	-
0x201E_0000	0x201E_FFFF	GPIO9 寄存器	64KB	-
0x201D_0000	0x201D_FFFF	GPIO8 寄存器	64KB	-
0x201C_0000	0x201C_FFFF	GPIO7 寄存器	64KB	-
0x201B_0000	0x201B_FFFF	GPIO6 寄存器	64KB	-
0x201A_0000	0x201A_FFFF	GPIO5 寄存器	64KB	-
0x2019_0000	0x2019_FFFF	GPIO4 寄存器	64KB	-
0x2018_0000	0x2018_FFFF	GPIO3 寄存器	64KB	-
0x2017_0000	0x2017_FFFF	GPIO2 寄存器	64KB	-
0x2016_0000	0x2016_FFFF	GPIO1 寄存器	64KB	-
0x2015_0000	0x2015_FFFF	GPIO0 寄存器	64KB	-
0x2014_0000	0x2014_FFFF	TIMER3 寄存器	64KB	-
0x2013_0000	0x2013_FFFF	TIMER2 寄存器	64KB	-
0x2012_0000	0x2012_FFFF	MISC 寄存器	64KB	-
0x2011_0000	0x2011_FFFF	DDRC 寄存器	64KB	-
0x2010_0000	0x2010_FFFF	HDMI 寄存器	64KB	-
0x200F_0800	0x200F_FFFF	管脚控制寄存器	32KB	-
0x200F_0000	0x200F_7FFF	管脚复用寄存器	32KB	-
0x200E_0000	0x200E_FFFF	PWM 寄存器	64KB	-
0x200D_0000	0x200D_FFFF	I ² C 寄存器	64KB	-
0x200C_0000	0x200C_FFFF	保留	-	-



起始地址	结束地址	功能	大小	说明
0x200B_0000	0x200B_FFFF	UART3 寄存器	64KB	-
0x200A_0000	0x200A_FFFF	UART2 寄存器	64KB	-
0x2009_0000	0x2009_FFFF	UART1 寄存器	64KB	-
0x2008_0000	0x2008_FFFF	UART0 寄存器	64KB	-
0x2007_0000	0x2007_FFFF	IR 寄存器	64KB	-
0x2006_0000	0x2006_FFFF	RTC 寄存器	64KB	-
0x2005_0000	0x2005_FFFF	SYS_CTRL 寄存器	64KB	-
0x2004_0000	0x2004_FFFF	WDG 寄存器	64KB	-
0x2003_0000	0x2003_FFFF	CRG 寄存器	64KB	-
0x2002_0000	0x2002_FFFF	保留	-	-
0x2001_0000	0x2001_FFFF	Timer1 寄存器	64KB	-
0x2000_0000	0x2000_FFFF	Timer0 寄存器	64KB	-
0x1204_0000	0x1FFF_FFFF	保留	-	-
0x1202_0000	0x1203_FFFF	TOE 寄存器	128KB	-
0x1201_0000	0x1201_FFFF	SATA3.0 寄存器	64KB	-
0x1200_0000	0x1200_FFFF	USB3.0 寄存器	64KB	-
0x1007_0000	0x11FF_FFFF	保留	-	-
0x1006_0000	0x1006_FFFF	DMAC 寄存器	64KB	-
0x1005_0000	0x1005_FFFF	CIPHER 寄存器	64KB	-
0x1004_0000	0x1004_FFFF	USB EHCI 寄存器	64KB	-
0x1003_0000	0x1003_FFFF	USB OHCI 寄存器	64KB	-
0x1002_0000	0x1002_FFFF	保留	64KB	-
0x1001_0000	0x1001_FFFF	SFC 寄存器	64KB	-
0x1000_0000	0x1000_FFFF	NANDC 寄存器	64KB	-
0x0402_0000	0x0FFF_FFFF	保留	-	-
0x0401_0000	0x0401_FFFF	片内 RAM 地址空间	64KB	实际大小只有 10KB。
0x0400_0000	0x0400_FFFF	BOOTROM 地址空间	64KB	实际大小只有 4KB。



起始地址	结束地址	功能	大小	说明
0x0000_0000	0x03FF_FFFF	地址重映射时：此地址指向启动地址空间。 地址重映射撤销后：此地址空间指向片内 RAM	64MB	地址重映射时，系统的启动地址空间依据启动模式的不同而指向不同的存储空间： <ol style="list-style-type: none">1. 当启动模式为从 BOOTROM 启动时，系统的启动地址空间为片内 BOOTROM 的存储空间。2. 当启动模式为从 SPI FLASH 启动时，系统的启动地址空间为 SPI FLASH 存储空间。3. 关于当启动模式为从 NAND FLASH 启动时，系统的启动地址空间为 NAND FLASH 存储空间。4. 当启动模式为从启动模式时，系统启动地址空间为 DDR 存储空间。 启动模式的说明，请参考 1.3 “启动模式”章节。



目 录

2 硬件特性	2-1
2.1 封装与管脚分布.....	2-1
2.1.1 封装.....	2-1
2.1.2 管脚分布.....	2-3
2.2 管脚描述.....	2-15
2.2.1 管脚类型说明.....	2-15
2.2.2 管脚信息描述.....	2-16
2.3 管脚复用寄存器.....	2-54
2.3.1 复用寄存器概览.....	2-54
2.3.2 复用寄存器描述.....	2-58
2.4 管脚驱动能力寄存器.....	2-109
2.4.1 管脚驱动能力寄存器概览.....	2-109
2.4.2 管脚驱动能力寄存器描述.....	2-114
2.5 软件复用管脚.....	2-231
2.6 硬件管脚复用.....	2-250
2.7 电性能参数.....	2-253
2.7.1 功耗参数.....	2-253
2.7.2 温度和热阻参数.....	2-253
2.7.3 工作条件.....	2-254
2.7.4 上下电顺序.....	2-255
2.7.5 DC/AC 电气参数.....	2-255
2.8 PCB 设计建议.....	2-257
2.9 接口时序.....	2-257
2.9.1 DDR 接口时序.....	2-257
2.9.2 NANDC 接口时序.....	2-260
2.9.3 SFC 接口时序.....	2-263
2.9.4 Ethernet MAC 接口时序.....	2-265
2.9.5 VO 接口时序.....	2-270
2.9.6 AIO 接口时序.....	2-271
2.9.7 I ² C 时序.....	2-272



2.9.8 SPI 接口时序.....2-274



插图目录

图 2-1 芯片封装顶视图	2-1
图 2-2 芯片封装底视图	2-2
图 2-3 芯片封装侧视图	2-2
图 2-4 Detail A 放大图	2-3
图 2-5 管脚分布图 part1 (A1~P14)	2-5
图 2-6 管脚分布图 part2 (A15~P28)	2-6
图 2-7 管脚分布图 part3 (R1~AH14)	2-7
图 2-8 管脚分布图 part4 (R15~AH28)	2-8
图 2-9 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图	2-258
图 2-10 DDR3 中 dqs_out 相对于 ck 的写操作时序图	2-258
图 2-11 命令和地址相对于 ck 的写操作时序图	2-258
图 2-12 DDRn SDRAM 输出时序图	2-259
图 2-13 NANDC 命令周期时序图	2-260
图 2-14 NANDC 地址周期时序图	2-261
图 2-15 NANDC 写数据时序图	2-262
图 2-16 NANDC 读数据时序图	2-263
图 2-17 SFC 输入方向时序图	2-264
图 2-18 SFC 输出方向时序图	2-264
图 2-19 MII 接口 100Mbit/s 接收时序	2-265
图 2-20 MII 接口 100Mbit/s 发送时序	2-265
图 2-21 MII 接口 10Mbit/s 接收时序	2-265
图 2-22 MII 接口 10Mbit/s 发送时序	2-266
图 2-23 MII 接口接收时序参数	2-266
图 2-24 MII 接口发送时序参数	2-266
图 2-25 RMII 接口 100Mbit/s 接收时序	2-267



图 2-26 RMII 接口 100Mbit/s 发送时序	2-267
图 2-27 RMII 接口 10Mbit/s 接收时序	2-267
图 2-28 RMII 接口 10Mbit/s 发送时序	2-267
图 2-29 RMII 接口时序参数.....	2-268
图 2-30 RGMII 接口 1000Mbit/s 接收时序.....	2-268
图 2-31 RGMII 接口 1000Mbit/s 发送时序.....	2-269
图 2-32 MDIO 接口读时序.....	2-269
图 2-33 MDIO 接口写时序.....	2-269
图 2-34 MDIO 接口接收时序参数.....	2-270
图 2-35 VO 接口时序.....	2-270
图 2-36 I ² S 接口接收时序图.....	2-271
图 2-37 I ² S 接口发送时序图.....	2-271
图 2-38 PCM 接口接收时序图	2-272
图 2-39 PCM 接口发送时序图	2-272
图 2-40 I ² C 传输时序图	2-273
图 2-41 SPICK 时序	2-274
图 2-42 SPI 主模式下接口时序 (sph=0)	2-274
图 2-43 SPI 主模式下接口时序 (sph=1)	2-275



表格目录

表 2-1 封装参数说明	2-3
表 2-2 Hi3535 管脚数目统计表.....	2-3
表 2-3 管脚排列表	2-8
表 2-4 管脚 I/O 类型说明	2-15
表 2-5 AUDIO CODEC 管脚	2-16
表 2-6 VDAC 管脚	2-17
表 2-7 VO 管脚.....	2-17
表 2-8 HDMI 管脚.....	2-21
表 2-9 I2C 管脚	2-23
表 2-10 IR 管脚	2-23
表 2-11 RGMII0 管脚.....	2-24
表 2-12 RGMII1 管脚.....	2-26
表 2-13 RGMII 端口功能说明.....	2-30
表 2-14 MDIO 管脚.....	2-31
表 2-15 UART0 管脚.....	2-32
表 2-16 UART1 管脚.....	2-32
表 2-17 UART2 管脚.....	2-33
表 2-18 UART3 管脚.....	2-33
表 2-19 JTAG 管脚	2-34
表 2-20 GPIO 管脚	2-35
表 2-21 SFC 管脚	2-36
表 2-22 NFC 管脚.....	2-37
表 2-23 SATA 管脚.....	2-40
表 2-24 USB 2.0 管脚.....	2-42
表 2-25 USB 3.0 管脚.....	2-44



表 2-26 SYS 管脚	2-45
表 2-27 SVB 管脚.....	2-46
表 2-28 OSC 管脚.....	2-46
表 2-29 RTC 管脚.....	2-46
表 2-30 DDR 管脚.....	2-47
表 2-31 DDR 电源/地管脚.....	2-51
表 2-32 电源和地管脚	2-52
表 2-33 复用寄存器概览(复用寄存器基地址为 0x200F_0000).....	2-54
表 2-34 IO 寄存器概览（基址是 0x200F_0800）	2-109
表 2-35 VDAC 的软件复用管脚	2-232
表 2-36 VDAC 的软件复用管脚描述	2-232
表 2-37 RGMII0 的软件复用管脚.....	2-232
表 2-38 RGMII0 的软件复用管脚描述.....	2-233
表 2-39 RGMII1 的软件复用管脚.....	2-234
表 2-40 RGMII1 的软件复用管脚描述.....	2-235
表 2-41 MDIO 的软件复用管脚.....	2-237
表 2-42 MDIO 的软件复用管脚描述.....	2-237
表 2-43 IR 的软件复用管脚.....	2-238
表 2-44 IR 的软件复用管脚描述.....	2-238
表 2-45 SFC 的软件复用管脚	2-238
表 2-46 SFC 的软件复用管脚描述.....	2-239
表 2-47 NFC 的软件复用管脚.....	2-240
表 2-48 NFC 的软件复用管脚描述.....	2-240
表 2-49 USB 的软件复用管脚.....	2-241
表 2-50 USB 的软件复用管脚描述.....	2-242
表 2-51 HDMI 的软件复用管脚.....	2-242
表 2-52 HDMI 的软件复用管脚描述	2-243
表 2-53 UART 的软件复用管脚.....	2-243
表 2-54 UART 的软件复用管脚描述	2-244
表 2-55 SATA 的软件复用管脚.....	2-244
表 2-56 SATA 的软件复用管脚描述.....	2-245
表 2-57 I2C 的软件复用管脚.....	2-245



表 2-58 I2C 的软件复用管脚描述.....	2-245
表 2-59 SVB 的软件复用管脚.....	2-246
表 2-60 SVB 的软件复用管脚描述.....	2-246
表 2-61 GPIO 的软件复用管脚.....	2-246
表 2-62 GPIO 的软件复用管脚描述.....	2-247
表 2-63 VO 的软件复用管脚.....	2-247
表 2-64 VO 的软件复用管脚描述.....	2-248
表 2-65 RGMII0 硬件管脚复用.....	2-250
表 2-66 与 RGMII0 复用的管脚描述.....	2-250
表 2-67 RGMII1 硬件管脚复用.....	2-250
表 2-68 与 RGMII1 复用的管脚描述.....	2-251
表 2-69 SFC 硬件管脚复用.....	2-251
表 2-70 与 SFC 复用的管脚描述.....	2-251
表 2-71 NFC 硬件管脚复用.....	2-251
表 2-72 与 NFC 复用的管脚描述.....	2-252
表 2-73 JTAG 硬件管脚复用.....	2-252
表 2-74 与 JTAG 复用的管脚描述.....	2-253
表 2-75 Hi3535 功耗参数.....	2-253
表 2-77 工作条件.....	2-254
表 2-78 DC 电气参数表 (DVDD33=3.3V, 部分接口兼容 5V 输入).....	2-256
表 2-79 DC 电气参数表 (DDR_VDDQ=1.5V, DDR3 模式).....	2-256
表 2-80 AC 电气参数表 (DDR_VDDQ=1.5V, DDR3 模式).....	2-257
表 2-81 DDR3 时钟参数表.....	2-259
表 2-82 DDR3 SDRAM 存储器参数表 (DDR3-1600).....	2-260
表 2-83 NANDC 命令周期时序参数表.....	2-261
表 2-84 NANDC 地址周期时序参数表.....	2-261
表 2-85 NANDC 写数据时序参数表.....	2-262
表 2-86 NANDC 读数据时序参数表.....	2-263
表 2-87 SFC 输入方向时序参数表.....	2-264
表 2-88 SFC 输出方向时序参数表.....	2-264
表 2-89 MII 接口时序参数说明.....	2-266
表 2-90 RMII 接口时序参数说明.....	2-268



表 2-91 RGMII 接口时序参数说明	2-269
表 2-92 MDIO 接口时序参数	2-270
表 2-93 VO 接口时序参数表	2-270
表 2-94 I ² S 接口时序参数表	2-271
表 2-95 PCM 接口时序参数表	2-272
表 2-96 I ² C 接口时序参数表	2-273
表 2-97 SPI 接口时序参数	2-275



2 硬件特性

2.1 封装与管脚分布

2.1.1 封装

Hi3535 芯片采用 EDHS-PBGA 封装，封装尺寸为 23mmX23mm，管脚间距为 0.8mm，管脚总数为 563 个。详细封装请参见图 2-1~图 2-4，封装尺寸参数请参见表 2-1。

图2-1 芯片封装顶视图

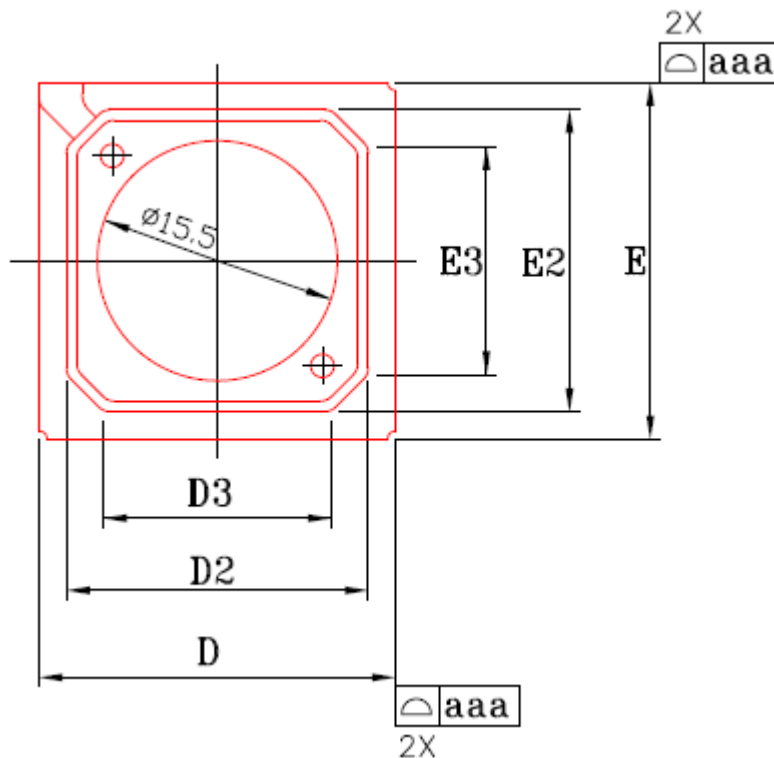




图2-2 芯片封装底视图

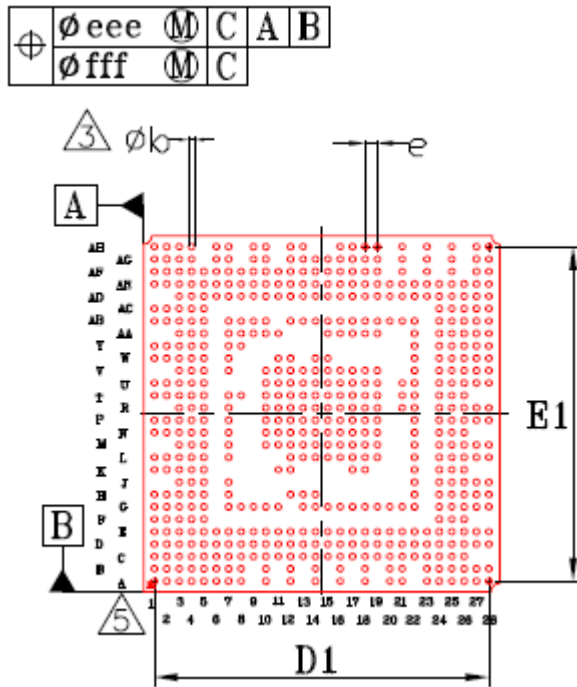


图2-3 芯片封装侧视图

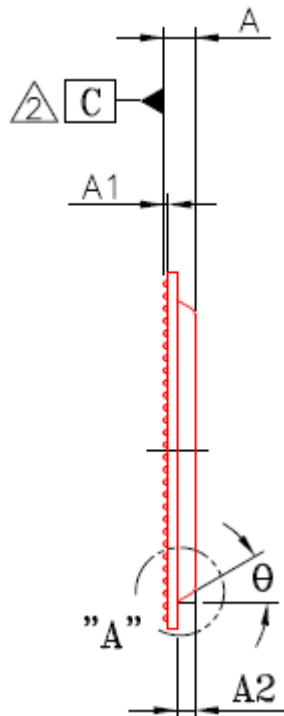




图2-4 Detail A 放大图

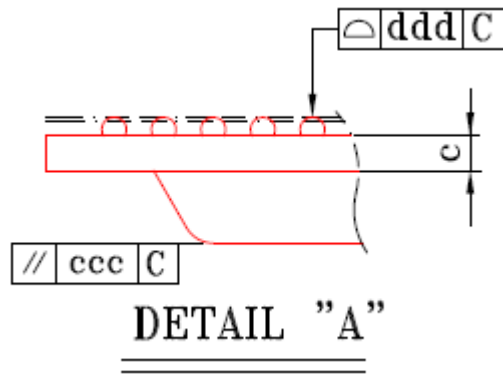


表2-1 封装参数说明

Symbol	dimension in mm			dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	---	2.03	2.18	---	0.080	0.086
A1	0.25	0.30	0.35	0.010	0.012	0.014
A2	1.12	1.17	1.22	0.044	0.046	0.048
c	0.51	0.56	0.61	0.020	0.022	0.024
b	0.35	0.40	0.45	0.014	0.016	0.018
D	22.80	23.00	23.20	0.898	0.906	0.913
D1	---	21.60	---	---	0.850	---
D2	19.30	19.50	19.70	0.760	0.768	0.776
D3	---	14.70	---	---	0.579	---
E	22.80	23.00	23.20	0.898	0.906	0.913
E1	---	21.60	---	---	0.850	---
E2	19.30	19.50	19.70	0.760	0.768	0.776
E3	---	14.70	---	---	0.579	---
e	---	0.80	---	---	0.031	---
aaa	0.20			0.008		
ccc	0.25			0.010		
ddd	0.15			0.006		
eee	0.25			0.010		
fff	0.10			0.004		
θ	30° TYP			30° TYP		

2.1.2 管脚分布

Hi3535 的管脚有 563 个，管脚数目统计表如表 2-2 所示。

表2-2 Hi3535 管脚数目统计表

管脚类别	数量
I/O	263
数字电源	93



管脚类别	数量
数字地	148
其他/模拟电源	27
其他/模拟地	29
DDR 参考电源	3
总计	563

管脚分布图

Hi3535 管脚分布如[图 2-5](#) 和[图 2-8](#) 所示。



图2-5 管脚分布图 part1 (A1~P14)

	01	02	03	04	05	06	07	08	09	10	11	12	13	14
A	DVDD_CPU	DVDD_CPU	DVDD_CPU	VSS	GPIO1_5	GPIO1_1	GPIO1_7	GPIO1_3		USB3_TXP		HDMI_TX2N		HDMI_TX0N
B	DVDD_CPU	DVDD_CPU	DVDD_CPU	DVDD_CPU	GPIO1_4	GPIO1_0	GPIO1_6	GPIO1_2		USB3_TXM		HDMI_TX2P		HDMI_TX0P
C	VSS	DVDD_CPU	DVDD_CPU	DVDD_CPU	DVDD_CPU	VSS	USB3_PWREN	VSS	USB3_RXM	VSS	USB3_DM	AVSS_HDMITX	HDMI_TX1N	AVSS_HDMITX
D	GPIO0_0	PWM_SVB0	DVDD_CPU	DVDD_CPU	DVDD_CPU	DVDD_CPU	VSS	VSS	USB3_RXP	VSS	USB3_DP	AVSS_HDMITX	HDMI_TX1P	AVSS_HDMITX
E	GPIO0_2	GPIO0_1	VSS	DVDD_CPU	DVDD_CPU	DVDD_CPU	DVDD_CPU	USB3_OVRCUR	VSS	VSS	VSS	HDMI_REXT	AVSS_HDMITX	AVSS_HDMITX
F	GPIO0_4	GPIO0_3	VSS	VSS	DVDD_CPU									
G	UART0_TXD	UART0_RXD	UART0_CTSN	UART0_RTSN	VSS			DVDD_CPU	DVDD_CPU	DVDD3_3	DVDD3_3	USB3_REXT	AVSS_PLL_HDMITX	AVCC_HDMITX
H	UART1_RTSN	UART1_TXD	UART1_CTSN	UART1_RXD	VSS			DVDD_CPU				AVDD3_3_USB3	AVCC_PLL_HDMITX	AVCC_HDMITX
J			UART2_RXD	UART2_TXD	VSS			VSS						
K	VSS	DDR_D_Q4	VSS	DDR_D_Q0	DDR_D_Q2							DVDD_CORE	DVDD_CORE	
L	DDR_D_Q6	VSS	DDR_D_Q9	DDR_D_Q13	VSS			DVDD3_3				AVDD1_1_VP_USB3	AVDD1_1_VPT_X0_US	DVDD1_1_USB3
M			DDR_D_Q11	DDR_D_Q15	VDDIO_DDR			VSS				DVDD_CORE	VSS	VSS
N	DDR_D_QS0_P	DDR_D_QS0_N	VSS	DDR_D_M1	VDDIO_DDR			VDDIO_DDR				DVDD_CORE	VSS	VSS
P	VSS	DDR_D_QS1_P	DDR_D_QS1_N	DDR_D_M0	DDR_D_Q8			VDDIO_DDR				DVDD_CORE	VSS	VSS



图2-6 管脚分布图 part2 (A15~P28)

15	16	17	18	19	20	21	22	23	24	25	26	27	28		
	VGA_HS		VGA_G		AC_MICL	AC_MICR		VOU11_20_DA_TA6	VOU11_20_DA_TA4	VOU11_20_DA_TA2	VOU11_20_DA_TA0	VOU11_20_DA_TA14	VSS	A	
	VGA_VS		VGA_B		AC_MICBIAS	AC_LINEL		VOU11_20_DA_TA7	VOU11_20_DA_TA5	VOU11_20_DA_TA3	VOU11_20_DA_TA1	VOU11_20_DA_TA15	VOU11_20_DA_TA13	B	
HDMI_TXCN	HDMI_SCL	VGA_R	AVSS_VDAC	AC_OUTR	AC_LINER	AVSS_AC	VOU11_20_DA_TA11	VOU11_20_DA_TA10	VOU11_20_DA_TA8	VSS	I2C_SCL			C	
HDMI_TXCP	HDMI_SDA	CVBS_OUT	AVSS_VDAC	AC_OUTL	AC_VREF	AVSS_AC	VOU11_20_DA_TA12	VOU11_20_DA_TA9	VOU11_20_CLK	I2C_SDA	RGMI1_RXDV	RGMI1_RXD1	RGMI1_RXD0	D	
HDMI_CEC	HDMI_HOTPLUG	AVSS_VDAC	VDAC_REXT	AVSS_AC	AVSS_AC	VSS	VSS	VSS	VSS	VSS	RGMI1_TXCK	RGMI1_RXD3	RGMI1_RXD2	E	
									VSS	RGMI1_TXCK_OUT	RGMI1_TXER			F	
AVSS_HDMITX	AVDD3_3_VDAC	AVDD3_3_VDAC	DVDD3_3	AVDD3_3_AC	AVDD3_3_AC	DVDD3_3	DVDD3_3		RGMI1_RXER	RGMI1_COL	RGMI1_TXEN	RGMI1_TXD0	RGMI1_TXD1	G	
								DVDDI_O_RGMII1		VSS	VSS	RGMI1_RXCK	RGMI1_TXD2	RGMI1_TXD3	H
								DVDDI_O_RGMII1	MDIO	MDCK	RGMI10_TXEN	RGMI10_CRS	GPIO0_7	J	
		DVDD_CORE	DVDD_CORE					DVDDI_O_RGMII1	VSS	VSS	RGMI10_TXCK			K	
VSS	VSS	VSS	VSS	DVDD_CORE				DVDDI_O_RGMII0	VSS	RGMI10_TXCK_OUT	RGMI10_TXER	RGMI10_RXD1	RGMI10_RXD0	L	
VSS	VSS	VSS	VSS	DVDD_CORE				DVDDI_O_RGMII0	RGMI10_RXER	RGMI10_COL	RGMI10_RXDV	RGMI10_RXD2	RGMI10_RXD3	M	
VSS	VSS	VSS	VSS	DVDD_CORE				VSS	VSS	VSS	RGMI10_RXCK			N	
VSS	VSS	VSS	VSS	DVDD_CORE				DVDD3_3	VSS	RGMI10_CRS	GPIO0_6	RGMI10_TXD1	RGMI10_TXD0	P	



图2-7 管脚分布图 part3 (R1~AH14)

R		VSS	DDR_D Q12	VSS														DDR_V REF_D Q_1		DVDD_ CORE	VSS	VSS	VSS	VSS			
T	DDR_D Q10	VSS	DDR_D Q14	DDR_D Q1	VDDIO _DDR													AVSS_ DDRPL L1	AVDD_ DDRPL L1	DVDD_ CORE	VSS	VSS	VSS	VSS			
U	DDR_D Q3	DDR_D Q7	VSS	DDR_D Q5	VSS															DVDD_ CORE	VSS	VSS	VSS	VSS			
V			DDR_D Q20	DDR_D Q31	DDR_D Q18													VDDIO _DDR		DVDD_ CORE	VSS	VSS	VSS	VSS			
W	VSS	DDR_D Q25	DDR_D Q22	DDR_D Q29	DDR_D Q16													VDDIO _DDR			DVDD_ CORE	DVDD_ CORE			DVDD_ CORE		
Y	DDR_D Q27	VSS	DDR_D QS2_P	DDR_D M3	VSS													DDR_V REF_D Q_2	VDDIO _DDR								
AA			DDR_D QS2_N	VSS	VDDIO _DDR													VDDIO _DDR	VSS	VDDIO _CK_D DR	AVDD_ DDRPL L2	DDR_V REF_C MD					
AB	DDR_D QS3_P	DDR_D QS3_N	VSS	DDR_D Q28	DDR_D M2													VDDIO _DDR	VSS	VDDIO _CK_D DR	AVSS_ DDRPL L2			VDDIO _DDR	VDDIO _DDR	VSS	
AC	VSS	DDR_D Q30	DDR_D Q17	DDR_D Q24	DDR_D Q21																						
AD			DDR_D Q26	VDDIO _DDR	VDDIO _DDR	VDDIO _DDR	VSS	VDDIO _DDR	VDDIO _DDR	VSS	VDDIO _DDR	VDDIO _DDR	VDDIO _DDR	VSS													
AE	DDR_D Q23	DDR_D Q19	VDDIO _DDR	VDDIO _DDR	DDR_C LK0_N	DDR_A 12	DDR_A 8	DDR_A 14	DDR_A 15	DDR_A 10	DDR_B A2	DDR_B A0	VSS	DDR_ WE_N													
AF	VSS	VDDIO _DDR	VDDIO _DDR	VSS	DDR_C LK0_P	DDR_A 4	VSS	DDR_A 11	VSS	DDR_A 5	DDR_A 3	VSS	DDR_C S1_N	DDR_O DT1													
AG	VDDIO _DDR	VDDIO _DDR	VSS	DDR_C LK1_P		DDR_A 6	DDR_B A1		DDR_R AS_N	DDR_A 9		DDR_A 13	DDR_A 7	DDR_C S0_N													
AH	VDDIO _DDR	VDDIO _DDR	VSS	DDR_C LK1_N		DDR_A 1	DDR_C KE		DDR_C AS_N	DDR_A 0		DDR_A 2	DDR_R ESET_ N														
	01	02	03	04	05	06	07	08	09	10	11	12	13	14													



图2-8 管脚分布图 part4 (R15~AH28)

VSS	VSS	VSS	VSS	DVDD_CORE	AVSS_PLL	AVSS_PLL	VSS	VSS	VSS	RGMII0_TXD2	RGMII0_TXD3	R		
VSS	VSS	VSS	VSS	DVDD_CORE	AVDD1_1_PLL	AVDD3_3_PLL	VSS	XIN	XOUT			T		
VSS	VSS	VSS	VSS	DVDD_CORE	AVDD3_3_RTC	AVSS_RTC	AVDD_BAT	AVSS_RTC	AVSS_RTC	RTC_XIN	RTC_XOUT	U		
VSS	AVDD1_1_VPT_X0_SA	AVDD1_1_VPT_X1_SA	AVDD1_1_VPT_X2_SA	DVDD_CORE		DVDD3_3	AVSS_RTC	NF_RDY0	NF_CS_N0	AVSS_RTC	GPIIO_5	V		
DVDD_CORE						DVDD3_3	VSS	NF_CL_E	NF_RE_N	NF_RDY1	NF_CS_N1	W		
						AVSS_EFUSE	VSS	NF_WE_N	NF_AL_E	NF_DQ_6	NF_DQ_7	Y		
DVDD3_3	AVSS_USB2	AVDD3_3_USB_2	AVDD1_1_VP_SATA	AVDD3_3_VPH_SATA		AVDD_EFUSE	SATA_LED_N_1	NF_DQ_2	NF_DQ_3	NF_DQ_4	NF_DQ_5	AA		
DVDD3_3	AVSS_USB2	AVDD3_3_USB_2	AVDD1_1_VP_SATA	AVDD3_3_VPH_SATA	SATA_REXT	VSS	VSS	SATA_LED_N_0	PWM_SVB1	TEST_MODE	NF_DQ_0	NF_DQ_1	AB	
								VSS	VSS	SFC_DIO	SFC_HOLD_I03	SFC_CS1N	AC	
VSS	UART3_RXD	UART3_TXD	USB2_REXT	USB2_DM1	VSS	SATA_TXP0	VSS	SATA_TXP1	VSS	SATA_TXP2	VSS	SFC_C_LK	SFC_DIO	AD
DDR_ZQ	JTAG_EN	IR_IN	AVSS_USB2	USB2_DP1	VSS	SATA_TXM0	VSS	SATA_TXM1	VSS	SATA_TXM2	SATA_LED_N_2	SFC_WP_IO_2	SFC_CS0N	AE
VSS	JTAG_TCK	USB2_PWRE_N0	USB2_OVRCUR1	AVSS_USB2		VSS		VSS		VSS		WDG_RSTN	RSTN	AF
DDR_ODT0	JTAG_TDO	JTAG_TRSTN	USB2_PWRE_N1	USB2_DM0		SATA_RXP0		SATA_RXP1		SATA_RXP2		SATA_REFCLKP2	VSS	AG
	JTAG_TMS	JTAG_TDI	USB2_OVRCUR0	USB2_DP0		SATA_RXM0		SATA_RXM1		SATA_RXM2		SATA_REFCLKM2	VSS	AH
15	16	17	18	19	20	21	22	23	24	25	26	27	28	

管脚排列表

Hi3535 的管脚按位置排列如表 2-3 所示。

表2-3 管脚排列表

位置	管脚名称	位置	管脚名称	位置	管脚名称
A1	DVDD_CPU	K12	DVDD_CORE	W27	NF_RDY1



位置	管脚名称	位置	管脚名称	位置	管脚名称
A2	DVDD_CPU	K17	DVDD_CORE	W28	NF_CSN1
A3	DVDD_CPU	K18	DVDD_CORE	Y1	DDR_DQ27
A4	VSS	K22	DVDDIO_RGMII1	Y2	VSS
A5	GPIO1_5	K24	VSS	Y3	DDR_DQS2_P
A6	GPIO1_1	K25	VSS	Y4	DDR_DM3
A7	GPIO1_7	K26	RGMII0_TXCK	Y5	VSS
A8	GPIO1_3	L1	DDR_DQ6	Y7	DDR_VREF_DQ_2
A10	USB3_TXP	L2	VSS	Y8	VDDIO_DDR
A12	HDMI_TX2N	L3	DDR_DQ9	Y22	AVSS_EFUSE
A14	HDMI_TX0N	L4	DDR_DQ13	Y24	VSS
A16	VGA_HS	L5	VSS	Y25	NF_WEN
A18	VGA_G	L7	DVDD33	Y26	NF_ALE
A20	AC_MICL	L12	AVDD11_VP_USB3	Y27	NF_DQ6
A21	AC_MICR	L13	AVDD11_VPTX0_USB3	Y28	NF_DQ7
A23	VOU1120_DATA6	L14	DVDD11_USB3	AA3	DDR_DQS2_N
A24	VOU1120_DATA4	L15	VSS	AA4	VSS
A25	VOU1120_DATA2	L16	VSS	AA5	VDDIO_DDR
A26	VOU1120_DATA0	L17	VSS	AA7	VDDIO_DDR
A27	VOU1120_DATA14	L18	VSS	AA8	VSS
A28	VSS	L19	DVDD_CORE	AA9	VDDIO_CK_DDR
B1	DVDD_CPU	L22	DVDDIO_RGMII0	AA10	AVDD_DDRPLL2
B2	DVDD_CPU	L24	VSS	AA11	DDR_VREF_CMD
B3	DVDD_CPU	L25	RGMII0_TXCKOUT	AA15	DVDD33
B4	DVDD_CPU	L26	RGMII0_TXER	AA16	AVSS_USB2
B5	GPIO1_4	L27	RGMII0_RXD1	AA17	AVDD33_USB2
B6	GPIO1_0	L28	RGMII0_RXD0	AA18	AVDD11_VP_SATA
B7	GPIO1_6	M3	DDR_DQ11	AA19	AVDD33_VPH_SATA
B8	GPIO1_2	M4	DDR_DQ15	AA22	AVDD_EFUSE
B10	USB3_TXM	M5	VDDIO_DDR	AA24	SATA_LED_N1
B12	HDMI_TX2P	M7	VSS	AA25	NF_DQ2
B14	HDMI_TX0P	M10	DVDD_CORE	AA26	NF_DQ3



位置	管脚名称	位置	管脚名称	位置	管脚名称
B16	VGA_VS	M11	VSS	AA27	NF_DQ4
B18	VGA_B	M12	VSS	AA28	NF_DQ5
B20	AC_MICBIAS	M13	VSS	AB1	DDR_DQS3_P
B21	AC_LINEL	M14	VSS	AB2	DDR_DQS3_N
B23	VOU1120_DATA7	M15	VSS	AB3	VSS
B24	VOU1120_DATA5	M16	VSS	AB4	DDR_DQ28
B25	VOU1120_DATA3	M17	VSS	AB5	DDR_DM2
B26	VOU1120_DATA1	M18	VSS	AB7	VDDIO_DDR
B27	VOU1120_DATA15	M19	DVDD_CORE	AB8	VSS
B28	VOU1120_DATA13	M22	DVDDIO_RGMII0	AB9	VDDIO_CK_DDR
C1	VSS	M24	RGMII0_RXER	AB10	AVSS_DDRPLL2
C2	DVDD_CPU	M25	RGMII0_COL	AB12	VDDIO_DDR
C3	DVDD_CPU	M26	RGMII0_RXDV	AB13	VDDIO_DDR
C4	DVDD_CPU	M27	RGMII0_RXD2	AB14	VSS
C5	DVDD_CPU	M28	RGMII0_RXD3	AB15	DVDD33
C6	VSS	N1	DDR_DQS0_P	AB16	AVSS_USB2
C7	USB3_PWREN	N2	DDR_DQS0_N	AB17	AVDD33_USB2
C8	VSS	N3	VSS	AB18	AVDD11_VP_SATA
C9	USB3_RXM	N4	DDR_DM1	AB19	AVDD33_VPH_SATA
C10	VSS	N5	VDDIO_DDR	AB20	SATA_REXT
C11	USB3_DM	N7	VDDIO_DDR	AB21	VSS
C12	AVSS_HDMITX	N10	DVDD_CORE	AB22	VSS
C13	HDMI_TX1N	N11	VSS	AB24	SATA_LED_N0
C14	AVSS_HDMITX	N12	VSS	AB25	PWM_SVB1
C15	HDMI_TXCN	N13	VSS	AB26	TEST_MODE
C16	HDMI_SCL	N14	VSS	AB27	NF_DQ0
C17	VGA_R	N15	VSS	AB28	NF_DQ1
C18	AVSS_VDAC	N16	VSS	AC1	VSS
C19	AC_OUTR	N17	VSS	AC2	DDR_DQ30
C20	AC_LINER	N18	VSS	AC3	DDR_DQ17
C21	AVSS_AC	N19	DVDD_CORE	AC4	DDR_DQ24



位置	管脚名称	位置	管脚名称	位置	管脚名称
C22	VOU1120_DATA11	N22	VSS	AC5	DDR_DQ21
C23	VOU1120_DATA10	N24	VSS	AC24	VSS
C24	VOU1120_DATA8	N25	VSS	AC25	VSS
C25	VSS	N26	RGMII0_RXCK	AC26	SFC_DIO
C26	I2C_SCL	P1	VSS	AC27	SFC_HOLD_IO3
D1	GPIO0_0	P2	DDR_DQS1_P	AC28	SFC_CS1N
D2	PWM_SVB0	P3	DDR_DQS1_N	AD3	DDR_DQ26
D3	DVDD_CPU	P4	DDR_DM0	AD4	VDDIO_DDR
D4	DVDD_CPU	P5	DDR_DQ8	AD5	VDDIO_DDR
D5	DVDD_CPU	P7	VDDIO_DDR	AD6	VDDIO_DDR
D6	DVDD_CPU	P10	DVDD_CORE	AD7	VSS
D7	VSS	P11	VSS	AD8	VDDIO_DDR
D8	VSS	P12	VSS	AD9	VDDIO_DDR
D9	USB3_RXP	P13	VSS	AD10	VSS
D10	VSS	P14	VSS	AD11	VDDIO_DDR
D11	USB3_DP	P15	VSS	AD12	VDDIO_DDR
D12	AVSS_HDMITX	P16	VSS	AD13	VDDIO_DDR
D13	HDMI_TX1P	P17	VSS	AD14	VSS
D14	AVSS_HDMITX	P18	VSS	AD15	VSS
D15	HDMI_TXCP	P19	DVDD_CORE	AD16	UART3_RXD
D16	HDMI_SDA	P22	DVDD33	AD17	UART3_TXD
D17	CVBS_OUT	P24	VSS	AD18	USB2_REXT
D18	AVSS_VDAC	P25	RGMII0_CRS	AD19	USB2_DM1
D19	AC_OUTL	P26	GPIO0_6	AD20	VSS
D20	AC_VREF	P27	RGMII0_TXD1	AD21	SATA_TXP0
D21	AVSS_AC	P28	RGMII0_TXD0	AD22	VSS
D22	VOU1120_DATA12	R3	VSS	AD23	SATA_TXP1
D23	VOU1120_DATA9	R4	DDR_DQ12	AD24	VSS
D24	VOU1120_CLK	R5	VSS	AD25	SATA_TXP2
D25	I2C_SDA	R7	DDR_VREF_DQ_1	AD26	VSS
D26	RGMII1_RXDV	R10	DVDD_CORE	AD27	SFC_CLK



位置	管脚名称	位置	管脚名称	位置	管脚名称
D27	RGMI1_RXD1	R11	VSS	AD28	SFC_DOI
D28	RGMI1_RXD0	R12	VSS	AE1	DDR_DQ23
E1	GPIO0_2	R13	VSS	AE2	DDR_DQ19
E2	GPIO0_1	R14	VSS	AE3	VDDIO_DDR
E3	VSS	R15	VSS	AE4	VDDIO_DDR
E4	DVDD_CPU	R16	VSS	AE5	DDR_CLK0_N
E5	DVDD_CPU	R17	VSS	AE6	DDR_A12
E6	DVDD_CPU	R18	VSS	AE7	DDR_A8
E7	DVDD_CPU	R19	DVDD_CORE	AE8	DDR_A14
E8	USB3_OVRCUR	R21	AVSS_PLL	AE9	DDR_A15
E9	VSS	R22	AVSS_PLL	AE10	DDR_A10
E10	VSS	R24	VSS	AE11	DDR_BA2
E11	VSS	R25	VSS	AE12	DDR_BA0
E12	HDMI_REXT	R26	VSS	AE13	VSS
E13	AVSS_HDMITX	R27	RGMI0_TXD2	AE14	DDR_WE_N
E14	AVSS_HDMITX	R28	RGMI0_TXD3	AE15	DDR_ZQ
E15	HDMI_CEC	T1	DDR_DQ10	AE16	JTAG_EN
E16	HDMI_HOTPLUG	T2	VSS	AE17	IR_IN
E17	AVSS_VDAC	T3	DDR_DQ14	AE18	AVSS_USB2
E18	VDAC_REXT	T4	DDR_DQ1	AE19	USB2_DP1
E19	AVSS_AC	T5	VDDIO_DDR	AE20	VSS
E20	AVSS_AC	T7	AVSS_DDRPLL1	AE21	SATA_TXM0
E21	VSS	T8	AVDD_DDRPLL1	AE22	VSS
E22	VSS	T10	DVDD_CORE	AE23	SATA_TXM1
E23	VSS	T11	VSS	AE24	VSS
E24	VSS	T12	VSS	AE25	SATA_TXM2
E25	VSS	T13	VSS	AE26	SATA_LED_N2
E26	RGMI1_TXCK	T14	VSS	AE27	SFC_WP_IO2
E27	RGMI1_RXD3	T15	VSS	AE28	SFC_CS0N
E28	RGMI1_RXD2	T16	VSS	AF1	VSS
F1	GPIO0_4	T17	VSS	AF2	VDDIO_DDR



位置	管脚名称	位置	管脚名称	位置	管脚名称
F2	GPIO0_3	T18	VSS	AF3	VDDIO_DDR
F3	VSS	T19	DVDD_CORE	AF4	VSS
F4	VSS	T21	AVDD11_PLL	AF5	DDR_CLK0_P
F5	DVDD_CPU	T22	AVDD33_PLL	AF6	DDR_A4
F24	VSS	T24	VSS	AF7	VSS
F25	RGMI1_TXCKOUT	T25	XIN	AF8	DDR_A11
F26	RGMI1_TXER	T26	XOUT	AF9	VSS
G1	UART0_TXD	U1	DDR_DQ3	AF10	DDR_A5
G2	UART0_RXD	U2	DDR_DQ7	AF11	DDR_A3
G3	UART0_CTSN	U3	VSS	AF12	VSS
G4	UART0_RTSN	U4	DDR_DQ5	AF13	DDR_CS1_N
G5	VSS	U5	VSS	AF14	DDR_ODT1
G7	DVDD_CPU	U10	DVDD_CORE	AF15	VSS
G8	DVDD_CPU	U11	VSS	AF16	JTAG_TCK
G9	DVDD33	U12	VSS	AF17	USB2_PWREN0
G10	DVDD33	U13	VSS	AF18	USB2_OVRCUR1
G11	USB3_REXT	U14	VSS	AF19	AVSS_USB2
G13	AVSS_PLL_HDMITX	U15	VSS	AF21	VSS
G14	AVCC_HDMITX	U16	VSS	AF23	VSS
G15	AVSS_HDMITX	U17	VSS	AF25	VSS
G16	AVDD33_VDAC	U18	VSS	AF27	WDG_RSTN
G17	AVDD33_VDAC	U19	DVDD_CORE	AF28	RSTN
G18	DVDD33	U21	AVDD33_RTC	AG1	VDDIO_DDR
G19	AVDD33_AC	U22	AVSS_RTC	AG2	VDDIO_DDR
G20	AVDD33_AC	U24	AVDD_BAT	AG3	VSS
G21	DVDD33	U25	AVSS_RTC	AG4	DDR_CLK1_P
G22	DVDD33	U26	AVSS_RTC	AG6	DDR_A6
G24	RGMI1_RXER	U27	RTC_XIN	AG7	DDR_BA1
G25	RGMI1_COL	U28	RTC_XOUT	AG9	DDR_RAS_N
G26	RGMI1_TXEN	V3	DDR_DQ20	AG10	DDR_A9
G27	RGMI1_TXD0	V4	DDR_DQ31	AG12	DDR_A13



位置	管脚名称	位置	管脚名称	位置	管脚名称
G28	RGMI1_TXD1	V5	DDR_DQ18	AG13	DDR_A7
H1	UART1_RTSN	V7	VDDIO_DDR	AG14	DDR_CS0_N
H2	UART1_TXD	V10	DVDD_CORE	AG15	DDR_ODT0
H3	UART1_CTSN	V11	VSS	AG16	JTAG_TDO
H4	UART1_RXD	V12	VSS	AG17	JTAG_TRSTN
H5	VSS	V13	VSS	AG18	USB2_PWREN1
H7	DVDD_CPU	V14	VSS	AG19	USB2_DM0
H12	AVDD33_USB3	V15	VSS	AG21	SATA_RXP0
H13	AVCC_PLL_HDMITX	V16	AVDD11_VPTX0_SATA	AG23	SATA_RXP1
H14	AVCC_HDMITX	V17	AVDD11_VPTX1_SATA	AG25	SATA_RXP2
H22	DVDDIO_RGMII1	V18	AVDD11_VPTX2_SATA	AG27	SATA_REFCLKP2
H24	VSS	V19	DVDD_CORE	AG28	VSS
H25	VSS	V22	DVDD33	AH1	VDDIO_DDR
H26	RGMI1_RXCK	V24	AVSS_RTC	AH2	VDDIO_DDR
H27	RGMI1_TXD2	V25	NF_RDY0	AH3	VSS
H28	RGMI1_TXD3	V26	NF_CSN0	AH4	DDR_CLK1_N
J3	UART2_RXD	V27	AVSS_RTC	AH6	DDR_A1
J4	UART2_TXD	V28	GPIO0_5	AH7	DDR_CKE
J5	VSS	W1	VSS	AH9	DDR_CAS_N
J7	VSS	W2	DDR_DQ25	AH10	DDR_A0
J22	DVDDIO_RGMII1	W3	DDR_DQ22	AH12	DDR_A2
J24	MDIO	W4	DDR_DQ29	AH13	DDR_RESET_N
J25	MDCK	W5	DDR_DQ16	AH16	JTAG_TMS
J26	RGMI0_TXEN	W7	VDDIO_DDR	AH17	JTAG_TDI
J27	RGMI1_CRS	W11	DVDD_CORE	AH18	USB2_OVRCUR0
J28	GPIO0_7	W12	DVDD_CORE	AH19	USB2_DP0
K1	VSS	W14	DVDD_CORE	AH21	SATA_RXM0
K2	DDR_DQ4	W15	DVDD_CORE	AH23	SATA_RXM1
K3	VSS	W22	DVDD33	AH25	SATA_RXM2
K4	DDR_DQ0	W24	VSS	AH27	SATA_REFCLKM2
K5	DDR_DQ2	W25	NF_CLE	AH28	VSS



位置	管脚名称	位置	管脚名称	位置	管脚名称
K11	DVDD_CORE	W26	NF_REN		

2.2 管脚描述

2.2.1 管脚类型说明

管脚 I/O 类型说明如表 2-4 所示。

表2-4 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I _{PD}	输入信号，内部下拉。
I _{PU}	输入信号，内部上拉。
I _S	输入信号，带施密特触发器。
I _{SPD}	输入信号，带施密特触发器，内部下拉。
I _{SPU}	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O _{OD}	输出，漏极开路。
I/O	双向输入/输出信号。
I _{PD} /O	双向，输入下拉。
I _{PU} /O	双向，输入上拉。
I _{SPU} /O	双向，输入上拉，带施密特触发器。
I _{SPD} /O	双向，输入下拉，带施密特触发器。
I _{PD} /O _{OD}	双向，输入下拉，输出漏极开路。
I _{PU} /O _{OD}	双向，输入上拉，输出漏极开路。
I _S /O	双向，输入带施密特触发器。
I _S /O _{OD}	双向，输入带施密特触发器，输出漏极开路。
CIN	Crystal Oscillator，晶振输入。
COUT	Crystal Oscillator，晶振输出。



I/O	说明
P	电源。
G	地。

2.2.2 管脚信息描述

AUDIO CODEC 管脚

AUDIO CODEC 管脚如表 2-5 所示。

表2-5 AUDIO CODEC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B21	AC_LINEL	I	-	3.3	音频接口左声道输入。
C20	AC_LINER	I	-	3.3	音频接口右声道输入。
B20	AC_MICBIAS	I/O	-	3.3	音频输入麦克风偏置。
A20	AC_MICL	I	-	3.3	音频接口左通道麦克风输入。
A21	AC_MICR	I	-	3.3	音频接口右通道麦克风输入。
D19	AC_OUTL	O	-	3.3	音频接口左声道输出。
C19	AC_OUTR	O	-	3.3	音频接口右声道输出。
D20	AC_VREF	P	-	-	音频接口参考电压，外挂 10uF 普通电容，且需要与 100nF 低 ESR 陶瓷电容并联。
G19 G20	AVDD33_AC	P	-	3.3	音频接口模拟电源。
C21 D21 E19 E20	AVSS_AC	G	-	-	音频接口模拟地。

VDAC 管脚

VDAC 管脚如表 2-6 所示。



表2-6 VDAC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D17	CVBS_OUT	O	-	1.3	VDAC CVBS 通道输出。
B18	VGA_B	O	-	1.3	VGA B 通道输出。
A18	VGA_G	O	-	1.3	VGA G 通道输出。
C17	VGA_R	O	-	1.3	VGA R 通道输出。
A16	VGA_HS	I/O	16	3.3	功能 0: VGA_HS VGA 行同步信号。 功能 1: GPIO6_6 通用输入输出管脚。
B16	VGA_VS	I/O	16	3.3	功能 0: VGA_VS VGA 场同步信号。 功能 1: GPIO6_7 通用输入输出管脚。
E18	VDAC_REXT	I/O	-	1.21	VDAC 参考电流，采用外接电阻的时候输出电流，采用外接电流源的时候，输入电流。推荐阻值：1130±1% Ω。
G17 G16	AVDD33_VDAC	P	-	3.3	VDAC 模拟电源。
C18 D18 E17	AVSS_VDAC	G	-	-	VDAC 模拟地。

VO 管脚

VO 管脚如表 2-7 所示。

表2-7 VO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D24	VOU1120_CLK	I _{PU} /O	16	3.3	功能 0: GPIO12_7 通用输入输出管脚。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: VOU1120_CLK BT.1120 接口时钟输出。
A26	VOU1120_DATA0	I/O	9	3.3	功能 0: GPIO13_0 通用输入输出管脚。 功能 1: VOU1120_DATA0 BT.1120 接口的亮度信号输出。
B26	VOU1120_DATA1	I/O	9	3.3	功能 0: GPIO13_1 通用输入输出管脚。 功能 1: VOU1120_DATA1 BT.1120 接口的亮度信号输出。
A25	VOU1120_DATA2	I/O	9	3.3	功能 0: GPIO13_2 通用输入输出管脚。 功能 1: VOU1120_DATA2 BT.1120 接口的亮度信号输出。 功能 2: AIO_SD_RX I2S 或 PCM 接口数据输入。
B25	VOU1120_DATA3	I/O	9	3.3	功能 0: GPIO13_3 通用输入输出管脚。 功能 1: VOU1120_DATA3 BT.1120 接口的亮度信号输出。 功能 2: AIO_SD_TX I2S 或 PCM 接口数据输出。
A24	VOU1120_DATA4	I/O	9	3.3	功能 0: GPIO13_4 通用输入输出管脚。 功能 1: VOU1120_DATA4 BT.1120 接口的亮度信号输出。 功能 2: AIO_WS_TX I2S 发送左右声道选择信号，或 PCM 发送帧同步信号。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B24	VOU1120_DATA5	I/O	9	3.3	<p>功能 0: GPIO13_5 通用输入输出管脚。</p> <p>功能 1: VOU1120_DATA5 BT.1120 接口的亮度信号输出。</p> <p>功能 2: AIO_BCLK_TX I2S/PCM 发送时钟。</p>
A23	VOU1120_DATA6	I/O	9	3.3	<p>功能 0: GPIO13_6 通用输入输出管脚。</p> <p>功能 1: VOU1120_DATA6 BT.1120 接口的亮度信号输出。</p> <p>功能 2: AIO_WS_RX I2S 接收左右声道选择信号，或 PCM 接收帧同步信号。</p>
B23	VOU1120_DATA7	I _{SPD} /O	9	3.3	<p>功能 0: 保留</p> <p>功能 1: VOU1120_DATA7 BT.1120 接口的亮度信号输出。</p> <p>功能 2: AIO_MCLK I2S 或 PCM 接口主时钟，可以作为音频 CODEC 的工作时钟(低端 DAC)。</p> <p>功能 3: BOOT_SEL0 启动模式选择信号：当 BOOTROM_SEL 为 0 时，用于选择从哪个介质启动： {BOOT_SEL1,BOOT_SEL0} 00: SPI FLASH 存储空间。 01: DDR 存储空间（DDR 启动模式）。 10: NAND FLASH 存储空间。 11: 保留。</p>
C24	VOU1120_DATA8	I/O	9	3.3	<p>功能 0: GPIO14_0 通用输入输出管脚。</p>



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: VOU1120_DATA8 BT.1120 接口的色度信号输出。
D23	VOU1120_DATA9	I/O	9	3.3	功能 0: GPIO14_1 通用输入输出管脚。 功能 1: VOU1120_DATA9 BT.1120 接口的色度信号输出。 功能 2: 保留。
C23	VOU1120_DATA10	I _P /O	9	3.3	功能 0: 保留。 功能 1: VOU1120_DATA10 BT.1120 接口的色度信号输出。 功能 2: BOOT_SEL1 启动模式选择信号：当 BOOTROM_SEL 为 0 时，用于选择从哪个介质启动： {BOOT_SEL1,BOOT_SEL0} 00: SPI FLASH 存储空间。 01: DDR 存储空间（DDR 启动模式）。 10: NAND FLASH 存储空间。 11: 保留。
C22	VOU1120_DATA11	I/O	9	3.3	功能 0: GPIO14_3 通用输入输出管脚。 功能 1: VOU1120_DATA11 BT.1120 接口的色度信号输出。
D22	VOU1120_DATA12	I _P /O	9	3.3	功能 0: GPIO14_4 通用输入输出管脚。 功能 1: VOU1120_DATA12 BT.1120 接口的色度信号输出。
B28	VOU1120_DATA13	I/O	9	3.3	功能 0: GPIO14_5 通用输入输出管脚。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: VOU1120_DATA13 BT.1120 接口的色度信号输出。 功能 2: AIO_BCLK_RX I2S/PCM 接收时钟。
A27	VOU1120_DATA14	I _P /O	9	3.3	功能 0: GPIO14_6 通用输入输出管脚。 功能 1: VOU1120_DATA14 BT.1120 接口的色度信号输出。
B27	VOU1120_DATA15	I _P /O	9	3.3	功能 0: GPIO14_7 通用输入输出管脚。 功能 1: VOU1120_DATA15 BT.1120 接口的色度信号输出。

HDMI 管脚

HDMI 管脚表 2-8 表所示。

表2-8 HDMI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E15	HDMI_CEC	I/O	4.7	3.3	功能 0: GPIO6_1 通用输入输出管脚。 功能 1: HDMI_CEC HDMI 接口的控制通道信号。
E16	HDMI_HOTPLUG	I/O	5.9	3.3	功能 0: GPIO6_0 通用输入输出管脚。 功能 1: HDMI_HOTPLUG HDMI 接口的热插拔信号。
C16	HDMI_SCL	I _S /O	5.9	3.3	功能 0: GPIO6_3



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					通用输入输出管脚。 功能 1: HDMI_SCL HDMI 接口 I2C 总线时钟。
D16	HDMI_SDA	I _S /O	5.9	3.3	功能 0: GPIO6_2 通用输入输出管脚。 功能 1: HDMI_SDA HDMI 接口 I2C 总线数据/地址信号。
E12	HDMI_REXT	I/O	-	1.1	HDMI 参考电流, 外接一个电阻用于输出摆幅调整。推荐阻值: 6.6K Ω 。
A14	HDMI_TX0N	O	-	1.1	HDMI 通道 0 串行差分信号负极。
B14	HDMI_TX0P	O	-	1.1	HDMI 通道 0 串行差分信号正极。
C13	HDMI_TX1N	O	-	1.1	HDMI 通道 1 串行差分信号负极。
D13	HDMI_TX1P	O	-	1.1	HDMI 通道 1 串行差分信号正极。
A12	HDMI_TX2N	O	-	1.1	HDMI 通道 2 串行差分信号负极。
B12	HDMI_TX2P	O	-	1.1	HDMI 通道 2 串行差分信号正极。
C15	HDMI_TXCN	O	-	1.1	HDMI 差分像素时钟负极。
D15	HDMI_TXCP	O	-	1.1	HDMI 差分像素时钟正极。
G14 H14	AVCC_HDMITX	P	-	1.1	HDMI PHY 模拟电源
H13	AVCC_PLL_HDMITX	P	-	1.1	HDMI PLL 电源
C12 C14 D14 D12	AVSS_HDMITX	G	-	-	HDMI PHY 模拟地



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E13 E14 G15					
G13	AVSS_PLL_HDMITX	G	-	-	HDMI PLL 模拟地

I2C 管脚

I2C 管脚表 2-9 表所示。

表2-9 I2C 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C26	I2C_SCL	I _S /O	5.9	3.3	功能 0: GPIO5_7 通用输入输出管脚。 功能 1: I2C_SCL I2C 总线时钟信号。
D25	I2C_SDA	I _S /O	5.9	3.3	功能 0: GPIO5_6 通用输入输出管脚。 功能 1: I2C_SDA I2C 总线数据/地址信号。

IR 管脚

IR 管脚如表 2-10 所示。

表2-10 IR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AE17	IR_IN	I _{SPU} /O	2.9	3.3	功能 0: GPIO11_7 通用输入输出管脚。 功能 1: IR_IN 红外输入信号。



RGMII 管脚

RGMII0 管脚如表 2-11 所示。

表2-11 RGMII0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
M25	RGMII0_COL	I _{PD} /O	4.7	3.3	功能 0: RGMII0_COL MII 模式: 冲突指示信号。 功能 1: GPIO8_5 通用输入输出管脚。
P25	RGMII0_CRS	I _{PD} /O	4.7	3.3	功能 0: RGMII0_CRS MII 模式: 载波侦听信号。 功能 1: GPIO8_4 通用输入输出管脚。
N26	RGMII0_RXCK	I/O	4.7	3.3	功能 0: RGMII0_RXCK RGMII/MII 模式: 接收时钟。 功能 1: GPIO8_0 通用输入输出管脚。
L28	RGMII0_RXD0	I/O	4.7	3.3	功能 0: RGMII0_RXD0 RGMII/MII/RMII 模式: 接收数据 0。 功能 1: GPIO9_0 通用输入输出管脚。
L27	RGMII0_RXD1	I/O	4.7	3.3	功能 0: RGMII0_RXD1 RGMII/MII/RMII 模式: 接收数据 1。 功能 1: GPIO9_1 通用输入输出管脚。
M27	RGMII0_RXD2	I/O	4.7	3.3	功能 0: RGMII0_RXD2 RGMII/MII 模式: 接收数据 2。 功能 1: GPIO9_2 通用输入输出管脚。
M28	RGMII0_RXD3	I/O	4.7	3.3	功能 0: RGMII0_RXD3 RGMII/MII 模式: 接收数据 3。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: GPIO9_3 通用输入输出管脚。
M26	RGMII0_RXDV	I/O	4.7	3.3	功能 0: RGMII0_RXDV RGMII/MII 模式: 接收数据有效信号; RMII 模式: 接收数据有效及载体检测信号; 功能 1: GPIO8_7 通用输入输出管脚。
M24	RGMII0_RXER	I _{PD} /O	4.7	3.3	功能 0: RGMII0_RXER MII/RMII 模式: 接收错误信号。 功能 1: GPIO8_6 通用输入输出管脚。
K26	RGMII0_TXCK	I/O	4.7	3.3	功能 0: RGMII0_TXCK RGMII/MII 模式: 发送时钟。 功能 1: GPIO8_2 通用输入输出管脚。
L25	RGMII0_TXCK OUT	I/O	16.3	3.3	功能 0: RGMII0_TXCKOUT RGMII 千兆模式: 发送时钟, 双沿有效。 功能 1: GPIO8_3 通用输入输出管脚。 功能 2: RMII0_CLK RMII 模式: 参考时钟。
P28	RGMII0_TXD0	I/O	16.3	3.3	功能 0: RGMII0_TXD0 RGMII/MII/RMII 模式: 发送数据 0。 功能 1: GPIO9_4 通用输入输出管脚。
P27	RGMII0_TXD1	I/O	16.3	3.3	功能 0: RGMII0_TXD1 RGMII/MII/RMII 模式: 发送数据 1。 功能 1: GPIO9_5 通用输入输出管脚。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
R27	RGMII0_TXD2	I/O	16.3	3.3	功能 0: RGMII0_TXD2 RGMII/MII 模式: 发送数据 2。 功能 1: GPIO9_6 通用输入输出管脚。
R28	RGMII0_TXD3	I/O	16.3	3.3	功能 0: RGMII0_TXD3 RGMII/MII 模式: 发送数据 3。 功能 1: GPIO9_7 通用输入输出管脚。
J26	RGMII0_TXEN	I _{SPD} /O	16.3	3.3	功能 0: RGMII0_TXEN RGMII/MII 模式: 发送数据有效信号。 功能 1: GPIO8_1 通用输入输出管脚。
L26	RGMII0_TXER	I/O	16.3	3.3	功能 0: RGMII0_TXER MII 模式: 发送错误信号。 功能 1: NF_BOOT_PIN4 NAND Flash 配置参数。
L22 M22	DVDDIO_RGMII0	P	-	3.3	RGMII0 管脚电源。

表2-12 RGMII1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G25	RGMII1_COL	I _{PD} /O	4.7	3.3	功能 0: RGMII1_COL MII 模式: 冲突指示信号。 功能 1: GPIO10_5 通用输入输出管脚。
J27	RGMII1_CRS	I _{PD} /O	4.7	3.3	功能 0: RGMII1_CRS MII 模式: 载波侦听信号。 功能 1: GPIO10_4 通用输入输出管脚。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H26	RGMI1_RXCK	I/O	4.7	3.3	功能 0: RGMI1_RXCK RGMII/MII 模式: 接收时钟。 功能 1: GPIO10_0 通用输入输出管脚。
D28	RGMI1_RXD0	I/O	4.7	3.3	功能 0: RGMI1_RXD0 RGMII/MII/RMII 模式: 接收数据 0。 功能 1: GPIO2_0 通用输入输出管脚。 功能 2: DDRPHY_DEBUG_OUT4 DDR PHY 测试管脚 4。
D27	RGMI1_RXD1	I/O	4.7	3.3	功能 0: RGMI1_RXD1 RGMII/MII/RMII 模式: 接收数据 1。 功能 1: GPIO2_1 通用输入输出管脚。 功能 2: DDRPHY_DEBUG_OUT5 DDR PHY 测试管脚 5。
E28	RGMI1_RXD2	I/O	4.7	3.3	功能 0: RGMI1_RXD2 RGMII/MII 模式: 接收数据 2。 功能 1: GPIO2_2 通用输入输出管脚。 功能 2: DDRPHY_DEBUG_OUT6 DDR PHY 测试管脚 6。
E27	RGMI1_RXD3	I/O	4.7	3.3	功能 0: RGMI1_RXD3 RGMII/MII 模式: 接收数据 3。 功能 1: GPIO2_3 通用输入输出管脚。
D26	RGMI1_RXDV	I/O	4.7	3.3	功能 0: RGMI1_RXDV RGMII/MII 模式: 接收数据有效信号; RMII 模式: 接收数据有效及载体检测信号;



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: GPIO10_7 通用输入输出管脚。
G24	RGMI1_RXER	I _{PD} /O	4.7	3.3	功能 0: RGMI1_RXER MII/RMII 模式: 接收错误信号。 功能 1: GPIO10_6 通用输入输出管脚。
E26	RGMI1_TXCK	I/O	4.7	3.3	功能 0: RGMI1_TXCK RGMII/MII 模式: 发送时钟。 功能 1: GPIO10_2 通用输入输出管脚。 功能 2: DDRPHY_DEBUG_OUT2 DDR PHY 测试管脚 2。
F25	RGMI1_TXCK OUT	I/O	16.3	3.3	功能 0: RGMI1_TXCKOUT RGMII 千兆模式: 发送时钟, 双沿有效。 功能 1: GPIO10_3 通用输入输出管脚。 功能 2: RMII1_CLK RMII 模式: 参考时钟。 功能 3: DDRPHY_DEBUG_OUT3 DDR PHY 测试管脚 3。
G27	RGMI1_TXD0	I/O	16.3	3.3	功能 0: RGMI1_TXD0 RGMII/MII/RMII 模式: 发送数据 0。 功能 1: GPIO2_4 通用输入输出管脚。 功能 2: CLK_TEST_OUT0 测试时钟 0。 功能 3: CLK_TEST_OUT1 测试时钟 1。 功能 4: CLK_TEST_OUT2 测试时钟 2。 功能 5: CLK_TEST_OUT3 测试时钟 3。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 6: CLK_TEST_OUT4 测试时钟 4。 功能 7: RTC_TEST_CLK RTC 测试时钟。
G28	RGMI1_TXD1	I/O	16.3	3.3	功能 0: RGMI1_TXD1 RGMII/MII/RMII 模式：发送数据 1。 功能 1: GPIO2_5 通用输入输出管脚。 功能 2: PLL_TEST_OUT0 PLL 测试时钟 0。 功能 3: PLL_TEST_OUT1 PLL 测试时钟 1。 功能 4: PLL_TEST_OUT2 PLL 测试时钟 2。 功能 5: PLL_TEST_OUT3 PLL 测试时钟 3。 功能 6: PLL_TEST_OUT4 PLL 测试时钟 4。 功能 7: PLL_TEST_OUT5 PLL 测试时钟 5。
H27	RGMI1_TXD2	I/O	16.3	3.3	功能 0: RGMI1_TXD2 RGMII/MII 模式：发送数据 2。 功能 1: GPIO2_6 通用输入输出管脚。 功能 2: DDRPHY_DEBUG_OUT0 DDR PHY 测试管脚 0。
H28	RGMI1_TXD3	I/O	16.3	3.3	功能 0: RGMI1_TXD3 RGMII/MII 模式：发送数据 3。 功能 1: GPIO2_7 通用输入输出管脚。 功能 2: DDRPHY_DEBUG_OUT1 DDR PHY 测试管脚 1。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G26	RGMI1_TXEN	I/O	16.3	3.3	功能 0: RGMI1_TXEN RGMII/MII 模式: 发送数据有效信号。 功能 1: GPIO10_1 通用输入输出管脚。
F26	RGMI1_TXER	I _{SPD} / O	16.3	3.3	功能 0: RGMI1_TXER MII 模式: 发送错误信号。 功能 1: JTAG_SEL_CPU JTAG 功能选择: 0: JTAG 接口用于其它功能 (由 MISC 控制寄存器中 JTAG_SEL 寄存器决定其功能)。 1: JTAG 接口用于 CPU。
H22 J22 K22	DVDDIO_RGMII	P	-	3.3	RGMI1 管脚电源。

Hi3535 网络接口支持 RGMII/MII/RMII 三种模式, RGMII 管脚在不同模式下的功能说明如表 2-13 所示。

表2-13 RGMII 端口功能说明

管脚名称	RGMII 模式	MII 模式	RMII 模式
RGMIIn_COL	-	冲突检测	-
RGMIIn_CRS	-	载波检测	-
RGMIIn_RXCK	接收时钟	接收时钟	-
RGMIIn_RXD0	接收数据 0	接收数据 0	接收数据 0
RGMIIn_RXD1	接收数据 1	接收数据 1	接收数据 1
RGMIIn_RXD2	接收数据 2	接收数据 2	-
RGMIIn_RXD3	接收数据 3	接收数据 3	-
RGMIIn_RXDV	接收数据有效	接收数据有效	接收数据有效/载波检测
RGMIIn_RXER	-	接收错误指示	接收错误指示
RGMIIn_TXCK	-	发送时钟	-



管脚名称	RGMII 模式	MII 模式	RMII 模式
RGMIIn_TXCKOUT	发送时钟	-	参考时钟
RGMIIn_TXD0	发送数据 0	发送数据 0	发送数据 0
RGMIIn_TXD1	发送数据 1	发送数据 1	发送数据 1
RGMIIn_TXD2	发送数据 2	发送数据 2	-
RGMIIn_TXD3	发送数据 3	发送数据 3	-
RGMIIn_TXEN	发送数据使能	发送数据使能	发送数据使能
RGMIIn_TXER	-	发送错误指示	-

MDIO 管脚

MDIO 管脚表 2-14 表所示。

表2-14 MDIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
J25	MDCK	I _{SPD} /O	7	3.3	<p>功能 0: MDCK MDIO 接口时钟输出。</p> <p>功能 1: 保留</p> <p>功能 2: BOOTROM_SEL BOOTROM 启动。为 1 时选择从 BOOTROM 启动；如果从 BOOTROM 启动时发现串口通讯不成功，超时等待后根据 BOOT_SEL1/0 将程序入口指向相应的空间。</p>
J24	MDIO	I/O	4.7	3.3	<p>功能 0: MDIO MDIO 接口的输入/输出信号。</p> <p>功能 1: GPIO11_3 通用输入输出管脚。</p>

UART 管脚

UART 管脚如表 2-15 所示。



表2-15 UART0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G3	UART0_CTSN	I/O	2.9	3.3(5V tol)	功能 0: UART0_CTSN UART0 4 线模式 Modem 状态输入信号（低有效）。 功能 1: GPIO6_5 通用输入输出管脚。
G4	UART0_RTSN	I/O	2.9	3.3(5V tol)	功能 0: UART0_RTSN UART0 4 线模式 Modem 状态输出信号（低有效）。 功能 1: GPIO6_4 通用输入输出管脚。
G2	UART0_RXD	I _{PU} /O	2.9	3.3(5V tol)	UART0 数据接收信号。
G1	UART0_TXD	I/O	2.9	3.3(5V tol)	UART0 数据发送信号。

表2-16 UART1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H3	UART1_CTSN	I/O	4.7	3.3	功能 0: GPIO7_2 通用输入输出管脚。 功能 1: UART1_CTSN UART1 4 线模式 Modem 状态输入信号（低有效）。
H1	UART1_RTSN	I/O	4.7	3.3	功能 0: GPIO7_0 通用输入输出管脚。 功能 1: UART1_RTSN UART1 4 线模式 Modem 状态输出信号（低有效）。
H4	UART1_RXD	I _{PU} /O	4.7	3.3	功能 0: GPIO7_1 通用输入输出管脚。 功能 1: UART1_RXD UART1 数据接收信号。
H2	UART1_TXD	I/O	4.7	3.3	功能 0: GPIO7_3



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					通用输入输出管脚。 功能 1: UART1_TXD UART1 数据发送信号。

表2-17 UART2 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
J3	UART2_RXD	I _{PU} /O	4.7	3.3	功能 0: GPIO7_4 通用输入输出管脚。 功能 1: UART2_RXD UART2 数据接收信号。
J4	UART2_TXD	I/O	4.7	3.3	功能 0: GPIO7_5 通用输入输出管脚。 功能 1: UART2_TXD UART2 数据发送信号。

表2-18 UART3 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AD16	UART3_RXD	I _{PU} /O	2.9	3.3(5V tol)	功能 0: GPIO7_6 通用输入输出管脚。 功能 1: UART3_RXD UART3 数据接收信号。
AD17	UART3_TXD	I/O	2.9	3.3(5V tol)	功能 0: GPIO7_7 通用输入输出管脚。 功能 1: UART3_TXD UART3 数据发送信号。

JTAG 管脚

JTAG 管脚如表 2-19 所示。



表2-19 JTAG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AE16	JTAG_EN	I _{SPU} /O	4.7	3.3	JTAG 使能控制信号。 0: 不使能 JTAG 管脚功能(此时 JTAG 管脚用作 GPIO 功能); 1: 使能 JTAG。
AF16	JTAG_TCK	I _{SPD} /O	8.8	3.3(5V tol)	功能 0: JTAG_TCK JTAG 时钟输入信号。 功能 1: GPIO12_1 通用输入输出管脚。
AH17	JTAG_TDI	I _{SPU} /O	2.9	3.3(5V tol)	功能 0: JTAG_TDI JTAG 数据输入信号。 功能 1: GPIO12_4 通用输入输出管脚。
AG16	JTAG_TDO	I/O	2.9	3.3(5V tol)	功能 0: JTAG_TDO JTAG 数据输出信号。 功能 1: GPIO12_3 通用输入输出管脚。
AH16	JTAG_TMS	I _{SPU} /O	2.9	3.3(5V tol)	功能 0: JTAG_TMS JTAG 模式选择输入信号。 功能 1: GPIO12_2 通用输入输出管脚。
AG17	JTAG_TRSTN	I _{SPD} /O	2.9	3.3(5V tol)	功能 0: JTAG_TRSTN JTAG 复位输入信号。 功能 1: GPIO12_0 通用输入输出管脚。

GPIO 管脚

GPIO 管脚如表 2-20 所示。



表2-20 GPIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D1	GPIO0_0	I/O	2.9	3.3	通用输入输出管脚。
E2	GPIO0_1	I/O	2.9	3.3	通用输入输出管脚。
E1	GPIO0_2	I/O	2.9	3.3	通用输入输出管脚。
F2	GPIO0_3	I/O	2.9	3.3	通用输入输出管脚。
F1	GPIO0_4	I/O	2.9	3.3	通用输入输出管脚。
V28	GPIO0_5	I/O	2.9	3.3	功能 0: GPIO0_5 通用输入输出管脚。 功能 1: TEMPER_DQ 温度采集，用于与外部温度采集芯片通信。
P26	GPIO0_6	I/O	17.6	3.3	功能 0: GPIO0_6 通用输入输出管脚。 功能 1: EPHY0_CLK 网口 PHY 工作时钟。
J28	GPIO0_7	I/O	17.6	3.3	功能 0: GPIO0_7 通用输入输出管脚。 功能 1: EPHY1_CLK 网口 PHY 工作时钟。
B6	GPIO1_0	I/O	2.9	3.3	通用输入输出管脚。
A6	GPIO1_1	I/O	2.9	3.3	通用输入输出管脚。
B8	GPIO1_2	I/O	2.9	3.3	通用输入输出管脚。
A8	GPIO1_3	I/O	2.9	3.3	通用输入输出管脚。
B5	GPIO1_4	I/O	2.9	3.3	通用输入输出管脚。
A5	GPIO1_5	I/O	2.9	3.3	通用输入输出管脚。
B7	GPIO1_6	I/O	2.9	3.3	通用输入输出管脚。
A7	GPIO1_7	I/O	2.9	3.3	通用输入输出管脚。



SFC 管脚

SFC 管脚如表 2-21 所示。

表2-21 SFC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AD27	SFC_CLK	I/O	14	3.3	<p>功能 0: SFC_CLK 送给 SPI Flash 的时钟信号,时钟停靠的高低电平可选</p> <p>功能 1: SFC_ADDR_MODE SFC 启动地址模式选择: 0: 3 字节模式。 1: 4 字节模式。</p>
AE28	SFC_CS0N	I/O	9.3	3.3	<p>功能 0: SFC_CS0N SPI Flash 片选 0 信号 (低有效)。</p> <p>功能 1: GPIO4_4 通用输入输出管脚。</p>
AC28	SFC_CS1N	I/O	9.3	3.3	<p>功能 0: SFC_CS1N SPI Flash 片选 1 信号 (低有效, 用来挂接启动的 SPIflash)。</p> <p>功能 1: GPIO4_5 通用输入输出管脚。</p>
AC26	SFC_DIO	I/O	9.3	3.3	<p>功能 0: SFC_DIO 在 Standard SPI 模式, 为数据的输出信号; 在 Dual SPI 模式下, 为数据的输入输出信号; 在 Quad SPI 模式下, 为数据的输入输出信号。</p> <p>功能 1: GPIO4_0 通用输入输出管脚。</p>
AD28	SFC_DOI	I/O	9.3	3.3	<p>功能 0: SFC_DOI 在 Standard SPI 模式, 为数据的输入信号; 在 Dual SPI 模式下, 为数据的输入输出信号;</p>



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					在 Quad SPI 模式下, 为数据的输入输出信号。 功能 1: GPIO4_2 通用输入输出管脚。
AC27	SFC_HOLD_IO3	I/O	9.3	3.3	功能 0: SFC_HOLD_IO3 在 Standard SPI 模式, 作为 hold 功能, 低有效; 在 Dual SPI 模式下, 作为 hold 功能, 低有效; 在 Quad SPI 模式下, 为数据的输入输出信号。 功能 1: GPIO4_3 通用输入输出管脚。
AE27	SFC_WP_IO2	I/O	9.3	3.3	功能 0: SFC_WP_IO2 在 Standard SPI 模式, 作为 write protect 功能, 低有效; 在 Dual SPI 模式下, 作为 write protect 功能, 低有效; 在 Quad SPI 模式下, 为数据的输入输出信号。 功能 1: GPIO4_1 通用输入输出管脚。

NFC 管脚

NFC 管脚如表 2-22 所示。

表2-22 NFC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y26	NF_ALE	I/O	7	3.3	功能 0: NF_ALE NAND Flash 地址锁存信号。 功能 1: NF_BOOT_PIN2 NAND Flash 配置参数。
W25	NF_CLE	I/O	7	3.3	功能 0: NF_CLE NAND Flash 命令锁存信号。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					功能 1: NF_BOOT_PIN1 NAND Flash 配置参数。
V26	NF_CSN0	I/O	7	3.3	功能 0: NF_CSN0 NAND Flash 片选信号 0 (低电平有效, 用来挂接启动的 Nandflash)。 功能 1: GPIO12_5 通用输入输出管脚。
W28	NF_CSN1	I/O	7	3.3	功能 0: NF_CSN1 NAND Flash 片选信号 1 (低电平有效, 用来挂接启动的 Nandflash)。 功能 1: GPIO12_6 通用输入输出管脚。
AB27	NF_DQ0	I/O	7	3.3	功能 0: NF_DQ0 NAND Flash 数据总线 0。 功能 1: GPIO3_0 通用输入输出管脚。
AB28	NF_DQ1	I/O	7	3.3	功能 0: NF_DQ1 NAND Flash 数据总线 1。 功能 1: GPIO3_1 通用输入输出管脚。
AA25	NF_DQ2	I/O	7	3.3	功能 0: NF_DQ2 NAND Flash 数据总线 2。 功能 1: GPIO3_2 通用输入输出管脚。
AA26	NF_DQ3	I/O	7	3.3	功能 0: NF_DQ3 NAND Flash 数据总线 3。 功能 1: GPIO3_3 通用输入输出管脚。
AA27	NF_DQ4	I/O	7	3.3	功能 0: NF_DQ4 NAND Flash 数据总线 4。 功能 1: GPIO3_4 通用输入输出管脚。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA28	NF_DQ5	I/O	7	3.3	功能 0: NF_DQ5 NAND Flash 数据总线 5。 功能 1: GPIO3_5 通用输入输出管脚。
Y27	NF_DQ6	I/O	7	3.3	功能 0: NF_DQ6 NAND Flash 数据总线 6。 功能 1: GPIO3_6 通用输入输出管脚。
Y28	NF_DQ7	I/O	7	3.3	功能 0: NF_DQ7 NAND Flash 数据总线 7。 功能 1: GPIO3_7 通用输入输出管脚。
V25	NF_RDY0	I/O	7	3.3	功能 0: NF_RDY0 NAND Flash 忙/空闲指示信号 0。 1: NAND Flash 空闲; 0: NAND Flash 忙。 功能 1: 保留
W27	NF_RDY1	I/O	7	3.3	功能 0: NF_RDY1 NAND Flash 忙/空闲指示信号 1。 1: NAND Flash 空闲; 0: NAND Flash 忙。 功能 1: 保留
W26	NF_REN	I/O	9.3	3.3	功能 0: NF_REN NAND Flash 读使能信号(低电平有效)。 功能 1: NF_BOOT_PIN0 NAND Flash 配置参数。
Y25	NF_WEN	I/O	9.3	3.3	功能 0: NF_WEN NAND Flash 写使能信号 (低电平有效)。 功能 1: NF_BOOT_PIN3 NAND Flash 配置参数。



SATA 管脚

SATA 管脚如表 2-23 所示。

表2-23 SATA 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB24	SATA_LED_N0	I/O	2.9	3.3(5V tol)	功能 0: GPIO11_4 通用输入输出管脚。 功能 1: SATA_LED_N0 SATA0 端口 LED 指示信号（低有效）。
AA24	SATA_LED_N1	I/O	2.9	3.3(5V tol)	功能 0: GPIO11_5 通用输入输出管脚。 功能 1: SATA_LED_N1 SATA1 端口 LED 指示信号（低有效）。
AE26	SATA_LED_N2	I/O	2.9	3.3(5V tol)	功能 0: GPIO11_6 通用输入输出管脚。 功能 1: SATA_LED_N2 SATA2 端口 LED 指示信号（低有效）。
AH27	SATA_REFCLKM2	I/O	-	1.1	当 PCI Express 功能使能时，此管脚功能为 PCIe 参考时钟负极。 当 PCI Express 功能关闭时，此管脚功能为 SATA3.0 端口 2 参考时钟负极。
AG27	SATA_REFCLKP2	I/O	-	1.1	当 PCI Express 功能使能时，此管脚功能为 PCIe 参考时钟正极。 当 PCI Express 功能关闭时，此管脚功能为 SATA3.0 端口 2 参考时钟正极。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB20	SATA_REXT	I/O	-	0.25	SATA3.0 端口外接电阻, 推荐值阻值: $200\pm 1\% \Omega$ 。
AH21	SATA_RXM0	I	-	1.1	SATA3.0 端口 0 的接收差分信号负极。
AH23	SATA_RXM1	I	-	1.1	SATA3.0 端口 1 的接收差分信号负极。
AH25	SATA_RXM2	I	-	1.1	SATA3.0 端口 2 的接收差分信号负极。
AG21	SATA_RXP0	I	-	1.1	SATA3.0 端口 0 的接收差分信号正极。
AG23	SATA_RXP1	I	-	1.1	SATA3.0 端口 1 的接收差分信号正极。
AG25	SATA_RXP2	I	-	1.1	当 PCI Express 功能使能时, 此管脚功能为 PCIe 接收差分信号正极。 当 PCI Express 功能关闭时, 此管脚功能为 SATA3.0 端口 2 的接收差分信号正极。
AE21	SATA_TXM0	O	-	1.1	SATA3.0 端口 0 的发送差分信号负极。
AE23	SATA_TXM1	O	-	1.1	SATA3.0 端口 1 的发送差分信号负极。
AE25	SATA_TXM2	O	-	1.1	当 PCI Express 功能使能时, 此管脚功能为 PCIe 发送差分信号负极。 当 PCI Express 功能关闭时, 此管脚功能为 SATA3.0 端口 2 的发送差分信号负极。
AD21	SATA_TXP0	O	-	1.1	SATA3.0 端口 0 的发送差分信号正极。
AD23	SATA_TXP1	O	-	1.1	SATA3.0 端口 1 的发送差分信号正极。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AD25	SATA_TXP2	O	-	1.1	当 PCI Express 功能使能时，此管脚功能为 PCIe 发送差分信号正极。 当 PCI Express 功能关闭时，此管脚功能为 SATA3.0 端口 2 的发送差分信号正极。
AA18 AB18	AVDD11_VP_SATA	P	-	1.1	SATA PHY 1.1V 模拟电源。
V16	AVDD11_VPTX0_SATA	P	-	1.1	SATA PHY0 发送器模拟电源。
V17	AVDD11_VPTX1_SATA	P	-	1.1	SATA PHY1 发送器模拟电源。
V18	AVDD11_VPTX2_SATA	P	-	1.1	SATA PHY2 发送器模拟电源。
AA19 AB19	AVDD33_VPH_SATA	P	-	3.3	SATA PHY 3.3V 模拟电源。

USB 管脚

USB 管脚如表 2-24 所示。

表2-24 USB 2.0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AG19	USB2_DM0	I/O	-	-	USB2.0 端口 0 的 D-信号，在高速模式下，该端口最大的电压是 400mV，在全速和低速模式下，该端口的电压是 3.3V。
AD19	USB2_DM1	I/O	-	-	USB2.0 端口 1 的 D-信号，在高速模式下，该端口最大的电压是 400mV，在全速和低速模式下，该端口的电压是 3.3V。
AH19	USB2_DP0	I/O	-	-	USB2.0 端口 0 的 D+信号，在高速模式下，该端



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
					口最大的电压是 400mV，在全速和低速模式下，该端口的电压是 3.3V。
AE19	USB2_DP1	I/O	-	-	USB2.0 端口 1 的 D+信号，在高速模式下，该端口最大的电压是 400mV，在全速和低速模式下，该端口的电压是 3.3V。
AH18	USB2_OVRCUR0	I _S /O	2.9	3.3	功能 0: GPIO5_0 通用输入输出管脚。 功能 1: USB2_OVRCUR0 USB2.0 端口 0 的端口过流指示信号,高低电平可配,默认为高电平有效。
AF18	USB2_OVRCUR1	I _S /O	2.9	3.3	功能 0: GPIO5_2 通用输入输出管脚。 功能 1: USB2_OVRCUR1 USB2.0 端口 1 的端口过流指示信号,高低电平可配,默认为高电平有效。
AF17	USB2_PWREN0	I/O	2.9	3.3	功能 0: GPIO5_1 通用输入输出管脚。 功能 1: USB2_PWREN0 USB2.0 端口 0 电源控制输出管脚，高低电平可配，默认为低电平有效。
AG18	USB2_PWREN1	I/O	2.9	3.3	功能 0: GPIO5_3 通用输入输出管脚。 功能 1: USB2_PWREN1 USB2.0 端口 1 电源控制输出管脚，高低电平可配，默认为低电平有效。
AD18	USB2_REXT	I/O	-	3.3	USB2.0 端口的的外接参考电阻，推荐阻值：135Ω。
AA17 AB17	AVDD33_USB2	P	-	3.3	USB 2.0 模拟电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA16 AB16 AE18 AF19	AVSS_USB2	G	-	-	USB2.0 模拟地

表2-25 USB 3.0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C11	USB3_DM	I/O	-	-	USB3.0 端口的 USB2.0 的 D-信号, 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V。
D11	USB3_DP	I/O	-	-	USB3.0 端口的 USB2.0 的 D+信号, 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V。
E8	USB3_OVRCUR	I _S /O	2.9	3.3	功能 0: GPIO5_4 通用输入输出管脚。 功能 1: USB3_OVRCUR USB3.0 端口的端口过流指示信号,高低电平可配, 默认为高电平有效。
C7	USB3_PWREN	I/O	2.9	3.3	功能 0: GPIO5_5 通用输入输出管脚。 功能 1: USB3_PWREN USB3.0 端口电源控制输出管脚, 高低电平可配, 默认为低电平有效。
G11	USB3_REXT	I/O	-	0.25	USB3.0 端口外接参考电阻。推荐阻值: 200+/- 1%Ω。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C9	USB3_RXM	I	-	1.1	USB3.0 端口高速差分接收信号负极。
D9	USB3_RXP	I	-	1.1	USB3.0 端口高速差分接收信号正极。
B10	USB3_TXM	O	-	1.1	USB3.0 端口高速差分发送信号负极。
A10	USB3_TXP	O	-	1.1	USB3.0 端口高速差分发送信号正极。
L12	AVDD11_VP_USB3	P	-	1.1	USB3.0 PHY 1.1V 模拟电源。
L13	AVDD11_VPTX0_USB3	P	-	1.1	USB3.0 PHY 发送器模拟电源。
L14	DVDD11_USB3	P	-	1.1	USB3.0 PHY 1.1V 模拟电源。
H12	AVDD33_USB3	P	-	3.3	USB3.0 PHY 3.3V 模拟电源。

SYS 管脚

SYS 管脚如表 2-26 所示。

表2-26 SYS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AF28	RSTN	I _{SPU}	-	4.7	系统上电复位信号（低电平有效）。
AB26	TEST_MODE	I _{SPD}	-	4.7	功能模式和测试模式选择。 0: 功能模式 1: 测试模式
AF27	WDG_RSTN	O _{OD}	4	4.7	看门狗复位输出信号（低电平有效，OD 输出）。

SVB 管脚

SVB 管脚如表 2-27 所示。



表2-27 SVB 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D2	PWM_SVB0	I/O	4.7	3.3	功能 0: PWM_SVB0 pwm 输出, 用于 svb0。 功能 1: GPIO11_0 通用输入输出管脚。
AB25	PWM_SVB1	I/O	4.7	3.3	功能 0: PWM_SVB1 pwm 输出, 用于 svb1。 功能 1: GPIO11_1 通用输入输出管脚。

OSC 管脚

OSC 管脚如表 2-28 所示。

表2-28 OSC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T25	XIN	CIN	-	3.3	24M 晶体输入。
T26	XOUT	COUT	-	3.3	24M 晶体激励信号输出。

RTC 管脚

RTC 管脚如表 2-29 所示。

表2-29 RTC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
U27	RTC_XIN	CIN	-	3.3	RTC 晶体输入。
U28	RTC_XOUT	COUT	-	3.3	RTC 晶体激励信号输出。
U21	AVDD33_RTC	P	-	3.3	RTC 模拟电源。
U22 U25	AVSS_RTC	G	-	-	RTC 模拟地。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
U26 V24 V27					
U24	AVDD_BAT	P	-	3.3	RTC 外接电池电源。

DDR 管脚

DDR 管脚如表 2-30 所示。

表2-30 DDR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AH10	DDR_A0	I/O	-	1.5/1.35	DDR SDRAM 地址信号 0。
AH6	DDR_A1	I/O	-	1.5/1.35	DDR SDRAM 地址信号 1。
AH12	DDR_A2	I/O	-	1.5/1.35	DDR SDRAM 地址信号 2。
AF11	DDR_A3	I/O	-	1.5/1.35	DDR SDRAM 地址信号 3。
AF6	DDR_A4	I/O	-	1.5/1.35	DDR SDRAM 地址信号 4。
AF10	DDR_A5	I/O	-	1.5/1.35	DDR SDRAM 地址信号 5。
AG6	DDR_A6	I/O	-	1.5/1.35	DDR SDRAM 地址信号 6。
AG13	DDR_A7	I/O	-	1.5/1.35	DDR SDRAM 地址信号 7。
AE7	DDR_A8	I/O	-	1.5/1.35	DDR SDRAM 地址信号 8。
AG10	DDR_A9	I/O	-	1.5/1.35	DDR SDRAM 地址信号 9。
AE10	DDR_A10	I/O	-	1.5/1.35	DDR SDRAM 地址信号 10。
AF8	DDR_A11	I/O	-	1.5/1.35	DDR SDRAM 地址信号 11。
AE6	DDR_A12	I/O	-	1.5/1.35	DDR SDRAM 地址信号 12。
AG12	DDR_A13	I/O	-	1.5/1.35	DDR SDRAM 地址信号 13。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AE8	DDR_A14	I/O	-	1.5/1.35	DDR SDRAM 地址信号 14。
AE9	DDR_A15	I/O	-	1.5/1.35	DDR SDRAM 地址信号 15。
AE12	DDR_BA0	I/O	-	1.5/1.35	DDR SDRAM Bank 地址信号 0。
AG7	DDR_BA1	I/O	-	1.5/1.35	DDR SDRAM Bank 地址信号 1。
AE11	DDR_BA2	I/O	-	1.5/1.35	DDR SDRAM Bank 地址信号 2。
AH9	DDR_CAS_N	I/O	-	1.5/1.35	DDR SDRAM 列地址选择信号。
AH7	DDR_CKE	I/O	-	1.5/1.35	DDR SDRAM 时钟使能信号。
AE5	DDR_CLK0_N	I/O	-	1.5/1.35	DDR SDRAM 反向差分时钟 0。
AF5	DDR_CLK0_P	I/O	-	1.5/1.35	DDR SDRAM 正向差分时钟 0。
AH4	DDR_CLK1_N	I/O	-	1.5/1.35	DDR SDRAM 反向差分时钟 0。
AG4	DDR_CLK1_P	I/O	-	1.5/1.35	DDR SDRAM 正向差分时钟 0。
AG14	DDR_CS0_N	I/O	-	1.5/1.35	DDR SDRAM 片选信号 0。
AF13	DDR_CS1_N	I/O	-	1.5/1.35	DDR SDRAM 片选信号 1。
P4	DDR_DM0	I/O	-	1.5/1.35	DDR SDRAM 数据屏蔽信号 0。
N4	DDR_DM1	I/O	-	1.5/1.35	DDR SDRAM 数据屏蔽信号 1。
AB5	DDR_DM2	I/O	-	1.5/1.35	DDR SDRAM 数据屏蔽信号 2。
Y4	DDR_DM3	I/O	-	1.5/1.35	DDR SDRAM 数据屏蔽信号 3。
K4	DDR_DQ0	I/O	-	1.5/1.35	DDR SDRAM 数据线 0。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T4	DDR_DQ1	I/O	-	1.5/1.35	DDR SDRAM 数据线 1。
K5	DDR_DQ2	I/O	-	1.5/1.35	DDR SDRAM 数据线 2。
U1	DDR_DQ3	I/O	-	1.5/1.35	DDR SDRAM 数据线 3。
K2	DDR_DQ4	I/O	-	1.5/1.35	DDR SDRAM 数据线 4。
U4	DDR_DQ5	I/O	-	1.5/1.35	DDR SDRAM 数据线 5。
L1	DDR_DQ6	I/O	-	1.5/1.35	DDR SDRAM 数据线 6。
U2	DDR_DQ7	I/O	-	1.5/1.35	DDR SDRAM 数据线 7。
P5	DDR_DQ8	I/O	-	1.5/1.35	DDR SDRAM 数据线 8。
L3	DDR_DQ9	I/O	-	1.5/1.35	DDR SDRAM 数据线 9。
T1	DDR_DQ10	I/O	-	1.5/1.35	DDR SDRAM 数据线 10。
M3	DDR_DQ11	I/O	-	1.5/1.35	DDR SDRAM 数据线 11。
R4	DDR_DQ12	I/O	-	1.5/1.35	DDR SDRAM 数据线 12。
L4	DDR_DQ13	I/O	-	1.5/1.35	DDR SDRAM 数据线 13。
T3	DDR_DQ14	I/O	-	1.5/1.35	DDR SDRAM 数据线 14。
M4	DDR_DQ15	I/O	-	1.5/1.35	DDR SDRAM 数据线 15。
W5	DDR_DQ16	I/O	-	1.5/1.35	DDR SDRAM 数据线 16。
AC3	DDR_DQ17	I/O	-	1.5/1.35	DDR SDRAM 数据线 17。
V5	DDR_DQ18	I/O	-	1.5/1.35	DDR SDRAM 数据线 18。
AE2	DDR_DQ19	I/O	-	1.5/1.35	DDR SDRAM 数据线 19。
V3	DDR_DQ20	I/O	-	1.5/1.35	DDR SDRAM 数据线 20。
AC5	DDR_DQ21	I/O	-	1.5/1.35	DDR SDRAM 数据线 21。
W3	DDR_DQ22	I/O	-	1.5/1.35	DDR SDRAM 数据线 22。
AE1	DDR_DQ23	I/O	-	1.5/1.35	DDR SDRAM 数据线 23。
AC4	DDR_DQ24	I/O	-	1.5/1.35	DDR SDRAM 数据线 24。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
W2	DDR_DQ25	I/O	-	1.5/1.35	DDR SDRAM 数据线 25。
AD3	DDR_DQ26	I/O	-	1.5/1.35	DDR SDRAM 数据线 26。
Y1	DDR_DQ27	I/O	-	1.5/1.35	DDR SDRAM 数据线 27。
AB4	DDR_DQ28	I/O	-	1.5/1.35	DDR SDRAM 数据线 28。
W4	DDR_DQ29	I/O	-	1.5/1.35	DDR SDRAM 数据线 29。
AC2	DDR_DQ30	I/O	-	1.5/1.35	DDR SDRAM 数据线 30。
V4	DDR_DQ31	I/O	-	1.5/1.35	DDR SDRAM 数据线 31。
N2	DDR_DQS0_N	I/O	-	1.5/1.35	DDR 反向 DQS Strobe 信号 0, 对应 DQ[7:0]。
N1	DDR_DQS0_P	I/O	-	1.5/1.35	DDR 正向 DQS Strobe 信号 0, 对应 DQ[7:0]。
P3	DDR_DQS1_N	I/O	-	1.5/1.35	DDR 反向 DQS Strobe 信号 1, 对应 DQ[15:8]。
P2	DDR_DQS1_P	I/O	-	1.5/1.35	DDR 正向 DQS Strobe 信号 1, 对应 DQ[15:8]。
AA3	DDR_DQS2_N	I/O	-	1.5/1.35	DDR 反向 DQS Strobe 信号 2, 对应 DQ[23:16]。
Y3	DDR_DQS2_P	I/O	-	1.5/1.35	DDR 正向 DQS Strobe 信号 2, 对应 DQ[23:16]。
AB2	DDR_DQS3_N	I/O	-	1.5/1.35	DDR 反向 DQS Strobe 信号 3, 对应 DQ[31:24]。
AB1	DDR_DQS3_P	I/O	-	1.5/1.35	DDR 正向 DQS Strobe 信号 3, 对应 DQ[31:24]。
AG15	DDR_ODT0	I/O	-	1.5/1.35	DDR 外接匹配参考电阻 0。
AF14	DDR_ODT1	I/O	-	1.5/1.35	DDR 外接匹配参考电阻 1。
AG9	DDR_RAS_N	I/O	-	1.5/1.35	DDR SDRAM 行地址选择信号。
AH13	DDR_RESET_N	I/O	-	1.5/1.35	DDR3 SDRAM 复位信号。
AE14	DDR_WE_N	I/O	-	1.5/1.35	DDR SDRAM 写使能信号。
AE15	DDR_ZQ	I/O	-	1.5/1.35	DDR 外接匹配参考电阻。



表2-31 DDR 电源/地管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA9 AB9	VDDIO_CK_DDR	P	-	1.5/1.35	DDR IO 电源。
M5 N5 N7 P7 T5 V7 W7 Y8 AA5 AA7 AB7 AB12 AB13 AD4 AD5 AD6 AD8 AD9 AD11 AD12 AD13 AE3 AE4 AF2 AF3 AG1 AG2 AH1 AH2	VDDIO_DDR	P	-	1.5/1.35	DDR IO 电源。
AA11	DDR_VREF_CMD	P	-	-	DDR 参考电压。
R7	DDR_VREF_DQ_1	P	-	-	DDR 参考电压。
Y7	DDR_VREF_DQ_2	P	-	-	DDR 参考电压。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T8	AVDD_DDRPLL1	P	-	1.5/1.35	DDR PLL 模拟电源。
AA10	AVDD_DDRPLL2	P	-	1.5/1.35	DDR PLL 模拟电源。
T7	AVSS_DDRPLL1	G	-	-	DDR PLL 模拟地。
AB10	AVSS_DDRPLL2	G	-	-	DDR PLL 模拟地。

其它电源和地管脚

其它电源和地管脚如表 2-32 所示。

表2-32 电源和地管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y22	AVSS_EFUSE	G	-	-	EFUSE 模拟地。
AA22	AVDD_EFUSE	P	-	2.5	EFUSE 电源。
T21	AVDD11_PLL	P	-	1.1	PLL1.1V 模拟电源。
T22	AVDD33_PLL	P	-	3.3	PLL 3.3V 模拟电源。
R21、R22	AVSS_PLL	G	-	-	PLL 模拟地。
K11、K12、K17、K18、 L19、M10、M19、 N10、N19、P10、P19、 R10、R19、T10、T19、 U10、U19、V10、V19、 W11、W12、W14、W15	VDD_CORE	P	-	1.1	CORE 电源
G9、G10、G18、G21、 G22、L7、P22、V22、 W22、AA15、AB15	DVDD33	P	-	3.3	数字 IO 电源。
A1、A2、A3、B1、B2、 B3、B4、C2、C3、C4、	DVDD_CPU	P	-	1.1	CPU 工作电源。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C5、D3、D4、D5、D6、E4、E5、E6、E7、F5、G7、G8、H7					
A4、A28、C1、C6、C8、C10、C25、D3、D7、D8、D10、E3、E9、E10、E11、E21、E22、E23、E24、E25、F3、F4、F24、G5、H5、H24、H25、J5、J7、K1、K3、K24、K25、L2、L5、L12、L13、L14、L15、L16、L17、L18、L24、M7、M11、M12、M13、M14、M15、M16、M17、M18、N3、N11、N12、N13、N14、N15、N16、N17、N18、N22、N24、N25、P1、P11、P12、P13、P14、P15、P16、P17、P18、P24、R3、R5、R11、R12、R13、R14、R15、R16、R17、R18、R24、R25、R26、T2、T11、T12、T13、T14、T15、T16、T17、T18、T24、U3、U5、U11、U12、U13、U14、U15、U16、U17、U18、V11、V12、V13、V14、V15、W1、W24、Y2、Y5、Y24、AA4、AA8、AB3、AB8、AB14、AB21、AB22、AC1、AC24、AC25、AD7、AD10、AD14、AD15、AD20、AD22、AD24、AD26、AE13、AE20、AE22、AE24、AF1、AF4、AF7、AF9、AF12、AF15、AF21、AF23、AF25、AG3、AG28、AH3、AH28、	VSS	G	-	-	数字地



2.3 管脚复用寄存器

2.3.1 复用寄存器概览

复用寄存器概览如表 2-33 所示。

表2-33 复用寄存器概览(复用寄存器基地址为 0x200F_0000)

偏移地址	名称	描述	页码
0x000	muxctrl_reg0	VGA_HS 管脚的复用控制寄存器	2-58
0x004	muxctrl_reg1	VGA_VS 管脚的复用控制寄存器	2-58
0x008	muxctrl_reg2	RGMIIO_RXDV 管脚的复用控制寄存器	2-59
0x00C	muxctrl_reg3	RGMIIO_RXD0 管脚的复用控制寄存器	2-59
0x010	muxctrl_reg4	RGMIIO_RXD1 管脚的复用控制寄存器	2-60
0x014	muxctrl_reg5	RGMIIO_RXD2 管脚的复用控制寄存器	2-60
0x018	muxctrl_reg6	RGMIIO_RXD3 管脚的复用控制寄存器	2-61
0x01C	muxctrl_reg7	RGMIIO_TXD0 管脚的复用控制寄存器	2-61
0x020	muxctrl_reg8	RGMIIO_TXD1 管脚的复用控制寄存器	2-62
0x024	muxctrl_reg9	RGMIIO_TXD2 管脚的复用控制寄存器	2-62
0x028	muxctrl_reg10	RGMIIO_TXD3 管脚的复用控制寄存器	2-63
0x02C	muxctrl_reg11	RGMIIO_RXCK 管脚的复用控制寄存器	2-63
0x030	muxctrl_reg12	RGMIIO_TXEN 管脚的复用控制寄存器	2-64
0x034	muxctrl_reg13	RGMIIO_TXCK 管脚的复用控制寄存器	2-64
0x038	muxctrl_reg14	RGMIIO_TXCKOUT 管脚的复用控制寄存器	2-65
0x03C	muxctrl_reg15	RGMIIO_CRS 管脚的复用控制寄存器	2-65
0x040	muxctrl_reg16	RGMIIO_COL 管脚的复用控制寄存器	2-66
0x044	muxctrl_reg17	RGMIIO_RXER 管脚的复用控制寄存器	2-66
0x048	muxctrl_reg18	RGMIIO_RXDV 管脚的复用控制寄存器	2-67
0x04C	muxctrl_reg19	RGMIIO_RXD0 管脚的复用控制寄存器	2-67
0x050	muxctrl_reg20	RGMIIO_RXD1 管脚的复用控制寄存器	2-68



偏移地址	名称	描述	页码
0x054	muxctrl_reg21	RGMI11_RXD2 管脚的复用控制寄存器	2-68
0x058	muxctrl_reg22	RGMI11_RXD3 管脚的复用控制寄存器	2-69
0x05C	muxctrl_reg23	RGMI11_TXD0 管脚的复用控制寄存器	2-69
0x060	muxctrl_reg24	RGMI11_TXD1 管脚的复用控制寄存器	2-70
0x064	muxctrl_reg25	RGMI11_TXD2 管脚的复用控制寄存器	2-71
0x068	muxctrl_reg26	RGMI11_TXD3 管脚的复用控制寄存器	2-71
0x06C	muxctrl_reg27	RGMI11_RXCK 管脚的复用控制寄存器	2-72
0x070	muxctrl_reg28	RGMI11_TXEN 管脚的复用控制寄存器	2-72
0x074	muxctrl_reg29	RGMI11_TXCK 管脚的复用控制寄存器	2-73
0x078	muxctrl_reg30	RGMI11_TXCKOUT 管脚的复用控制寄存器	2-73
0x07C	muxctrl_reg31	RGMI11_CRS 管脚的复用控制寄存器	2-74
0x080	muxctrl_reg32	RGMI11_COL 管脚的复用控制寄存器	2-74
0x084	muxctrl_reg33	RGMI11_RXER 管脚的复用控制寄存器	2-74
0x088	muxctrl_reg34	MDCK 管脚的复用控制寄存器	2-75
0x08C	muxctrl_reg35	MDIO 管脚的复用控制寄存器	2-75
0x090	muxctrl_reg36	IR_IN 管脚的复用控制寄存器	2-76
0x094	muxctrl_reg37	SFC_DIO 管脚的复用控制寄存器	2-76
0x098	muxctrl_reg38	SFC_WP_IO2 管脚的复用控制寄存器	2-77
0x09C	muxctrl_reg39	SFC_DOI 管脚的复用控制寄存器	2-77
0x0A0	muxctrl_reg40	SFC_HOLD_IO3 管脚的复用控制寄存器	2-78
0x0A4	muxctrl_reg41	SFC_CS0N 管脚的复用控制寄存器	2-78
0x0A8	muxctrl_reg42	SFC_CS1N 管脚的复用控制寄存器	2-79
0x0AC	muxctrl_reg43	NF_DQ0 管脚的复用控制寄存器	2-79
0x0B0	muxctrl_reg44	NF_DQ1 管脚的复用控制寄存器	2-80
0x0B4	muxctrl_reg45	NF_DQ2 管脚的复用控制寄存器	2-80
0x0B8	muxctrl_reg46	NF_DQ3 管脚的复用控制寄存器	2-81
0x0BC	muxctrl_reg47	NF_DQ4 管脚的复用控制寄存器	2-81
0x0C0	muxctrl_reg48	NF_DQ5 管脚的复用控制寄存器	2-82



偏移地址	名称	描述	页码
0x0C4	muxctrl_reg49	NF_DQ6 管脚的复用控制寄存器	2-82
0x0C8	muxctrl_reg50	NF_DQ7 管脚的复用控制寄存器	2-83
0x0CC	muxctrl_reg51	NF_CSN0 管脚的复用控制寄存器	2-83
0x0D0	muxctrl_reg52	NF_CSN1 管脚的复用控制寄存器	2-84
0x0D4	muxctrl_reg53	NF_RDY0 管脚的复用控制寄存器	2-84
0x0D8	muxctrl_reg54	NF_RDY1 管脚的复用控制寄存器	2-85
0x0DC	muxctrl_reg55	USB2_OVRCUR0 管脚的复用控制寄存器	2-85
0x0E0	muxctrl_reg56	USB2_PWREN0 管脚的复用控制寄存器	2-86
0x0E4	muxctrl_reg57	USB2_OVRCUR1 管脚的复用控制寄存器	2-86
0x0E8	muxctrl_reg58	USB2_PWREN1 管脚的复用控制寄存器	2-87
0x0EC	muxctrl_reg59	USB3_OVRCUR 管脚的复用控制寄存器	2-87
0x0F0	muxctrl_reg60	USB3_PWREN 管脚的复用控制寄存器	2-88
0x0F4	muxctrl_reg61	HDMI_HOTPLUG 管脚的复用控制寄存器	2-88
0x0F8	muxctrl_reg62	HDMI_CEC 管脚的复用控制寄存器	2-89
0x0FC	muxctrl_reg63	HDMI_SDA 管脚的复用控制寄存器	2-89
0x100	muxctrl_reg64	HDMI_SCL 管脚的复用控制寄存器	2-90
0x104	muxctrl_reg65	UART0_RTSEN 管脚的复用控制寄存器	2-90
0x108	muxctrl_reg66	UART0_CTSN 管脚的复用控制寄存器	2-91
0x10C	muxctrl_reg67	UART1_RTSEN 管脚的复用控制寄存器	2-91
0x110	muxctrl_reg68	UART1_RXD 管脚的复用控制寄存器	2-92
0x114	muxctrl_reg69	UART1_CTSN 管脚的复用控制寄存器	2-92
0x118	muxctrl_reg70	UART1_TXD 管脚的复用控制寄存器	2-93
0x11C	muxctrl_reg71	UART2_RXD 管脚的复用控制寄存器	2-93
0x120	muxctrl_reg72	UART2_TXD 管脚的复用控制寄存器	2-94
0x124	muxctrl_reg73	UART3_RXD 管脚的复用控制寄存器	2-94
0x128	muxctrl_reg74	UART3_TXD 管脚的复用控制寄存器	2-95
0x12C	muxctrl_reg75	SATA_LED_N0 管脚的复用控制寄存器	2-95



偏移地址	名称	描述	页码
0x130	muxctrl_reg76	SATA_LED_N1 管脚的复用控制寄存器	2-96
0x134	muxctrl_reg77	SATA_LED_N2 管脚的复用控制寄存器	2-96
0x138	muxctrl_reg78	I2C_SDA 管脚的复用控制寄存器	2-97
0x13C	muxctrl_reg79	I2C_SCL 管脚的复用控制寄存器	2-97
0x140	muxctrl_reg80	PWM_SVB0 管脚的复用控制寄存器	2-98
0x144	muxctrl_reg81	PWM_SVB1 管脚的复用控制寄存器	2-98
0x148	muxctrl_reg82	GPIO0_5 管脚的复用控制寄存器	2-99
0x14C	muxctrl_reg83	GPIO0_6 管脚的复用控制寄存器	2-99
0x150	muxctrl_reg84	GPIO0_7 管脚的复用控制寄存器	2-100
0x154	muxctrl_reg85	VOU1120_DATA0 管脚的复用控制寄存器	2-100
0x158	muxctrl_reg86	VOU1120_DATA1 管脚的复用控制寄存器	2-101
0x15C	muxctrl_reg87	VOU1120_DATA2 管脚的复用控制寄存器	2-101
0x160	muxctrl_reg88	VOU1120_DATA3 管脚的复用控制寄存器	2-102
0x164	muxctrl_reg89	VOU1120_DATA4 管脚的复用控制寄存器	2-102
0x168	muxctrl_reg90	VOU1120_DATA5 管脚的复用控制寄存器	2-103
0x16C	muxctrl_reg91	VOU1120_DATA6 管脚的复用控制寄存器	2-103
0x170	muxctrl_reg92	VOU1120_DATA7 管脚的复用控制寄存器	2-104
0x174	muxctrl_reg93	VOU1120_DATA8 管脚的复用控制寄存器	2-104
0x178	muxctrl_reg94	VOU1120_DATA9 管脚的复用控制寄存器	2-105
0x17C	muxctrl_reg95	VOU1120_DATA10 管脚的复用控制寄存器	2-105
0x180	muxctrl_reg96	VOU1120_DATA11 管脚的复用控制寄存器	2-106



偏移地址	名称	描述	页码
0x184	muxctrl_reg97	VOU1120_DATA12 管脚的复用控制寄存器	2-106
0x188	muxctrl_reg98	VOU1120_DATA13 管脚的复用控制寄存器	2-107
0x18C	muxctrl_reg99	VOU1120_DATA14 管脚的复用控制寄存器	2-107
0x190	muxctrl_reg100	VOU1120_DATA15 管脚的复用控制寄存器	2-108
0x194	muxctrl_reg101	VOU1120_CLK 管脚的复用控制寄存器	2-108

2.3.2 复用寄存器描述

muxctrl_reg0

VGA_HS 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																						
	0x000	muxctrl_reg0	0x00000000																						
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																								
Name	reserved															muxctrl_reg0									
Reset	0 0																								
	Bits	Access	Name	Description																					
	[0]	RW	muxctrl_reg0	VGA_HS 管脚的具体复用情况。 0: VGA_HS; 1: GPIO6_6。																					

muxctrl_reg1

VGA_VS 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x004		muxctrl_reg1		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg1	VGA_VS 管脚的具体复用情况。 0: VGA_VS; 1: GPIO6_7。						

muxctrl_reg2

RGMIIO_RXDV 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x008		muxctrl_reg2		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg2	RGMIIO_RXDV 管脚的具体复用情况。 0: RGMIIO_RXDV; 1: GPIO8_7。						

muxctrl_reg3

RGMIIO_RXD0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00C		muxctrl_reg3		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg3
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg3	RGMII0_RXD0 管脚的具体复用情况。 0: RGMII0_RXD0; 1: GPIO9_0。						

muxctrl_reg4

RGMII0_RXD1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x010		muxctrl_reg4		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg4
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg4	RGMII0_RXD1 管脚的具体复用情况。 0: RGMII0_RXD1; 1: GPIO9_1。						

muxctrl_reg5

RGMII0_RXD2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x014		muxctrl_reg5		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 5
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg5	RGMII0_RXD2 管脚的具体复用情况。 0: RGMII0_RXD2; 1: GPIO9_2。						

muxctrl_reg6

RGMII0_RXD3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x018		muxctrl_reg6		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 6
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg6	RGMII0_RXD3 管脚的具体复用情况。 0: RGMII0_RXD3; 1: GPIO9_3。						

muxctrl_reg7

RGMII0_TXD0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x01C		muxctrl_reg7		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 7
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg7	RGMII0_TXD0 管脚的具体复用情况。 0: RGMII0_TXD0; 1: GPIO9_4。						

muxctrl_reg8

RGMII0_TXD1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x020		muxctrl_reg8		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 8
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg8	RGMII0_TXD1 管脚的具体复用情况。 0: RGMII0_TXD1; 1: GPIO9_5。						

muxctrl_reg9

RGMII0_TXD2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x024		muxctrl_reg9		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg9
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg9	RGMII0_TXD2 管脚的具体复用情况。 0: RGMII0_TXD2; 1: GPIO9_6。						

muxctrl_reg10

RGMII0_TXD3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x028		muxctrl_reg10		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg10
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg10	RGMII0_TXD3 管脚的具体复用情况。 0: RGMII0_TXD3; 1: GPIO9_7。						

muxctrl_reg11

RGMII0_RXCK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x02C		muxctrl_reg11		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 11
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg11	RGMII0_RXCK 管脚的具体复用情况。 0: RGMII0_RXCK; 1: GPIO8_0。						

muxctrl_reg12

RGMII0_TXEN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x030		muxctrl_reg12		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 12
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg12	RGMII0_TXEN 管脚的具体复用情况。 0: RGMII0_TXEN; 1: GPIO8_1。						

muxctrl_reg13

RGMII0_TXCK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x034		muxctrl_reg13		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 13
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg13	RGMII0_TXCK 管脚的具体复用情况。 0: RGMII0_TXCK; 1: GPIO8_2。						

muxctrl_reg14

RGMII0_TXCKOUT 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x038		muxctrl_reg14		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 14
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg14	RGMII0_TXCKOUT 管脚的具体复用情况。 00: RGMII0_TXCKOUT; 01: GPIO8_3; 10: RMII0_CLK; 其它: 保留。						

muxctrl_reg15

RGMII0_CRS 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x03C		muxctrl_reg15		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 15
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg15	RGMII0_CRS 管脚的具体复用情况。 0: RGMII0_CRS; 1: GPIO8_4。						

muxctrl_reg16

RGMII0_COL 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x040		muxctrl_reg16		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 16
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg16	RGMII0_COL 管脚的具体复用情况。 0: RGMII0_COL; 1: GPIO8_5。						

muxctrl_reg17

RGMII0_RXER 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x044		muxctrl_reg17		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 17
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg17	RGMII0_RXER 管脚的具体复用情况。 0: RGMII0_RXER; 1: GPIO8_6。						

muxctrl_reg18

RGMII1_RXDV 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x048		muxctrl_reg18		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 18
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg18	RGMII1_RXDV 管脚的具体复用情况。 0: RGMII1_RXDV; 1: GPIO10_7。						

muxctrl_reg19

RGMII1_RXD0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x04C		muxctrl_reg19		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 19
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg19	RGMII1_RXD0 管脚的具体复用情况。 00: RGMII1_RXD0; 01: GPIO2_0; 10: DDRPHY_DEBUG_OUT4; 其它: 保留。						

muxctrl_reg20

RGMII1_RXD1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x050		muxctrl_reg20		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 20
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg20	RGMII1_RXD1 管脚的具体复用情况。 00: RGMII1_RXD1; 01: GPIO2_1; 10: DDRPHY_DEBUG_OUT5; 其它: 保留。						

muxctrl_reg21

RGMII1_RXD2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x054		muxctrl_reg21		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 21
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg21	RGMII1_RXD2 管脚的具体复用情况。 00: RGMII1_RXD2; 01: GPIO2_2; 10: DDRPHY_DEBUG_OUT6; 其它: 保留。						

muxctrl_reg22

RGMII1_RXD3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x058		muxctrl_reg22		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 22
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg22	RGMII1_RXD3 管脚的具体复用情况。 0: RGMII1_RXD3; 1: GPIO2_3。						

muxctrl_reg23

RGMII1_TXD0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x05C		muxctrl_reg23		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 23
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg23	RGMII1_TXD0 管脚的具体复用情况。 000: RGMII1_TXD0; 001: GPIO2_4; 010: CLK_TEST_OUT0; 011: CLK_TEST_OUT1; 100: CLK_TEST_OUT2; 101: CLK_TEST_OUT3; 110: CLK_TEST_OUT4; 111: RTC_TEST_CLK。						

muxctrl_reg24

RGMII1_TXD1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x060		muxctrl_reg24		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 24
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg24	RGMII1_TXD1 管脚的具体复用情况。 000: RGMII1_TXD1; 001: GPIO2_5; 010: PLL_TEST_OUT0; 011: PLL_TEST_OUT1; 100: PLL_TEST_OUT2;						



			101: PLL_TEST_OUT3; 110: PLL_TEST_OUT4; 111: PLL_TEST_OUT5。
--	--	--	---

muxctrl_reg25

RGMI11_TXD2 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x064	muxctrl_reg25	0x00000000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 25
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[1:0]	RW	muxctrl_reg25	RGMI11_TXD2 管脚的具体复用情况。 00: RGMI11_TXD2; 01: GPIO2_6; 10: DDRPHY_DEBUG_OUT0; 其它: 保留。					

muxctrl_reg26

RGMI11_TXD3 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x068	muxctrl_reg26	0x00000000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 26
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[1:0]	RW	muxctrl_reg26	RGMI11_TXD3 管脚的具体复用情况。 00: RGMI11_TXD3;					



			01: GPIO2_7; 10: DDRPHY_DEBUG_OUT1; 其它: 保留。
--	--	--	---

muxctrl_reg27

RGIII1_RXCK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x06C		muxctrl_reg27		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 27
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg27	RGIII1_RXCK 管脚的具体复用情况。 0: RGIII1_RXCK; 1: GPIO10_0。						

muxctrl_reg28

RGIII1_TXEN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x070		muxctrl_reg28		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 28
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg28	RGIII1_TXEN 管脚的具体复用情况。 0: RGIII1_TXEN; 1: GPIO10_1。						



muxctrl_reg29

RGIII1_TXCK 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																									
	0x074	muxctrl_reg29	0x00000000																									
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																											
Name	reserved																											muxctrl_reg 29
Reset	0 0																											
Bits	Access	Name	Description																									
[1:0]	RW	muxctrl_reg29	RGIII1_TXCK 管脚的具体复用情况。 00: RGIII1_TXCK; 01: GPIO10_2; 10: DDRPHY_DEBUG_OUT2; 其它: 保留。																									

muxctrl_reg30

RGIII1_TXCKOUT 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																									
	0x078	muxctrl_reg30	0x00000000																									
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																											
Name	reserved																											muxctrl_reg 30
Reset	0 0																											
Bits	Access	Name	Description																									
[1:0]	RW	muxctrl_reg30	RGIII1_TXCKOUT 管脚的具体复用情况。 00: RGIII1_TXCKOUT; 01: GPIO10_3; 10: RMII1_CLK; 11: DDRPHY_DEBUG_OUT3。																									



muxctrl_reg31

RGIII1_CRS 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x07C				muxctrl_reg31				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											muxctrl_reg 31				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[0]	RW	muxctrl_reg31		RGIII1_CRS 管脚的具体复用情况。 0: RGIII1_CRS; 1: GPIO10_4。																											

muxctrl_reg32

RGIII1_COL 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x080				muxctrl_reg32				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											muxctrl_reg 32				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[0]	RW	muxctrl_reg32		RGIII1_COL 管脚的具体复用情况。 0: RGIII1_COL; 1: GPIO10_5。																											

muxctrl_reg33

RGIII1_RXER 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x084		muxctrl_reg33		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 33
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg33	RGMII1_RXER 管脚的具体复用情况。 0: RGMII1_RXER; 1: GPIO10_6。						

muxctrl_reg34

MDCK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x088		muxctrl_reg34		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 34
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg34	MDCK 管脚的具体复用情况。 00: MDCK; 10: BOOTROM_SEL; 其它: 保留。						

muxctrl_reg35

MDIO 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x08C		muxctrl_reg35		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 35
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg35	MDIO 管脚的具体复用情况。 0: MDIO; 1: GPIO11_3。						

muxctrl_reg36

IR_IN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x090		muxctrl_reg36		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 36
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg36	IR_IN 管脚的具体复用情况。 0: GPIO11_7; 1: IR_IN。						

muxctrl_reg37

SFC_DIO 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x094		muxctrl_reg37		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 37
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg37	SFC_DIO 管脚的具体复用情况。 0: SFC_DIO; 1: GPIO4_0。						

muxctrl_reg38

SFC_WP_IO2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x098		muxctrl_reg38		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 38
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg38	SFC_WP_IO2 管脚的具体复用情况。 0: SFC_WP_IO2; 1: GPIO4_1。						

muxctrl_reg39

SFC_DOI 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x09C		muxctrl_reg39		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 39
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg39	SFC_DOI 管脚的具体复用情况。 0: SFC_DOI; 1: GPIO4_2。						

muxctrl_reg40

SFC_HOLD_IO3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A0		muxctrl_reg40		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 40
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg40	SFC_HOLD_IO3 管脚的具体复用情况。 0: SFC_HOLD_IO3; 1: GPIO4_3。						

muxctrl_reg41

SFC_CS0N 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A4		muxctrl_reg41		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg41
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg41	SFC_CS0N 管脚的具体复用情况。 0: SFC_CS0N; 1: GPIO4_4。						

muxctrl_reg42

SFC_CS1N 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A8		muxctrl_reg42		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg42
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg42	SFC_CS1N 管脚的具体复用情况。 0: SFC_CS1N; 1: GPIO4_5。						

muxctrl_reg43

NF_DQ0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0AC		muxctrl_reg43		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 43
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg43	NF_DQ0 管脚的具体复用情况。 0: NF_DQ0; 1: GPIO3_0。						

muxctrl_reg44

NF_DQ1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B0		muxctrl_reg44		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 44
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg44	NF_DQ1 管脚的具体复用情况。 0: NF_DQ1; 1: GPIO3_1。						

muxctrl_reg45

NF_DQ2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0B4		muxctrl_reg45		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 45
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg45	NF_DQ2 管脚的具体复用情况。 0: NF_DQ2; 1: GPIO3_2。						

muxctrl_reg46

NF_DQ3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B8		muxctrl_reg46		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 46
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg46	NF_DQ3 管脚的具体复用情况。 0: NF_DQ3; 1: GPIO3_3。						

muxctrl_reg47

NF_DQ4 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0BC		muxctrl_reg47		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 47
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg47	NF_DQ4 管脚的具体复用情况。 0: NF_DQ4; 1: GPIO3_4。						

muxctrl_reg48

NF_DQ5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0C0		muxctrl_reg48		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 48
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg48	NF_DQ5 管脚的具体复用情况。 0: NF_DQ5; 1: GPIO3_5。						

muxctrl_reg49

NF_DQ6 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0C4		muxctrl_reg49		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 49
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg49	NF_DQ6 管脚的具体复用情况。 0: NF_DQ6; 1: GPIO3_6。						

muxctrl_reg50

NF_DQ7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0C8		muxctrl_reg50		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 50
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg50	NF_DQ7 管脚的具体复用情况。 0: NF_DQ7; 1: GPIO3_7。						

muxctrl_reg51

NF_CSN0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0CC		muxctrl_reg51		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 51
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg51	NF_CSN0 管脚的具体复用情况。 0: NF_CSN0; 1: GPIO12_5。						

muxctrl_reg52

NF_CSN1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0D0		muxctrl_reg52		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 52
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg52	NF_CSN1 管脚的具体复用情况。 0: NF_CSN1; 1: GPIO12_6。						

muxctrl_reg53

NF_RDY0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0D4		muxctrl_reg53		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 53
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg53	NF_RDY0 管脚的具体复用情况。 0: NF_RDY0; 1: 保留。						

muxctrl_reg54

NF_RDY1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0D8		muxctrl_reg54		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 54
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg54	NF_RDY1 管脚的具体复用情况。 0: NF_RDY1; 1: 保留。						

muxctrl_reg55

USB2_OVRCUR0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0DC		muxctrl_reg55		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 55
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg55	USB2_OVRCUR0 管脚的具体复用情况。 0: GPIO5_0; 1: USB2_OVRCUR0。						

muxctrl_reg56

USB2_PWREN0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0E0		muxctrl_reg56		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 56
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg56	USB2_PWREN0 管脚的具体复用情况。 0: GPIO5_1; 1: USB2_PWREN0。						

muxctrl_reg57

USB2_OVRCUR1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0E4		muxctrl_reg57		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 57
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg57	USB2_OVRCUR1 管脚的具体复用情况。 0: GPIO5_2; 1: USB2_OVRCUR1。						

muxctrl_reg58

USB2_PWREN1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0E8		muxctrl_reg58		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 58
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg58	USB2_PWREN1 管脚的具体复用情况。 0: GPIO5_3; 1: USB2_PWREN1。						

muxctrl_reg59

USB3_OVRCUR 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0EC		muxctrl_reg59		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 59
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg59	USB3_OVRCUR 管脚的具体复用情况。 0: GPIO5_4; 1: USB3_OVRCUR。						

muxctrl_reg60

USB3_PWREN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0F0		muxctrl_reg60		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 60
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg60	USB3_PWREN 管脚的具体复用情况。 0: GPIO5_5; 1: USB3_PWREN。						

muxctrl_reg61

HDMI_HOTPLUG 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0F4		muxctrl_reg61		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg61
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg61	HDMI_HOTPLUG 管脚的具体复用情况。 0: GPIO6_0; 1: HDMI_HOTPLUG。						

muxctrl_reg62

HDMI_CEC 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0F8		muxctrl_reg62		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg62
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg62	HDMI_CEC 管脚的具体复用情况。 0: GPIO6_1; 1: HDMI_CEC。						

muxctrl_reg63

HDMI_SDA 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0FC		muxctrl_reg63		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 63
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg63	HDMI_SDA 管脚的具体复用情况。 0: GPIO6_2; 1: HDMI_SDA。						

muxctrl_reg64

HDMI_SCL 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x100		muxctrl_reg64		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 64
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg64	HDMI_SCL 管脚的具体复用情况。 0: GPIO6_3; 1: HDMI_SCL。						

muxctrl_reg65

UART0_RTSTN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x104		muxctrl_reg65		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 65
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg65	UART0_RTSN 管脚的具体复用情况。 0: UART0_RTSN; 1: GPIO6_4。						

muxctrl_reg66

UART0_CTSN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x108		muxctrl_reg66		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 66
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg66	UART0_CTSN 管脚的具体复用情况。 0: UART0_CTSN; 1: GPIO6_5。						

muxctrl_reg67

UART1_RTSN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x10C		muxctrl_reg67		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg67
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg67	UART1_RTSEN 管脚的具体复用情况。 0: GPIO7_0; 1: UART1_RTSEN。						

muxctrl_reg68

UART1_RXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x110		muxctrl_reg68		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg68
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg68	UART1_RXD 管脚的具体复用情况。 0: GPIO7_1; 1: UART1_RXD。						

muxctrl_reg69

UART1_CTSN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x114		muxctrl_reg69		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 69
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg69	UART1_CTSN 管脚的具体复用情况。 0: GPIO7_2; 1: UART1_CTSN。						

muxctrl_reg70

UART1_TXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x118		muxctrl_reg70		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 70
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg70	UART1_TXD 管脚的具体复用情况。 0: GPIO7_3; 1: UART1_TXD。						

muxctrl_reg71

UART2_RXD 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x11C		muxctrl_reg71		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg71
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg71	UART2_RXD 管脚的具体复用情况。 0: GPIO7_4; 1: UART2_RXD。						

muxctrl_reg72

UART2_TXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x120		muxctrl_reg72		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg72
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg72	UART2_TXD 管脚的具体复用情况。 0: GPIO7_5; 1: UART2_TXD。						

muxctrl_reg73

UART3_RXD 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x124		muxctrl_reg73		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 73
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg73	UART3_RXD 管脚的具体复用情况。 0: GPIO7_6; 1: UART3_RXD。						

muxctrl_reg74

UART3_TXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x128		muxctrl_reg74		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 74
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg74	UART3_TXD 管脚的具体复用情况。 0: GPIO7_7; 1: UART3_TXD。						

muxctrl_reg75

SATA_LED_N0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x12C		muxctrl_reg75		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 75
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg75	SATA_LED_N0 管脚的具体复用情况。 0: GPIO11_4; 1: SATA_LED_N0。						

muxctrl_reg76

SATA_LED_N1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x130		muxctrl_reg76		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 76
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg76	SATA_LED_N1 管脚的具体复用情况。 0: GPIO11_5; 1: SATA_LED_N1。						

muxctrl_reg77

SATA_LED_N2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x134		muxctrl_reg77		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg77
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg77	SATA_LED_N2 管脚的具体复用情况。 0: GPIO11_6; 1: SATA_LED_N2。						

muxctrl_reg78

I2C_SDA 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x138		muxctrl_reg78		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg78
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg78	I2C_SDA 管脚的具体复用情况。 0: GPIO5_6; 1: I2C_SDA。						

muxctrl_reg79

I2C_SCL 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x13C		muxctrl_reg79		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg79
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg79	I2C_SCL 管脚的具体复用情况。 0: GPIO5_7; 1: I2C_SCL。						

muxctrl_reg80

PWM_SVB0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x140		muxctrl_reg80		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg80
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg80	PWM_SVB0 管脚的具体复用情况。 0: PWM_SVB0; 1: GPIO11_0。						

muxctrl_reg81

PWM_SVB1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x144		muxctrl_reg81		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 81
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg81	PWM_SVB1 管脚的具体复用情况。 0: PWM_SVB1; 1: GPIO11_1。						

muxctrl_reg82

GPIO0_5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x148		muxctrl_reg82		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 82
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg82	GPIO0_5 管脚的具体复用情况。 0: GPIO0_5; 1: TEMPER_DQ。						

muxctrl_reg83

GPIO0_6 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x14C		muxctrl_reg83		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 83
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg83	GPIO0_6 管脚的具体复用情况。 0: GPIO0_6; 1: EPHY0_CLK。						

muxctrl_reg84

GPIO0_7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x150		muxctrl_reg84		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 84
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg84	GPIO0_7 管脚的具体复用情况。 0: GPIO0_7; 1: EPHY1_CLK。						

muxctrl_reg85

VOU1120_DATA0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x154		muxctrl_reg85		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 85
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg85	VOU1120_DATA0 管脚的具体复用情况。 00: GPIO13_0; 01: VOU1120_DATA0; 其它: 保留。						

muxctrl_reg86

VOU1120_DATA1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x158		muxctrl_reg86		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 86
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg86	VOU1120_DATA1 管脚的具体复用情况。 00: GPIO13_1; 01: VOU1120_DATA1; 其它: 保留。						

muxctrl_reg87

VOU1120_DATA2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x15C		muxctrl_reg87		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 87
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg87	VOU1120_DATA2 管脚的具体复用情况。 00: GPIO13_2; 01: VOU1120_DATA2; 10: AIO_SD_RX; 其它: 保留。						

muxctrl_reg88

VOU1120_DATA3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x160		muxctrl_reg88		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 88
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg88	VOU1120_DATA3 管脚的具体复用情况。 00: GPIO13_3; 01: VOU1120_DATA3; 10: AIO_SD_TX; 其它: 保留。						

muxctrl_reg89

VOU1120_DATA4 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x164		muxctrl_reg89		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 89
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg89	VOU1120_DATA4 管脚的具体复用情况。 00: GPIO13_4; 01: VOU1120_DATA4; 10: AIO_WS_TX; 其它: 保留。						

muxctrl_reg90

VOU1120_DATA5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x168		muxctrl_reg90		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 90
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg90	VOU1120_DATA5 管脚的具体复用情况。 00: GPIO13_5; 01: VOU1120_DATA5; 10: AIO_BCLK_TX; 其它: 保留。						

muxctrl_reg91

VOU1120_DATA6 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x16C		muxctrl_reg91		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 91
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg91	VOU1120_DATA6 管脚的具体复用情况。 00: GPIO13_6; 01: VOU1120_DATA6; 10: AIO_WS_RX; 其它: 保留。						

muxctrl_reg92

VOU1120_DATA7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x170		muxctrl_reg92		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 92
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg92	VOU1120_DATA7 管脚的具体复用情况。 00: 保留; 01: VOU1120_DATA7; 10: AIO_MCLK; 11: BOOT_SEL0。						

muxctrl_reg93

VOU1120_DATA8 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x174		muxctrl_reg93		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 93
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg93	VOU1120_DATA8 管脚的具体复用情况。 00: GPIO14_0; 01: VOU1120_DATA8; 其它: 保留。						

muxctrl_reg94

VOU1120_DATA9 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x178		muxctrl_reg94		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 94
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg94	VOU1120_DATA9 管脚的具体复用情况。 00: GPIO14_1; 01: VOU1120_DATA9; 其它: 保留。						

muxctrl_reg95

VOU1120_DATA10 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x17C		muxctrl_reg95		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 95
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg95	VOU1120_DATA10 管脚的具体复用情况。 01: VOU1120_DATA10; 10: BOOT_SEL1; 其它: 保留。						

muxctrl_reg96

VOU1120_DATA11 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x180		muxctrl_reg96		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 96
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg96	VOU1120_DATA11 管脚的具体复用情况。 00: GPIO14_3; 01: VOU1120_DATA11; 其它: 保留。						

muxctrl_reg97

VOU1120_DATA12 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x184		muxctrl_reg97		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 97
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg97	VOU1120_DATA12 管脚的具体复用情况。 00: GPIO14_4; 01: VOU1120_DATA12; 其它: 保留。						

muxctrl_reg98

VOU1120_DATA13 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x188		muxctrl_reg98		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 98
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg98	VOU1120_DATA13 管脚的具体复用情况。 00: GPIO14_5; 01: VOU1120_DATA13; 10: AIO_BCLK_RX; 其它: 保留。						

muxctrl_reg99

VOU1120_DATA14 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x18C		muxctrl_reg99		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 99
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg99	VOU1120_DATA14 管脚的具体复用情况。 00: GPIO14_6; 01: VOU1120_DATA14; 其它: 保留。						

muxctrl_reg100

VOU1120_DATA15 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x190		muxctrl_reg100		0x00000000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 100
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg100	VOU1120_DATA15 管脚的具体复用情况。 00: GPIO14_7; 01: VOU1120_DATA15; 其它: 保留。						

muxctrl_reg101

VOU1120_CLK 管脚复用控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x194				muxctrl_reg101				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										muxctrl_reg101					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[1:0]	RW	muxctrl_reg101		VOU1120_CLK 管脚的具体复用情况。 00: GPIO12_7; 01: VOU1120_CLK; 其它: 保留。																											

2.4 管脚驱动能力寄存器

2.4.1 管脚驱动能力寄存器概览

管脚驱动能力寄存器概览如表 2-34 所示。

表2-34 IO 寄存器概览（基址是 0x200F_0800）

偏移地址	名称	描述	页码
0x0000	PADCTRL_REG0	VGA_HS 管脚驱动能力寄存器	2-114
0x0004	PADCTRL_REG1	VGA_VS 管脚驱动能力寄存器	2-115
0x0008	PADCTRL_REG2	RGMII0_RXDV 管脚驱动能力寄存器	2-116
0x000C	PADCTRL_REG3	RGMII0_RXD0 管脚驱动能力寄存器	2-117
0x0010	PADCTRL_REG4	RGMII0_RXD1 管脚驱动能力寄存器	2-117
0x0014	PADCTRL_REG5	RGMII0_RXD2 管脚驱动能力寄存器	2-118
0x0018	PADCTRL_REG6	RGMII0_RXD3 管脚驱动能力寄存器	2-119
0x001C	PADCTRL_REG7	RGMII0_TXD0 管脚驱动能力寄存器	2-120
0x0020	PADCTRL_REG8	RGMII0_TXD1 管脚驱动能力寄存器	2-121
0x0024	PADCTRL_REG9	RGMII0_TXD2 管脚驱动能力寄存器	2-122
0x0028	PADCTRL_REG10	RGMII0_TXD3 管脚驱动能力寄存器	2-123



偏移地址	名称	描述	页码
0x002C	PADCTRL_REG11	RGMII0_RXCK 管脚驱动能力寄存器	2-124
0x0030	PADCTRL_REG12	RGMII0_TXEN 管脚驱动能力寄存器	2-125
0x0034	PADCTRL_REG13	RGMII0_TXCK 管脚驱动能力寄存器	2-126
0x0038	PADCTRL_REG14	RGMII0_TXCKOUT 管脚驱动能力寄存器	2-127
0x003C	PADCTRL_REG15	RGMII0_CRS 管脚驱动能力寄存器	2-128
0x0040	PADCTRL_REG16	RGMII0_COL 管脚驱动能力寄存器	2-129
0x0044	PADCTRL_REG17	RGMII0_RXER 管脚驱动能力寄存器	2-130
0x0048	PADCTRL_REG18	RGMII0_TXER 管脚驱动能力寄存器	2-131
0x004C	PADCTRL_REG19	RGMII1_RXDV 管脚驱动能力寄存器	2-132
0x0050	PADCTRL_REG20	RGMII1_RXD0 管脚驱动能力寄存器	2-133
0x0054	PADCTRL_REG21	RGMII1_RXD1 管脚驱动能力寄存器	2-134
0x0058	PADCTRL_REG22	RGMII1_RXD2 管脚驱动能力寄存器	2-135
0x005C	PADCTRL_REG23	RGMII1_RXD3 管脚驱动能力寄存器	2-136
0x0060	PADCTRL_REG24	RGMII1_TXD0 管脚驱动能力寄存器	2-137
0x0064	PADCTRL_REG25	RGMII1_TXD1 管脚驱动能力寄存器	2-138
0x0068	PADCTRL_REG26	RGMII1_TXD2 管脚驱动能力寄存器	2-139
0x006C	PADCTRL_REG27	RGMII1_TXD3 管脚驱动能力寄存器	2-140
0x0070	PADCTRL_REG28	RGMII1_RXCK 管脚驱动能力寄存器	2-141
0x0074	PADCTRL_REG29	RGMII1_TXEN 管脚驱动能力寄存器	2-142
0x0078	PADCTRL_REG30	RGMII1_TXCK 管脚驱动能力寄存器	2-143
0x007C	PADCTRL_REG31	RGMII1_TXCKOUT 管脚驱动能力寄存器	2-144
0x0080	PADCTRL_REG32	RGMII1_CRS 管脚驱动能力寄存器	2-145
0x0084	PADCTRL_REG33	RGMII1_COL 管脚驱动能力寄存器	2-146
0x0088	PADCTRL_REG34	RGMII1_RXER 管脚驱动能力寄存器	2-147
0x008C	PADCTRL_REG35	RGMII1_TXER 管脚驱动能力寄存器	2-148
0x0090	PADCTRL_REG36	MDCK 管脚驱动能力寄存器	2-149
0x0094	PADCTRL_REG37	MDIO 管脚驱动能力寄存器	2-150



偏移地址	名称	描述	页码
0x0098	PADCTRL_REG38	IR_IN 管脚驱动能力寄存器	2-151
0x009C	PADCTRL_REG39	SFC_DIO 管脚驱动能力寄存器	2-152
0x00A0	PADCTRL_REG40	SFC_WP_IO2 管脚驱动能力寄存器	2-152
0x00A4	PADCTRL_REG41	SFC_CLK 管脚驱动能力寄存器	2-153
0x00A8	PADCTRL_REG42	SFC_DOI 管脚驱动能力寄存器	2-154
0x00AC	PADCTRL_REG43	SFC_HOLD_IO3 管脚驱动能力寄存器	2-155
0x00B0	PADCTRL_REG44	SFC_CS0N 管脚驱动能力寄存器	2-155
0x00B4	PADCTRL_REG45	SFC_CS1N 管脚驱动能力寄存器	2-156
0x00B8	PADCTRL_REG46	NF_DQ0 管脚驱动能力寄存器	2-157
0x00BC	PADCTRL_REG47	NF_DQ1 管脚驱动能力寄存器	2-158
0x00C0	PADCTRL_REG48	NF_DQ2 管脚驱动能力寄存器	2-158
0x00C4	PADCTRL_REG49	NF_DQ3 管脚驱动能力寄存器	2-159
0x00C8	PADCTRL_REG50	NF_DQ4 管脚驱动能力寄存器	2-160
0x00CC	PADCTRL_REG51	NF_DQ5 管脚驱动能力寄存器	2-161
0x00D0	PADCTRL_REG52	NF_DQ6 管脚驱动能力寄存器	2-161
0x00D4	PADCTRL_REG53	NF_DQ7 管脚驱动能力寄存器	2-162
0x00D8	PADCTRL_REG54	NF_CSN0 管脚驱动能力寄存器	2-163
0x00DC	PADCTRL_REG55	NF_CSN1 管脚驱动能力寄存器	2-164
0x00E0	PADCTRL_REG56	NF_RDY0 管脚驱动能力寄存器	2-164
0x00E4	PADCTRL_REG57	NF_RDY1 管脚驱动能力寄存器	2-165
0x00E8	PADCTRL_REG58	NF_REN 管脚驱动能力寄存器	2-166
0x00EC	PADCTRL_REG59	NF_CLE 管脚驱动能力寄存器	2-167
0x00F0	PADCTRL_REG60	NF_ALE 管脚驱动能力寄存器	2-167
0x00F4	PADCTRL_REG61	NF_WEN 管脚驱动能力寄存器	2-168
0x00F8	PADCTRL_REG62	JTAG_EN 管脚驱动能力寄存器	2-169
0x00FC	PADCTRL_REG63	JTAG_TRSTN 管脚驱动能力寄存器	2-170
0x0100	PADCTRL_REG64	JTAG_TCK 管脚驱动能力寄存器	2-170
0x0104	PADCTRL_REG65	JTAG_TMS 管脚驱动能力寄存器	2-171
0x0108	PADCTRL_REG66	JTAG_TDO 管脚驱动能力寄存器	2-172



偏移地址	名称	描述	页码
0x010C	PADCTRL_REG67	JTAG_TDI 管脚驱动能力寄存器	2-173
0x0110	PADCTRL_REG68	RSTN 管脚驱动能力寄存器	2-173
0x0114	PADCTRL_REG69	WDG_RSTN 管脚驱动能力寄存器	2-174
0x0118	PADCTRL_REG70	TEST_MODE 管脚驱动能力寄存器	2-175
0x011C	PADCTRL_REG71	USB2_OVRCUR0 管脚驱动能力寄存器	2-176
0x0120	PADCTRL_REG72	USB2_PWREN0 管脚驱动能力寄存器	2-176
0x0124	PADCTRL_REG73	USB2_OVRCUR1 管脚驱动能力寄存器	2-177
0x0128	PADCTRL_REG74	USB2_PWREN1 管脚驱动能力寄存器	2-178
0x012C	PADCTRL_REG75	USB3_OVRCUR 管脚驱动能力寄存器	2-179
0x0130	PADCTRL_REG76	USB3_PWREN 管脚驱动能力寄存器	2-180
0x0134	PADCTRL_REG77	HDMI_HOTPLUG 管脚驱动能力寄存器	2-181
0x0138	PADCTRL_REG78	HDMI_CEC 管脚驱动能力寄存器	2-182
0x013C	PADCTRL_REG79	HDMI_SDA 管脚驱动能力寄存器	2-183
0x0140	PADCTRL_REG80	HDMI_SCL 管脚驱动能力寄存器	2-184
0x0144	PADCTRL_REG81	UART0_RTSN 管脚驱动能力寄存器	2-185
0x0148	PADCTRL_REG82	UART0_RXD 管脚驱动能力寄存器	2-185
0x014C	PADCTRL_REG83	UART0_TXD 管脚驱动能力寄存器	2-186
0x0150	PADCTRL_REG84	UART0_CTSN 管脚驱动能力寄存器	2-187
0x0154	PADCTRL_REG85	UART1_RTSN 管脚驱动能力寄存器	2-188
0x0158	PADCTRL_REG86	UART1_RXD 管脚驱动能力寄存器	2-189
0x015C	PADCTRL_REG87	UART1_CTSN 管脚驱动能力寄存器	2-190
0x0160	PADCTRL_REG88	UART1_TXD 管脚驱动能力寄存器	2-191
0x0164	PADCTRL_REG89	UART2_RXD 管脚驱动能力寄存器	2-192
0x0168	PADCTRL_REG90	UART2_TXD 管脚驱动能力寄存器	2-193
0x016C	PADCTRL_REG91	UART3_RXD 管脚驱动能力寄存器	2-194
0x0170	PADCTRL_REG92	UART3_TXD 管脚驱动能力寄存器	2-195
0x0174	PADCTRL_REG93	SATA_LED_N0 管脚驱动能力寄存器	2-196
0x0178	PADCTRL_REG94	SATA_LED_N1 管脚驱动能力寄存器	2-197
0x017C	PADCTRL_REG95	SATA_LED_N2 管脚驱动能力寄存器	2-198



偏移地址	名称	描述	页码
0x0180	PADCTRL_REG96	I2C_SDA 管脚驱动能力寄存器	2-199
0x0184	PADCTRL_REG97	I2C_SCL 管脚驱动能力寄存器	2-200
0x0188	PADCTRL_REG98	PWM_SVB0 管脚驱动能力寄存器	2-201
0x018C	PADCTRL_REG99	PWM_SVB1 管脚驱动能力寄存器	2-202
0x0190	PADCTRL_REG100	GPIO0_0 管脚驱动能力寄存器	2-202
0x0194	PADCTRL_REG101	GPIO0_1 管脚驱动能力寄存器	2-203
0x0198	PADCTRL_REG102	GPIO0_2 管脚驱动能力寄存器	2-204
0x019C	PADCTRL_REG103	GPIO0_3 管脚驱动能力寄存器	2-205
0x01A0	PADCTRL_REG104	GPIO0_4 管脚驱动能力寄存器	2-205
0x01A4	PADCTRL_REG105	GPIO0_5 管脚驱动能力寄存器	2-206
0x01A8	PADCTRL_REG106	GPIO0_6 管脚驱动能力寄存器	2-207
0x01AC	PADCTRL_REG107	GPIO0_7 管脚驱动能力寄存器	2-208
0x01B0	PADCTRL_REG108	GPIO1_0 管脚驱动能力寄存器	2-208
0x01B4	PADCTRL_REG109	GPIO1_1 管脚驱动能力寄存器	2-209
0x01B8	PADCTRL_REG110	GPIO1_2 管脚驱动能力寄存器	2-210
0x01BC	PADCTRL_REG111	GPIO1_3 管脚驱动能力寄存器	2-211
0x01C0	PADCTRL_REG112	GPIO1_4 管脚驱动能力寄存器	2-211
0x01C4	PADCTRL_REG113	GPIO1_5 管脚驱动能力寄存器	2-212
0x01C8	PADCTRL_REG114	GPIO1_6 管脚驱动能力寄存器	2-213
0x01CC	PADCTRL_REG115	GPIO1_7 管脚驱动能力寄存器	2-214
0x01D0	PADCTRL_REG116	VOU1120_DATA0 管脚驱动能力寄存器	2-214
0x01D4	PADCTRL_REG117	VOU1120_DATA1 管脚驱动能力寄存器	2-215
0x01D8	PADCTRL_REG118	VOU1120_DATA2 管脚驱动能力寄存器	2-216
0x01DC	PADCTRL_REG119	VOU1120_DATA3 管脚驱动能力寄存器	2-217
0x01E0	PADCTRL_REG120	VOU1120_DATA4 管脚驱动能力寄存器	2-218
0x01E4	PADCTRL_REG121	VOU1120_DATA5 管脚驱动能力寄存器	2-219
0x01E8	PADCTRL_REG122	VOU1120_DATA6 管脚驱动能力寄存器	2-220
0x01EC	PADCTRL_REG123	VOU1120_DATA7 管脚驱动能力寄存器	2-221
0x01F0	PADCTRL_REG124	VOU1120_DATA8 管脚驱动能力寄存器	2-222



偏移地址	名称	描述	页码
0x01F4	PADCTRL_REG125	VOU1120_DATA9 管脚驱动能力寄存器	2-223
0x01F8	PADCTRL_REG126	VOU1120_DATA10 管脚驱动能力寄存器	2-224
0x01FC	PADCTRL_REG127	VOU1120_DATA11 管脚驱动能力寄存器	2-225
0x0200	PADCTRL_REG128	VOU1120_DATA12 管脚驱动能力寄存器	2-226
0x0204	PADCTRL_REG129	VOU1120_DATA13 管脚驱动能力寄存器	2-227
0x0208	PADCTRL_REG130	VOU1120_DATA14 管脚驱动能力寄存器	2-228
0x020C	PADCTRL_REG131	VOU1120_DATA15 管脚驱动能力寄存器	2-229
0x0210	PADCTRL_REG132	VOU1120_CLK 管脚驱动能力寄存器	2-230

2.4.2 管脚驱动能力寄存器描述

PADCTRL_REG0

PADCTRL_REG0 为 VGA_HS 管脚驱动能力寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x0000	PADCTRL_REG0	0x0000_0058						
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0								
Name	reserved						vga_hs_ds	vga_hs_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	1 0 0 0	0	
	Bits	Access	Name	Description					
	[31:7]	RO	reserved	保留。					



[6:4]	RW	vga_hs_ds	VGA_HS 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。
[3]	RW	vga_hs_sl	VGA_HS 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG1

PADCTRL_REG1 为 VGA_VS 管脚驱动能力寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0004				PADCTRL_REG1								0x0000_0058																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				vga_vs_ds				vga_vs_sl		reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	[31:7]		Access	RO	Name		reserved		Description																		保留。					



[6:4]	RW	vga_vs_ds	VGA_VS 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。
[3]	RW	vga_vs_sl	VGA_VS 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG2

PADCTRL_REG2 为 RGMII0_RXDV 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0008				PADCTRL_REG2				0x0000_0010																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				rgmii0_rxdv_ds		rgmii0_rxdv_sl		reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		rgmii0_rxdv_ds		RGMII0_RXDV 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											



[3]	RW	rgmii0_rxdv_sl	RGMII0_RXDV 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG3

PADCTRL_REG3 为 RGMII0_RXD0 管脚驱动能力寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x000C				PADCTRL_REG3								0x0000_0010																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				rgmii0_rxd0_ds		rgmii0_rxd0_sl		reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		rgmii0_rxd0_ds		RGMII0_RXD0 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		rgmii0_rxd0_sl		RGMII0_RXD0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG4

PADCTRL_REG4 为 RGMII0_RXD1 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0010		PADCTRL_REG4		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii0_rxd1_ds		rgmii0_rxd1_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	rgmii0_rxd1_ds	RGMII0_RXD1 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	rgmii0_rxd1_sl	RGMII0_RXD1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG5

PADCTRL_REG5 为 RGMII0_RXD2 管脚驱动能力寄存器。



	Offset Address 0x0014								Register Name PADCTRL_REG5								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii0_rxd2_ds	rgmii0_rxd2_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	rgmii0_rxd2_ds	RGMII0_RXD2 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																												
	[3]	RW	rgmii0_rxd2_sl	RGMII0_RXD2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG6

PADCTRL_REG6 为 RGMII0_RXD3 管脚驱动能力寄存器。



	Offset Address 0x0018								Register Name PADCTRL_REG6								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii0_rxd3_ds	rgmii0_rxd3_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	rgmii0_rxd3_ds	RGMII0_RXD3 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																												
	[3]	RW	rgmii0_rxd3_sl	RGMII0_RXD3 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG7

PADCTRL_REG7 为 RGMII0_TXD0 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x001C		PADCTRL_REG7		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii0_txd0_ds				rgmii0_txd0_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii0_txd0_ds	RGMII0_TXD0 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii0_txd0_sl	RGMII0_TXD0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG8

PADCTRL_REG8 为 RGMII0_TXD1 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0020		PADCTRL_REG8		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii0_txd1_ds				rgmii0_txd1_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii0_txd1_ds	RGMII0_TXD1 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii0_txd1_sl	RGMII0_TXD1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG9

PADCTRL_REG9 为 RGMII0_TXD2 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0024		PADCTRL_REG9		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii0_txd2_ds	rgmii0_txd2_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii0_txd2_ds	RGMII0_TXD2 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii0_txd2_sl	RGMII0_TXD2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG10

PADCTRL_REG10 为 RGMII0_TXD3 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0028		PADCTRL_REG10		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															rgmii0_txd3_ds		rgmii0_txd3_sl		reserved												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii0_txd3_ds	RGMII0_TXD3 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii0_txd3_sl	RGMII0_TXD3 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG11

PADCTRL_REG11 为 RGMII0_RXCK 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x002C		PADCTRL_REG11		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii0_rxck_ds		rgmii0_rxck_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	rgmii0_rxck_ds	RGMII0_RXCK 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	rgmii0_rxck_sl	RGMII0_RXCK 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG12

PADCTRL_REG12 为 RGMII0_TXEN 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																																		
0x0030		PADCTRL_REG12		0x0000_0058																																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved																								rgmii0_txen_ds		rgmii0_txen_sl		reserved									
Reset	0 0 0 0																								0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 1 0 1		1 0 0 0	
Bits	Access	Name	Description																																			
[31:7]	RO	reserved	保留。																																			
[6:4]	RW	rgmii0_txen_ds	RGMII0_TXEN 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																																			
[3]	RW	rgmii0_txen_sl	RGMII0_TXEN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																																			
[2:0]	RO	reserved	保留。																																			

PADCTRL_REG13

PADCTRL_REG13 为 RGMII0_TXCK 管脚驱动能力寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0034				PADCTRL_REG13								0x0000_0010																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii0_txck_ds	rgmii0_txck_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	rgmii0_txck_ds	RGMII0_TXCK 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																												
	[3]	RW	rgmii0_txck_sl	RGMII0_TXCK 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG14

PADCTRL_REG14 为 RGMII0_TXCKOUT 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0038		PADCTRL_REG14		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii0_txckout_ds				rgmii0_txckout_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii0_txckout_ds	RGMII0_TXCKOUT 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii0_txckout_sl	RGMII0_TXCKOUT 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG15

PADCTRL_REG15 为 RGMII0_CRS 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x003C		PADCTRL_REG15		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii0_crs_ds		rgmii0_crs_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		rgmii0_crs_ds		RGMII0_CRCS 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		rgmii0_crs_sl		RGMII0_CRCS 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG16

PADCTRL_REG16 为 RGMII0_COL 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0040		PADCTRL_REG16		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii0_col_ds		rgmii0_col_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	rgmii0_col_ds	RGMII0_COL 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	rgmii0_col_sl	RGMII0_COL 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG17

PADCTRL_REG17 为 RGMII0_RXER 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0044		PADCTRL_REG17		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii0_rxer_ds		rgmii0_rxer_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	rgmii0_rxer_ds	RGMII0_RXER 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	rgmii0_rxer_sl	RGMII0_RXER 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG18

PADCTRL_REG18 为 RGMII0_TXER 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0048		PADCTRL_REG18		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii0_txer_ds		rgmii0_txer_sl		reserved			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 0 1		1 0 0 0									
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii0_txer_ds	RGMII0_TXER 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii0_txer_sl	RGMII0_TXER 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG19

PADCTRL_REG19 为 RGMII1_RXDV 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x004C		PADCTRL_REG19		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii1_rxdv_ds		rgmii1_rxdv_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	rgmii1_rxdv_ds	RGMII1_RXDV 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	rgmii1_rxdv_sl	RGMII1_RXDV 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG20

PADCTRL_REG20 为 RGMII1_RXD0 管脚驱动能力寄存器。



	Offset Address 0x0050								Register Name PADCTRL_REG20								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_rxd0_ds	rgmii1_rxd0_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	rgmii1_rxd0_ds	RGMII1_RXD0 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																												
	[3]	RW	rgmii1_rxd0_sl	RGMII1_RXD0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG21

PADCTRL_REG21 为 RGMII1_RXD1 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0054		PADCTRL_REG21		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_rxd1_ds	rgmii1_rxd1_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	rgmii1_rxd1_ds	RGMII1_RXD1 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	rgmii1_rxd1_sl	RGMII1_RXD1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG22

PADCTRL_REG22 为 RGMII1_RXD2 管脚驱动能力寄存器。



	Offset Address 0x0058								Register Name PADCTRL_REG22								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_rxd2_ds	rgmii1_rxd2_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	rgmii1_rxd2_ds	RGMII1_RXD2 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																												
	[3]	RW	rgmii1_rxd2_sl	RGMII1_RXD2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG23

PADCTRL_REG23 为 RGMII1_RXD3 管脚驱动能力寄存器。



	Offset Address 0x005C								Register Name PADCTRL_REG23								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_rxd3_ds	rgmii1_rxd3_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	rgmii1_rxd3_ds	RGMII1_RXD3 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																												
	[3]	RW	rgmii1_rxd3_sl	RGMII1_RXD3 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG24

PADCTRL_REG24 为 RGMII1_TXD0 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0060		PADCTRL_REG24		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															rgmii1_txd0_ds				rgmii1_txd0_sl		reserved										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii1_txd0_ds	RGMII1_TXD0 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii1_txd0_sl	RGMII1_TXD0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG25

PADCTRL_REG25 为 RGMII1_TXD1 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0064		PADCTRL_REG25		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_txd1_ds	rgmii1_txd1_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii1_txd1_ds	RGMII1_TXD1 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii1_txd1_sl	RGMII1_TXD1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG26

PADCTRL_REG26 为 RGMII1_TXD2 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0068		PADCTRL_REG26		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_txd2_ds				rgmii1_txd2_sl		reserved	
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 0 1				1 0		0 0					
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii1_txd2_ds	RGMII1_TXD2 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii1_txd2_sl	RGMII1_TXD2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG27

PADCTRL_REG27 为 RGMII1_TXD3 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x006C		PADCTRL_REG27		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii1_txd3_ds				rgmii1_txd3_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii1_txd3_ds	RGMII1_TXD3 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii1_txd3_sl	RGMII1_TXD3 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG28

PADCTRL_REG28 为 RGMII1_RXCK 管脚驱动能力寄存器。



	Offset Address 0x0070								Register Name PADCTRL_REG28								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_rxck_ds	rgmii1_rxck_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	rgmii1_rxck_ds	RGMII1_RXCK 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																												
	[3]	RW	rgmii1_rxck_sl	RGMII1_RXCK 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG29

PADCTRL_REG29 为 RGMII1_TXEN 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0074		PADCTRL_REG29		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_txen_ds				rgmii1_txen_sl		reserved	
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 0 1				1 0 0 0							
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii1_txen_ds	RGMII1_TXEN 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii1_txen_sl	RGMII1_TXEN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG30

PADCTRL_REG30 为 RGMII1_TXCK 管脚驱动能力寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0078				PADCTRL_REG30								0x0000_0010																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_txck_ds	rgmii1_txck_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	rgmii1_txck_ds	RGMII1_TXCK 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																												
	[3]	RW	rgmii1_txck_sl	RGMII1_TXCK 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG31

PADCTRL_REG31 为 RGMII1_TXCKOUT 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x007C		PADCTRL_REG31		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii1_txckout_ds				rgmii1_txckout_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii1_txckout_ds	RGMII1_TXCKOUT 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii1_txckout_sl	RGMII1_TXCKOUT 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG32

PADCTRL_REG32 为 RGMII1_CRS 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0080		PADCTRL_REG32		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii1_crs_ds		rgmii1_crs_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	rgmii1_crs_ds	RGMII1_CRCS 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	rgmii1_crs_sl	RGMII1_CRCS 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG33

PADCTRL_REG33 为 RGMII1_COL 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0084		PADCTRL_REG33		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														rgmii1_col_ds		rgmii1_col_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	rgmii1_col_ds	RGMII1_COL 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	rgmii1_col_sl	RGMII1_COL 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG34

PADCTRL_REG34 为 RGMII1_RXER 管脚驱动能力寄存器。



	Offset Address 0x0088								Register Name PADCTRL_REG34								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_rxer_ds	rgmii1_rxer_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											
	[5:4]	RW	rgmii1_rxer_ds		RGMII1_RXER 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
	[3]	RW	rgmii1_rxer_sl		RGMII1_RXER 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
	[2:0]	RO	reserved		保留。																											

PADCTRL_REG35

PADCTRL_REG35 为 RGMII1_TXER 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x008C		PADCTRL_REG35		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rgmii1_txer_ds		rgmii1_txer_sl		reserved			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 0 1		1 0 0 0									
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	rgmii1_txer_ds	RGMII1_TXER 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	rgmii1_txer_sl	RGMII1_TXER 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG36

PADCTRL_REG36 为 MDCK 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0090		PADCTRL_REG36		0x0000_0020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														mdck_ds		mdck_sl		reserved													
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 1 0		0 0 0 0									
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	mdck_ds	MDCK 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	mdck_sl	MDCK 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG37

PADCTRL_REG37 为 MDIO 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0094		PADCTRL_REG37		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														mdio_ds		mdio_sl		reserved													
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 1		0 0 0 0									
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													



[5:4]	RW	mdio_ds	MDIO 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。
[3]	RW	mdio_sl	MDIO 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG38

PADCTRL_REG38 为 IR_IN 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x0098								PADCTRL_REG38								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								ir_in_ds		ir_in_sl		reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											
	[5:4]	RW	ir_in_ds		IR_IN 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
	[3]	RW	ir_in_sl		IR_IN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
	[2:0]	RO	reserved		保留。																											



PADCTRL_REG39

PADCTRL_REG39 为 SFC_DIO 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x009C								PADCTRL_REG39								0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sfc_dio_ds	sfc_dio_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	[31:6]		[5:4]		[3]		[2:0]																									
Access	RO		RW		RW		RO																									
Name	reserved		sfc_dio_ds		sfc_dio_sl		reserved																									
Description	保留。		SFC_DIO 管脚驱动电流控制。 00: 4.7mA; 01: 9.3mA; 10: 14mA; 11: 18.3mA。		SFC_DIO 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。		保留。																									

PADCTRL_REG40

PADCTRL_REG40 为 SFC_WP_IO2 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x00A0		PADCTRL_REG40		0x0000_0010						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							sfc_wp_io2_ds	sfc_wp_io2_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	sfc_wp_io2_ds	SFC_WP_IO2 管脚驱动电流控制。 00: 4.7mA; 01: 9.3mA; 10: 14mA; 11: 18.3mA。							
[3]	RW	sfc_wp_io2_sl	SFC_WP_IO2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG41

PADCTRL_REG41 为 SFC_CLK 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x00A4		PADCTRL_REG41		0x0000_0020						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							sfc_clk_ds	sfc_clk_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	sfc_clk_ds	SFC_CLK 管脚驱动电流控制。 00: 4.7mA; 01: 9.3mA; 10: 14mA; 11: 18.3mA。
[3]	RW	sfc_clk_sl	SFC_CLK 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG42

PADCTRL_REG42 为 SFC_DOI 管脚驱动能力寄存器。

	Offset Address 0x00A8								Register Name PADCTRL_REG42								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sfc_doi_ds	sfc_doi_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		sfc_doi_ds		SFC_DOI 管脚驱动电流控制。 00: 4.7mA; 01: 9.3mA; 10: 14mA; 11: 18.3mA。																											
[3]	RW		sfc_doi_sl		SFC_DOI 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG43

PADCTRL_REG43 为 SFC_HOLD_IO3 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00AC				PADCTRL_REG43				0x0000_0010																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sfc_hold_io3_ds		sfc_hold_io3_sl		reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		sfc_hold_io3_ds		SFC_HOLD_IO3 管脚驱动电流控制。 00: 4.7mA; 01: 9.3mA; 10: 14mA; 11: 18.3mA。																											
[3]	RW		sfc_hold_io3_sl		SFC_HOLD_IO3 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG44

PADCTRL_REG44 为 SFC_CS0N 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x00B0		PADCTRL_REG44		0x0000_0010						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							sfc_cs0n_ds	sfc_cs0n_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	sfc_cs0n_ds	SFC_CS0N 管脚驱动电流控制。 00: 4.7mA; 01: 9.3mA; 10: 14mA; 11: 18.3mA。							
[3]	RW	sfc_cs0n_sl	SFC_CS0N 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG45

PADCTRL_REG45 为 SFC_CS1N 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x00B4		PADCTRL_REG45		0x0000_0010						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							sfc_cs1n_ds	sfc_cs1n_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	sfc_cs1n_ds	SFC_CS1N 管脚驱动电流控制。 00: 4.7mA; 01: 9.3mA; 10: 14mA; 11: 18.3mA。
[3]	RW	sfc_cs1n_sl	SFC_CS1N 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG46

PADCTRL_REG46 为 NF_DQ0 管脚驱动能力寄存器。

	Offset Address 0x00B8								Register Name PADCTRL_REG46								Total Reset Value 0x0000_0020															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_dq0_ds		nf_dq0_sl		reserved			
Reset	0 0 0 0								0 0 0 0								0 0 0 0								0 0 1 0				0 0 0 0			
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		nf_dq0_ds		NF_DQ0 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		nf_dq0_sl		NF_DQ0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG47

PADCTRL_REG47 为 NF_DQ1 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x00BC								PADCTRL_REG47								0x0000_0020															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_dq1_ds	nf_dq1_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		nf_dq1_ds		NF_DQ1 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		nf_dq1_sl		NF_DQ1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG48

PADCTRL_REG48 为 NF_DQ2 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x00C0		PADCTRL_REG48		0x0000_0020						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							nf_dq2_ds	nf_dq2_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	nf_dq2_ds	NF_DQ2 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。							
[3]	RW	nf_dq2_sl	NF_DQ2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG49

PADCTRL_REG49 为 NF_DQ3 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x00C4		PADCTRL_REG49		0x0000_0020						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							nf_dq3_ds	nf_dq3_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	nf_dq3_ds	NF_DQ3 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。
[3]	RW	nf_dq3_sl	NF_DQ3 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG50

PADCTRL_REG50 为 NF_DQ4 管脚驱动能力寄存器。

	Offset Address 0x00C8								Register Name PADCTRL_REG50								Total Reset Value 0x0000_0020															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				nf_dq4_ds	nf_dq4_sl	reserved									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		nf_dq4_ds		NF_DQ4 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		nf_dq4_sl		NF_DQ4 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG51

PADCTRL_REG51 为 NF_DQ5 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00CC				PADCTRL_REG51				0x0000_0020																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_dq5_ds		nf_dq5_sl		reserved			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 1 0				0 0 0 0							
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		nf_dq5_ds		NF_DQ5 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		nf_dq5_sl		NF_DQ5 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG52

PADCTRL_REG52 为 NF_DQ6 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00D0		PADCTRL_REG52		0x0000_0020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_dq6_ds	nf_dq6_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	nf_dq6_ds	NF_DQ6 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	nf_dq6_sl	NF_DQ6 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG53

PADCTRL_REG53 为 NF_DQ7 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00D4		PADCTRL_REG53		0x0000_0020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_dq7_ds	nf_dq7_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													



[5:4]	RW	nf_dq7_ds	NF_DQ7 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。
[3]	RW	nf_dq7_sl	NF_DQ7 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG54

PADCTRL_REG54 为 NF_CSN0 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00D8				PADCTRL_REG54				0x0000_0020																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_csn0_ds	nf_csn0_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		nf_csn0_ds		NF_CSN0 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		nf_csn0_sl		NF_CSN0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG55

PADCTRL_REG55 为 NF_CSN1 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x00DC								PADCTRL_REG55								0x0000_0020															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_csn1_ds	nf_csn1_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	nf_csn1_ds	NF_CSN1 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																												
	[3]	RW	nf_csn1_sl	NF_CSN1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG56

PADCTRL_REG56 为 NF_RDY0 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x00E0		PADCTRL_REG56		0x0000_0020						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							nf_rdy0_ds	nf_rdy0_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	nf_rdy0_ds	NF_RDY0 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。							
[3]	RW	nf_rdy0_sl	NF_RDY0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG57

PADCTRL_REG57 为 NF_RDY1 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x00E4		PADCTRL_REG57		0x0000_0020						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							nf_rdy1_ds	nf_rdy1_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	nf_rdy1_ds	NF_RDY1 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。
[3]	RW	nf_rdy1_sl	NF_RDY1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG58

PADCTRL_REG58 为 NF_REN 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00E8				PADCTRL_REG58				0x0000_0010																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_ren_ds	nf_ren_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	nf_ren_ds	NF_REN 管脚驱动电流控制。 00: 4.7mA; 01: 9.3mA; 10: 14mA; 11: 18.3mA。																													
[3]	RW	nf_ren_sl	NF_REN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													



PADCTRL_REG59

PADCTRL_REG59 为 NF_CLE 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00EC				PADCTRL_REG59				0x0000_0020																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_cle_ds	nf_cle_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		nf_cle_ds		NF_CLE 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		nf_cle_sl		NF_CLE 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG60

PADCTRL_REG60 为 NF_ALE 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00F0		PADCTRL_REG60		0x0000_0020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_ale_ds	nf_ale_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	nf_ale_ds	NF_ALE 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	nf_ale_sl	NF_ALE 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG61

PADCTRL_REG61 为 NF_WEN 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00F4		PADCTRL_REG61		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nf_wen_ds	nf_wen_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													



[5:4]	RW	nf_wen_ds	NF_WEN 管脚驱动电流控制。 00: 4.7mA; 01: 9.3mA; 10: 14mA; 11: 18.3mA。
[3]	RW	nf_wen_sl	NF_WEN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG62

PADCTRL_REG62 为 JTAG_EN 管脚驱动能力寄存器。

	Offset Address 0x00F8								Register Name PADCTRL_REG62								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								jtag_en_ds	jtag_en_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		jtag_en_ds		JTAG_EN 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		jtag_en_sl		JTAG_EN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG63

PADCTRL_REG63 为 JTAG_TRSTN 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x00FC								PADCTRL_REG63								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								jtag_trstn_ds	jtag_trstn_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		jtag_trstn_ds		JTAG_TRSTN 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
[3]	RW		jtag_trstn_sl		JTAG_TRSTN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG64

PADCTRL_REG64 为 JTAG_TCK 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x0100		PADCTRL_REG64		0x0000_0020						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							jtag_tck_ds	jtag_tck_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	jtag_tck_ds	JTAG_TCK 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。							
[3]	RW	jtag_tck_sl	JTAG_TCK 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG65

PADCTRL_REG65 为 JTAG_TMS 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x0104		PADCTRL_REG65		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							jtag_tms_ds	jtag_tms_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	jtag_tms_ds	JTAG_TMS 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。
[3]	RW	jtag_tms_sl	JTAG_TMS 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG66

PADCTRL_REG66 为 JTAG_TDO 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x0108								PADCTRL_REG66								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								jtag_tdo_ds	jtag_tdo_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		jtag_tdo_ds		JTAG_TDO 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
[3]	RW		jtag_tdo_sl		JTAG_TDO 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG67

PADCTRL_REG67 为 JTAG_TDI 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x010C								PADCTRL_REG67								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								jtag_tdi_ds	jtag_tdi_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	jtag_tdi_ds	JTAG_TDI 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	jtag_tdi_sl	JTAG_TDI 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG68

PADCTRL_REG68 为 RSTN 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0110		PADCTRL_REG68		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															rstn_ds		rstn_sl	reserved													
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 1		0 0 0 0									
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	rstn_ds	RSTN 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	rstn_sl	RSTN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG69

PADCTRL_REG69 为 WDG_RSTN 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0114		PADCTRL_REG69		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															wdg_rstn_ds		wdg_rstn_sl	reserved													
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 1		0 0 0 0									
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													



[5:4]	RW	wdg_rstn_ds	WDG_RSTN 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。
[3]	RW	wdg_rstn_sl	WDG_RSTN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG70

PADCTRL_REG70 为 TEST_MODE 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0118				PADCTRL_REG70				0x0000_0010																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																test_mode_ds		test_mode_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		test_mode_ds		TEST_MODE 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		test_mode_sl		TEST_MODE 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG71

PADCTRL_REG71 为 USB2_OVRCUR0 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x011C				PADCTRL_REG71				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								usb2_ovrcur0_ds		usb2_ovrcur0_sl		reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		usb2_ovrcur0_ds		USB2_OVRCUR0 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
[3]	RW		usb2_ovrcur0_sl		USB2_OVRCUR0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG72

PADCTRL_REG72 为 USB2_PWREN0 管脚驱动能力寄存器。



	Offset Address 0x0120								Register Name PADCTRL_REG72								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								usb2_pwren0_ds	usb2_pwren0_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	usb2_pwren0_ds	USB2_PWREN0 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																												
	[3]	RW	usb2_pwren0_sl	USB2_PWREN0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG73

PADCTRL_REG73 为 USB2_OVRCUR1 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0124		PADCTRL_REG73		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														usb2_ovrcur1_ds		usb2_ovrcur1_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	usb2_ovrcur1_ds	USB2_OVRCUR1 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	usb2_ovrcur1_sl	USB2_OVRCUR1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG74

PADCTRL_REG74 为 USB2_PWREN1 管脚驱动能力寄存器。



	Offset Address 0x0128								Register Name PADCTRL_REG74								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								usb2_pwren1_ds	usb2_pwren1_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	usb2_pwren1_ds	USB2_PWREN1 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																												
	[3]	RW	usb2_pwren1_sl	USB2_PWREN1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG75

PADCTRL_REG75 为 USB3_OVRCUR 管脚驱动能力寄存器。



	Offset Address 0x012C								Register Name PADCTRL_REG75								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								usb3_ovrcur_ds	usb3_ovrcur_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											
	[5:4]	RW	usb3_ovrcur_ds		USB3_OVRCUR 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
	[3]	RW	usb3_ovrcur_sl		USB3_OVRCUR 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
	[2:0]	RO	reserved		保留。																											

PADCTRL_REG76

PADCTRL_REG76 为 USB3_PWREN 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0130		PADCTRL_REG76		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														usb3_pwren_ds		usb3_pwren_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	usb3_pwren_ds	USB3_PWREN 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	usb3_pwren_sl	USB3_PWREN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG77

PADCTRL_REG77 为 HDMI_HOTPLUG 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0134		PADCTRL_REG77		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														hdmi_hotplug_ds		hdmi_hotplug_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	hdmi_hotplug_ds	HDMI_HOTPLUG 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	hdmi_hotplug_sl	HDMI_HOTPLUG 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG78

PADCTRL_REG78 为 HDMI_CEC 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x0138		PADCTRL_REG78		0x0000_0010						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							hdmi_cec_ds	hdmi_cec_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	hdmi_cec_ds	HDMI_CEC 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。							
[3]	RW	hdmi_cec_sl	HDMI_CEC 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG79

PADCTRL_REG79 为 HDMI_SDA 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x013C		PADCTRL_REG79		0x0000_0010						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							hdmi_sda_ds	hdmi_sda_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	hdmi_sda_ds	HDMI_SDA 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。
[3]	RW	hdmi_sda_sl	HDMI_SDA 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG80

PADCTRL_REG80 为 HDMI_SCL 管脚驱动能力寄存器。

	Offset Address 0x0140								Register Name PADCTRL_REG80								Total Reset Value 0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								hdmi_scl_ds	hdmi_scl_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		hdmi_scl_ds		HDMI_SCL 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
[3]	RW		hdmi_scl_sl		HDMI_SCL 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG81

PADCTRL_REG81 为 UART0_RTSN 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x0144								PADCTRL_REG81								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								uart0_rtsn_ds	uart0_rtsn_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		uart0_rtsn_ds		UART0_RTSN 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
[3]	RW		uart0_rtsn_sl		UART0_RTSN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG82

PADCTRL_REG82 为 UART0_RXD 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0148		PADCTRL_REG82		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart0_rxd_ds		uart0_rxd_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart0_rxd_ds	UART0_RXD 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	uart0_rxd_sl	UART0_RXD 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG83

PADCTRL_REG83 为 UART0_TXD 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x014C		PADCTRL_REG83		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart0_txd_ds		uart0_txd_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart0_txd_ds	UART0_TXD 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	uart0_txd_sl	UART0_TXD 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG84

PADCTRL_REG84 为 UART0_CTSN 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0150		PADCTRL_REG84		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart0_ctsn_ds		uart0_ctsn_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart0_ctsn_ds	UART0_CTSN 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	uart0_ctsn_sl	UART0_CTSN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG85

PADCTRL_REG85 为 UART1_RTSN 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0154		PADCTRL_REG85		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart1_rtsn_ds		uart1_rtsn_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart1_rtsn_ds	UART1_RTSN 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	uart1_rtsn_sl	UART1_RTSN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG86

PADCTRL_REG86 为 UART1_RXD 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0158		PADCTRL_REG86		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart1_rxd_ds		uart1_rxd_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart1_rxd_ds	UART1_RXD 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	uart1_rxd_sl	UART1_RXD 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG87

PADCTRL_REG87 为 UART1_CTSN 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x015C		PADCTRL_REG87		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart1_ctsn_ds		uart1_ctsn_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart1_ctsn_ds	UART1_CTSN 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	uart1_ctsn_sl	UART1_CTSN 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG88

PADCTRL_REG88 为 UART1_TXD 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0160		PADCTRL_REG88		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart1_txd_ds		uart1_txd_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart1_txd_ds	UART1_TXD 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	uart1_txd_sl	UART1_TXD 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG89

PADCTRL_REG89 为 UART2_RXD 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0164		PADCTRL_REG89		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart2_rxd_ds		uart2_rxd_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart2_rxd_ds	UART2_RXD 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	uart2_rxd_sl	UART2_RXD 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG90

PADCTRL_REG90 为 UART2_TXD 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0168		PADCTRL_REG90		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart2_txd_ds		uart2_txd_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart2_txd_ds	UART2_TXD 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																													
[3]	RW	uart2_txd_sl	UART2_TXD 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG91

PADCTRL_REG91 为 UART3_RXD 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x016C		PADCTRL_REG91		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart3_rxd_ds		uart3_rxd_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart3_rxd_ds	UART3_RXD 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	uart3_rxd_sl	UART3_RXD 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG92

PADCTRL_REG92 为 UART3_TXD 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0170		PADCTRL_REG92		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														uart3_txd_ds		uart3_txd_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	uart3_txd_ds	UART3_TXD 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	uart3_txd_sl	UART3_TXD 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG93

PADCTRL_REG93 为 SATA_LED_N0 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x0174		PADCTRL_REG93		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							sata_led_n0_ds	sata_led_n0_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	sata_led_n0_ds	SATA_LED_N0 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。							
[3]	RW	sata_led_n0_sl	SATA_LED_N0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG94

PADCTRL_REG94 为 SATA_LED_N1 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0178		PADCTRL_REG94		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														sata_led_n1_ds		sata_led_n1_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	sata_led_n1_ds	SATA_LED_N1 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	sata_led_n1_sl	SATA_LED_N1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG95

PADCTRL_REG95 为 SATA_LED_N2 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x017C		PADCTRL_REG95		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														sata_led_n2_ds		sata_led_n2_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:4]	RW	sata_led_n2_ds	SATA_LED_N2 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																													
[3]	RW	sata_led_n2_sl	SATA_LED_N2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG96

PADCTRL_REG96 为 I2C_SDA 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0180		PADCTRL_REG96		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														i2c_sda_ds		i2c_sda_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name		Description																												
[31:6]	RO	reserved		保留。																												
[5:4]	RW	i2c_sda_ds		I2C_SDA 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																												
[3]	RW	i2c_sda_sl		I2C_SDA 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
[2:0]	RO	reserved		保留。																												

PADCTRL_REG97

PADCTRL_REG97 为 I2C_SCL 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0184		PADCTRL_REG97		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														i2c_scl_ds		i2c_scl_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name		Description																												
[31:6]	RO	reserved		保留。																												



[5:4]	RW	i2c_scl_ds	I2C_SCL 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。
[3]	RW	i2c_scl_sl	I2C_SCL 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG98

PADCTRL_REG98 为 PWM_SVB0 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x0188								PADCTRL_REG98								0x0000_0010															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								pwm_svb0_ds	pwm_svb0_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		pwm_svb0_ds		PWM_SVB0 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。																											
[3]	RW		pwm_svb0_sl		PWM_SVB0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG99

PADCTRL_REG99 为 PWM_SVB1 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x018C								PADCTRL_REG99								0x0000_0010																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																								pwm_svb1_ds	pwm_svb1_sl	reserved									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0				
Bits	[31:6]		[5:4]		[3]		[2:0]																													
Access	RO		RW		RW		RO																													
Name	reserved		pwm_svb1_ds		pwm_svb1_sl		reserved																													
Description	保留。		PWM_SVB1 管脚驱动电流控制。 00: 2.3mA; 01: 4.7mA; 10: 7.0mA; 11: 9.3mA。		PWM_SVB1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。		保留。																													

PADCTRL_REG100

PADCTRL_REG100 为 GPIO0_0 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x0190		PADCTRL_REG100		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							gpio0_0_ds	gpio0_0_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	gpio0_0_ds	GPIO0_0 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。							
[3]	RW	gpio0_0_sl	GPIO0_0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG101

PADCTRL_REG101 为 GPIO0_1 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x0194		PADCTRL_REG101		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							gpio0_1_ds	gpio0_1_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	gpio0_1_ds	GPIO0_1 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。
[3]	RW	gpio0_1_sl	GPIO0_1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG102

PADCTRL_REG102 为 GPIO0_2 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0198				PADCTRL_REG102				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								gpio0_2_ds		gpio0_2_sl		reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:6]	RO		reserved				保留。																									
[5:4]	RW		gpio0_2_ds				GPIO0_2 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																									
[3]	RW		gpio0_2_sl				GPIO0_2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																									
[2:0]	RO		reserved				保留。																									



PADCTRL_REG103

PADCTRL_REG103 为 GPIO0_3 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x019C								PADCTRL_REG103								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								gpio0_3_ds	gpio0_3_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											
	[5:4]	RW	gpio0_3_ds		GPIO0_3 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
	[3]	RW	gpio0_3_sl		GPIO0_3 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
	[2:0]	RO	reserved		保留。																											

PADCTRL_REG104

PADCTRL_REG104 为 GPIO0_4 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x01A0		PADCTRL_REG104		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							gpio0_4_ds	gpio0_4_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	gpio0_4_ds	GPIO0_4 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。							
[3]	RW	gpio0_4_sl	GPIO0_4 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG105

PADCTRL_REG105 为 GPIO0_5 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x01A4		PADCTRL_REG105		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							gpio0_5_ds	gpio0_5_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	gpio0_5_ds	GPIO0_5 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。
[3]	RW	gpio0_5_sl	GPIO0_5 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG106

PADCTRL_REG106 为 GPIO0_6 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x01A8				PADCTRL_REG106				0x0000_0020																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								gpio0_6_ds	gpio0_6_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name				Description																									
[31:6]	RO		reserved				保留。																									
[5:4]	RW		gpio0_6_ds				GPIO0_6 管脚驱动电流控制。 00: 5.9mA; 01: 11.8mA; 10: 17.6mA; 11: 23.5mA。																									
[3]	RW		gpio0_6_sl				GPIO0_6 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																									
[2:0]	RO		reserved				保留。																									



PADCTRL_REG107

PADCTRL_REG107 为 GPIO0_7 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x01AC								PADCTRL_REG107								0x0000_0020															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								gpio0_7_ds	gpio0_7_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											
	[5:4]	RW	gpio0_7_ds		GPIO0_7 管脚驱动电流控制。 00: 5.9mA; 01: 11.8mA; 10: 17.6mA; 11: 23.5mA。																											
	[3]	RW	gpio0_7_sl		GPIO0_7 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
	[2:0]	RO	reserved		保留。																											

PADCTRL_REG108

PADCTRL_REG108 为 GPIO1_0 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x01B0		PADCTRL_REG108		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							gpio1_0_ds	gpio1_0_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	gpio1_0_ds	GPIO1_0 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。							
[3]	RW	gpio1_0_sl	GPIO1_0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG109

PADCTRL_REG109 为 GPIO1_1 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x01B4		PADCTRL_REG109		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							gpio1_1_ds	gpio1_1_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	gpio1_1_ds	GPIO1_1 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。
[3]	RW	gpio1_1_sl	GPIO1_1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG110

PADCTRL_REG110 为 GPIO1_2 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x01B8				PADCTRL_REG110				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				gpio1_2_ds		gpio1_2_sl		reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		gpio1_2_ds		GPIO1_2 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
[3]	RW		gpio1_2_sl		GPIO1_2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG111

PADCTRL_REG111 为 GPIO1_3 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x01BC								PADCTRL_REG111								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								gpio1_3_ds	gpio1_3_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:6]	RO	reserved		保留。																											
	[5:4]	RW	gpio1_3_ds		GPIO1_3 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
	[3]	RW	gpio1_3_sl		GPIO1_3 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
	[2:0]	RO	reserved		保留。																											

PADCTRL_REG112

PADCTRL_REG112 为 GPIO1_4 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value						
0x01C0		PADCTRL_REG112		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							gpio1_4_ds	gpio1_4_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							
[5:4]	RW	gpio1_4_ds	GPIO1_4 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。							
[3]	RW	gpio1_4_sl	GPIO1_4 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。							
[2:0]	RO	reserved	保留。							

PADCTRL_REG113

PADCTRL_REG113 为 GPIO1_5 管脚驱动能力寄存器。

Offset Address		Register Name		Total Reset Value						
0x01C4		PADCTRL_REG113		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							gpio1_5_ds	gpio1_5_sl	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:6]	RO	reserved	保留。							



[5:4]	RW	gpio1_5_ds	GPIO1_5 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。
[3]	RW	gpio1_5_sl	GPIO1_5 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。
[2:0]	RO	reserved	保留。

PADCTRL_REG114

PADCTRL_REG114 为 GPIO1_6 管脚驱动能力寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x01C8				PADCTRL_REG114				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				gpio1_6_ds		gpio1_6_sl		reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:4]	RW		gpio1_6_ds		GPIO1_6 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																											
[3]	RW		gpio1_6_sl		GPIO1_6 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											



PADCTRL_REG115

PADCTRL_REG115 为 GPIO1_7 管脚驱动能力寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x01CC								PADCTRL_REG115								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								gpio1_7_ds	gpio1_7_sl	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:6]	RO	reserved	保留。																												
	[5:4]	RW	gpio1_7_ds	GPIO1_7 管脚驱动电流控制。 00: 2.9mA; 01: 5.9mA; 10: 8.8mA; 11: 11.8mA。																												
	[3]	RW	gpio1_7_sl	GPIO1_7 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																												
	[2:0]	RO	reserved	保留。																												

PADCTRL_REG116

PADCTRL_REG116 为 VOU1120_DATA0 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01D0		PADCTRL_REG116		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data0_ds				vou1120_data0_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RO	vou1120_data0_ds	VOU1120_DATA0 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RO	vou1120_data0_sl	VOU1120_DATA0 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG117

PADCTRL_REG117 为 VOU1120_DATA1 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01D4		PADCTRL_REG117		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data1_ds				vou1120_data1_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RO	vou1120_data1_ds	VOU1120_DATA1 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RO	vou1120_data1_sl	VOU1120_DATA1 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG118

PADCTRL_REG118 为 VOU1120_DATA2 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01D8		PADCTRL_REG118		0x0000_0020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data2_ds				vou1120_data2_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RO	vou1120_data2_ds	VOU1120_DATA2 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RO	vou1120_data2_sl	VOU1120_DATA2 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG119

PADCTRL_REG119 为 VOU1120_DATA3 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01DC		PADCTRL_REG119		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															vou1120_data3_ds				vou1120_data3_sl		reserved										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RO	vou1120_data3_ds	VOU1120_DATA3 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data3_sl	VOU1120_DATA3 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG120

PADCTRL_REG120 为 VOU1120_DATA4 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01E0		PADCTRL_REG120		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vou1120_data4_ds				vou1120_data4_sl		reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data4_ds	VOU1120_DATA4 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data4_sl	VOU1120_DATA4 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG121

PADCTRL_REG121 为 VOU1120_DATA5 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01E4		PADCTRL_REG121		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data5_ds				vou1120_data5_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data5_ds	VOU1120_DATA5 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data5_sl	VOU1120_DATA5 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG122

PADCTRL_REG122 为 VOU1120_DATA6 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01E8		PADCTRL_REG122		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data6_ds				vou1120_data6_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data6_ds	VOU1120_DATA6 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data6_sl	VOU1120_DATA6 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG123

PADCTRL_REG123 为 VOU1120_DATA7 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01EC		PADCTRL_REG123		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data7_ds				vou1120_data7_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data7_ds	VOU1120_DATA7 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data7_sl	VOU1120_DATA7 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG124

PADCTRL_REG124 为 VOU1120_DATA8 管脚驱动能力寄存器。



	Offset Address 0x01F0								Register Name PADCTRL_REG124								Total Reset Value 0x0000_0050															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				vou1120_data8_ds				vou1120_data8_sl		reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:7]	RO		reserved		保留。																											
[6:4]	RW		vou1120_data8_ds		VOU1120_DATA8 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																											
[3]	RW		vou1120_data8_sl		VOU1120_DATA8 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																											
[2:0]	RO		reserved		保留。																											

PADCTRL_REG125

PADCTRL_REG125 为 VOU1120_DATA9 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01F4		PADCTRL_REG125		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data9_ds				vou1120_data9_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data9_ds	VOU1120_DATA9 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data9_sl	VOU1120_DATA9 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG126

PADCTRL_REG126 为 VOU1120_DATA10 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01F8		PADCTRL_REG126		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data10_ds				vou1120_data10_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data10_ds	VOU1120_DATA10 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data10_sl	VOU1120_DATA10 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG127

PADCTRL_REG127 为 VOU1120_DATA11 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01FC		PADCTRL_REG127		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data11_ds				vou1120_data11_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data11_ds	VOU1120_DATA11 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data11_sl	VOU1120_DATA11 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG128

PADCTRL_REG128 为 VOU1120_DATA12 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0200		PADCTRL_REG128		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data12_ds				vou1120_data12_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data12_ds	VOU1120_DATA12 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data12_sl	VOU1120_DATA12 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG129

PADCTRL_REG129 为 VOU1120_DATA13 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0204		PADCTRL_REG129		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data13_ds				vou1120_data13_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data13_ds	VOU1120_DATA13 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data13_sl	VOU1120_DATA13 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG130

PADCTRL_REG130 为 VOU1120_DATA14 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0208		PADCTRL_REG130		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data14_ds				vou1120_data14_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data14_ds	VOU1120_DATA14 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data14_sl	VOU1120_DATA14 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG131

PADCTRL_REG131 为 VOU1120_DATA15 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x020C		PADCTRL_REG131		0x0000_0050																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_data15_ds				vou1120_data15_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_data15_ds	VOU1120_DATA15 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_data15_sl	VOU1120_DATA15 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

PADCTRL_REG132

PADCTRL_REG132 为 VOU1120_CLK 管脚驱动能力寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0210		PADCTRL_REG132		0x0000_0058																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														vou1120_clk_ds				vou1120_clk_sl		reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6:4]	RW	vou1120_clk_ds	VOU1120_CLK 管脚驱动电流控制。 000: 4.7mA; 001: 7.0mA; 010: 9.3mA; 011: 11.6mA; 100: 14.0mA; 101: 16.3mA; 110: 18.6mA; 111: 20.9mA。																													
[3]	RW	vou1120_clk_sl	VOU1120_CLK 管脚电平转换速率控制。 0: 慢沿; 1: 快沿。																													
[2:0]	RO	reserved	保留。																													

2.5 软件复用管脚

VDAC

VDAC 的软件复用管脚如表 2-35 所示。



表2-35 VDAC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
A16	VGA_HS	muxctrl_reg0	VGA_HS	GPIO6_6
B16	VGA_VS	muxctrl_reg1	VGA_VS	GPIO6_7

VDAC 的软件复用管脚如表 2-36 所示。

表2-36 VDAC 的软件复用管脚描述

信号名	方向	说明
GPIO6_6	I/O	通用输入输出管脚。
GPIO6_7	I/O	通用输入输出管脚。
VGA_HS	O	VGA 行同步信号。
VGA_VS	O	VGA 场同步信号。

RGMIIO

RGMIIO 的软件复用管脚如表 2-37 所示。

表2-37 RGMIIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
M26	RGMIIO_RXDV	muxctrl_reg2	RGMIIO_RXDV	GPIO8_7	-
L28	RGMIIO_RXD0	muxctrl_reg3	RGMIIO_RXD0	GPIO9_0	-
L27	RGMIIO_RXD1	muxctrl_reg4	RGMIIO_RXD1	GPIO9_1	-
M27	RGMIIO_RXD2	muxctrl_reg5	RGMIIO_RXD2	GPIO9_2	-
M28	RGMIIO_RXD3	muxctrl_reg6	RGMIIO_RXD3	GPIO9_3	-
P28	RGMIIO_TXD0	muxctrl_reg7	RGMIIO_TXD0	GPIO9_4	-
P27	RGMIIO_TXD1	muxctrl_reg8	RGMIIO_TXD1	GPIO9_5	-
R27	RGMIIO_TXD2	muxctrl_reg9	RGMIIO_TXD2	GPIO9_6	-
R28	RGMIIO_TXD3	muxctrl_reg10	RGMIIO_TXD3	GPIO9_7	-



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
N26	RGMII0_RXCK	muxctrl_reg11	RGMII0_RXCK	GPIO8_0	-
J26	RGMII0_TXEN	muxctrl_reg12	RGMII0_TXEN	GPIO8_1	-
K26	RGMII0_TXCK	muxctrl_reg13	RGMII0_TXCK	GPIO8_2	-
L25	RGMII0_TXCKOUT	muxctrl_reg14	RGMII0_TXCKOUT	GPIO8_3	RMII0_CLK
P25	RGMII0_CRS	muxctrl_reg15	RGMII0_CRS	GPIO8_4	-
M25	RGMII0_COL	muxctrl_reg16	RGMII0_COL	GPIO8_5	-
M24	RGMII0_RXER	muxctrl_reg17	RGMII0_RXER	GPIO8_6	-

RGMII0 的软件复用管脚如表 2-38 所示。

表2-38 RGMII0 的软件复用管脚描述

信号名	方向	说明
GPIO8_0	I/O	通用输入输出管脚。
GPIO8_1	I/O	通用输入输出管脚。
GPIO8_2	I/O	通用输入输出管脚。
GPIO8_3	I/O	通用输入输出管脚。
GPIO8_4	I/O	通用输入输出管脚。
GPIO8_5	I/O	通用输入输出管脚。
GPIO8_6	I/O	通用输入输出管脚。
GPIO8_7	I/O	通用输入输出管脚。
GPIO9_0	I/O	通用输入输出管脚。
GPIO9_1	I/O	通用输入输出管脚。
GPIO9_2	I/O	通用输入输出管脚。
GPIO9_3	I/O	通用输入输出管脚。
GPIO9_4	I/O	通用输入输出管脚。
GPIO9_5	I/O	通用输入输出管脚。
GPIO9_6	I/O	通用输入输出管脚。
GPIO9_7	I/O	通用输入输出管脚。



信号名	方向	说明
RGMII0_COL	I	MII 模式：碰撞指示信号。
RGMII0_CRS	I	MII 模式：载波侦听信号。
RGMII0_RXCK	I	RGMII/MII 模式：接收时钟。
RGMII0_RXD0	I	RGMII/MII/RMII 模式：接收数据 0。
RGMII0_RXD1	I	RGMII/MII/RMII 模式：接收数据 1。
RGMII0_RXD2	I	RGMII/MII 模式：接收数据 2。
RGMII0_RXD3	I	RGMII/MII 模式：接收数据 3。
RGMII0_RXDV	I	RGMII/MII 模式：接收数据有效信号； RMII 模式：接收数据有效及载体检测信号；
RGMII0_RXER	I	MII/RMII 模式：接收错误信号。
RGMII0_TXCK	I	RGMII/MII 模式：发送时钟。
RGMII0_TXCKOUT	O	RGMII 千兆模式：发送时钟，双沿有效。
RGMII0_TXD0	O	RGMII/MII/RMII 模式：发送数据 0。
RGMII0_TXD1	O	RGMII/MII/RMII 模式：发送数据 1。
RGMII0_TXD2	O	RGMII/MII 模式：发送数据 2。
RGMII0_TXD3	O	RGMII/MII 模式：发送数据 3。
RGMII0_TXEN	O	RGMII/MII 模式：发送数据有效信号。
RMII0_CLK	I/O	RMII 模式：参考时钟。

RGMI1

RGMI1 的软件复用管脚如表 2-39 所示。

表2-39 RGMI1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
D26	RGMI1_RXDV	muxctrl_reg18	RGMI1_RXDV	GPIO10_7	-
D28	RGMI1_RXD0	muxctrl_reg19	RGMI1_RXD0	GPIO2_0	DDRPHY_DEBUG_OUT4
D27	RGMI1_RXD1	muxctrl_reg20	RGMI1_RXD1	GPIO2_1	DDRPHY_DEBUG_OUT5
E28	RGMI1_RXD2	muxctrl_reg21	RGMI1_RXD2	GPIO2_2	DDRPHY_DEBUG_OUT6



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
E27	RGMII1_RXD3	muxctrl_reg22	RGMII1_RXD3	GPIO2_3	-
G27	RGMII1_TXD0	muxctrl_reg23	RGMII1_TXD0	GPIO2_4	CLK_TEST_OUT0/1/2/3/4/5
G28	RGMII1_TXD1	muxctrl_reg24	RGMII1_TXD1	GPIO2_5	PLL_TEST_OUT0/1/2/3/4/5
H27	RGMII1_TXD2	muxctrl_reg25	RGMII1_TXD2	GPIO2_6	DDRPHY_DEBUG_OUT0
H28	RGMII1_TXD3	muxctrl_reg26	RGMII1_TXD3	GPIO2_7	DDRPHY_DEBUG_OUT1
H26	RGMII1_RXCK	muxctrl_reg27	RGMII1_RXCK	GPIO10_0	-
G26	RGMII1_TXEN	muxctrl_reg28	RGMII1_TXEN	GPIO10_1	-
E26	RGMII1_TXCK	muxctrl_reg29	RGMII1_TXCK	GPIO10_2	DDRPHY_DEBUG_OUT2
F25	RGMII1_TXCKO UT	muxctrl_reg30	RGMII1_TXCK OUT	GPIO10_3	RMII1_CLK
J27	RGMII1_CRS	muxctrl_reg31	RGMII1_CRS	GPIO10_4	-
G25	RGMII1_COL	muxctrl_reg32	RGMII1_COL	GPIO10_5	-
G24	RGMII1_RXER	muxctrl_reg33	RGMII1_RXER	GPIO10_6	-

RGMI1 的软件复用管脚如表 2-40 所示。

表2-40 RGMII1 的软件复用管脚描述

信号名	方向	说明
CLK_TEST_OUT0	O	测试时钟 0。
CLK_TEST_OUT1	O	测试时钟 1。
CLK_TEST_OUT2	O	测试时钟 2。
CLK_TEST_OUT3	O	测试时钟 3。
CLK_TEST_OUT4	O	测试时钟 4。
DDRPHY_DEBUG_OUT0	O	DDR PHY 测试管脚 0。
DDRPHY_DEBUG_OUT1	O	DDR PHY 测试管脚 1。
DDRPHY_DEBUG_OUT2	O	DDR PHY 测试管脚 2。
DDRPHY_DEBUG_OUT3	O	DDR PHY 测试管脚 3。



信号名	方向	说明
DDRPHY_DEBUG_OUT4	O	DDR PHY 测试管脚 4。
DDRPHY_DEBUG_OUT5	O	DDR PHY 测试管脚 5。
DDRPHY_DEBUG_OUT6	O	DDR PHY 测试管脚 6。
GPIO10_0	I/O	通用输入输出管脚。
GPIO10_1	I/O	通用输入输出管脚。
GPIO10_2	I/O	通用输入输出管脚。
GPIO10_3	I/O	通用输入输出管脚。
GPIO10_4	I/O	通用输入输出管脚。
GPIO10_5	I/O	通用输入输出管脚。
GPIO10_6	I/O	通用输入输出管脚。
GPIO10_7	I/O	通用输入输出管脚。
GPIO2_0	I/O	通用输入输出管脚。
GPIO2_1	I/O	通用输入输出管脚。
GPIO2_2	I/O	通用输入输出管脚。
GPIO2_3	I/O	通用输入输出管脚。
GPIO2_4	I/O	通用输入输出管脚。
GPIO2_5	I/O	通用输入输出管脚。
GPIO2_6	I/O	通用输入输出管脚。
GPIO2_7	I/O	通用输入输出管脚。
PLL_TEST_OUT0	O	PLL 测试时钟 0。
PLL_TEST_OUT1	O	PLL 测试时钟 1。
PLL_TEST_OUT2	O	PLL 测试时钟 2。
PLL_TEST_OUT3	O	PLL 测试时钟 3。
PLL_TEST_OUT4	O	PLL 测试时钟 4。
PLL_TEST_OUT5	O	PLL 测试时钟 5。
RGMII1_COL	I	MII 模式：碰撞指示信号。
RGMII1_CRS	I	MII 模式：载波侦听信号。
RGMII1_RXCK	I	RGMII/MII 模式：接收时钟。
RGMII1_RXD0	I	RGMII/MII/RMII 模式：接收数据 0。



信号名	方向	说明
RGMII1_RXD1	I	RGMII/MII/RMII 模式：接收数据 1。
RGMII1_RXD2	I	RGMII/MII 模式：接收数据 2。
RGMII1_RXD3	I	RGMII/MII 模式：接收数据 3。
RGMII1_RXDV	I	RGMII/MII 模式：接收数据有效信号； RMII 模式：接收数据有效及载体检测信号；
RGMII1_RXER	I	MII/RMII 模式：接收错误信号。
RGMII1_TXCK	I	RGMII/MII 模式：发送时钟。
RGMII1_TXCKOUT	O	RGMII 千兆模式：发送时钟，双沿有效。
RGMII1_TXD0	O	RGMII/MII/RMII 模式：发送数据 0。
RGMII1_TXD1	O	RGMII/MII/RMII 模式：发送数据 1。
RGMII1_TXD2	O	RGMII/MII 模式：发送数据 2。
RGMII1_TXD3	O	RGMII/MII 模式：发送数据 3。
RGMII1_TXEN	O	RGMII/MII 模式：发送数据有效信号。
RMII1_CLK	I/O	RMII 模式：参考时钟。
RTC_TEST_CLK	O	RTC 测试时钟。

MDIO

MDIO 的软件复用管脚如表 2-41 所示。

表2-41 MDIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
J25	MDCK	muxctrl_reg34	MDCK	-	BOOTROM_SEL
J24	MDIO	muxctrl_reg35	MDIO	GPIO11_3	-

MDIO 的软件复用管脚如表 2-42 所示。

表2-42 MDIO 的软件复用管脚描述

信号名	方向	说明
BOOTROM_SEL	I	BOOTROM 启动。为 1 时选择从 BOOTROM 启



信号名	方向	说明
		动；如果从 BOOTROM 启动时发现串口通讯不成功，超时等待后根据 BOOT_SEL1/0 将程序入口指向相应的空间。
GPIO11_3	I/O	通用输入输出管脚。
MDCK	O	MDIO 接口时钟输出。
MDIO	I/O	MDIO 接口的输入/输出信号。

IR

IR 的软件复用管脚如表 2-43 所示。

表2-43 IR 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
AE17	IR_IN	muxctrl_reg36	GPIO11_7	IR_IN

IR 的软件复用管脚如表 2-44 所示。

表2-44 IR 的软件复用管脚描述

信号名	方向	说明
GPIO11_7	I/O	通用输入输出管脚。
IR_IN	I	红外输入信号。

SFC

SFC 的软件复用管脚如表 2-45 所示。

表2-45 SFC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
AC26	SFC_DIO	muxctrl_reg37	SFC_DIO	GPIO4_0
AE27	SFC_WP_IO2	muxctrl_reg38	SFC_WP_IO2	GPIO4_1
AD28	SFC_DOI	muxctrl_reg39	SFC_DOI	GPIO4_2



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
AC27	SFC_HOLD_IO3	muxctrl_reg40	SFC_HOLD_IO3	GPIO4_3
AE28	SFC_CS0N	muxctrl_reg41	SFC_CS0N	GPIO4_4
AC28	SFC_CS1N	muxctrl_reg42	SFC_CS1N	GPIO4_5

SFC 的软件复用管脚如表 2-46 所示。

表2-46 SFC 的软件复用管脚描述

信号名	方向	说明
GPIO4_0	I/O	通用输入输出管脚。
GPIO4_1	I/O	通用输入输出管脚。
GPIO4_2	I/O	通用输入输出管脚。
GPIO4_3	I/O	通用输入输出管脚。
GPIO4_4	I/O	通用输入输出管脚。
GPIO4_5	I/O	通用输入输出管脚。
SFC_CS0N	O	SPI Flash 片选 0 信号（低有效）。
SFC_CS1N	O	SPI Flash 片选 1 信号（低有效，用来挂接启动的 SPIflash）。
SFC_DIO	I/O	在 Standard SPI 模式，为数据的输出信号； 在 Dual SPI 模式下，为数据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。
SFC_DOI	I/O	在 Standard SPI 模式，为数据的输入信号； 在 Dual SPI 模式下，为数据的输入输出信号； 在 Quad SPI 模式下，为数据的输入输出信号。
SFC_HOLD_IO3	I/O	在 Standard SPI 模式，作为 hold 功能，低有效； 在 Dual SPI 模式下，作为 hold 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。
SFC_WP_IO2	I/O	在 Standard SPI 模式，作为 write protect 功能，低有效； 在 Dual SPI 模式下，作为 write protect 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。



NFC

NFC 的软件复用管脚如表 2-47 所示。

表2-47 NFC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
AB27	NF_DQ0	muxctrl_reg43	NF_DQ0	GPIO3_0
AB28	NF_DQ1	muxctrl_reg44	NF_DQ1	GPIO3_1
AA25	NF_DQ2	muxctrl_reg45	NF_DQ2	GPIO3_2
AA26	NF_DQ3	muxctrl_reg46	NF_DQ3	GPIO3_3
AA27	NF_DQ4	muxctrl_reg47	NF_DQ4	GPIO3_4
AA28	NF_DQ5	muxctrl_reg48	NF_DQ5	GPIO3_5
Y27	NF_DQ6	muxctrl_reg49	NF_DQ6	GPIO3_6
Y28	NF_DQ7	muxctrl_reg50	NF_DQ7	GPIO3_7
V26	NF_CSN0	muxctrl_reg51	NF_CSN0	GPIO12_5
W28	NF_CSN1	muxctrl_reg52	NF_CSN1	GPIO12_6

NFC 的软件复用管脚如表 2-48 所示。

表2-48 NFC 的软件复用管脚描述

信号名	方向	说明
GPIO12_5	I/O	通用输入输出管脚。
GPIO12_6	I/O	通用输入输出管脚。
GPIO3_0	I/O	通用输入输出管脚。
GPIO3_1	I/O	通用输入输出管脚。
GPIO3_2	I/O	通用输入输出管脚。
GPIO3_3	I/O	通用输入输出管脚。
GPIO3_4	I/O	通用输入输出管脚。
GPIO3_5	I/O	通用输入输出管脚。



信号名	方向	说明
GPIO3_6	I/O	通用输入输出管脚。
GPIO3_7	I/O	通用输入输出管脚。
NF_CSN0	O	NAND Flash 片选信号 0（低电平有效，用来挂接启动的 Nandflash）。
NF_CSN1	O	NAND Flash 片选信号 1（低电平有效，用来挂接启动的 Nandflash）。
NF_DQ0	I/O	NAND Flash 数据总线 0。
NF_DQ1	I/O	NAND Flash 数据总线 1。
NF_DQ2	I/O	NAND Flash 数据总线 2。
NF_DQ3	I/O	NAND Flash 数据总线 3。
NF_DQ4	I/O	NAND Flash 数据总线 4。
NF_DQ5	I/O	NAND Flash 数据总线 5。
NF_DQ6	I/O	NAND Flash 数据总线 6。
NF_DQ7	I/O	NAND Flash 数据总线 7。

USB

USB 的软件复用管脚如表 2-49 所示。

表2-49 USB 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
AH18	USB2_OVRCUR0	muxctrl_reg55	GPIO5_0	USB2_OVRCUR0
AF17	USB2_PWREN0	muxctrl_reg56	GPIO5_1	USB2_PWREN0
AF18	USB2_OVRCUR1	muxctrl_reg57	GPIO5_2	USB2_OVRCUR1
AG18	USB2_PWREN1	muxctrl_reg58	GPIO5_3	USB2_PWREN1
E8	USB3_OVRCUR	muxctrl_reg59	GPIO5_4	USB3_OVRCUR
C7	USB3_PWREN	muxctrl_reg60	GPIO5_5	USB3_PWREN

USB 的软件复用管脚如表 2-50 所示。



表2-50 USB 的软件复用管脚描述

信号名	方向	说明
GPIO5_0	I/O	通用输入输出管脚。
GPIO5_1	I/O	通用输入输出管脚。
GPIO5_2	I/O	通用输入输出管脚。
GPIO5_3	I/O	通用输入输出管脚。
GPIO5_4	I/O	通用输入输出管脚。
GPIO5_5	I/O	通用输入输出管脚。
USB2_OVRCUR0	I	USB2.0 端口 0 的端口过流指示信号,高低电平可配,默认为高电平有效。
USB2_OVRCUR1	I	USB2.0 端口 1 的端口过流指示信号,高低电平可配,默认为高电平有效。
USB2_PWREN0	O	USB2.0 端口 0 电源控制输出管脚,高低电平可配,默认为低电平有效。
USB2_PWREN1	O	USB2.0 端口 1 电源控制输出管脚,高低电平可配,默认为低电平有效。
USB3_OVRCUR	I	USB3.0 端口的端口过流指示信号,高低电平可配,默认为高电平有效。
USB3_PWREN	O	USB3.0 端口电源控制输出管脚,高低电平可配,默认为低电平有效。

HDMI

HDMI 的软件复用管脚如表 2-51 所示。

表2-51 HDMI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
E16	HDMI_HOTPLUG	muxctrl_reg61	GPIO6_0	HDMI_HOTPLUG
E15	HDMI_CEC	muxctrl_reg62	GPIO6_1	HDMI_CEC
D16	HDMI_SDA	muxctrl_reg63	GPIO6_2	HDMI_SDA
C16	HDMI_SCL	muxctrl_reg64	GPIO6_3	HDMI_SCL

HDMI 的软件复用管脚如表 2-52 所示。



表2-52 HDMI 的软件复用管脚描述

信号名	方向	说明
GPIO6_0	I/O	通用输入输出管脚。
GPIO6_1	I/O	通用输入输出管脚。
GPIO6_2	I/O	通用输入输出管脚。
GPIO6_3	I/O	通用输入输出管脚。
HDMI_CEC	I/O	HDMI 接口的控制通道信号。
HDMI_HOTPLUG	I	HDMI 接口的热插拔信号。
HDMI_SCL	I/O	HDMI 接口 I2C 总线时钟。
HDMI_SDA	I/O	HDMI 接口 I2C 总线数据/地址信号。

UART

UART 的软件复用管脚如表 2-53 所示。

表2-53 UART 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
G4	UART0_RTSN	muxctrl_reg65	UART0_RTSN	GPIO6_4
G3	UART0_CTSN	muxctrl_reg66	UART0_CTSN	GPIO6_5
H1	UART1_RTSN	muxctrl_reg67	GPIO7_0	UART1_RTSN
H4	UART1_RXD	muxctrl_reg68	GPIO7_1	UART1_RXD
H3	UART1_CTSN	muxctrl_reg69	GPIO7_2	UART1_CTSN
H2	UART1_TXD	muxctrl_reg70	GPIO7_3	UART1_TXD
J3	UART2_RXD	muxctrl_reg71	GPIO7_4	UART2_RXD
J4	UART2_TXD	muxctrl_reg72	GPIO7_5	UART2_TXD
AD16	UART3_RXD	muxctrl_reg73	GPIO7_6	UART3_RXD
AD17	UART3_TXD	muxctrl_reg74	GPIO7_7	UART3_TXD

UART 的软件复用管脚如表 2-54 所示。



表2-54 UART 的软件复用管脚描述

信号名	方向	说明
GPIO6_4	I/O	通用输入输出管脚。
GPIO6_5	I/O	通用输入输出管脚。
GPIO7_0	I/O	通用输入输出管脚。
GPIO7_1	I/O	通用输入输出管脚。
GPIO7_2	I/O	通用输入输出管脚。
GPIO7_3	I/O	通用输入输出管脚。
GPIO7_4	I/O	通用输入输出管脚。
GPIO7_5	I/O	通用输入输出管脚。
GPIO7_6	I/O	通用输入输出管脚。
GPIO7_7	I/O	通用输入输出管脚。
UART0_CTSN	I	UART0 4 线模式 Modem 状态输入信号（低有效）。
UART0_RTSN	O	UART0 4 线模式 Modem 状态输出信号（低有效）。
UART1_CTSN	I	UART1 4 线模式 Modem 状态输入信号（低有效）。
UART1_RTSN	O	UART1 4 线模式 Modem 状态输出信号（低有效）。
UART1_RXD	I	UART1 数据接收信号。
UART1_TXD	O	UART1 数据发送信号。
UART2_RXD	I	UART2 数据接收信号。
UART2_TXD	O	UART2 数据发送信号。
UART3_RXD	I	UART3 数据接收信号。
UART3_TXD	O	UART3 数据发送信号。

SATA

SATA 的软件复用管脚如表 2-55 所示。

表2-55 SATA 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
AB24	SATA_LED_N0	muxctrl_reg75	GPIO11_4	SATA_LED_N0



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
AA24	SATA_LED_N1	muxctrl_reg76	GPIO11_5	SATA_LED_N1
AE26	SATA_LED_N2	muxctrl_reg77	GPIO11_6	SATA_LED_N2

SATA 的软件复用管脚如表 2-56 所示。

表2-56 SATA 的软件复用管脚描述

信号名	方向	说明
GPIO11_4	I/O	通用输入输出管脚。
GPIO11_5	I/O	通用输入输出管脚。
GPIO11_6	I/O	通用输入输出管脚。
SATA_LED_N0	O	SATA0 端口 LED 指示信号（低有效）。
SATA_LED_N1	O	SATA1 端口 LED 指示信号（低有效）。
SATA_LED_N2	O	SATA2 端口 LED 指示信号（低有效）。

I2C

I2C 的软件复用管脚如表 2-57 所示。

表2-57 I2C 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
D25	I2C_SDA	muxctrl_reg78	GPIO5_6	I2C_SDA
C26	I2C_SCL	muxctrl_reg79	GPIO5_7	I2C_SCL

I2C 的软件复用管脚如表 2-58 所示。

表2-58 I2C 的软件复用管脚描述

信号名	方向	说明
GPIO5_6	I/O	通用输入输出管脚。
GPIO5_7	I/O	通用输入输出管脚。
I2C_SCL	I/O	I2C 总线时钟信号。



信号名	方向	说明
I2C_SDA	I/O	I2C 总线数据/地址信号。

SVB

SVB 的软件复用管脚如表 2-59 所示。

表2-59 SVB 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
D2	PWM_SVB0	muxctrl_reg80	PWM_SVB0	GPIO11_0
AB25	PWM_SVB1	muxctrl_reg81	PWM_SVB1	GPIO11_1

SVB 的软件复用管脚如表 2-60 所示。

表2-60 SVB 的软件复用管脚描述

信号名	方向	说明
GPIO11_0	I/O	通用输入输出管脚。
GPIO11_1	I/O	通用输入输出管脚。
PWM_SVB0	O	pwm 输出，用于 svb0。
PWM_SVB1	O	pwm 输出，用于 svb1。

GPIO

GPIO 的软件复用管脚如表 2-61 所示。

表2-61 GPIO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
V28	GPIO0_5	muxctrl_reg82	GPIO0_5	TEMPER_DQ
P26	GPIO0_6	muxctrl_reg83	GPIO0_6	EPHY0_CLK
J28	GPIO0_7	muxctrl_reg84	GPIO0_7	EPHY1_CLK

GPIO 的软件复用管脚如表 2-62 所示。



表2-62 GPIO 的软件复用管脚描述

信号名	方向	说明
EPHY0_CLK	O	网口 PHY 工作时钟。
EPHY1_CLK	O	网口 PHY 工作时钟。
GPIO0_5	I/O	通用输入输出管脚。
GPIO0_6	I/O	通用输入输出管脚。
GPIO0_7	I/O	通用输入输出管脚。
TEMPER_DQ	I/O	温度采集，用于与外部温度采集芯片通信。

VO

VO 的软件复用管脚如表 2-63 所示。

表2-63 VO 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
A26	VOU1120_DA TA0	muxctrl_reg 85	GPIO13_0	VOU1120_DA TA0	-	-
B26	VOU1120_DA TA1	muxctrl_reg 86	GPIO13_1	VOU1120_DA TA1	-	-
A25	VOU1120_DA TA2	muxctrl_reg 87	GPIO13_2	VOU1120_DA TA2	AIO_SD_RX	-
B25	VOU1120_DA TA3	muxctrl_reg 88	GPIO13_3	VOU1120_DA TA3	AIO_SD_TX	-
A24	VOU1120_DA TA4	muxctrl_reg 89	GPIO13_4	VOU1120_DA TA4	AIO_WS_TX	-
B24	VOU1120_DA TA5	muxctrl_reg 90	GPIO13_5	VOU1120_DA TA5	AIO_BCLK_TX	-
A23	VOU1120_DA TA6	muxctrl_reg 91	GPIO13_6	VOU1120_DA TA6	AIO_WS_RX	-
B23	VOU1120_DA TA7	muxctrl_reg 92	-	VOU1120_DA TA7	AIO_MCLK	BOOT_SE L0
C24	VOU1120_DA TA8	muxctrl_reg 93	GPIO14_0	VOU1120_DA TA8	-	-
D23	VOU1120_DA TA9	muxctrl_reg 94	GPIO14_1	VOU1120_DA TA9	-	-



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3
C23	VOU1120_D TA10	muxctrl_reg 95	-	VOU1120_D TA10	BOOT_SEL1	-
C22	VOU1120_D TA11	muxctrl_reg 96	GPIO14_3	VOU1120_D TA11	-	-
D22	VOU1120_D TA12	muxctrl_reg 97	GPIO14_4	VOU1120_D TA12	-	-
B28	VOU1120_D TA13	muxctrl_reg 98	GPIO14_5	VOU1120_D TA13	AIO_BCLK_RX	-
A27	VOU1120_D TA14	muxctrl_reg 99	GPIO14_6	VOU1120_D TA14	-	-
B27	VOU1120_D TA15	muxctrl_reg 100	GPIO14_7	VOU1120_D TA15	-	-
D24	VOU1120_CL K	muxctrl_reg 101	GPIO12_7	VOU1120_CL K	-	-

VO 的软件复用管脚如表 2-64 所示。

表2-64 VO 的软件复用管脚描述

信号名	方向	说明
AIO_BCLK_RX	I/O	I2S/PCM 接收时钟。
AIO_BCLK_TX	I/O	I2S/PCM 发送时钟。
AIO_MCLK	O	I2S 或 PCM 接口主时钟，可以作为音频 CODEC 的工作时钟(低端 DAC)。
AIO_SD_RX	I	I2S 或 PCM 接口数据输入。
AIO_SD_TX	O	I2S 或 PCM 接口数据输出。
AIO_WS_RX	I/O	I2S 接收左右声道选择信号，或 PCM 接收帧同步信号。
AIO_WS_TX	I/O	I2S 发送左右声道选择信号，或 PCM 发送帧同步信号。
BOOT_SEL0/ BOOT_SEL1	I	启动模式选择信号：当 BOOTROM_SEL 为 0 时，用于选择从哪个介质启动： {BOOT_SEL1,BOOT_SEL0} 00: SPI FLASH 存储空间 01: DDR 存储空间（DDR 启动模式） 10: NAND FLASH 存储空间



信号名	方向	说明
		11: 保留
GPIO12_7	I/O	通用输入输出管脚。
GPIO13_0	I/O	通用输入输出管脚。
GPIO13_1	I/O	通用输入输出管脚。
GPIO13_2	I/O	通用输入输出管脚。
GPIO13_3	I/O	通用输入输出管脚。
GPIO13_4	I/O	通用输入输出管脚。
GPIO13_5	I/O	通用输入输出管脚。
GPIO13_6	I/O	通用输入输出管脚。
GPIO14_0	I/O	通用输入输出管脚。
GPIO14_1	I/O	通用输入输出管脚。
GPIO14_3	I/O	通用输入输出管脚。
GPIO14_4	I/O	通用输入输出管脚。
GPIO14_5	I/O	通用输入输出管脚。
GPIO14_6	I/O	通用输入输出管脚。
GPIO14_7	I/O	通用输入输出管脚。
VOU1120_CLK	O	BT.1120 接口时钟输出。
VOU1120_DATA0	O	BT.1120 接口的亮度信号输出。
VOU1120_DATA1	O	BT.1120 接口的亮度信号输出。
VOU1120_DATA10	O	BT.1120 接口的色度信号输出。
VOU1120_DATA11	O	BT.1120 接口的色度信号输出。
VOU1120_DATA12	O	BT.1120 接口的色度信号输出。
VOU1120_DATA13	O	BT.1120 接口的色度信号输出。
VOU1120_DATA14	O	BT.1120 接口的色度信号输出。
VOU1120_DATA15	O	BT.1120 接口的色度信号输出。
VOU1120_DATA2	O	BT.1120 接口的亮度信号输出。
VOU1120_DATA3	O	BT.1120 接口的亮度信号输出。
VOU1120_DATA4	O	BT.1120 接口的亮度信号输出。
VOU1120_DATA5	O	BT.1120 接口的亮度信号输出。



信号名	方向	说明
VOU1120_DATA6	O	BT.1120 接口的亮度信号输出。
VOU1120_DATA7	O	BT.1120 接口的亮度信号输出。
VOU1120_DATA8	O	BT.1120 接口的色度信号输出。
VOU1120_DATA9	O	BT.1120 接口的色度信号输出。

2.6 硬件管脚复用

RGMIIO 管脚复用

RGMIIO 管脚复用如表 2-65 所示。

表2-65 RGMIIO 硬件管脚复用

Pin	Pad 信号	复用信号 1 (power_on == 1'b1)
L26	RGMIIO_TXER	NF_BOOT_PIN4

RGMIIO 的硬件复用管脚如表 2-66 所示。

表2-66 与 RGMIIO 复用的管脚描述

信号名	方向	说明
NF_BOOT_PIN4	I	NAND Flash 配置参数。

RGMIIO 管脚复用

RGMIIO 管脚复用如表 2-67 所示。

表2-67 RGMIIO 硬件管脚复用

Pin	Pad 信号	复用信号 1 (power_on == 1'b1)
F26	RGMIIO_TXER	JTAG_SEL_CPU



RGMI1 的硬件复用管脚如表 2-68 所示。

表2-68 与 RGMI1 复用的管脚描述

信号名	方向	说明
JTAG_SEL_CPU	I	JTAG 功能选择： 1: JTAG 接口用于 CPU。 0: JTAG 接口用于其它功能（由 MISC 控制寄存器中 JTAG_SEL 寄存器决定其功能。）。

SFC 管脚复用

SFC 管脚复用如表 2-69 所示。

表2-69 SFC 硬件管脚复用

Pin	Pad 信号	复用信号 1 (power_on == 1'b1)
AD27	SFC_CLK	SFC_ADDR_MODE

SFC 的硬件复用管脚如表 2-70 所示。

表2-70 与 SFC 复用的管脚描述

信号名	方向	说明
SFC_ADDR_MODE	I	SFC 启动地址模式选择： 0: 3 字节模式。 1: 4 字节模式。

NFC 管脚复用

NFC 管脚复用如表 2-71 所示。

表2-71 NFC 硬件管脚复用

Pin	Pad 信号	复用信号 1 (power_on == 1'b1)
W26	NF_REN	NF_BOOT_PIN0
W25	NF_CLE	NF_BOOT_PIN1



Pin	Pad 信号	复用信号 1 (power_on == 1'b1)
Y26	NF_ALE	NF_BOOT_PIN2
Y25	NF_WEN	NF_BOOT_PIN3

NFC 的硬件复用管脚如表 2-72 所示。

表2-72 与 NFC 复用的管脚描述

信号名	方向	说明
NF_BOOT_PIN0	I	NAND Flash 配置参数。
NF_BOOT_PIN1	I	NAND Flash 配置参数。
NF_BOOT_PIN2	I	NAND Flash 配置参数。
NF_BOOT_PIN3	I	NAND Flash 配置参数。

JTAG 管脚复用

JTAG 管脚复用如表 2-73 所示。

表2-73 JTAG 硬件管脚复用

Pin	Pad 信号	复用信号 1 (jtag_en == 1'b0)
AG17	JTAG_TRSTN	GPIO12_0
AF16	JTAG_TCK	GPIO12_1
AH16	JTAG_TMS	GPIO12_2
AG16	JTAG_TDO	GPIO12_3
AH17	JTAG_TDI	GPIO12_4

JTAG 的硬件复用管脚如表 2-74 所示。



表2-74 与 JTAG 复用的管脚描述

信号名	方向	说明
GPIO12_0	I/O	通用输入输出管脚。
GPIO12_1	I/O	通用输入输出管脚。
GPIO12_2	I/O	通用输入输出管脚。
GPIO12_3	I/O	通用输入输出管脚。
GPIO12_4	I/O	通用输入输出管脚。

2.7 电性能参数

2.7.1 功耗参数

Hi3535 的功耗参数如表 2-75 所示。



注意

- 功耗参数基于芯片典型工作场景
- 单板电源设计必须参照硬件设计指南

表2-75 Hi3535 功耗参数

符号	参数	典型值	最大值	单位
内核电源	内核电流	1000	1600	mA
CPU 电源	CPU 电流	550	950	mA
3.3V 电源	接口电流	300	350	mA
1.5V 电源	DDR 接口电流	250	300	mA

2.7.2 温度和热阻参数

温度和热阻参数如表 2-76 所示。



说明

- 热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。
- 芯片结温和芯片功耗成正比关系，需要考虑将芯片结温控制在合理范围内，以匹配供电电源规格。
- 散热设计请参考硬件设计指南

表2-76 温度和热阻参数

参数	符号	最小值	典型值	最大值	单位
环境温度	T_A	0	-	70	°C
极限结温	T_{JMA} X	-20	-	105	°C
Junction-to-ambient thermal resistance	θ_{JA}	-	22	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	-	9.9	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	-	5.7	-	°C/W

2.7.3 工作条件

Hi3535 的工作条件如表 2-77 所示。

表2-77 工作条件

符号	描述	最小值	典型值	最大值	单位
DVDD_CORE	内部核电源	1.05	1.1	1.15	V
DVDD_CPU	CPU 内核电源	1.15	1.2	1.25	V
DVDD33	I/O 电源	2.97	3.3	3.63	V
DVDDIO_RGMII0	RGMII0 接口电源	2.97	3.3	3.63	V
DVDDIO_RGMII1	RGMII1 接口电源	2.97	3.3	3.63	V
VDDIO_DDR	DDR3 接口电源	1.425	1.5	1.575	V
VDDIO_CK_DDR	DDR3 时钟接口电源	1.425	1.5	1.575	V
AVDD_DDRPLL1 AVDD_DDRPLL2	DDR3 PLL 3.3V 模拟电源	3.125	3.3	3.6	V
AVDD11_PLL	PLL 1.1V 模拟电源	1.05	1.1	1.15	V
AVDD33_PLL	PLL 3.3V 模拟电源	2.97	3.3	3.63	V
AVDD33_USB2	USB2.0 3.3V 模拟电源	3.0	3.3	3.6	V



符号	描述	最小值	典型值	最大值	单位
AVDD11_VP_SATA AVDD11_VPTX0_SATA AVDD11_VPTX1_SATA AVDD11_VPTX2_SATA	SATA 1.1V 模拟电源	1.05	1.1	1.15	V
AVDD33_VPH_SATA	SATA 3.3V 模拟电源	3.201	3.3	3.63	V
AVDD33_VDAC	VDAC 3.3V 模拟电源	3.0	3.3	3.6	V
AVDD33_AC	ADAC 3.3V 模拟电源	3.0	3.3	3.6	V
AVCC_HDMITX	HDMI TX 1.1V 模拟电源	1.05	1.1	1.15	V
AVCC_PLL_HDMITX	HDMI TX 1.1V 模拟电源	1.05	1.1	1.15	V
AVDD33_USB3	USB3.0 3.3V 模拟电源	3.201	3.3	3.63	V
AVDD11_VPTX0_USB3 AVDD11_VP_USB3	USB3.0 1.1V 模拟电源	1.05	1.1	1.15	V
DVDD11_USB3	USB3.0 1.1V 数字电源	1.05	1.1	1.15	V
AVDD_BAT	RTC 电池电源	1.7	-	3.6	V
AVDD33_RTC	RTC 模拟电源	3.0	3.3	3.63	V

2.7.4 上下电顺序

为避免 IO 在上电过程中产生大电流，推荐上电顺序依次为 DVDD33、DVDD_CORE 和 DVDD_CPU。对下电顺序没有要求。

2.7.5 DC/AC 电气参数

Hi3535 DC 电气参数如表 2-78 所示。



表2-78 DC 电气参数表 (DVDD33=3.3V, 部分接口兼容 5V 输入)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	接口电压	2.97	3.3	3.63	V	-
V _{IH}	高电平输入电压	2.0	-	DVDD33+0.3	V	不兼容 5V 输入, 部分接口支持 5V 输入, 最大输入要求不高于 5.5
V _{IL}	低电平输入电压	-0.3	-	0.8	V	-
I _L	输入漏电流	-	-	±10	μA	-
I _{OZ}	三态输出漏电流	-	-	±10	μA	-
V _{OH}	高电平输出电压	2.4	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.4	V	-
R _{PU}	内部上拉电阻	27	40	64	kΩ	-
R _{PD}	内部下拉电阻	31	46	78	kΩ	-
R _{PU8k}	上拉电阻	7.1	8.5	10	kΩ	-
R _{PD8k}	下拉电阻	7.1	8.4	10	kΩ	-

DDR3 模式下, DC 电气参数如表 2-79 所示。

表2-79 DC 电气参数表 (DDR_VDDQ=1.5V, DDR3 模式)

符号	参数	最小值	典型值	最大值	单位	说明
VDDIO_D DR	接口电压	1.425	1.5	1.575	V	-
V _{ref}	参考电压	0.49 x VDDIO_DDR	0.5 x VDDIO _DDR	0.51 x VDDIO_DDR	-	(0.49~0.51) x DDR_DVDD IO
V _{TT}	端接电压	V _{ref} -40mV	V _{ref}	V _{ref} +40mV	mV	-
V _{IH(DC)}	高电平输入电压	V _{ref} +0.1	-	VDDIO_DDR +0.3	V	-
V _{IL(DC)}	低电平输入电压	-0.3	-	V _{ref} -0.1	V	-



符号	参数	最小值	典型值	最大值	单位	说明
V_{OH}	高电平输出电压	$0.8 \triangle x VDDIO_DDR$	-	$(1+0.1) \triangle x VDDIO_DDR$	V	驱动可配置
V_{OL}	低电平输出电压	0	-	$0.2 \triangle x VDDIO_DDR$	V	驱动可配置
输出阻抗	-	34	-	80	Ω	-

DDR3 模式下，AC 电气参数如表 2-80 所示。

表2-80 AC 电气参数表 (DDR_VDDQ=1.5V, DDR3 模式)

符号	参数	最小值	最大值	单位	说明
$V_{IH(AC)}$	高电平输入电压	$V_{ref} + 0.15$	$VDDIO_DDR + 0.3$	V	-
$V_{IL(AC)}$	低电平输入电压	-	$V_{ref} - 0.15$	V	-
V_{OH}	高电平输出电压	$V_{TT} + 0.1 \triangle x VDDIO_DDR$	-	V	-
V_{OL}	低电平输出电压	-	$V_{TT} - 0.1 \triangle x VDDIO_DDR$	V	-

2.8 PCB 设计建议

PCB 设计的详细内容请参见《Hi3535 硬件设计 用户指南》。

2.9 接口时序

2.9.1 DDR 接口时序

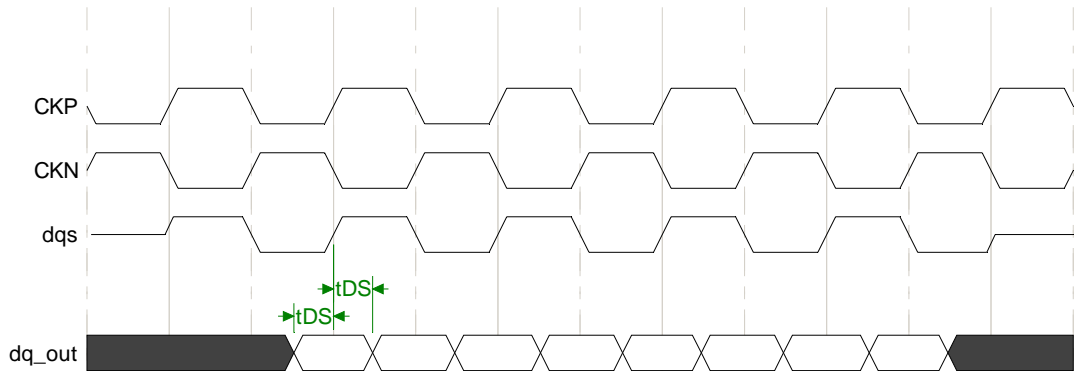
2.9.1.1 写操作时序

dqs_out 相对于 dq_out 的写操作时序

dqs_out 相对于 dq_out 的写操作时序的主要时序参数是 tDS 和 tDH。



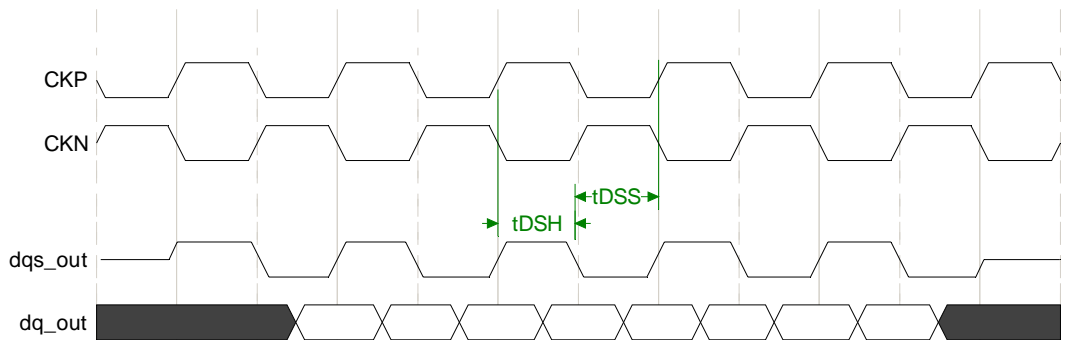
图2-9 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图



dqs_out 相对于 ck 的写操作时序

dqs_out 相对于 ck 的写操作时序。DDR3 的时序如图 2-10 所示。

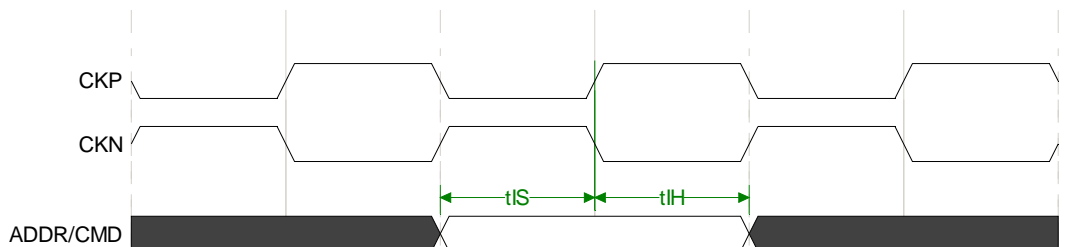
图2-10 DDR3 中 dqs_out 相对于 ck 的写操作时序图



命令和地址相对于 ck 的写操作时序

命令和地址相对于 ck 的写操作时序如图 2-11 所示。

图2-11 命令和地址相对于 ck 的写操作时序图





2.9.1.2 读操作时序

命令和地址相对于 ck 的读操作时序

“命令和地址相对于 ck 的读操作时序”与“命令和地址相对于 ck 的写操作时序”相同。

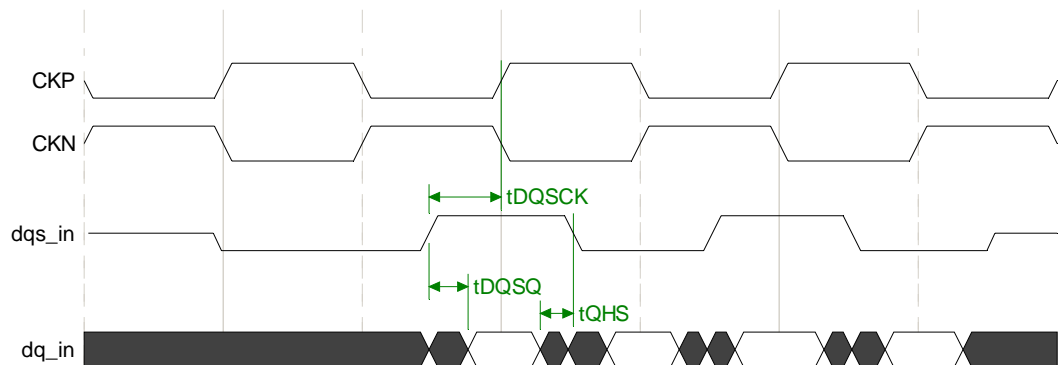
dqs_in 相对于 dq_in 的读操作时序

dqs_in 相对于 dq_in 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 dqs_in 和 dq_in 时序。

对于 DDR SDRAM 输出时序，理想情况下，DQS 和 ck 是同相位的，实际情况下，DQS 相对于 CK 有 tDQSCK 的偏斜。tDQSCK 为 0.35ns。tDQSQ 是 dq 和 dqs 之间的抖动，是最晚有效的 dq 相对于 dqs 的抖动，该值为 0.2ns，tQHS 是最早有效的 dq 相对于 dqs 的抖动，其值为 0.3ns。

DDRn SDRAM 输出时序如图 2-12 所示。

图2-12 DDRn SDRAM 输出时序图



2.9.1.3 时序参数

DDR 接口时序满足 JEDEC (JESD79-2E 和 JESD79-3B) 标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

对于 Hi3535，以 DDR3-1600 的时序参数为依据。

DDR3-1600 SDRAM 时钟参数如表 2-81 和表 2-82 所示。

表2-81 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	800.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	47.000	%



参数	典型值	单位
时钟偏斜	0.100	ns

表2-82 DDR3 SDRAM 存储器参数表 (DDR3-1600)

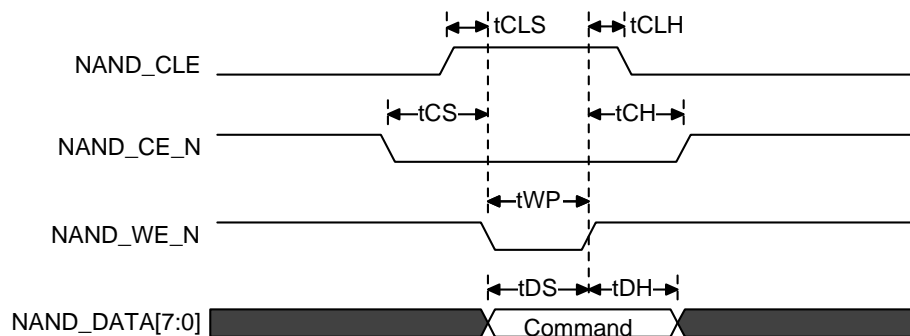
参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.2	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.2	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.025	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.100	ns
DQS 与 DQ 的偏斜	tDQSQ	0.150	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.125	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.200	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.300	ns

2.9.2 NANDC 接口时序

2.9.2.1 命令周期时序

NANDC 命令周期时序如图 2-13 所示。

图2-13 NANDC 命令周期时序图



说明

NAND_WE_N 和 NAND_RE_N 的高电平宽度和低电平宽度是可以通过 NAND Flash 控制器的 NF_PULSE_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以配置”表示。



NANDC 命令周期时序参数如表 2-83 所示。

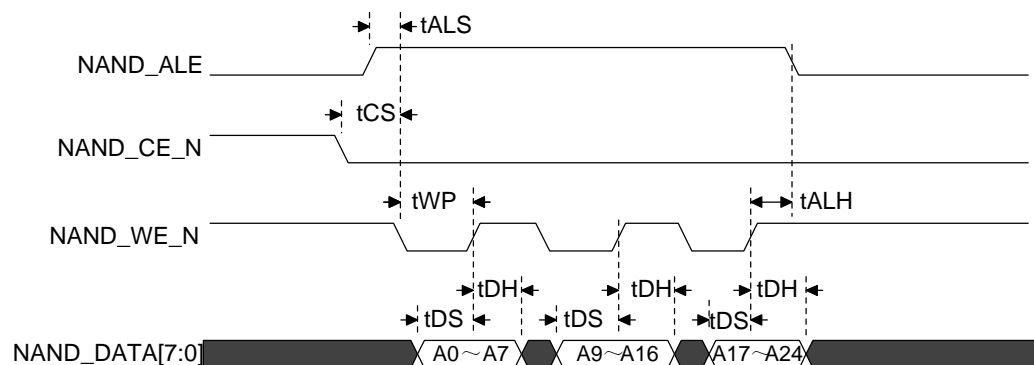
表2-83 NANDC 命令周期时序参数表

参数	符号	最小值	最大值	单位	说明
NAND_CLE 建立时间	tCLS	0	-	ns	-
NAND_CLE 保持时间	tCLH	10	-	ns	可以配置
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置

2.9.2.2 地址周期时序

NANDC 地址周期时序如图 2-14 所示。

图2-14 NANDC 地址周期时序图



NANDC 地址周期时序参数如表 2-84 所示。

表2-84 NANDC 地址周期时序参数表

参数	符号	最小值	最大值	单位	说明
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
NAND_ALE 建立时间	tALS	0	-	ns	-
NAND_ALE 保持时间	tALH	10	-	ns	可以配置

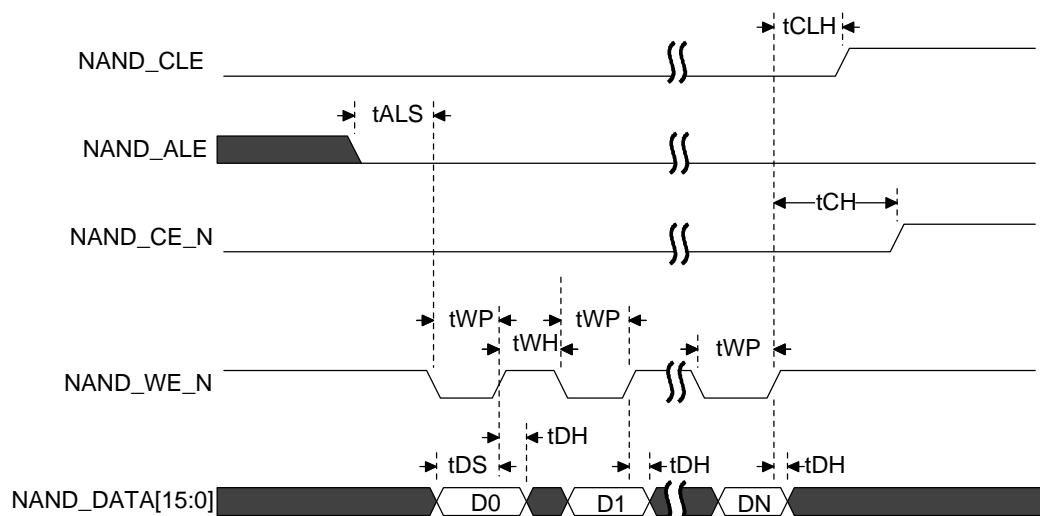


参数	符号	最小值	最大值	单位	说明
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置

2.9.2.3 写数据时序

NANDC 写数据时序如图 2-15 所示。

图2-15 NANDC 写数据时序图



NANDC 写数据时序参数如表 2-85 所示。

表2-85 NANDC 写数据时序参数表

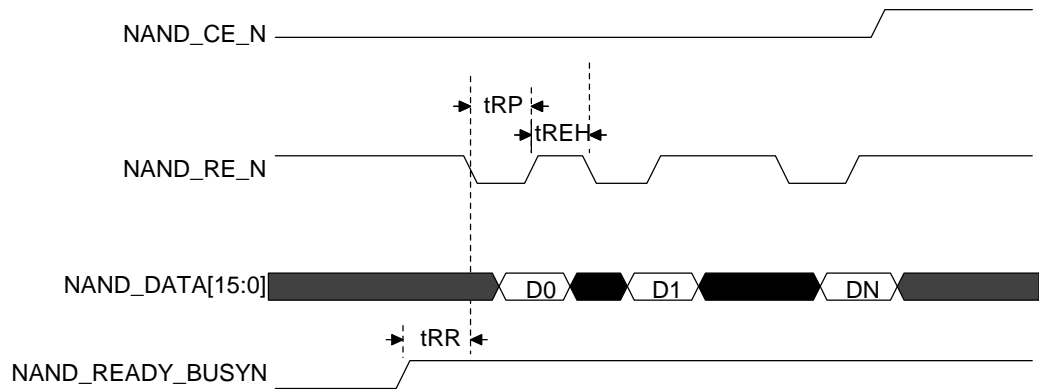
参数	符号	最小值	最大值	单位	说明
NAND_CLE 保持时间	tCLH	10	-	ns	可以配置
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
NAND_ALE 建立时间	tALS	0	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置
NAND_WE_N 高电平保持时间	tWH	15	-	ns	可以配置



2.9.2.4 读数据时序

NANDC 读数据时序如图 2-16 所示。

图2-16 NANDC 读数据时序图



NANDC 读数据时序参数如表 2-86 所示。

表2-86 NANDC 读数据时序参数表

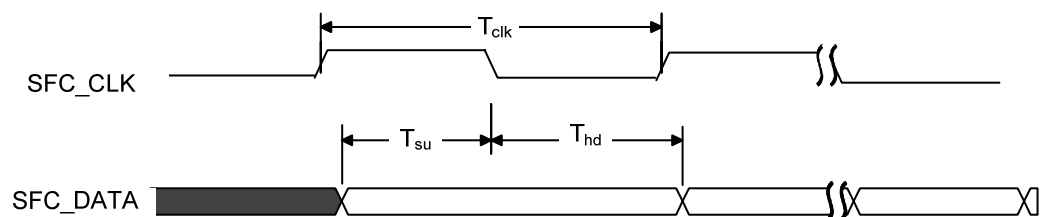
参数	符号	最小值	最大值	单位	说明
NAND_RE_N 变低等待时间	tRR	15	-	ns	可以配置
NAND_RE_N 脉冲宽度	tRP	15	-	ns	可以配置
NAND_RE_N 高电平宽度	tREH	15	-	ns	可以配置

注：tRR 延时可以配置。

2.9.3 SFC 接口时序

SFC 输入方向时序如图 2-17 所示。

图2-17 SFC 输入方向时序图



SFC 输入方向时序参数如表 2-87 所示。

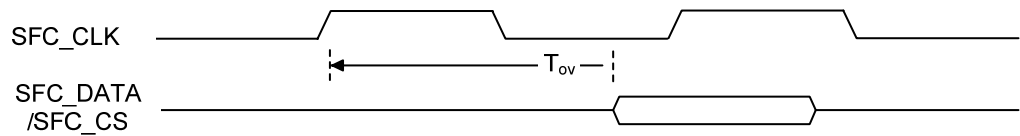


表2-87 SFC 输入方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期	T_{clk}	16	-	83.2	ns
输入信号建立时间要求	T_{su}	1	-	-	ns
输入信号保持时间要求	T_{hd}	1.2	-	-	ns

SFC 输出方向时序如图 2-18 所示。

图2-18 SFC 输出方向时序图



SFC 输出方向时序参数如表 2-88 所示。

表2-88 SFC 输出方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFCCLK 时钟周期	T	16	-	83.2	ns
输出数据信号延时	T_{ov}	5	-	$T-3$	ns
输出片选信号延时	T_{ov}	5	-	$T-3$	ns

2.9.4 Ethernet MAC 接口时序

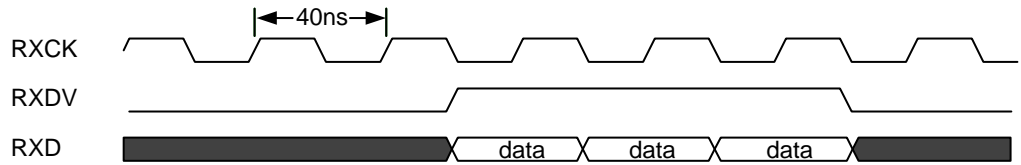
2.9.4.1 MII 接口时序

芯片提供标准的 MII 接口，连接 PHY（Physical Layer Entity Sublayer）芯片，符合 MII 接口时序标准。

MII 接口 100Mbit/s 接收时序如图 2-19 所示。

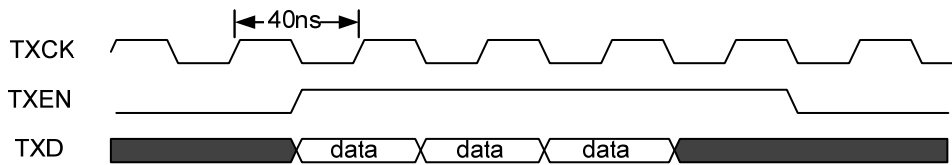


图2-19 MII 接口 100Mbit/s 接收时序



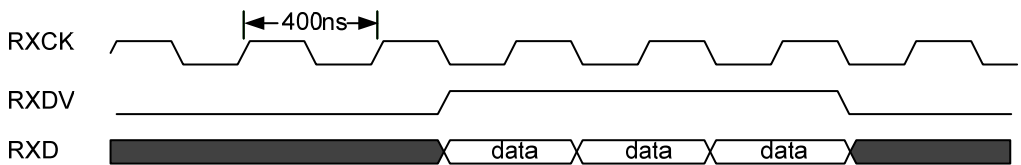
MII 接口 100Mbit/s 发送时序如图 2-20 所示。

图2-20 MII 接口 100Mbit/s 发送时序



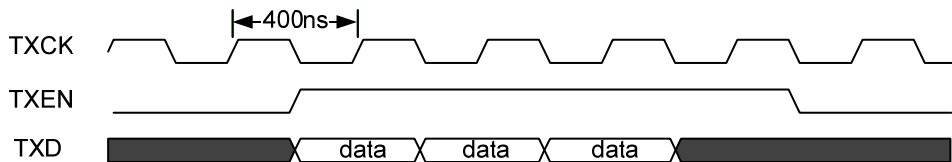
MII 接口 10Mbit/s 接收时序如图 2-21 所示。

图2-21 MII 接口 10Mbit/s 接收时序



MII 接口 10Mbit/s 发送时序如图 2-22 所示。

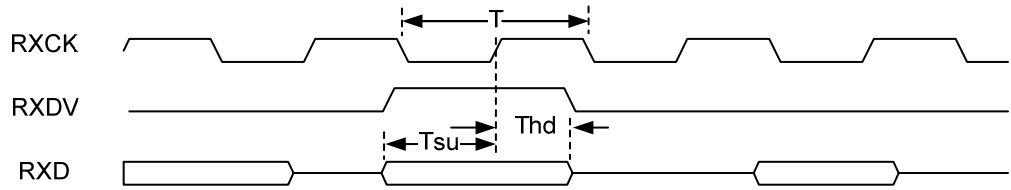
图2-22 MII 接口 10Mbit/s 发送时序



MII 接口接收时序参数如图 2-23 所示。

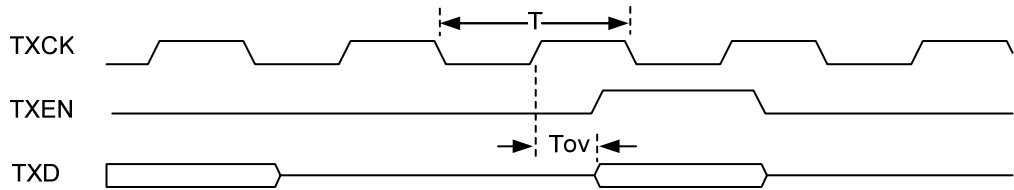


图2-23 MII 接口接收时序参数



MII 接口发送时序参数如图 2-24 所示。

图2-24 MII 接口发送时序参数



MII 接口时序参数说明如表 2-89 所示。

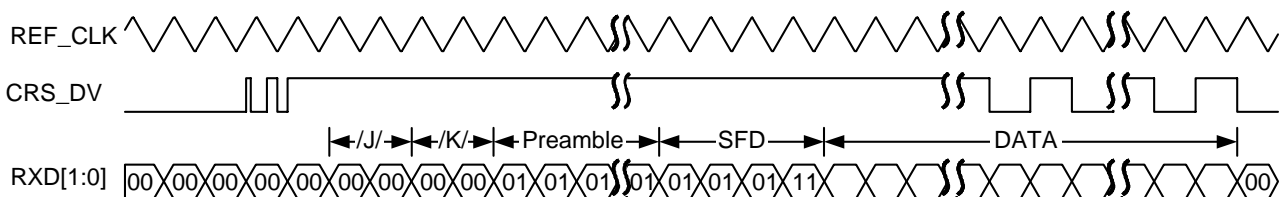
表2-89 MII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
MII 时钟周期	T	RXCK、TXCK	40	40	ns
MII 信号建立时间	Tsu (RX)	RXER、RXDV、RXD[3:0]	6	-	ns
MII 信号保持时间	Thd (RX)	RXER、RXDV、RXD[3:0]	2	-	ns
MII 输出信号延时	Tov (TX)	TXD[3:0]、TXEN	4	16	ns

2.9.4.2 RMII 接口时序

RMII 接口 100Mbit/s 接收时序如图 2-25 所示。

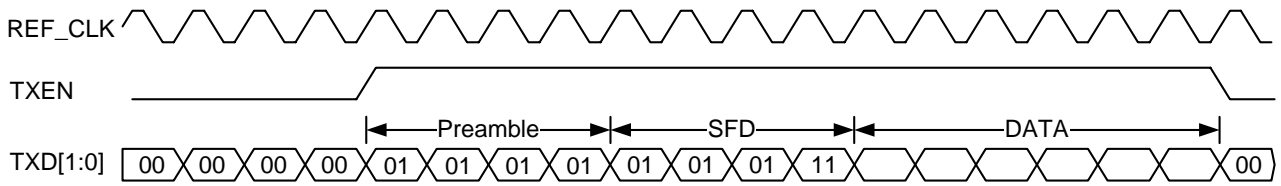
图2-25 RMII 接口 100Mbit/s 接收时序





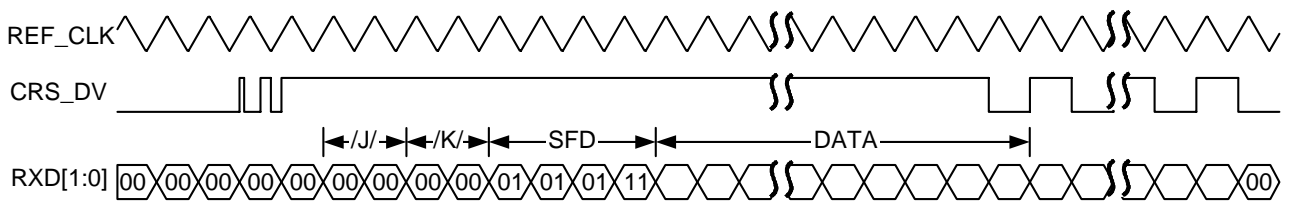
RMII 接口 100Mbit/s 发送时序如图 2-26 所示。

图2-26 RMII 接口 100Mbit/s 发送时序



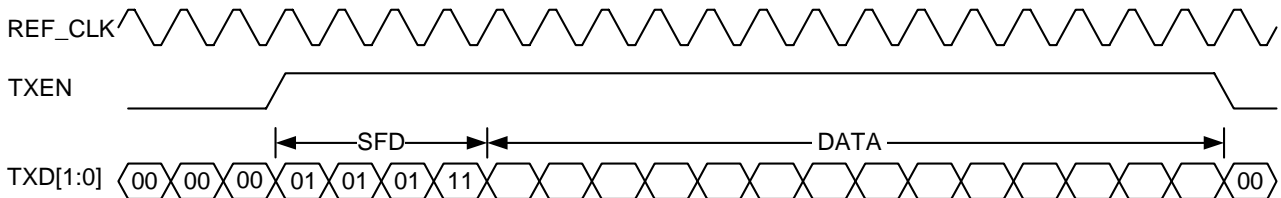
RMII 接口 10Mbit/s 接收时序如图 2-27 所示。

图2-27 RMII 接口 10Mbit/s 接收时序



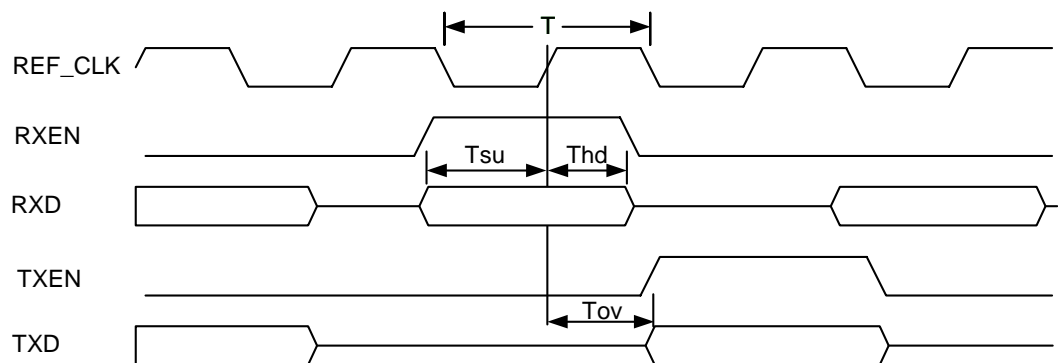
RMII 接口 10Mbit/s 发送时序如图 2-28 所示。

图2-28 RMII 接口 10Mbit/s 发送时序



RMII 接口时序参数如图 2-29 所示。

图2-29 RMII 接口时序参数





RMII 接口时序参数说明如表 2-90 所示。

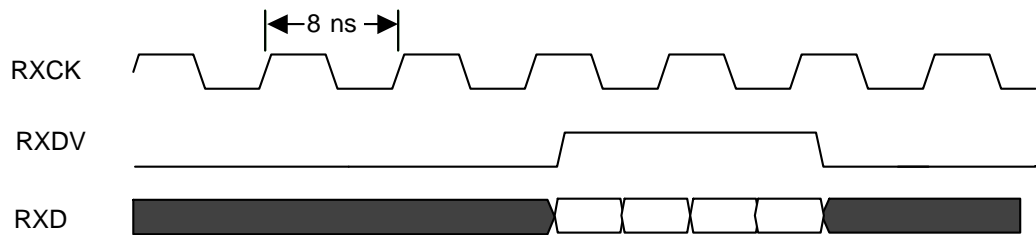
表2-90 RMII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
RMII 信号建立时间	T _{su} (RX)	CRS_DV/RXD[1:0]	3	-	ns
RMII 信号保持时间	T _{hd} (RX)	CRS_DV/RXD[1:0]	2	-	ns
RMII 输出信号延时	T _{ov} (RMIITX)	TXEN/TXD[1:0]	3	16	ns

2.9.4.3 RGMII 接口时序

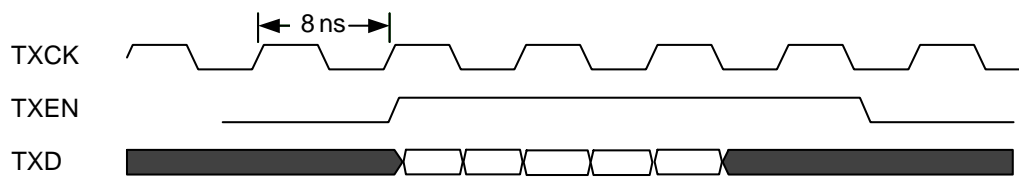
RGMII 接口 1000Mbit/s 接收时序如图 2-30 所示。

图2-30 RGMII 接口 1000Mbit/s 接收时序



RGMII 接口 1000Mbit/s 发送时序如图 2-31 所示。

图2-31 RGMII 接口 1000Mbit/s 发送时序



RGMII 接口时序参数说明如表 2-91 所示。

表2-91 RGMII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
RGMII 时钟周期	T	RXCK、TXCK	8	8	ns
RGMII 信号建立时间	T _{su} (RX)	RXER、RXDV、RXD[3:0]	1	-	ns

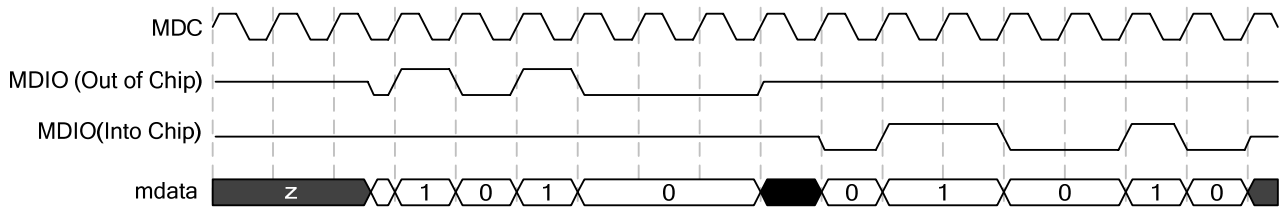


参数	符号	信号	最小值	最大值	单位
RGMI I 信号保持时间	Thd (RX)	RXER、RXDV、RXD[3:0]	1	-	ns
RGMI I 输出信号延时	Tov (TX)	TXD[3:0]、TXEN	-0.5	0.5	ns

2.9.4.4 MDIO 接口时序

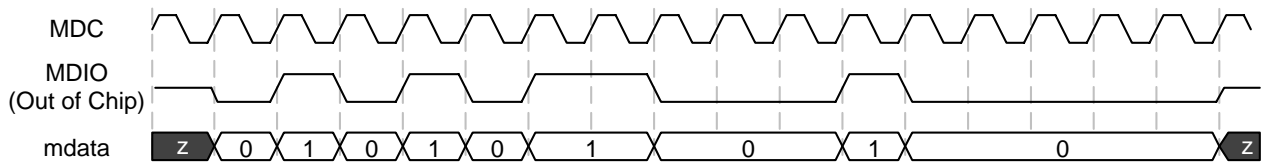
MDIO 接口读时序如图 2-32 所示。

图2-32 MDIO 接口读时序



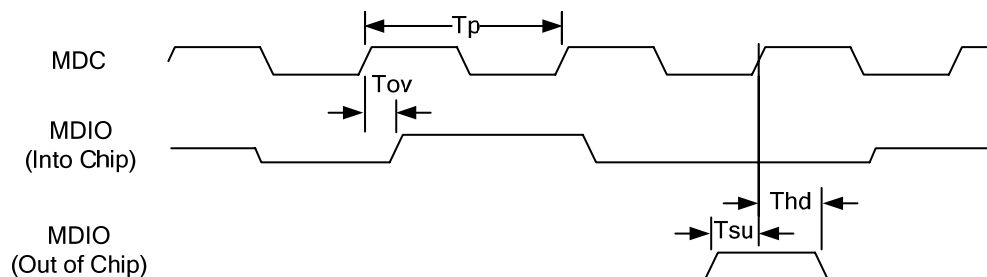
MDIO 接口写时序如图 2-33 所示。

图2-33 MDIO 接口写时序



MDIO 接口时序参数如图 2-34 所示。

图2-34 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 2-92 所示。



表2-92 MDIO 接口时序参数

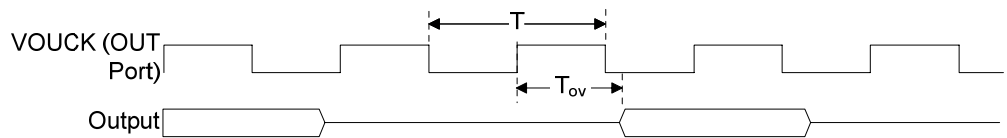
参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	T _{ov}	MDIO	0	300	ns
MDIO 时钟周期	T _p	MDCK	413	1240	ns
MDIO 发送数据建立时间	T _{su}	MDIO	10	-	ns
MDIO 发送数据保持时间	T _{hd}	MDIO	10	-	ns

注：MDC 时钟周期 T_p 可通过调整 MDC 频率（MDIO_RWCTRL[frq_dv]）进行改变，选择 Ethernet 工作时钟的 102 分频、62 分频或者其他分频。T_{ov} 与 MDC 时钟周期 T_p 相关，约为 T_{mdc}/2。

2.9.5 VO 接口时序

VO 接口时序如图 2-35 所示。

图2-35 VO 接口时序



VO 接口时序参数如表 2-93 所示。

表2-93 VO 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
工作频率一					
VO1CLK 时钟周期	T	-	37	-	ns
输出信号延时	T _{ov}	17	-	22	ns
工作频率二					
VO0CLK 时钟周期	T	-	6.74	-	ns
输出信号延时	T _{ov}	2.5	-	4.8	ns

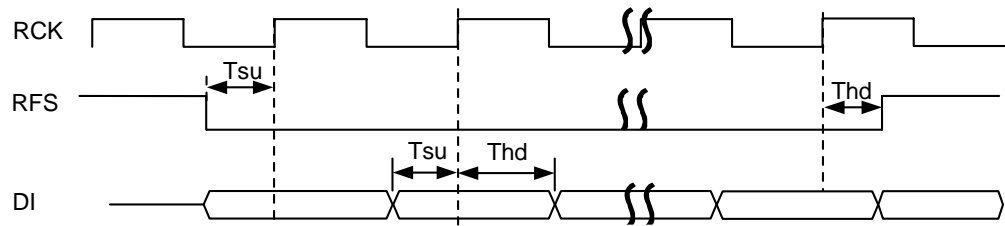
2.9.6 AIO 接口时序

2.9.6.1 I²S 接口时序

I²S 接口接收时序如图 2-36 所示。

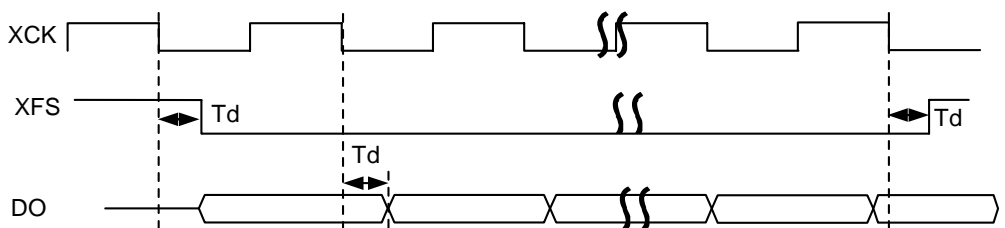


图2-36 I²S 接口接收时序图



I²S 接口发送时序如图 2-37 所示。

图2-37 I²S 接口发送时序图



I²S 接口时序参数如表 2-94 所示。

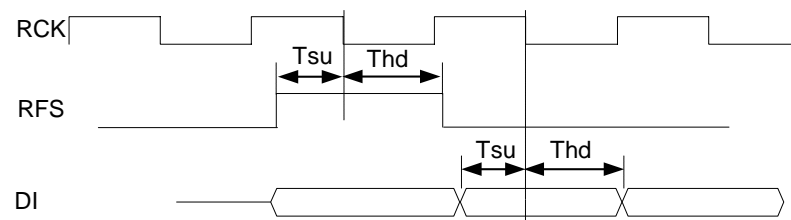
表2-94 I²S 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

2.9.6.2 PCM 模式接口时序

PCM 接口接收时序如图 2-38 所示。

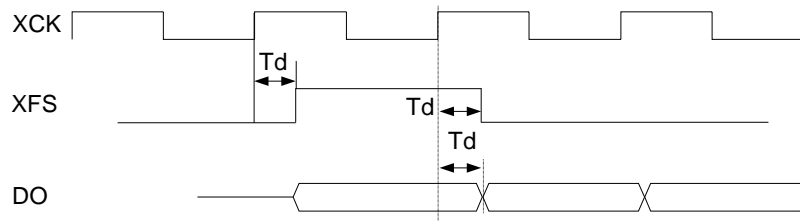
图2-38 PCM 接口接收时序图



PCM 接口发送时序如图 2-39 所示。



图2-39 PCM 接口发送时序图



PCM 接口时序参数如表 2-95 所示。

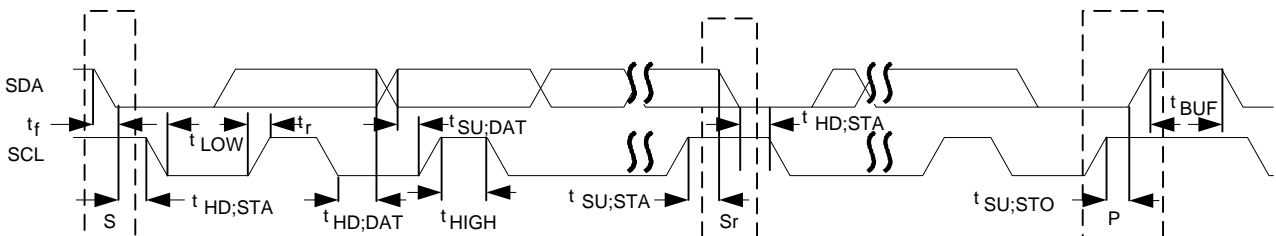
表2-95 PCM 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

2.9.7 I²C 时序

I²C 传输时序如图 2-40 所示。

图2-40 I²C 传输时序图



I²C 接口时序参数如表 2-96 所示。

表2-96 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	kHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	μ s
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μ s



参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{\text{SU,STA}}$	4.7	-	0.6	-	μs
数据保持时间	$t_{\text{HD,DAT}}$	0	3.45	0	0.9	μs
数据建立时间	$t_{\text{SU,DAT}}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{\text{SU,STO}}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{\text{DD}}$	-	$0.1V_{\text{DD}}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{\text{DD}}$	-	$0.2V_{\text{DD}}$	-	V

2.9.8 SPI 接口时序

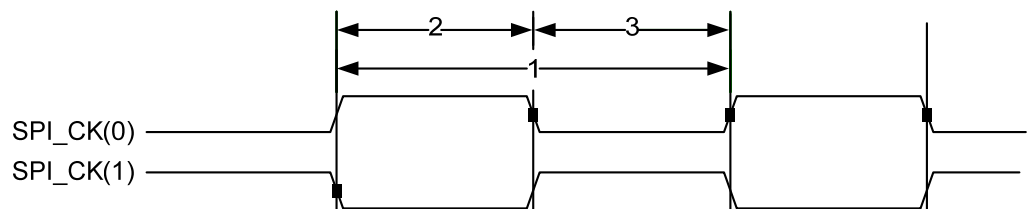
说明

图 2-41~图 2-43 中，以下缩略语或字母意义不变：

- MSB:Most Significant Bit
- LSB:Least Significant Bit
- SPI_CK(0):spo=0
- SPI_CK(1):spo=1

SPI 接口时钟时序如图 2-41 所示。

图2-41 SPICK 时序



SPI 主模式下接口时序分别如图 2-42 和图 2-43 所示。



图2-42 SPI 主模式下接口时序 (sph=0)

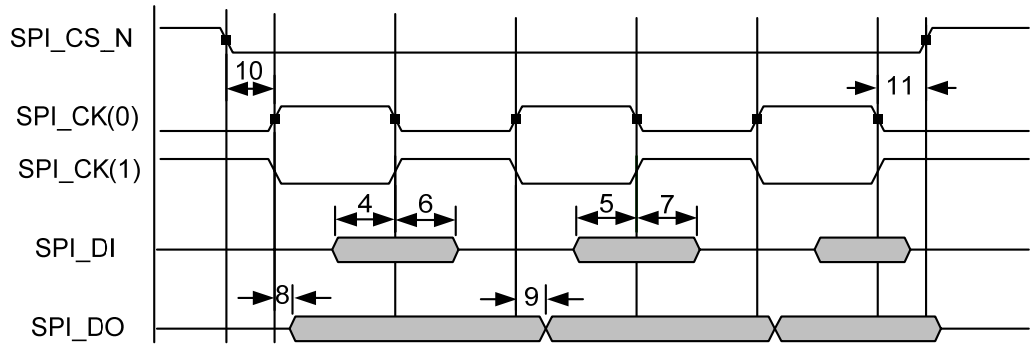
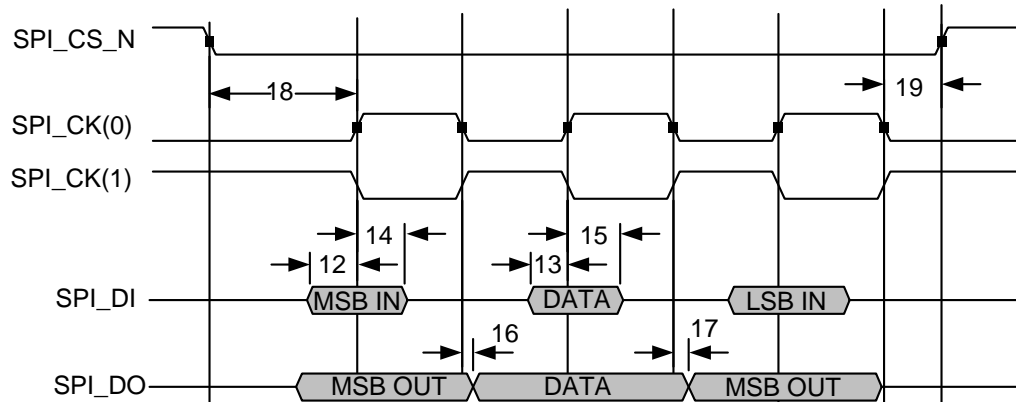


图2-43 SPI 主模式下接口时序 (sph=1)



SPI 接口时序参数如表 2-97 所示。

表2-97 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位
1	Cycle time, SPI_CK	tc	-	-	-	ns
2	Pulse duration, SPI_CK high (All Master Modes)	tw1	-	-	-	ns
3	Pulse duration. SPI_CK low (All Master Modes)	tw2	-	-	-	ns
4	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu1	-	-	-	ns
5	Setup time, SPI_DI (in put) valid before SPICK (output) rising edge	tsu2	-	-	-	ns



No	参数	符号	最小值	典型值	最大值	单位
6	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th1	-	-	-	ns
7	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th2	-	-	-	ns
8	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td1	-	-	-	ns
9	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td2	-	-	-	ns
10	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td3	-	-	-	ns
11	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td4	-	-	-	ns
12	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu3	-	-	-	ns
13	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu4	-	-	-	ns
14	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th3	-	-	-	ns
15	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th4	-	-	-	ns
16	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td5	-	-	-	ns
17	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td6	-	-	-	ns
18	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td7	-	-	-	ns
19	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td8	-	-	-	ns



目 录

3 系统	3-1
3.1 复位	3-1
3.1.1 概述	3-1
3.1.2 复位控制	3-1
3.1.3 复位配置	3-2
3.2 时钟	3-3
3.2.1 概述	3-3
3.2.2 功能框图	3-3
3.2.3 时钟资源分布	3-4
3.2.4 PLL 配置	3-6
3.2.5 频率配置	3-7
3.2.6 CRG 寄存器概览	3-19
3.2.7 CRG 寄存器描述	3-21
3.3 中断系统	3-80
3.4 系统控制器	3-81
3.4.1 概述	3-81
3.4.2 特点	3-81
3.4.3 功能描述	3-82
3.4.4 系统控制器寄存器	3-85
3.4.5 外设控制寄存器	3-106
3.5 CIPHER	3-170
3.5.1 概述	3-170
3.5.2 特点	3-170
3.5.3 功能描述	3-171
3.5.4 工作方式	3-181
3.5.5 CIPHER 寄存器概览	3-183
3.5.6 CIPHER 寄存器描述	3-185
3.6 定时器	3-205
3.6.1 概述	3-205
3.6.2 特点	3-205



3.6.3 功能描述	3-205
3.6.4 工作方式	3-206
3.6.5 Timer 寄存器概览	3-207
3.6.6 Timer 寄存器描述	3-207
3.7 看门狗	3-212
3.7.1 概述	3-212
3.7.2 特点	3-212
3.7.3 功能描述	3-212
3.7.4 工作方式	3-214
3.7.5 WDG 寄存器概览	3-215
3.7.6 WDG 寄存器描述	3-215
3.8 实时时钟	3-218
3.8.1 概述	3-218
3.8.2 特点	3-219
3.8.3 功能描述	3-219
3.8.4 工作方式	3-219
3.8.5 RTC 寄存器概览	3-222
3.8.6 RTC 寄存器描述	3-226
3.8.7 RTC 内部寄存器描述	3-232
3.9 电源管理与低功耗模式控制	3-267
3.9.1 概述	3-267
3.9.2 系统工作模式	3-268
3.9.3 时钟门控和时钟频率调整	3-268
3.9.4 模块级低功耗控制	3-269
3.9.5 DDR 低功耗控制	3-269
3.10 处理器子系统	3-270
3.10.1 ARMCortexA-9 处理器	3-270
3.10.2 L2 Cache	3-270



插图目录

图 3-1 复位信号控制图	3-1
图 3-2 时钟管理模块功能框图.....	3-3
图 3-3 时钟资源分布框图.....	3-5
图 3-4 系统模式切换图	3-83
图 3-5 芯片 ID 寄存器位分配图	3-85
图 3-6 3 个密钥和 2 个密钥的 3DES 加密操作	3-172
图 3-7 3 个密钥和 2 个密钥的 3DES 解密操作	3-172
图 3-8 AES/DES 的电子密码本 (ECB) 模式.....	3-173
图 3-9 3DES 的电子密码本 (ECB) 模式	3-173
图 3-10 AES/DES 的密码分组链接 (CBC) 模式.....	3-174
图 3-11 3DES 的密码分组链接 (CBC) 模式	3-175
图 3-12 AES/DES 的 s 位密码反馈 (CFB) 模式.....	3-176
图 3-13 3DES 的 s 位密码反馈 (CFB) 模式	3-177
图 3-14 AES 的输出反馈 (OFB) 模式.....	3-178
图 3-15 DES 的 s 位输出反馈 (OFB) 模式.....	3-179
图 3-16 3DES 的 s 位输出反馈 (OFB) 模式.....	3-180
图 3-17 AES 的 CTR 模式	3-181
图 3-18 多分组加解密通道链表头结构如下:	3-182
图 3-19 WatchDog 应用框图.....	3-213



表格目录

表 3-1 复位信号分类表	3-2
表 3-2 Hi3535 PLL 对应的配置寄存器.....	3-6
表 3-3 Hi3535 PLL 频率计算方法.....	3-6
表 3-4 A9/DDR/BUS 频率配置	3-7
表 3-5 系统控制器状态和时钟切换对应关系.....	3-8
表 3-6 VDP 模块时钟频率配置.....	3-9
表 3-7 HDMI 管脚输出时钟频率配置.....	3-10
表 3-8 VEDU 时钟频率配置.....	3-10
表 3-9 VPSS 时钟频率配置.....	3-11
表 3-10 VDH0/VDH1 时钟频率配置	3-12
表 3-11 TDE 时钟频率配置.....	3-13
表 3-12 VGS 时钟频率配置.....	3-13
表 3-13 JPGD 时钟频率配置.....	3-14
表 3-14 JPGE 时钟频率配置	3-14
表 3-15 MDU 时钟频率配置.....	3-15
表 3-16 VAPU 时钟频率配置	3-15
表 3-17 TOE 时钟频率配置.....	3-16
表 3-18 SATA/PCIE/USB PHY 时钟频率配置	3-16
表 3-19 SFC 时钟频率配置	3-17
表 3-20 NFC 时钟频率配置.....	3-17
表 3-21 PWM 时钟频率配置.....	3-17
表 3-22 GMAC 时钟模式配置.....	3-18
表 3-23 AIO 时钟频率配置.....	3-19
表 3-24 CRG 寄存器概览（基址是 0x2003_0000）	3-19
表 3-25 A9 中断源分配表.....	3-80



表 3-26 系统控制器寄存器概览（基址是 0x2005_0000）	3-85
表 3-27 外设控制寄存器概览（基址是 0x2012_0000）	3-106
表 3-28 CAS 各个 bit 标志.....	3-182
表 3-29 CIPHER 寄存器概览（基址是 0x1005_0000）	3-183
表 3-30 CIPHER 寄存器偏移地址变量表.....	3-185
表 3-31 Timer 寄存器概览.....	3-207
表 3-32 WatchDog 寄存器概览（基址是 0x2004_0000）	3-215
表 3-33 RTC 寄存器概览（基址是 0x2006_0000）	3-222
表 3-34 RTC 内部寄存器概览（基址是 0x00）	3-223



3 系统

3.1 复位

3.1.1 概述

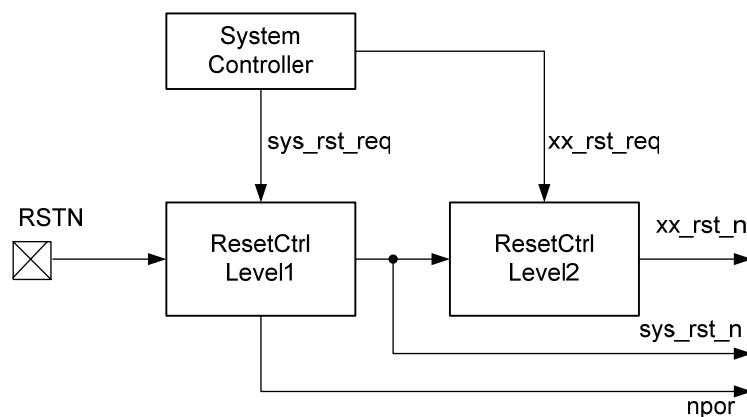
复位管理模块对整个芯片的复位、各功能模块的复位进行统一的管理，包括：

- 上电复位的管理和控制
- 系统软复位、功能模块单独软复位控制
- 复位信号同步到各模块对应时钟域
- 复位管理模块生成芯片内部各功能模块的复位信号。

3.1.2 复位控制

复位信号控制如图 3-1 所示。

图3-1 复位信号控制图



RSTN	上电复位信号，源自芯片管脚 RSTN 输入。
sys_rst_req	全局软复位请求信号，源自系统控制器。
xx_rst_req	子模块单独软复位请求信号，源自 CRG 控制寄存器。
xx_rst_n、sys_rst_n、npor	复位信号。



复位信号分类如表 3-1 所示。

表3-1 复位信号分类表

复位信号类型	产生方式	用途
全局硬复位 npor	来自复位管脚 RSTN	对整芯片进行全局复位。
全局软复位 sys_rst_n	软件配置系统控制器的全局软复位寄存器	对整芯片中除了时钟复位电路和测试电路的所有模块进行全局复位。
子模块复位 xx_rst_n	软件配置 CRG 控制寄存器的子模块复位控制寄存器	芯片各子模块的单独复位。

3.1.3 复位配置

上电复位

RSTN 是 Hi3535 芯片的功能复位输入管脚，完成上电复位过程必须同时满足以下条件：

- 上电复位管脚输入一个低电平脉冲。
- 晶振时钟输入管脚 XIN 输入的时钟稳定。
- 输入的上电复位信号低电平维持时间大于 12 个 XIN 晶振时钟周期。

系统复位

实现系统复位有两种途径：

- 上电复位。
- 全局软复位，通过系统控制器控制。

软复位

软复位控制通过配置相应的系统控制器来实现，具体配置请参见每个模块的复位寄存器描述。



注意

- 系统软复位请求发出后，电路必须等待至少 360 个系统时钟周期才完成复位撤消。
- 各模块单独软复位不会自动撤消，例如某模块的复位是配置 1 时，模块处于复位状态，必须再配置为 0，该模块复位才会撤消。



3.2 时钟

3.2.1 概述

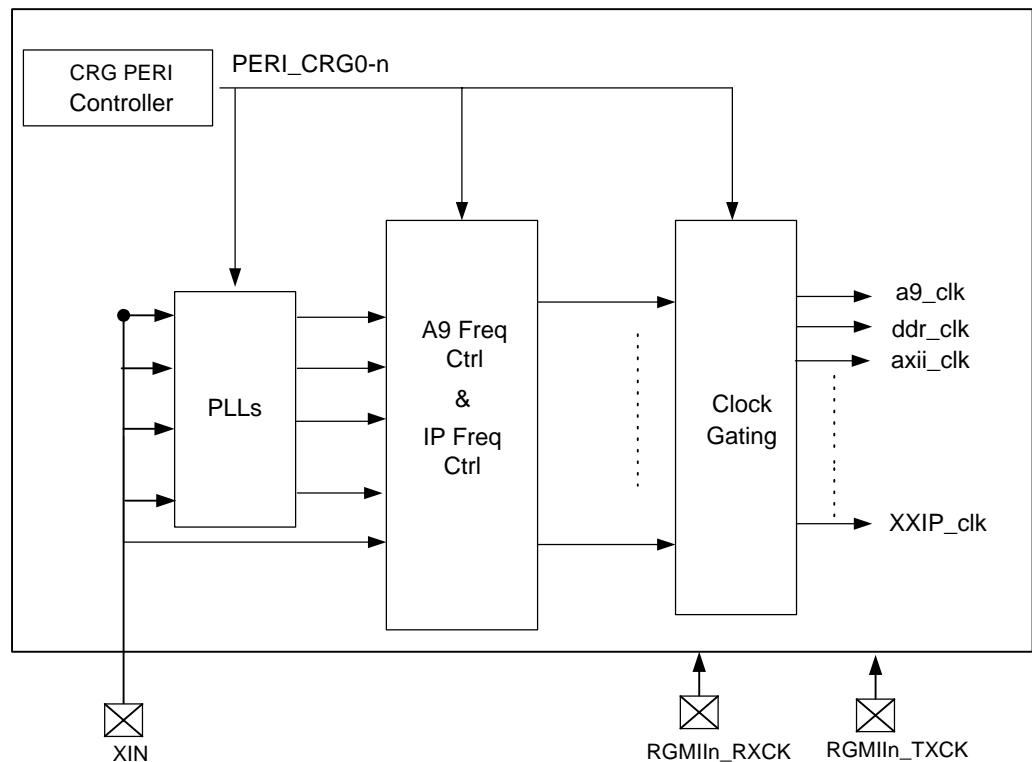
时钟管理模块对芯片时钟输入、时钟生成和控制进行统一的管理，包括：

- 时钟输入的管理和控制
- 时钟分频和控制
- 生成各模块的工作时钟

3.2.2 功能框图

时钟管理模块功能框图如图 3-2 所示。

图3-2 时钟管理模块功能框图



注：XIN 为 PLL 输入时钟，固定连接 24MHz 晶体；
RGMIIIn_RXCK、RGMIIIn_TXCK 为 GMAC 模块接口时钟（n 取值范围为 0~1）。

时钟管理模块功能主体主要包括三部分：

- PLL 单元，用于产生 A9 和总线时钟，以及其它外设所需时钟。
- A9 频率控制单元 A9 Freq Ctrl 和模块时钟频率控制单元 IPCLK Freq Ctrl。
- 时钟门控管理单元 Clock Gating。

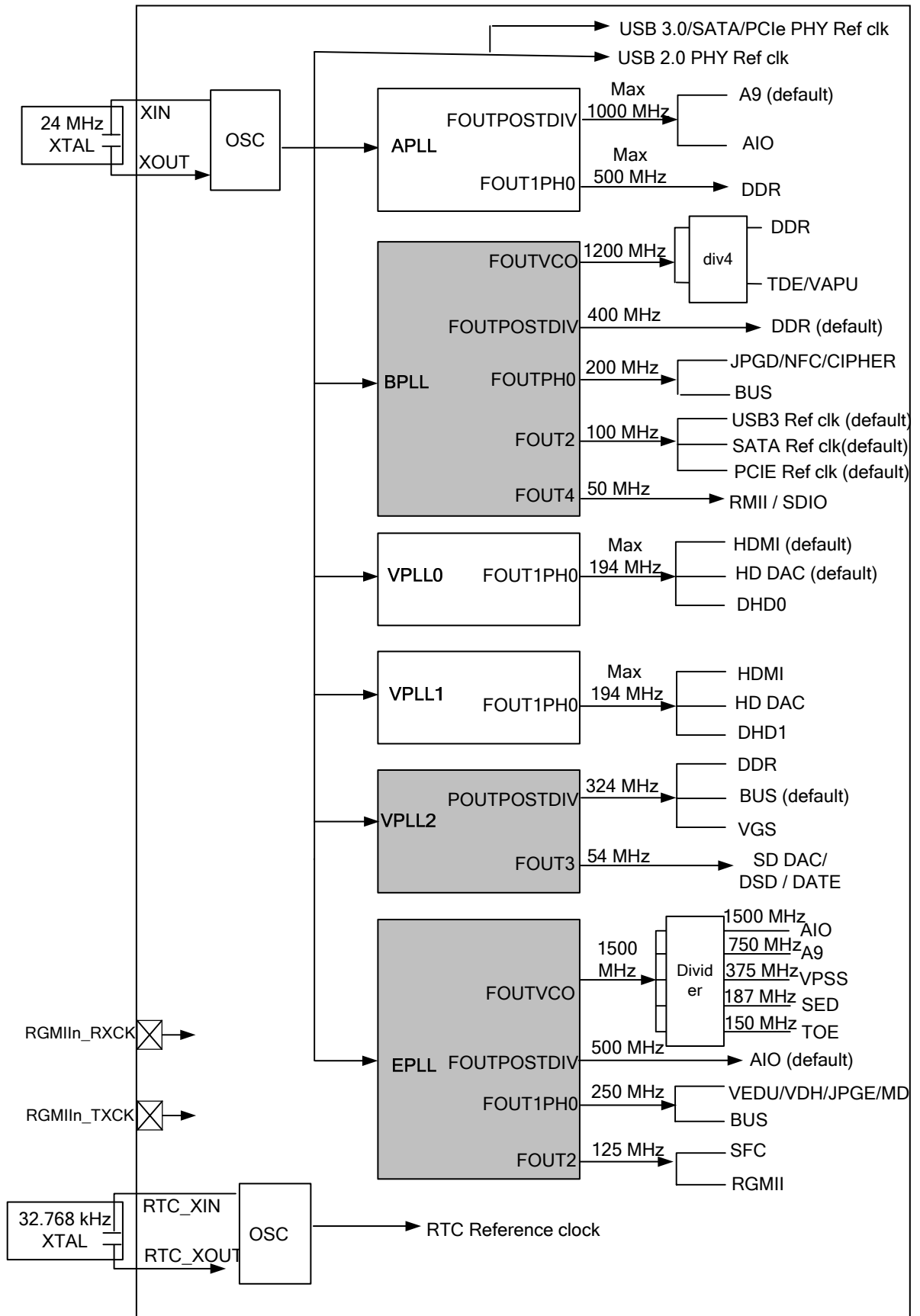


3.2.3 时钟资源分布

时钟管理模块对源自芯片管脚的输入时钟和内部 PLL 进行配置、控制和管理，产生各模块所需的时钟资源，具体分布示意如图 3-3 所示。



图3-3 时钟资源分布框图





注：白色的 APLL、VPLL0、VPLL1 三个 PLL 用户可编程配置，其它 PLL 为固定配置。
RGMIIn_RXCK、RGMIIn_TXCK 为 GMAC 模块接口时钟（n 取值范围为 0~1）。
对某些模块存在多个时钟源头可选择时，default 表示默认分支。

3.2.4 PLL 配置

Hi3535 内部使用了 6 个 PLL，每个 PLL 使用两组配置寄存器，对应关系如表 3-2 所示。

表3-2 Hi3535 PLL 对应的配置寄存器

PLL	配置寄存器 1	配置寄存器 0
APLL	PERI_CRG0	PERI_CRG1
BPLL	PERI_CRG2	PERI_CRG3
VPLL0	PERI_CRG4	PERI_CRG5
VPLL1	PERI_CRG6	PERI_CRG7
VPLL2	PERI_CRG72	PERI_CRG73
EPLL	PERI_CRG8	PERI_CRG9

所有 PLL 采用管脚 XIN 输入的晶振时钟作为输入时钟，PLL 输出频率配置方法如表 3-3 所示。

表3-3 Hi3535 PLL 频率计算方法

PLL Pin	计算方法描述	注意事项
FREF	PLL 输入参考时钟	Hi3535 要求固定输入 24MHz
FOUTVCO	$FREF \times (fbdiv + frac/2^{24}) / refdiv$	PLL 工作频率，要求大于等于 600MHz，且小于等于 2.4GHz
FOUTPOSTDIV	$FOUTVCO / (pstdiv1 \times pstdiv2)$	-
FOUT1PH0	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 2)$	-
FOUT2	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 4)$	-
FOUT3	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 6)$	-
FOUT4	$FOUTVCO / (pstdiv1 \times pstdiv2 \times 8)$	-

以配置 VPLL0 为例，VPLL0 输出 FOUT1PH0 给 VDP DHD0 模块，频率为 148.5MHz，计算配置寄存器的值如下：



取 $\text{postdiv2}=2$, $\text{postdiv1}=2$, 根据 $\text{FOUT1PH0}=\text{FOUTVCO} / (\text{pstdiv1} \times \text{pstdiv2} \times 2)$, 则 $\text{FOUTVCO}=1188\text{MHz}$ 。

取 $\text{refdiv}=2$, 则 $24 \times (\text{fbdiv} + \text{frac}/2^{24})/2=1188\text{MHz}$ 。

由上面的条件推出: $\text{fbdiv}=99$, $\text{frac}=000000$ 。

3.2.5 频率配置

A9/DDR/BUS 频率配置

A9/DDR/BUS 频率时钟配置方法如表 3-4 所示。

表3-4 A9/DDR/BUS 频率配置

信号名	描述
cpu_sc_sel	<p>CPU 时钟源选择 :</p> <p>0: APLL_FOUTPOSTDIV;</p> <p>1: 选择 750MHz。</p> <p>可通过配置 PERI_CRG12 bit[8]控制该信号。</p>
a9clk_loaden	<p>CPU 时钟 DFS 分频配置使能。</p> <p>每次改变分频配置时, 分下面三步:</p> <ol style="list-style-type: none"> 1.写入新的分频配置值 2.将 loaden 写为 0 3.将 loaden 写为 1 <p>可通过配置 PERI_CRG10 bit[25]控制该信号。</p>
a9clk_skipcfg	<p>CPU 时钟 DFS 分频配置。</p> <p>N: 每 32 拍 CPU 时钟中关掉 N 拍时钟。</p> <p>可通过配置 PERI_CRG10 bit[24:20]控制该信号。</p> <p>假定 CPU 源时钟选择 750MHz, 如果 a9clk_skipcfg 配置 00, 则 CPU 处在 full_speed 模式; 如果 a9clk_skipcfg 配置 01, 则 CPU 工作在降速模式, 其实际有效的工作频率为: $750 \times 31 / 32 = 726.25\text{MHz}$。其它配置依次类推。</p> <p>默认为 full_speed 模式。</p>
ddr_sc_sel	<p>DDR 时钟源选择 (仅支持在 Slow 模式下配置)。</p> <p>00: 400M;</p> <p>01: 324M;</p> <p>10: 300M;</p> <p>11: 选择 APLL FOUT1PH0 时钟。</p> <p>可通过配置 PERI_CRG12 bit[5:4]控制该信号。</p>



信号名	描述
bus_sc_sel	总线时钟源选择（仅支持在 Slow 模式下配置）： [2]: hpaxi 时钟选择。 0: 324MHz; 1: 250MHz。 [1]: mdaaxi 时钟选。 0: 324MHz; 1: 250MHz; [0]: sysaxi 时钟选择。 0: 250MHz; 1: 200MHz。 可通过配置 PERI_CRG12 bit[2:0]控制该信号。

系统控制器的状态和时钟切换的对应关系如表 3-5 所示。

表3-5 系统控制器状态和时钟切换对应关系

系统控制器状态	46.875kHz 时钟使能状态	24MHz 晶振使能状态	APLL 使能状态	系统时钟状态
NORMAL	使能	使能	使能	ARM 子系统的工作时钟都来自 PLL 输出。
SLOW	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振输入。
DOZE	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振时钟分频得到的 46.875KHz 时钟。

模块时钟频率配置

VDP 模块时钟配置方式如表 3-6 所示。



表3-6 VDP 模块时钟频率配置

信号名	描述
vo_hd0_clkdiv	VO HD0 时钟分频配置。 0: DIV1; 1: DIV2。 可通过配置 PERI_CRG13 bit[22]控制该信号。
vo_hd1_clkdiv	VO HD1 时钟分频配置。 0: DIV1; 1: DIV2。 可通过配置 PERI_CRG13 bit[21]控制该信号。
bt1120_cksel	BT.1120 输出时钟源选择。 0: VPLL0 时钟（即 HD0 时钟，下同）； 1: VPLL1 时钟（即 HD1 时钟，下同）。 可通过配置 PERI_CRG13 bit[19]控制该信号。
hd_dac_cksel	HD DAC 时钟源选择。 0: VPLL0 时钟； 1: VPLL1 时钟。 可通过配置 PERI_CRG13 bit[18]控制该信号。
vdp_cksel	VDP 工作时钟源选择。 00: 250M 时钟； 01: 200M 时钟； 11: 100M 时钟。 可通过配置 PERI_CRG13 bit[15:14]控制该信号。
vo_sd_clkdiv	VO SD 时钟分频配置。 0: DIV4； 1: DIV2。 可通过配置 PERI_CRG13 bit[13]控制该信号。

HDMI 时钟配置方式如表 3-7 所示。



表3-7 HDMI 管脚输出时钟频率配置

信号名	描述
hdmi_pxi_cksel	HDMI PIX CLK 时钟源选择。 0: VPLL0 时钟; 1: VPLL1 时钟。 可通过配置 PERI_CRG15 bit[11]控制该信号。
hdmi_cec_clk_sel	HDMI CEC CLK 时钟门选择。 0: XTAL div12 时钟; 1: PLL 分频 2.04MHz 时钟。 可通过配置 PERI_CRG15 bit[10]控制该信号。
hdmi_asclk_sel	HDMI ASCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。 可通过配置 PERI_CRG15 bit[9]控制该信号。
hdmi_osclk_sel	HDMI OSCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。 可通过配置 PERI_CRG15 bit[8]控制该信号。

VEDU 时钟配置方式如表 3-8 所示。

表3-8 VEDU 时钟频率配置

信号名	描述
veduclk_loaden	VEDU 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1. 写入新的分频配置值。 2. 将 veduclk_loaden 写为 0。 3. 将 veduclk_loaden 写为 1。 可通过配置 PERI_CRG16 bit[9]控制该信号。



信号名	描述
veduclk_skipcfg	<p>VEDU 时钟分频配置。</p> <p>N: 每 32 拍 VEDU 时钟中关掉 N 拍时钟。</p> <p>可通过配置 PERI_CRG16 bit[8:4]控制该信号。</p> <p>VEDU 工作源时钟为 250MHz:</p> <p>如果 veduclk_skipcfg 配置 00, VEDU 处在 full_speed 模式;</p> <p>如果 veduclk_skipcfg 配置 01, VEDU 工作在降速模式, 其实际有效的工作频率为: $250 \times 31 / 32 = 242\text{MHz}$。其它配置依次类推。</p>

VPSS 时钟配置方式如表 3-9 所示。

表3-9 VPSS 时钟频率配置

信号名	描述
vpssclk_loaden	<p>VPSS 时钟分频配置使能。</p> <p>每次改变分频配置时, 分下面三步:</p> <ol style="list-style-type: none"> 1. 写入新的分频配置值。 2. 将 vpssclk_loaden 写为 0。 3. 将 vpssclk_loaden 写为 1。 <p>可通过配置 PERI_CRG18 bit[9]控制该信号。</p>
vpssclk_skipcfg	<p>VPSS 时钟分频配置。</p> <p>N: 每 32 拍 VPSS 时钟中关掉 N 拍时钟。</p> <p>可通过配置 PERI_CRG18 bit[8:4]控制该信号。</p> <p>VPSS 工作源时钟为 375MHz:</p> <p>如果 vpssclk_skipcfg 配置 00, VPSS 处在 full_speed 模式;</p> <p>如果 vpssclk_skipcfg 配置 01, VPSS 工作在降速模式, 其实际有效的工作频率为: $375 \times 31 / 32 = 363\text{MHz}$。其它配置依次类推。</p>

VDH0/VDH1 时钟配置方式如表 3-10 所示。



表3-10 VDH0/VDH1 时钟频率配置

信号名	描述
vdh0clk_loaden	VDH0 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vdh0clk_loaden 写为 0。 3.将 vdh0clk_loaden 写为 1。 可通过配置 PERI_CRG20 bit[9]控制该信号。
vdh0clk_skipcfg	VDH0 时钟分频配置。 N：每 32 拍 VHD0 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG20 bit[8:4]控制该信号。 VDH0 工作源时钟为 250MHz： 如果 vdh0clk_skipcfg 配置 00，VDH0 处在 full_speed 模式； 如果 vdh0clk_skipcfg 配置 01，VDH0 工作在降速模式，其实际有效的工作频率为： $250 \times 31 / 32 = 242\text{MHz}$ 。其它配置依次类推。
vdh1clk_loaden	VDH1 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vdh1clk_loaden 写为 0。 3.将 vdh1clk_loaden 写为 1。 可通过配置 PERI_CRG21 bit[9]控制该信号。
vdh1clk_skipcfg	VDH1 时钟分频配置。 N：每 32 拍 VHD1 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG21 bit[8:4]控制该信号。 VDH1 工作源时钟为 250MHz： 如果 vdh1clk_skipcfg 配置 00，VDH1 处在 full_speed 模式； 如果 vdh1clk_skipcfg 配置 01，VDH1 工作在降速模式，其实际有效的工作频率为： $250 \times 31 / 32 = 242\text{MHz}$ 。其它配置依次类推。

TDE 模块时钟配置方式如下表 3-11 所示。



表3-11 TDE 时钟频率配置

信号名	描述
tdeclk_loaden	TDE 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 tdeclk_loaden 写为 0。 3.将 tdeclk_loaden 写为 1。 可通过配置 PERI_CRG22 bit[9]控制该信号。
jpgceclk_skipcfg	TDE 时钟分频配置。 N：每 32 拍 TDE 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG22 bit[8:4]控制该信号。 TDE 工作源时钟为 300MHz： 如果 tdeclk_skipcfg 配置 00，TDE 处在 full_speed 模式； 如果 tdeclk_skipcfg 配置 01，TDE 工作在降速模式，其实际有效的工作频率为： $300 \times 31 / 32 = 290\text{MHz}$ 。其它配置依次类推。

VGS 模块时钟配置方式如下表 3-12 所示。

表3-12 VGS 时钟频率配置

信号名	描述
vgsclock_loaden	VGS 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vgsclock_loaden 写为 0。 3.将 vgsclock_loaden 写为 1。 可通过配置 PERI_CRG23 bit[9]控制该信号。
vgsclock_skipcfg	VGS 时钟分频配置。 N：每 32 拍 VGS 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG23 bit[8:4]控制该信号。 VGS 工作源时钟为 324MHz： 如果 vgsclock_skipcfg 配置 00，VGS 处在 full_speed 模式； 如果 vgsclock_skipcfg 配置 01，VGS 工作在降速模式，其实际有效的工作频率为： $324 \times 31 / 32 = 313\text{MHz}$ 。其它配置依次类推。

JPGD 时钟配置方式如表 3-13 所示。



表3-13 JPGD 时钟频率配置

信号名	描述
jpgdclk_loaden	JPGD 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 jpgdclk_loaden 写为 0。 3.将 jpgdclk_loaden 写为 1。 可通过配置 PERI_CRG25 bit[9]控制该信号。
jpgdclk_skipcfg	JPGD 时钟分频配置。 N：每 32 拍 JPGD 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG25 bit[8:4]控制该信号。 JPGD 工作源时钟为 193MHz： 如果 jpgdclk_skipcfg 配置 00，JPGD 处在 full_speed 模式； 如果 jpgdclk_skipcfg 配置 01，JPGD 工作在降速模式，其实际有效的工作频率为： $193 \times 31 / 32 = 187\text{MHz}$ 。其它配置依次类推。

JPGE 模块时钟配置方式如下表 3-14 所示。

表3-14 JPGE 时钟频率配置

信号名	描述
jpgeclk_loaden	JPGE 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 jpgeclk_loaden 写为 0。 3.将 jpgeclk_loaden 写为 1。 可通过配置 PERI_CRG24 bit[9]控制该信号。
jpgeclk_skipcfg	JPGE 时钟分频配置。 N：每 32 拍 JPGE 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG24 bit[8:4]控制该信号。 JPGE 工作源时钟为 112.5MHz： 如果 jpgeclk_skipcfg 配置 00，JPGE 处在 full_speed 模式； 如果 jpgeclk_skipcfg 配置 01，JPGE 工作在降速模式，其实际有效的工作频率为： $112.5 \times 31 / 32 = 109\text{MHz}$ 。其它配置依次类推。

MDU 模块时钟配置方式如表 3-15 所示。



表3-15 MDU 时钟频率配置

信号名	描述
mduclk_loaden	MDU 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 mduclk_loaden 写为 0。 3.将 mduclk_loaden 写为 1。 可通过配置 PERI_CRG26 bit[9]控制该信号。
mduclk_skipcfg	MDU 时钟分频配置。 N：每 32 拍 MDU 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG26 bit[8:4]控制该信号。 MDU 工作源时钟为 112.5MHz： 如果 mduclk_skipcfg 配置 00，MDU 处在 full_speed 模式； 如果 mduclk_skipcfg 配置 01，MDU 工作在降速模式，其实际有效的工作频率为： $112.5 \times 31 / 32 = 109\text{MHz}$ 。其它配置依次类推。

VAPU 模块时钟配置方式如表 3-16 所示。

表3-16 VAPU 时钟频率配置

信号名	描述
vapuclk_loaden	VAPU 时钟分频配置使能。 每次改变分频配置时，分下面三步： 1.写入新的分频配置值。 2.将 vapuclk_loaden 写为 0。 3.将 vapuclk_loaden 写为 1。 可通过配置 PERI_CRG27 bit[9]控制该信号。
vapuclk_skipcfg	VAPU 时钟分频配置。 N：每 32 拍 VAPU 时钟中关掉 N 拍时钟。 可通过配置 PERI_CRG27 bit[8:4]控制该信号。 VAPU 工作源时钟为 193MHz： 如果 vapuclk_skipcfg 配置 00，VAPU 处在 full_speed 模式； 如果 vapuclk_skipcfg 配置 01，VAPU 工作在降速模式，其实际有效的工作频率为： $193 \times 31 / 32 = 187\text{MHz}$ 。其它配置依次类推。



TOE 模块时钟配置方式如表 3-17 所示。

表3-17 TOE 时钟频率配置

信号名	描述
toe_cksel	TOE 工作时钟选择。 0: 选择 150MHz 时钟; 1: 选择 100MHz 时钟。 可通过配置 PERI_CRG50[11]控制该信号。

SATA/PCIE/USB PHY 时钟配置方式如表 3-18 所示。

表3-18 SATA/PCIE/USB PHY 时钟频率配置

信号名	描述
cmb_phy_mode	CMB PHY 工作模式。 0: SATA; 1: PCIE。 可通过配置 PERI_CRG43[6]控制该信号。
cmb_phy_refclk_sel	CMB PHY REFCLK 选择。 0: 100MHz。 1: 24MHz; 可通过配置 PERI_CRG43[6]控制该信号。
sata_phy1_refclk_sel	SATA PHY1 REFCLK 选择。 0: 100MHz。 1: 24MHz; 可通过配置 PERI_CRG43[6]控制该信号。
sata_phy0_refclk_sel	SATA PHY0 REFCLK 选择。 0: 100MHz。 1: 24MHz; 可通过配置 PERI_CRG43[6]控制该信号。
usb3_ref_use_pad	USB3 PHY 参考时钟选择。 0: CRG 时钟; 1: PAD 输入。 可通过配置 PERI_CRG46[17]控制该信号。



信号名	描述
usb3_phy_refclk_sel	USB3 PHY REFCLK 选择。 0: 晶振时钟; 1: 内部 100MHz 时钟。 可通过配置 PERI_CRG46[16]控制该信号。

SFC 模块时钟配置方式如表 3-19 所示。

表3-19 SFC 时钟频率配置

信号名	描述
sfc_cksel	SFC2X 时钟源选择。 x0: 24MHz 时钟; 01: 83MHz 时钟; 11: 125MHz 时钟。 可通过配置 PERI_CRG48 bit[3:2]控制该信号。

NFC 模块时钟配置方式如表 3-20 所示。

表3-20 NFC 时钟频率配置

信号名	描述
nfc_cksel	NFC 时钟源选择。默认选择 24MHz。 0: 200M 时钟; 1: 24M 时钟。 可通过配置 PERI_CRG52[2]控制该信号。

PWM 模块时钟配置方式如表 3-21 所示。

表3-21 PWM 时钟频率配置

信号名	描述
pwm_cksel	PWM 时钟选择寄存器。 0: 3MHz; 1: 24 MHz。 可通过配置 PERI_CRG14 bit[2]控制该信号。



GMAC 配置方式如表 3-22 所示。

表3-22 GMAC 时钟模式配置

信号名	描述
GMAC_IF1_Mac_speed	GMAC_IF1 10/100Mbps 模式。 0: 10Mbps; 1: 100Mbps。 可通过配 PERI_CRG59[17]控制该信号。
GMAC_IF1_Port_select	GMAC_IF1 千兆选择使能。 0: 1000Mbps; 1: 10/100Mbps。 可通过配 PERI_CRG59[16]控制该信号。
GMAC_IF0_Mac_speed	GMAC_IF0 10/100Mbps 模式。 0: 10Mbps; 1: 100Mbps。 可通过配 PERI_CRG59[1]控制该信号。
GMAC_IF0_Port_select	GMAC_IF0 千兆选择使能。 0: 1000Mbps; 1: 10/100Mbps。 可通过配 PERI_CRG59[0]控制该信号。
ext_fephy_cksel	外接 FE PHY 时钟选择。 0: 25MHz; 1: 50MHz。 可通过配 PERI_CRG50[10]控制该信号。
rmii1_cksel	RMII1 时钟选择。 0: CRG 时钟; 1: PAD 输入。 可通过配 PERI_CRG50[9]控制该信号。
Rmii0_cksel	RMII0 时钟选择。 0: CRG 时钟; 1: PAD 输入。 可通过配 PERI_CRG50[8]控制该信号。

AIO 时钟频率配置方法如表 3-23 所示。



表3-23 AIO 时钟频率配置

信号名	描述
ai0_cksel	AIO MCLK PLL 源头选择。 00: 500M; 01: APLL_FOUTPOSTDIV; 1X: 1500M。 可通过配 PERI_CRG35[3:2]控制该信号。

注意事项

时钟配置需要注意以下事项：

- A9 工作时钟上电默认为晶振模式，即选择 XIN 输入的晶振时钟。
- PLL 在变更频率配置时，需要等待 0.1ms 才能输出稳定的时钟。更改 PLL 频率配置只能在系统处于 SLOW 模式下进行。
- 在 PLL 输出时钟未稳定的情况下，不能执行系统切换到 PLL 模式，可通过观测 PLL LOCK 指示位判断 PLL 是否 LOCK。PLL LOCK 指示位可通过读 PERI_CRG58 bit[5:0]状态获取。

3.2.6 CRG 寄存器概览

CRG 寄存器概览如表 3-24 所示。

表3-24 CRG 寄存器概览（基址是 0x2003_0000）

偏移地址	名称	描述	页码
0x0000	PERI_CRG0	APLL 配置寄存器 0	3-21
0x0004	PERI_CRG1	APLL 配置寄存器 1	3-22
0x0008	PERI_CRG2	BPLL 配置寄存器 0	3-23
0x000C	PERI_CRG3	BPLL 配置寄存器 1	3-24
0x0010	PERI_CRG4	VPLL0 配置寄存器 0	3-25
0x0014	PERI_CRG5	VPLL0 配置寄存器 1	3-26
0x0018	PERI_CRG6	VPLL1 配置寄存器 0	3-27
0x001C	PERI_CRG7	VPLL1 配置寄存器 1	3-28
0x0020	PERI_CRG8	EPLL 配置寄存器 0	3-29
0x0024	PERI_CRG9	EPLL 配置寄存器 1	3-30
0x0028	PERI_CRG10	A9 频率模式及复位配置寄存器	3-31



偏移地址	名称	描述	页码
0x002C	PERI_CRG11	系统总线时钟频率配置寄存器	3-34
0x0030	PERI_CRG12	SOC 时钟选择寄存器	3-34
0x0034	PERI_CRG13	VOU 时钟及复位控制寄存器	3-36
0x0038	PERI_CRG14	PWM 时钟及复位控制寄存器	3-38
0x003C	PERI_CRG15	HDMI 时钟及复位控制寄存器	3-39
0x0040	PERI_CRG16	VEDU 时钟及软复位控制寄存器	3-40
0x0048	PERI_CRG18	VPSS 时钟及软复位控制寄存器	3-41
0x0050	PERI_CRG20	VDH0 时钟及软复位控制寄存器	3-42
0x0054	PERI_CRG21	VDH1 时钟及软复位控制寄存器	3-43
0x0058	PERI_CRG22	TDE 时钟及软复位控制寄存器	3-44
0x005C	PERI_CRG23	VGS 时钟及软复位控制寄存器	3-45
0x0060	PERI_CRG24	JPGE 时钟及软复位控制寄存器	3-46
0x0064	PERI_CRG25	JPGD 时钟及软复位控制寄存器	3-47
0x0068	PERI_CRG26	MDU 时钟及软复位控制寄存器	3-48
0x006C	PERI_CRG27	VAPU 时钟及软复位控制寄存器	3-49
0x007C	PERI_CRG31	CIPHER 相关的时钟及软复位控制寄存器	3-50
0x008C	PERI_CRG35	AIO 时钟复位控制寄存器	3-51
0x00AC	PERI_CRG43	SATA&PCIE PHY 相关时钟复位控制寄存器	3-52
0x00B0	PERI_CRG44	PCIE 相关的时钟及软复位控制寄存器	3-53
0x00B4	PERI_CRG45	SATA 时钟复位控制寄存器	3-54
0x00B8	PERI_CRG46	USB2&USB3 相关的时钟及软复位控制寄存器	3-56
0x00C0	PERI_CRG48	SFC 相关的时钟及软复位控制寄存器	3-59
0x00C8	PERI_CRG50	TOE 和 GMAC 接口相关的时钟及软复位控制寄存器	3-60
0x00D0	PERI_CRG52	NANDC 相关的时钟及软复位控制寄存器	3-61
0x00D8	PERI_CRG54	DDRTEST 相关的时钟及软复位控制寄存器	3-62



偏移地址	名称	描述	页码
0x00E0	PERI_CRG56	DMA 相关的时钟及软复位控制寄存器	3-63
0x00E4	PERI_CRG57	其它 CRG 接口模块软复位控制寄存器。	3-63
0x00E8	PERI_CRG58	CRG 状态寄存器。	3-66
0x00EC	PERI_CRG59	GMAC 接口控制寄存器	3-66
0x00F0	PERI_CRG60	GMAC 接口状态寄存器	3-68
0x00F4	PERI_CRG61	VDH 复位状态寄存器	3-70
0x010C	PERI_CRG67	BPLL 展频配置寄存器	3-70
0x0120	PERI_CRG72	VPLL2 配置寄存器 0	3-71
0x0124	PERI_CRG73	VPLL2 配置寄存器 1	3-72
0x012C	PERI_CRG75	CORE HPM 控制寄存器 1	3-73
0x0130	PERI_CRG76	CORE HPM 状态寄存器 1	3-74
0x0134	PERI_CRG77	CORE HPM 状态寄存器 2	3-75
0x0138	PERI_CRG78	CORE HPM 控制寄存器 2	3-76
0x013C	PERI_CRG79	CPU HPM 控制寄存器 1	3-77
0x0140	PERI_CRG80	CPU HPM 状态寄存器 1	3-78
0x0144	PERI_CRG81	CPU HPM 状态寄存器 2	3-79
0x0148	PERI_CRG82	CPU HPM 控制寄存器 2	3-79

3.2.7 CRG 寄存器描述

PERI_CRG0

PERI_CRG0 为 APLL 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0000		PERI_CRG0		0x1200_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved apll_postdiv2	reserved apll_postdiv1	apll_frac					
Reset	0 0 0 1	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30:28]	RW	apll_postdiv2	APLL 第二级输出分频系数。					
[27]	RO	reserved	保留。					
[26:24]	RW	apll_postdiv1	APLL 第一级输出分频系数。					
[23:0]	RW	apll_frac	APLL 小数分频系数。					

PERI_CRG1

PERI_CRG1 为 APLL 配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0004		PERI_CRG1		0x0100_3064				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	apll_bypass apll_dacpd apll_dsmpd apll_pd apll_foutvcopd apll_postdivpd apll_fout4phasepd	reserved	apll_refdiv		apll_fbdiv		
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 1 1 0	0 1 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26]	RW	apll_bypass	APLL 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。					



[25]	RW	apll_dacpd	APLL 测试信号控制。 0: 正常工作状态; 1: power down 工作状态。
[24]	RW	apll_dsmpd	APLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[23]	RW	apll_pd	APLL Power Down 控制。 0: 正常工作状态; 1: power down 工作状态。
[22]	RW	apll_foutvcopd	APLL VCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[21]	RW	apll_postdivpd	APLL POSTDIV 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[20]	RW	apll_fout4phasepd	APLL FOUT 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[19:18]	RO	reserved	保留。
[17:12]	RW	apll_refdiv	APLL 参考时钟分频系数。
[11:0]	RW	apll_fbdiv	APLL 整数倍频系数。

PERI_CRG2

PERI_CRG2 为 BPLL 配置寄存器 0。



		Offset Address				Register Name								Total Reset Value																							
		0x0008				PERI_CRG2								0x1300_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		reserved				bpll_postdiv2				reserved				bpll_postdiv1				bpll_frac																			
Reset		0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name				Description																															
[31]	RO	reserved				保留。																															
[30:28]	RW	bpll_postdiv2				BPLL 第二级输出分频系数。																															
[27]	RO	reserved				保留。																															
[26:24]	RW	bpll_postdiv1				BPLL 第一级输出分频系数。																															
[23:0]	RW	bpll_frac				BPLL 小数分频系数。																															

PERI_CRG3

PERI_CRG3 为 BPLL 配置寄存器 1。

		Offset Address				Register Name								Total Reset Value																			
		0x000C				PERI_CRG3								0x0100_1032																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				bpll_bypass	bpll_daepd	bpll_dsmppd	bpll_pd	bpll_foutvcopd	bpll_postdivpd	bpll_fout4phasepd	reserved	bpll_refdiv				bpll_fbdiv															
Reset		0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	0
Bits	Access	Name				Description																											
[31:27]	RO	reserved				保留。																											
[26]	RW	bpll_bypass				BPLL 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。																											



[25]	RW	bpll_dacpd	BPLL 测试信号控制。 0: 正常工作状态; 1: power down 工作状态。
[24]	RW	bpll_dsmpd	BPLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[23]	RW	bpll_pd	BPLL Power Down 控制。 0: 正常工作状态; 1: power down 工作状态。
[22]	RW	bpll_foutvcopd	BPLL VCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[21]	RW	bpll_postdivpd	BPLL POSTDIV 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[20]	RW	bpll_fout4phasepd	BPLL FOUT 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[19:18]	RO	reserved	保留。
[17:12]	RW	bpll_refdiv	BPLL 参考时钟分频系数。
[11:0]	RW	bpll_fbdiv	BPLL 整数倍频系数。

PERI_CRG4

PERI_CRG4 为 VPLL0 配置寄存器 0。



		Offset Address				Register Name								Total Reset Value																			
		0x0010				PERI_CRG4								0x2200_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				vpll0_postdiv2				reserved				vpll0_postdiv1				vpll0_frac															
	Reset	0 0 1 0				0 0 1 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
	Bits	Access		Name		Description																											
	[31]	RO		reserved		保留。																											
	[30:28]	RW		vpll0_postdiv2		VPLL0 第二级输出分频系数。																											
	[27]	RO		reserved		保留。																											
	[26:24]	RW		vpll0_postdiv1		VPLL0 第一级输出分频系数。																											
	[23:0]	RW		vpll0_frac		VPLL0 小数分频系数。																											

PERI_CRG5

PERI_CRG5 为 VPLL0 配置寄存器 1。

		Offset Address				Register Name								Total Reset Value																			
		0x0014				PERI_CRG5								0x0100_2063																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				vpll0_bypass	vpll0_dacpd	vpll0_dsmpd	vpll0_pd	vpll0_foutvcopd	vpll0_postdivpd	vpll0_fout4phasepd	reserved	vpll0_refdiv				vpll0_fbdiv															
	Reset	0 0 0 0				0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	1	1
	Bits	Access		Name		Description																											
	[31:27]	RO		reserved		保留。																											



[26]	RW	vpll0_bypass	VPLL0 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。
[25]	RW	vpll0_dacpd	VPLL0 测试信号控制。 0: 正常工作状态; 1: power down 工作状态。
[24]	RW	vpll0_dsmpd	VPLL0 小数分频控制。 0: 小数模式; 1: 整数模式。
[23]	RW	vpll0_pd	VPLL0 Power Down 控制。 0: 正常工作状态; 1: power down 工作状态。
[22]	RW	vpll0_foutvcopd	VPLL0 VCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[21]	RW	vpll0_postdivpd	VPLL0 POSTDIV 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[20]	RW	vpll0_fout4phasepd	VPLL0 FOUT 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[19:18]	RO	reserved	保留。
[17:12]	RW	vpll0_refdiv	VPLL0 参考时钟分频系数。
[11:0]	RW	vpll0_fbdiv	VPLL0 整数倍频系数。

PERI_CRG6

PERI_CRG6 为 VPLL1 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0018		PERI_CRG6		0x2200_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved vpll1_postdiv2	reserved vpll1_postdiv1	vpll1_frac					
Reset	0 0 1 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30:28]	RW	vpll1_postdiv2	VPLL1 第二级输出分频系数。					
[27]	RO	reserved	保留。					
[26:24]	RW	vpll1_postdiv1	VPLL1 第一级输出分频系数。					
[23:0]	RW	vpll1_frac	VPLL1 小数分频系数。					

PERI_CRG7

PERI_CRG7 为 VPLL1 配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x001C		PERI_CRG7		0x0100_2063				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	vpll1_bypass vpll1_dacpd vpll1_dsmpd vpll1_pd vpll1_foutvcopd vpll1_postdivpd vpll1_fout4phasepd	reserved	vpll1_refdiv		vpll1_fbdiv		
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 1 1 0	0 0 1 1
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					



[26]	RW	vpll1_bypass	VPLL1 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。
[25]	RW	vpll1_dacpd	VPLL1 测试信号控制。 0: 正常工作状态; 1: power down 工作状态。
[24]	RW	vpll1_dsmpd	VPLL1 小数分频控制。 0: 小数模式; 1: 整数模式。
[23]	RW	vpll1_pd	VPLL1 Power Down 控制。 0: 正常工作状态; 1: power down 工作状态。
[22]	RW	vpll1_foutvcopd	VPLL1 VCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[21]	RW	vpll1_postdivpd	VPLL1 POSTDIV 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[20]	RW	vpll1_fout4phasepd	VPLL1 FOUT 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[19:18]	RO	reserved	保留。
[17:12]	RW	vpll1_refdiv	VPLL1 参考时钟分频系数。
[11:0]	RW	vpll1_fbdiv	VPLL1 整数倍频系数。

PERI_CRG8

PERI_CRG8 为 EPLL 配置寄存器 0。



		Offset Address				Register Name								Total Reset Value																			
		0x0020				PERI_CRG8								0x1300_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				epll_postdiv2				reserved				epll_postdiv1				epll_frac															
Reset		0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																									
	[31]	RO		reserved				保留。																									
	[30:28]	RW		epll_postdiv2				EPLL 第二级输出分频系数。																									
	[27]	RO		reserved				保留。																									
	[26:24]	RW		epll_postdiv1				EPLL 第一级输出分频系数。																									
	[23:0]	RW		epll_frac				EPLL 小数分频系数。																									

PERI_CRG9

PERI_CRG9 为 EPLL 配置寄存器 1。

		Offset Address				Register Name								Total Reset Value																			
		0x0024				PERI_CRG9								0x0100_207D																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved				epll_bypass		epll_daepd		epll_dsmpd		epll_pd		epll_foutvcopd		epll_postdivpd		epll_fout4phasepd		reserved				epll_refdiv				epll_fbdiv					
Reset		0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	1	1	1	0	1
	Bits	Access		Name				Description																									
	[31:27]	RO		reserved				保留。																									



[26]	RW	epll_bypass	EPLL 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。
[25]	RW	epll_dacpd	EPLL 测试信号控制。 0: 正常工作状态; 1: power down 工作状态。
[24]	RW	epll_dsmpd	EPLL 小数分频控制。 0: 小数模式; 1: 整数模式。
[23]	RW	epll_pd	EPLL Power Down 控制。 0: 正常工作状态; 1: power down 工作状态。
[22]	RW	epll_foutvcopd	EPLLVCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[21]	RW	epll_postdivpd	EPLL POSTDIV 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[20]	RW	epll_fout4phasepd	EPLLFOUT 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[19:18]	RO	reserved	保留。
[17:12]	RW	epll_refdiv	EPLL 参考时钟分频系数。
[11:0]	RW	epll_fbdiv	EPLL 整数倍频系数。

PERI_CRG10

PERI_CRG10 为 A9 频率模式及复位配置寄存器。



Offset Address		Register Name		Total Reset Value																						
0x0028		PERI_CRG10		0x0003_0011																						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																		
Name	reserved				a9clk_loaden	a9clk_skipcfg		reserved	a9_pclkdbg_cken	a9_peri_cken	reserved	l2_clkoff_sys	cpu_clkoff_sys_1	cpu_clkoff_sys_0	reserved	cs_srst_req	cluster_scu_srst_req	cluster_peri_srst_req	reserved	sc_wd_srst_req_1	cluster_dbg_srst_req_1	arm_srst_req_1	reserved	sc_wd_srst_req_0	cluster_dbg_srst_req_0	arm_srst_req_0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																							
[31:26]	RO	reserved	保留。																							
[25]	RW	a9clk_loaden	A9 CPU 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1. 写入新的 skip 配置值； 2. 将 loaden 写为 0； 3. 将 loaden 写为 1。																							
[24:20]	RW	a9clk_skipcfg	A9 CPU 时钟分频配置。 N：每 32 拍 CPU 时钟中关掉 N 拍时钟。																							
[19:18]	RO	reserved	保留。																							
[17]	RW	a9_pclkdbg_cken	PCLKDBG 时钟门控配置寄存器。 0：关闭时钟； 1：打开时钟。																							
[16]	RW	a9_peri_cken	PERI 时钟门控配置寄存器。 0：关闭时钟； 1：打开时钟。																							
[15]	RO	reserved	保留。																							
[14]	RW	l2_clkoff_sys	L2 的时钟关断请求。 0：打开； 1：关断。																							
[13]	RW	cpu_clkoff_sys_1	CPU1 的时钟关断请求。 0：打开； 1：关断。																							



[12]	RW	cpu_clkoff_sys_0	CPU0 的时钟关断请求。 0: 打开; 1: 关断。
[11]	RO	reserved	保留。
[10]	RW	cs_srst_req	CS 的软复位请求。 0: 撤消复位; 1: 复位。
[9]	RW	cluster_scu_srst_req	SCU 的软复位请求。 0: 撤消复位; 1: 复位。
[8]	RW	cluster_peri_srst_req	PERI 的软复位请求。 0: 撤消复位; 1: 复位。
[7]	RO	reserved	保留。
[6]	RW	sc_wd_srst_req_1	WDG1 的软复位请求。 0: 撤消复位; 1: 复位。
[5]	RW	cluster_dbg_srst_req_1	DBG1 模块的软复位请求。 0: 撤消复位; 1: 复位。
[4]	RW	arm_srst_req_1	CPU1 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RO	reserved	保留。
[2]	RW	sc_wd_srst_req_0	WDG0 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	cluster_dbg_srst_req_0	DBG0 模块的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	arm_srst_req_0	CPU0 的软复位请求, 仅在从加载模式下有效。 0: 撤消复位; 1: 复位。



PERI_CRG11

PERI_CRG11 为系统总线时钟频率配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x002C				PERI_CRG11				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								busclk_loaden	busclk_skipcfg						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5]	RW	busclk_loaden	MDA_AXI 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1. 写入新的 skip 配置值； 2. 将 loaden 写为 0； 3. 将 loaden 写为 1。																													
[4:0]	RW	busclk_skipcfg	MDA_AXI 时钟分频配置。 N: 每 32 拍 CPU 时钟中关掉 N 拍时钟。																													

PERI_CRG12

PERI_CRG12 为 SOC 时钟选择寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0030		PERI_CRG12		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												mem_adjust_bypass	reserved		cpu_sc_sel	reserved		ddr_sc_sel	reserved		bus_sc_sel										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:13]	RO	reserved	保留。																													
[12]	RW	mem_adjust_bypass	A9 高速 Memory 调速配置方式。 0: 非 bypass 方式; 1: bypass 方式。																													
[11:9]	RO	reserved	保留。																													
[8]	RW	cpu_sc_sel	CPU 时钟选择。 0: APLL_FOUTPOSTDIV; 1: 选择 750M。																													
[7:6]	RO	reserved	保留。																													
[5:4]	RW	ddr_sc_sel	DDR 时钟选择(仅支持在 Slow 模式下配置)。 00: 400M; 01: 324M; 10: 300M; 11: 选择 APLL FOUT1PH0 时钟。																													
[3]	RO	reserved	保留。																													



[2:0]	RW	bus_sc_sel	<p>仅支持在 Slow 模式下配置。</p> <p>[2]: hpaxi 时钟选择。 0: 324M; 1: 250M;</p> <p>[1]: mdaaxi 时钟选择。 0: 324M; 1: 250M;</p> <p>[0]: sysaxi 时钟选择。 0: 250M; 1: 200M。</p>
-------	----	------------	---

PERI_CRG13

PERI_CRG13 为 VOU 时钟及复位控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0034	PERI_CRG13	0x0000_0002
Bit	31 30 29 28	27 26 25 24	23 22 21 20
Name	reserved		
		vo_hd0_clkdiv	vo_hd1_clkdiv
		bt1120_cken	bt1120_ksel
		hd_dac_ksel	reserved
		vdp_ksel	vo_sd_clkdiv
		vo_cken	vo_sd_cken
		vo_hd1_cken	vo_hd0_cken
		vo_hcken	sddac_cken
		hddac_cken	sd_dac_pctrl
		hd_dac_pctrl	reserved
		vohd_out_pctrl	vo_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:23]	RO	reserved	保留。
[22]	RW	vo_hd0_clkdiv	VO HD0 时钟分频配置。 0: DIV1; 1: DIV2。
[21]	RW	vo_hd1_clkdiv	VO HD1 时钟分频配置。 0: DIV1; 1: DIV2。
[20]	RW	bt1120_cken	BT.1120 输出时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。



[19]	RW	bt1120_cksel	BT.1120 输出时钟源选择。 0: VPLL0 时钟(即 DHD0 时钟, 下同); 1: VPLL1 时钟(即 DHD1 时钟, 下同)。
[18]	RW	hd_dac_cksel	HD DAC 时钟源选择。 0: VPLL0 时钟; 1: VPLL1 时钟。
[17:16]	RO	reserved	保留。
[15:14]	RW	vdp_cksel	VDP 工作时钟源选择。 00: 250M 时钟; 01: 200M 时钟; 10: 保留; 11: 100M 时钟。
[13]	RW	vo_sd_clkdiv	VO SD 时钟分频配置。 0: DIV4; 1: DIV2。
[12]	RW	vou_cken	VOU 工作时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[11]	RW	vou_sd_cken	VOU SD DATE 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[10]	RW	vou_hd1_cken	VOU HD1 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[9]	RW	vou_hd0_cken	VOU HD0 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[8]	RW	vou_hcken	VOU 总线时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[7]	RW	sddac_cken	SD DAC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。



[6]	RW	hddac_cken	HD DAC 时钟门控配置寄存器。 0: 关闭时钟; 1: 打开时钟。
[5]	RW	sd_dac_pctrl	SD DAC 时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[4]	RW	hd_dac_pctrl	HD DAC 时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[3:2]	RO	reserved	保留。
[1]	RW	vohd_out_pctrl	VOU BT.1120 输出随路时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[0]	RW	vo_srst_req	VDP 复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG14

PERI_CRG14 为 PWM 时钟及复位控制寄存器。

Offset Address	Register Name	Total Reset Value																
0x0038	PERI_CRG14	0x0000_0000																
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved															pwm_cksel	pwm_cken	pwm_srst_req
Reset	0 0																	
Bits	Access	Name	Description															
[31:3]	RO	reserved	保留。															
[2]	RW	pwm_cksel	PWM 时钟选择。 0: 3M; 1: 24M。															



[1]	RW	pwm_cken	PWM 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	pwm_srst_req	PWM 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG15

PERI_CRG15 为 HDMI 时钟及复位控制寄存器。

	Offset Address	Register Name	Total Reset Value																					
	0x003C	PERI_CRG15	0x0000_0003																					
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
Name	reserved												hdmi_pix_cksel	hdmi_cec_clk_sel	hdmi_asclk_sel	hdmi_osclk_sel	hdmi_mhl_cken	hdmi_cec_cken	hdmi_os_cken	hdmi_as_cken	hdmi_id_cken	hdmi_bus_cken	hdmi_hrst_req	hdmi_srst_req
Reset	0 0																							
Bits	Access	Name	Description																					
[31:12]	RO	reserved	保留																					
[11]	RW	hdmi_pix_cksel	HDMI PIX CLK 时钟源选择。 0: VPLL0 时钟; 1: VPLL1 时钟。																					
[10]	RW	hdmi_cec_clk_sel	HDMI CEC CLK 时钟门选择。 0: XTAL div12 时钟; 1: PLL 分频 2.04M 时钟。																					
[9]	RW	hdmi_asclk_sel	HDMI ASCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。																					
[8]	RW	hdmi_osclk_sel	HDMI OSCLK 时钟选择。 0: HDMI PHY 时钟; 1: PLL 时钟。																					



[7]	RW	hdmi_mhl_cken	HDMI MHL 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[6]	RW	hdmi_cec_cken	HDMI CEC_CLK 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[5]	RW	hdmi_os_cken	HDMI OSCLK 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[4]	RW	hdmi_as_cken	HDMI ASCLK 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[3]	RW	hdmi_id_cken	HDMI pixel 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[2]	RW	hdmi_bus_cken	HDMI 总线时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[1]	RW	hdmi_hrst_req	HDMI 总线侧的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	hdmi_srst_req	HDMI 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG16

PERI_CRG16 为 VEDU 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0040		PERI_CRG16		0x0000_0007																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												veduclk_loaden	veduclk_skipcfg				reserved	sed_cken	vedu_cken	vedu_srst_req											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	veduclk_loaden	VEDU 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1. 写入新的 skip 配置值； 2. 将 loaden 写为 0； 3. 将 loaden 写为 1。																													
[8:4]	RW	veduclk_skipcfg	VEDU 时钟分频配置。 N：每 32 拍 VEDU 时钟中关掉 N 拍时钟。																													
[3]	RO	reserved	保留。																													
[2]	RW	sed_cken	SED 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[1]	RW	vedu_cken	VEDU 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	vedu_srst_req	VEDU 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG18

PERI_CRG18 为 VPSS 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0048		PERI_CRG18		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vpsclk_loaden	vpsclk_skipcfg				reserved	vps_cken	vps_srst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	vpsclk_loaden	VPSS 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1.写入新的 skip 配置值； 2.将 loaden 写为 0； 3.将 loaden 写为 1。																													
[8:4]	RW	vpsclk_skipcfg	VPSS 时钟分频配置。 N：每 32 拍 VPS 时钟中关掉 N 拍时钟。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	vps_cken	VPSS 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	vps_srst_req	VPSS 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG20

PERI_CRG20 为 VDH0 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0050		PERI_CRG20		0x0000_000F																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vdh0clk_loaden	vdh0clk_skipcfg				vdh0_cken	vdh0_scd_srst_req	vdh0_mfd_srst_req	vdh0_all_srst_req											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	vdh0clk_loaden	VDH0 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1.写入新的 skip 配置值； 2.将 loaden 写为 0； 3.将 loaden 写为 1。																													
[8:4]	RW	vdh0clk_skipcfg	VDH0 时钟分频配置。 N：每 32 拍 VDH 时钟中关掉 N 拍时钟。																													
[3]	RW	vdh0_cken	VDH0 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[2]	RW	vdh0_scd_srst_req	VDH0 SCD 的软复位请求。 0：撤销复位； 1：复位。																													
[1]	RW	vdh0_mfd_srst_req	VDH0 MFD 的软复位请求。 0：撤销复位； 1：复位。																													
[0]	RW	vdh0_all_srst_req	VDH0 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG21

PERI_CRG21 为 VDH1 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0054		PERI_CRG21		0x0000_000F																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vdh1clk_loaden	vdh1clk_skipcfg				vdh1_cken	vdh1_scd_srst_req	vdh1_mfd_srst_req	vdh1_all_srst_req							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
Bits	Access	Name	Description																													
[31:10]	RW	reserved	保留。																													
[9]	RW	vdh1clk_loaden	VDH1 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1.写入新的 skip 配置值； 2.将 loaden 写为 0； 3.将 loaden 写为 1。																													
[8:4]	RW	vdh1clk_skipcfg	VDH1 时钟分频配置。 N：每 32 拍 VDH 时钟中关掉 N 拍时钟。																													
[3]	RW	vdh1_cken	VDH1 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[2]	RW	vdh1_scd_srst_req	VDH1 SCD 的软复位请求。 0：撤销复位； 1：复位。																													
[1]	RW	vdh1_mfd_srst_req	VDH1 MFD 的软复位请求。 0：撤销复位； 1：复位。																													
[0]	RW	vdh1_all_srst_req	VDH1 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG22

PERI_CRG22 为 TDE 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0058		PERI_CRG22		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												tdeclk_loaden	tdeclk_skipcfg				reserved	tde_cken	tde_srst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	tdeclk_loaden	TDE 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1. 写入新的 skip 配置值； 2. 将 loaden 写为 0； 3. 将 loaden 写为 1。																													
[8:4]	RW	tdeclk_skipcfg	TDE 时钟分频配置。 N：每 32 拍 TDE 时钟中关掉 N 拍时钟。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	tde_cken	TDE 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	tde_srst_req	TDE 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG23

PERI_CRG23 为 VGS 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x005C		PERI_CRG23		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vgsclk_loaden	vgsclk_skipcfg				reserved	vgs_cken	vgs_srst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	vgsclk_loaden	VGS 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1. 写入新的 skip 配置值； 2. 将 loaden 写为 0； 3. 将 loaden 写为 1。																													
[8:4]	RW	vgsclk_skipcfg	VGS 时钟分频配置。 N：每 32 拍 VPS 时钟中关掉 N 拍时钟。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	vgs_cken	VGS 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	vgs_srst_req	VGS 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG24

PERI_CRG24 为 JPGE 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0060		PERI_CRG24		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												jpgeclk_loaden	jpgeclk_skipcfg				reserved	jpge_cken	jpge_srst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	jpgeclk_loaden	JPGE 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1.写入新的 skip 配置值； 2.将 loaden 写为 0； 3.将 loaden 写为 1。																													
[8:4]	RW	jpgeclk_skipcfg	JPGE 时钟分频配置。 N：每 32 拍 JPGE 时钟中关掉 N 拍时钟。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	jpge_cken	JPGE 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	jpge_srst_req	JPGE 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG25

PERI_CRG25 为 JPGD 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0064		PERI_CRG25		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												jpgdclk_loaden	jpgdclk_skipcfg				reserved	jpgd_cken	jpgd_srst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	jpgdclk_loaden	JPGD 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1.写入新的 skip 配置值； 2.将 loaden 写为 0； 3.将 loaden 写为 1。																													
[8:4]	RW	jpgdclk_skipcfg	JPGD 时钟分频配置。 N：每 32 拍 JPGD 时钟中关掉 N 拍时钟。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	jpgd_cken	JPGD 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	jpgd_srst_req	JPGD 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG26

PERI_CRG26 为 MDU 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0068		PERI_CRG26		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												mduclk_loaden	mduclk_skipcfg				reserved	mdu_cken	mdu_srst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	mduclk_loaden	MDU 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1. 写入新的 skip 配置值； 2. 将 loaden 写为 0； 3. 将 loaden 写为 1。																													
[8:4]	RW	mduclk_skipcfg	MDU 时钟分频配置。 N：每 32 拍 MDU 时钟中关掉 N 拍时钟。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	mdu_cken	MDU 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	mdu_srst_req	MDU 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG27

PERI_CRG27 为 VAPU 时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x006C		PERI_CRG27		0x0000_0003																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vapuclk_loaden	vapuclk_skipcfg				reserved	vapu_cken	vapu_srst_req												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description																													
[31:10]	RO	reserved	保留。																													
[9]	RW	vapuclk_loaden	VAPU 时钟分频配置使能。 每次改变 skip 配置时，分下面三步： 1.写入新的 skip 配置值； 2.将 loaden 写为 0； 3.将 loaden 写为 1。																													
[8:4]	RW	vapuclk_skipcfg	VAPU 时钟分频配置。 N：每 32 拍 VAPU 时钟中关掉 N 拍时钟。																													
[3:2]	RO	reserved	保留。																													
[1]	RW	vapu_cken	VAPU 时钟门控配置。 0：关闭时钟； 1：打开时钟。																													
[0]	RW	vapu_srst_req	VAPU 的软复位请求。 0：撤销复位； 1：复位。																													

PERI_CRG31

PERI_CRG31 为 CIPHER 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x007C		PERI_CRG31		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										cipher_cken	cipher_srst_req				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留。																													
[1]	RW	cipher_cken	CIPHER 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	cipher_srst_req	CIPHER 的软复位请求。 0: 撤消复位; 1: 复位。																													

PERI_CRG35

PERI_CRG35 为 AIO 时钟复位控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x008C		PERI_CRG35		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										aio_ksel	aio_hcken	aio_hrst_req			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													



[3:2]	RW	aio_cksel	AIO MCLK PLL 源头选择。 00: 500M; 01: APLL_FOUTPOSTDIV; 1X: 1500M。
[1]	RW	aio_hcken	AIO 总线时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	aio_hrst_req	AIO 总线侧软复位请求。 0: 撤销复位; 1: 复位。

PERI_CRG43

PERI_CRG43 为 SATA&PCIE PHY 相关时钟复位控制寄存器。

	Offset Address 0x00AC								Register Name PERI_CRG43								Total Reset Value 0x0000_0050															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				cmb_phy_mode	cmb_phy_refclk_sel	cmb_phy_ref_cken	sata_phy1_refclk_sel	sata_phy1_ref_cken	sata_phy0_refclk_sel	sata_phy0_ref_cken					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:7]	RO		reserved		保留。																											
[6]	RW		cmb_phy_mode		CMB PHY 工作模式。 0: SATA; 1: PCIE。																											
[5]	RW		cmb_phy_refclk_sel		CMB PHY refclk 选择。 0: 100M; 1: 24M。																											



[4]	RW	cmb_phy_ref_cken	CMB PHY refclk 门控。 0: 关断; 1: 打开。
[3]	RW	sata_phy1_refclk_sel	SATA PHY1 refclk 选择。 0: 100M; 1: 24M。
[2]	RW	sata_phy1_ref_cken	SATA PHY1 refclk 门控。 0: 关断; 1: 打开。
[1]	RW	sata_phy0_refclk_sel	SATA PHY0 refclk 选择。 0: 100M; 1: 24M。
[0]	RW	sata_phy0_ref_cken	SATA PHY0 refclk 门控。 0: 关断; 1: 打开。

PERI_CRG44

PERI_CRG44 为 PCIE 相关的时钟及软复位控制寄存器。

	Offset Address 0x00B0				Register Name PERI_CRG44								Total Reset Value 0x0000_07B0																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												pcie_cko_alive_srst_req	pcie_bus_srst_req	reserved	pcie_refclk_cken	pcie_mpll_dword_cken	pcie_cko_alive_cken	pcie_aux_cken	reserved	pcie_rx0_cken	pcie_bus_cken	reserved									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RO		reserved		保留。																											
[13]	RW		pcie_cko_alive_srst_req		pciectrl cko_alive 软复位请求。 0: 不复位; 1: 复位。																											



[12]	RW	pcie_bus_srst_req	PCICTRL 总线软复位请求。 0: 不复位; 1: 复位。
[11]	RO	reserved	保留。
[10]	RW	pcie_refclk_cken	PCIIE refclk 时钟门控。 0: 关断; 1: 打开。
[9]	RO	pcie_mpll_dword_cken	PCICTRL mpll_dword 时钟门控。 0: 关断; 1: 打开。
[8]	RW	pcie_cko_alive_cken	PCICTRL cko_alive 时钟门控。 0: 关断; 1: 打开。
[7]	RW	pcie_aux_cken	PCICTRL aux 时钟门控。 0: 关断; 1: 打开。
[6]	RO	reserved	保留。
[5]	RW	pcie_rx0_cken	PCICTRL rx 时钟门控。 0: 关断; 1: 打开。
[4]	RW	pcie_bus_cken	PCICTRL 总线时钟门控。 0: 关断; 1: 打开。
[3:0]	RO	reserved	保留。

PERI_CRG45

PERI_CRG45 为 SATA 时钟复位控制寄存器。



Offset Address		Register Name		Total Reset Value																	
0x00B4		PERI_CRG45		0x0000_0000																	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0													
Name	reserved				sata_refclk2_cken	sata_mpll_dword2_cken	sata_refclk1_cken	sata_mpll_dword1_cken	reserved	reserved	sata_cko_alive_srst_req	sata_bus_srst_req	reserved	sata_refclk0_cken	sata_mpll_dword0_cken	sata_cko_alive_cken	sata_rx2_cken	sata_rx1_cken	sata_rx0_cken	sata_bus_cken	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																		
[31:20]	RO	reserved	保留。																		
[19]	RW	sata_refclk2_cken	SATA ctrl Port 2 refclk 时钟门控。 0: 关断; 1: 打开。																		
[18]	RW	sata_mpll_dword2_cken	SATA ctrl Port 2 mpll_dword 时钟门控。 0: 关断; 1: 打开。																		
[17]	RW	sata_refclk1_cken	SATA ctrl Port 1 refclk 时钟门控。 0: 关断; 1: 打开。																		
[16]	RW	sata_mpll_dword1_cken	SATA ctrl Port 1 mpll_dword 时钟门控。 0: 关断; 1: 打开。																		
[15:14]	RO	reserved	保留。																		
[13]	RW	sata_cko_alive_srst_req	SATA ctrl cko_alive 软复位请求。 0: 不复位; 1: 复位。																		
[12]	RW	sata_bus_srst_req	SATA ctrl 总线软复位请求。 0: 不复位; 1: 复位。																		
[11]	RO	reserved	保留。																		



[10]	RW	sata_refclk0_cken	SATA ctrl Port 0 refclk 时钟门控。 0: 关断; 1: 打开。
[9]	RW	sata_mpll_dword0_cken	SATA ctrl Port 0 mpll_dword 时钟门控。 0: 关断; 1: 打开。
[8]	RW	sata_cko_alive_cken	SATA ctrl cko_alive 时钟门控。 0: 关断; 1: 打开。
[7]	RW	sata_rx2_cken	SATA ctrl rx2 时钟门控。 0: 关断; 1: 打开。
[6]	RW	sata_rx1_cken	SATA ctrl rx1 时钟门控。 0: 关断; 1: 打开。
[5]	RW	sata_rx0_cken	SATA ctrl rx0 时钟门控。 0: 关断; 1: 打开。
[4]	RW	sata_bus_cken	SATA ctrl 总线时钟门控。 0: 关断; 1: 打开。
[3:0]	RO	reserved	保留。

PERI_CRG46

PERI_CRG46 为 USB2&USB3 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x00B8		PERI_CRG46		0x0FF0_F0FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	usb3_utmi_cken usb3_pcs_ref_cken usb3_mpll_dword_cken usb3_mpll_qword_cken usb3_rx_cken usb3_suspend_cken usb3_ref_cken usb3_bus_cken	reserved	usb3_ref_ssp_en usb3_ref_use_pad usb3_phy_refclk_sel usb3_phy_ref_cken usb3_phy_srst_treq usb3_phy_srst_req usb3_vcc_srst_req	reserved	reserved	usb2_cken usb2_ctrl_utmi1_req usb2_ctrl_utmi0_req usb2_ctrl_hub_req usb2phy_port1_treq usb2phy_port0_treq usb2phy_req usb2_ahb_srst_req	
Reset	0 0 0 0	1 1 1 1	1 1 1 1	0 0 0 0	1 1 1 1	0 0 0 0	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27]	RW	usb3_utmi_cken	usb3ctrl utmi 时钟门控。 0: 关断; 1: 打开。					
[26]	RW	usb3_pcs_ref_cken	usb3ctrl pcs_ref 时钟门控。 0: 关断; 1: 打开。					
[25]	RW	usb3_mpll_dword_cken	usb3ctrl dword 时钟门控。 0: 关断; 1: 打开。					
[24]	RW	usb3_mpll_qword_cken	usb3ctrl qword 时钟门控。 0: 关断; 1: 打开。					
[23]	RW	usb3_rx_cken	usb3ctrl rx 时钟门控。 0: 关断; 1: 打开。					
[22]	RW	usb3_suspend_cken	usb3ctrl suspend 时钟门控。 0: 关断; 1: 打开。					
[21]	RW	usb3_ref_cken	usb3ctrl ref 时钟门控。 0: 关断; 1: 打开。					



[20]	RW	usb3_bus_cken	usb3ctrl 总线时钟门控。 0: 关断; 1: 打开。
[19]	RO	reserved	保留。
[18]	RW	usb3_ref_ssp_en	usb3phy superspeed 域时钟使能。 0: 关断; 1: 打开。
[17]	RW	usb3_ref_use_pad	usb3phy 参考时钟选择。 0: 内部 CRG; 1: pad。
[16]	RW	usb3_phy_refclk_sel	usb3phy refclk 选择。 0: 晶振时钟; 1: 内部 100M 时钟。
[15]	RW	usb3_phy_ref_cken	usb3phy refclk 门控。 0: 关断; 1: 打开。
[14]	RW	usb3_phy_srst_treq	usb3phy tpor 软复位请求。 0: 不复位; 1: 复位。
[13]	RW	usb3_phy_srst_req	usb3phy por 软复位请求。 0: 不复位; 1: 复位。
[12]	RW	usb3_vcc_srst_req	usb3ctrl vcc 软复位请求。 0: 不复位; 1: 复位。
[11:8]	RO	reserved	保留。
[7]	RW	usb2_cken	USB PHY 参考时钟门控。 0: 关闭; 1: 打开。
[6]	RW	usb2_ctrl_utmi1_req	USB2 controller port1 的软复位请求。 0: 撤消复位; 1: 复位。



[5]	RW	usb2_ctrl_utmi0_req	USB2 controller port0 的软复位请求。 0: 撤消复位; 1: 复位。
[4]	RW	usb2_ctrl_hub_req	USB2 controller hub 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RW	usb2phy_port1_req	USB2 PHY PORT1 的软复位请求。 0: 撤消复位; 1: 复位。
[2]	RW	usb2phy_port0_req	USB2 PHY PORT0 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	usb2phy_req	USB2 PHY 的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	usb2_ahb_srst_req	USB2 controller 总线软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG48

PERI_CRG48 为 SFC 相关的时钟及软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00C0				PERI_CRG48				0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sfc_cksel	sfc_cken	sfc_srst_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											



[3:2]	RW	sfc_cksel	SFC2X 时钟源选择。 00: 24M 时钟; 01: 83M 时钟; 1X: 125M 时钟;
[1]	RW	sfc_cken	SFC 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	sfc_srst_req	SFC 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG50

PERI_CRG50 为 TOE 和 GMAC 接口相关的时钟及软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																															
	0x00C8				PERI_CRG50				0x0000_00AA																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved												toe_cksel	ext_fephy_cksel	rmiil_cksel	rmiio_cksel	gmac1_if_cken	gmac1_if_srst_req	gmac0_if_cken	gmac0_if_srst_req	toe_hoken	toe_hrst_req	toe_cken	toe_srst_req																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0								
Bits	Access		Name		Description																																			
[31:12]	RO		reserved		保留。																																			
[11]	RW		toe_cksel		TOE 时钟选择。 0: 150MHz; 1: 100MHz。																																			
[10]	RW		ext_fephy_cksel		外接 FE PHY 时钟选择。 0: 25M; 1: 50M。																																			
[9]	RW		rmiil_cksel		RMII1 时钟选择。 0: 选择 CRG 时钟; 1: 选择 PAD 输入。																																			



[8]	RW	rmii0_cksel	RMII0 时钟选择。 0: 选择 CRG 时钟; 1: 选择 PAD 输入。
[7]	RW	gmac1_if_cken	GMAC1_IF 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[6]	RW	gmac1_if_srst_req	GMAC1_IF 的软复位请求。 0: 撤消复位; 1: 复位。
[5]	RW	gmac0_if_cken	GMAC0_IF 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[4]	RW	gmac0_if_srst_req	GMAC0_IF 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RW	toe_hcken	TOE 总线时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[2]	RW	toe_hrst_req	TOE 的总线软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	toe_cken	TOE 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	toe_srst_req	TOE 的软复位请求。 0: 撤消复位; 1: 复位。

PERI_CRG52

PERI_CRG52 为 NandC 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x00D0		PERI_CRG52		0x0000_0002						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							nfc_cksel	nfc_cken	nfc_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留。							
[2]	RW	nfc_cksel	NFC 时钟源选择。 0: 24M 时钟; 1: 200M 时钟。							
[1]	RW	nfc_cken	NFC 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。							
[0]	RW	nfc_srst_req	NFC 的软复位请求。 0: 撤消复位; 1: 复位。							

PERI_CRG54

PERI_CRG54 为 DDRTEST 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value						
0x00D8		PERI_CRG54		0x0000_0002						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							ddrtest_cken	ddrtest_srst_req	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0		
Bits	Access	Name	Description							
[31:4]	RO	reserved	保留。							



[3]	RW	ddrtest_cken	DDRTEST 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。
[2]	RW	ddrtest_srst_req	DDRTEST 的软复位请求。 0: 撤消复位; 1: 复位。
[1:0]	RO	reserved	保留。

PERI_CRG56

PERI_CRG56 为 DMA 相关的时钟及软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00E0				PERI_CRG56				0x0000_0008																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								dma_cken		dma_srst_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
Bits	Access		Name		Description																											
[31:2]	RO		reserved		保留。																											
[1]	RW		dma_cken		DMA 时钟门控配置。 0: 关闭时钟; 1: 打开时钟。																											
[0]	RW		dma_srst_req		DMA 的软复位请求。 0: 撤消复位; 1: 复位。																											

PERI_CRG57

PERI_CRG57 为其它 CRG 接口模块软复位控制寄存器。



Offset Address		Register Name												Total Reset Value																		
0x00E4		PERI_CRG57												0x000F_F001																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								uart_cksel				uart3_cken	uart2_cken	uart1_cken	uart0_cken	ssp1_cken	ssp0_cken	ir_cken	reserved	uart3_srst_req	uart2_srst_req	uart1_srst_req	uart0_srst_req	ssp1_srst_req	ssp0_srst_req	ir_srst_req	reserved	tcap_srst_req	izc_srst_req	test_clk_en	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:20]	RO	reserved	保留。																													
[19]	RW	uart_cksel	UART 时钟选择。 0: 选择 APB 时钟; 1: 选择 2M 时钟。																													
[18]	RW	uart3_cken	UART3 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[17]	RW	uart2_cken	UART2 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[16]	RW	uart1_cken	UART1 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[15]	RW	uart0_cken	UART0 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[14]	RW	ssp1_cken	SSP1 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[13]	RW	ssp0_cken	SSP0 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													
[12]	RW	ir_cken	IR 时钟门控。 0: 关闭时钟; 1: 打开时钟。																													



[11]	RO	reserved	保留。
[10]	RW	uart3_srst_req	UART3 的软复位请求。 0: 撤消复位; 1: 复位。
[9]	RW	uart2_srst_req	UART2 的软复位请求。 0: 撤消复位; 1: 复位。
[8]	RW	uart1_srst_req	UART1 的软复位请求。 0: 撤消复位; 1: 复位。
[7]	RW	uart0_srst_req	UART0 的软复位请求。 0: 撤消复位; 1: 复位。
[6]	RW	ssp1_srst_req	SSP1 的软复位请求。 0: 撤消复位; 1: 复位。
[5]	RW	ssp0_srst_req	SSP0 的软复位请求。 0: 撤消复位; 1: 复位。
[4]	RW	ir_srst_req	IR 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RO	reserved	保留。
[2]	RW	tcap_srst_req	t_cap 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	i2c_srst_req	I2C 的软复位请求。 0: 撤消复位; 1: 复位。
[0]	RW	test_clk_en	测试时钟使能寄存器。 0: 所有测试时钟关闭; 1: 所有测试时钟打开。



PERI_CRG58

PERI_CRG58 为 CRG 状态寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0x00E8				PERI_CRG58				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								reserved								epll_lock		vppll2_lock		vppll1_lock		vppll0_lock		bppll_lock		appll_lock									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:20]	RO		reserved		保留。																															
[19:6]	RO		reserved		保留。																															
[5]	RO		epll_lock		EPLL LOCK 状态。 0: Unlock; 1: Locked。																															
[4]	RO		vppll2_lock		VPLL2 LOCK 状态。 0: Unlock; 1: Locked。																															
[3]	RO		vppll1_lock		VPLL1 LOCK 状态。 0: Unlock; 1: Locked。																															
[2]	RO		vppll0_lock		VPLL0 LOCK 状态。 0: Unlock; 1: Locked。																															
[1]	RO		bppll_lock		BPLL LOCK 状态。 0: Unlock; 1: Locked。																															
[0]	RO		appll_lock		APLL LOCK 状态。 0: Unlock; 1: Locked。																															

PERI_CRG59

PERI_CRG59 为 GMAC 接口控制寄存器。



注意

在进行模式配置前，需要首先复位 mac_if，让 mac_if 在复位撤销的时刻锁定新修改的状态，从而实现模式修改。默认工作在 RGMII 模式下。

Offset Address		Register Name		Total Reset Value											
0x00EC		PERI_CRG59		0x003F_003F											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved		gmac1_phy_select	gmac1_duplex_mode	gmac1_tx_config	gmac1_link_status	gmac1_mac_speed	gmac1_port_select	reserved	gmac0_phy_select	gmac0_duplex_mode	gmac0_tx_config	gmac0_link_status	gmac0_mac_speed	gmac0_port_select
Reset	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 1							
Bits	Access	Name	Description												
[31:22]	RW	reserved	保留。												
[23:21]	RW	gmac1_phy_select	GMAC1 PHY 接口模式。 000: GMII/MII mode; 001: RGMII mode; 100: RMII mode; 其他: 保留。												
[20]	RW	gmac1_duplex_mode	GMAC1 PHY 双工模式。 0: Half Duplex mode; 1: Full Duplex mode。												
[19]	RW	gmac1_tx_config	GMAC1 发送配置使能信号。 0: Tx Config Disable; 1: Tx Config Enable。												
[18]	RW	gmac1_link_status	GMAC1 PHY 连接状态控制。 0: Link Down; 1: Link Up。												
[17]	RW	gmac1_mac_speed	GMAC1 10/100Mbps 模式。 0: 10Mbps; 1: 100Mbps。												



[16]	RW	gmac1_port_select	GMAC1 千兆选择使能。 0: 1000Mbps; 1: 10/100Mbps。
[15:8]	RW	reserved	保留。
[7:5]	RW	gmac0_phy_select	GMAC0 PHY 接口模式。 000: GMII/MII mode; 001: RGMII mode; 100: RMII mode; 其他: 保留。
[4]	RW	gmac0_duplex_mode	GMAC0 PHY 双工模式。 0: Half Duplex mode; 1: Full Duplex mode。
[3]	RW	gmac0_tx_config	GMAC0 发送配置使能信号。 0: Tx Config Disable; 1: Tx Config Enable。
[2]	RW	gmac0_link_status	GMAC0 PHY 连接状态控制。 0: Link Down; 1: Link Up。
[1]	RW	gmac0_mac_speed	GMAC0 10/100Mbps 模式。 0: 10Mbps; 1: 100Mbps。
[0]	RW	gmac0_port_select	GMAC0 千兆选择使能。 0: 1000Mbps; 1: 10/100Mbps。

PERI_CRG60

PERI_CRG60 为 GMAC 接口状态寄存器。



注意

此状态信息仅在 RGMII 模式下有效，在其他模式下其值不确定。



Offset Address		Register Name		Total Reset Value									
0x00F0		PERI_CRG60		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				gmac1_phy_link_status	gmac1_phy_link_speed	gmac1_phy_link_mode	reserved			gmac0_phy_link_status	gmac0_phy_link_speed	gmac0_phy_link_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:20]	RO	reserved	保留。										
[19]	RO	gmac1_phy_link_status	GMAC1 PHY 连接状态。 0: Link Down; 1: Link Up。										
[18:17]	RO	gmac1_phy_link_speed	GMAC1 PHY 连接时钟频率。 00: 2.5MHz; 01: 25MHz; 10: 125MHz; 11: reserved。										
[16]	RO	gmac1_phy_link_mode	GMAC1 PHY 连接双工模式。 0: half duplex mode; 1: full duplex mode。										
[15:4]	RO	reserved	保留。										
[3]	RO	gmac0_phy_link_status	GMAC0 PHY 连接状态。 0: Link Down; 1: Link Up。										
[2:1]	RO	gmac0_phy_link_speed	GMAC0 PHY 连接时钟频率。 00: 2.5MHz; 01: 25MHz; 10: 125MHz; 11: reserved。										
[0]	RO	gmac0_phy_link_mode	GMAC0 PHY 连接双工模式。 0: half duplex mode; 1: full duplex mode。										



PERI_CRG61

PERI_CRG61 为 VDH 复位状态寄存器。

Offset Address		Register Name		Total Reset Value									
0x00F4		PERI_CRG61		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						vdh0_scd_srst_ok	vdh0_mfd_srst_ok	vdh0_all_srst_ok	reserved	vdh1_scd_srst_ok	vdh1_mfd_srst_ok	vdh1_all_srst_ok
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:7]	RO	reserved	保留。										
[6]	RO	vdh0_scd_srst_ok	VDH0 SCD 复位状态。										
[5]	RO	vdh0_mfd_srst_ok	VDH0 MFD 复位状态。										
[4]	RO	vdh0_all_srst_ok	VDH0 ALL 复位状态。										
[3]	RO	reserved	保留。										
[2]	RO	vdh1_scd_srst_ok	VDH1 SCD 复位状态。										
[1]	RO	vdh1_mfd_srst_ok	VDH1 MFD 复位状态。										
[0]	RO	vdh1_all_srst_ok	VDH1 ALL 复位状态。										

PERI_CRG67

PERI_CRG67 为 BPLL 展频配置寄存器。



Offset Address		Register Name		Total Reset Value						
0x010C		PERI_CRG67		0x0000_0004						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						bpll_ssmod_ctrl			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0		
Bits	Access	Name	Description							
[31:12]	RW	reserved	保留。							
[11:0]	RW	bpll_ssmod_ctrl	ssmod divval[11:8]: SSMOD divval 控制。 ssmod spread[6:4]: SSMOD spread 控制。 000: 0; 001: 0.049%; 010: 0.098%; 011: 0.195%; 100: 0.391%; 101: 0.781%; 110: 1.563%; 110: 3.125%。 ssmod downspread[3]: SSMOD downspread 控制。 0: 中间展频; 1: 向下展频。 ssmod_disable[2]: SSMOD disable 控制。 0: enable; 1: disable。 ssmod_rst_req [1]: SSMOD 复位控制。 0: 不复位; 1: 复位。 ssmod_cken [0]: SSMOD 时钟门控, 默认关闭。 0: 关闭; 1: 打开。							

PERI_CRG72

PERI_CRG72 为 VPLL2 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0120		PERI_CRG72		0x1500_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved vpll2_postdiv2	reserved vpll2_postdiv1	vpll2_frac					
Reset	0 0 0 1	0 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30:28]	RW	vpll2_postdiv2	VPLL2 第二级输出分频系数。					
[27]	RW	reserved	保留。					
[26:24]	RW	vpll2_postdiv1	VPLL2 第一级输出分频系数。					
[23:0]	RW	vpll2_frac	VPLL2 小数分频系数。					

PERI_CRG73

PERI_CRG73 为 VPLL2 配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0124		PERI_CRG73		0x0100_2087				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	vpll2_bypass vpll2_dacpd vpll2_dsmpd vpll2_pd vpll2_foutvcopd vpll2_postdivpd vpll2_fout4phasepd	reserved	vpll2_refdiv		vpll2_fbdiv		
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	1 0 0 0	0 1 1 1
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26]	RW	vpll2_bypass	VPLL2 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。					



[25]	RW	vpll2_dacpd	VPLL2 测试信号控制。 0: 正常工作状态; 1: power down 工作状态。
[24]	RW	vpll2_dsmpd	VPLL2 小数分频控制。 0: 小数模式; 1: 整数模式。
[23]	RW	vpll2_pd	VPLL2 Power Down 控制。 0: 正常工作状态; 1: power down 工作状态。
[22]	RW	vpll2_foutvcopd	VPLL2 VCO 输出 Power Down 控制。 0: 正常输出时钟; 1: 不输出时钟。
[21]	RW	vpll2_postdivpd	VPLL2 POSTDIV 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[20]	RW	vpll2_fout4phasepd	VPLL2 FOUT 输出 Power Down 控制。 0: 正常时钟输出; 1: 不输出时钟。
[19:18]	RO	reserved	保留。
[17:12]	RW	vpll2_refdiv	VPLL2 参考时钟分频系数。
[11:0]	RW	vpll2_fbdiv	VPLL2 整数倍频系数。

PERI_CRG75

PERI_CRG75 为 CORE HPM 控制寄存器 1。



Offset Address		Register Name		Total Reset Value								
0x012C		PERI_CRG75		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved	core_hpm_srst_req core_hpm_monitor_en core_hpm_bypass core_hpm_en	reserved	core_hpm_offset				reserved	core_hpm_shift	reserved	core_hpm_div	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:28]	RO	reserved	保留。									
[27]	RW	core_hpm_srst_req	CORE HPM 复位请求，高有效。 0: 撤消复位; 1: 复位。									
[26]	RW	core_hpm_monitor_en	CORE HPM 循环监控使能。 0: disable; 1: enable。									
[25]	RW	core_hpm_bypass	CORE HPM 循环监控 Bypass。 0: 非 bypass; 1: bypass。									
[24]	RW	core_hpm_en	使能一次 CORE HPM 测量过程。 0: 开始一次流程之前，此值需保持为 0; 1: 开始一次调频流程。									
[23:22]	RO	reserved	保留。									
[21:12]	RW	core_hpm_offset	CORE HPM OFFSET 值。									
[11:10]	RO	reserved	保留。									
[9:8]	RW	core_hpm_shift	CORE HPM SHIFT 值。									
[7:6]	RO	reserved	保留。									
[5:0]	RW	core_hpm_div	CORE HPM 时钟分频比配置。 N: (n+1)分频。									

PERI_CRG76

PERI_CRG76 为 CORE HPM 状态寄存器 1。



Offset Address		Register Name		Total Reset Value					
0x0130		PERI_CRG76		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	core_hpm_up_warning core_hpm_low_warning	reserved	core_hpm_pc_record1		reserved core_hpm_pc_valid	core_hpm_pc_record0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25]	RO	core_hpm_up_warning	CORE HPM Warning 上限值。						
[24]	RO	core_hpm_low_warning	CORE HPM Warning 下限值。						
[23:22]	RO	reserved	保留。						
[21:12]	RO	core_hpm_pc_record1	CORE HPM 原始码型 1。						
[11]	RO	reserved	保留。						
[10]	RO	core_hpm_pc_valid	CORE HPM 输出有效指示。 0: invalid; 1: valid。						
[9:0]	RO	core_hpm_pc_record0	CORE HPM 原始码型 0。						

PERI_CRG77

PERI_CRG77 为 CORE HPM 状态寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x0134		PERI_CRG77		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	core_hpm_rcc	reserved	core_hpm_pc_record3		reserved	core_hpm_pc_record2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:24]	RO	core_hpm_rcc	CORE HPM 输出有 RCC 码。						
[23:22]	RO	reserved	保留。						
[21:12]	RO	core_hpm_pc_recor d3	CORE HPM 原始码型 3。						
[11:10]	RO	reserved	保留。						
[9:0]	RO	core_hpm_pc_recor d2	CORE HPM 原始码型 2。						

PERI_CRG78

PERI_CRG78 为 CORE HPM 控制寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x0138		PERI_CRG78		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	core_hpm_monitor_period		reserved	core_hpm_lowlimit		reserved	core_hpm_uplimit		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	core_hpm_monitor period	CORE HPM 循环监控周期。 若配置值为 N，则监控的周期为： $T = N \times 2048/1000$ ms。监控最大间隔为 522ms，最小间隔为 2ms。						
[23:22]	RO	reserved	保留。						
[21:12]	RW	core_hpm_lowlimit	CORE HPM 下限值。						



[11:10]	RO	reserved	保留。
[9:0]	RW	core_hpm_uplimit	CORE HPM 上限值。

PERI_CRG79

PERI_CRG79 为 CPU HPM 控制寄存器 1。

	Offset Address	Register Name	Total Reset Value								
	0x013C	PERI_CRG79	0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved	cpu_hpm_srst_req cpu_hpm_monitor_en cpu_hpm_bypass cpu_hpm_en	reserved	cpu_hpm_offset				reserved	cpu_hpm_shift	reserved	cpu_hpm_div
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:28]	RW	reserved	保留。								
[27]	RW	cpu_hpm_srst_req	CPU HPM 复位请求，低有效。 0: 复位; 1: 撤消复位。								
[26]	RW	cpu_hpm_monitor_en	CPU HPM 循环监控使能。 0: disable; 1: enable。								
[25]	RW	cpu_hpm_bypass	CPU HPM 循环监控 Bypass。 0: 非 bypass; 1: bypass。								
[24]	RW	cpu_hpm_en	使能一次 CPU HPM 测量过程。 0: 开始一次流程之前，此值需保持为 0; 1: 开始一次调频流程。								
[23:22]	RO	reserved	保留。								
[21:12]	RW	cpu_hpm_offset	CPU HPM OFFSET 值。								
[11:10]	RO	reserved	保留。								



[9:8]	RW	cpu_hpm_shift	CPU HPM SHIFT 值。
[7:6]	RO	reserved	保留。
[5:0]	RW	cpu_hpm_div	HPM 时钟分频比配置。 N: (n+1)分频。

PERI_CRG80

PERI_CRG80 为 CPU HPM 状态寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x0140		PERI_CRG80		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cpu_hpm_up_warning cpu_hpm_low_warning	reserved	cpu_hpm_pc_record1		reserved cpu_hpm_pc_valid	cpu_hpm_pc_record0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25]	RO	cpu_hpm_up_warning	CPU HPM Warning 上限值。						
[24]	RO	cpu_hpm_low_warning	CPU HPM Warning 下限值。						
[23:22]	RO	reserved	保留。						
[21:12]	RO	cpu_hpm_pc_record1	CPU HPM 原始码型 1。						
[11]	RO	reserved	保留。						
[10]	RO	cpu_hpm_pc_valid	CPU HPM 输出有效指示。 0: invalid; 1: valid。						
[9:0]	RO	cpu_hpm_pc_record0	CPU HPM 原始码型 0。						



PERI_CRG81

PERI_CRG81 为 CPU HPM 状态寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x0144		PERI_CRG81		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cpu_hpm_rcc	reserved	cpu_hpm_pc_record3		reserved	cpu_hpm_pc_record2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:24]	RO	cpu_hpm_rcc	CPU HPM 输出有 RCC 码。						
[23:22]	RO	reserved	保留。						
[21:12]	RO	cpu_hpm_pc_recor d3	CPU HPM 原始码型 3。						
[11:10]	RO	reserved	保留。						
[9:0]	RO	cpu_hpm_pc_recor d2	CPU HPM 原始码型 2。						

PERI_CRG82

PERI_CRG82 为 CPU HPM 控制寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x0148		PERI_CRG82		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	cpu_hpm_monitor_period		reserved	cpu_hpm_lowlimit		reserved	cpu_hpm_uplimit		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	cpu_hpm_monitor_ period	CPU HPM 循环监控周期。 若配置值为 N，则监控的周期为： $T = N \times 2048/1000 \text{ ms}$ 。监控最大间隔为 522ms，最小间隔为 2ms。						



[23:22]	RO	reserved	保留。
[21:12]	RW	cpu_hpm_lowlimit	CPU HPM 下限值。
[11:10]	RW	reserved	保留。
[9:0]	RW	cpu_hpm_uplimit	CPU HPM 上限值。

3.3 中断系统

芯片使用 Cortex-A9 内部集成的中断控制器 GIC，最多可支持 96 个中断源，对应的中断映射如表 3-25 所示。

表3-25 A9 中断源分配表

中断位	中断源	中断位	中断源
0-31	For A9 internal use	64	USB 3.0
32	COMMTX[0]	65	VDP
33	COMMRX[0]	66	IVE
34	WatchDog	67	VDH0
35	Timer0	68	VENC
36	Timer1	69	VPSS
37	Timer2	70	JPGD
38	Timer3	71	MD/DDRT
39	RTC	72	VDH1
40	UART0	73	TDE
41	UART1	74	JPGE
42	UART2	75	VGS
43	UART3	76	AIO
44	L2 Controller	77	HDMI
45	A9 PMU[0]	78	SCD0
46	DMAC	79	SCD1
47	I2C	80	PCIE_INTA
48	NFC	81	PCIE_INTB
49	SFC	82	PCIE_INTC



中断位	中断源	中断位	中断源
50	IR	83	PCIE_INTD
51	Cipher	84	PCIE_DMA
52	保留	85	PCIE_MSI
53	USB2.0 OHCI	86	PCIE_LINK_DOWN
54	USB2.0 EHCI	87	保留
55	Temp Capture	88	保留
56	保留	89	保留
57	保留	90	A9 PMU[1]
58	保留	91	GPIO0~GPIO3
59	TOE_INTR	92	GPIO4~GPIO8
60	TOE_LPI_INTR	93	GPIO9~GPIO14
61	Software Int	94	COMMTX[1]
62	保留	95	COMMRX[1]
63	SATA		

3.4 系统控制器

3.4.1 概述

系统控制器控制系统运行的模式，监控系统运行状态，管理系统中的重要功能，完成对外设的某些功能的配置。

3.4.2 特点

系统控制器具有以下特点：

- 控制并监控系统的运行模式
- 提供系统时钟控制和状态查询
- 提供对系统地址重映射的控制和状态监控
- 提供通用外设寄存器
- 提供对关键寄存器的写保护功能
- 提供芯片的标识寄存器



3.4.3 功能描述

系统运行模式控制

系统工作在以下三种工作模式：

- **NORMAL 模式**
系统正常工作在 NORMAL 模式下。在此模式下，系统由片内 APLL 的输出时钟驱动。所有的模块均能正常工作于此时钟源。（部分外设可选择被 VPLL0、VPLL1 和 EPLL 的输出时钟驱动）
- **SLOW 模式**
SLOW 模式是一种慢速模式。在此模式下，系统由外接晶振时钟驱动，只有部分片内外设（如系统控制器、Timer、NANDC、SFC 等）可以工作。所有对高速时钟有要求的模块在此时钟下无法工作，如 DDRC 等。
- **DOZE 模式**
DOZE 模式是一种低速模式。只有少量片内外设可以工作于 DOZE 模式。在此模式下，系统由外接晶振分频的 46.875kHz 低频时钟驱动。大部分片内外设无法工作，存储器接口无法工作，CPU 和少量模块（如系统控制器、Timer 和 IR 等）可以工作于该模式。

系统控制器提供了一个系统模式切换机制，用于控制系统时钟源的切换。模式切换由模式控制寄存器 `SC_CTRL[modectrl]` 来配置，这 3 位定义了系统当前需要进入的操作模式：

- 000：保留
- 001：系统切换到 DOZE 模式
- 010：系统切换到 SLOW 模式
- 100：系统切换到 NORMAL 模式
- 其它：保留

当要求的系统操作模式已在系统模式控制寄存器中指定，系统模式控制系统即开始朝指定的模式切换，在此期间不再需要其他的软件（命令）干预。

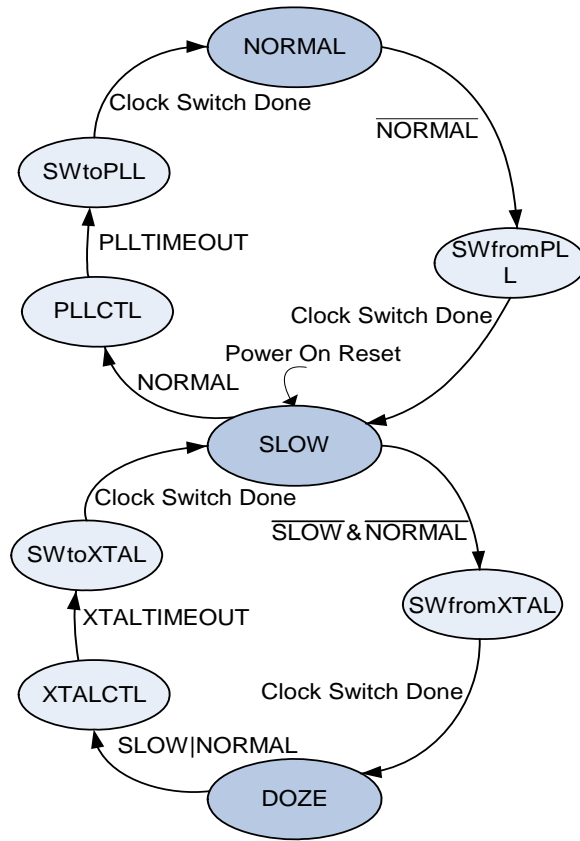
当前系统状态可通过读取 `SC_CTRL[modestatus]` 获得。该比特域描述的系统当前状态包括了上述的主要模式：NORMAL、SLOW、DOZE，此外还包括了 3 个主要模式之间的几个中间态：SWfromPLL、SWtoPLL、PLLCTL、SWfromXTAL、SWtoXTAL、XTALCTL。

说明

NORMAL、SLOW、DOZE 三种模式切换，可配置为直接切换，如系统当前处于 NORMAL 模式，可通过配置寄存器 `SC_CTRL[modectrl]` 为“001”进入 DOZE 模式。但实际系统运行过程中，是经历了“SWfromPLL”、“SLOW”、“SWfromXTAL”等模式或中间态的。

系统的状态切换过程如图 3-4 所示。

图3-4 系统模式切换图



各种模式之间的切换涉及到的操作如下：

- 将 `SC_CTRL[modectl]` 的最高位设置为 0，系统会离开 NORMAL 模式，向慢速模式 SLOW 方向切换。
- 在系统由 NORMAL 模式进入 SLOW 模式过程中，系统首先进入 `SWfromPLL` 中间态。这标志着系统时钟源将从 PLL 切换到晶振。当时钟切换完成后（Clock Switch Done），系统进入 SLOW 模式。
- 上电复位之后，系统处于 SLOW 模式。设置 `SC_CTRL[modectl]` 的最高位为 1，可以让系统进入 NORMAL 模式。切换到 NORMAL 模式的过程中，首先进入 `PLLCTL` 中间态以使能 ARMPLL，在一个固定的等待时间（等待时间受 `SC_XTALCTRL[plltime]` 影响）之后，进入 `SWtoPLL` 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 NORMAL 模式。
- 设置 `SC_CTRL[modectl]` 的高两位均为 0，可以让系统向低速的 DOZE 模式方向切换。系统首先会进入 `SWfromXTAL` 中间态。这标志着系统时钟源将从晶振时钟切换到晶振时钟分频得到的 46.875kHz 低频时钟。当时钟切换完成后（Clock Switch Done），系统进入 DOZE 模式。



- 设置 `SC_CTRL[modectrl]` 的高两位中的某位为 1，可以让系统向慢速的 SLOW 模式方向切换。切换到 SLOW 模式的过程中，首先进入 XTALCTL 中间态以初始化时钟模块，在一个固定的等待时间（等待时间受 `SC_XTALCTRL[xtaltime]` 影响）之后，进入 SWtoXTAL 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 SLOW 模式。

系统控制器状态机状态和系统时钟之间的关系请参见表 3-5。

软复位控制

系统控制器支持对芯片全局以及局部模块进行软复位：

当配置全局软复位寄存器 `SC_SYSRES` 后，系统控制器将给片内复位模块发起请求，芯片将被复位。

系统地址重映射控制

请参见“1.3 启动模式”章节。

对关键寄存器的写保护

为防止软件对系统控制器的误操作对整个系统产生严重影响，系统控制器提供了一些关键配置寄存器的写保护功能。包括：

- 模式切换的控制寄存器：`SC_CTRL`
- 系统全局软复位控制寄存器：`SC_SYSRES`
- PLL 控制寄存器：`SC_PLLCTRL`
- PLL 频率控制寄存器：`SC_PLLCTRL`

对这些关键寄存器进行写操作之前，必须配置寄存器 `SC_LOCKEN` 打开写权限。操作完成之后配置寄存器 `SC_LOCKEN` 关闭写权限，让这些关键寄存器不会被软件随意改写。

说明

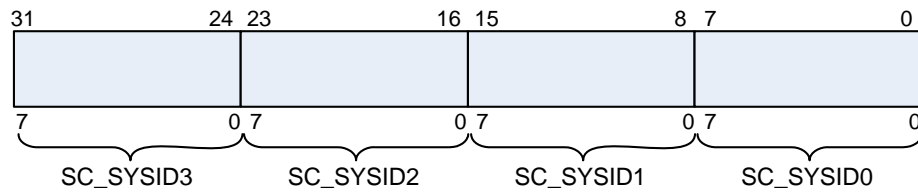
系统默认为复位后不对这些关键寄存器进行写保护处理。为启用此功能，建议在系统启动时利用该寄存器对这些关键寄存器进行写保护处理。

芯片的标识寄存器

系统控制器提供了芯片标识（ID）寄存器 `SC_SYSID`。这个标识寄存器是一个概念上的 32bit 的标识只读寄存器，实际上由 4 个 8bit 标识寄存器组成：`SCSYSID3`、`SCSYSID2`、`SCSYSID1`、`SCSYSID0`。读出这 4 个寄存器的值，通过组合得到芯片的 32bit 标识只读寄存器的值 `0x3535_0100`，组合的方法如图 3-5 所示。



图3-5 芯片 ID 寄存器位分配图



3.4.4 系统控制器寄存器

3.4.4.1 系统控制器寄存器概览

系统控制器寄存器概览如表 3-26 所示。

表3-26 系统控制器寄存器概览（基址是 0x2005_0000）

偏移地址	名称	描述	页码
0x000	SC_CTRL	系统控制寄存器	3-86
0x004	SC_SYSRES	系统软复位寄存器	3-89
0x008	SC_IMCTRL	中断模式控制寄存器	3-89
0x00C	SC_IMSTAT	中断模式状态寄存器	3-90
0x010	SC_XTALCTRL	晶振控制寄存器	3-91
0x014	SC_PLLCTRL	PLL 控制寄存器	3-92
0x001C	SOLFINT	软中断寄存器	3-93
0x0020	SOLFTYPE	软中断向量寄存器	3-93
0x0044	SC_LOCKEN	关键系统控制寄存器的锁定寄存器	3-94
0x008C	SYSSTAT	系统状态寄存器	3-94
0x0090	DDRT0	DDR Training 专用寄存器 0	3-96
0x0094	DDRT1	DDR Training 专用寄存器 1	3-97
0x0098	DDRT2	DDR Training 专用寄存器 2	3-97
0x009C	DDRT3	DDR Training 专用寄存器 3	3-98
0x00A0	DDRT4	DDR Training 专用寄存器 4	3-98
0x00A4	DDRT5	DDR Training 专用寄存器 5	3-99
0x00A8	DDRT6	DDR Training 专用寄存器 6	3-99



偏移地址	名称	描述	页码
0x00AC	DDRT7	DDR Training 专用寄存器 7	3-100
0x0130	SYSBOOT0	系统启动专用寄存器 0	3-100
0x0134	SYSBOOT1	系统启动专用寄存器 1	3-101
0x0138	SYSBOOT2	系统启动专用寄存器 2	3-101
0x013C	SYSBOOT3	系统启动专用寄存器 3	3-101
0x0140	SYSBOOT4	系统启动专用寄存器 4	3-102
0x0144	SYSBOOT5	系统启动专用寄存器 5	3-102
0x0148	SYSBOOT6	系统启动专用寄存器 6	3-102
0x014C	SYSBOOT7	系统启动专用寄存器 7	3-103
0x0150	SYSBOOT8	系统启动专用寄存器 8	3-103
0x0154	SYSBOOT9	系统启动专用寄存器 9	3-103
0x0158	SYSBOOT10	系统启动专用寄存器 10	3-104
0x015C	SYSBOOT11	系统启动专用寄存器 11	3-104
0xEE0	SCSYSID0	芯片 ID 寄存器 0	3-104
0xEE4	SCSYSID1	芯片 ID 寄存器 1	3-105
0xEE8	SCSYSID2	芯片 ID 寄存器 2	3-105
0xEEC	SCSYSID3	芯片 ID 寄存器 3	3-105

3.4.4.2 系统控制器寄存器描述

SC_CTRL

SC_CTRL 为系统控制寄存器。用于指定需要系统完成的操作。



注意

该寄存器可被寄存器 SC_PERLOCK 写保护，只有不使用写保护模式时，对这个寄存器的写操作才有效。



	Offset Address 0x000										Register Name SC_CTRL						Total Reset Value 0x0000_0212															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	timeren7ov	reserved	timeren6ov	reserved	timeren5ov	reserved	timeren4ov	reserved	wdogenov	timeren3ov	reserved	timeren2ov	reserved	timeren1ov	reserved	timeren0ov	reserved	reserved				remapstat	remapclear	reserved	modestatus				modectrl			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	0

Bits	Access	Name	Description
[31]	RW	timeren7ov	Timer7 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[30]	RW	reserved	保留。
[29]	RW	timeren6ov	Timer6 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[28]	RW	reserved	保留。
[27]	RW	timeren5ov	Timer5 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[26]	RW	reserved	保留。
[25]	RW	timeren4ov	Timer4 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[24]	RW	reserved	保留。
[23]	RW	wdogenov	WDG 计数时钟选择。 0: WDG 使用 3MHz 时钟进行计数; 1: WDG 使用总线时钟进行计数。
[22]	RW	timeren3ov	Timer3 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[21]	RO	reserved	保留。



[20]	RW	timeren2ov	Timer2 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[19]	RW	reserved	保留。
[18]	RW	timeren1ov	Timer1 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[17]	RW	reserved	保留。
[16]	RW	timeren0ov	Timer0 计数时钟选择。 0: 使用 3MHz 时钟进行计数; 1: 由总线时钟进行计数。
[15]	RW	reserved	保留。
[14:10]	RO	reserved	保留。读时返回 0, 写时无影响。
[9]	RO	remapstat	地址重映射的状态。 0: 未进行地址重映射; 1: 进行地址重映射。Bootrom 或者 NANDC CS0 或 SFC CS1 被 Remap 到地址 0。
[8]	RW	remapclear	地址重映射清除选择。 0: 保持 Remap 状态。 1: 清除 Remap。 Clear Remap 前后地址映射关系请参见地址分配(1 产品概述/1.3 启动模式/1.3.4 地址空间映射)。
[7]	RO	reserved	保留。读时返回 0, 写时无影响。
[6:3]	RW	modestatus	模式状态位。返回系统当前的操作模式。 0x0: 保留; 0x1: DOZE; 0x2: SLOW; 0x3: XTAL CTL; 0x4: NORMAL; 0x6: PLL CTL; 0x9: SW from XTAL; 0xA: SW from PLL; 0xB: SW to XTAL; 0xE: SW to PLL; 其他: 保留, 未使用。



[2:0]	RW	modectl	模式控制位。定义了要求系统控制器进入的操作模式。 001: DOZE; 010: SLOW; 100: NORMAL; 其他: 保留。
-------	----	---------	---

SC_SYSRES

SC_SYSRES 为系统软复位寄存器。向该寄存器写入任何值都会使系统控制器向复位模块发出系统软复位请求，复位模块进行系统软复位。



注意

该寄存器可被寄存器 SC_PERLOCK 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

	Offset Address				Register Name								Total Reset Value																							
	0x004				SC_SYSRES								0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	softresreq																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name				Description																													
[31:0]	WO		softresreq				对该寄存器的任意写操作都会导致系统软复位。																													

SC_IMCTRL

SC_IMCTRL 为中断模式控制寄存器。用于控制中断发生时的系统模式。



Offset Address		Register Name		Total Reset Value						
0x008		SC_IMCTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						inmdtype	reserved	itmdctrl	itmden
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。读时返回 0x000000，写时无影响。							
[7]	RW	inmdtype	触发系统进入中断模式的中断类型。 0：仅有 FIQ 中断能使系统进入中断模式； 1：FIQ 中断和 IRQ 中断都能使系统进入中断模式。							
[6:4]	RO	reserved	保留。							
[3:1]	RW	itmdctrl	中断模式下系统最低的工作模式，该寄存器的值和 SC_CTRL[modectrl]的值相或后作为中断发生后系统所处的工作模式。定义如下： 000：SLEEP； 001：DOZE； 01X：SLOW； 1XX：NORMAL。							
[0]	RW	itmden	中断模式使能。 0：禁止； 1：使能(当中断发生时进入中断模式)。							

SC_IMSTAT

SC_IMSTAT 为中断模式状态寄存器。用于监视系统是否处于中断模式，同时也可以通过配置该寄存器强制系统进入中断模式。



注意

当中断服务程序结束时必须手动清除中断模式。



Offset Address		Register Name		Total Reset Value					
0x00C		SC_IMSTAT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								itmdstat
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。读时返回 0x00000000，写时无影响。						
[0]	RW	itmdstat	中断模式状态。可用于软件控制直接进入中断模式。 读该寄存器时： 0：当前未处于中断模式； 1：当前处于中断模式。 写该寄存器时： 0：软件不控制进入中断模式； 1：软件控制进入中断模式。						

SC_XTALCTRL

SC_XTALCTRL 为晶振控制寄存器。用于控制初始化时钟模块的稳定等待时间，也就是从 XTAL CTL 中间态跳转到 SW to XTAL 中间态的等待时间。

Offset Address		Register Name		Total Reset Value					
0x010		SC_XTALCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				xtaltime			reserved	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	RO	reserved	保留，读时返回 0x0000，写时无影响。						
[18:3]	RW	xtaltime	晶振切换等待时间。 该字段的值用于指定系统模式切换时从 XTAL CTL 状态跳转到 SW to XTAL 状态的等待时间。等待周期数可通过计算得到($T_{46.8K}$ 为 46.8KHz 低频时钟周期): $(65536 - xtaltime) \times T_{46.8K}$ 。						



[2]	RO	reserved	保留。读时返回 0x0，写时无影响。
[1:0]	RO	reserved	保留。读时返回写入值，写时无影响。

SC_PLLCTRL

SC_PLLCTRL 为 PLL 控制寄存器。用于控制片内 ARM 锁相环 (ARMPLL) 的使能控制，由软件控制使能，或由系统模式切换来控制使能。此外，该寄存器还用于设置 ARMPLL 锁相环稳定等待时间。



注意

该寄存器可被寄存器 SC_PERLOCK 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

当处于“由系统模式切换来控制使能 ARMPLL 锁相环”（由 SC_PLLCTRL[plover]控制）时，在系统处于非 NORMAL 模式下，ARMPLL 被自动关闭。

当处于“由软件控制使能 ARMPLL 锁相环”时，ARMPLL 的使能受软件控制（由 SC_PLLCTRL[pllen]控制），不受模式切换的影响。

ARMPLL 的时钟频率由 CRG 寄存器 PERI_CRG0 和 PERI_CRG1 控制。系统要求 PLL 在变更频率配置时，需要等待 0.5ms 才能输出稳定的时钟。因此该寄存器的 plitime 的配置必须满足此要求。

	Offset Address				Register Name				Total Reset Value																							
	0x014				SC_PLLCTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				plitime												reserved	reserved	pllover													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。读时返回 0x0，写时无影响。																											
[27:3]	RW		plitime		ARMPLL 锁相环稳定等待时间。 这段时间用于等待 PLL 启动到 PLL 输出达到稳定的状态。也就是指定从系统模式切换时从 PLL CTL 状态跳转到 SW to PLL 状态的等待时间。超时时间值由下式计算得到(TXIN 为芯片外接晶振的时钟周期): (33554432 - plitime) x TXIN。																											
[2]	RO		reserved		保留。读时返回 0x0，写时无影响。																											



[1]	RO	reserved	保留。
[0]	RW	pllover	允许 ARMPLL 锁相环直接受软件控制使能，而不是受系统模式状态改变的控制。必须配置为 0。 0: 由系统模式切换来使能 ARMPLL 锁相环； 1: 保留。

SOLFINT

SOLFINT 为软中断寄存器。

Offset Address		Register Name		Total Reset Value					
0x001C		SOLFINT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								software_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留						
[0]	RW	software_int	软件中断。 0: 不产生中断； 1: 产生中断。						

SOLFTYPE

SOLFTYPE 为软中断向量寄存器。

Offset Address		Register Name		Total Reset Value				
0x0020		SOLFTYPE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	software_int_vector							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	software_int_vector	软件中断向量。					



SC_LOCKEN

SC_LOCKEN 为关键系统控制寄存器的锁定寄存器。

Offset Address		Register Name		Total Reset Value					
0x0044		SC_LOCKEN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	scper_lockl								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	scper_lockl	<p>关键系统控制寄存器的锁定寄存器。涉及寄存器包括 SC_CTRL、SC_SYSSTAT、SC_PLLCTRL、SC_PLLFCTRL。</p> <p>向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限，写入其他值则关闭写权限。</p> <p>读该寄存器返回加锁的状态而不是写入该寄存器的值。</p> <p>0x0000_0000：允许上述写访问(未加锁)；</p> <p>0x0000_0001：禁止上述写访问(已加锁)。</p>						

SYSSTAT

SYSSTAT 为系统状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x008C		SYSSTAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	bootrom_sel_in reserved	a9_standbywfe a9_standbywfi	a9_pmupri a9_pmusecure	a9_smpnamp	jtag_sel nf_addr_num nf_block_size	nf_ecc_type	nf_page sfc_addr_mode reserved	boot_mode reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	bootrom_sel_in	<p>指示是否从 bootrom 启动。</p> <p>0：不从 bootrom 启动；</p> <p>1：从 bootrom 启动。</p>					



[30]	RO	reserved	保留。
[29:28]	RO	a9_standbywfe	指示 A9 processor 是否在 WFE 状态。 0: 不在 WFE 状态; 1: 处在 WFE 状态。 a9_standbywfe[1]表示 core1, a9_standbywfe[0]表示 core0。
[27:26]	RO	a9_standbywfi	指示 A9 processor 是否在 WFI 状态。 0: 不在 WFI 状态; 1: 处在 WFI 状态。 a9_standbywfi[1]表示 core1, a9_standbywfi[0]表示 core0。
[25:24]	RO	a9_pmupri	指示 A9 processor 状况。 0: 处于 user 模式; 1: 处于 privileged 模式。 a9_pmupri[1]表示 core1, a9_pmupri[0]表示 core0。
[23:22]	RO	a9_pmusecure	指示 A9 processor 安全状况。 0: 处于 Non-secure 状态; 1: 处于 Secure 状态。 a9_pmusecure[1]表示 core1, a9_pmusecure[0]表示 core0。
[21:20]	RO	a9_smpnamp	指示 A9 processor 是均衡还是非均衡模式。 0: 非均衡; 1: 均衡。 a9_smpnamp[1]表示 core1, a9_smpnamp[0]表示 core0。
[19:17]	RO	jtag_sel	JTAG 测试选择。 000: USB 3.0; 001: SATA PHY0; 010: SATA PHY1; 011: COMB PHY; 1XX: A9。 其它: 保留。
[16]	RO	nf_addr_num	发给 NANDFlash 器件的地址数目。 注意: 只在上电的瞬间有效。 0: 4 个; 1: 5 个。



[15:14]	RO	nf_block_size	boot 时，Nand Flash 器件的 block 容量。 00: 64 page; 01: 128 page; 10: 256 page; 11: 保留;
[13:11]	RO	nf_ecc_type	boot 时，选择的 Nand Flash ECC 模式。 000: 无 ECC; 010: 4bit 模式; 011: 8bit 模式; 100: 24bit 模式; 其他: 保留。
[10:8]	RO	nf_page	boot 时，Nand Flash 器件的 page 容量。 001: 2KB; 010: 4KB; 011: 8KB; 其他: 保留。
[7]	RO	sfc_addr_mode	SPI FLASH 默认工作地址模式。 0: 3Byte 地址模式; 1: 4Byte 地址模式。
[6]	RO	reserved	保留。
[5:4]	RO	boot_mode	芯片选定的启动模式。 00: 从 SPI Flash 启动; 01: 通过 PCIE 加载到 DDR，从 DDR 启动; 10: 从 NANDFlash 启动; 11: 保留。
[3:0]	RW	reserved	保留。

DDRT0

DDRT0 为 DDR Training 专用寄存器 0。



注意

该寄存器不会被系统软复位所复位。



Offset Address		Register Name		Total Reset Value				
0x0090		DDRT0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddrt0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ddrt0	DDR Training 专用寄存器 0。					

DDRT1

DDRT1 为 DDR Training 专用寄存器 1。



注意

该寄存器不会被系统软复位所复位。

Offset Address		Register Name		Total Reset Value				
0x0094		DDRT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddrt1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ddrt1	DDR Training 专用寄存器 1。					

DDRT2

DDRT2 为 DDR Training 专用寄存器 2。



注意

该寄存器不会被系统软复位所复位。



Offset Address		Register Name		Total Reset Value				
0x0098		DDRT2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddrt2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ddrt2	DDR Training 专用寄存器 2。					

DDRT3

DDRT3 为 DDR Training 专用寄存器 3。



注意

该寄存器不会被系统软复位所复位。

Offset Address		Register Name		Total Reset Value				
0x009C		DDRT3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddrt3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ddrt3	DDR Training 专用寄存器 3。					

DDRT4

DDRT4 为 DDR Training 专用寄存器 4。



注意

该寄存器不会被系统软复位所复位。



Offset Address		Register Name		Total Reset Value				
0x00A0		DDRT4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddrt4							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ddrt4	DDR Training 专用寄存器 4。					

DDRT5

DDRT5 为 DDR Training 专用寄存器 5。



注意

该寄存器不会被系统软复位所复位。

Offset Address		Register Name		Total Reset Value				
0x00A4		DDRT5		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddrt5							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ddrt5	DDR Training 专用寄存器 5。					

DDRT6

DDRT6 为 DDR Training 专用寄存器 6。



注意

该寄存器不会被系统软复位所复位。



Offset Address		Register Name		Total Reset Value				
0x00A8		DDRT6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddrt6							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ddrt6	DDR Training 专用寄存器 6。					

DDRT7

DDRT7 为 DDR Training 专用寄存器 7。



注意

该寄存器不会被系统软复位所复位。

Offset Address		Register Name		Total Reset Value				
0x00AC		DDRT7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddrt7							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ddrt7	DDR Training 专用寄存器 7。					

SYSBOOT0

SYSBOOT0 为系统启动专用寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x0130		SYSBOOT0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot0	系统启动专用寄存器 0。					



SYSBOOT1

SYSBOOT1 为系统启动专用寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0134		SYSBOOT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot1	系统启动专用寄存器 1。					

SYSBOOT2

SYSBOOT2 为系统启动专用寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0138		SYSBOOT2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot2	系统启动专用寄存器 2。					

SYSBOOT3

SYSBOOT3 为系统启动专用寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x013C		SYSBOOT3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot3	系统启动专用寄存器 3。					



SYSBOOT4

SYSBOOT4 为系统启动专用寄存器 4。

Offset Address		Register Name		Total Reset Value				
0x0140		SYSBOOT4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot4							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot4	系统启动专用寄存器 4。					

SYSBOOT5

SYSBOOT5 为系统启动专用寄存器 5。

Offset Address		Register Name		Total Reset Value				
0x0144		SYSBOOT5		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot5							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot5	系统启动专用寄存器 5。					

SYSBOOT6

SYSBOOT6 为系统启动专用寄存器 6。

Offset Address		Register Name		Total Reset Value				
0x0148		SYSBOOT6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot6							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot6	系统启动专用寄存器 6。					



SYSBOOT7

SYSBOOT7 为系统启动专用寄存器 7。

Offset Address		Register Name		Total Reset Value				
0x014C		SYSBOOT7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot7							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot7	系统启动专用寄存器 7。					

SYSBOOT8

SYSBOOT8 为系统启动专用寄存器 8。

Offset Address		Register Name		Total Reset Value				
0x0150		SYSBOOT8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot8							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot8	系统启动专用寄存器 8。					

SYSBOOT9

SYSBOOT9 为系统启动专用寄存器 9。

Offset Address		Register Name		Total Reset Value				
0x0154		SYSBOOT9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot9							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot9	系统启动专用寄存器 9(PCIe 专用)。					



SYSBOOT10

SYSBOOT10 为系统启动专用寄存器 10。

Offset Address		Register Name		Total Reset Value				
0x0158		SYSBOOT10		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot10							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot10	系统启动专用寄存器 10(PCIe 专用)。					

SYSBOOT11

SYSBOOT11 为系统启动专用寄存器 11。

Offset Address		Register Name		Total Reset Value				
0x015C		SYSBOOT11		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sysboot11							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sysboot11	系统启动专用寄存器 11(PCIe 专用)。					

SCSYSID0

SCSYSID0 为芯片 ID 寄存器 0。

Offset Address		Register Name		Total Reset Value				
0xEE0		SCSYSID0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chipid		reserved				sysid0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	chipid	芯片版本信息。					



[23:8]	RO	reserved	保留。
[7:0]	RO	sysid0	读该寄存器返回 0x00。

SCSYSID1

SCSYSID1 为芯片 ID 寄存器 1。

	Offset Address			Register Name			Total Reset Value	
	0xEE4			SCSYSID1			0x01	
Bit	7	6	5	4	3	2	1	0
Name	sysid1							
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:0]	RO	sysid1	读该寄存器返回 0x01。					

SCSYSID2

SCSYSID2 为芯片 ID 寄存器 2。

	Offset Address			Register Name			Total Reset Value	
	0xEE8			SCSYSID2			0x35	
Bit	7	6	5	4	3	2	1	0
Name	sysid2							
Reset	0	0	1	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RO	sysid2	读该寄存器返回 0x35。					

SCSYSID3

SCSYSID3 为芯片 ID 寄存器 3。



	Offset Address		Register Name				Total Reset Value	
	0xEEC		SCSYSID3				0x35	
Bit	7	6	5	4	3	2	1	0
Name	sysid3							
Reset	0	0	1	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RO	sysid3	读该寄存器返回 0x35。					

3.4.5 外设控制寄存器

3.4.5.1 外设控制寄存器概览

外设控制寄存器概览如表 3-27 所示。

表3-27 外设控制寄存器概览（基址是 0x2012_0000）

偏移地址	名称	描述	页码
0x0000	MISC_CTRL0	CPU 控制寄存器	3-108
0x0004	MISC_CTRL1	外设功能选择寄存器	3-109
0x0008	MISC_CTRL2	CPU Memory 调速寄存器	3-111
0x0018	MISC_CTRL6	系统总线仲裁控制寄存器 0	3-112
0x001C	MISC_CTRL7	系统总线仲裁控制寄存器 1	3-113
0x0020	MISC_CTRL8	系统总线优先级寄存器 0	3-114
0x0024	MISC_CTRL9	系统总线优先级寄存器 1	3-115
0x002C	MISC_CTRL11	MEDIA0 总线仲裁控制寄存器 0	3-116
0x0030	MISC_CTRL12	MEDIA0 总线仲裁控制寄存器 1	3-116
0x0034	MISC_CTRL13	MEDIA0 总线仲裁控制寄存器 2	3-117
0x0038	MISC_CTRL14	MEDIA0 总线优先级寄存器	3-118
0x003C	MISC_CTRL15	MEDIA1 总线仲裁控制寄存器 0	3-119
0x0040	MISC_CTRL16	MEDIA1 总线仲裁控制寄存器 1	3-120
0x0044	MISC_CTRL17	MEDIA1 总线仲裁控制寄存器 2	3-120
0x0048	MISC_CTRL18	MEDIA1 总线优先级寄存器	3-121
0x004C	MISC_CTRL19	HPPERI 总线仲裁控制寄存器 0	3-122



偏移地址	名称	描述	页码
0x0050	MISC_CTRL20	HPPERI 总线仲裁控制寄存器 1	3-123
0x0054	MISC_CTRL21	HPPERI 总线优先级寄存器	3-123
0x0058	MISC_CTRL22	DDRC 优先级控制寄存器 0	3-124
0x005C	MISC_CTRL23	DDRC 优先级控制寄存器 1	3-125
0x0060	MISC_CTRL24	DDRC 优先级控制寄存器 2	3-126
0x0064	MISC_CTRL25	DDRC 优先级控制寄存器 3	3-127
0x0068	MISC_CTRL26	DDRC 优先级控制寄存器 4	3-128
0x006C	MISC_CTRL27	DDRC 优先级控制寄存器 5	3-129
0x0070	MISC_CTRL28	DDRC 优先级控制寄存器 6	3-130
0x0078	MISC_CTRL30	USB2.0 控制寄存器 0	3-130
0x0080	MISC_CTRL32	USB2.0 控制寄存器 1	3-132
0x0084	MISC_CTRL33	USB3.0 控制寄存器 0	3-133
0x0088	MISC_CTRL34	USB3.0 控制寄存器 1	3-135
0x008C	MISC_CTRL35	USB3.0 控制寄存器 2	3-136
0x0090	MISC_CTRL36	USB3.0 控制寄存器 3	3-137
0x0094	MISC_CTRL37	USB3.0 控制寄存器 4	3-139
0x0098	MISC_CTRL38	USB3.0 控制寄存器 5	3-140
0x009C	MISC_CTRL39	SATA PHY0 控制寄存器 0	3-141
0x00A0	MISC_CTRL40	SATA PHY0 控制寄存器 1	3-141
0x00A4	MISC_CTRL41	SATA PHY0 控制寄存器 2	3-142
0x00A8	MISC_CTRL42	SATA PHY1 控制寄存器 0	3-142
0x00AC	MISC_CTRL43	SATA PHY1 控制寄存器 1	3-143
0x00B0	MISC_CTRL44	SATA PHY1 控制寄存器 2	3-143
0x00B4	MISC_CTRL45	COMB PHY1 控制寄存器 0	3-144
0x00B8	MISC_CTRL46	COMB PHY1 控制寄存器 1	3-144
0x00BC	MISC_CTRL47	COMB PHY1 控制寄存器 2	3-145
0x00C4	MISC_CTRL49	TOE 控制寄存器	3-145
0x00C8	MISC_CTRL50	Audio Codec 控制寄存器 0	3-146
0x00CC	MISC_CTRL51	Audio Codec 控制寄存器 1	3-149



偏移地址	名称	描述	页码
0x00D0	MISC_CTRL52	Audio Codec 控制寄存器 2	3-153
0x00D4	MISC_CTRL53	Audio Codec 控制寄存器 3	3-155
0x00D8	MISC_CTRL54	Audio Codec 控制寄存器 4	3-156
0x00DC	MISC_CTRL55	Audio Codec 控制寄存器 5	3-157
0x00E0	MISC_CTRL56	SATA PORT0 环回控制寄存器	3-158
0x00E4	MISC_CTRL57	SATA PORT1 环回控制寄存器	3-158
0x00E8	MISC_CTRL58	SATA PORT2 环回控制寄存器	3-159
0x00EC	MISC_CTRL59	SATA 环回使能寄存器	3-159
0x00F0	MISC_CTRL60	PCIE 控制寄存器 0	3-160
0x00F4	MISC_CTRL61	PCIE 控制寄存器 1	3-162
0x00F8	MISC_CTRL62	PCIE 控制寄存器 2	3-162
0x00FC	MISC_CTRL63	PCIE 控制寄存器 3	3-163
0x0100	MISC_CTRL64	PCIE 控制寄存器 4	3-164
0x0104	MISC_CTRL65	PCIE 控制寄存器 5	3-164
0x010C	MISC_CTRL67	PCIE 控制寄存器 7	3-165
0x0120	MISC_CTRL72	PCIE 控制寄存器 12	3-167
0x0124	MISC_CTRL73	PCIE 控制寄存器 13	3-167
0x0128	MISC_CTRL74	PCIE 控制寄存器 14	3-169
0x012C	MISC_CTRL75	PCIE 状态寄存器 0	3-169

3.4.5.2 外设控制寄存器描述

MISC_CTRL0

MISC_CTRL0 为 CPU 控制寄存器。



注意

该寄存器不会被系统软复位所复位。



Offset Address		Register Name		Total Reset Value																												
0x0000		MISC_CTRL0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														l2_spniden	a9_cfgsdisable	a9_cfgnmfi		a9_cp15sdiabile													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5]	RW	l2_spniden	Secure privileged non-invasive debug enable。																													
[4]	RW	a9_cfgsdisable	屏蔽对处理器内部关键配置寄存器的写访问，包括 ICDDCR[0]=EnableSecure，ICDICTR 中定义的安全中断和 ICCICR(不包括 EnableNS 控制位)。 0：不使能； 1：使能																													
[3:2]	RW	a9_cfgnmfi	CPU 快速中断用作非屏蔽中断使能。 00：不使能； 01：使能 CPU0 快速中断为非屏蔽中断； 10：使能 CPU1 快速中断为非屏蔽中断； 11：使能 CPU0 和 CPU1 快速中断为非屏蔽中断。																													
[1:0]	RW	a9_cp15sdiabile	屏蔽对处理器内部安全寄存器的写访问，包括 CP15 协处理器中的 c1(SCTLR)，c2(TTBR0 和 TTBCR)，c3(DACR)，c10(PRRR 和 NMRR)，c12(VBAR 和 MVBAR)，c13(FCSEIDR)。 00：不使能； 01：使能 CPU0； 10：使能 CPU1； 11：使能 CPU0 和 CPU1。																													

MISC_CTRL1

MISC_CTRL1 为外设功能选择寄存器。



注意

该寄存器不会被系统软复位所复位。

Offset Address		Register Name		Total Reset Value																																
0x0004		MISC_CTRL1		0x0000_1C00																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	jtag_fun_sel		reserved																pcie_sata_mode_sel	hdmi_audio_tx_sel	pad_i2c_tx_sel	audiocodec_tx_sel	aio_rx_sel	reserved	rom_pgen	ram2_ck_gt_en	ram1_ck_gt_en	ram0_ck_gt_en	mdu_ddrt_mst_sel	reserved	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0					
Bits	Access	Name	Description																																	
[31:30]	RW	jtag_fun_sel	JTAG 功能选择，当 JTAG_SEL_CPU 为 0 时，由此寄存器决定 JTAG 管脚的功能。 00: USB3 PHY JTAG; 01: SATA3 PHY0 JTAG; 10: SATA3 PHY1 JTAG; 11: COMB PHY JTAG。																																	
[29:13]	RO	reserved	保留。																																	
[12]	RW	pcie_sata_mode_sel	PCIe 功能使能。 0: PCIe 功能关闭，此时 SATA Port2 使能； 1: PCIe 功能使能，此时 SATA Port2 关闭。																																	
[11]	RW	hdmi_audio_tx_sel	HDMI 音频通道选择。 0: HDMI 音频通道连至 AIO TX0； 1: HDMI 音频通道连至 AIO TX1。																																	
[10]	RW	pad_i2c_tx_sel	AIO 管脚 TX 通道选择。 0: AIO 管脚 TX 通道连至 AIO TX0； 1: AIO 管脚 TX 通道连至 AIO TX1。																																	
[9]	RW	audiocodec_tx_sel	Audio Codec TX 通路选择。 0: Audio Codec Tx 通道连至 AIO TX0； 1: Audio Codec Tx 通道连至 AIO TX1。																																	



[8]	RW	aio_rx_sel	AIO RX 通路选择。 0: AIO RX 通路连至内部 Audio Codec; 1: AIO RX 通路连至 AIO 管脚。
[7]	RO	reserved	保留。
[6]	RW	rom_pgen	ROM 供电使能。 0: 使能; 1: 不使能。
[5]	RW	ram2_ck_gt_en	RAM2 时钟门控使能。 0: 禁止; 1: 使能。
[4]	RW	ram1_ck_gt_en	RAM1 时钟门控使能。 0: 禁止; 1: 使能。
[3]	RW	ram0_ck_gt_en	RAM0 时钟门控使能。 0: 禁止; 1: 使能。
[2]	RW	mdu_ddrt_mst_sel	MDU 和 DDRT 功能选择。 0: MDU 使能, DDRT 不使能; 1: DDRT 使能, MDU 不使能。
[1]	RO	reserved	保留。
[0]	RO	reserved	保留。

MISC_CTRL2

MISC_CTRL2 为 CPU Memory 调速寄存器。



注意

该寄存器不会被系统软复位所复位。



Offset Address		Register Name		Total Reset Value					
0x0008		MISC_CTRL2		0x0211_D5D5					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	l2_dataram_ema	l2_dataram_emaw	l2_tagram_delay	a9_hsmem_adjust				
Reset	0 0 0 0	0 0 1 0	0 0 0 1	0 0 0 1	1 1 0 1	0 1 0 1	1 1 0 1	0 1 0 1	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:24]	RW	l2_dataram_ema	MEM 的速度调整值，对读写都有效。 000 为最快，111 为最慢。 注意 1：此调整值的只能静态修改，必须在 MEM 运行前进行设置。 注意 2：如果设置此值小于默认值，MEM 的读写会有风险。						
[23:22]	RW	l2_dataram_emaw	MEM 的写速度调整值。 00 为最快，11 为最慢。 MEM 的总的写速度调整值为 emaw+ema。 注意 1：此调整值的只能静态修改，必须在 MEM 运行前进行设置。 注意 2：如果设置此值小于默认值，MEM 的读写会有风险。						
[21:20]	RW	l2_tagram_delay	L2 TagRam 调速控制。						
[19:0]	RW	a9_hsmem_adjust	A9 高速 memory 调速控制。						

MISC_CTRL6

MISC_CTRL6 为系统总线仲裁控制寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x0018		MISC_CTRL6		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sys_timeout_en_m2																sys_timeout_en_m1															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	RW	sys_timeout_en_m2	系统总线 M2 端口(AHB_SUBSYS)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	sys_timeout_value_m2	系统总线 M2 端口(AHB_SUBSYS)的 timeout 计数值。 计数值=sys_timeout_value_m2 x 2。																													
[15]	RW	sys_timeout_en_m1	系统总线 M1 端口(CPU)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	sys_timeout_value_m1	系统总线 M1 端口(CPU)的 timeout 计数值。 计数值=sys_timeout_value_m1 x 2。																													

MISC_CTRL7

MISC_CTRL7 为系统总线仲裁控制寄存器 1。



Offset Address		Register Name		Total Reset Value					
0x001C		MISC_CTRL7		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				sys_timeout_en_m3	sys_timeout_value_m3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15]	RW	sys_timeout_en_m3	系统总线 M3 端口(PCIE)的 timeout 计数使能。 0: 禁止; 1: 使能。						
[14:0]	RW	sys_timeout_value_m3	系统总线 M3 端口(PCIE)的 timeout 计数值。 计数值=sys_timeout_value_m3 x 2。						

MISC_CTRL8

MISC_CTRL8 为系统总线优先级寄存器 0。

Offset Address		Register Name		Total Reset Value						
0x0020		MISC_CTRL8		0x0000_0012						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved					sys_pri_m3	reserved	sys_pri_m2	reserved	sys_pri_m1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0		
Bits	Access	Name	Description							
[31:11]	RO	reserved	保留。							
[10:8]	RW	sys_pri_m3	系统总线 M3(PCIE)端口优先级。 3 为最高优先级。							
[7]	RO	reserved	保留。							
[6:4]	RW	sys_pri_m2	系统总线 M2(AHB_SUBSYS)端口优先级。 3 为最高优先级。							



[3]	RO	reserved	保留。
[2:0]	RW	sys_pri_m1	系统总线 M1(CPU)端口优先级。 3 为最高优先级。

MISC_CTRL9

MISC_CTRL9 为系统总线优先级寄存器 1。

Offset Address		Register Name		Total Reset Value											
0x0024		MISC_CTRL9		0x0001_2345											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				sys_pri_s6	reserved	sys_pri_s5	reserved	sys_pri_s4	reserved	sys_pri_s3	reserved	sys_pri_s2	reserved	sys_pri_s1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1							
Bits	Access	Name	Description												
[31:23]	RO	reserved	保留。												
[22:20]	RW	sys_pri_s6	系统总线 S6 端口(HP_PERI)总线访问优先级。 7 为最高优先级。												
[19]	RO	reserved	保留。												
[18:16]	RW	sys_pri_s5	系统总线 S5 端口(PCIE)总线访问优先级。 7 为最高优先级。												
[15]	RO	reserved	保留。												
[14:12]	RW	sys_pri_s4	系统总线 S4 端口(DDR)总线访问优先级。 7 为最高优先级。												
[11]	RO	reserved	保留。												
[10:8]	RW	sys_pri_s3	系统总线 S3 端口(MEDIA)总线访问优先级。 7 为最高优先级。												
[7]	RO	reserved	保留。												
[6:4]	RW	sys_pri_s2	系统总线 S2 端口(APB_SUBSYS)总线访问优先级。 7 为最高优先级。												
[3]	RO	reserved	保留。												



[2:0]	RW	sys_pri_s1	系统总线 S1 端口(AHB_SUBSYS)总线访问优先级。 7 为最高优先级。
-------	----	------------	---

MISC_CTRL11

MISC_CTRL11 为 MEDIA0 总线仲裁控制寄存器 0。

Offset Address		Register Name		Total Reset Value																												
0x002C		MISC_CTRL11		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	media0_timeout_value_m2																media0_timeout_value_m1															
Reset	0 0 0 0																0 0 0 0															
Bits	Access	Name	Description																													
[31]	RW	media0_timeout_en_m2	MEDIA0 总线端口 M2(VDH1)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	media0_timeout_value_m2	MEDIA0 总线端口 M2(VDH1)的 timeout 计数值。 计数值=media0_timeout_value_m2 x 2。																													
[15]	RW	media0_timeout_en_m1	MEDIA0 总线端口 M1(VDH0)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	media0_timeout_value_m1	MEDIA0 总线端口 M1(VDH0)的 timeout 计数值。 计数值=media0_timeout_value_m1 x 2。																													

MISC_CTRL12

MISC_CTRL12 为 MEDIA0 总线仲裁控制寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x0030		MISC_CTRL12		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	media0_timeout_en_m4				media0_timeout_value_m4				media0_timeout_en_m3				media0_timeout_value_m3																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	media0_timeout_en_m4	MEDIA0 总线端口 M4(JPGD)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[30:16]	RW	media0_timeout_value_m4	MEDIA0 总线端口 M4(JPGD)的 timeout 计数值。 计数值=media0_timeout_value_m4 x 2。																													
[15]	RW	media0_timeout_en_m3	MEDIA0 总线端口 M3(TDE)的 timeout 计数使能。 0: 禁止; 1: 使能。																													
[14:0]	RW	media0_timeout_value_m3	MEDIA0 总线端口 M3(TDE)的 timeout 计数值。 计数值=media0_timeout_value_m3 x 2。																													

MISC_CTRL13

MISC_CTRL13 为 MEDIA0 总线仲裁控制寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x0034		MISC_CTRL13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				media0_timeout_en_m5	media0_timeout_value_m5			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15]	RW	media0_timeout_en_m5	MEDIA0 总线端口 M5(MDU)的 timeout 计数使能。 0: 禁止; 1: 使能。						
[14:0]	RW	media0_timeout_value_m5	MEDIA0 总线端口 M5(MDU)的 timeout 计数值。 计数值=media0_timeout_value_m5 x 2。						

MISC_CTRL14

MISC_CTRL14 为 MEDIA0 总线优先级寄存器。

Offset Address		Register Name		Total Reset Value									
0x0038		MISC_CTRL14		0x0001_2345									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				media0_pri_m5	reserved	media0_pri_m4	reserved	media0_pri_m3	reserved	media0_pri_m2	reserved	media0_pri_m1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1					
Bits	Access	Name	Description										
[31:19]	RO	reserved	保留。										
[18:16]	RW	media0_pri_m5	MEDIA0 总线端口 M5(MDU)优先级。 7 为最高优先级。										
[15]	RO	reserved	保留。										



[14:12]	RW	media0_pri_m4	MEDIA0 总线端口 M4(JPGD)优先级。 7 为最高优先级。
[11]	RO	reserved	保留。
[10:8]	RW	media0_pri_m3	MEDIA0 总线端口 M3(TDE)优先级。 7 为最高优先级。
[7]	RO	reserved	保留。
[6:4]	RW	media0_pri_m2	MEDIA0 总线端口 M2(VDH1)优先级。 7 为最高优先级。
[3]	RO	reserved	保留。
[2:0]	RW	media0_pri_m1	MEDIA0 总线端口 M1(VDH0)优先级。 7 为最高优先级。

MISC_CTRL15

MISC_CTRL15 为 MEDIA1 总线仲裁控制寄存器 0。

	Offset Address	Register Name	Total Reset Value
	0x003C	MISC_CTRL15	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	media1_timeout_en_m2		media1_timeout_en_m1
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31]	RW	media1_timeout_en_m2	MEDIA1 总线端口 M2(VENC)的 timeout 计数使能。 0: 禁止; 1: 使能。
[30:16]	RW	media1_timeout_value_m2	MEDIA1 总线端口 M2(VENC)的 timeout 计数值。 计数值=media0_timeout_value_m2 x 2。



[15]	RW	media1_timeout_en_m1	MEDIA1 总线端口 M1(VPSS)的 timeout 计数使能。 0: 禁止; 1: 使能。
[14:0]	RW	media1_timeout_value_m1	MEDIA1 总线端口 M1(VPSS)的 timeout 计数值。 计数值=media0_timeout_value_m1 x 2。

MISC_CTRL16

MISC_CTRL16 为 MEDIA1 总线仲裁控制寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x0040		MISC_CTRL16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	media1_timeout_value_m4				media1_timeout_value_m3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	media1_timeout_en_m4	MEDIA1 总线端口 M4(JPGE)的 timeout 计数使能。 0: 禁止; 1: 使能。					
[30:16]	RW	media1_timeout_value_m4	MEDIA1 总线端口 M4(JPGE)的 timeout 计数值。 计数值=media1_timeout_value_m4 x 2。					
[15]	RW	media1_timeout_en_m3	MEDIA1 总线端口 M3(VGS)的 timeout 计数使能。 0: 禁止; 1: 使能。					
[14:0]	RW	media1_timeout_value_m3	MEDIA1 总线端口 M3(VGS)的 timeout 计数值。 计数值=media1_timeout_value_m3 x 2。					

MISC_CTRL17

MISC_CTRL17 为 MEDIA1 总线仲裁控制寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x0044		MISC_CTRL17		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				media1_timeout_en_m5	media1_timeout_value_m5			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15]	RW	media1_timeout_en_m5	MEDIA1 总线端口 M5(AIO)的 timeout 计数使能。 0: 禁止; 1: 使能。						
[14:0]	RW	media1_timeout_value_m5	MEDIA1 总线端口 M5(AIO)的 timeout 计数值。 计数值=media1_timeout_value_m5 x 2。						

MISC_CTRL18

MISC_CTRL18 为 MEDIA1 总线优先级寄存器。

Offset Address		Register Name		Total Reset Value									
0x0048		MISC_CTRL18		0x0001_2345									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				media1_pri_m5	reserved	media1_pri_m4	reserved	media1_pri_m3	reserved	media1_pri_m2	reserved	media1_pri_m1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1					
Bits	Access	Name	Description										
[31:19]	RO	reserved	保留。										
[18:16]	RW	media1_pri_m5	MEDIA1 总线端口 M5(AIO)优先级。 7 为最高优先级。										
[15]	RO	reserved	保留。										



[14:12]	RW	media1_pri_m4	MEDIA1 总线端口 M4(JPGE)优先级。 7 为最高优先级。
[11]	RO	reserved	保留。
[10:8]	RW	media1_pri_m3	MEDIA1 总线端口 M3(VGS)优先级。 7 为最高优先级。
[7]	RO	reserved	保留。
[6:4]	RW	media1_pri_m2	MEDIA1 总线端口 M2(VENC)优先级。 7 为最高优先级。
[3]	RO	reserved	保留。
[2:0]	RW	media1_pri_m1	MEDIA1 总线端口 M1(VPSS)优先级。 7 为最高优先级。

MISC_CTRL19

MISC_CTRL19 为 HPPERI 总线仲裁控制寄存器 0。

	Offset Address	Register Name	Total Reset Value
	0x004C	MISC_CTRL19	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	hpperi_timeout_value_m2		hpperi_timeout_value_m1
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31]	RW	hpperi_timeout_en_m2	HPPERI 总线端口 M2(USB3)的 timeout 计数使能。 0: 禁止; 1: 使能。
[30:16]	RW	hpperi_timeout_value_m2	HPPERI 总线端口 M2(USB3)的 timeout 计数值。 计数值 = hpperi_timeout_value_m2 x 2。
[15]	RW	hpperi_timeout_en_m1	HPPERI 总线端口 M1(SATA3)的 timeout 计数使能。 0: 禁止; 1: 使能。



[14:0]	RW	hpperi_timeout_value_m1	HPPERI 总线端口 M1(SATA3)的 timeout 计数值。 计数值 =hpperi_timeout_value_m1 x 2。
--------	----	-------------------------	--

MISC_CTRL20

MISC_CTRL20 为 HPPERI 总线仲裁控制寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x0050		MISC_CTRL20		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hpperi_timeout_en_m3	hpperi_timeout_value_m3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15]	RW	hpperi_timeout_en_m3	HPPERI 总线端口 M3(VAPU)的 timeout 计数使能。 0: 禁止; 1: 使能。						
[14:0]	RW	hpperi_timeout_value_m3	HPPERI 总线端口 M3(VAPU)的 timeout 计数值。 计数值 =hpperi_timeout_value_m3 x 2。						

MISC_CTRL21

MISC_CTRL21 为 HPPERI 总线优先级寄存器。



Offset Address		Register Name		Total Reset Value							
0x0054		MISC_CTRL21		0x0000_0123							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						hpperi_pri_m3	reserved	hpperi_pri_m2	reserved	hpperi_pri_m1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1			
Bits	Access	Name	Description								
[31:11]	RO	reserved	保留。								
[10:8]	RW	hpperi_pri_m3	HPPERI 总线端口 M3(VAPU)优先级。 3 为最高优先级。								
[7]	RO	reserved	保留。								
[6:4]	RW	hpperi_pri_m2	HPPERI 总线端口 M2(USB3)优先级。 3 为最高优先级。								
[3]	RO	reserved	保留。								
[2:0]	RW	hpperi_pri_m1	HPPERI 总线端口 M1(SATA3)优先级。 3 为最高优先级。								

MISC_CTRL22

MISC_CTRL22 为 DDRC 优先级控制寄存器 0。

Offset Address		Register Name		Total Reset Value												
0x0058		MISC_CTRL22		0x7654_3210												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved	cipher_qosmap	reserved	dma2_qosmap	reserved	dma1_qosmap	reserved	usb3_qosmap	reserved	sata3_qosmap	reserved	vapu_qosmap	reserved	gmac_qosmap	reserved	a9_qosmap
Reset	0 1 1 1	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0								
Bits	Access	Name	Description													
[31]	RO	reserved	保留。													
[30:28]	RW	cipher_qosmap	CIPHER 在 MDDRC 中的 Qos 值。													
[27]	RO	reserved	保留。													



[26:24]	RW	dma2_qosmap	DMA2 在 MDDRC 中的 Qos 值。
[23]	RO	reserved	保留。
[22:20]	RW	dma1_qosmap	DMA1 在 MDDRC 中的 Qos 值。
[19]	RO	reserved	保留。
[18:16]	RW	usb3_qosmap	USB3 在 MDDRC 中的 Qos 值。
[15]	RO	reserved	保留。
[14:12]	RW	sata3_qosmap	SATA3 在 MDDRC 中的 Qos 值。
[11]	RO	reserved	保留。
[10:8]	RW	vapu_qosmap	VAPU 在 MDDRC 中的 Qos 值。
[7]	RO	reserved	保留。
[6:4]	RW	gmac_qosmap	GMAC 在 MDDRC 中的 Qos 值。
[3]	RO	reserved	保留。
[2:0]	RW	a9_qosmap	A9 在 MDDRC 中的 Qos 值。

MISC_CTRL23

MISC_CTRL23 为 DDRC 优先级控制寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x005C		MISC_CTRL23		0x7654_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved vedu_qosmap	reserved vdh0_qosmap	reserved vdp_qosmap	reserved pcie_qosmap	reserved sfc_qosmap	reserved usb2_qosmap	reserved nandc_qosmap	reserved reserved
Reset	0 1 1 1	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30:28]	RW	vedu_qosmap	VEDU 在 MDDRC 中的 Qos 值。					
[27]	RO	reserved	保留。					
[26:24]	RW	vdh0_qosmap	VDH0 在 MDDRC 中的 Qos 值。					
[23]	RO	reserved	保留。					
[22:20]	RW	vdp_qosmap	VDP 在 MDDRC 中的 Qos 值。					



[19]	RO	reserved	保留。
[18:16]	RW	pcie_qosmap	PCIE 在 MDDRC 中的 Qos 值。
[15]	RO	reserved	保留。
[14:12]	RW	sfc_qosmap	SFC 在 MDDRC 中的 Qos 值。
[11]	RO	reserved	保留。
[10:8]	RW	usb2_qosmap	USB2 在 MDDRC 中的 Qos 值。
[7]	RO	reserved	保留。
[6:4]	RW	nandc_qosmap	NANDC 在 MDDRC 中的 Qos 值。
[3]	RO	reserved	保留。
[2:0]	RO	reserved	保留。

MISC_CTRL24

MISC_CTRL24 为 DDRC 优先级控制寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x0060		MISC_CTRL24		0x7654_3210				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved aio_qosmap	reserved vgs_qosmap	reserved jpge_qosmap	reserved tde_qosmap	reserved vdhl_qosmap	reserved md_ddrt_qosm ap	reserved jpgd_qosmap	reserved vpss_qosmap
Reset	0 1 1 1	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30:28]	RW	aio_qosmap	AIO 在 MDDRC 中的 Qos 值。					
[27]	RO	reserved	保留。					
[26:24]	RW	vgs_qosmap	VGS 在 MDDRC 中的 Qos 值。					
[23]	RO	reserved	保留。					
[22:20]	RW	jpge_qosmap	JPGE 在 MDDRC 中的 Qos 值。					
[19]	RO	reserved	保留。					
[18:16]	RW	tde_qosmap	TDE 在 MDDRC 中的 Qos 值。					
[15]	RW	reserved	保留。					



[14:12]	RW	vdh1_qosmap	VDH1 在 MDDRC 中的 Qos 值。
[11]	RO	reserved	保留。
[10:8]	RW	md_ddrt_qosmap	MD_DDRT 在 MDDRC 中的 Qos 值。
[7]	RO	reserved	保留。
[6:4]	RW	jpgd_qosmap	JPGD 在 MDDRC 中的 Qos 值。
[3]	RO	reserved	保留。
[2:0]	RW	vpss_qosmap	VPSS 在 MDDRC 中的 Qos 值。

MISC_CTRL25

MISC_CTRL25 为 DDRC 优先级控制寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x0064		MISC_CTRL25		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved cipher_timeout	reserved dma2_timeout	reserved dma1_timeout	reserved usb3_timeout	reserved sata3_timeout	reserved vapu_timeout	reserved gmac_timeout	reserved a9_timeout
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29:28]	RW	cipher_timeout	CIPHER 在 MDDRC 中的 timeout 值。					
[27:26]	RO	reserved	保留。					
[25:24]	RW	dma2_timeout	DMA2 在 MDDRC 中的 timeout 值。					
[23:22]	RO	reserved	保留。					
[21:20]	RW	dma1_timeout	DMA1 在 MDDRC 中的 timeout 值。					
[19:18]	RO	reserved	保留。					
[17:16]	RW	usb3_timeout	USB3 在 MDDRC 中的 timeout 值。					
[15:14]	RO	reserved	保留。					
[13:12]	RW	sata3_timeout	SATA3 在 MDDRC 中的 timeout 值。					
[11:10]	RO	reserved	保留。					
[9:8]	RW	vapu_timeout	VAPU 在 MDDRC 中的 timeout 值。					



[7:6]	RO	reserved	保留。
[5:4]	RW	gmac_timeout	GMAC 在 MDDRC 中的 timeout 值。
[3:2]	RO	reserved	保留。
[1:0]	RW	a9_timeout	A9 在 MDDRC 中的 timeout 值。

MISC_CTRL26

MISC_CTRL26 为 DDRC 优先级控制寄存器 4。

		Offset Address				Register Name				Total Reset Value																							
		0x0068				MISC_CTRL26				0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved	vedu_timeout	reserved	vdh0_timeout	reserved	vdp_timeout	reserved	pcie_timeout	reserved	sfc_timeout	reserved	usb2_timeout	reserved	nandc_timeout	reserved	reserved																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31:30]	RO	reserved		保留。																													
[29:28]	RW	vedu_timeout		VEDU 在 MDDRC 中的 timeout 值。																													
[27:26]	RO	reserved		保留。																													
[25:24]	RW	vdh0_timeout		VDH0 在 MDDRC 中的 timeout 值。																													
[23:22]	RO	reserved		保留。																													
[21:20]	RW	vdp_timeout		VDP 在 MDDRC 中的 timeout 值。																													
[19:18]	RO	reserved		保留。																													
[17:16]	RW	pcie_timeout		PCIE 在 MDDRC 中的 timeout 值。																													
[15:14]	RO	reserved		保留。																													
[13:12]	RW	sfc_timeout		SFC 在 MDDRC 中的 timeout 值。																													
[11:10]	RO	reserved		保留。																													
[9:8]	RW	usb2_timeout		USB2 在 MDDRC 中的 timeout 值。																													
[7:6]	RO	reserved		保留。																													
[5:4]	RW	nandc_timeout		NANDC 在 MDDRC 中的 timeout 值。																													



[3:2]	RO	reserved	保留。
[1:0]	RO	reserved	保留。

MISC_CTRL27

MISC_CTRL27 为 DDRC 优先级控制寄存器 5。

	Offset Address 0x006C				Register Name MISC_CTRL27								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	aio_timeout	reserved	vgs_timeout	reserved	vgs_timeout	reserved	jpge_timeout	reserved	tde_timeout	reserved	vdh1_timeout	reserved	md_ddrt_timeout	reserved	jpgd_timeout	reserved	vpss_timeout	reserved	vpss_timeout	reserved	vpss_timeout	reserved	vpss_timeout	reserved	vpss_timeout	reserved	vpss_timeout	reserved	vpss_timeout	reserved	vpss_timeout
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:30]	RO	reserved	保留。																												
	[29:28]	RW	aio_timeout	AIO 在 MDDRC 中的 timeout 值。																												
	[27:26]	RO	reserved	保留。																												
	[25:24]	RW	vgs_timeout	VGS 在 MDDRC 中的 timeout 值。																												
	[23:22]	RO	reserved	保留。																												
	[21:20]	RW	jpge_timeout	JPGE 在 MDDRC 中的 timeout 值。																												
	[19:18]	RO	reserved	保留。																												
	[17:16]	RW	tde_timeout	TDE 在 MDDRC 中的 timeout 值。																												
	[15:14]	RO	reserved	保留。																												
	[13:12]	RW	vdh1_timeout	VDH1 在 MDDRC 中的 timeout 值。																												
	[11:10]	RO	reserved	保留。																												
	[9:8]	RW	md_ddrt_timeout	MD_DDRT 在 MDDRC 中的 timeout 值。																												
	[7:6]	RO	reserved	保留。																												
	[5:4]	RW	jpgd_timeout	JPGD 在 MDDRC 中的 timeout 值。																												
	[3:2]	RO	reserved	保留。																												
	[1:0]	RW	vpss_timeout	VPSS 在 MDDRC 中的 timeout 值。																												



MISC_CTRL28

MISC_CTRL28 为 DDRC 优先级控制寄存器 6。

Offset Address		Register Name		Total Reset Value				
0x0070		MISC_CTRL28		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ddrphy_dbgmux_sel		reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	ddrphy_dbgmux_sel	DDR PHY 调试信号输出选择。					
[27:0]	RO	reserved	保留。					

MISC_CTRL30

MISC_CTRL30 为 USB 2.0 控制寄存器 0。

Offset Address		Register Name		Total Reset Value																			
0x0078		MISC_CTRL30		0x0003_33A8																			
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0															
Name	reserved			preamble_sel	ovr_merge_en	pwr_merge_en	usbovr_p_ctrl	usbpwr_p_ctrl	phy1_ovrcur_en	phy0_ovrcur_en	phy1_pwr_en	phy0_pwr_en	reserved	ss_ena_incr16_i	ss_ena_incr8_i	ss_ena_incr4_i	ss_ena_incr_align_i	ss_autoppd_on_ovrcur_en_i	reserved	ulpi_bypass_en	app_start_clk_i	ohci_susp_lgcy_i	wordinterface
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 1 1	0 0 1 1	1 0 1 0	1 0 1 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description																				
[31:21]	RO	reserved	保留。																				



[20]	RW	preamble_sel	全速信号前导包后全速空闲周期个数选择。 0: 全速信号前导包后有 5 个全速空闲周期; 1: 全速信号前导包后有 4 个全速空闲周期。
[19]	RW	ovr_merge_en	两个 port 共用同一个过流信号使能(即[phy1_ovrcur_en]或[phy0_ovrcur_en]为 1 的端口的过流信号)。 0: 禁止; 1: 使能。
[18]	RW	pwr_merge_en	只要有一个端口上电, [phy1_pwr_en]和[phy0_pwr_en]就都使能。 0: 禁止; 1: 使能。
[17]	RW	usbovr_p_ctrl	过流保护极性控制。 0: 低电平有效; 1: 高电平有效。
[16]	RW	usbpwr_p_ctrl	电源使能极性控制。 0: 低电平有效; 1: 高电平有效。
[15]	RW	phy1_ovrcur_en	USB 2.0 PORT1 过流保护关闭控制。 0: 关闭过流保护; 1: 使能过流保护。
[14]	RW	phy0_ovrcur_en	USB 2.0 PORT0 过流保护关闭控制。 0: 关闭过流保护; 1: 使能过流保护。
[13]	RW	phy1_pwr_en	USB 2.0 PORT1 电源关断控制。 0: 关掉电源; 1: 使能 USB2.0 控制器的电源输出。
[12]	RW	phy0_pwr_en	USB 2.0 PORT0 电源关断。 0: 关掉电源; 1: 使能 USB2.0 控制器的电源输出。
[11:10]	RO	reserved	保留。
[9]	RW	ss_ena_incr16_i	AHB burst16 使能信号。 0: 禁止; 1: 使能。



[8]	RW	ss_ena_incr8_i	AHB burst8 使能信号。 0: 禁止; 1: 使能。
[7]	RW	ss_ena_incr4_i	AHB burst4 使能信号。 0: 禁止; 1: 使能。
[6]	RW	ss_ena_incrx_align_i	burst 对齐使能信号。 0: 禁止; 1: 使能。
[5]	RW	ss_autoppd_on_ove rcur_en_i	过流时自动关断端口电源使能。 0: 禁止; 1: 使能。
[4]	RO	reserved	保留。
[3]	RW	ulpi_bypass_en	ULPI 旁路控制。必须设置为 1。 0: ULPI 模式; 1: UTMI 模式。
[2]	RW	app_start_clk_i	OHCI 时钟控制信号。 0: OHCI 正常工作; 1: 在挂起模式下打开 OHCI 时钟。
[1]	RW	ohci_susp_lgcy_i	OHCI 挂起的 strap 输入信号。
[0]	RW	wordinterface	UTMI 接口数据位宽选择信号。 0: 8bit; 1: 16bit。

MISC_CTRL32

MISC_CTRL32 为 USB2.0 控制寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x0080		MISC_CTRL32		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								usb2_phy_test_rddata				usb2_phy_test_wrdata				reserved		usb2_phy_test_wren		usb2_phy_test_addr											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	C	reserved	保留。																													
[23:16]	RO	usb2_phy_test_rddata	USB 2.0 PHY 测试寄存器读数据。																													
[15:8]	RW	usb2_phy_test_wrdata	USB 2.0 PHY 测试寄存器写数据。																													
[7:6]	RO	reserved	保留。																													
[5]	RW	usb2_phy_test_wren	USB 2.0 PHY 测试寄存器读写控制。																													
[4:0]	RW	usb2_phy_test_addr	USB 2.0 PHY 测试寄存器地址。																													

MISC_CTRL33

MISC_CTRL33 为 USB3.0 控制寄存器 0。



Offset Address		Register Name		Total Reset Value																																			
0x0084		MISC_CTRL33		0x0004_0F00																																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
Name	reserved				usb3_drvvbus	usb3_reg_sel				usb3_host_port_power_control_preset				usb3_fladj_30mhz_reg				usb3_host_msi_enable				usb3_bus_filter_bypass				usb3_port_pwr_ovr_pol		usb3_port_pwr_ctrl_pol		usb3_port_pwr_ovr_en		usb3_port_pwr_ctrl_en		usb3_host_u3_port_disable		usb3_host_u2_port_disable		usb3_hub_port_perm_attach	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access		Name		Description																																		
[31:25]	RO		reserved		保留。																																		
[24]	RW		usb3_drvvbus		是否驱动 VBUS 到 5V。 0: 不驱动; 1: 驱动。																																		
[23:20]	RW		usb3_reg_sel		USB 寄存器访问控制。 0x0: 寄存器访问; 0x4: 内部 RAM0 访问(调试模式); 0x8: 内部 RAM1 访问(调试模式); 0xC: 内部 RAM2 访问(调试模式)。																																		
[19]	RW		usb3_host_port_power_control_preset		表明 USB 3.0 端口是否有供电控制。 0: 端口没有电源控制开关, USB 设备常供电; 1: 端口有电源控制开关用于控制 USB 设备供电。																																		
[18:13]	RW		usb3_fladj_30mhz_reg		HS 时钟抖动控制。																																		
[12]	RW		usb3_host_msi_enable		控制 USB 3.0 端口中断信号是脉冲类型还是电平类型。 0: 电平类型; 1: 脉冲类型。																																		
[11:8]	RW		usb3_bus_filter_bypass		USB 3.0 总线筛选旁路。此寄存器必须设置为 4。																																		
[7]	RW		usb3_port_pwr_ovr_pol		USB 3.0 端口过流保护极性控制。 0: 低电平有效; 1: 高电平有效。																																		



[6]	RW	usb3_port_pwr_ctrl_pol	USB 3.0 端口电源使能极性控制。 0: 低电平有效; 1: 高电平有效。
[5]	RW	usb3_port_pwr_ovr_en	USB 3.0 端口过流保护使能。 0: USB3.0 端口过流保护不使能; 1: USB3.0 端口过流保护使能。
[4]	RW	usb3_port_pwr_ctrl_en	USB 3.0 端口供电使能。 0: USB3.0 端口供电控制不使能; 1: USB3.0 端口供电使能由 USB3.0 控制器输出。
[3]	RW	usb3_host_u3_port_disable	USB 3.0(SS)端口关闭。 0: USB3.0 端口使能。 1: USB3.0 端口不使能。
[2]	RW	usb3_host_u2_port_disable	USB 2.0(HS)端口关闭。 0: USB 2.0 端口使能。 1: USB 2.0 端口不使能。
[1:0]	RW	usb3_hub_port_perm_attach	表明下游端口设备是否永久附着在端口上。 0: 不是永久附着; 1: 永久附着。

MISC_CTRL34

MISC_CTRL34 为 USB 3.0 控制寄存器 1。

	Offset Address	Register Name	Total Reset Value					
	0x0088	MISC_CTRL34	0xB54D_0841					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	usb3_phy_los_bias	usb3_phy_fscl	usb3_phy_refclk_sel usb3_phy_refclkdiv	usb3_phy_mpll_multiplier	usb3_phy_ssrefclkssel	usb3_phy_ssrange	usb3_phy_ssccn	
Reset	1 0 1 1	0 1 0 1	0 1 0 0	1 1 0 1	0 0 0 0	1 0 0 0	0 1 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:29]	RW	usb3_phy_los_bias	USB3 PHY 信号丢失检测临界电平控制。 必须设置为 0x5。					



[28:23]	RW	usb3_phy_fscl	USB3 PHY 信号频率选择。 选择参考时钟频率。 当参考时钟为 100MHz 时，需设置为 0x27。 当参考时钟为 24MHz 时，需设置为 0x2A。
[22:21]	RW	usb3_phy_refclk_sel	USB3 PHY PLL 时钟源选择。 必须设置为 0x2。
[20]	RW	usb3_phy_refclkdiv	USB3 PHY 参考时钟分频控制。 必须设置为 0x0。
[19:13]	RW	usb3_phy_mpll_multiplier	USB3 PHY PLL 频率倍数控制。 当参考时钟为 24MHz 时，需设置为 0x68。 当参考时钟为 100MHz 时，需设置为 0x19。
[12:4]	RW	usb3_phy_sscrefclk_sel	时钟展频调整。 当参考时钟为 24MHz 时，需设置为 0x84。 当参考时钟为 100MHz 时，需设置为 0x0。
[3:1]	RW	usb3_phy_ssccrange	时钟展频范围。
[0]	RW	usb3_phy_ssccen	时钟展频使能。

MISC_CTRL35

MISC_CTRL35 为 USB 3.0 控制寄存器 2。



Offset Address		Register Name		Total Reset Value																													
0x008C		MISC_CTRL35		0x66CC_1009																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	usb3_phy_mpll_refssclken		usb3_phy_txhsxvtune		usb3_phy_txflstune				usb3_phy_sqrxtune				usb3_phy_txvrefune				usb3_phy_tx0_term_offset				usb3_phy_compdistune				usb3_phy_acjtlevel				usb3_phy_los_level				
Reset	0	1	1	0	0	0	1	1	0	1	1	0	0	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	1
Bits	Access	Name	Description																														
[31]	RW	usb3_phy_mpll_refssclken	展频时钟输出使能。 0: 不输出, 1: 输出。																														
[30:29]	RW	usb3_phy_txhsxvtune	USB3 PHY 高速模式眼图交叉点调整。																														
[28:25]	RW	usb3_phy_txflstune	USB3 PHY 全速和高速模式单端阻抗调整。																														
[24:22]	RW	usb3_phy_sqrxtune	USB3 PHY 噪声控制电平调整。																														
[21:18]	RW	usb3_phy_txvrefune	USB3 PHY 高速模式直流电平调整。																														
[17:13]	RW	usb3_phy_tx0_term_offset	USB3 PHY 发送器终端电阻补偿。																														
[12:10]	RW	usb3_phy_compdistune	USB3 PHY 连接断开电平门限调整。																														
[9:5]	RW	usb3_phy_acjtlevel	USB3 PHY JTAG 接口接收敏感电平设置。																														
[4:0]	RW	usb3_phy_los_level	USB3 PHY 信号丢失侦测电平设置。 必须设置为 0x9。																														

MISC_CTRL36

MISC_CTRL36 为 USB 3.0 控制寄存器 3。



		Offset Address 0x0090								Register Name MISC_CTRL36								Total Reset Value 0x102B_7628															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		usb3_phy_atereset			usb3_pcs_tx2rx_loopbk			usb3_pcs_ext_pclk_req			usb3_pcs_tx_deemph_6db				usb3_pcs_tx_deemph_3p5db				usb3_pcs_tx_swing_full				usb3_phy_txvboostlvl		usb3_phy_txrisetune		usb3_phy_txrestune		usb3_phy_txpreempulsesetune		usb3_phy_txpreemptune		
	Reset	0	0	0	1	0	0	0	0	0	0	1	0	1	0	1	1	0	1	1	1	0	0	1	1	0	0	0	1	0	0	0	0
Bits	Access	Name		Description																													
[31]	RW	usb3_phy_atereset		USB3 PHY ATE 复位。 0: 不复位; 1: 复位。																													
[30]	RW	usb3_pcs_tx2rx_loopbk		USB 3.0 端口数字部分环回使能。 0: 不使能; 1: 使能。																													
[29]	RW	usb3_pcs_ext_pclk_req		pipe_pclk 输出请求。 0: 不输出 PIPE_PCLK; 1: 输出 PIPE_PCLK。																													
[28:23]	RO	usb3_pcs_tx_deemph_6db		保留。																													
[22:17]	RO	usb3_pcs_tx_deemph_3p5db		保留。																													
[16:10]	RW	usb3_pcs_tx_swing_full		USB3 PHY 发送器摆幅控制。																													
[9:7]	RW	usb3_phy_txvboostlvl		USB3 PHY 发送器电平激励。																													
[6:5]	RW	usb3_phy_txrisetune		USB3 PHY 发送器上升和下降时间。 此寄存器值每增加 1, 上升/下降时间减少 4%。																													
[4:3]	RW	usb3_phy_txrestune		USB 源阻抗调整。																													
[2]	RW	usb3_phy_txpreempulsesetune		USB3 PHY 发送器预加重持续时间控制。																													



[1:0]	RW	usb3_phy_txpreempamptune	USB3 PHY 发送器预加重电流控制。
-------	----	--------------------------	----------------------

MISC_CTRL37

MISC_CTRL37 为 USB3.0 控制寄存器 4。

		Offset Address	Register Name	Total Reset Value																																	
		0x0094	MISC_CTRL37	0x0000_40F0																																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	usb3_phy_crwrite	usb3_phy_crread	usb3_phy_crcapdata	usb3_phy_crcapaddr	reserved								usb3_phy_txenable	usb3_phy_txbitstufen	usb3_phy_txbitstufen	usb3_phy_retenable	usb3_phy_commononn	usb3_phy_loopbacken	usb3_phy_testpowerdownssp	usb3_phy_testpowerdownhsp	usb3_pcs_rx_los_mask_val																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0				
Bits	Access		Name		Description																																
[31]	RW		usb3_phy_crwrite		USB3 PHY 控制寄存器写使能。																																
[30]	RW		usb3_phy_crread		USB3 PHY 控制寄存器读使能。 0: 不使能; 1: 使能。																																
[29]	RW		usb3_phy_crcapdata		USB3 PHY 控制寄存器数据捕获使能。 0: 不使能; 1: 使能。																																
[28]	RW		usb3_phy_crcapaddr		USB3 PHY 控制寄存器地址捕获使能。 0: 不使能; 1: 使能。																																
[27:18]	RO		reserved		保留。																																
[17]	RW		usb3_phy_txenable		USB1.1 数据使能。 0: 使能; 1: 不使能。																																



[16]	RW	usb3_phy_txbitstuf_fenh	USB 2.0 高字节比特填充控制。 0: 比特填充关闭; 1: 比特填充使能。
[15]	RW	usb3_phy_txbitstuf_fen	USB 2.0 低字节比特填充控制。 0: 比特填充关闭; 1: 比特填充使能。
[14]	RO	usb3_phy_retenable	保留。
[13]	RW	usb3_phy_common	共用模块下电控制, 用于当 USB3.0PHY 进入休眠模式时, 控制 PLL 等模块是否下电。 0: 下电; 1: 不下电。
[12]	RW	usb3_phy_loopback	USB 3.0 PHY 环回测试使能。
[11]	RW	usb3_phy_testpowerdownssp	USB 3.0 PHY SS 功能电路下电控制。 0: 不下电; 1: 下电。
[10]	RW	usb3_phy_testpowerdownhsp	USB 3.0 PHY HS 功能电路下电控制。 0: 不下电; 1: 下电。
[9:0]	RO	usb3_pcs_rx_loss_mask_val	保留。

MISC_CTRL38

MISC_CTRL38 为 USB3.0 控制寄存器 5。

	Offset Address				Register Name				Total Reset Value																							
	0x0098				MISC_CTRL38				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	usb3_phy_crdataout												usb3_phy_crdatain																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RW		usb3_phy_crdataout		USB3 PHY 控制寄存器数据输出。																											
[15:0]	RO		usb3_phy_crdatain		USB3 PHY 控制寄存器地址和写数据输入。																											



MISC_CTRL39

MISC_CTRL39 为 SATA PHY0 控制寄存器 0。

	Offset Address				Register Name				Total Reset Value																							
	0x009C				MISC_CTRL39				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sata_phy0_acjt_level							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:5]	RO		reserved		保留。																											
[4:0]	RW		sata_phy0_acjt_level		SATA PHY0 JTAG 接口接收敏感电平设置。																											

MISC_CTRL40

MISC_CTRL40 为 SATA PHY0 控制寄存器 1。

	Offset Address				Register Name				Total Reset Value																							
	0x00A0				MISC_CTRL40				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sata_phy0_crwrite	sata_phy0_crrread	sata_phy0_crcapdata	sata_phy0_crcapaddr				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											
[3]	RW		sata_phy0_crwrite		SATA PHY0 控制寄存器写使能。																											
[2]	RW		sata_phy0_crrread		SATA PHY0 控制寄存器读使能。																											



[1]	RW	sata_phy0_crcapdata	SATA PHY0 控制寄存器数据捕获使能。
[0]	RW	sata_phy0_crcapaddr	SATA PHY0 控制寄存器地址捕获使能。

MISC_CTRL41

MISC_CTRL41 为 SATA PHY0 控制寄存器 2。

	Offset Address	Register Name	Total Reset Value						
	0x00A4	MISC_CTRL41	0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	sata_phy0_crdataout				sata_phy0_crdatain				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	sata_phy0_crdataout	SATA PHY0 控制寄存器数据输出。						
[15:0]	RW	sata_phy0_crdatain	SATA PHY0 控制寄存器地址和写数据输入。						

MISC_CTRL42

MISC_CTRL42 为 SATA PHY1 控制寄存器 0。

	Offset Address	Register Name	Total Reset Value					
	0x00A8	MISC_CTRL42	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							sata_phy1_acjt_level
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:5]	RO	reserved	保留。					
[4:0]	RW	sata_phy1_acjt_level	SATA PHY1 JTAG 接口接收敏感电平设置。					



MISC_CTRL43

MISC_CTRL43 为 SATA PHY1 控制寄存器 1。

Offset Address		Register Name		Total Reset Value							
0x00AC		MISC_CTRL43		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							sata_phy1_crwrite	sata_phy1_cread	sata_phy1_crcapdata	sata_phy1_crcapaddr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	sata_phy1_crwrite	SATA PHY1 控制寄存器写使能。								
[2]	RW	sata_phy1_cread	SATA PHY1 控制寄存器读使能。								
[1]	RW	sata_phy1_crcapdata	SATA PHY1 控制寄存器数据捕获使能。								
[0]	RW	sata_phy1_crcapaddr	SATA PHY1 控制寄存器地址捕获使能。								

MISC_CTRL44

MISC_CTRL44 为 SATA PHY1 控制寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x00B0		MISC_CTRL44		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sata_phy1_crdataout				sata_phy1_crdatain			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	sata_phy1_crdataout	SATA PHY1 控制寄存器数据输出。					
[15:0]	RW	sata_phy1_crdatain	SATA PHY1 控制寄存器地址和写数据输入。					



MISC_CTRL45

MISC_CTRL45 为 COMB PHY1 控制寄存器 0。

Offset Address		Register Name		Total Reset Value																												
0x00B4		MISC_CTRL45		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															comb_phy_acjt_level																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:5]	RO		reserved		保留。																											
[4:0]	RW		comb_phy_acjt_level		COMB PHY JTAG 接口接收敏感电平设置。																											

MISC_CTRL46

MISC_CTRL46 为 COMB PHY1 控制寄存器 1。

Offset Address		Register Name		Total Reset Value																												
0x00B8		MISC_CTRL46		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															comb_phy_crwrite	comb_phy_cread	comb_phy_crcapdata	comb_phy_crcapaddr													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											
[3]	RW		comb_phy_crwrite		COMB PHY 控制寄存器写使能。																											
[2]	RW		comb_phy_cread		COMB PHY 控制寄存器读使能。																											



[1]	RW	comb_phy_crcapdata	COMB PHY 控制寄存器数据捕获使能。
[0]	RW	comb_phy_crcapaddr	COMB PHY 控制寄存器地址捕获使能。

MISC_CTRL47

MISC_CTRL47 为 COMB PHY1 控制寄存器 2。

Offset Address		Register Name		Total Reset Value					
0x00BC		MISC_CTRL47		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	comb_phy_crdataout				comb_phy_crdatain				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	comb_phy_crdataout	COMB PHY 控制寄存器数据输出。						
[15:0]	RW	comb_phy_crdatain	COMB PHY 控制寄存器地址和写数据输入。						

MISC_CTRL49

MISC_CTRL49 为 TOE 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x00C4		MISC_CTRL49		0x0000_0011				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				sbd_data_endianness	reserved	mac1_emisc_pwr_down_ctrl mac1_emisc_pwr_clamp_ctrl mac0_emisc_pwr_down_ctrl mac0_emisc_pwr_clamp_ctrl mac0_pmt_intr_enable mac0_lpi_intr_enable mac1_pmt_intr_enable mac1_lpi_intr_enable	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					



[15]	RW	sbd_data_endianess	TOE DMA 数据处理大小端模式。 0: 小端模式; 1: 大端模式。
[14:12]	RO	reserved	保留。
[11]	RW	mac1_emisc_pwr_down_ctrl	mac1 的 power off 控制信号, 高有效。
[10]	RW	mac1_emisc_pwr_clamp_ctrl	mac1 的 isolate cells 的 VDD power 控制信号, 高有效。
[9]	RW	mac0_emisc_pwr_down_ctrl	mac0 的 power off 控制信号, 高有效。
[8]	RW	mac0_emisc_pwr_clamp_ctrl	mac0 的 isolate cells 的 VDD power 控制信号, 高有效。
[7]	RW	mac0_pmt_intr_enable	mac0 网络被唤醒中断使能信号, 高有效。
[6]	RW	mac0_lpi_intr_enable	mac0 退出 LPI 状态中断使能信号, 高有效。
[5]	RW	mac1_pmt_intr_enable	mac1 网络被唤醒中断使能信号, 高有效。
[4]	RW	mac1_lpi_intr_enable	mac1 退出 LPI 状态中断使能信号, 高有效。
[3:0]	RO	reserved	保留。

MISC_CTRL50

MISC_CTRL50 为 Audio Codec 控制寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x00C8		MISC_CTRL50		0xFCCC_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pd_adcl	pd_adcr	pd_dacl	pd_dacr	pd_micbias	pd_vref	fstartup	ana_loop	mute_dacl	mute_dacr	pop_freel	pop_freer	mute_adcl	mute_adcr	mlk_ana_sel	daclk_sel	lineinl_sel	gain_micl				gainboostl	clk_timing_sel	lineinr_sel	gain_micr				gainboostr	clk_delay_sel		
Reset	1	1	1	1	1	1	0	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		pd_adcl		ADCL 下电控制信号。 0: ADCL 正常工作; 1: ADCL 下电。																											
[30]	RW		pd_adcr		ADCR 下电控制信号。 0: ADCR 正常工作; 1: ADCR 下电。																											
[29]	RW		pd_dacl		DACL 下电控制信号。 0: DACL 正常工作; 1: DACL 下电。																											
[28]	RW		pd_dacr		DACR 下电控制信号。 0: DACR 正常工作; 1: DACR 下电。																											
[27]	RW		pd_micbias		麦克风偏置电路下电控制信号。 0: 麦克风偏置正常工作; 1: 麦克风偏置下电。																											
[26]	RW		pd_vref		参考电压下电控制信号。 0: 参考电压正常工作; 1: 参考电压下电。																											
[25]	RW		fstartup		参考电压快速上电控制信号。 0: 参考电压正常上电; 1: 参考电压快速上电(0.1s)。																											
[24]	RW		ana_loop		模拟环回控制信号。 0: 正常模式; 1: 模拟电路环回模式。																											



[23]	RW	mute_dacl	<p>DACL 模拟静音控制。</p> <p>0: DACL 正常工作; 1: DACL 静音。</p>
[22]	RW	mute_dacr	<p>DACR 模拟静音控制。</p> <p>0: DACR 正常工作; 1: DACR 静音。</p>
[21]	RW	pop_freel	<p>DACL 去爆破音(pop)控制信号。</p> <p>0: 去爆破音功能关闭; 1: 开启去爆破音功能, 当参考电压上电, 其它通路都不开通时, 进入超低功耗模式, 将 DACL 输出充电到 AVDD/2。</p>
[20]	RW	pop_freer	<p>DACR 去爆破音(pop)音控制信号。</p> <p>0: 去爆破音音功能关闭; 1: 开启去爆破音音功能, 当参考电压上电, 其它通路都不开通时, 进入超低功耗模式, 将 DACR 输出充电到 AVDD/2。</p>
[19]	RW	mute_adcl	<p>ADCL 模拟静音控制。</p> <p>0: ADCL 正常工作; 1: ADCL 静音。</p>
[18]	RW	mute_adcr	<p>ADCR 模拟静音控制。</p> <p>0: ADCR 正常工作; 1: ADCR 静音。</p>
[17]	RW	mclk_ana_sel	<p>MCLK 时钟沿选择控制。</p> <p>0: 与数字的 MCLK 同沿; 1: 与数字的 MCLK 反沿。</p>
[16]	RW	dacclk_sel	<p>DAC 的时钟沿控制信号。</p> <p>0: 与 CLK_ADC 同沿; 1: 与 CLK_ADC 反沿。</p>
[15]	RW	lineinl_sel	<p>LINEINL 输入信号选择。</p> <p>0: LINEINL 输入; 1: MICP_L 输入。</p>
[14:10]	RW	gain_micl	<p>LINEINL 输入端增益控制。</p> <p>增益计算公式: $((\text{gain_micl}) * 1.5 - 16.5) \text{db}$。</p>
[9]	RW	gainboostl	<p>LINEINL 增益 boost 控制。</p> <p>0: 0db 增益; 1: 26db 增益。</p>



[8]	RW	clk_timing_sel	ADC CLK 时序选择。 0: 选择第一种时钟时序; 1: 选择第二种时钟时序。
[7]	RW	lineinr_sel	LINEINR 输入信号选择。 0: LINEINR 输入; 1: MICP_R 输入。
[6:2]	RW	gain_micr	LINEINR 输入端增益控制。 增益计算公式: $((\text{gain_micr}) * 1.5 - 16.5) \text{db}$ 。
[1]	RW	gainbostr	LINEINR 增益 boost 控制。 0: 0dB 增益; 1: 26dB 增益;
[0]	RW	clk_delay_sel	ADC CLK 是否增加延时。 0: 不延时; 1: 延时。

MISC_CTRL51

MISC_CTRL51 为 Audio Codec 控制寄存器 1。

	Offset Address				Register Name				Total Reset Value																											
	0x00CC				MISC_CTRL51				0x00F3_5A4A																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	dac1_rst_n	dacr_rst_n	adcl_rst_n	adcr_rst_n	dac1_en	dacr_en	adcl_en	adcr_en	i2s1_data_bits	i2s2_data_bits	dig_bypass	dig_loop	i2s1_fs_sel				i2s2_fs_sel				ibadj_adc	ibadj_dac	ibadj_cterm	adc_adatn	adc_flstn	rst										
Reset	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0	1	0	1	1	0	1	0	0	1	0	0	1	0	1	0				
Bits	[31]			[30]																																
Access	RW			RW																																
Name	dac1_rst_n			dacr_rst_n																																
Description	DAC1 复位信号。 0: 复位有效; 1: 复位无效。			DACR 复位信号。 0: 复位有效; 1: 复位无效。																																



[29]	RW	adcl_rst_n	ADCL 复位信号。 0: 复位有效; 1: 复位无效。
[28]	RW	adcr_rst_n	ADCR 复位信号。 0: 复位有效; 1: 复位无效。
[27]	RW	dacl_en	DACL 使能信号。 0: 不使能; 1: 使能。
[26]	RW	dacr_en	DACR 使能信号。 0: 不使能; 1: 使能。
[25]	RW	adcl_en	ADCL 使能信号。 0: 不使能; 1: 使能。
[24]	RW	adcr_en	ADCR 使能信号。 0: 不使能; 1: 使能。
[23:22]	RW	i2s1_data_bits	I ² S 通道 1 数据接口宽度。 00: 16bit; 01: 18bit; 10: 20bit; 11: 24bit。
[21:20]	RW	i2s2_data_bits	I ² S 通道 2 数据接口宽度。 00: 16bit; 01: 18bit; 10: 20bit; 11: 24bit。
[19]	RW	dig_bypass	数字部分旁路控制, 用于模拟测试模式。 0: 数字部分正常工作; 1: 数字部分被旁路。
[18]	RW	dig_loop	数字环回控制信号。 0: 数字环回无效; 1: 数字环回有效。



[17:13]	RW	i2s1_fs_sel	<p>I²S 通道 1 采样率选择。</p> <p>00000: 8kHz,16.896MHz mclk; 00001: 16kHz,16.896MHz mclk; 00010: 32kHz,16.896MHz mclk; 00011: 64kHz,16.896MHz mclk; 001xx: 128kHz,16.896MHz mclk; 01000: 11kHz,16.896MHz mclk; 01001: 22kHz,16.896MHz mclk; 01010: 44kHz,16.896MHz mclk; 01011: 88kHz,16.896MHz mclk; 011xx: 176kHz,16.896MHz mclk; 10000: 12kHz,16.896MHz mclk; 10001: 24kHz,16.896MHz mclk; 10010: 48kHz,16.896MHz mclk; 10011: 96kHz,16.896MHz mclk; 101xx: 192kHz,16.896MHz mclk; 11000: mclk/512/2; 11001: mclk/256/2; 11010: mclk/128/2; 11011: mclk/64/2; 111xx: mclk/32/2。</p>
---------	----	-------------	---



[12:8]	RW	i2s2_fs_sel	<p>I²S 通道 2 采样率选择。</p> <p>00000: 8kHz,16.896MHz mclk; 00001: 16kHz,16.896MHz mclk; 00010: 32kHz,16.896MHz mclk; 00011: 64kHz,16.896MHz mclk; 001xx: 128kHz,16.896MHz mclk; 01000: 11kHz,16.896MHz mclk; 01001: 22kHz,16.896MHz mclk; 01010: 44kHz,16.896MHz mclk; 01011: 88kHz,16.896MHz mclk; 011xx: 176kHz,16.896MHz mclk; 10000: 12kHz,16.896MHz mclk; 10001: 24kHz,16.896MHz mclk; 10010: 48kHz,16.896MHz mclk; 10011: 96kHz,16.896MHz mclk; 101xx: 192kHz,16.896MHz mclk; 11000: mclk/512/2; 11001: mclk/256/2; 11010: mclk/128/2; 11011: mclk/64/2; 111xx: mclk/32/2。</p>
[7:6]	RW	ibadj_adc	<p>ADC 偏置电流控制。</p> <p>00: 3uA; 01: 5uA(推荐值); 10: 7uA; 11: 9uA。</p>
[5]	RW	ibadj_dac	<p>DAC 偏置电流控制。</p> <p>0: 5uA; 1: 9uA。</p>
[4]	RW	ibadj_ctcm	<p>CTCM、MICBIAS、LINEIN 偏置电流控制。</p> <p>0: 5uA (推荐值); 1: 9uA。</p>



[3:2]	RW	adc_adatn	ADC_DAC VB 控制。 00: R=90%; 01: R=95%; 10: R=100%; 11: R=110%。
[1]	RW	adc_flgstn	FLASH VREF 控制信号。 0: 2.31V~0.99V, LSB=182mV; 1: 2.2V~1.1V, LSB=161mV。
[0]	RW	rst	模拟电路复位信号。 0: 正常工作; 1: 复位。

MISC_CTRL52

MISC_CTRL52 为 Audio Codec 控制寄存器 2。

	Offset Address				Register Name				Total Reset Value																																							
	0x00D0				MISC_CTRL52				0x0000_0001																																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	smutel	smuter	sunmutel	sunmuter	dacvu	mutel_rate	muter_rate	dac1_deemph	dacr_deemph	reserved								dac1_i2ssel	dac1_lrse1	dacr_i2ssel	dacr_lrse1																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1																
Bits	[31]				[30]				[29]																																							
Access	RW				RW				RW																																							
Name	smutel				smuter				sunmutel																																							
Description	DACL soft-mute 控制位。 0: 关闭 soft-mute; 1: 开启 soft-mute。																DACR soft-mute 控制位。 0: 关闭 soft-mute; 1: 开启 soft-mute。																DACL soft-unmute 控制位。 0: 关闭 soft-unmute; 1: 开启 soft-unmute。															



[28]	RW	sunmuter	DACR soft-unmute 控制位。 0: 关闭 soft-unmute; 1: 开启 soft-unmute。
[27]	RW	dacvu	DAC 音量更新控制位。 0: 不更新音量; 1: 更新音量。
[26:25]	RW	mutel_rate	DACL soft-mute 速率控制位。 00: fs/2; 01: fs/8; 10: fs/32; 11: fs/64。
[24:23]	RW	muter_rate	DACR soft-mute 速率控制位。 00: fs/2; 01: fs/8; 10: fs/32; 11: fs/64。
[22:21]	RW	dac1_deemph	DACL 去加重控制信号。 00: none; 01: 32kHz; 10: 44kHz; 11: 48kHz。
[20:19]	RW	dacr_deemph	DACR 去加重控制信号。 00: none; 01: 32kHz; 10: 44kHz; 11: 48kHz。
[18:4]	RW	reserved	保留。
[3]	RW	dal_i2ssel	DACL I ² S 接口选择。 0: 选择 I2S1; 1: 选择 I2S2。
[2]	RW	dac1_lrsl	DACL 左右声道数据选择。 0: 选择左声道; 1: 选择右声道。



[1]	RW	dacr_i2ssel	DACR I ² S 接口选择。 0: 选择 I2S1; 1: 选择 I2S2。
[0]	RW	dacr_lrsl	DACR 左右声道数据选择。 0: 选择左声道; 1: 选择右声道。

MISC_CTRL53

MISC_CTRL53 为 Audio Codec 控制寄存器 3。

	Offset Address 0x00D4				Register Name MISC_CTRL53				Total Reset Value 0x0606_2424																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dac1_mute		dac1_vol				dacr_mute		dacr_vol				dacr2dac1_en		dacr2dac1_vol				dac12dacr_en		dac12dacr_vol											
Reset	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1	0	0
Bits	[31]		[30:24]				[23]		[22:16]				[15]																			
Access	RW		RW				RW		RW				RW																			
Name	dac1_mute		dac1_vol				dacr_mute		dacr_vol				dacr2dac1_en																			
Description	DAC1 数字静音控制。 0: 正常工作; 1: 静音。		DAC1 数字音量控制。 计算公式为: (6-dac1_vol x 1)db。 当 dac1_vol 为 0x7F 时, DAC1 数字静音。				DACR 数字静音控制。 0: 正常工作; 1: 静音。		DACR 数字音量控制。 计算公式为: (6-dacr_vol x 1)db。 当 dacr_vol 为 0x7F 时, DACR 数字静音。				DACR2DAC1 mixer 控制信号。 0: 关闭; 1: 打开。																			



[14:8]	RW	dacr2dacl_vol	DACR to DAACL 音量控制位。 计算公式为: $(36-dacr2dacl_vol \times 1)db$ 。
[7]	RW	dacl2dacr_en	DAACL to DACR mixer 控制信号。 0: 关闭; 1: 打开。
[6:0]	RW	dacl2dacr_vol	DAACL to DACR 音量控制位。 计算公式为: $(36-dacl2dacr_vol \times 1)db$ 。

MISC_CTRL54

MISC_CTRL54 为 Audio Codec 控制寄存器 4。

	Offset Address 0x00D8				Register Name MISC_CTRL54				Total Reset Value 0x1E1E_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	adcl_mute	adcl_vol				adcr_mute	adcr_vol				adcl_hpf_en	adcr_hpf_en	reserved				adcl_i2ssel	adcl_i1ssel	adcr_i2ssel	adcr_i1ssel												
Reset	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31]	RW		adcl_mute		ADCL 数字静音控制位。 0: ADCL unmute; 1: ADCL mute。																											
[30:24]	RW		adcl_vol		ADCL 音量控制位。 计算公式: $(30-adcl_vol \times 1)db$ 。																											
[23]	RW		adcr_mute		ADCR 数字静音控制位。 0: ADCR 不静音; 1: ADCR 静音。																											
[22:16]	RW		adcr_vol		ADCR 音量控制位。 计算公式: $(30-adcr_vol \times 1)db$ 。																											
[15]	RW		adcl_hpf_en		ADCL 高通滤波器使能控制。 0: 关闭高通滤波器; 1: 使能高通滤波器。																											



[14]	RW	adcr_hpf_en	ADCR 高通滤波器使能控制。 0: 关闭高通滤波器; 1: 使能高通滤波器。
[13:4]	RW	reserved	保留。
[3]	RW	adcl_i2ssel	ADCL I ² S 接口选择(高优先级)。 0: 选择 I2S1; 1: 选择 I2S2。
[2]	RW	adcl_lrsl	ADCL 左右声道数据选择: 0: 选择左声道; 1: 选择右声道。
[1]	RW	adcr_i2ssel	ADCR I ² S 接口选择(低优先级)。 0: 选择 I2S1; 1: 选择 I2S2。
[0]	RW	adcr_lrsl	ADCR 左右声道数据选择。 0: 选择左声道; 1: 选择右声道。

MISC_CTRL55

MISC_CTRL55 为 Audio Codec 控制寄存器 5。

	Offset Address 0x00DC				Register Name MISC_CTRL55				Total Reset Value 0x2424_2424																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	adcl2dacl_en				adcl2dacl_vol				adcr2dacl_en				adcr2dacl_vol				adcl2dacr_en				adcl2dacr_vol				adcr2dacr_en				adcr2dacr_vol			
Reset	0 0 1 0				0 1 0 0				0 0 1 0				0 1 0 0				0 0 1 0				0 1 0 0				0 0 1 0				0 1 0 0			
Bits	Access		Name		Description																											
[31]	RW		adcl2dacl_en		ADCL to DACL mixer 控制信号。 0: 关闭; 1: 打开。																											
[30:24]	RW		adcl2dacl_vol		ADCL to DACL 音量控制位。 计算公式为: (36-adcl2dacl_vol x 1)db。																											



[23]	RW	adcr2dacl_en	ADCR to DAACL mixer 控制信号。 0: 关闭; 1: 打开。
[22:16]	RW	adcr2dacl_vol	ADCR to DAACL 音量控制位。 计算公式为: (36-adcr2dacl_vol x 1)db。
[15]	RW	adcl2dacr_en	ADCL to DACR mixer 控制信号。 0: 关闭; 1: 打开。
[14:8]	RW	adcl2dacr_vol	ADCL to DACR 音量控制位。 计算公式为: (36-adcl2dacr_vol x 1)db。
[7]	RW	adcr2dacr_en	ADCR to DACR mixer 控制信号。 0: 关闭; 1: 打开。
[6:0]	RW	adcr2dacr_vol	ADCR to DACR 音量控制位。 计算公式为: (36-adcr2dacr_vol x 1)db。

MISC_CTRL56

MISC_CTRL56 为 SATA PORT0 环回控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00E0				MISC_CTRL56				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	sata_lpbk_match_cfg0																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:0]	RW		sata_lpbk_match_cfg0		SATA PORT0 LOOPBACK 配置。																											

MISC_CTRL57

MISC_CTRL57 为 SATA PORT1 环回控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x00E4		MISC_CTRL57		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sata_lpbk_match_cfg1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sata_lpbk_match_cfg1	SATA PORT1 LOOPBACK 配置。					

MISC_CTRL58

MISC_CTRL58 为 SATA PORT2 环回控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x00E8		MISC_CTRL58		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sata_lpbk_match_cfg2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sata_lpbk_match_cfg2	SATA PORT2 LOOPBACK 配置。					

MISC_CTRL59

MISC_CTRL59 为 SATA 环回使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00EC		MISC_CTRL59		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															sata_lobk_mode_sel2	sata_lobk_mode_sel1	sata_lobk_mode_sel0	reserved	sata_lpbk_ctrl_en2	sata_lpbk_ctrl_en1	sata_lpbk_ctrl_en0										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RW	reserved	保留。																													
[6]	RW	sata_lobk_mode_sel2	SATA PORT2 环回模式选择。																													
[5]	RW	sata_lobk_mode_sel1	SATA PORT1 环回模式选择。																													
[4]	RW	sata_lobk_mode_sel0	SATA PORT0 环回模式选择。																													
[3]	RW	reserved	保留。																													
[2]	RW	sata_lpbk_ctrl_en2	SATA PORT2 环回使能。 0: 不使能; 1: 使能。																													
[1]	RW	sata_lpbk_ctrl_en1	SATA PORT1 环回使能。 0: 不使能; 1: 使能。																													
[0]	RW	sata_lpbk_ctrl_en0	SATA PORT0 环回使能。 0: 不使能; 1: 使能。																													

MISC_CTRL60

MISC_CTRL60 为 PCIE 控制寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x00F0		MISC_CTRL60		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie_device_type				pcie_slv_resp_err_map5	pcie_slv_resp_err_map4	pcie_slv_resp_err_map3	pcie_slv_resp_err_map2	pcie_slv_resp_err_map1	pcie_slv_resp_err_map0	reserved																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:28]	RW	pcie_device_type	PCIe 控制器的模式。 0x0: PCI Express EP 设备; 0x1: Legacy PCI Express 设备; 0x4: PCI Express RC 设备; 其他: 保留。																													
[27]	RW	pcie_slv_resp_err_map5	PCIe 总线 SLV 端口 CPL TIMEOUT 错误映射控制。 0: 将 CPL TIMEOUT 错误映射为 DEC_ERR; 1: 将 CPL TIMEOUT 错误映射为 SLV_ERR。																													
[26]	RW	pcie_slv_resp_err_map4	PCIe 总线 SLV 端口 CPL ECRC 错误映射控制。 0: 将 CPL ECRC 错误映射为 DEC_ERR; 1: 将 CPL ECRC 错误映射为 SLV_ERR。																													
[25]	RW	pcie_slv_resp_err_map3	PCIe 总线 SLV 端口 CPL poisoned 错误映射控制。 0: 将 CPL poisoned 错误映射为 DEC_ERR; 1: 将 CPL poisoned 错误映射为 SLV_ERR。																													
[24]	RW	pcie_slv_resp_err_map2	PCIe 总线 SLV 端口 CPL CA 错误映射控制。 0: 将 CPL CA 错误映射为 DEC_ERR; 1: 将 CPL CA 错误映射为 SLV_ERR。																													
[23]	RW	pcie_slv_resp_err_map1	PCIe 总线 SLV 端口 CPL CRS 错误映射控制。 0: 将 CPL CRS 错误映射为 DEC_ERR; 1: 将 CPL CRS 错误映射为 SLV_ERR。																													
[22]	RW	pcie_slv_resp_err_map0	PCIe 总线 SLV 端口 CPL UR 错误映射控制。 0: 将 CPL UR 错误映射为 DEC_ERR; 1: 将 CPL UR 错误映射为 SLV_ERR。																													
[21:0]	RO	reserved	保留。																													



MISC_CTRL61

MISC_CTRL61 为 PCIE 控制寄存器 1。

	Offset Address				Register Name				Total Reset Value																							
	0x00F4				MISC_CTRL61				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				pcie_app_clk_req_n	reserved																										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23]	RW		pcie_app_clk_req_n		PCIE 控制器应用层时钟请求。 0: 申请时钟; 1: 不申请时钟。																											
[22:0]	RO		reserved		保留。																											

MISC_CTRL62

MISC_CTRL62 为 PCIE 控制寄存器 2。



Offset Address		Register Name		Total Reset Value																												
0x00F8		MISC_CTRL62		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie_ven_msi_vector				pcie_ven_msi_req		reserved																									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:27]	RW	pcie_ven_msi_vector	PCIe 控制器 MSI 数据调整控制寄存器。 当 PCIe 控制器发起 MSI 中断请求时，此寄存器的值是 MSI 数据的最低 5 比特(此寄存器的值与 MSI 数据寄存器的值按位或的值为新的 MSI 数据)。																													
[26]	RW	pcie_ven_msi_req	指示 PCIe 控制器是否请求发送消息中断(MSI)。 0: 无请求; 1: 请求。																													
[25:0]	RO	reserved	保留。																													

MISC_CTRL63

MISC_CTRL63 为 PCIE 控制寄存器 3。

Offset Address		Register Name		Total Reset Value																												
0x00FC		MISC_CTRL63		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie_ven_msg_code				pcie_ven_msg_tag				reserved				pcie_ven_msg_attr		pcie_ven_msg_ep		pcie_ven_msg_id		pcie_ven_msg_type				pcie_ven_msg_fint		pcie_ven_msg_req							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	pcie_ven_msg_code	PCIe 厂商自定义消息的消息代码。 当由 PCIe 发送厂商定义消息时，此寄存器指定厂商自定义消息的消息代码。																													



[23:16]	RW	pcie_ven_msg_tag	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 TAG 字段。
[15:12]	RO	reserved	保留。
[11:10]	RW	pcie_ven_msg_attr	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 ATTR 字段。
[9]	RW	pcie_ven_msg_ep	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 EP 字段。
[8]	RW	pcie_ven_msg_td	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 TD 字段。
[7:3]	RW	pcie_ven_msg_type	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 TYPE 字段。
[2:1]	RW	pcie_ven_msg_fmt	当由 PCIe 控制器发起 PCIe 厂商自定义消息请求时，此寄存器用于配置 PCIe 厂商自定义消息请求数据包的 FMT 字段。
[0]	RW	pcie_ven_msg_req	指示 PCIe 控制器是否请求发送一个厂商定义的消息。 0: 不请求; 1: 请求。

MISC_CTRL64

MISC_CTRL64 为 PCIE 控制寄存器 4。

Offset Address		Register Name		Total Reset Value					
0x0100		MISC_CTRL64		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	pcie_ven_msg_data_low								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	pcie_ven_msg_data_low	当由 PCIe 控制器发起 PCIe 厂商自定义消息事务时，此寄存器用于配置 PCIe 厂商自定义消息事务数据包的第三个双字 (DWORD)。						

MISC_CTRL65

MISC_CTRL65 为 PCIE 控制寄存器 5。



Offset Address		Register Name		Total Reset Value				
0x0104		MISC_CTRL65		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pcie_ven_msg_data_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	pcie_ven_msg_data_high	当由 PCIe 控制器发起 PCIe 厂商自定义消息事务时，此寄存器用于配置 PCIe 厂商自定义消息事务数据包的第四个双字 (DWORD)。					

MISC_CTRL67

MISC_CTRL67 为 PCIE 控制寄存器 7。

Offset Address		Register Name		Total Reset Value															
0x010C		MISC_CTRL67		0x0000_0800															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	reserved			pcie_cfg_l1_clk_removal_en	reserved			pcie_app_ltssm_enable	pcie_sys_aux_pwr_det	pcie_apps_pm_xmt_pme	pcie_apps_pm_xmt_turnoff	pcie_app_unlock_msg	pcie_outband_pwrup_cmd	pcie_sys_int	pcie_app_req_retry_en	pcie_app_req_exit_l1	reserved	pcie_app_req_intr_l1	pcie_app_init_rst
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																
[31:21]	RW	reserved	保留。																
[20]	RW	pcie_cfg_l1_clk_removal_en	L1 状态下参考时钟控制。 0: 禁止在 L1 状态下移除参考时钟； 1: 允许在 L1 状态下移除参考时钟。																
[19:12]	RO	reserved	保留。																
[11]	RW	pcie_app_ltssm_enable	PCIe 控制器使能。 0: 不使能 PCIe 控制器； 1: 使能 PCIe 控制器。																



[10]	RW	pcie_sys_aux_pwr_det	PCIe 控制器辅助电源检测。 0: 辅助电源不存在; 1: 辅助电源存在。
[9]	RW	pcie_apps_pm_xmt_pme	PCIe 控制器低功耗状态唤醒。 0: 不唤醒; 1: 唤醒。
[8]	RW	pcie_apps_pm_xmt_turnoff	PCIe 控制器 PM_TRUN_OFF 消息请求。 0: 不请求; 1: 请求。
[7]	RW	pcie_app_unlock_msg	PCIe 控制器 Unlock 消息请求。 0: 不请求; 1: 请求。
[6]	RW	pcie_outband_pwrup_cmd	PCIe 控制器低功耗状态唤醒。 0: 不唤醒; 1: 唤醒。
[5]	RW	pcie_sys_int	PCIe 控制器中断请求。 此寄存器值由 0 变为 1 时, PCIe 控制器产生一个 Assert_INTx 消息; 此寄存器值由 1 变为 0 时, PCIe 控制器产生一个 Deassert_INTx 消息。
[4]	RW	pcie_app_req_retry_en	PCIe 控制器推迟接收配置请求。 0: 无效; 1: 有效。
[3]	RW	pcie_app_req_exit_l1	PCIe 控制器应用层请求退出 L1 状态。 0: 不请求; 1: 请求。
[2]	RO	reserved	保留。
[1]	RW	pcie_app_req_entr_l1	PCIe 控制器应用层请求进入 L1 状态。 0: 不请求; 1: 请求。
[0]	RW	pcie_app_init_rst	将此寄存器的值由 0 变为 1, 将导致 PCIe 控制器发送一个 HOT_RESET 给下游设备。



MISC_CTRL72

MISC_CTRL72 为 PCIE 控制寄存器 12。

	Offset Address				Register Name				Total Reset Value																							
	0x0120				MISC_CTRL72				0xA188_79F3																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														pcie_cfg_pcs_tx_swing_full				pcie_cfg_pcs_tx_swing_low													
Reset	1	0	1	0	0	0	0	1	1	0	0	0	1	0	0	0	0	1	1	1	1	0	0	1	1	1	1	1	0	0	1	1
Bits	Access		Name		Description																											
[31:14]	RO		reserved		保留。																											
[13:7]	RW		pcie_cfg_pcs_tx_swing_full		PCIe PHY 发送器的摆幅(full swing 模式)。																											
[6:0]	RW		pcie_cfg_pcs_tx_swing_low		PCIe PHY 发送器的摆幅(low swing 模式)。																											

MISC_CTRL73

MISC_CTRL73 为 PCIE 控制寄存器 13。



Offset Address		Register Name		Total Reset Value																																
0x0124		MISC_CTRL73		0x0192_4014																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	pcie_pipe_tx2rx_lpbk	reserved	pcie_cfg_ref_use_pad	reserved	pcie_cfg_ref_clkdiv2	pcie_cfg_mpll_multiplier				reserved	pcie_cfg_los_level				reserved								pcie_cfg_phy_los_bias			pcie_cfg_phy_tx_vboost_lvl										
Reset	0	0	0	0	0	0	0	1	1	0	0	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0			
Bits	Access	Name	Description																																	
[31]	RW	pcie_pipe_tx2rx_lpbk	PCIe TX 到 RX 环回使能。 0: 不使能。 1: 使能。																																	
[30]	RO	reserved	保留。																																	
[29]	RW	pcie_cfg_ref_use_pad	PCIe 参考时钟来源选择。 0: 来自于芯片内 ref_alt_clk_{p,m}; 1: 来自于管脚时钟 ref_pad_clk_{p,m}。																																	
[28]	RO	reserved	保留。																																	
[27]	RW	pcie_cfg_ref_clkdiv2	PCIe PHY MPLL 分频参数设置。必须设置为 0x0。																																	
[26:20]	RW	pcie_cfg_mpll_multiplier	PCIe PHY MPLL 倍乘参数设置。必须设置为 0x19。																																	
[19]	RO	reserved	保留。																																	
[18:14]	RW	pcie_cfg_los_level	信号丢失敏感电平。 必须设置为 0x9。																																	
[13:6]	RO	reserved	保留。																																	
[5:3]	RW	pcie_cfg_phy_los_bias	信号丢失门限电平控制。必须设置为 0x2。																																	
[2:0]	RW	pcie_cfg_phy_tx_vboost_lvl	PCIe 发送电平激励设置。必须设置为 0x4。																																	



MISC_CTRL74

MISC_CTRL74 为 PCIE 控制寄存器 14。

	Offset Address								Register Name								Total Reset Value															
	0x0128								MISC_CTRL74								0x0008_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								pcie_pipe_port_sel	pcie_pcs_tx_common_mode_dis	pcie_pcs_rx_elecidle_dis	reserved								pcie_cfg_phy_test_powerdown	reserved											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:20]	RO		reserved		保留。																											
[19]	RW		pcie_pipe_port_sel		PCIe PIPE 接口使能。 0: 不使能; 1: 使能。																											
[18]	RW		pcie_pcs_tx_common_mode_dis		禁用发送器共模模式。 0: 不禁用; 1: 禁用。																											
[17]	RW		pcie_pcs_rx_elecidle_dis		禁用接收器空闲检测。 0: 不禁用; 1: 禁用。																											
[16:7]	RO		reserved		保留。																											
[6]	RW		pcie_cfg_phy_test_powerdown		PCIe PHY 下电, 用于 IDDQ 测试。 0: 不下电。 1: 下电。																											
[5:0]	RO		reserved		保留。																											

MISC_CTRL75

MISC_CTRL75 为 PCIE 状态寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x012C		MISC_CTRL75		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												pcie_xmlh_link_up	reserved												pcie_rdlh_link_up	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	reserved	保留。																													
[15]	RO	pcie_xmlh_link_up	PCIe PHY 链路连接状态指示。 0: 连接已断开; 1: 连接已建立。																													
[14:6]	RO	reserved	保留。																													
[5]	RO	pcie_rdlh_link_up	PCIe 控制器数据链路层连接状态指示。 0: 连接已断开; 1: 连接已建立。																													
[4:0]	RO	reserved	保留。																													

3.5 CIPHER

3.5.1 概述

CIPHER 是一个实现 DES (Data Encryption Standard) /3DES 和 AES (Advanced Encryption Standard) 加解密处理的模块, DES/3DES 和 AES 算法的实现符合 FIPS46-3/FIPS 197 标准。DES/3DES 和 AES 的工作模式符合 FIPS -81/NIST special800-38a 标准。

CIPHER 模块适用于进行大量数据的高效加解密处理, 可支持一次实现单个分组的加解密或多个分组的加解密。

3.5.2 特点

CIPHER 模块有如下特点:

- AES 密钥长度支持 128 位、192 位、256 位, 由芯片密钥管理模块配置密钥时密钥长度只支持 128 位。



- DES 密钥长度支持 64 位，其中 0、8、16、24、32、40、48、56 位的值是每个 byte 的奇偶校验值，实际加解密操作中不使用。
- 3DES 支持 3 个密钥的方式，也支持 2 个密钥的方式，由芯片密钥管理模块配置密钥时只支持 2 个密钥的方式。
- AES 支持 ECB (Electronic CodeBook)、CBC (Cipher Block Chaining)、1/8/128-CFB (Cipher FeedBack)、128-OFB (Output FeedBack) 和 CTR (Counter) 几种工作模式，工作模式符合 NIST special800-38a 标准。
- DES/3DES 支持 ECB、CBC、1/8/64-CFB、1/8/64-OFB 几种工作模式，工作模式符合 FIPS-81 标准。
- ECB、CBC、CFB、OFB、CTR 工作模式下，支持一次实现多个分组的加解密运算，也支持一次实现单个分组的加解密运算。
- AES 的 CTR 工作模式下，支持一次实现多个分组的加解密运算，也支持一次实现单个分组的加解密运算
- 提供 8 个 CPU 配置的加解密密钥，可以配置为 64bits，128bits，192bits 或者 256bits。
- 提供 8 个芯片密钥管理模块配置的密钥，固定为 128bits，主 CPU 不可以读写。
- 提供一个单分组加解密通道和 7 个通道的多分组加解密通道。单分组加解密通道每次只能完成一个单分组加解密，由 CPU 将数据写入通道寄存器中，结果由 CPU 读取。多分组加解密通道由逻辑自动从 DDR 中读取数据完成加解密后再自动写回到 DDR 中。
- 各个通道采用加权轮循的工作方法，除了单分组通道的权值默认为 1，其他的多分组通道的权值都可以配置。
- 任何通道可以使用同一组密钥或者不同组密钥。
- 当多分组通道数据不是加解密分组的整数倍时，最后不足一个分组的数据不进行加解密。
- 多分组通道支持逻辑拼接数据，即上一个链表数据块最后预留数据不足一个加解密分组，又不是待处理数据的最后一个链表数据块，不需要进行数据填充，则将该链表数据遗留的数据与下一个链表数据块数据拼接到一起进行加解密。
- 多分组加解密通道支持字节地址。
- 多分组加解密通道支持多链表结构，支持拼接多个链表数据，每个链表的长度用 20 bit 表示，即最大数据量为 1M-1 byte。
- 提供中断状态查询、中断屏蔽和中断清除功能。
- 每个通道提供单独的中断处理和控制在。
- 支持多包中断和老化时间中断。

3.5.3 功能描述

DES/3DES、AES 算法支持的几种工作模式分别符合 FIPS-81 标准和 NIST special800-38a 标准，对于 DES/3DES 和 AES 算法，ECB、CBC 和 CFB 工作模式相同，OFB 和 CTR（只有 AES 算法中包括）工作模式略有区别。

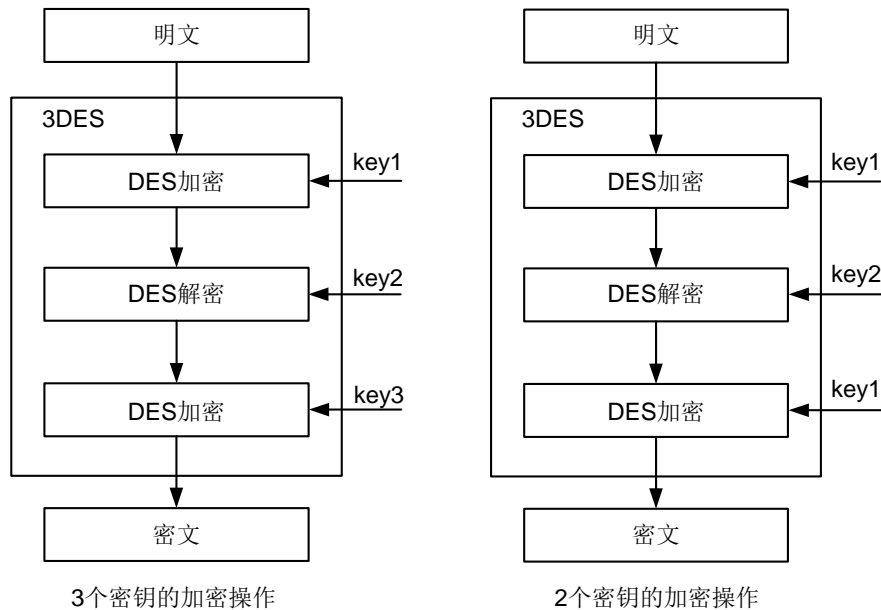


3DES 算法

3DES 支持 3 个密钥和 2 个密钥的运算，2 个密钥的运算可以看作 3 个密钥的一种简化情况，在 2 个密钥的操作中的第三个密钥（key3）都使用第一个密钥（key1）代替。

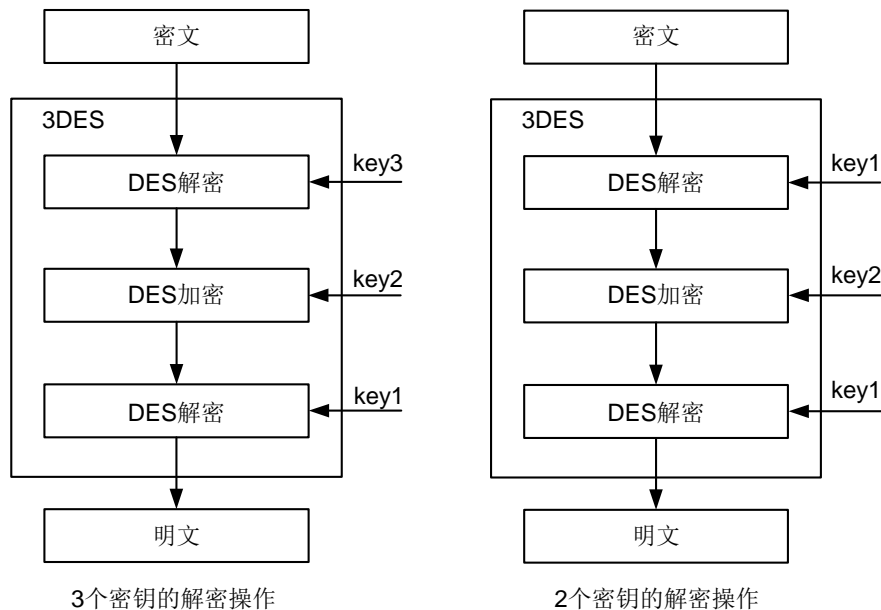
3 个密钥和 2 个密钥的 3DES 加密运算过程如图 3-6 所示。

图3-6 3 个密钥和 2 个密钥的 3DES 加密操作



3 个密钥和 2 个密钥的 3DES 解密运算过程如图 3-7 所示。

图3-7 3 个密钥和 2 个密钥的 3DES 解密操作





ECB 模式

ECB (Electronic CodeBook) 模式中, 加、解密算法是直接应用到各个分组数据, 而且各个分组的运算均独立。这个特点使得明文的加密操作和密文的解密操作可以并行进行。AES/DES 和 3DES 的电子密码本 (ECB) 模式分别如图 3-8 和图 3-9 所示。

图3-8 AES/DES 的电子密码本 (ECB) 模式

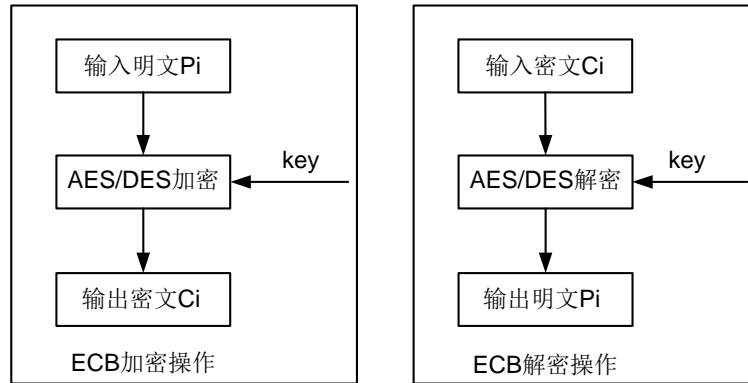
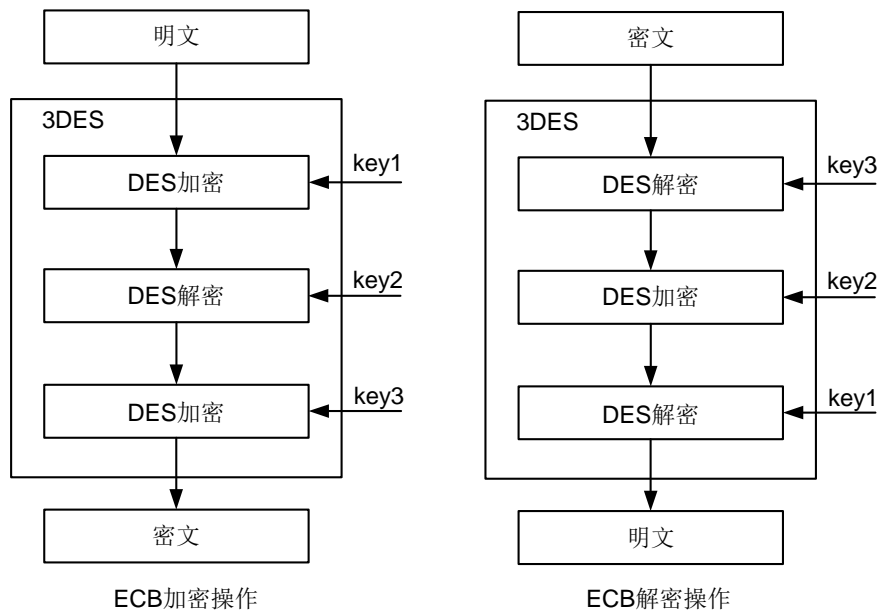


图3-9 3DES 的电子密码本 (ECB) 模式



CBC 模式

CBC (Cipher Block Chaining) 模式下, 加密的输入明文分组需要先与输入向量 IV (Intialization Vector) 进行异或操作, 才进入加密操作, 而每个明文分组的加密处理都与上一个明文分组处理的结果 (即密文) 相关, 因此 CBC 模式下的加密操作是不能进行并行处理的。但是解密操作不依赖于上一个分组的明文输出, 是可以进行并行处理的。AES/DES 和 3DES 的密码分组链接 (CBC) 模式分别如图 3-10 和图 3-11 所示。



图3-10 AES/DES 的密码分组链接 (CBC) 模式

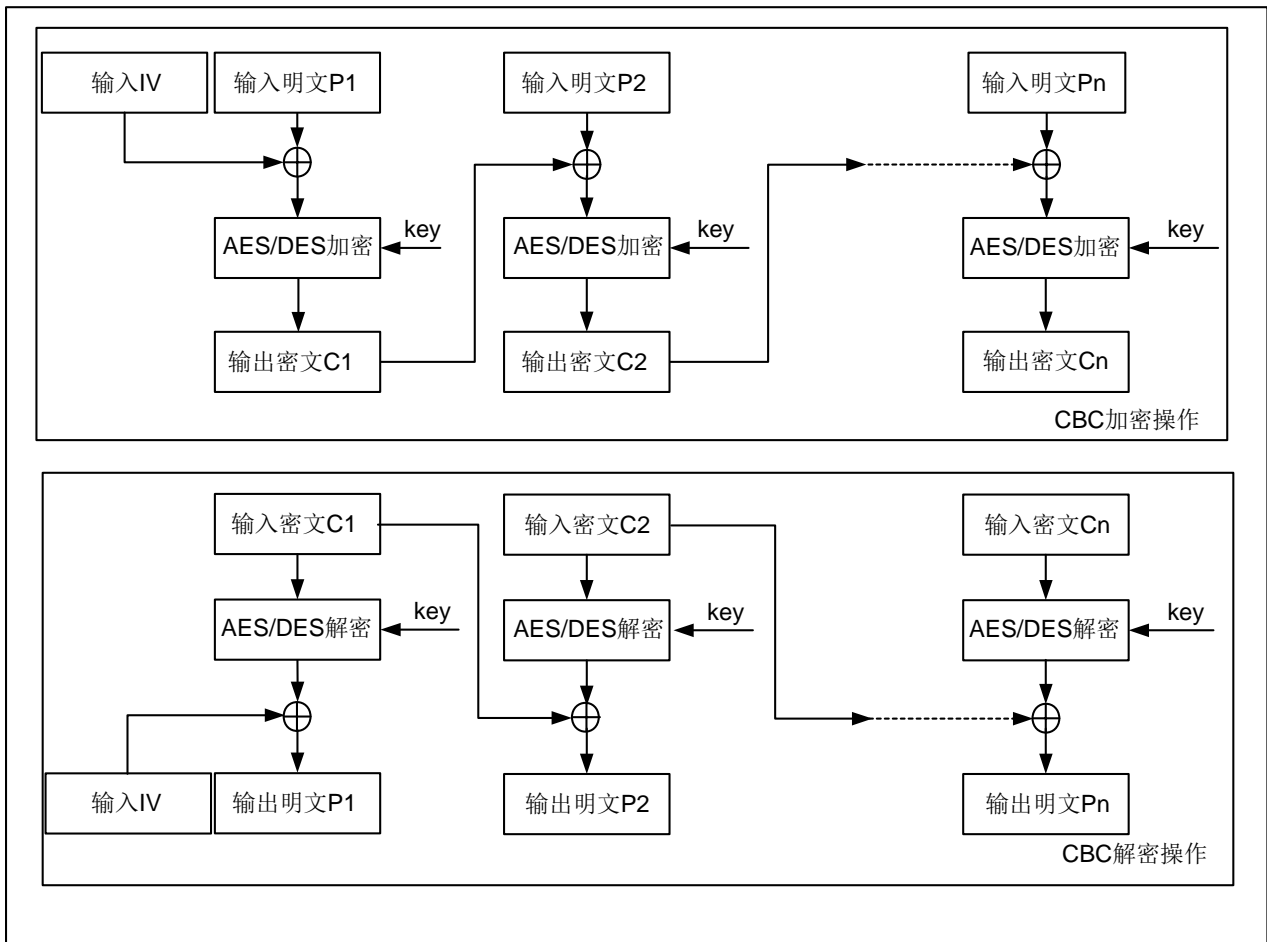
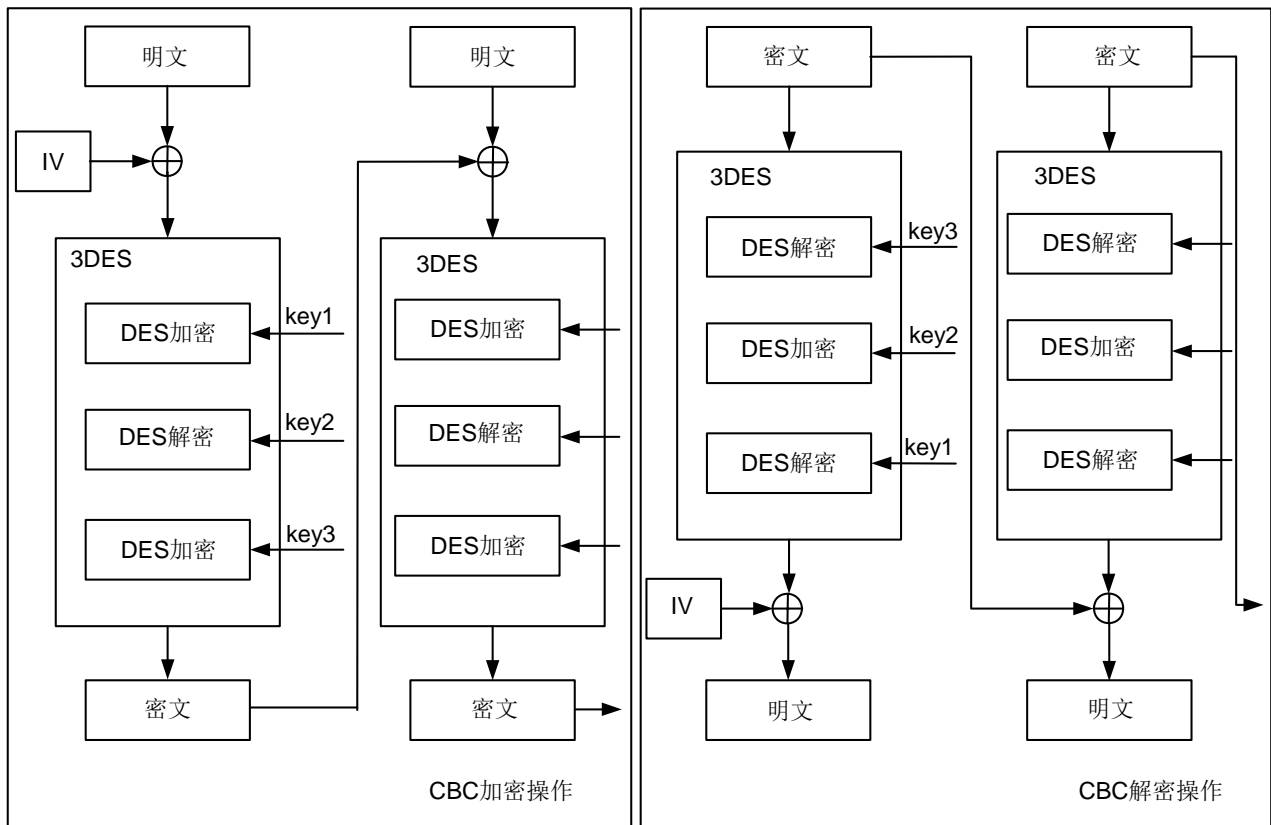


图3-11 3DES 的密码分组链接 (CBC) 模式



CFB 模式

CFB (Cipher FeedBack) 模式是将分组密码转换成流密码的一种工作模式，可以通过选择 CFB 的操作位数来实现。移位操作的位数用 s 位表示，关于 s 位，存在以下 2 种情况：

- 对于 DES/3DES, s 位可以是 1 位、8 位或 64 位。
- 对于 AES, s 位可以是 1 位、8 位或 128 位。

AES/DES 的 s 位密码反馈 (CFB) 模式和 3DES 的 s 位密码反馈 (CFB) 模式分别如图 3-12 和图 3-13 所示。



图3-12 AES/DES 的 s 位密码反馈 (CFB) 模式

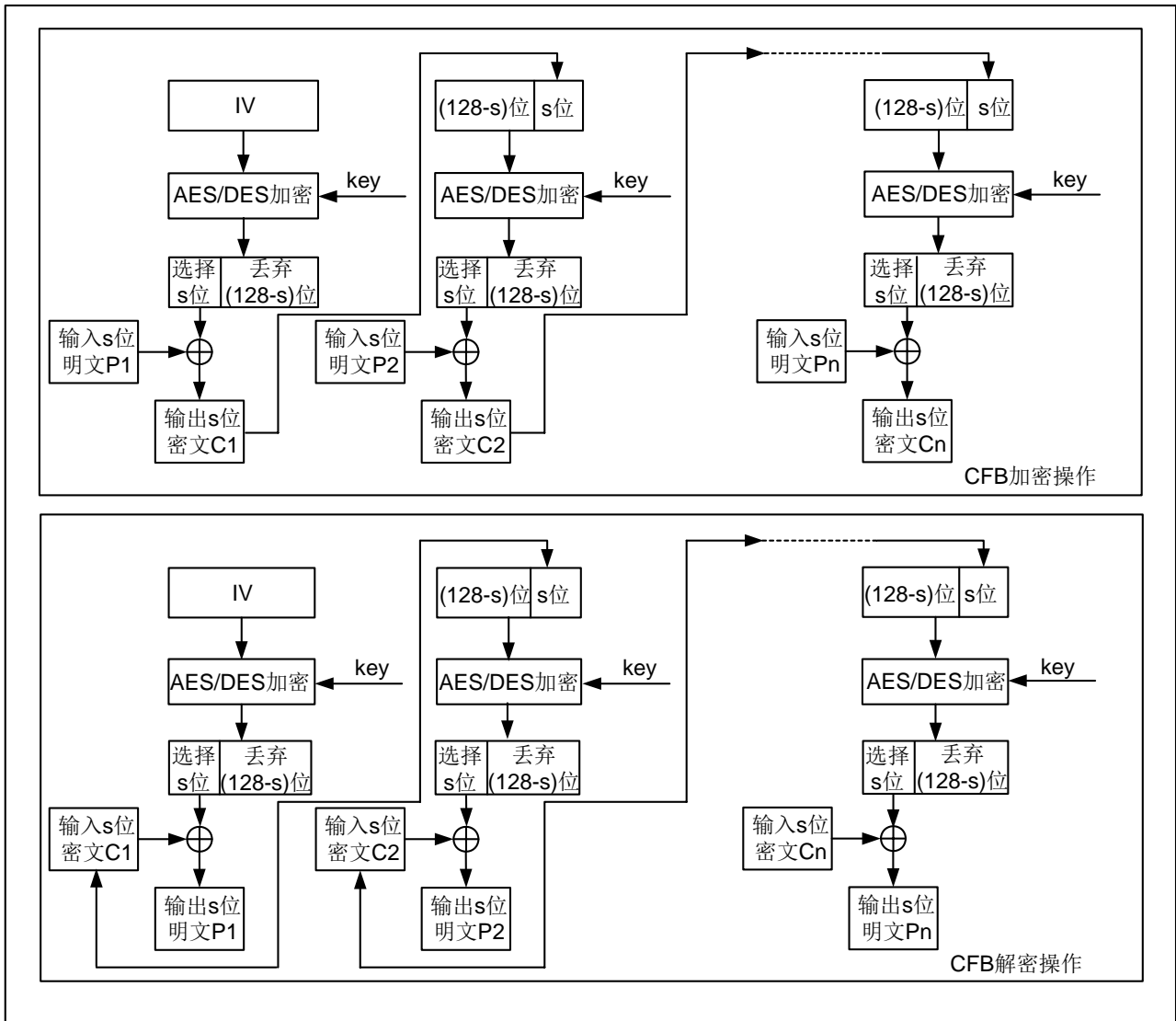
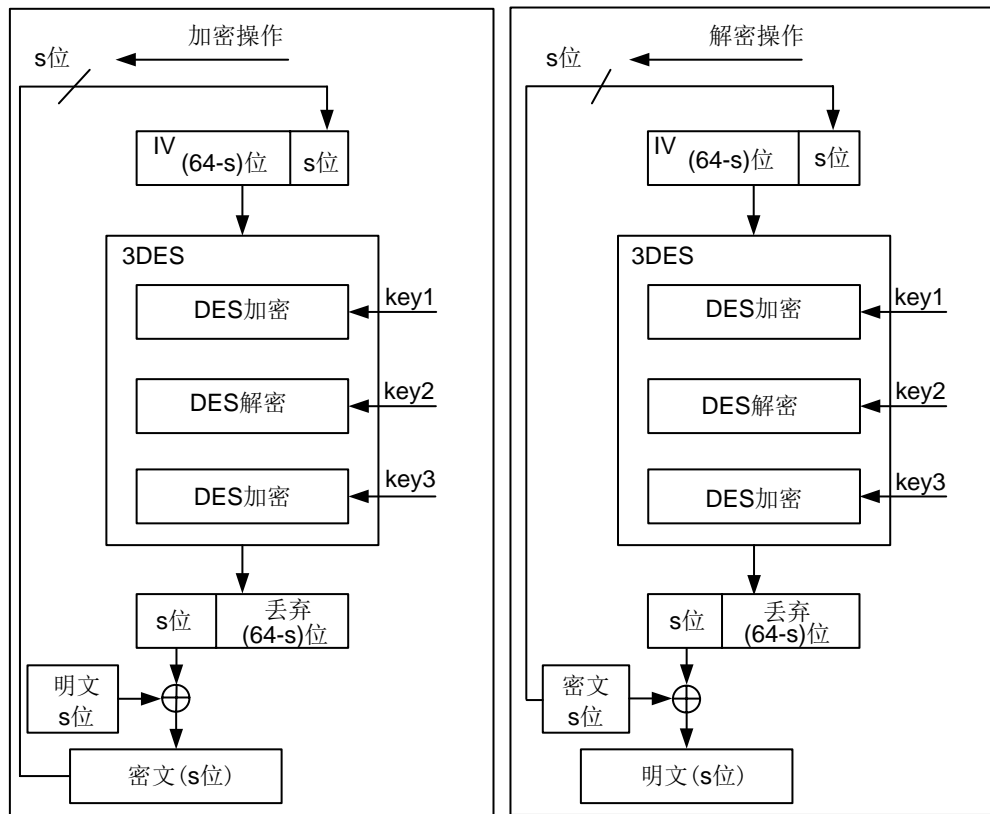


图3-13 3DES 的 s 位密码反馈（CFB）模式



OFB 模式

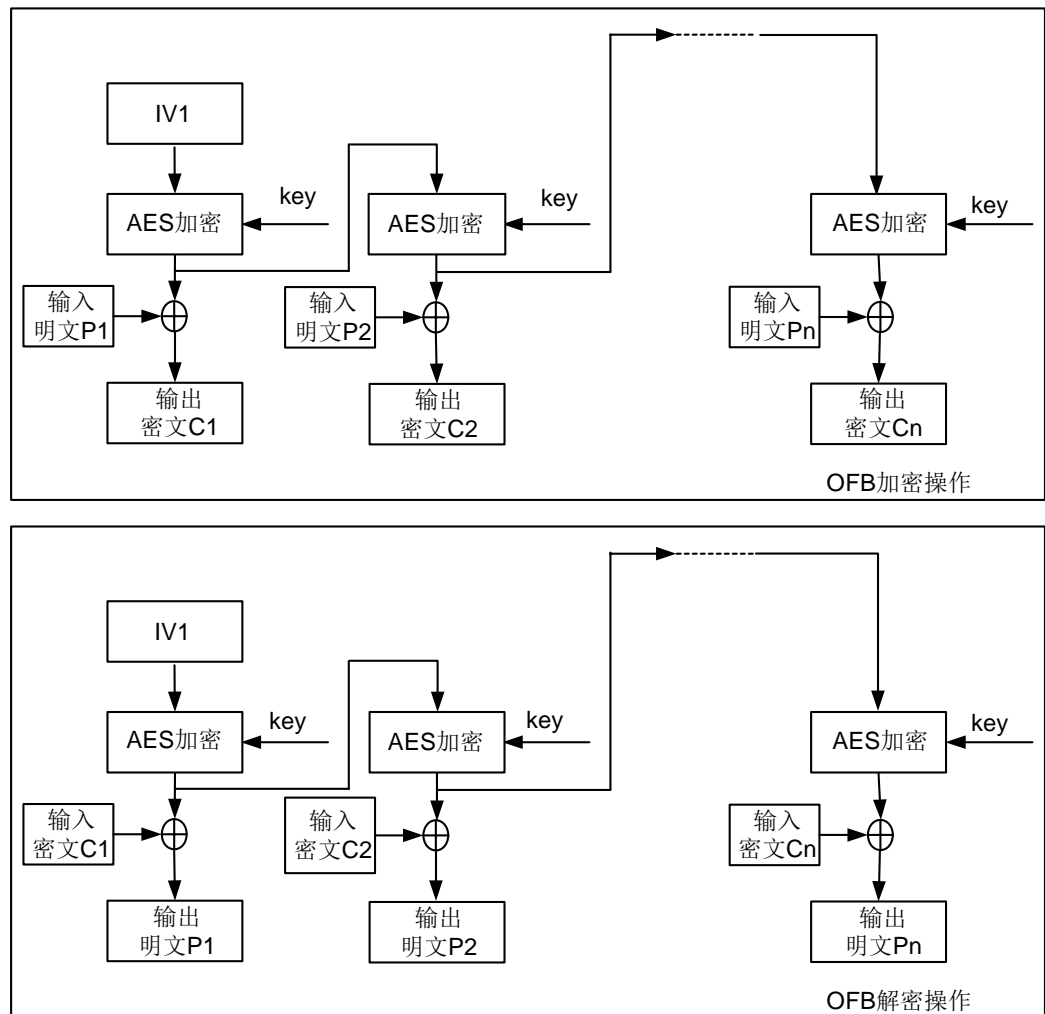
OFB（Output FeedBack）模式下，将 IV 直接作为加密操作的输入，因此对同一个密钥的操作情况下，应该使用不相同的 IV，避免降低操作的安全性。关于 s 位，存在以下 2 种情况：

- 对于 DES/3DES，s 位可以是 1 位、8 位或 64 位。
- 对于 AES，s 位只能是 128 位。



AES 的输出反馈（OFB）模式如图 3-14 所示。

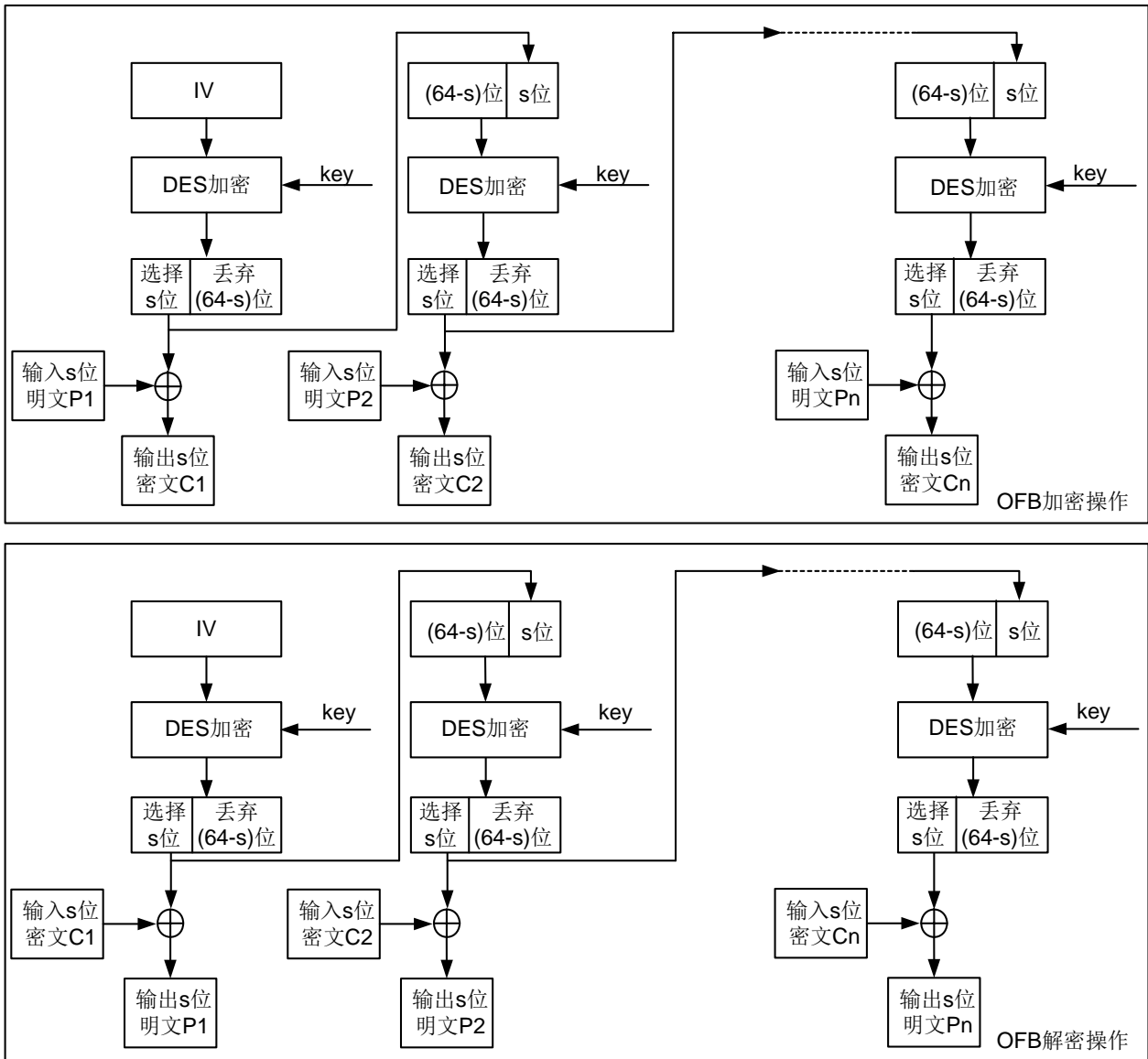
图3-14 AES 的输出反馈（OFB）模式



DES 的 s 位输出反馈模式如图 3-15 所示。

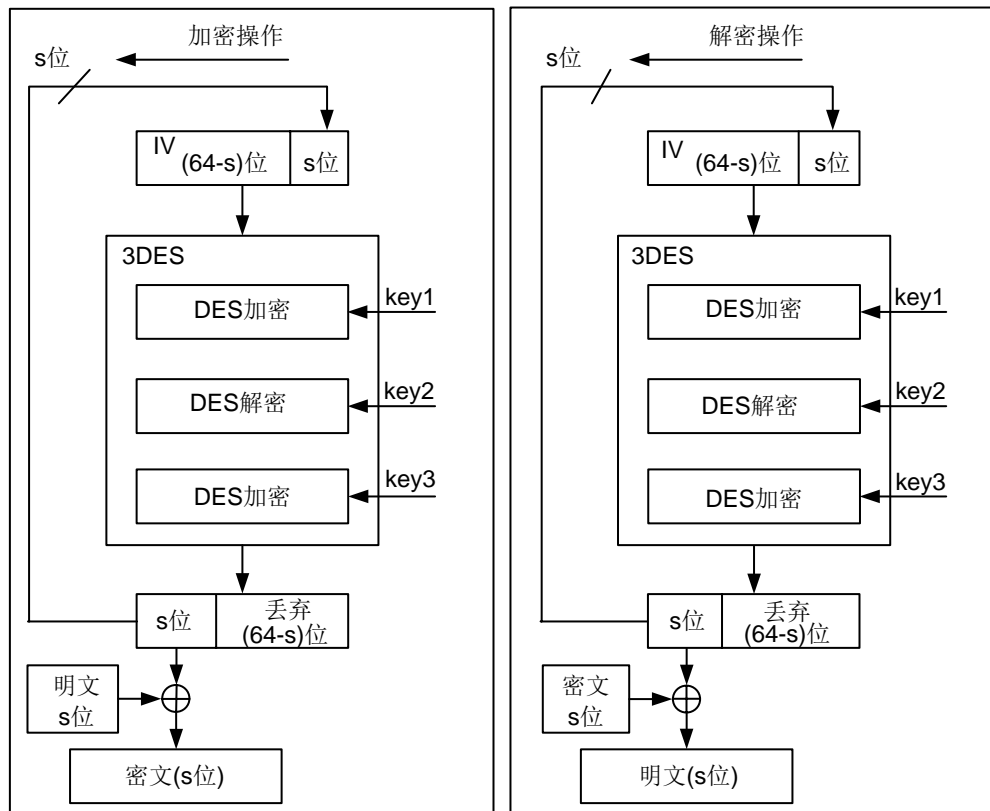


图3-15 DES 的 s 位输出反馈 (OFB) 模式



3DES 的 s 位输出反馈模式如图 3-16 所示。

图3-16 3DES 的 s 位输出反馈 (OFB) 模式



CTR 模式

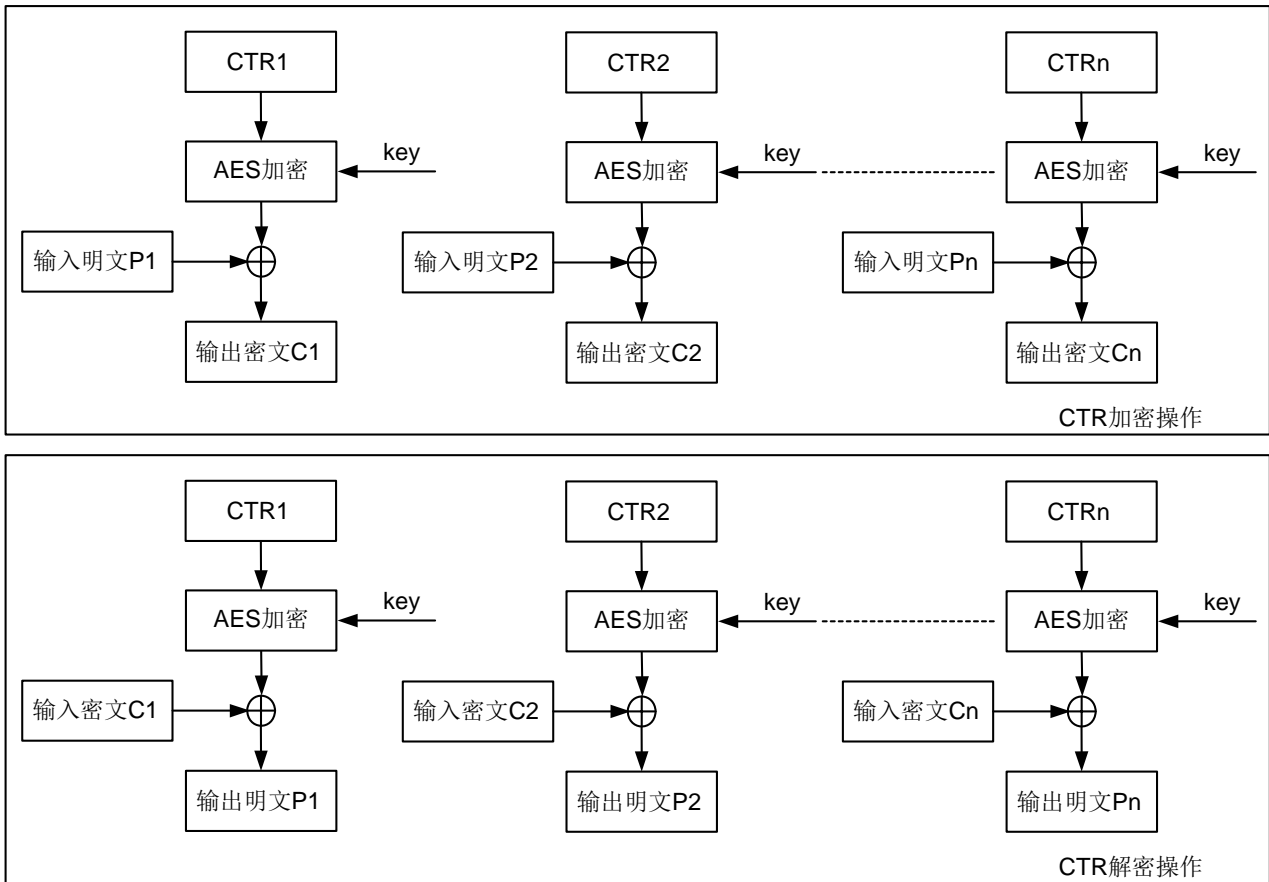
CTR (Counter) 模式下, 向 AES 加密或解密处理模块输入不同的数据来保证数据处理的安全性, 这种数据可以是计数的值。因此, 计数值 CTR_n 的选取也决定了这种方式应用的安全性。

说明

CTR_n 一般采用累加计数的方式获取。

AES 的 CTR 模式如图 3-17 所示。

图3-17 AES 的 CTR 模式



3.5.4 工作方式

CIPHER 的单分组操作流程

CIPHER 提供通道 0 作为单分组加解密通道，操作流程如下：

1. 查询通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_busy` 域，如果通道 0 不忙，则配置通道 0 的数据输入和将相关配置信息写入通道 0 的寄存器中。
2. 写通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_start` 域，启动通道 0 加解密。
3. 判断通道 0 加解密结束，有两种方式：
4. 查询等待通道 0 加解密结束后 `ch0_busy` 变为不忙。
5. 使能通道 0 中断，在通道 0 数据完成中断有效后读取数据。
6. 通道 0 加解密完成，从通道 0 的 `CHAN0_CIPHER_DOUT` 和 `CHAN0_CIPHER_IVOUT` 寄存器中读取相应结果。

----结束



CIPHER 的多分组操作流程

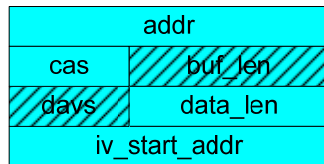
CIPHER 模块提供 7 个多分组加解密通道，软件可以根据每个通道速率大小设置每个通道的权值。多分组加解密通道自动从 DDR 中读取数据，完成加解密后再写入到 DDR 中。

CIPHER 的多分组操作流程如下：

1. 通道初始化配置。即每个通道输入队列深度和输出队列深度，输入输出队列的首地址，多包中断个数和老化中断时间，配置每个通道 CTRL 寄存器信息。
2. 当有数据需要加解密时，查询 `CHANn_IBUF_CNT` 寄存器，如果该寄存器的值小于 `CHANn_IBUF_NUM` 的值，则配置待加解密数据链表头到输入队列中，进入步骤 4；否则进入步骤 3；
3. 打开输入队列通道对应的中断，等待该中断发生时，读取 `CHANn_IEMPTY_CNT` 寄存器代表输入队列处理完成的包个数，软件通过向该寄存器写入相应的值清除中断，然后可以向输入队列中添加新的数据。
4. 向输出队列中加入对应的输出缓冲区链表头；
5. 打开输出队列通道对应中断；
6. 在输出队列中断发生时，软件取走输出队列数据并写本次收包个数到 `CHANn_OFULL_CNT`，以便清除中断。

----结束

图3-18 多分组加解密通道链表头结构如下：



- addr 表示该链表头指向的 Buffer 的首地址，可以是字节地址。
- data_len 表示该链表头指示的有效数据的长度。
- cas 代表 cipher 加解密的控制信息，具体 bit 数如下：

表3-28 CAS 各个 bit 标志

31	24	23	22	21	20
rsv	rsv	last_ist	iv_set	rsv	



- **iv_set**: 标志当前链表头指示的数据需要重新更换初始向量，此时需要通过 **iv_start_addr** 指示当前 IV 在 DDR 中的初始地址，此地址必须是 WORD 对齐地址。
- **last_lst**: 标志当前链表头指示的数据是一个数据块的最后一个链表，逻辑在该链表处理结束时如果遇到不足一个加解密分组的数据，逻辑将剩余数据直接写入到输出 Buffer 中，不进行加解密。

时钟门控

当不需要进行加密操作，且 CIPHER 模块处于空闲状态时，可以通过配置系统控制器的寄存器，关断 CIPHER 模块时钟以降低功耗。

软复位

可以通过配置系统控制器的寄存器对 CIPHER 模块进行软复位。

3.5.5 CIPHER 寄存器概览

CIPHER 寄存器概览如表 3-29 所示。

表3-29 CIPHER 寄存器概览（基址是 0x1005_0000）

偏移地址	名称	描述	页码
0x0000~ 0x000C	CHAN0_CIPHER_D OUT	CIPHER 模块通道 0（单分组加解密） 输出寄存器	3-185
0x0010~ 0x001C	CHAN0_CIPHER_IV OUT	CIPHER 操作完成之后的向量输出寄存 器	3-186
0x0020~ 0x008C	CHAN_CIPHER_IV OUT	通道 1~7 向量输出寄存器	3-187
0x0090~ 0x018C	CIPHER_KEY	CIPHER 模块的 CPU 配置密钥寄存器	3-187
0x1000	CHAN0_CIPHER_C TRL	通道 0 加解密控制寄存器	3-189
0x1004~ 0x1010	CHAN0_CIPHER_IV IN	CIPHER 模块通道 0 的向量分组的输入 寄存器	3-192
0x1014~ 0x1020	CHAN0_CIPHER_DI N	CIPHER 模块的 128 位分组输入寄存器	3-192
0x1000+ nx0x128	CHANn_IBUF_NUM	通道 n（n 为 1~7）输入队列总深度， 即为可以配置链表头的总个数寄存器	3-193
0x1000+ nx0x128+ 0x4	CHANn_IBUF_CNT	通道 n 输入队列中待处理的数据 Buffer 的个数寄存器	3-194



偏移地址	名称	描述	页码
0x1000+ nx0x128+ 0x8	CHANn_IEMPTY_C NT	通道 n 输入队列中处理完成的数据 Buffer 个数寄存器	3-194
0x1000+ nx0x128+ 0xC	CHANn_INT_ICNT CFG	通道 n 输入队列多包中断流水线寄存器	3-194
0x1000+ nx0x128+ 0x10	CHANn_CIPHER_C TRL	通道 n 加解密控制寄存器	3-195
0x1000+ nx0x128+ 0x14	CHANn_SRC_LST_ SADDR	通道 n 输入队列的起始地址寄存器	3-197
0x1000+ nx0x128+ 0x18	CHANn_IAGE_TIM ER	通道 n 输入队列中断的老化时间配置寄 存器	3-197
0x1000+ nx0x128+ 0x3C	CHANn_OBUF_NU M	通道 n 输出队列总深度，即为可以配置 链表头的总个数寄存器	3-198
0x1000+ nx0x128+ 0x40	CHANn_OBUF_CN T	通道 n 输出队列中待处理的数据 Buffer 的个数寄存器	3-198
0x1000+ nx0x128+ 0x44	CHANn_OFULL_CN T	通道 n 输出队列中处理完成的数据 Buffer 个数寄存器	3-199
0x1000+ nx0x128+ 0x48	CHANn_INT_OCNT CFG	通道 n 输出队列多包中断流水线寄存器	3-199
0x1000+ nx0x128+ 0x4C	CHANn_DEST_LST_ _SADDR	通道 n 输出队列的起始地址寄存器	3-199
0x1000+ nx0x128+ 0x50	CHANn_OAGE_TIM ER	通道 n 输出队列中断的老化时间配置寄 存器	3-200
0x1400	INT_STATUS	中断状态寄存器	3-200
0x1404	INT_EN	中断使能寄存器	3-201
0x1408	INT_RAW	原始中断状态寄存器	3-202
0x140C	RST_STATUS	复位状态指示寄存器	3-203
0x1410	CHAN0_CFG	通道 0 配置寄存器	3-204

CIPHER 寄存器偏移地址中变量的取值范围和含义如表 3-30 所示。



表3-30 CIPHER 寄存器偏移地址变量表

变量名称	取值范围	描述
n	1~7	CIPHER 模块的通道 1 至通道 7。

3.5.6 CIPHER 寄存器描述

CHAN0_CIPHER_DOUT

CHAN0_CIPHER_DOUT 为 CIPHER 模块通道 0（单分组加解密）输出寄存器。

读取本寄存器时需要注意：

从该寄存器中读取的数据是单分组的运算的结果数据。AES 运算和 DES 或 3DES 运算对应的情况不同：

- 如果选择进行 AES 运算
 - 如果选择 1-CFB 模式，最低位有效，即 CIPHER_DOUT bit[0]为有效数据。
 - 如果选择 8-CFB 模式，低 8 位有效，即 CIPHER_DOUT bit[7:0]为有效数据。
 - 如果选择 128-CFB 操作，128 位数据均有效。
 - 其它模式下 128 位数据均有效。
- 如果选择进行 DES 或 3DES 运算
 - 如果选择 1-CFB 或 1-OFB 模式，低 1 位有效，即 CIPHER_DOUT bit[0]为有效数据。
 - 如果选择 8-CFB 或 8-OFB 模式，低 8 位有效，即 CIPHER_DOUT bit[7:0]为有效数据。
 - 如果选择 64-CFB 或 64-OFB 模式，低 64 位数据有效，即 CIPHER_DOUT bit[63:0]为有效数据。
 - 其它模式下低 64 位数据有效，即 CIPHER_DOUT bit[63:0]为有效数据。



Offset Address		Register Name		Total Reset Value				
0x0000~0x000C		CHAN0_CIPHER_DOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_dout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan0_cipher_dout	CIPHER 模块 128 位分组输出，每 1 个地址对应 32 位的数据。 CIPHER_DOUT[31:0]: 0x0000 地址; CIPHER_DOUT[63:32]: 0x0004 地址; CIPHER_DOUT[95:64]: 0x0008 地址; CIPHER_DOUT[127:96]: 0x000C 地址。					

CHAN0_CIPHER_IVOUT

CHAN0_CIPHER_IVOUT 为 CIPHER 操作完成之后的向量输出寄存器。

读取本寄存器时需要注意：

- 如果执行的是 ECB 或 CTR 工作模式，不需要关注此寄存器。
- 如果选择进行单分组的处理，该寄存器中的数据是该分组的向量结果输出，可以作为同一数据包的下一个分组运算的向量输入。
 - 如果选择进行 AES 运算，128 位数据均有效。
 - 如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[cipher_mode]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER_IVOUT bit[63:0]为有效数据。
- 如果选择进行多分组的处理，该寄存器中读取的数据是最后一个分组运算的向量结果输出。
 - 如果选择进行 AES 运算，128 位数据均有效。
 - 如果选择进行 DES 或 3DES 运算，低 64 位数据有效，即 CIPHER_IVOUT bit[63:0]为有效数据。



Offset Address		Register Name		Total Reset Value				
0x0010~0x001C		CHAN0_CIPHER_IVOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_ivout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan0_cipher_ivout	CIPHER 模块操作完成之后的向量 IV 的输出（ECB、CTR 工作模式下无需关注），每 1 地址对应 32 位的数据。 CIPHER_IVOUT[31:0]: 0x0010 地址; CIPHER_IVOUT[63:32]: 0x0014 地址; CIPHER_IVOUT[95:64]: 0x0018 地址; CIPHER_IVOUT[127:96]: 0x001C 地址。					

CHAN_CIPHER_IVOUT

CHAN_CIPHER_IVOUT 为通道 1~7 向量输出寄存器。

Offset Address		Register Name		Total Reset Value				
0x0020~0x008C		CHAN_CIPHER_IVOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan_cipher_ivout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan_cipher_ivout	0x0020~0x002C: 通道 1; 0x0030~0x003C: 通道 2; 0x0040~0x004C: 通道 3; 0x0050~0x005C: 通道 4; 0x0060~0x006C: 通道 5; 0x0070~0x007C: 通道 6; 0x0080~0x008C: 通道 7。					

CIPHER_KEY

CIPHER_KEY 为 CIPHER 模块的 CPU 配置密钥寄存器，该密钥为 CPU 配置值，CPU 可以读写。

配置本寄存器时需要注意：



- 选择 DES 运算时，低 64 位数据有效，即 CIPHER_KEY[63:0]为有效数据。
- 选择 3DES 运算：
选择 3 个密钥运算（CIPHER_CTRL[key_length]=0b00、0b01 或 0b10）时，低 192 位数据有效，此时：
 - CIPHER_KEY bit[63:0]表示第一个密钥。
 - CIPHER_KEY bit[127:64]表示第二个密钥。
 - CIPHER_KEY bit[191:128]表示第三个密钥。选择 2 个密钥运算（即 CIPHER_CTRL[key_length]=0b11）时，低 128 位数据有效，此时：
 - CIPHER_KEY bit[63:0]表示第一个密钥。
 - CIPHER_KEY bit[127:64]表示第二个密钥。
- 选择 AES 运算时：
 - 如果选择 128 位密钥操作，低 128 位数据有效，即 CIPHER_KEY bit[127:0]为有效数据。
 - 如果选择 192 位密钥操作，低 192 位数据有效，即 CIPHER_KEY bit[191:0]为有效数据。
 - 如果选择 256 位密钥操作，256 位数据均有效。

CIPHER 模块共支持配置 8 个密钥，每个通道可以配置使用其中一个密钥，可以多个通道共同使用同一个密钥。



Offset Address		Register Name		Total Reset Value																												
0x0090~0x018C		CIPHER_KEY		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cipher_key																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RW	cipher_key	<p>CIPHER 模块的密钥输入，每 1 个地址对应一个 32 位宽的数据。</p> <p>CIPHER_KEY[31:0]: 0x0090 地址; CIPHER_KEY[63:32]: 0x0094 地址; CIPHER_KEY[95:64]: 0x0098 地址; CIPHER_KEY[127:96]: 0x009C 地址; CIPHER_KEY[159:128]: 0x00A0 地址; CIPHER_KEY[191:160]: 0x00A4 地址; CIPHER_KEY[223:192]: 0x00A8 地址; CIPHER_KEY[255:224]: 0x00AC 地址。</p> <p>0x0090~0x00AC: host_key0; 0x00B0~0x00CC: host_key1; 0x00D0~0x00EC: host_key2; 0x00F0~0x010C: host_key3; 0x0110~0x012C: host_key4; 0x0130~0x014C: host_key5; 0x0150~0x016C: host_key6; 0x0170~0x018C: host_key7。</p>																													

CHAN0_CIPHER_CTRL

CHAN0_CIPHER_CTRL 为通道 0 加解密控制寄存器，通道 0 为单分组加解密通道。

配置本寄存器时需要注意：

- 在进行模块的其它寄存器配置之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。



Offset Address		Register Name		Total Reset Value										
0x1000		CHAN0_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				key_adder	key_sel	byte_seq	reserved	key_length	ivin_sel	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:17]	RO	reserved	保留。											
[16:14]	RW	key_adder	当前通道使用 Key 的序号。 000: host_key0; 001: host_key1; 010: host_key2; 011: host_key3; 100: host_key4; 101: host_key5; 110: host_key6; 111: host_key7。											
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥或者芯片密钥管理模块产生的密钥。 0: 使用 CPU 配置的密钥; 1: 使用芯片密钥管理模块产生的密钥。											
[12]	RO	reserved	保留。											
[11]	RO	reserved	保留。											
[10:9]	RW	key_length	密钥长度控制。 AES 算法下: 00: 128 位密钥长度; 01: 192 位密钥长度; 10: 256 位密钥长度; 11: 128 位密钥长度。 DES 算法下: 00: 3 个密钥; 01: 3 个密钥; 10: 3 个密钥; 11: 2 个密钥。											



[8]	RW	ivin_sel	CIPHER_IVIN 的输入选择控制。 0: CIPHER_IVIN 不需要进行配置; 1: CIPHER_IVIN 需要配置。
[7:6]	RW	width	位宽控制。 DES/3DES 算法下: 00: 64 位模式; 01: 8 位模式; 10: 1 位模式; 11: 64 位模式。 AES 算法下: 00: 128 位模式; 01: 8 位模式; 10: 1 位模式; 11: 128 位模式。
[5:4]	RW	alg_sel	算法类型选择控制。 00: DES 运算; 01: 3DES 运算; 10: AES 运算; 11: DES 运算。
[3:1]	RW	mode	工作模式控制。 在 AES 算法下: 000: ECB 模式; 001: CBC 模式; 010: CFB 模式; 011: OFB 模式; 100: CTR 模式; 其它: ECB 模式。 在 DES 算法下: 000: ECB 模式; 001: CBC 模式; 010: CFB 模式; 011: OFB 模式; 其它: ECB 模式。
[0]	RW	decrypt	加解密控制。 0: 加密; 1: 解密。



CHAN0_CIPHER_IVIN

CHAN0_CIPHER_IVIN 为 CIPHER 模块通道 0 的向量分组的输入寄存器。

配置该寄存器时需要注意：

如果选择使用通道 0 进行单分组加解密且执行的不是 ECB 模式（CIPHER_CTRL[mode]=0b001、0b010、0b011 或 0b100）时：

- 如果选择不需要进行输入向量配置（CIPHER_CTRL[ivin_sel]=0b0），则不需要进行该寄存器的配置。
- 如果选择需要进行输入向量配置（CIPHER_CTRL[ivin_sel]=0b1），则需要进行该寄存器的配置。如果此时选择进行 AES 运算（即 CIPHER_CTRL[alg_sel]=0b10），CIPHER_IVIN bit[127:0]为有效数据；如果选择进行 DES 或 3DES 运算（CIPHER_CTRL[alg_sel]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER_IVIN bit[63:0]为有效数据。

Offset Address		Register Name		Total Reset Value				
0x1004~0x1010		CHAN0_CIPHER_IVIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_ivin							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan0_cipher_ivin	通道 0 CIPHER 模块的 128 位 IV 向量或 Counter 输入的数据，每个地址对应一个 32 位宽的数据。 CIPHER_IVIN[31:0]: 0x1004 地址； CIPHER_IVIN[63:32]: 0x1008 地址； CIPHER_IVIN[95:64]: 0x100C 地址； CIPHER_IVIN[127:96]: 0x1010 地址。					

CHAN0_CIPHER_DIN

CHAN0_CIPHER_DIN 为 CIPHER 模块的 128 位分组输入寄存器。

配置该寄存器时需要注意：

如果选择通道 0 进行单分组的处理，需要配置该寄存器：

- 如果选择进行 AES 运算（CIPHER_CTRL[alg_sel]=0b10）
 - 如果选择 1-CFB 操作，低 1 位有效，即 CIPHER_DIN bit[0]为有效数据。
 - 如果选择 8-CFB 操作，低 8 位有效，即 CIPHER_DIN bit[7:0]为有效数据。
 - 如果选择 128-CFB 操作，128 位数据均有效。
 - 如果选择其他操作模式，128 位数据均有效。



- 如果选择进行 DES 或 3DES 运算 (CIPHER_CTRL[alg_sel]=0b00、0b01 或 0b11)
 - 如果选择 1-CFB/1-OFB 操作, 低 1 位有效, 即 CIPHER_DIN bit[0]为有效数据。
 - 如果选择 8-CFB/8-OFB 操作, 低 8 位有效, 即 CIPHER_DIN bit[7:0]为有效数据。
 - 如果选择 64-CFB/64-OFB 操作, 低 64 位数有效, 即 CIPHER_DIN bit[63:0]为有效数据。
 - 如果选择其他操作模式, 低 64 位数有效, 即 CIPHER_DIN bit[63:0]为有效数据。

Offset Address		Register Name		Total Reset Value				
0x1014~0x1020		CHAN0_CIPHER_DIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_din							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan0_cipher_din	通道 0CIPHER 模块的 128 位分组输入, 每个地址对应一个 32 位宽的数据。 CIPHER_DIN[31:0]: 0x1014 地址; CIPHER_DIN[63:32]: 0x1018 地址; CIPHER_DIN[95:64]: 0x101c 地址; CIPHER_DIN[127:96]: 0x1020 地址。					

CHANn_IBUF_NUM

CHANn_IBUF_NUM 为 CHANn_IBUF_BUN 为通道 n (n 为 1~7) 输入队列总深度, 即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value				
0x1000+n*128		CHANn_IBUF_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ibuf_num			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	ibuf_num	输入队列深度, 即每个通道可以配置的链表头信息总个数。					



CHANn_IBUF_CNT

CHANn_IBUF_CNT 为通道 n 输入队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。

Offset Address		Register Name		Total Reset Value					
0x1000+nx0x128+0x4		CHANn_IBUF_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				ibuf_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	ibuf_cnt	输入队列中待处理的数据 Buffer 个数。						

CHANn_IEMPTY_CNT

CHANn_IEMPTY_CNT 为通道 n 输入队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x8		CHANn_IEMPTY_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				iempty_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	iempty_cnt	输入队列中处理完成的 Buffer 个数。						

CHANn_INT_ICNTCFG

CHANn_INT_ICNTCFG 为通道 n 输入队列多包中断水线，当逻辑处理完成的输入队列 Buffer 数目大于等于该值时，会报输入队列中断。



Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0xC		CHANn_INT_ICNTCFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				int_icnt_cfg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	int_icnt_cfg	输入队列多包中断门限。						

CHANn_CIPHER_CTRL

CHANn_CIPHER_CTRL 为通道 n 加解密控制寄存器。

配置本寄存器时需要注意：

- 在启动该通道加解密处理之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER_CTRL[width]配置为 01 或 10。

Offset Address		Register Name		Total Reset Value										
0x1000+ nx0x128+0x10		CHANn_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	weight		reserved		key_adder	key_sel	byte_seq	ts_vld	key_length	reserved	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:22]	-	weight	当前通道的权重，单位为 64bytes。											
[21:17]	-	reserved	保留。											
[16:14]	RW	key_adder	当前通道使用 Key 的序号，可以配置选择 0~7 地址中的一个 Key。											
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥或者芯片密钥管理模块产生的密钥。 0：使用 CPU 配置的密钥； 1：使用芯片密钥管理模块产生的密钥。											



[12:11]	-	reserved	保留。
[10:9]	RW	key_length	<p>密钥长度控制。</p> <p>AES 算法下：</p> <p>00: 128 位密钥长度；</p> <p>01: 192 位密钥长度；</p> <p>10: 256 位密钥长度；</p> <p>11: 128 位密钥长度。</p> <p>DES 算法下：</p> <p>00: 3 个密钥；</p> <p>01: 3 个密钥；</p> <p>10: 3 个密钥；</p> <p>11: 2 个密钥。</p>
[8]	-	reserved	保留。
[7:6]	RW	width	<p>位宽控制。</p> <p>DES/3DES 算法下：</p> <p>00: 64 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 64 位模式。</p> <p>AES 算法下：</p> <p>00: 128 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 128 位模式。</p>
[5:4]	RW	alg_sel	<p>算法类型选择控制。</p> <p>00: DES 运算；</p> <p>01: 3DES 运算；</p> <p>10: AES 运算；</p> <p>11: DES 运算。</p>



[3:1]	RW	mode	<p>工作模式控制。</p> <p>在 AES 算法下：</p> <p>000：ECB 模式；</p> <p>001：CBC 模式；</p> <p>010：CFB 模式；</p> <p>011：OFB 模式；</p> <p>100：CTR 模式；</p> <p>其它：ECB 模式。</p> <p>在 DES 算法下：</p> <p>000：ECB 模式；</p> <p>001：CBC 模式；</p> <p>010：CFB 模式；</p> <p>011：OFB 模式；</p> <p>其它：ECB 模式。</p>
[0]	RW	decrypt	<p>加解密控制。</p> <p>0：加密；</p> <p>1：解密。</p>

CHANn_SRC_LST_SADDR

CHANn_SRC_LST_SADDR 为通道 n 输入队列的起始地址，该地址必须为 WORD 对齐地址。

	Offset Address								Register Name								Total Reset Value																			
	0x1000+ nx0x128+0x14								CHANn_SRC_LST_SADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	src_lst_saddr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
	Bits	Access	Name		Description																															
	[31:0]	RW	src_lst_saddr		输入队列的起始地址。																															

CHANn_IAGE_TIMER

CHANn_IAGE_TIMER 为通道 n 输入队列中断的老化时间配置，如果在老化时间计数器溢出时，输入队列处理完成的 Buffer 数如果大于 0，会报输入队列处理完成中断。



Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x18		CHANn_IAGE_TIMER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				iage_timer				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	iage_timer	老化中断定时器。						

CHANn_OBUF_NUM

CHANn_OBUF_NUM 为通道 n 输出队列总深度，即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x3C		CHANn_OBUF_NUM		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_num				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	obuf_num	输出队列总深度。						

CHANn_OBUF_CNT

CHANn_OBUF_CNT 为通道 n 输出队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。

Offset Address		Register Name		Total Reset Value					
0x1000+ nx0x128+0x40		CHANn_OBUF_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RW	obuf_cnt	输出队列中待处理的数据 Buffer 个数。
--------	----	----------	------------------------

CHANn_OFULL_CNT

CHANn_OFULL_CNT 为通道 n 输出队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

Offset Address		Register Name		Total Reset Value																												
0x1000+ nx0x128+0x44		CHANn_OFULL_CNT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ofull_cnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		ofull_cnt		输出队列中处理完成的 Buffer 个数。																											

CHANn_INT_OCNTCFG

CHANn_INT_OCNTCFG 为通道 n 输出队列多包中断流水线，当逻辑处理完成的输出队列 Buffer 数目大于等于该值时，会报输出队列中断。

Offset Address		Register Name		Total Reset Value																												
0x1000+ nx0x128+0x48		CHANn_INT_OCNTCFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												int_ocnt_cfg																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		int_ocnt_cfg		输出队列多包中断门限。																											

CHANn_DEST_LST_SADDR

CHANn_DEST_LST_SADDR 为通道 n 输出队列的起始地址，该地址必须为 WORD 对齐地址。



Offset Address		Register Name		Total Reset Value				
0x1000+ nx0x128+0x4C		CHANn_DEST_LST_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dest_lst_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dest_lst_saddr	输出队列的起始地址。					

CHANn_OAGE_TIMER

CHANn_OAGE_TIMER 为通道 n 输出队列中断的老化时间配置，如果在老化时间计数器溢出时，输出队列处理完成的 Buffer 数如果大于 0，会报输出队列处理完成中断。

Offset Address		Register Name		Total Reset Value				
0x1000+ nx0x128+0x50		CHANn_OAGE_TIMER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				oage_timer			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	oage_timer	老化中断定时器。					

INT_STATUS

INT_STATUS 为中断状态寄存器。



Offset Address		Register Name		Total Reset Value																
0x1400		INT_STATUS		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				ch7_ibuf_int	ch6_ibuf_int	ch5_ibuf_int	ch4_ibuf_int	ch3_ibuf_int	ch2_ibuf_int	ch1_ibuf_int	ch0_ibuf_int	ch7_obuf_int	ch6_obuf_int	ch5_obuf_int	ch4_obuf_int	ch3_obuf_int	ch2_obuf_int	ch1_obuf_int	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																	
[31:16]	-	reserved	保留。																	
[15]	RO	ch7_ibuf_int	通道 7 输入队列数据中断。																	
[14]	RO	ch6_ibuf_int	通道 6 输入队列数据中断。																	
[13]	RO	ch5_ibuf_int	通道 5 输入队列数据中断。																	
[12]	RO	ch4_ibuf_int	通道 4 输入队列数据中断。																	
[11]	RO	ch3_ibuf_int	通道 3 输入队列数据中断。																	
[10]	RO	ch2_ibuf_int	通道 2 输入队列数据中断。																	
[9]	RO	ch1_ibuf_int	通道 1 输入队列数据中断。																	
[8]	RO	ch0_ibuf_int	通道 0 数据处理完成中断。																	
[7]	RO	ch7_obuf_int	通道 7 输出队列数据中断。																	
[6]	RO	ch6_obuf_int	通道 6 输出队列数据中断。																	
[5]	RO	ch5_obuf_int	通道 5 输出队列数据中断。																	
[4]	RO	ch4_obuf_int	通道 4 输出队列数据中断。																	
[3]	RO	ch3_obuf_int	通道 3 输出队列数据中断。																	
[2]	RO	ch2_obuf_int	通道 2 输出队列数据中断。																	
[1]	RO	ch1_obuf_int	通道 1 输出队列数据中断。																	
[0]	-	reserved	保留。																	

INT_EN

INT_EN 为中断使能寄存器。



Offset Address		Register Name		Total Reset Value															
0x1404		INT_EN		0x0000_0000															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0											
Name	int_en reserved			ch7_ibuf_en	ch6_ibuf_en	ch5_ibuf_en	ch4_ibuf_en	ch3_ibuf_en	ch2_ibuf_en	ch1_ibuf_en	ch0_ibuf_en	ch7_obuf_en	ch6_obuf_en	ch5_obuf_en	ch4_obuf_en	ch3_obuf_en	ch2_obuf_en	ch1_obuf_en	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																
[31]	RW	int_en	Cipher 模块的总中断使能。																
[30:16]	-	reserved	保留。																
[15]	RW	ch7_ibuf_en	通道 7 输入队列数据中断使能。																
[14]	RW	ch6_ibuf_en	通道 6 输入队列数据中断使能。																
[13]	RW	ch5_ibuf_en	通道 5 输入队列数据中断使能。																
[12]	RW	ch4_ibuf_en	通道 4 输入队列数据中断使能。																
[11]	RW	ch3_ibuf_en	通道 3 输入队列数据中断使能。																
[10]	RW	ch2_ibuf_en	通道 2 输入队列数据中断使能。																
[9]	RW	ch1_ibuf_en	通道 1 输入队列数据中断使能。																
[8]	RW	ch0_ibuf_en	通道 0 数据处理完成中断使能。																
[7]	RW	ch7_obuf_en	通道 7 输出队列数据中断使能。																
[6]	RW	ch6_obuf_en	通道 6 输出队列数据中断使能。																
[5]	RW	ch5_obuf_en	通道 5 输出队列数据中断使能。																
[4]	RW	ch4_obuf_en	通道 4 输出队列数据中断使能。																
[3]	RW	ch3_obuf_en	通道 3 输出队列数据中断使能。																
[2]	RW	ch2_obuf_en	通道 2 输出队列数据中断使能。																
[1]	RW	ch1_obuf_en	通道 1 输出队列数据中断使能。																
[0]	-	reserved	保留。																

INT_RAW

INT_RAW 为原始中断状态寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x1408				INT_RAW								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ch7_ibuf_raw	ch6_ibuf_raw	ch5_ibuf_raw	ch4_ibuf_raw	ch3_ibuf_raw	ch2_ibuf_raw	ch1_ibuf_raw	ch0_ibuf_raw	ch7_obuf_raw	ch6_obuf_raw	ch5_obuf_raw	ch4_obuf_raw	ch3_obuf_raw	ch2_obuf_raw	ch1_obuf_raw	reserved
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	-	reserved	保留。																													
[15]	RWC	ch7_ibuf_raw	通道 7 输入队列数据原始中断。																													
[14]	RWC	ch6_ibuf_raw	通道 6 输入队列数据原始中断。																													
[13]	RWC	ch5_ibuf_raw	通道 5 输入队列数据原始中断。																													
[12]	RWC	ch4_ibuf_raw	通道 4 输入队列数据原始中断。																													
[11]	RWC	ch3_ibuf_raw	通道 3 输入队列数据原始中断。																													
[10]	RWC	ch2_ibuf_raw	通道 2 输入队列数据原始中断。																													
[9]	RWC	ch1_ibuf_raw	通道 1 输入队列数据原始中断。																													
[8]	RWC	ch0_ibuf_raw	通道 0 数据处理完成原始中断。																													
[7]	RWC	ch7_obuf_raw	通道 7 输出队列数据原始中断。																													
[6]	RWC	ch6_obuf_raw	通道 6 输出队列数据原始中断。																													
[5]	RWC	ch5_obuf_raw	通道 5 输出队列数据原始中断。																													
[4]	RWC	ch4_obuf_raw	通道 4 输出队列数据原始中断。																													
[3]	RWC	ch3_obuf_raw	通道 3 输出队列数据原始中断。																													
[2]	RWC	ch2_obuf_raw	通道 2 输出队列数据原始中断。																													
[1]	RWC	ch1_obuf_raw	通道 1 输出队列数据原始中断。																													
[0]	-	reserved	保留。																													

RST_STATUS

模块复位状态指示信号。



Offset Address		Register Name		Total Reset Value																												
0x140C		RST_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											rst_status				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:1]	-	reserved	保留。																													
[0]	RO	rst_status	CIPHER 模块复位状态指示信号。 0: CIPHER 当前正处于复位状态; 1: CIPHER 当前处于正常工作状态。																													

CHAN0_CFG

CHAN0_CFG 为通道 0 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x1410		CHAN0_CFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											ch0_busy	ch0_start			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:2]	-	reserved	保留。																													
[1]	RO	ch0_busy	通道 0 状态信号。																													
[0]	RW	ch0_start	通道 0 加解密启动信号。																													



3.6 定时器

3.6.1 概述

Timer 模块主要实现定时、计数功能，可以供操作系统用作系统时钟，也可以供应用程序用作定时和计数。Hi3535 提供 8 个 Timer。

3.6.2 特点

Timer 具有以下特点：

- 带可编程 8 位预分频器的 32bit/16bit 减法定时器/计数器。
- 计数时钟可配置，系统处于 NORMAL 模式时，Timer 的计数时钟可以选择为总线时钟（62.5MHz）或 3MHz 时钟。
- 支持 3 种计数模式：自由运行模式、周期模式和单次计数模式。
- 有 2 种载入计数初值的方法，分别通过 `TIMERx_LOAD` 和 `TIMERx_BGLOAD` 寄存器实现。
- 当前的计数值可随时读取。
- 当计数值减到 0 时会产生一个中断。

3.6.3 功能描述

Timer 基于一个 32bit/16bit（可配置）减法计数器。计数器的值在每个计数时钟的上升沿减 1。当计数值递减到零，Timer 将产生一个中断。

Timer 有以下 3 种计数模式：

- 自由运行模式
定时器持续计数，当计数值减到 0 时又自动回转到其最大值，并继续计数。当计数长度为 32bit 时，最大值为 `0xFFFF_FFFF`。当计数长度为 16bit 时，最大值为 `0xFFFF`。在自由模式下，也可以载入计数值，并立即从载入值递减计数，但计到 0 时回转到其最大值。
- 周期模式
定时器持续计数，当计数值减到 0 时从 `TIMERx_BGLOAD` 寄存器中再次载入初值并继续计数。
- 单次计数模式
向定时器中载入计数初值。当定时器的计数值减到 0 时就停止计数，直到重新被载入新值且定时器处于使能状态，才再次开始计数。

每个 Timer 具有一个预分频计数器（prescaler），可将其工作时钟在 Timer 内部再次进行 1 分频、16 分频或 256 分频。进一步提高计数时钟频率的选择灵活性。

对定时器载入计数初值的方法如下：

- 通过写 `TIMERx_LOAD` 寄存器可对定时器载入计数初值。当定时器处于工作状态时，如果向 `TIMERx_LOAD` 寄存器写入值，会导致定时器立刻从新值开始重新计数。适用于所有计数模式。



- 通过写 `TIMERx_BGLOAD` 寄存器可以设定周期计数模式的计数周期。写该寄存器不会立刻影响定时器的当前计数，定时器会继续计数直到计数值减到 0。然后载入 `TIMERx_BGLOAD` 寄存器中的新值开始计数。

3.6.4 工作方式

初始化

系统初始化时应对 Timer 进行初始化。初始化 TimerX（TimerX 中的“X”取值为 0、1、2、3、4、5、6、7）时应按以下步骤进行配置：

1. 写 `TIMERx_LOAD` 寄存器，为 Timer 载入计数初值。
2. 当需要 Timer 工作在周期计数模式下、且计数周期与载入 Timer 的计数初值不同时，写 `TIMERx_BGLOAD` 寄存器，设置 Timer 的计数周期。
3. 配置系统控制寄存器，设置 Timer 的时钟使能信号的参考时钟。
4. 配置 `TIMERx_CONTROL` 寄存器，设置 Timer 的计数模式、计数器长度、预分频因子及中断屏蔽，同时启动 Timer 计数。

----结束

中断处理

Timer 主要用于定时产生中断，因此 Timer 的中断处理主要是激活等待定时中断的进程。操作步骤如下：

1. 配置 `TIMERx_INTCLR` 寄存器，清除 Timer 中断。
2. 激活等待该中断的进程，使其继续执行。
3. 当所有等待该中断的进程完成或再次执行到等待中断的休眠状态时，恢复中断现场，继续执行当前被中断的程序。

----结束

时钟选择

Timer0、Timer1、Timer2、Timer3、Timer4、Timer5、Timer6、Timer7 均有 2 种计数时钟可选择。下面以 Timer0 为例，时钟选择配置流程如下：

选择总线时钟进行计数的步骤如下：

1. 配置系统控制器的 `SC_CTRL[timeren0ov]=1`。
2. 初始化 Timer，开始计数。

----结束

选择 3MHz 时钟进行计数的步骤如下：

1. 配置系统控制器的 `SC_CTRL[timeren0ov]=0`。



2. 配置系统控制器的 `SC_CTRL[timeren0sel]=0`。
3. 初始化 Timer，开始计数。

----结束

3.6.5 Timer 寄存器概览

Timer 模块中的 8 个定时器各自有一组寄存器，这 8 组寄存器除基址不相同外其他特性都相同。其中：

- Timer0 基址：0x2000_0000。
- Timer1 基址：0x2000_0020。
- Timer2 基址：0x2001_0000。
- Timer3 基址：0x2001_0020。
- Timer4 基址：0x2013_0000。
- a. Timer5 基址：0x2013_0020。
- Timer6 基址：0x2014_0000。
- Timer7 基址：0x2014_0020。

说明

TIMER_x 中的“x”取值为 0、1、2、3、4、5、6、7。其中 Timer0~Timer7 的寄存器相同，寄存器描述均以 Timer0 为例进行描述。

表3-31 Timer 寄存器概览

偏移地址	名称	描述	页码
0x000	TIMER _x _LOAD	计数初值寄存器	3-207
0x004	TIMER _x _VALUE	当前计数值寄存器	3-208
0x008	TIMER _x _CONTROL	Timer 控制寄存器	3-209
0x00C	TIMER _x _INTCLR	中断清除寄存器	3-210
0x010	TIMER _x _RIS	原始中断寄存器	3-210
0x014	TIMER _x _MIS	屏蔽后中断寄存器	3-211
0x018	TIMER _x _BGLOAD	周期模式计数初值寄存器	3-211

3.6.6 Timer 寄存器描述

TIMER_x_LOAD

TIMER_x_LOAD 为计数初值寄存器。用来配置定时器的计数初值。Timer0~Timer7 各有 1 个计数初值寄存器。



说明

- 向 `TIMERx_LOAD` 寄存器写入的最小有效值为 1。
- 当向 `TIMERx_LOAD` 写 0 时，Dual-Timer 将会立刻产生 1 个中断。

`TIMERx_LOAD` 和 `TIMERx_BGLOAD` 的区别：

如果在被 `TIMCLKENx` 使能的 `TIMCLK` 的上升沿到来之前，向 `TIMERx_BGLOAD` 寄存器和 `TIMERx_LOAD` 寄存器都写入值，则在被 `TIMCLKENx` 使能的 `TIMCLK` 的下一个上升沿当前计数值首先更新为 `TIMERx_LOAD` 的写入值。由于向 `TIMERx_LOAD` 寄存器写入值时，`TIMERx_BGLOAD` 的值也会被覆盖，所以读 `TIMERx_BGLOAD`，返回的值为 `TIMERx_LOAD` 与 `TIMERx_BGLOAD` 中最晚被写入的寄存器的值。当定时器处于周期模式且计数值减到 0 时，将从 `TIMERx_BGLOAD` 寄存器中再次载入初值并继续计数。

	Offset Address	Register Name	Total Reset Value
	0x000	TIMER0_LOAD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_load		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	timer0_load	Timer0 的计数初值。

TIMERx_VALUE

`TIMERx_VALUE` 为当前计数值寄存器。用于给出正在递减的计数器的当前值。Timer0~7 各有 1 个当前计数值寄存器。

当向 `TIMERx_LOAD` 寄存器的写操作发生后，`TIMERx_VALUE` 在 `PCLK` 时钟域立刻反映出计数器的新载入值，不用等到下一个被 `TIMCLKENx` 使能的 `TIMCLK` 时钟沿到来。

说明

- 当定时器处于 16bit 模式时，32bit 的 `TIMERx_VALUE` 寄存器的高 16bit 并未被自动设为 0。若该定时器以前处于 32bit 模式，并且自从进入 16bit 模式后 `TIMERx_LOAD` 从未被写过，则 `TIMERx_VALUE` 寄存器的高 16bit 可能具有非零值。

	Offset Address	Register Name	Total Reset Value
	0x004	TIMER0_VALUE	0xFFFF_FFFF
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_value		
Reset	1 1		
Bits	Access	Name	Description



[31:0]	RO	timer0_value	正在递减的 Timer0 的当前值。
--------	----	--------------	--------------------

TIMERx_CONTROL

TIMERx_CONTROL 为 TIMER 控制寄存器。Timer0~7 各有 1 个控制寄存器。

说明

当选择用周期模式进行计数时，需要将 TIMERx_CONTROL[timermode]置 1，TIMERx_CONTROL[oneshot]置 0。

	Offset Address				Register Name								Total Reset Value																			
	0x008				TIMER0_CONTROL								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				timeren	timermode	intenable	reserved	timerpre	timersize	oneshot					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7]	RW		timeren		定时器使能。 0: Timer 禁止; 1: Timer 使能。																											
[6]	RW		timermode		定时器的计数模式。 0: 自由运行模式; 1: 周期模式。																											
[5]	RW		intenable		TIMERx_RIS 中断屏蔽。 0: 屏蔽该中断; 1: 不屏蔽该中断。																											
[4]	RO		reserved		保留。																											
[3:2]	RW		timerpre		该字段用于设置 Timer 的预分频因子。 00: 不经过预分频, 时钟频率除以 1; 01: 4 级预分频, 将 Timer 时钟频率除以 16; 10: 8 级预分频, 将 Timer 时钟频率除以 256; 11: 未定义, 若设为该值, 相当于 8 级预分频, 将 Timer 时钟频率除以 256。																											



[1]	RW	timersize	选择 16bit/32bit 计数器操作模式。 0: 16bit 计数器; 1: 32bit 计数器。
[0]	RW	oneshot	选择计数模式为单次计数模式还是周期计数模式。 0: 周期计数模式或自由运行模式; 1: 单次计数模式。

TIMERx_INTCLR

TIMERx_INTCLR 为中断清除寄存器。对该寄存器的任何写操作都会清除相应计数器的中断状态。Timer0~Timer7 各有 1 个中断清除寄存器。



注意

本寄存器是只写寄存器，写进去任意值，都会引起 Timer 清中断，内部并不记忆写入的值，无复位值。

	Offset Address	Register Name	Total Reset Value
	0x00C	TIMER0_INTCLR	-
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_intclr		
Reset	? ?		
Bits	Access	Name	Description
[31:0]	WO	timer0_intclr	写该寄存器，清除 Timer0 的中断输出。

TIMERx_RIS

TIMERx_RIS 为原始中断寄存器。Timer0~Timer7 各有 1 个原始中断寄存器。



Offset Address		Register Name		Total Reset Value					
0x010		TIMER0_RIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								timer0ris
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。写入无效，读时返回 0。						
[0]	RO	timer0ris	Timer0 的原始中断状态。 0: 未产生中断; 1: 已产生中断。						

TIMERx_MIS

TIMERx_MIS 为屏蔽后中断寄存器。Timer0~Timer7 各有 1 个屏蔽后中断寄存器。

Offset Address		Register Name		Total Reset Value					
0x014		TIMER0_MIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								timer0mis
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	timer0mis	屏蔽后的 Timer0 的中断状态。 0: 中断无效; 1: 中断有效。						

TIMERx_BGLOAD

TIMERx_BGLOAD 为周期模式计数初值寄存器。Timer0~Timer7 各有 1 个周期模式计数初值寄存器。



TIMERx_BGLOAD 寄存器中包含了定时器的计数初值。该寄存器用于在周期模式下，当定时器的计数值递减到 0 时重新载入计数初值。

该寄存器提供了访问 **TIMERx_LOAD** 寄存器的另一种方法。不同之处在于写入值到 **TIMERx_BGLOAD** 寄存器中不会导致定时器立即从新写入值开始计数。

Offset Address	Register Name	Total Reset Value	
0x018	TIMER0_BGLOAD	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0bgload		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	timer0bgload	Timer0 的计数初值。 注意：与 TIMERx_LOAD 寄存器有区别，具体请参见 TIMERx_LOAD 寄存器的描述。

3.7 看门狗

3.7.1 概述

看门狗 WatchDog 用于系统异常情况下，一定时间内发出复位信号，以复位整个系统。

3.7.2 特点

WatchDog 具备以下特点：

- 内部具有一个 32bit 减法计数器，计数时钟源可配置。
- 支持超时时间间隔（即计数初值）可配置。
- 支持寄存器锁定，防止寄存器被误改。
- 支持超时中断产生。
- 支持复位信号产生。
- 支持调试模式。

3.7.3 功能描述

应用框图

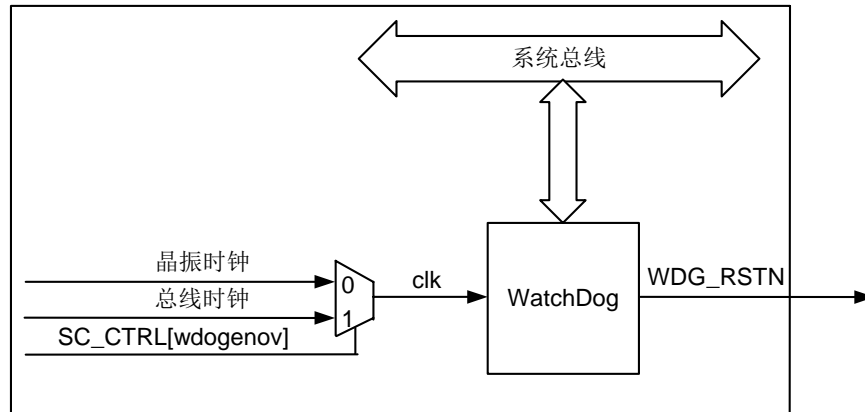
系统通过 SC_CTRL [wdogenov] 给 WatchDog 选择配置时钟，并通过系统总线给 WatchDog 配置寄存器参数值。WatchDog 定时发出中断请求给系统，并在系统没有响



应中断的情况下（如：死机），发出 WDG_RSTN 复位信号，使系统复位，达到监控系统运行的目的。

WatchDog 应用框图如图 3-19 所示。

图3-19 WatchDog 应用框图



功能原理

WatchDog 的运行基于 1 个 32bit 减法计数器，计数初值由寄存器 **WDG_LOAD** 载入。在 WatchDog 时钟使能情况下，计数值在每个计数时钟的上升沿减 1。当计数值递减到 0，WatchDog 将产生一个中断。然后在下一个计数时钟上升沿，计数器又从寄存器 **WDG_LOAD** 中重新载入计数初值，开始递减计数。

如果计数器的计数值第二次计数递减到 0 时，CPU 还没有清除 WatchDog 中断，则 WatchDog 将发出复位信号 WDG_RSTN，计数器停止计数。

根据实际应用需要，可通过配置 **WDG_CONTROL** 使能或者禁止 WatchDog 产生中断和复位信号：

- 当禁止产生中断时，计数器将停止计数。
- 当重新开启中断时，WatchDog 将从 **WDG_LOAD** 的设定值开始计数，而不是从计数器上次停止时的计数值开始计数。在中断到来之前，可以重新载入初值。

WatchDog 的计数时钟可以选择晶振时钟或者总线时钟，便于选择不同的计数时间范围。

通过配置 **WDG_LOCK** 寄存器，可以禁止对 WatchDog 内部寄存器进行写操作：

- 向 **WDG_LOCK** 写入 0x1ACC_E551，可以打开所有 WatchDog 寄存器的写权限。
- 向 **WDG_LOCK** 寄存器写入其他任何值，可以关闭所有 WatchDog 寄存器（**WDG_LOCK** 寄存器除外）的写权限。

该特性保护 WatchDog 的寄存器不被软件错误地修改，从而使得在异常情况下，WatchDog 不致被软件错误地中止操作。

在调试模式下，WatchDog 自动关闭，以防止干扰正常的调试操作。



3.7.4 工作方式

计数时钟频率配置

系统支持 2 种 WatchDog 计数时钟：3MHz 时钟和总线时钟（62.5MHz），通过 SC_CTRL [wdogenov] 进行配置。

WatchDog 计数时间为 T_{WDG} ：

$$T_{\text{WDG}} = \text{Value}_{\text{WDG_LOAD}} \times \left(\frac{1}{f_{\text{clk}}} \right)$$

说明

其中上式中，各参数代表的意义分别是：

- T_{WDG} 表示 WatchDog 计数时间；
- $\text{Value}_{\text{WDG_LOAD}}$ 表示 WatchDog 计数初值；
- f_{clk} 表示 WatchDog 计数时钟频率。

WatchDog 在不同时钟下的计数时间范围值如下：

- 当选择 3MHz 时钟时，计数时间范围为 0s~1400s。
- 当选择总线时钟（以 100MHz 为例）时，计数时间范围为 0s~42s。

系统初始化配置

系统上电复位后 WatchDog 计数器处于停止计数状态，在系统初始化过程中需要将 WatchDog 初始化并启动其运行。WatchDog 的初始化过程如下：

1. 写寄存器 `WDG_LOAD`，设定计数初值。
2. 写寄存器 `WDG_CONTROL`，打开中断屏蔽并启动 WatchDog 计数。
3. 写寄存器 `WDG_LOCK`，给 WatchDog 上锁，防止软件错误修改 WatchDog 的配置。

----结束

中断处理过程

收到 WatchDog 发出的中断后，应及时清除其中断状态，并使其载入计数初值重新开始计数。WatchDog 中断处理的过程如下：

1. 向 `WDG_LOCK` 写 `0x1ACC_E551`，为 WatchDog 开锁。
2. 写寄存器 `WDG_INTCLR`，清除 WatchDog 的中断状态，同时也使 WatchDog 自动载入计数初值重新开始计数。
3. 向寄存器 `WDG_LOCK` 写入 `0x1ACC_E551` 以外的任何值，给 WatchDog 上锁。

----结束



关闭 WatchDog

向寄存器 `WDG_CONTROL`[inten]控制位写入 0 或 1 控制 WatchDog 的状态:

- 0: 关闭 WatchDog;
- 1: 打开 WatchDog。

3.7.5 WDG 寄存器概览

WatchDog 寄存器概览如表 3-32 所示。

表3-32 WatchDog 寄存器概览（基址是 0x2004_0000）

偏移地址	名称	描述	页码
0x0000	WDG_LOAD	计数初值寄存器	3-215
0x0004	WDG_VALUE	计数器当前值寄存器	3-216
0x0008	WDG_CONTROL	控制寄存器	3-216
0x000C	WDG_INTCLR	中断清除寄存器	3-217
0x0010	WDG_RIS	原始中断寄存器	3-217
0x0014	WDG_MIS	屏蔽后中断寄存器	3-217
0x0018~ 0x0BFC	RESERVED	保留	-
0x0C00	WDG_LOCK	LOCK 寄存器	3-218

3.7.6 WDG 寄存器描述

WDG_LOAD

WDG_LOAD 为计数初值寄存器。用来配置 WatchDog 内部计数器的计数初值。

	Offset Address	Register Name	Total Reset Value
	0x0000	WDG_LOAD	0xFFFF_FFFF
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	wdg_load		
Reset	1 1		
Bits	Access	Name	Description
[31:0]	RW	wdg_load	计数初值。



WDG_VALUE

WDG_VALUE 为计数器当前值寄存器。用来读出 WatchDog 内部计数器的当前计数值。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				WDG_VALUE				0xFFFF_FFFF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wdogvalue																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:0]	RO	wdogvalue		WatchDog 计数器当前值。																											

WDG_CONTROL

WDG_CONTROL 为控制寄存器。用来控制 WatchDog 的打开/关闭、中断和复位功能。

	Offset Address				Register Name				Total Reset Value																							
	0x0008				WDG_CONTROL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										resen	inten				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:2]	RO	reserved		保留。																											
	[1]	RW	resen		WatchDog 复位信号输出使能。 0: 禁止; 1: 使能。																											
	[0]	RW	inten		WatchDog 中断信号输出使能。 0: 计数器停止计数, 计数值保持当前值不变, WatchDog 被关闭; 1: 既启动计数器又使能中断, WatchDog 被启动。																											



WDG_INTCLR

WDG_INTCLR 为中断清除寄存器。用来清除 WatchDog 中断，使 WatchDog 重新载入初值进行计数。本寄存器是只写寄存器，写进去任意值，都会引起 WatchDog 清中断，内部并不记忆写入的值，无复位值。

Offset Address		Register Name		Total Reset Value				
0x000C		WDG_INTCLR		-				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_intclr							
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?
Bits	Access	Name	Description					
[31:0]	WO	wdg_intclr	对该寄存器写入任意值均可清除 WatchDog 的中断，并使 WatchDog 从寄存器 WDG_LOAD 中重新载入初值计数。					

WDG_RIS

WDG_RIS 为原始中断寄存器。用来反映 WatchDog 原始中断状态。

Offset Address		Register Name		Total Reset Value					
0x0010		WDG_RIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wdogris
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	wdogris	WatchDog 原始中断状态，当计数器的计数值递减到 0 时，该位置 1。 0: 未产生中断; 1: 已产生中断。						

WDG_MIS

WDG_MIS 为屏蔽后中断寄存器。用来反映屏蔽后的 WatchDog 中断状态。



Offset Address		Register Name		Total Reset Value					
0x0014		WDG_MIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wdogmis
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	wdogmis	WatchDog 屏蔽后的中断状态。 0: 未产生中断或者中断被屏蔽; 1: 已产生中断。						

WDG_LOCK

WDG_LOCK 为 LOCK 寄存器。用来控制 WatchDog 寄存器的读写权限。

Offset Address		Register Name		Total Reset Value				
0x0C00		WDG_LOCK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_lock							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wdg_lock	向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限； 向该寄存器写入其他值则关闭写权限。 读该寄存器返回加锁的状态而不是写入该寄存器的值： 0x0000_0000：允许写访问（未加锁）； 0x0000_0001：禁止写访问（已加锁）。					

3.8 实时时钟

3.8.1 概述

实时时钟 RTC（Real Time Clock）用于实现时间显示和定时报警功能。



3.8.2 特点

RTC 具备以下特点：

- 内部具有 1 个 16bit 的天计数器，5bit 的小时计数器，6bit 的分计数器，6bit 的秒计数器和 7bit 的 10ms 计数器。
- 计数时钟 100Hz
- 计数初值可配置
- 计数比较值可配置
- 支持超时中断产生
- 支持软复位
- 支持固定分频模式
- 提供自动温度计时校正功能
- 提供 RTC 模块所在芯片位置的节温
- 64bit 用户寄存器提供用户保存数据

3.8.3 功能描述

RTC 的运行基于 1 个共同 40bit 的（天，时，分，秒，10ms）加法计数器，计数初值由寄存器 [RTC_LR_10MS](#)、[RTC_LR_S](#)、[RTC_LR_M](#)、[RTC_LR_H](#)、[RTC_LR_D_L](#)、[RTC_LR_D_H](#) 载入。在当计数值递加到寄存器与 [RTC_MR_10MS](#)、[RTC_MR_S](#)、[RTC_MR_M](#)、[RTC_MR_H](#)、[RTC_MR_D_L](#)、[RTC_MR_D_H](#) 寄存器值相等时，RTC 将产生一个中断，然后在下一个计数时钟上升沿，计数器继续递加计数。

根据实际应用需要，可通过配置 [RTC_IMSC](#) 使能或者禁止 RTC 产生中断信号。此时，存在以下两种情况：

- 当禁止产生中断时，RTC 计数器继续递加计数，将不会对外产生中断，在 [RTC_MSC_INT](#) 中显示屏蔽后中断的状态，在 [RTC_RAW_INT](#) 中显示原始中断状态。
- 当重新开启中断时，RTC 计数器仍然继续递加计数，当计数值递加到与 [RTC_MR_10MS](#)、[RTC_MR_S](#)、[RTC_MR_M](#)、[RTC_MR_H](#)、[RTC_MR_D_L](#)、[RTC_MR_D_H](#) 寄存器值相等时，RTC 将产生一个中断。

RTC 的计数时钟采用的是 100Hz 时钟，同时提供 16bit 的天计数，便于通过天计数值转换为具体的年、月、日。

3.8.4 工作方式

3.8.4.1 计数时钟频率

RTC 采用 100Hz 时钟进行计数，计数最大时间为：

$$T_{\text{RTC}} = 2^{16} = 65536(\text{天})$$

 说明

T_{RTC} 表示 RTC 计数时间。



3.8.4.2 软复位

通过配置 RTC 复位寄存器 `RTC_POR_N`，可以实现对 RTC 的单独软复位。软复位后各个 RTC 配置寄存器的值均恢复为默认值，因此软复位后需要重新对这些寄存器进行初始化配置。

软复位步骤如下：

1. 向 `RTC_POR_N` 写 0，对 RTC 软复位。
2. 等待 30ms。

----结束

3.8.4.3 RTC 初始化

RTC 在第一次上电时，系统需要将 RTC 初始化。RTC 的初始化过程如下：

1. 配置 `RTC_POR_N`，复位 RTC。
2. 等待 30ms。
3. 配置 `RTC_IMSC`，设置 RTC 中断屏蔽位。
4. 配置 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H`，设置 RTC 比较值。
5. 配置 `RTC_LR_10MS`、`RTC_LR_S`、`RTC_LR_M`、`RTC_LR_H`、`RTC_LR_D_L`、`RTC_LR_D_H`，设置 RTC 计数初始值。
6. 配置 `RTC_LORD` 为 1，让 RTC 计数初始值加载 RTC 计数器中。
7. RTC 按照 100Hz 的计数时钟频率，从 `RTC_LR_10MS`、`RTC_LR_S`、`RTC_LR_M`、`RTC_LR_H`、`RTC_LR_D_L`、`RTC_LR_D_H` 中的值开始计数，当计数到 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 中的值时，将根据 `RTC_IMSC` 的设置，决定是否产生中断。

----结束

3.8.4.4 中断处理

系统收到 RTC 发出的中断后，表示定时时间到，用户可以执行相应的自定义操作，RTC 计数器仍然保持递加计数。RTC 中断处理的过程如下：

1. 配置 `RTC_INT_CLR` 为 1，清除 RTC 的中断状态。
2. 如果需要继续设置定时时间，则向寄存器 `RTC_MR_10MS`、`RTC_MR_S`、`RTC_MR_M`、`RTC_MR_H`、`RTC_MR_D_L`、`RTC_MR_D_H` 写入新的比较值。

----结束



3.8.4.5 RTC 寄存器的访问

RTC 的寄存器是在 RTC 模块内部的，并不在总线上。总线上的 RTC 寄存器只是提供访问 RTC 内部寄存器的通路。

写 RTC 内部寄存器的步骤如下：

1. 配置 `SPI_CLK_DIV`；假如总线时钟为 120MHz，期望 SPI 的时钟为 12MHz，则 `spi_clk_div` 应该配置为 $(120\text{MHz}/12\text{MHz})/2 - 1 = 4 = 0x04$ 。（如果已经配置，并且不想更改 SPI 的时钟频率则可以省略这一步骤）。
2. 读 `SPI_RW`，直到 `SPI_RW [31]=0` 为止。
3. 配置 `SPI_RW`；假如要对 `RTC_MR_10MS` 写入 0x10，该寄存器在 RTC 内部的地址为 0x06，所以 `SPI_RW` 应该配置为 0x01060010（`spi_start=1,spi_rw=0,spi_add=0x06,spi_wdata=0x10`）。

----结束

读 RTC 内部寄存器的步骤如下：

1. 配置 `SPI_CLK_DIV`；假如总线时钟为 120MHz，期望 SPI 的时钟为 12MHz，则 `spi_clk_div` 应该配置为 $(120\text{MHz}/12\text{MHz})/2 - 1 = 4 = 0x04$ 。（如果已经配置过了，并且不想更改 spi 的时钟频率则可以省略这一步骤）。
2. 读 `SPI_RW`，直到 `SPI_RW [31]=0` 为止。
3. 配置 `SPI_RW`；假如要对读 `RTC_MR_10MS`，该寄存器在 RTC 内部的地址为 0x06，所以 `SPI_RW` 应该配置为 0x01860000（`spi_start=1,spi_rw=1,spi_add=0x06`）。
4. 读 `SPI_RW`，直到 `SPI_RW [31]=0` 为止。则 `SPI_RW [15:8]` 为 `RTC_MR_10MS` 的读回值。

----结束

3.8.4.6 RTC 自动温度计时校正

当温度发生变化时，晶体的输出频率也会变化。而温度与晶体的输出频率的关系是确定的（对于确定的晶体来说），在 RTC 初始化时已经把这个关系通过配置相关寄存器明确下来了。所以以一定的周期（例如一分钟）采集温度值并写入校正算法的温度输入，这样就可以保证 RTC 能产生一个精准的 100Hz 时钟来计数。RTC 校正算法的温度来源有两个，一个是内部 `t_sensor`，另外一个就外部测量值。在芯片上电时，如果选择内部 `t_sensor` 时，考虑到内部 `t_sensor` 读取芯片内部温度值不是实际的环境温度，软件定时（1、4、8、16 分钟）从内部 `t_sensor` 读取芯片内部温度值，然后减去一个与外部环境温度的经验偏差值后写入 `OUTSIDE_TEMP` 即可；当选择外部测量值时，方案上也提供了两个选择，一种是用 `SAR_ADC`+温敏电阻；一种是外接温度传感器 `DS1820` (`DS18B20`)。这时，系统就要在一定的周期内对温度进行采集并把采集结果写入到 RTC 的外部温度寄存器中。由于 RTC 对温度的更新周期固定为 1、4、8、16 分钟，所以建议系统对温度的采集周期与 RTC 的温度更新周期一致。



当芯片下电时，此时内部 `t_sensor` 获取的芯片温度与环境温度基本一致，因此推荐直接使用内部 `t_sensor` 获取的芯片温度作为校正电路的输入。选择温度来源请参考寄存器 `TEMP_SEL`。

以采用外接温度传感器 DS1820 为例，RTC 温度校正的流程如下：

1. 配置 `fix_mode` (`TEMP_SEL` bit[1]) 为 0，`temp_sel` (`TEMP_SEL` bit[0]) 为 1，选择外部温度模式。
2. 配置 `sample_time` (`RTC_SAR_CTRL` bit[1:0]) 为 0，选择温度更新周期为 1 分钟。
3. 配置 `INT_MASK` 为 0，打开温度传感器采集中断。
4. 配置 `CONVER_T` 为 1，启动温度传感器采集。
5. 等待温度传感器采集完成中断产生。
6. 配置 `INT_CLEAR` 为 1，清除中断。
7. 读取 `T_VALUE`，并把温度码字转换为 `t_sensor` 的温度码字。然后把转换后的温度码字写入到 RTC 内部寄存器 `OUTSIDE_TEMP` 中。
8. 等待 1 分钟，重复步骤 4 到 8。

----结束

3.8.5 RTC 寄存器概览

RTC 寄存器概览如表 3-33 所示。

表3-33 RTC 寄存器概览（基址是 0x2006_0000）

偏移地址	名称	描述	页码
0x0000	SPI_CLK_DIV	SPI 接口的时钟率值寄存器	3-226
0x0004	SPI_RW	SPI 接口读写操作寄存器	3-227
0x0080	CONVER_T	外接温度传感器 DS1820 (DS18B20) 采集控制寄存器	3-228
0x0084	CRC_EN	外接温度传感器 DS1820 (DS18B20) 采集 CRC 校验使能控制寄存器	3-228
0x0088	INT_MASK	外接温度传感器 DS1820 (DS18B20) 采集中断屏蔽寄存器	3-229
0x008C	INT_CLEAR	外接温度传感器 DS1820 (DS18B20) 采集中断清除寄存器	3-229
0x0090	BUSY	外接温度传感器 DS1820 (DS18B20) 采集状态寄存器	3-230



偏移地址	名称	描述	页码
0x0094	INT_RAW	外接温度传感器 DS1820 (DS18B20) 采集原始中断状态寄存器	3-230
0x0098	INT_TCAP	外接温度传感器 DS1820 (DS18B20) 采集中断状态寄存器	3-231
0x009C	T_VALUE	外接温度传感器 DS1820 (DS18B20) 采集结果寄存器	3-231
0x00A0	FILTER_NUM	滤毛刺宽度配置寄存器	3-232

表3-34 RTC 内部寄存器概览 (基址是 0x00)

偏移地址	名称	描述	页码
0x00	RTC_10MS_COUNT	RTC 10ms 计数值寄存器	3-232
0x01	RTC_S_COUNT	RTC 秒计数值寄存器	3-233
0x02	RTC_M_COUNT	RTC 分计数值寄存器	3-233
0x03	RTC_H_COUNT	RTC 时计数值寄存器	3-234
0x04	RTC_D_COUNT_L	RTC 天计数值低 8 位寄存器	3-234
0x05	RTC_D_COUNT_H	RTC 天计数值高 8 位寄存器	3-235
0x06	RTC_MR_10MS	RTC 10ms 定时值寄存器	3-235
0x07	RTC_MR_S	RTC 秒定时值寄存器	3-236
0x08	RTC_MR_M	RTC 分定时值寄存器	3-236
0x09	RTC_MR_H	RTC 时定时值寄存器	3-237
0x0A	RTC_MR_D_L	RTC 天定时值的低 8 位寄存器	3-237
0x0B	RTC_MR_D_H	RTC 天定时值的高 8 位寄存器	3-238
0x0C	RTC_LR_10MS	RTC 10ms 设置值寄存器	3-238
0x0D	RTC_LR_S	RTC 秒设置值寄存器	3-239
0x0E	RTC_LR_M	RTC 分设置值寄存器	3-239
0x0F	RTC_LR_H	RTC 时设置值寄存器	3-240
0x10	RTC_LR_D_L	RTC 天设置值的低 8 位寄存器	3-240
0x11	RTC_LR_D_H	RTC 天设置值的高 8 位寄存器	3-240
0x12	RTC_LORD	RTC 设置值使能加载寄存器	3-241



偏移地址	名称	描述	页码
0x13	RTC_IMSC	RTC 中断使能寄存器	3-241
0x14	RTC_INT_CLR	RTC 中断清除寄存器	3-242
0x15	RTC_MSC_INT	RTC mask 中断状态寄存器	3-242
0x16	RTC_RAW_INT	RTC 原始中断状态寄存器	3-243
0x17	RTC_CLK	RTC 输出时钟选择寄存器	3-243
0x18	RTC_POR_N	RTC 复位控制寄存器	3-244
0x1A	RTC_SAR_CTRL	RTC 内部 t_sensor 控制寄存器	3-244
0x1C	TOT_OFFSET_L	校正算法中 tot_offset 的修正值的低 8 位寄存器	3-245
0x1D	TOT_OFFSET_H	校正算法中 tot_offset 的修正值的高 1 位寄存器	3-245
0x1E	TEMP_OFFSET	对输入校正 LUT 的温度码字的 offset 值寄存器	3-246
0x1F	OUTSIDE_TEMP	外部环境温度值寄存器	3-246
0x20	DIE_TEMP	RTC 内部 t_sensor 提供的温度值, 码字表示-40 到 140 度	3-247
0x21	TEMP_SEL	校正算法输入温度来源的选择	3-247
0x22	LUT1	温度校正算法的 LUT1	3-248
0x23	LUT2	温度校正算法的 LUT2	3-248
0x24	LUT3	温度校正算法的 LUT3	3-249
0x25	LUT4	温度校正算法的 LUT4	3-249
0x26	LUT5	温度校正算法的 LUT5	3-249
0x27	LUT6	温度校正算法的 LUT6	3-250
0x28	LUT7	温度校正算法的 LUT7	3-250
0x29	LUT8	温度校正算法的 LUT8	3-250
0x2A	LUT9	温度校正算法的 LUT9	3-251
0x2B	LUT10	温度校正算法的 LUT10	3-251
0x2C	LUT11	温度校正算法的 LUT11	3-251
0x2D	LUT12	温度校正算法的 LUT12	3-252
0x2E	LUT13	温度校正算法的 LUT13	3-252



偏移地址	名称	描述	页码
0x2F	LUT14	温度校正算法的 LUT14	3-252
0x30	LUT15	温度校正算法的 LUT15	3-253
0x31	LUT16	温度校正算法的 LUT16	3-253
0x32	LUT17	温度校正算法的 LUT17	3-253
0x33	LUT18	温度校正算法的 LUT18	3-254
0x34	LUT19	温度校正算法的 LUT19	3-254
0x35	LUT20	温度校正算法的 LUT20	3-254
0x36	LUT21	温度校正算法的 LUT21	3-255
0x37	LUT22	温度校正算法的 LUT22	3-255
0x38	LUT23	温度校正算法的 LUT23	3-255
0x39	LUT24	温度校正算法的 LUT24	3-256
0x3A	LUT25	温度校正算法的 LUT25	3-256
0x3B	LUT26	温度校正算法的 LUT26	3-256
0x3C	LUT27	温度校正算法的 LUT27	3-257
0x3D	LUT28	温度校正算法的 LUT28	3-257
0x3E	LUT29	温度校正算法的 LUT29	3-257
0x3F	LUT30	温度校正算法的 LUT30	3-258
0x40	LUT31	温度校正算法的 LUT31	3-258
0x41	LUT32	温度校正算法的 LUT32	3-258
0x42	LUT33	温度校正算法的 LUT33	3-259
0x43	LUT34	温度校正算法的 LUT34	3-259
0x44	LUT35	温度校正算法的 LUT35	3-259
0x45	LUT36	温度校正算法的 LUT36	3-260
0x46	LUT37	温度校正算法的 LUT37	3-260
0x47	LUT38	温度校正算法的 LUT38	3-260
0x48	LUT39	温度校正算法的 LUT39	3-261
0x49	LUT40	温度校正算法的 LUT40	3-261
0x4A	LUT41	温度校正算法的 LUT41	3-261
0x4B	LUT42	温度校正算法的 LUT42	3-262



偏移地址	名称	描述	页码
0x4C	LUT43	温度校正算法的 LUT43	3-262
0x4D	LUT44	温度校正算法的 LUT44	3-262
0x4E	LUT45	温度校正算法的 LUT45	3-263
0x4F	LUT46	温度校正算法的 LUT46	3-263
0x50	LUT47	温度校正算法的 LUT47	3-263
0x51	SDM_COEF_OUSIDE_H	固定分频模式时的分频系数高 4 位	3-264
0x52	SDM_COEF_OUSIDE_L	固定分频模式时的分频系数低 8 位	3-264
0x53	USER_REGISTER1	64bit 用户使用寄存器 1	3-265
0x54	USER_REGISTER2	64bit 用户使用寄存器 2	3-265
0x55	USER_REGISTER3	64bit 用户使用寄存器 3	3-265
0x56	USER_REGISTER4	64bit 用户使用寄存器 4	3-266
0x57	USER_REGISTER5	64bit 用户使用寄存器 5	3-266
0x58	USER_REGISTER6	64bit 用户使用寄存器 6	3-266
0x59	USER_REGISTER7	64bit 用户使用寄存器 7	3-267
0x5A	USER_REGISTER8	64bit 用户使用寄存器 8	3-267

3.8.6 RTC 寄存器描述

SPI_CLK_DIV

SPI_CLK_DIV 为 SPI 接口的时钟率值寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x0000	SPI_CLK_DIV	0x0000_003B															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8		7 6 5 4 3 2 1 0															
Name	reserved											spi_clk_div						
Reset	0 0		0 0 1 1 1 0 1 1															
Bits	Access	Name	Description															
[31:8]	-	reserved	保留。															



Offset Address		Register Name		Total Reset Value					
0x0000		SPI_CLK_DIV		0x0000_003B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						spi_clk_div		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 0 1 1	
Bits	Access	Name	Description						
[7:0]	RW	spi_clk_div	SPI 接口的时钟率。SPI 时钟不得超过 20MHz，建议配置为 12MHz。 取值范围为 1~255。spi_clk_div 的值用来产生 SPI 发送和接收的比特率，公式为 $FSPICLK = FAPBCLK / (2 \times (spi_clk_div + 1))$ 。其中 FAPBCLK 为总线的时钟频率。例如，总线时钟为 120MHz，期望 SPI 的时钟为 12MHz，则 spi_clk_div 应该配置为 $(120MHz / 12MHz) / 2 - 1 = 4$						

SPI_RW

SPI_RW 为 SPI 接口读写寄存器。

Offset Address		Register Name		Total Reset Value					
0x0004		SPI_RW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	spi_busy	reserved		spi_start	spi_rw	spi_add		spi_rdata	spi_wdata
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	spi_busy	SPI 接口读写忙状态指示。 0: 空闲，可以发动新的 SPI 读写操作； 1: 正在对 SPI 接口进行读写操作，不能发起新的 SPI 读写操作。						
[30:25]	-	reserved	保留。						
[24]	W1_PULSE	spi_start	启动一次 SPI 读写操作。写 1 自动清零。当 spi_busy 为 1 时写入无效。即在上一次读写操作没有完成之前不会启动新的 SPI 操作，若启动则硬件会忽略这一次启动请求。						



[23]	RW	spi_rw	SPI 操作的类型。 0: 写操作; 1: 读操作。
[22:16]	RW	spi_add	SPI 操作的地址。 取值范围为 0~127。
[15:8]	RO	spi_rdata	SPI 接口读回的数据。
[7:0]	RW	spi_wdata	待写入 SPI 接口的数据。

CONVER_T

CONVER_T 为外接温度传感器 DS1820 (DS18B20) 采集控制寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0080	CONVER_T	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved															conver_t
Reset	0 0															
Bits	Access	Name	Description													
[31:1]	-	reserved	保留。													
[0]	RW	conver_t	外接温度传感器 DS1820 (DS18B20) 采集控制寄存器 start。 必须设为 1。 1: start, 硬件会在清中断时自动归零。													

CRC_EN

CRC_EN 为外接温度传感器 DS1820 (DS18B20) 采集 CRC 校验使能控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0084		CRC_EN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								crc_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	crc_en	外接温度传感器 DS1820 (DS18B20) 采集 CRC 校验使能控制寄存器。 0: disable; 1: enable。						

INT_MASK

INT_MASK 为外接温度传感器 DS1820 (DS18B20) 采集中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value					
0x0088		INT_MASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								int_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	int_mask	外接温度传感器 DS1820 (DS18B20) 采集中断屏蔽寄存器。 0: 不屏蔽; 1: 屏蔽。						

INT_CLEAR

INT_CLEAR 为外接温度传感器 DS1820 (DS18B20) 采集中断清除寄存器。



Offset Address		Register Name		Total Reset Value					
0x008C		INT_CLEAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								int_clear
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留						
[0]	RW	int_clear	外接温度传感器 DS1820 (DS18B20) 采集中断清除寄存器。 写 1 清中断。硬件会在中断清除后自动归零。						

BUSY

BUSY 为外接温度传感器 DS1820 (DS18B20) 采集状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x0090		BUSY		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								busy
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留						
[0]	RO	busy	外接温度传感器 DS1820 (DS18B20) 采集状态。 0: ready; 1: busy。						

INT_RAW

INT_RAW 为外接温度传感器 DS1820 (DS18B20) 采集原始中断状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x0094		INT_RAW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							int_err	get_tmprt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RO	int_err	错误中断寄存器。						
[0]	RO	get_tmprt_int	外接温度传感器 DS1820 (DS18B20) 采集完成中断。						

INT_TCAP

INT_TCAP 为外接温度传感器 DS1820 (DS18B20) 采集中断状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x0098		INT_TCAP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							int_tcap
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	-	reserved	保留。					
[0]	RO	int_tcap	屏蔽后的中断状态。 0: 无中断; 1: 有中断。					

T_VALUE

T_VALUE 为外接温度传感器 DS1820 (DS18B20) 采集结果寄存器。



Offset Address		Register Name		Total Reset Value						
0x009C		T_VALUE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						t_value			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	-	reserved	保留。							
[11:0]	RO	t_value	外接温度传感器 DS1820 (DS18B20) 采集结果。							

FILTER_NUM

FILTER_NUM 滤毛刺宽度配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x00A0		FILTER_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							filter_num
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	-	reserved	保留。					
[3:0]	RW	filter_num	对输入进行滤毛刺宽度的选择，滤除 N+1 个 APB 时钟宽度的毛刺。					

3.8.7 RTC 内部寄存器描述

RTC_10MS_COUNT

RTC_10MS_COUNT 为 RTC 10ms 计数值寄存器。



Offset Address		Register Name		Total Reset Value				
0x00		RTC_10MS_COUNT		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_10ms_count					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	-	reserved	保留					
[6:0]	RO	rtc_10ms_count	RTC 10ms 计数器值，表示当前计时的 10ms 时间个数。 取值范围值为 0~99。					

RTC_S_COUNT

RTC_S_COUNT 为 RTC 秒计数值寄存器。

Offset Address		Register Name		Total Reset Value				
0x01		RTC_S_COUNT		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_s_count					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RO	rtc_s_count	RTC 秒计数器值，表示当前计时的秒时间个数。 取值范围为 0~59。					

RTC_M_COUNT

RTC_M_COUNT 为 RTC 分计数值寄存器



Offset Address		Register Name					Total Reset Value	
0x02		RTC_M_COUNT					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_m_count					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RO	rtc_m_count	RTC 分计数器值，表示当前计时的分时间个数。取之范围为 0~59。					

RTC_H_COUNT

RTC_H_COUNT 为 RTC 时 计数值寄存器。

Offset Address		Register Name					Total Reset Value	
0x03		RTC_H_COUNT					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_h_count					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:5]	-	reserved	保留					
[4:0]	RO	rtc_h_count	RTC 时计数器值，表示当前计时的小时时间个数。取之范围为 0~23。					

RTC_D_COUNT_L

RTC_D_COUNT_L 为 RTC 天计数值低 8 位寄存器。



Offset Address		Register Name					Total Reset Value	
0x04		RTC_D_COUNT_L					0x00	
Bit	7	6	5	4	3	2	1	0
Name	rtc_d_count_l							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	rtc_d_count_l	RTC 天计数器值的低 8 位，与 RTC_D_COUNT_H 配合，表示当前计时的天时间个数，取值范围为 0~65535。					

RTC_D_COUNT_H

RTC_D_COUNT_H 为 RTC 天计数值高 8 位寄存器。

Offset Address		Register Name					Total Reset Value	
0x05		RTC_D_COUNT_H					0x00	
Bit	7	6	5	4	3	2	1	0
Name	rtc_d_count_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	rtc_d_count_h	RTC 天计数器值的高 8 位，与 RTC_D_COUNT_L 配合，表示当前计时的天时间个数，取值范围为 0~65535。					

RTC_MR_10MS

RTC_MR_10MS 为 RTC 10ms 定时值寄存器。



		Offset Address			Register Name			Total Reset Value	
		0x06			RTC_MR_10MS			0x7F	
Bit		7	6	5	4	3	2	1	0
Name	reserved	rtc_mr_10ms							
Reset		0	1	1	1	1	1	1	1
	Bits	Access	Name	Description					
	[7]	RW	reserved	保留。					
	[6:0]	RW	rtc_mr_10ms	RTC 10ms 定时值，表示定时的 10ms 时间值。 取值范围值为 0~99。					

RTC_MR_S

RTC_MR_S 为 RTC 秒定时值寄存器。

		Offset Address			Register Name			Total Reset Value	
		0x07			RTC_MR_S			0x3F	
Bit		7	6	5	4	3	2	1	0
Name	reserved	rtc_mr_s							
Reset		0	0	1	1	1	1	1	1
	Bits	Access	Name	Description					
	[7:6]	RW	reserved	保留。					
	[5:0]	RW	rtc_mr_s	RTC 秒定时值，表示定时的秒时间值。 取值范围值为 0~59。					

RTC_MR_M

RTC_MR_M 为 RTC 分定时值寄存器。



Offset Address		Register Name					Total Reset Value	
0x08		RTC_MR_M					0x3F	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_mr_m					
Reset	0	0	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:6]	RW	reserved	保留					
[5:0]	RW	rtc_mr_m	RTC 分定时值，表示定时的分时间值。 取值范围值为 0~59。					

RTC_MR_H

RTC_MR_H 为 RTC 时定时值寄存器。

Offset Address		Register Name					Total Reset Value	
0x09		RTC_MR_H					0x1F	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_mr_h					
Reset	0	0	0	1	1	1	1	1
Bits	Access	Name	Description					
[7:5]	RW	reserved	保留					
[4:0]	RW	rtc_mr_h	RTC 时定时值，表示定时的小时时间值。 取值范围值为 0~23。					

RTC_MR_D_L

RTC_MR_D_L 为 RTC 天定时值的低 8 位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A		RTC_MR_D_L		0xFF				
Bit	7	6	5	4	3	2	1	0
Name	rtc_mr_d_l							
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	rtc_mr_d_l	RTC 天定时值低 8 位，与 RTC_MR_D_H 配合，表示定时的天时间值，取值范围为 0~65535。					

RTC_MR_D_H

RTC_MR_D_H 为 RTC 天定时值的高 8 位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B		RTC_MR_D_H		0xFF				
Bit	7	6	5	4	3	2	1	0
Name	rtc_mr_d_h							
Reset	1	1	1	1	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	rtc_mr_d_h	RTC 天定时值高 8 位，与 RTC_MR_D_L 配合，表示定时的天时间值，取值范围为 0~65535。					

RTC_LR_10MS

RTC_LR_10MS 为 RTC 10ms 设置值寄存器。

Offset Address		Register Name		Total Reset Value				
0x0C		RTC_LR_10MS		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved	rtc_lr_10ms						
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7]	RW	reserved	保留。					



[6:0]	RW	rtc_lr_10ms	RTC 10ms 设置值，表示设置的 10ms 时间值。 取值范围为 0~99。
-------	----	-------------	---

RTC_LR_S

RTC_LR_S 为 RTC 秒设置值寄存器。

	Offset Address			Register Name			Total Reset Value	
	0x0D			RTC_LR_S			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_lr_s					
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:6]	RW	reserved	保留				
	[5:0]	RW	rtc_lr_s	RTC 秒设置值，表示设置的秒时间值。 取值范围为 0~59。				

RTC_LR_M

RTC_LR_M 为 RTC 分设置值寄存器。

	Offset Address			Register Name			Total Reset Value	
	0x0E			RTC_LR_M			0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		rtc_lr_m					
Reset	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description				
	[7:6]	RW	reserved	保留。				
	[5:0]	RW	rtc_lr_m	RTC 分设置值，表示设置的分时间值。 取值范围为 0~59。				



RTC_LR_H

RTC_LR_H 为 RTC 时设置值寄存器。

		Offset Address			Register Name			Total Reset Value	
		0x0F			RTC_LR_H			0x00	
Bit		7	6	5	4	3	2	1	0
Name		reserved			rtc_lr_h				
Reset		0	0	0	0	0	0	0	0
Bits	Access	Name			Description				
[7:5]	RW	reserved			保留。				
[4:0]	RW	rtc_lr_h			RTC 时设置值，表示设置的小时时间值。 取值范围为 0~23。				

RTC_LR_D_L

RTC_LR_D_L 为 RTC 天设置值的低 8 位寄存器。

		Offset Address			Register Name			Total Reset Value	
		0x10			RTC_LR_D_L			0x00	
Bit		7	6	5	4	3	2	1	0
Name		rtc_lr_d_l							
Reset		0	0	0	0	0	0	0	0
Bits	Access	Name			Description				
[7:0]	RW	rtc_lr_d_l			RTC 天设置值低 8 位，与 RTC_LR_D_H 配合表示 设置的天时间，取值范围为 0~65535。				

RTC_LR_D_H

RTC_LR_D_H 为 RTC 天设置值的高 8 位寄存器。



Offset Address		Register Name				Total Reset Value		
0x11		RTC_LR_D_H				0x00		
Bit	7	6	5	4	3	2	1	0
Name	rtc_lr_d_h							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	rtc_lr_d_h	RTC 天设置值高 8 位，与 RTC_LR_D_L 配合表示设置的天时间，取值范围为 0~65535。					

RTC_LORD

RTC_LORD 为 RTC 设置值使能加载寄存器。

Offset Address		Register Name				Total Reset Value		
0x12		RTC_LORD				0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved							rtc_load
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留					
[0]	RW	rtc_load	把 RTC 的时间配置值写入 RTC 累加器中的使能信号。软件写入 1 后，硬件会在加载成功后自动清零。					

RTC_IMSC

RTC_IMSC 为 RTC 中断使能寄存器。



Offset Address		Register Name					Total Reset Value	
0x13		RTC_IMSC					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							rtc_imsc
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RW	rtc_imsc	RTC 定时中断输出使能位。 0: 不输出中断; 1: 输出中断。					

RTC_INT_CLR

RTC_INT_CLR 为 RTC 中断清除寄存器。

Offset Address		Register Name					Total Reset Value	
0x14		RTC_INT_CLR					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							rtc_int_clr
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RW	rtc_int_clr	RTC 定时中断清除寄存器，软件写入 1 后，硬件会在中断清除成功后自动清零。					

RTC_MSC_INT

RTC_MSC_INT 为 RTC mask 中断状态寄存器。



Offset Address		Register Name					Total Reset Value	
0x15		RTC_MSC_INT					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							mask_int
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RO	mask_int	mask int 状态寄存器。					

RTC_RAW_INT

RTC_RAW_INT 为 RTC 原始中断状态寄存器。

Offset Address		Register Name					Total Reset Value	
0x16		RTC_RAW_INT					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved							raw_int
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RO	raw_int	raw int 状态寄存器。					

RTC_CLK

RTC_CLK 为 RTC 输出时钟选择寄存器。



Offset Address		Register Name					Total Reset Value	
0x17		RTC_CLK					0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved						clk_out_sel	
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:2]	-	reserved	保留。					
[1:0]	RW	clk_out_sel	RTC 输出的测试时钟选择。 00: 输出晶体的震荡时钟; 01: 输出校正后的 100Hz 时钟; 1X: 输出 1Hz 时钟。					

RTC_POR_N

RTC_POR_N 为 RTC 复位控制寄存器。

Offset Address		Register Name					Total Reset Value	
0x18		RTC_POR_N					0x01	
Bit	7	6	5	4	3	2	1	0
Name	reserved						rtc_por_n	
Reset	0	0	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:1]	-	reserved	保留。					
[0]	RW	rtc_por_n	RTC 模块的复位信号。复位成功后自动置 1。 0: 复位。					

RTC_SAR_CTRL

RTC_SAR_CTRL 为 RTC 内部 t_sensor 控制寄存器。



		Offset Address			Register Name			Total Reset Value	
		0x1A			RTC_SAR_CTRL			0x00	
Bit		7	6	5	4	3	2	1	0
Name		reserved						sample_time	
Reset		0	0	0	0	0	0	0	0
	Bits	Access	Name	Description					
	[7:4]	RW	reserved	保留。					
	[3]	RW	reserved	保留。					
	[2]	RW	reserved	保留。					
	[1:0]	RW	sample_time	温度的更新时间。 00: 1 分钟; 01: 4 分钟; 10: 8 分钟; 11: 16 分钟。					

TOT_OFFSET_L

TOT_OFFSET_L 为校正算法中 tot_offset 的修正值的低 8 位寄存器。

		Offset Address			Register Name			Total Reset Value	
		0x1C			TOT_OFFSET_L			0x00	
Bit		7	6	5	4	3	2	1	0
Name		tot_offset_l							
Reset		0	0	0	0	0	0	0	0
	Bits	Access	Name	Description					
	[7:0]	RW	tot_offset_l	校正算法中 tot_offset 的修正值，为补码，表示-256~255，也就是说校正算法中 tot_offset 的值为 1990+(-256~255)。寄存器值为低 7 位。					

TOT_OFFSET_H

TOT_OFFSET_H 为校正算法中 tot_offset 的修正值的高 1 位寄存器。



Offset Address		Register Name		Total Reset Value				
0x1D		TOT_OFFSET_H		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved							tot_offset_h
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:1]	-	reserved	保留					
[0]	RW	tot_offset_h	校正算法中 tot_offset 的修正值，为补码，表示-256~255，也就是说校正算法中 tot_offset 的值为 1990+(-256~255)。寄存器值为高 1 位。					

TEMP_OFFSET

TEMP_OFFSET 为对输入校正 LUT 的温度码字的 offset 值寄存器。

Offset Address		Register Name		Total Reset Value				
0x1E		TEMP_OFFSET		0x00				
Bit	7	6	5	4	3	2	1	0
Name	reserved		temp_offset					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留					
[5:0]	RW	temp_offset	对输入校正 LUT 的温度码字的 offset 值，为补码，表示-32~31。					

OUTSIDE_TEMP

OUTSIDE_TEMP 为外部环境温度值寄存器。



Offset Address		Register Name				Total Reset Value		
0x1F		OUTSIDE_TEMP				0x00		
Bit	7	6	5	4	3	2	1	0
Name	outside_temp							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	outside_temp	外部环境温度值，码字表示-40° C~140° C。					

DIE_TEMP

DIE_TEMP 为 RTC 内部 t_sensor 提供的温度值寄存器

Offset Address		Register Name				Total Reset Value		
0x20		DIE_TEMP				0x00		
Bit	7	6	5	4	3	2	1	0
Name	die_temp							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	die_temp	RTC 内部 t_sensor 提供的温度值，即芯片内部温度，码字表示-40° C~140° C。					

TEMP_SEL

TEMP_SEL 为校正输入温度选择寄存器。

Offset Address		Register Name				Total Reset Value		
0x21		TEMP_SEL				0x00		
Bit	7	6	5	4	3	2	1	0
Name	reserved					sdm_sel	fix_mode	temp_sel
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:3]	RW	reserved	保留。					



[2]	RW	sdm_sel	与 fix_model 和 temp_sel 配合，表示是否进行温度补偿。 芯片上电及下电时： { temp_sel,fix_mode,temp_sel } 0xx: 打开温度补偿，模式由 {fix_mode,temp_sel} 决定； 110: 不进行温度补偿，RTC 时钟直接采用小数分频后的时钟，分频系数寄存器见 0x51 和 0x52； 其他：保留。
[1]	RW	fix_mode	与 temp_sel 配合，表示校正算法输入温度来源。 详细描述请参见 temp_sel。
[0]	RW	temp_sel	与 fix_mode 配合，表示校正算法输入温度来源。 芯片上电时： {fix_mode,temp_sel} 00: 选择 DIE_TEMP 为温度来源； 01: 选择 OUTSIDE_TEMP 为温度来源； 1X: 选择 OUTSIDE_TEMP 为温度来源。 芯片下电时： {fix_mode,temp_sel} 0X: 选择 DIE_TEMP 为温度来源； 1X: 选择 OUTSIDE_TEMP 为温度来源。

LUT1

LUT1 为校正 LUT1 寄存器。

	Offset Address			Register Name			Total Reset Value		
	0x22			LUT1			0xAC		
Bit	7	6	5	4	3	2	1	0	
Name	lut1								
Reset	1	0	1	0	1	1	0	0	
Bits	Access	Name	Description						
[7:0]	RW	lut1	温度校正算法的 LUT1。						

LUT2

LUT2 为校正 LUT2 寄存器。



	Offset Address 0x23			Register Name LUT2			Total Reset Value 0xB4	
Bit	7	6	5	4	3	2	1	0
Name	lut2							
Reset	1	0	1	1	0	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut2	温度校正算法的 LUT2。					

LUT3

LUT3 为校正 LUT3 寄存器。

	Offset Address 0x24			Register Name LUT3			Total Reset Value 0xBB	
Bit	7	6	5	4	3	2	1	0
Name	lut3							
Reset	1	0	1	1	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut3	温度校正算法的 LUT3。					

LUT4

LUT4 为校正 LUT4 寄存器。

	Offset Address 0x25			Register Name LUT4			Total Reset Value 0xC2	
Bit	7	6	5	4	3	2	1	0
Name	lut4							
Reset	1	1	0	0	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut4	温度校正算法的 LUT4。					

LUT5

LUT5 为校正 LUT5 寄存器。



	Offset Address 0x26			Register Name LUT5			Total Reset Value 0xC8	
Bit	7	6	5	4	3	2	1	0
Name	lut5							
Reset	1	1	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut5	温度校正算法的 LUT5。					

LUT6

LUT6 为校正 LUT6 寄存器。

	Offset Address 0x27			Register Name LUT6			Total Reset Value 0xCF	
Bit	7	6	5	4	3	2	1	0
Name	lut6							
Reset	1	1	0	0	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut6	温度校正算法的 LUT6。					

LUT7

LUT7 为校正 LUT7 寄存器。

	Offset Address 0x28			Register Name LUT7			Total Reset Value 0xD5	
Bit	7	6	5	4	3	2	1	0
Name	lut7							
Reset	1	1	0	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut7	温度校正算法的 LUT7。					

LUT8

LUT8 为校正 LUT8 寄存器。



	Offset Address 0x29			Register Name LUT8			Total Reset Value 0xDC	
Bit	7	6	5	4	3	2	1	0
Name	lut8							
Reset	1	1	0	1	1	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut8	温度校正算法的 LUT8。					

LUT9

LUT9 为校正 LUT9 寄存器。

	Offset Address 0x2A			Register Name LUT9			Total Reset Value 0xE2	
Bit	7	6	5	4	3	2	1	0
Name	lut9							
Reset	1	1	1	0	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut9	温度校正算法的 LUT9。					

LUT10

LUT10 为校正 LUT10 寄存器。

	Offset Address 0x2B			Register Name LUT10			Total Reset Value 0xE8	
Bit	7	6	5	4	3	2	1	0
Name	lut10							
Reset	1	1	1	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut10	温度校正算法的 LUT10。					

LUT11

LUT11 为校正 LUT11 寄存器。



Offset Address		Register Name				Total Reset Value		
0x2C		LUT11				0xEE		
Bit	7	6	5	4	3	2	1	0
Name	lut11							
Reset	1	1	1	0	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut11	温度校正算法的 LUT11。					

LUT12

LUT12 为校正 LUT12 寄存器。

Offset Address		Register Name				Total Reset Value		
0x2D		LUT12				0xF3		
Bit	7	6	5	4	3	2	1	0
Name	lut12							
Reset	1	1	1	1	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut12	温度校正算法的 LUT12。					

LUT13

LUT13 为校正 LUT13 寄存器。

Offset Address		Register Name				Total Reset Value		
0x2E		LUT13				0xF9		
Bit	7	6	5	4	3	2	1	0
Name	lut13							
Reset	1	1	1	1	1	0	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut13	温度校正算法的 LUT13。					

LUT14

LUT14 为校正 LUT14 寄存器。



	Offset Address 0x2F			Register Name LUT14			Total Reset Value 0xFE	
Bit	7	6	5	4	3	2	1	0
Name	lut14							
Reset	1	1	1	1	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut14	温度校正算法的 LUT14。					

LUT15

LUT15 为校正 LUT15 寄存器。

	Offset Address 0x30			Register Name LUT15			Total Reset Value 0x03	
Bit	7	6	5	4	3	2	1	0
Name	lut15							
Reset	0	0	0	0	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut15	温度校正算法的 LUT15。					

LUT16

LUT16 为校正 LUT16 寄存器。

	Offset Address 0x31			Register Name LUT16			Total Reset Value 0x08	
Bit	7	6	5	4	3	2	1	0
Name	lut16							
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut16	温度校正算法的 LUT16。					

LUT17

LUT17 为校正 LUT17 寄存器。



	Offset Address 0x32			Register Name LUT17			Total Reset Value 0x0D	
Bit	7	6	5	4	3	2	1	0
Name	lut17							
Reset	0	0	0	0	1	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut17	温度校正算法的 LUT17。					

LUT18

LUT18 为校正 LUT18 寄存器。

	Offset Address 0x33			Register Name LUT18			Total Reset Value 0x12	
Bit	7	6	5	4	3	2	1	0
Name	lut18							
Reset	0	0	0	1	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut18	温度校正算法的 LUT18。					

LUT19

LUT19 为校正 LUT19 寄存器。

	Offset Address 0x34			Register Name LUT19			Total Reset Value 0x17	
Bit	7	6	5	4	3	2	1	0
Name	lut19							
Reset	0	0	0	1	0	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut19	温度校正算法的 LUT19。					

LUT20

LUT20 为校正 LUT20 寄存器。



Offset Address		Register Name					Total Reset Value	
0x35		LUT20					0x1B	
Bit	7	6	5	4	3	2	1	0
Name	lut20							
Reset	0	0	0	1	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut20	温度校正算法的 LUT20。					

LUT21

LUT21 为校正 LUT21 寄存器。

Offset Address		Register Name					Total Reset Value	
0x36		LUT21					0x1F	
Bit	7	6	5	4	3	2	1	0
Name	lut21							
Reset	0	0	0	1	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut21	温度校正算法的 LUT21。					

LUT22

LUT22 为校正 LUT22 寄存器。

Offset Address		Register Name					Total Reset Value	
0x37		LUT22					0x23	
Bit	7	6	5	4	3	2	1	0
Name	lut22							
Reset	0	0	1	0	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut22	温度校正算法的 LUT22。					

LUT23

LUT23 为校正 LUT23 寄存器。



Offset Address		Register Name					Total Reset Value	
0x38		LUT23					0x27	
Bit	7	6	5	4	3	2	1	0
Name	lut23							
Reset	0	0	1	0	0	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut23	温度校正算法的 LUT23。					

LUT24

LUT24 为校正 LUT24 寄存器。

Offset Address		Register Name					Total Reset Value	
0x39		LUT24					0x2B	
Bit	7	6	5	4	3	2	1	0
Name	lut24							
Reset	0	0	1	0	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut24	温度校正算法的 LUT24。					

LUT25

LUT25 为校正 LUT25 寄存器。

Offset Address		Register Name					Total Reset Value	
0x3A		LUT25					0x2E	
Bit	7	6	5	4	3	2	1	0
Name	lut25							
Reset	0	0	1	0	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut25	温度校正算法的 LUT25。					

LUT26

LUT26 为校正 LUT26 寄存器。



Offset Address		Register Name				Total Reset Value		
0x3B		LUT26				0x32		
Bit	7	6	5	4	3	2	1	0
Name	lut26							
Reset	0	0	1	1	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut26	温度校正算法的 LUT26。					

LUT27

LUT27 为校正 LUT27 寄存器。

Offset Address		Register Name				Total Reset Value		
0x3C		LUT27				0x35		
Bit	7	6	5	4	3	2	1	0
Name	lut27							
Reset	0	0	1	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut27	温度校正算法的 LUT27。					

LUT28

LUT28 为校正 LUT28 寄存器。

Offset Address		Register Name				Total Reset Value		
0x3D		LUT28				0x38		
Bit	7	6	5	4	3	2	1	0
Name	lut28							
Reset	0	0	1	1	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut28	温度校正算法的 LUT28。					

LUT29

LUT29 为校正 LUT29 寄存器。



Offset Address		Register Name				Total Reset Value		
0x3E		LUT29				0x3B		
Bit	7	6	5	4	3	2	1	0
Name	lut29							
Reset	0	0	1	1	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut29	温度校正算法的 LUT29。					

LUT30

LUT30 为校正 LUT30 寄存器。

Offset Address		Register Name				Total Reset Value		
0x3F		LUT30				0x3E		
Bit	7	6	5	4	3	2	1	0
Name	lut30							
Reset	0	0	1	1	1	1	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut30	温度校正算法的 LUT30。					

LUT31

LUT31 为校正 LUT31 寄存器。

Offset Address		Register Name				Total Reset Value		
0x40		LUT31				0x41		
Bit	7	6	5	4	3	2	1	0
Name	lut31							
Reset	0	1	0	0	0	0	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut31	温度校正算法的 LUT31。					

LUT32

LUT32 为校正 LUT32 寄存器。



	Offset Address 0x41			Register Name LUT32			Total Reset Value 0x43	
Bit	7	6	5	4	3	2	1	0
Name	lut32							
Reset	0	1	0	0	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut32	温度校正算法的 LUT32。					

LUT33

LUT33 为校正 LUT33 寄存器。

	Offset Address 0x42			Register Name LUT33			Total Reset Value 0x45	
Bit	7	6	5	4	3	2	1	0
Name	lut33							
Reset	0	1	0	0	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut33	温度校正算法的 LUT33。					

LUT34

LUT34 为校正 LUT34 寄存器。

	Offset Address 0x43			Register Name LUT34			Total Reset Value 0x48	
Bit	7	6	5	4	3	2	1	0
Name	lut34							
Reset	0	1	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut34	温度校正算法的 LUT34。					

LUT35

LUT35 为校正 LUT35 寄存器。



	Offset Address 0x44			Register Name LUT35			Total Reset Value 0x4A	
Bit	7	6	5	4	3	2	1	0
Name	lut35							
Reset	0	1	0	0	1	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut35	温度校正算法的 LUT35。					

LUT36

LUT36 为校正 LUT36 寄存器。

	Offset Address 0x45			Register Name LUT36			Total Reset Value 0x4B	
Bit	7	6	5	4	3	2	1	0
Name	lut36							
Reset	0	1	0	0	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut36	温度校正算法的 LUT36。					

LUT37

LUT37 为校正 LUT37 寄存器。

	Offset Address 0x46			Register Name LUT37			Total Reset Value 0x4D	
Bit	7	6	5	4	3	2	1	0
Name	lut37							
Reset	0	1	0	0	1	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut37	温度校正算法的 LUT37。					

LUT38

LUT38 为校正 LUT38 寄存器。



Offset Address		Register Name				Total Reset Value		
0x47		LUT38				0x4F		
Bit	7	6	5	4	3	2	1	0
Name	lut38							
Reset	0	1	0	0	1	1	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut38	温度校正算法的 LUT38。					

LUT39

LUT39 为校正 LUT39 寄存器。

Offset Address		Register Name				Total Reset Value		
0x48		LUT39				0x50		
Bit	7	6	5	4	3	2	1	0
Name	lut39							
Reset	0	1	0	1	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut39	温度校正算法的 LUT39。					

LUT40

LUT40 为校正 LUT40 寄存器。

Offset Address		Register Name				Total Reset Value		
0x49		LUT40				0x51		
Bit	7	6	5	4	3	2	1	0
Name	lut40							
Reset	0	1	0	1	0	0	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut40	温度校正算法的 LUT40。					

LUT41

LUT41 为校正 LUT41 寄存器。



Offset Address		Register Name				Total Reset Value		
0x4A		LUT41				0x52		
Bit	7	6	5	4	3	2	1	0
Name	lut41							
Reset	0	1	0	1	0	0	1	0
Bits	Access	Name	Description					
[7:0]	RW	lut41	温度校正算法的 LUT41。					

LUT42

LUT42 为校正 LUT42 寄存器。

Offset Address		Register Name				Total Reset Value		
0x4B		LUT42				0x53		
Bit	7	6	5	4	3	2	1	0
Name	lut42							
Reset	0	1	0	1	0	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	lut42	温度校正算法的 LUT42。					

LUT43

LUT43 为校正 LUT43 寄存器。

Offset Address		Register Name				Total Reset Value		
0x4C		LUT43				0x54		
Bit	7	6	5	4	3	2	1	0
Name	lut43							
Reset	0	1	0	1	0	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut43	温度校正算法的 LUT43。					

LUT44

LUT44 为校正 LUT44 寄存器。



Offset Address		Register Name				Total Reset Value		
0x4D		LUT44				0x54		
Bit	7	6	5	4	3	2	1	0
Name	lut44							
Reset	0	1	0	1	0	1	0	0
Bits	Access	Name	Description					
[7:0]	RW	lut44	温度校正算法的 LUT44。					

LUT45

LUT45 为校正 LUT45 寄存器。

Offset Address		Register Name				Total Reset Value		
0x4E		LUT45				0x55		
Bit	7	6	5	4	3	2	1	0
Name	lut45							
Reset	0	1	0	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut45	温度校正算法的 LUT45。					

LUT46

LUT46 为校正 LUT46 寄存器。

Offset Address		Register Name				Total Reset Value		
0x4F		LUT46				0x55		
Bit	7	6	5	4	3	2	1	0
Name	lut46							
Reset	0	1	0	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut46	温度校正算法的 LUT46。					

LUT47

LUT47 为校正 LUT47 寄存器。



Offset Address		Register Name				Total Reset Value		
0x50		LUT47				0x55		
Bit	7	6	5	4	3	2	1	0
Name	lut47							
Reset	0	1	0	1	0	1	0	1
Bits	Access	Name	Description					
[7:0]	RW	lut47	温度校正算法的 LUT47。					

SDM_COEF_OUSIDE_H

SDM_COEF_OUSIDE_H 为外部分频系数高 4 位寄存器。

Offset Address		Register Name				Total Reset Value		
0x51		SDM_COEF_OUSIDE_H				0x8		
Bit	7	6	5	4	3	2	1	0
Name	reserved				sdm_coef_ouside_h			
Reset	0	0	0	0	1	0	0	0
Bits	Access	Name	Description					
[7:4]	RO	reserved	保留。					
[3:0]	RW	sdm_coef_ouside_h	固定分频模式时的分频系数高 4 位。					

SDM_COEF_OUSIDE_L

SDM_COEF_OUSIDE_L 为外部分频系数低 8 位寄存器。

Offset Address		Register Name				Total Reset Value		
0x52		SDM_COEF_OUSIDE_L				0x1B		
Bit	7	6	5	4	3	2	1	0
Name	sdm_coef_ouside_l							
Reset	0	0	0	1	1	0	1	1
Bits	Access	Name	Description					
[7:0]	RW	Sdm_coef_ouside_l	固定分频模式时的分频系数低 8 位。 注意：对分频系数寄存器（0x51、0x52）进行读/写时，应该先读/写高 4 位，再读/写低 8 位，并且需要高位到低位连续操作才能完成读/写操作。					



USER_REGISTER1

USER_REGISTER1 为 64bit 用户使用寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x53		USER_REGISTER1		0x0				
Bit	7	6	5	4	3	2	1	0
Name	user_register1							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register1	64bit 用户使用寄存器 1，对应 bit[7:0]。					

USER_REGISTER2

USER_REGISTER2 为 64bit 用户使用寄存器 2。

Offset Address		Register Name		Total Reset Value				
0x54		USER_REGISTER2		0x0				
Bit	7	6	5	4	3	2	1	0
Name	user_register2							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register2	64bit 用户使用寄存器 2，对应 bit[15:8]。					

USER_REGISTER3

USER_REGISTER3 为 64bit 用户使用寄存器 3。

Offset Address		Register Name		Total Reset Value				
0x55		USER_REGISTER3		0x0				
Bit	7	6	5	4	3	2	1	0
Name	user_register3							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register3	64bit 用户使用寄存器 3，对应 bit[23:16]。					



USER_REGISTER4

USER_REGISTER4 为 64bit 用户使用寄存器 4。

Offset Address		Register Name					Total Reset Value	
0x56		USER_REGISTER4					0x0	
Bit	7	6	5	4	3	2	1	0
Name	user_register4							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register4	64bit 用户使用寄存器 4，对应 bit[31:24]。					

USER_REGISTER5

USER_REGISTER5 为 64bit 用户使用寄存器 5。

Offset Address		Register Name					Total Reset Value	
0x57		USER_REGISTER5					0x0	
Bit	7	6	5	4	3	2	1	0
Name	user_register5							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register5	64bit 用户使用寄存器 5，对应 bit[39:32]。					

USER_REGISTER6

USER_REGISTER6 为 64bit 用户使用寄存器 6。

Offset Address		Register Name					Total Reset Value	
0x58		USER_REGISTER6					0x0	
Bit	7	6	5	4	3	2	1	0
Name	user_register6							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	user_register6	64bit 用户使用寄存器 6，对应 bit[47:40]。					



USER_REGISTER7

USER_REGISTER7 为 64bit 用户使用寄存器 7。

	Offset Address			Register Name			Total Reset Value		
	0x59			USER_REGISTER7			0x0		
Bit	7	6	5	4	3	2	1	0	
Name	user_register7								
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:0]	RW	user_register7	64bit 用户使用寄存器 7，对应 bit[55:48]。						

USER_REGISTER8

USER_REGISTER8 为 64bit 用户使用寄存器 8。

	Offset Address			Register Name			Total Reset Value		
	0x5A			USER_REGISTER8			0x0		
Bit	7	6	5	4	3	2	1	0	
Name	user_register8								
Reset	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description						
[7:0]	RW	user_register8	64bit 用户使用寄存器 8，对应 bit[63:56]。						

3.9 电源管理与低功耗模式控制

3.9.1 概述

芯片的低功耗模式用来有效的减少芯片的功耗，芯片提供多种低功耗的控制来动态降低芯片的功耗。

- 系统工作模式控制

除了 NORMAL 模式之外，各种模式对功耗都有一定的减小作用，可以根据实际的功耗要求和功能要求选择不同的工作模式。

- 时钟门控和时钟频率调整



提供时钟关断功能，可以关闭没有必要的时钟，减少芯片的功耗。系统工作的时钟频率可以进行调整，在满足功能的情况下可以调节时钟频率，降低芯片功耗。

- 模块级低功耗控制

提供模块级的低功耗控制，在某模块不工作的情况下，关断该模块或使模块处于低功耗状态，以减少芯片的功耗。

- DDR 低功耗控制

DDR 的控制器和相关的管脚进行了动态的功耗控制功能，可以选择启动该功能，降低芯片功耗，还可以启动 DDR 的自刷新模式，来降低整个产品的功耗。

3.9.2 系统工作模式

系统提供两种工作模式：

- 正常工作模式：对应系统运行模式控制中的 NORMAL 模式。

系统正常工作在 NORMAL 模式下，可以通过控制运行的时钟频率，设置模块和 DDR 的低功耗控制，来降低运行时的功耗。

- 待机工作模式：对应系统运行模式控制中的 SLOW 模式和 DOZE 模式。

- 待机工作模式工作系统在极低工作时钟下，并且关闭了大部分不使用的模块的时钟，功耗较低。

- 待机工作在 SLOW 或 DOZE 模式下，可以通过关闭不工作模块的电源来直接减少待机的功耗。

模式切换可在系统控制器中配置。请参见系统控制器章节。

3.9.3 时钟门控和时钟频率调整

系统提供各个模块的时钟门控功能，在模块空闲的时候，可以关闭相应的时钟，降低芯片功耗，操作流程可以参见各个模块的时钟门控部分。

NORMAL 模式下，系统可以通过调整工作频率来降低芯片功耗，方法如下：

- 关闭业务模块，使其不访问 DDR。
- 系统切换到片上内存中运行。

配置 DDRC_SREFCTRL[sr_seq]为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。

1. 配置 SC_PLLCTRL[27:3]为 PLL 的稳定时间。
2. 配置 PERI_CRG0 和 PERI_CRG1，进行 PLL 分频比控制。
3. 根据 DDRC 的配置要求，等待一定的时间之后，配置 DDRC_SREFCTRL 退出自刷新，进行正常的操作。
4. 程序跳转到 DDR 中运行。

----结束



除了提供系统工作频率的调整外，部分模块的工作频率也可以单独进行调整。调整这些模块的工作频率，也可以进一步降低系统的功耗。具体参见“3.2.3 时钟配置”中关于各模块的时钟源选择部分。

3.9.4 模块级低功耗控制

芯片中的 USB 2.0 Host、PCIE、SATA、Video DAC 和 PLL 等 PHY 模块都可以提供低功耗的工作模式。（参见系统控制器、VDP、时钟等章节寄存器描述）

- USB 2.0 Host 模块的低功耗控制
如果不使用 USB2.0 功能，可配置 PERI_CRG46 bit[7]为 0，关闭 USB 2.0 PHY 的时钟。
- USB 3.0 Host 模块的低功耗控制
如果不使用 USB3.0 功能，可配置 PERI_CRG46 bit[15]为 0，关闭 USB 3.0 PHY 的时钟。
- PCIE/SATA Port2 模块的低功耗控制
如果不使用 PCIE 功能并且 SATA Port2 不使用时，可以设置 PERI_CRG43 bit[4]为 0，关闭 PCIE/SATA Port2 的工作时钟。
- SATA 模块的低功耗控制
如果不使用 SATA 功能，可以设置 PERI_CRG43 bit[0]为 0，关闭 SATA PHY0 的工作时钟；可以设置 PERI_CRG43 bit[2]为 0，关闭 SATA PHY1 的参考时钟。
- Video DAC 不使用时的低功耗控制
如果 Video DAC 的某些通道不使用，可以关闭相应的通道，实现降低功耗的目的，具体参考 VDP 章节寄存器描述。
- PLL 提供低功耗的功能，如果不使用 PLL 的情况下可以关闭 PLL，使系统处于低功耗状态：
 - 如果不需要使用 APLL，则配置 PERI_CRG1 bit[23]为 0，禁止 APLL，使 APLL 处于低功耗状态。
 - 如果不需要使用 BPLL，则配置 PERI_CRG3 bit[23]为 0，禁止 BPLL，使 BPLL 处于低功耗状态。
 - 如果不需要使用 VPLL0，则配置 PERI_CRG5 bit[23]为 0，禁止 VPLL0，使 VPLL0 处于低功耗状态。
 - 如果不需要使用 VPLL1，则配置 PERI_CRG7 bit[23]为 0，禁止 VPLL1，使 VPLL0 处于低功耗状态。
 - 如果不需要使用 VPLL2，则配置 PERI_CRG73 bit[23]为 0，禁止 VPLL2，使 VPLL0 处于低功耗状态。
 - 如果不需要使用 EPLL，则配置 PERI_CRG9 bit[23]为 0，禁止 EPLL，使 EPLL 处于低功耗状态。

3.9.5 DDR 低功耗控制

关于 DDRC 的低功耗控制的详细内容请参见“DDRC 工作方式”中的“低功耗配置”。



3.10 处理器子系统

3.10.1 ARMCortexA-9 处理器

处理器采用 ARMCortexA-9 的双核处理器，具有以下的特点：

- Hi3535 处理器工作频率最大支持 1.0GHz，5000 DMIPS
- L1 Cache 包含 32KB I Cache 和 32KB D Cache
- 支持硬件 JAVA 加速
- 包含 MMU
- 处理器内部集成中断控制器 GIC，支持 96 个中断源的处理，其中外部中断 64 个。
- 支持 DVFS、AVS 动态降功耗功能
- 支持 Vxworks(无 VFP 指令版本)、Linux、Android 等操作系统。
- 支持 JTAG 调试接口。
- 支持基于 GHB(Global History Buffer)的分支预测，分支预测准确率达 95%。

3.10.2 L2 Cache

L2 Cache 具有以下特点：

- 256KB 大小。
- 基于物理地址和物理 TAG。
- Cache Line 大小固定为 32byte (8word/256bit)，写操作支持按 byte 写。
- 16 路组相连、8 路组相连可配置。
- 支持写回、写通、读 Allocate 和写 Allocate 操作，实际模式基于页表决定。
- 支持强制写 Allocate 功能，该功能强制所有 Cacheable 写操作发生 Allocate 操作。
- 支持 Shared 模式设置，默认情况下 Shared 操作被认定为 Cacheable 且 Not Allocate。
- 支持 Cache 的 Disable 功能，该功能下 Cache 被旁路，L1 所有操作透传至 DDR memory。
- 支持原子性 Sync 操作。
- 支持按 Way (路)、Way+Index (路加索引)、Address (地址) 进行 Clean (清理) 和 Invalidate (无效)。
- 支持基于 way、Line、master ID 方式的 lockdown。
- 提供 Exclusive Cache 功能，该功能可由软件配置使能；使能情况下可禁止数据同时存在于 L1 级和 L2 级。
- 支持指令和数据预取，预取方式可配置。
- 优化 cache line 写零操作。



目 录

4 存储器接口.....	4-1
4.1 DDRC.....	4-1
4.1.1 概述.....	4-1
4.1.2 特点.....	4-1
4.1.3 功能描述.....	4-1
4.1.4 工作方式.....	4-13
4.1.5 DDRC 内 AXI 模块寄存器.....	4-16
4.1.6 DDRC 内 DMC 模块寄存器.....	4-32
4.1.7 DDRC 内 MUX 模块寄存器.....	4-76
4.1.8 DDRC 内 DDRPHY 模块寄存器.....	4-83
4.2 SFC.....	4-128
4.2.1 概述.....	4-128
4.2.2 特点.....	4-128
4.2.3 功能描述.....	4-129
4.2.4 工作流程.....	4-134
4.2.5 SFC 寄存器概览.....	4-138
4.2.6 SFC 寄存器描述.....	4-139
4.3 NAND Flash 控制器.....	4-154
4.3.1 概述.....	4-154
4.3.2 特点.....	4-154
4.3.3 功能描述.....	4-155
4.3.4 数据存储结构.....	4-162
4.3.5 软件操作.....	4-166
4.3.6 其它注意事项.....	4-167
4.3.7 NANDC 寄存器概览.....	4-167
4.3.8 NANDC 寄存器描述.....	4-169



插图目录

图 4-1 32bit 模式 DDRC 与 2 片 16bit DDR3 SDRAM 的互联示意图.....	4-3
图 4-2 32bit 模式 DDRC 与 2 片不同容量的 16bit DDR3 SDRAM 的互联示意图.....	4-4
图 4-3 32bit 模式 DDRC 与 4 片 8bit DDR3 SDRAM 的互联示意图.....	4-5
图 4-4 32bit 模式 DDRC 与 4 片 8bit DDR3 SDRAM（高、低 16bitDQ 对应 8bit DDR3 SDRAM 容量大小比例为 1:2）的互联示意图.....	4-6
图 4-5 16bit 模式 DDRC 与 1 片 16bit DDR3 SDRAM 的互联示意图.....	4-7
图 4-6 16bit 模式 DDRC 与 2 片 8bit DDR3 SDRAM 的互联示意图.....	4-8
图 4-7 SFC 应用框图.....	4-128
图 4-8 Standard SPI（写）接口时序图.....	4-130
图 4-9 Standard SPI（读）接口时序图.....	4-130
图 4-10 Dual Input/Dual Output SPI 接口时序图.....	4-130
图 4-11 Dual I/O SPI 接口时序图.....	4-131
图 4-12 Full Dual I/O SPI 接口时序图.....	4-131
图 4-13 Quad Input/Quad Output SPI 接口时序图.....	4-132
图 4-14 Quad I/O SPI 接口时序图.....	4-132
图 4-15 Full Quad SPI 接口时序图.....	4-133
图 4-16 SPI 输出时序图.....	4-134
图 4-17 通过寄存器读取 Flash 的操作流程（查询方式）.....	4-135
图 4-18 通过寄存器写 Flash 的操作流程（中断方式）.....	4-136
图 4-19 通过寄存器方式其他操作流程.....	4-137
图 4-20 NANDC 接口框图.....	4-155
图 4-21 读 NAND Flash 一个 page 数据的典型时序图.....	4-156
图 4-22 启动 NANDC 进行编程操作时的时序图.....	4-157
图 4-23 4bit ECC 模式驱动软件中的数据结构 2048byte+32byte.....	4-162
图 4-24 4bit ECC 模式 NAND Flash 中数据结构.....	4-162



图 4-25 4bit ECC 模式驱动软件中的数据结构 4096byte+32byte	4-162
图 4-26 4bit ECC NAND Flash 中的数据的数据的结构 4096byte+128byte	4-163
图 4-27 16bit ECC 模式驱动软件中的数据的数据的结构 2048byte+8/32byte	4-163
图 4-28 16bit ECC NAND Flash 中的数据的数据的结构(CTRL=6byte)2048byte+64byte	4-163
图 4-29 16bit ECC NAND Flash 中的数据的数据的结构(CTRL=30byte)2048byte+64byte	4-163
图 4-30 16bit ECC 模式驱动软件中的数据的数据的结构 4096byte+16/32byte	4-164
图 4-31 16bit ECC NAND Flash 中的数据的数据的结构(CTRL=14byte)4096byte+128byte	4-164
图 4-32 16bit ECC NAND Flash 中的数据的数据的结构(CTRL=30byte)4096byte+128byte	4-164
图 4-33 24bit ECC 模式驱动软件中的数据的数据的结构 2048byte+32byte:	4-164
图 4-34 24bit ECC 模式 NAND Flash 器件中数据的数据的结构 2048byte+116byte	4-165
图 4-35 24bit ECC 模式驱动软件中的数据的数据的结构 4096byte+32byte	4-165
图 4-36 24bit ECC 模式 NAND Flash 器件中数据的数据的结构 4096byte+200byte	4-165
图 4-37 24bit ECC 模式驱动软件中的数据的数据的结构 8192byte+32byte	4-165
图 4-38 24bit ECC 模式 NAND Flash 器件中的数据的数据的结构 8192byte+368byte	4-166



表格目录

表 4-1 DDRC 支持的 DDR3 SDRAM 列表	4-2
表 4-2 DDRC 命令真值表	4-8
表 4-3 DDRC 32bit 模式地址映射表	4-12
表 4-4 DDRC 16bit 模式地址映射表	4-12
表 4-1 AXI 寄存器概览（基址是 0x2011_0000）	4-16
表 4-2 AXI 寄存器偏移地址变量表	4-17
表 4-3 DMC 寄存器概览（基址是 0x2011_1000）	4-32
表 4-4 MUX 寄存器概览（基址是 0x2011_5000）	4-76
表 4-5 MUX 寄存器偏移地址变量表	4-77
表 4-6 DDRPHY 寄存器概览（基址是 0x2011_8000）	4-83
表 4-7 DDRPHY 寄存器偏移地址变量表	4-86
表 4-8 SFC 寄存器概览（基址是 0x1001_0000）	4-138
表 4-9 Boot 相关的配置管脚	4-157
表 4-10 K9F2G08U0M 的地址表	4-161
表 4-11 K9GAG08X0M 的地址表	4-161
表 4-12 NAND Flash 常用命令表	4-161
表 4-13 寄存器概览（基址是 0x1000_0000）	4-168



4 存储器接口

4.1 DDRC

4.1.1 概述

DDRC (DDR3 SDRAM Controller) 完成对动态存储器 DDR3 SDRAM 的存取控制。

4.1.2 特点

DDRC 的功能特点:

- 提供 1 个 DDR3 SDRAM 片选。
- 支持 DDR3 SDRAM 数据总线位宽可配置(支持 32bit 或 16bit 模式); DDR3 SDRAM 数据总线位宽配置为 32bit 模式时, 支持高 16bit 和低 16bit DDR3 SDRAM 容量大小比例为 1:1 或者 1:2。
- 支持 DDR3 SDRAM 地址总线位宽可配置(最大支持为 16bit)。
- 支持最大存储空间为 2GB。
- 支持最高 800MHz DDR3 SDRAM 工作频率, 数据率达 1600Mbps。
- 支持 DDR3 SDRAM 的 Power Down、Self Refresh 等低功耗模式。
- 支持 DDR3 SDRAM 的 burst8 传输模式。

4.1.3 功能描述

4.1.3.1 应用框图

DDRC 实现了 SoC 系统中的 CPU 等主设备对外存 DDR3 SDRAM 的数据访问。通过 CPU 配置 DDRC 的时序参数寄存器, 可以支持符合 JEDEC (JESD79) 标准的 DDR3 SDRAM 器件。表 4-1 列举了 DDRC 支持的几家主流 DRAM 厂商的 DDR3 SDRAM。此表针对 DDR3 SDRAM 的工作频率进行描述, 没有考虑容量等因素的限制。



表4-1 DDRC 支持的 DDR3 SDRAM 列表

厂商	400MHz	533MHz	667MHz	800MHz	备注
JESD79 (DDR3 Standard)	DDR3-800 DDR3-1066 DDR3-1333 DDR3-1600	DDR3-1066 DDR3-1333 DDR3-1600	DDR3-1333 DDR3-1600	DDR3-1600	1、2

注:

- 1、DDRC 能支持的 DDR3 SDRAM 的最高工作频率为 800MHz。
- 2、具体支持器件类型以 JEDEC 标准和器件 DATASHEET 为基准。

DDRC 支持 32bit DDR 和 16bit DDR。32bit 模式下，DDRC 与 2 片数据总线位宽为 16bit 的 DDR3 SDRAM 相连，或者与 4 片数据总线位宽为 8bit 的 DDR3 SDRAM 相连；16bit 模式下，DDRC 与 1 片数据总线位宽为 16bit 的 DDR3 SDRAM 相连，或者与 2 片数据总线位宽为 8bit 的 DDR3 SDRAM 相连。

32bit 模式下连接示意图如图 4-1、图 4-1、图 4-1 和图 4-3 所示。



图4-1 32bit 模式 DDRC 与 2 片 16bit DDR3 SDRAM 的互联示意图

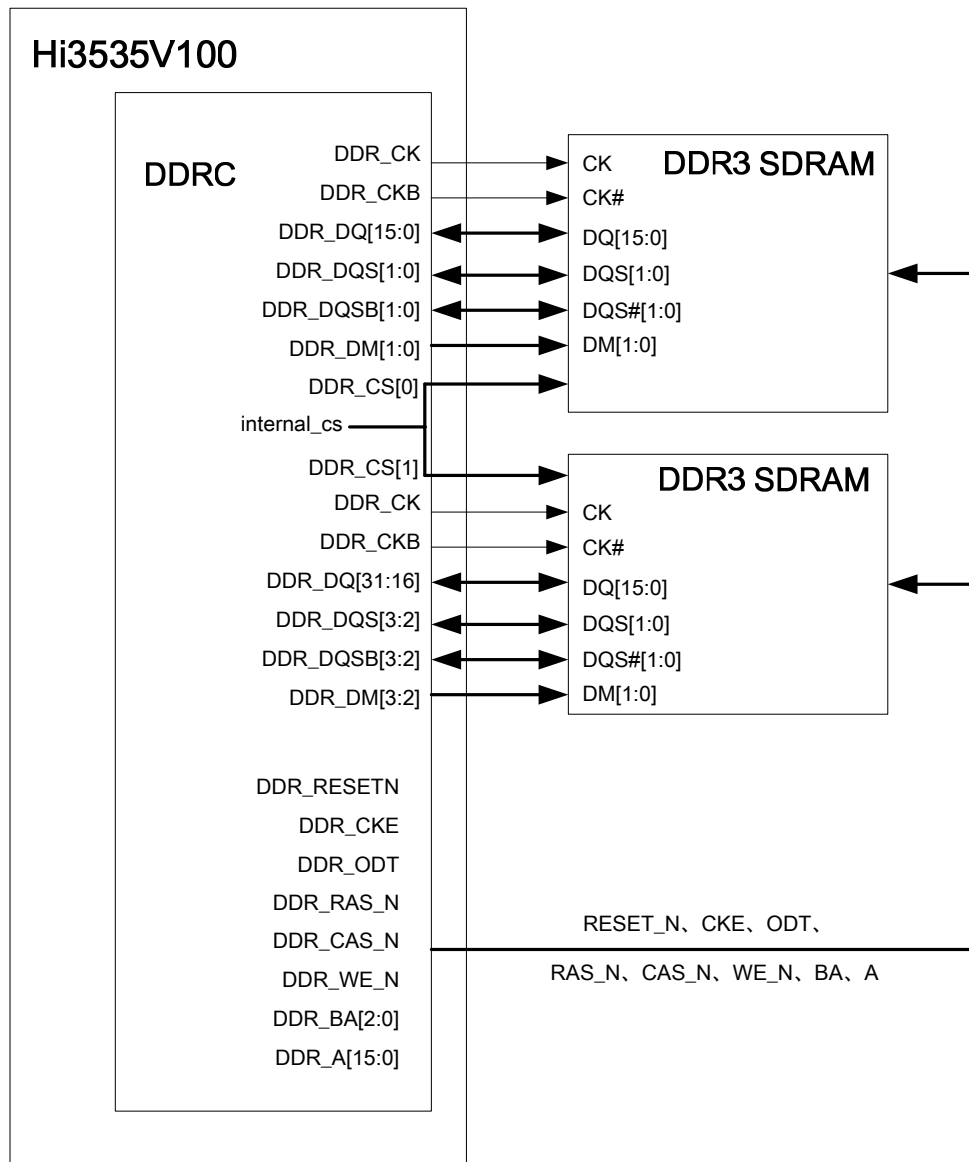
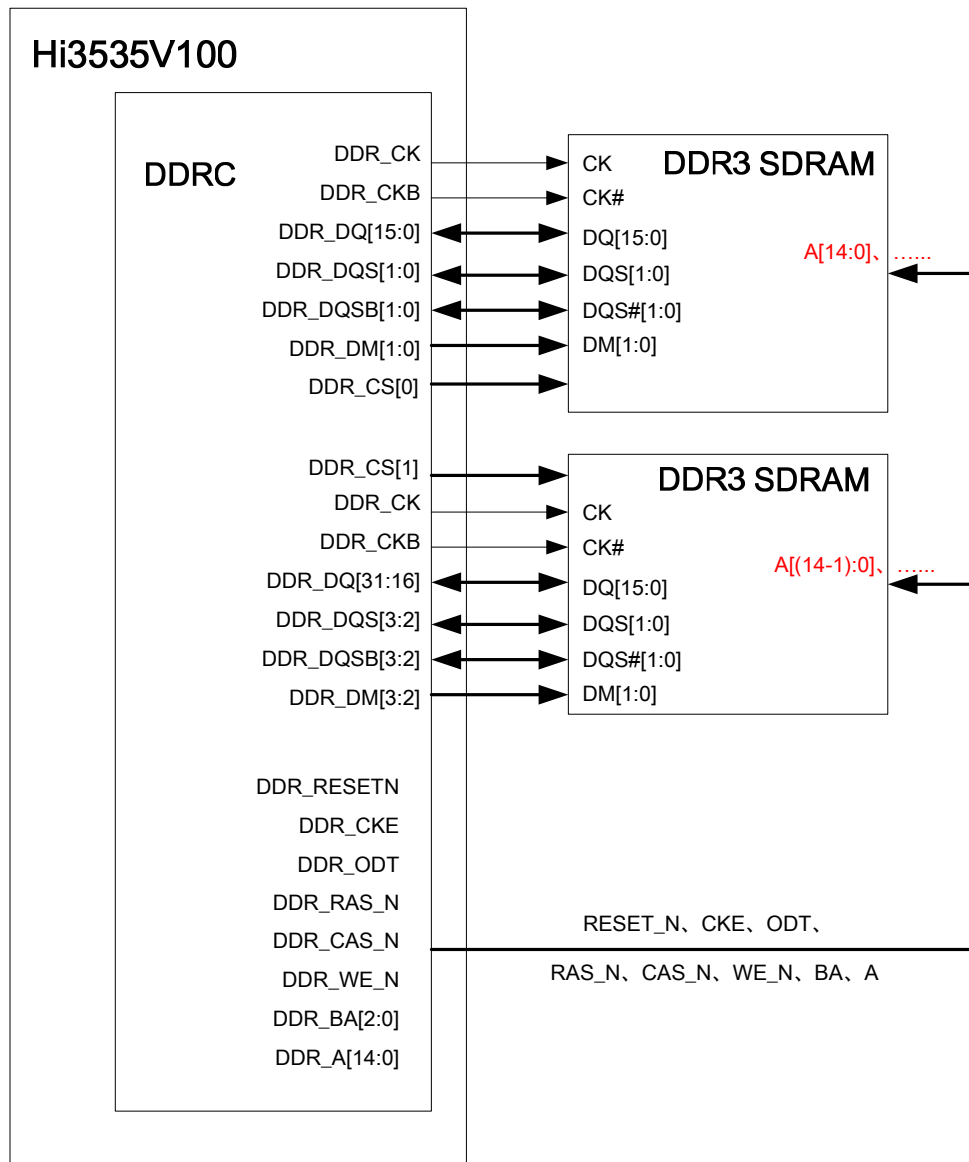




图4-2 32bit 模式 DDRC 与 2 片不同容量的 16bit DDR3 SDRAM 的互联示意图



连接说明：

DDR3 SDRAM 是数据总线宽度为 16bit 的存储器件。

对接两片不同容量的 16bit DDR3 SDRAM 时，DQ[31:16]对应的 16bit DDR3 SDRAM 与 DQ[15:0]对应的 16bit DDR3 SDRAM 容量大小比例要求是：1:2。

DDRC 的命令控制信号：DDR_CS[0]、DDR_CS[1]、DDR_CKE、DDR_RESET_N、DDR_RAS_N、DDR_CAS_N、DDR_WE_N、DDR_BA[2:0]、DDR_A[14:0]、DDR_ODT，与 DDR3 SDRAMx 的命令控制信号相连，DDRC 的命令控制总线是 1 驱 2 的连接模式（DDR_CS 为 1 驱 1，两 bit 信号完全相同）。



图4-3 32bit 模式 DDRC 与 4 片 8bit DDR3 SDRAM 的互联示意图

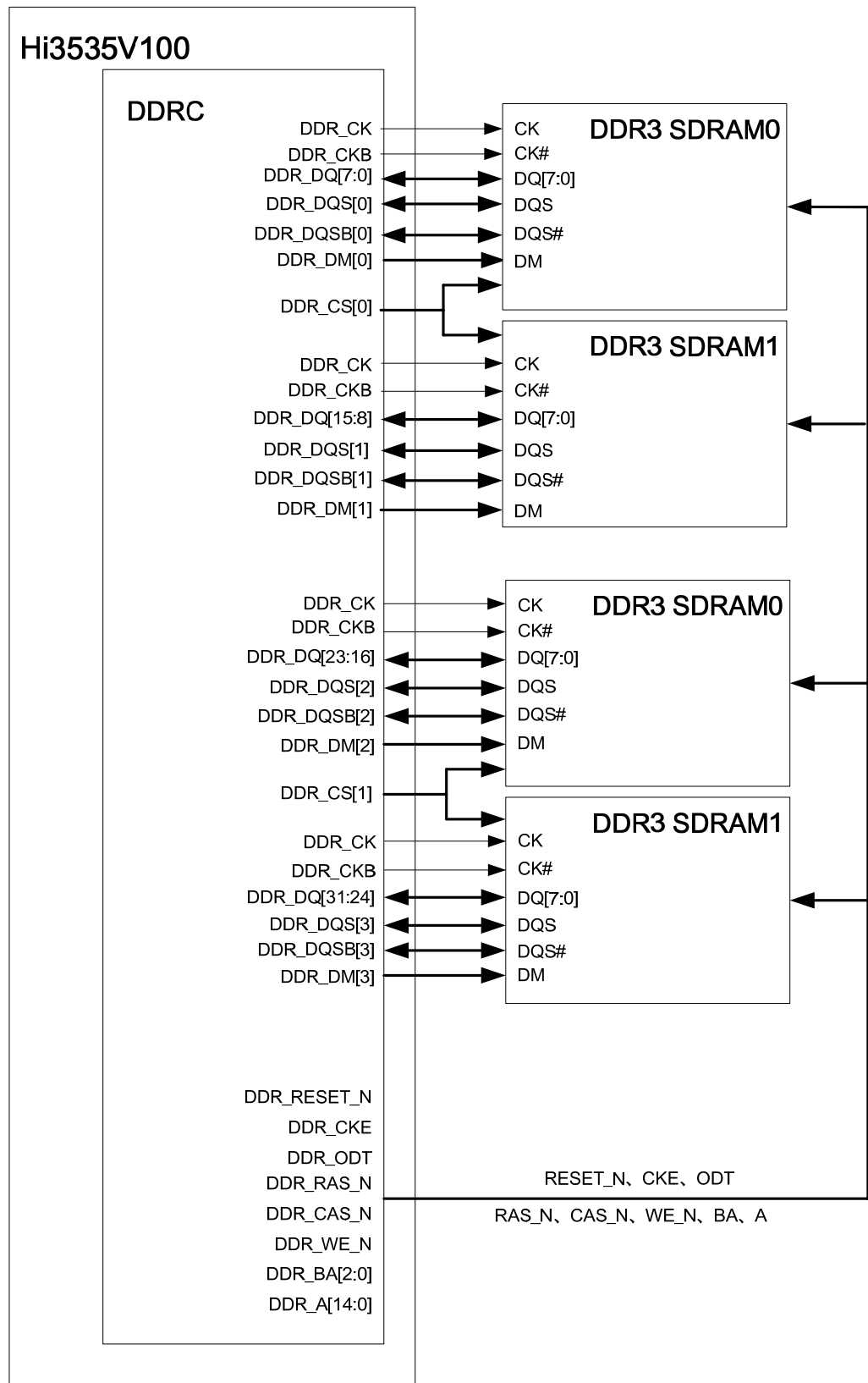
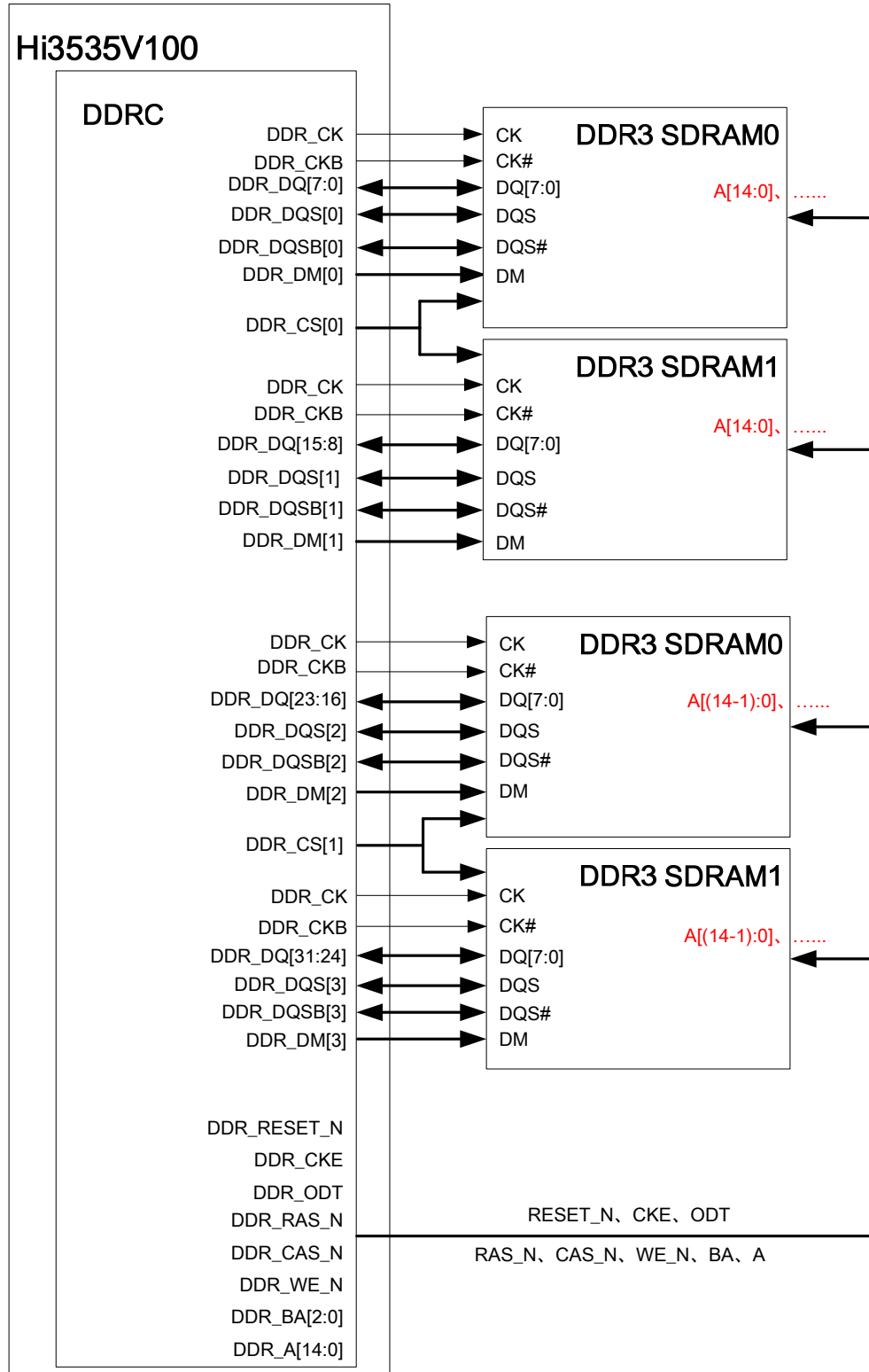




图4-4 32bit 模式 DDRC 与 4 片 8bit DDR3 SDRAM（高、低 16bitDQ 对应 8bit DDR3 SDRAM 容量大小比例为 1:2）的互联示意图



连接说明:

a: DDR3 SDRAMx 是数据总线宽度为 8bit 的存储器件。

b: 对接两部分（每部分由两片容量相同的 8bitDDR3 SDRAM 组成）不同容量的 DDR3 SDRAM 时，

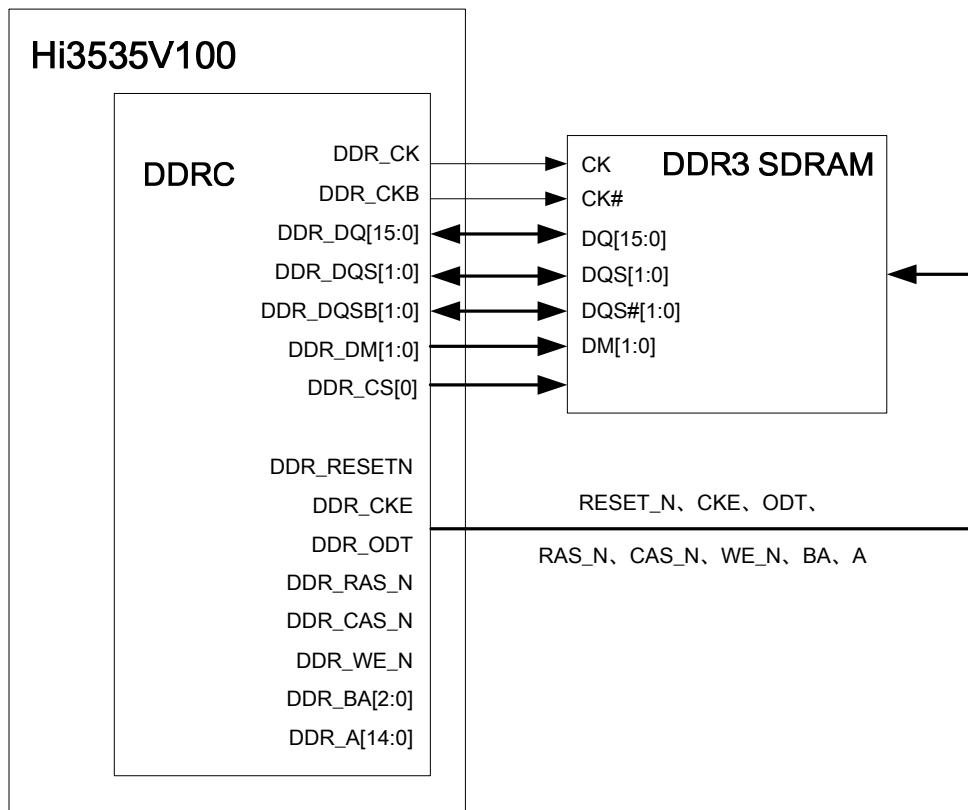


DQ[31:16]对应的 8bit DDR3 SDRAM 与 DQ[15:0]对应的 8bit DDR3 SDRAM 容量大小比例要求是：1:2。

c: DDRC 的命令控制信号：DDR_CS[0]、DDR_CS[1]、DDR_CKE、DDR_RESET_N、DDR_RAS_N、DDR_CAS_N、DDR_WE_N、DDR_BA[2:0]、DDR_A[14:0]，同时与 DDR3 SDRAMx 的命令控制信号相连，即 DDRC 的命令控制总线是 1 驱 4 的连接模式（DDR_CS 为 1 驱 2，两 bit 信号完全相同）。

16bit 模式下连接示意图如图 4-5 和图 4-6 所示。

图4-5 16bit 模式 DDRC 与 1 片 16bit DDR3 SDRAM 的互联示意图



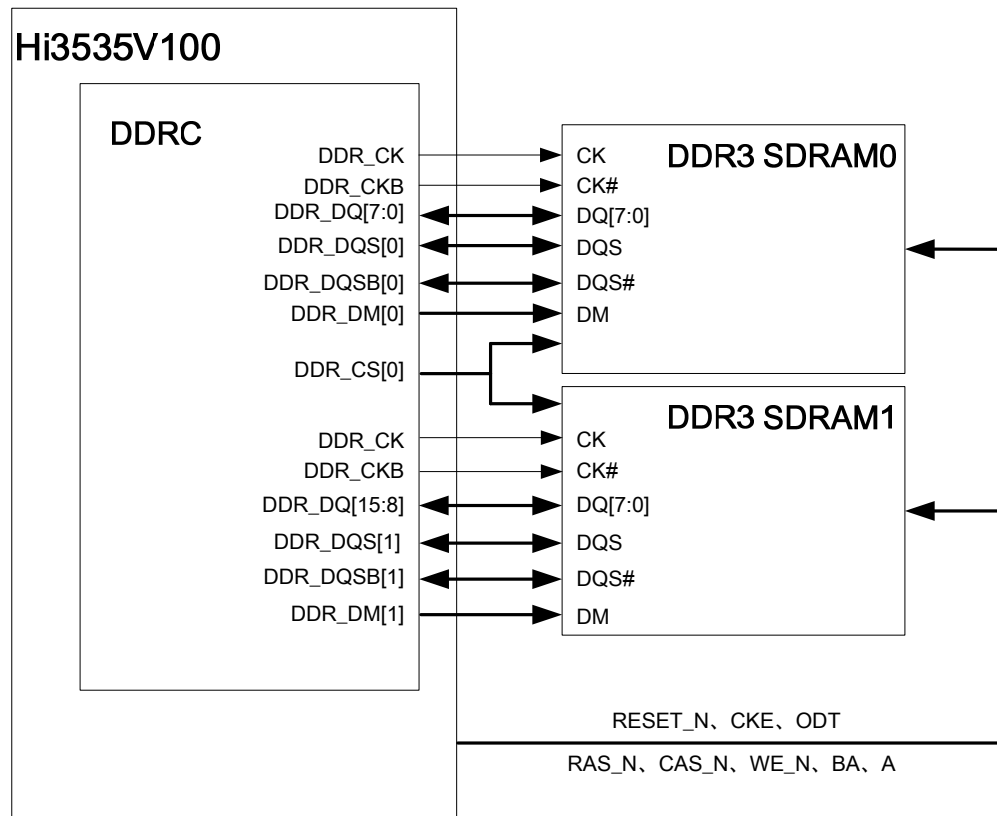
连接说明：

DDR3 SDRAM 是数据总线宽度为 16bit 的存储器件。

DDRC 的命令控制信号：DDR_CS[0]、DDR_CKE、DDR_RESET_N、DDR_RAS_N、DDR_CAS_N、DDR_WE_N、DDR_BA[2:0]、DDR_A[14:0]、DDR_ODT，与 DDR3 SDRAM 的命令控制信号相连，DDRC 的命令控制总线是 1 驱 1 的连接模式。



图4-6 16bit 模式 DDRC 与 2 片 8bit DDR3 SDRAM 的互联示意图



连接说明:

DDR3 SDRAM_x 是数据总线宽度为 8bit 的存储器件。

DDRC 的命令控制信号: DDR_CS[0]、DDR_CKE、DDR_RESET_N、DDR_RAS_N、DDR_CAS_N、DDR_WE_N、DDR_BA[2:0]、DDR_A[14:0], 同时与 DDR3 SDRAM_x 的命令控制信号相连, 即 DDRC 的命令控制总线是 1 驱 2 的连接模式 (DDR_CS 为 1 驱 1)。

4.1.3.2 功能原理

DDRC 接口时序满足 JESD79 标准, 通过发送 DDR3 SDRAM 的命令字, 完成对 DDR3 SDRAM 的数据访问和状态控制。包括 DDR3 SDRAM 的读写访问、自动刷新、低功耗控制等功能。

命令真值表

DDRC 支持 DDR3 SDRAM 的读写和控制命令字。DDRC 的命令真值表如表 4-2 所示。更加详细的信息请参阅 JEDEC 标准和器件手册。

表4-2 DDRC 命令真值表

FUNCTION	DDR3_CKE	DDR3_CS_N	DDR3_RAS_N	DDR3_CAS_N	DDR3_WE_N	DDR3_ADR			DDR3_BA
						15:11	AP(10)	9:0	
DESELECT	H	H	X	X	X	X	X	X	X



FUNCTION	DDR3_CKE	DDR3_CSN	DDR3_RASN	DDR3_CASN	DDR3_WEN	DDR3_ADR			DDR3_BA
						15:11	AP(10)	9:0	
ACTIVE	H	L	L	H	H	V	V	V	V
READ	H	L	H	L	H	V	V	V	V
WRITE	H	L	H	L	L	V	V	V	V
PRECHARGE	H	L	L	H	L	V	L	V	BA
PRECHARGE ALL	H	L	L	H	L	V	H	V	V
AUTO REFRESH	H	L	L	L	H	V	V	V	V
SELF REFRESH ENTRY	H->L	L	L	L	H	V	V	V	V
SELF REFRESH EXIT	L->H	L	H	H	H	V	V	V	V
MODE REGISTER SET	H	L	L	L	L	V	V	V	V
ZQCL	H	L	H	H	L	X	H	X	X
ZQCS	H	L	H	H	L	X	L	X	X

H: 表示高电平; L: 表示低电平; V: 表示有效; X: 表示不关心。

ZQCL (ZQ Calibration Long): 用于在 DDR3 SDRAM 上电初始化时, 启动 DDR3 的 ZQ Calibration 操作。

ZQCS (ZQ Calibration Short): 用于在芯片环境条件发生变化时, 启动 DDR3 的 ZQ Calibration 操作。

自动刷新

当配置 DDRC_CFG_TIMING2 [taref] 为非零值, DDRC 自动产生周期性 AUTO REFRESH 命令, 完成对 DDR3 SDRAM 的刷新操作。常温下, DDR3 SDRAM 要求在 64ms 内必须完成 8,192 次自动刷新操作, 即自动刷新操作的周期为 7.8us。

DDRC_CFG_TIMING2 [taref] 的配置值 (taref) 与自动刷新周期 (T=7.8us) 的关系为:

$$T \geq \text{taref} \times (16 \times \text{DDR 时钟周期})$$

在配置了 DDRC_CFG_TIMING2[taref], DDRC 内部的计数器会自动加载 taref 值进行减计数, 当计数器值为 0 时, DDRC 发起一次自动刷新操作, 同时重新加载 taref 值进行计数。

低功耗管理

DDRC 支持两种模式的低功耗管理: 普通低功耗模式和自刷新低功耗模式。

当配置 DDRC_CFG_PD[pd_en]=1, 使能 SDRAM 自动低功耗后, 系统处于空闲状态时 (DDRC 总线接口一定时间内无读写 DDR 访问), 自动控制 DDR3 SDRAM 进入到普通低功耗模式。



当系统需要进入到待机模式时，可通过配置寄存器 DDRC_CTRL_SREF [sref_req]=1，控制 DDR3 SDRAM 进入到自刷新低功耗模式。该模式下可以将 DDR3 SDRAM 的功耗降至最低，同时保持 DDR3 SDRAM 中的数据，但是此时系统不能访问 DDR3 SDRAM。

仲裁机制

DDRC 实现了优先级调度算法和流量控制算法。

- 优先级调度算法

通过配置 AXI_QOSCFGn[pri_map_mode]选择优先级映射方式，如果 AXI_QOSCFGn[pri_map_mode]配为 1，采用系统总线三位选择信号作为地址，查找预先设置的 8 个优先级值中的一个；如果 AXI_QOSCFGn[pri_map_mode]配为 0，则需配置 AXI_QOSCFGn[pri_id_map]的值来选择 ID 的某三位作为地址，查找预先设置的 8 个优先级值中的一个。配置 AXI_WRPRIn 和 AXI_RDPRI 寄存器，DDRC 将给总线的读写命令添加优先级属性，然后根据命令的优先级属性进行调度，实现对 DDR3 SDRAM 的高效率访问。

通过配置 AXI_WRTOUT 和 AXI_RDTOUT 寄存器为非零值，DDRC 将给总线的命令添加响应延迟(timeout)属性。通过配置 AXI_QOSCFGn[tout_map_mode]选择 timeout 值的映射方式，如果 AXI_QOSCFGn[tout_map_mode]配为 1，采用系统总线两位选择信号作为地址，查找预先设置的四个 timeout 值中的一个；如果 AXI_QOSCFGn[tout_map_mode]配为 0，则需配置 AXI_QOSCFG0n[tout_id_map]的值来选择 ID 的某两位信号作为地址，查找预先设置的四个 timeout 值中的一个。然后根据响应延迟优先的调度算法，实现总线命令响应延迟的保证。

- 流量控制算法

配置 DDRC_CFG_PERF[flux_en]和 AXI_FLUX0n [flux_cfg0]，DDRC 将给总线的端口添加流量控制属性，对每个系统总线端口的流量进行分配，保证各端口在 DDRC 访问繁忙时的带宽。有响应延迟属性的命令，在延迟耗尽的情况下，将不受流控限制。

流量统计和命令 latency 统计功能

DDRC 支持流量统计功能：

- 统计接口读写流量

用以收集当前流量信息以决定是否需要进行 DFS (Dynamical Frequency Scaling)，即：提高或者降低 DDRC 的频率。

- 对指定 ID 访问读/写流量单独统计。

- 对总体读/写流量统计。

- 支持 DDR 接口利用率统计，统计计数器支持连续统计和单次统计：

- 当为连续统计时计数器为非饱和计数器，计数器记到最大值后会卷绕，方便系统进行连续统计，所以需要系统在计数器未卷绕之前将计数器值读出。
- 当为单次统计时，统计计数器在进行统计时间到达后停止统计，系统可以用此功能可以统计瞬时的流量以及 latency。

DDRC 支持命令 latency 统计功能：支持指定 ID 访问读写最大 latency 统计，以及累积 latency 统计。



统计功能操作，如下：

1. 通过 `DDRC_CFG_PERF.perf_mode` 配置统计的模式是否为连续触发还是单次触发，如为单次触发还需要配置 `perf_prd` 域配置统计周期。
2. 通过 `DDRC_CFG_STAID` 配置期望统计的 ID。
3. 通过 `DDRC_CFG_STAIDMSK` 设置 ID 的 Mask 值，DDRC 会通过 `sta_idmask&` 系统访问 ID 是否等于 `DDRC_CFG_STAID` 判断是否将当前访问纳入统计。使用这种方法可以统计多个 ID 的统计值。
4. 配置 `DDRC_CTRL_PERF.perf_en` 使能统计。如为单次统计 `perf_en` 恢复为 0 时表示统计完成，如为连续统计需要软件将 `DDRC_CTRL_PERF.perf_en` 写 0 停止统计。
5. 通过 `DDRC_HIS_FLUX_WR`, `DDRC_HIS_FLUX_RD`, `DDRC_HIS_FLUX_WCMD`, `DDRC_HIS_FLUX_RCMD`, `DDRC_HIS_FLUXID_WR`, `DDRC_HIS_FLUXID_RD`, `DDRC_HIS_FLUXID_WCMD`, `DDRC_HIS_FLUXID_RCMD`, `DDRC_HIS_WLATCNT0`, `DDRC_HIS_WLATCNT1`, `DDRC_HIS_RLATCNT0`, `DDRC_HIS_RLATCNT1`, `DDRC_HIS_INHERE_RLAT_CNT` 来观测统计结果。

----结束

地址映射方式

DDRC 实现了将系统总线的访问地址转换为 DDR3 SDRAM 的访问地址。配置 `DDRC_CFG_RNKVOL0 [mem_map]`，选择地址映射方式为 RBC，目前只支持这种模式；通过 `DDRC_CFG_RNKVOL0 [mem_row]` 和 `DDRC_CFG_RNKVOL0 [mem_col]` 寄存器对 SDRAM 的行地址和列地址位宽进行配置。DDRC 根据地址映射算法将系统总线地址转换为 DDR3 SDRAM 地址。

下面以 RBC 模式示例说明系统总线地址和 DDR3 SDRAM 地址的映射算法。假设系统总线地址为 `BUSADR[31:0]`，有效地址为 `BUSADR[m-1:0]`，DDR3 SDRAM 的地址为 `DDRADR[14:0]`。当 `DDRADR[14:0]` 作为行地址时，其有效地址为 `DDRROW[x-1:0]`，作为列地址时，其有效地址为 `DDRCOL[y-1:0]`，DDR 的 BANK 地址为 `DDRBA[z-1:0]`，DDRC 的存储数据总线宽度为 `DW`，此时地址映射关系为：

`DDRC_CFG_RNKVOL0 [mem_map]` 为 2b00 时，RBC 映射方式： $BUSADR[m-1:0] = \{DDRROW[x-1:0], DDRBA[z-1:0], DDRCOL[y-1:0], DW\{b0\}\}$

在上面的表达式中，参数的关系满足： $m = x+y+z+DW$ 。

- 当 DDRC 为 32bit 应用模式时，`DW` 为 2。
- 当 DDRC 为 16bit 应用模式时，`DW` 为 1。

当 `DDRC_CFG_RNKVOL0 [mem_map]` 为 2b00，A10 作为 DDR 的 AP 功能位时，系统总线地址到 DDR3 SDRAM 地址的映射表如图 4-3 和表 4-4 所示，即 RBC 模式下的地址映射关系。



表4-3 DDRC 32bit 模式地址映射表

存储器类型 Mbit×bw	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR								
			2	1	0		15	14	13	12	11	10/AP	9	8	7:0
1Gbit 8bank															
64×16	13	9	14	13	12	行地址	-	-	-	27	26	25	24	23	22:15
						列地址	-	-	-	-	-	AP	11	10	9:2
2Gbit 8bank															
128×16	14	9	14	13	12	行地址	-	-	28	27	26	25	24	23	22:15
						列地址	-	-	-	-	-	AP	11	10	9:2
4Gbit 8bank															
256×16	15	10	13	12	11	行地址	-	29	28	27	26	25	24	23	22:15
						列地址	-	-	-	-	-	AP	11	10	9:2
8Gbit 8bank															
512×16	16	10	13	12	11	行地址	30	29	28	27	26	25	24	23	22:15
						列地址	-	-	-	-	-	AP	11	10	9:2

表4-4 DDRC 16bit 模式地址映射表

存储器类型 Mbit×bw	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR						
			2	1	0		13	12	11	10/AP	9	8	7:0
256Mbit 4bank													
16×16	13	9	-	11	10	行地址	-	24	23	22	21	20	19:12
						列地址	-	-	-	AP	-	9	8:1
512Mbit 4bank													
32×16	13	10	-	12	11	行地址	-	25	24	23	22	21	20:13
						列地址	-	-	-	AP	10	9	8:1
1Gbit 8bank													
64×16	13	10	13	12	11	行地址	-	26	25	24	23	22	21:14
						列地址	-	-	-	AP	10	9	8:1
2Gbit 8bank													
128×16	14	10	13	12	11	行地址	27	26	25	24	23	22	21:14



存储器类型	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR						
			2	1	0		13	12	11	10/AP	9	8	7:0
Mbit×bw						列地址	-	-	-	AP	10	9	8:1

4.1.4 工作方式

时钟门控

系统进入低功耗模式后，可以关闭 DDRC 的工作时钟。同样，在系统恢复到正常模式前，需要先打开 DDRC 的工作时钟。

DDRC 进入低功耗模式，时钟关闭的步骤如下：

1. 配置 `DDRC_CTRL_SREF` [sref_req] 为 1，请求进入自刷新模式。
2. 查询 `DDRC_CURR_FUNC` [in_sref] 位，直到其值为 1，则进入低功耗模式。
3. 关断 DDRC 时钟。
4. DDR 处于低功耗状态。

----结束

DDRC 退出低功耗模式，时钟打开的步骤如下：

1. 系统进入正常工作模式，打开 DDRC 时钟。
2. 配置 `PACK_PHYINITCTRL` 寄存器值为 0x3，启动 PHY PLL 重新锁定。
3. 软件等待，并查询 `PACK_PHYINITCTRL` [init_en] 位，直到值为 0，表示初始化完成。
4. 配置 `DDRC_CTRL_SREF` [sref_req] 为 0，请求退出自刷新模式。
5. 查询 `DDRC_CURR_FUNC` [in_sref] 位，直到其值为 0，表示已退出 DDR 低功耗模式。
6. 配置 `DDRC_CTRL_SREF` [sref_done] 为 1。
7. 系统可以正常访问 DDR。

----结束

软复位

DDRC 不能进行单独的复位操作。只有在全局软复位时，才能复位 DDRC。复位之后，需要按照初始化流程进行重新初始化 DDR3 SDRAM。

DDR3 初始化配置流程

系统上电之后，必须先完成 DDR3 SDRAM 的初始化操作，系统才能访问 DDR3 SDRAM。在进行初始化之前需要注意以下几点：



- 对 DDR3 SDRAM 进行上电操作时，需要遵循 JEDEC 标准。即先提供 VDD，然后提供 VDDQ，最后提供 VREF 和 VTT。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。

在 DDRC 32bit 模式下，DDR3 SDRAM 容量为 2Gbit，可由 2 片容量为 1Gbit，数据总线位宽为 16bit 的 DDR3 SDRAM 或者 4 片容量为 512Mbit，数据位宽为 8bit 的 DDR3 SDRAM 构成的存储空间，DDRC 和 DDR3 工作频率比 1:2 模式下，即 DDRC 工作在 400MHz，DDR 工作在 800Mhz（1.6Gbps），DDRC 的初始化步骤如下：

1. 配置 DDRC_CFG_INIT 寄存器值为 0x8。
2. 配置 DDRC_CFG_SREF 寄存器值为 0x8100，配置 DDR 进入自刷新时，DDRC 反压命令。
3. 配置 DDRC_CFG_AREF 寄存器值为 0x0，DDR 初始化时关闭 auto-refresh。
4. 配置 DDRC_CFG_PD 寄存器值为 0x0，初始化过程中关闭 power down 功能。
5. 配置 DDRC_CFG_WORKMODE 寄存器值为 0x11002011。

说明：当频率比为 1:1 时，该寄存器配置为 0x11000010。

6. 配置 DDRC_CFG_DDRMODE 寄存器值为 0x26，配置 DDR 位宽为 32bit，配置 DDR 类型为 DDR3，DDRC 配置为 BL4。

说明：当频率比为 1:1 时，该寄存器配置为 0x126，DDRC 配置为 BL8。

7. 配置 DDRC_CFG_RNKVOL 寄存器值为 0x132。

说明：不同 DDR 器件容量行列位宽不同，可以修改该寄存器的值。

8. 配置 QoS 寄存器：AXI_QOSCFG0~AXI_QOSCFG1，AXI_WRPRI(0~6)（对应偏移地址为 0x0C0+0x4 x ports，ports = 0~6）、AXI_RDPRI(0~6)（对应偏移地址为 0x100+0x4 x ports，ports = 0~6），AXI_WRTOUT(0~6)（对应偏移地址为 0x140+0x4 x ports，ports = 0~6），AXI_RDTOUT(0~6)（对应偏移地址为 0x180+0x4 x ports，ports = 0~6）（根据实际业务需要配置）。

9. 配置 DDRC_CFG_TIMING0~DDRC_CFG_TIMING5 寄存器值分别为 0x2466150F、0x40289040、0x73014000、0xFFDF7F3、0x6F2000 和 0x14006，配置 DDR 工作的各时序参数。

10. 配置 DDRC_CFG_ODT 寄存器值为 0x1，写时使能 ODT，读时禁止 ODT。

11. 配置 DDRC_CTRL_DDRRST 寄存器值为 0x1。

12. 配置 PACK_PHYTMR1 寄存器值为 0x00100010、PACK_PLLTMR 寄存器值为 0x07800010、PACK_DLYMEASCTRL 寄存器值为 0x475，配置 PHY 时序。

13. 配置 PACK_DRAMCFG 寄存器值为 0x22，配置 DDR 类型为 DDR3。

说明：PACK_DRAMCFG[ma2t]仅在频率比为 1:2 时配置为 1。

14. (可选) 仅当频率比为 1:2 的时候需要配置 PACK_ACPHYCTL 寄存器值为 0xFFFF0770。

15. 配置 PACK_DRAMTMR0~PACK_DRAMTMR4 寄存器值为 0xAA1ECC66、0xA8050C4、0x200E1860、0xC8C40E00 和 0x6764，配置 DDR 工作的各时序参数。



说明:

频率比为 1:1 时, 时序参数配置值和 DDRC 时序参数配置值一致;

频率比为 1:2 时, 时序参数配置值为 DDRC 时序参数配置值的 2 倍。

16. 配置 `PACK_ODTCR` 寄存器值为 0x1。

17. 配置 `PACK_MISC` 寄存器值为 0x387。

说明: `PACK_MISC[cfg_rl]=CL-2;`

`PACK_MISC[cfg_wl]=CWL-1;`

18. 配置 `PACK_DRAM_MR01` 寄存器值为 0x61D50。

19. 配置 `PACK_DRAM_MR23` 寄存器值为 0x18。

20. 配置 `PACK_PHYINITCTRL` 寄存器值为 0x17FF。启动 PHY 做初始化。

21. 软件等待, 并查询 `PACK_PHYINITCTRL[init_en]`位, 直到值为 0, 表示初始化完成。

22. 配置 `DDRC_CFG_PD` 寄存器值为 0x401, 使能 powerdown, 配置 power down 周期。

23. 配置 `DDRC_CFG_TIMING2` 寄存器值为 0x730140BE, 使能 auto-refresh。

24. 配置 `DDRC_CTRL_SREF` 寄存器值为 0x2, DDRC 退出自刷新。

25. 软件查询 `DDRC_CURR_FUNC[in_sref]`, 直到值为 0, 表示 DDRC 推出自刷新。

26. 配置 `DDRC_CTRL_SREF [sref_done]`为 1。

----结束

完成以上步骤以后, DDR3 SDRAM 就可以正常工作。

说明: 针对不同的 DDR 颗粒, 所配置的寄存器的值可能会有部分不同, 但配置过程需按上述步骤进行。

4.1.4.2 低功耗配置

DDRC 支持两种 DDR3 SDRAM 的低功耗模式: DDR3 SDRAM PowerDown 模式和 DDR3 SDRAM 自刷新模式。

配置 `DDRC_CFG_PD[pd_en]`和 `DDRC_CFG_PD [pd_prd]`为有效值, DDRC 在系统空闲状态下会自动控制 DDR3 SDRAM 进入低功耗状态。当 `DDRC_CFG_PD[pd_en]`配置为 1, DDRC 在 `DDRC_CFG_PD [pd_prd]`个总线时钟周期没有任何访问操作, 则会控制 DDR3 SDRAM 进入低功耗模式。

配置 `DDRC_CTRL_SREF [sr_seq]`为有效值, DDRC 将控制 DDR3 SDRAM 进入自刷新模式。当配置 `DDRC_CTRL_SREF [sr_req]`为 1 时, DDRC 完成正在执行的访问之后, 控制 DDR3 SDRAM 进入自刷新模式, 并不再响应总线上的请求。



4.1.5 DDRC 内 AXI 模块寄存器

4.1.5.1 AXI 寄存器概览

AXI 寄存器概览如表 4-1 所示。

表4-1 AXI 寄存器概览（基址是 0x2011_0000）

偏移地址	名称	描述	页码
0x000	AXI_CONFIG	配置 DDRC 功能的寄存器	4-17
0x004	AXI_CKGCFG	DDRC 时钟门控配置寄存器	4-18
0x01C	AXI_STATUS	DDRC 接口状态寄存器	4-19
0x040+ 0x4× ports	AXI_QOSCFG0	DDRC 的 QoS 配置寄存器 0	4-20
0x080+ 0x4× ports	AXI_QOSCFG1	DDRC 的 QoS 配置寄存器 1	4-22
0x0C0+ 0x4× ports	AXI_WRPRI	DDRC 的写命令优先级配置寄存器	4-23
0x100+ 0x4× ports	AXI_RDPRI	DDRC 的读命令优先级配置寄存器	4-24
0x140+ 0x4× ports	AXI_WRTOUT	DDRC 的写命令 timeout 配置寄存器	4-26
0x180+ 0x4× ports	AXI_RDTOUT	DDRC 的读命令 timeout 配置寄存器	4-26
0x200+ 0x4× ports	AXI_OSTDCFG0	DDRC 端口命令 outstanding 配置寄存器 0	4-27
0x240	AXI_OSTDCFG1	DDRC 端口命令 outstanding 配置寄存器 1	4-28
0x244	AXI_OSTDCFG2	DDRC 端口命令 outstanding 配置寄存器 2	4-29
0x248	AXI_OSTDSTATUS	DDRC 通道命令 outstanding 状态寄存器	4-30
0x280+ 0x4× ports	AXI_FLUX0	DDRC 端口带宽流量控制配置寄存器(通道 0)	4-30



AXI 寄存器偏移地址中变量的取值范围和含义如表 4-2 所示。

表4-2 AXI 寄存器偏移地址变量表

变量名称	取值范围	描述
ports	0~6	axi 端口个数。

4.1.5.2 AXI 寄存器描述

AXI_CONFIG

AXI_CONFIG 为配置 DDRC 功能的寄存器。

	Offset Address 0x000								Register Name AXI_CONFIG								Total Reset Value 0x0006_000C															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								wr_rcv_mode	exclusive_en	rd_wrap_split_en	reserved								bank_width												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
Bits	Access		Name		Description																											
[31:19]	RO		reserved		保留。																											
[18]	RW		wr_rcv_mode		AXI 端口写命令接收模式选择。 0: 写命令直接接收模式; 1: 写命令需要等待与其对应的写数据到来后, 才被接收。																											
[17]	RW		exclusive_en		排它命令使能。 0: 禁止; 1: 使能。																											
[16]	RW		rd_wrap_split_en		WRAP 读命令拆分使能。 0: 不拆分; 1: 拆分。																											
[15:4]	RO		reserved		保留。																											



[3:0]	RW	bank_width	<p>BANK 位宽配置。</p> <p>1000: 256 bits;</p> <p>1001: 512 bits;</p> <p>1010: 1kb;</p> <p>1011: 2 kb;</p> <p>1100: 4 kb;</p> <p>1101: 8 kb;</p> <p>1110: 16 kb;</p> <p>1111: 32 kb;</p> <p>其它: 保留。</p> <p>例如: 对于 32bitDDR 器件, 若 column=10, 则 bank_width=(32/8) x (2^10)=4k。</p> <p>注意: DDR3 SDRAM 数据总线位宽配置为 32bit 模式, 且高 16bit 和低 16bit DDR3 SDRAM 容量大小比例为 1:2 时, 必须配置为 1011。</p> <p>注意: mem_width 配置为 16bit 时, 配置为 1011; mem_width 配置为 32bit 时, 配置为 1100 或者比 1100 更小的值均可。</p>
-------	----	------------	---

AXI_CKGCFG

AXI_CKGCFG 为 DDRC 时钟门控配置寄存器。

Offset Address		Register Name		Total Reset Value									
0x004		AXI_CKGCFG		0x0310_007F									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved		sta_ckg_dmc0	reserved	sta_ckg_apb	reserved	dyn_ckg_axi6	dyn_ckg_axi5	dyn_ckg_axi4	dyn_ckg_axi3	dyn_ckg_axi2	dyn_ckg_axi1	dyn_ckg_axi0
Reset	0 0 0 0	0 0 1 1	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	1 1 1 1					
Bits	Access	Name	Description										
[31:25]	RW	reserved	保留。										
[24]	RW	sta_ckg_dmc0	<p>DMC0 的静态时钟门控。</p> <p>0: 时钟关闭;</p> <p>1: 时钟使能。</p> <p>注意: Hi3535 只支持一个 DMC。</p>										



[23:21]	RO	reserved	保留。
[20]	RW	sta_ckg_apb	寄存器配置模块的静态时钟门控。 0: 时钟关闭; 1: 时钟开启。
[19:7]	RO	reserved	保留。
[6]	RW	dyn_ckg_axi6	AXI 端口 6 的动态时钟门控。 0: 时钟常开; 1: 模块空闲时, 时钟自动门控。
[5]	RW	dyn_ckg_axi5	AXI 端口 5 的动态时钟门控。 0: 时钟常开; 1: 模块空闲时, 时钟自动门控。
[4]	RW	dyn_ckg_axi4	AXI 端口 4 的动态时钟门控。 0: 时钟常开; 1: 模块空闲时, 时钟自动门控。
[3]	RW	dyn_ckg_axi3	AXI 端口 3 的动态时钟门控。 0: 时钟常开; 1: 模块空闲时, 时钟自动门控。
[2]	RW	dyn_ckg_axi2	AXI 端口 2 的动态时钟门控。 0: 时钟常开; 1: 模块空闲时, 时钟自动门控。
[1]	RW	dyn_ckg_axi1	AXI 端口 1 的动态时钟门控。 0: 时钟常开; 1: 模块空闲时, 时钟自动门控。
[0]	RW	dyn_ckg_axi0	AXI 端口 0 的动态时钟门控。 0: 时钟常开; 1: 模块空闲时, 时钟自动门控。

AXI_STATUS

AXI_STATUS 为 DDRC 接口状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x01C		AXI_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														axist6	axist5	axist4	axist3	axist2	axist1	axist0											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	RO	reserved	保留。																													
[6]	RO	axist6	控制器总线接口 6 状态。 0: 空闲; 1: 有命令执行。																													
[5]	RO	axist5	控制器总线接口 5 状态。 0: 空闲; 1: 有命令执行。																													
[4]	RO	axist4	控制器总线接口 4 状态。 0: 空闲; 1: 有命令执行。																													
[3]	RO	axist3	控制器总线接口 3 状态。 0: 空闲; 1: 有命令执行。																													
[2]	RO	axist2	控制器总线接口 2 状态。 0: 空闲; 1: 有命令执行。																													
[1]	RO	axist1	控制器总线接口 1 状态。 0: 空闲; 1: 有命令执行。																													
[0]	RO	axist0	控制器总线接口 0 状态。 0: 空闲; 1: 有命令执行。																													

AXI_QOSCFG0

AXI_QOSCFG0 为 DDRC 的 QoS 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x040+0x4×ports		AXI_QOSCFG0		0x0000_0000				
(ports = 0~6)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pri_deliver_en	reserved	tout_map_mode	tout_id_map	reserved	pri_map_mode	pri_id_map	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	pri_deliver_en	端口优先级传递使能。 0: 禁止; 1: 使能。					
[30:25]	RO	reserved	保留。					
[24]	RW	tout_map_mode	读写命令 timeout 映射模式。 0: 采用寄存器配置的 tout_id_map 的映射方式; 1: 采用命令随路信号 wr(rd)_tout_sel 进行 timeout 映射。					
[23:16]	RW	tout_id_map	选取读写命令 ID 的某两位进行 timeout 的配置选择。 id_map[7:4]: 配置 ID 映射的 bit[1]; id_map[3:0]: 配置 ID 映射的 bit[0]。 例如: ID_MAP 配置为 0x32, 则读写命令 ID 的 {ID[3],ID[2]} 用于 ID 映射, 完成优先级的配置。 注意, 读写命令 ID 的低四位是 AXI 端口号。即: 读写命令 ID={来自总线的 ID 号, 四位 AXI 端口号}。					
[15:13]	RO	reserved	保留。					
[12]	RW	pri_map_mode	读写命令优先级映射模式。 0: 采用寄存器配置的 pri_id_map 的映射方式; 1: 采用 AXI4 读写命令通道的 AxQOS[2: 0]信号的进行 Qos 映射。					



[11:0]	RW	pri_id_map	<p>选取读写命令 ID 的某三位进行 QoS 的配置选择。</p> <p>pri_id_map[11:8]: 配置 ID 映射的 bit[2];</p> <p>pri_id_map[7:4]: 配置 ID 映射的 bit[1];</p> <p>pri_id_map[3:0]: 配置 ID 映射的 bit[0]。</p> <p>例如: ID_MAP 配置为 0x320, 则读写命令 ID 的 {ID[3],ID[2],ID[0]} 用于 ID 映射, 完成优先级的配置。</p> <p>注意, 读写命令 ID 的低四位是 AXI 端口号。即: 读写命令 ID={来自总线的 ID 号, 四位 AXI 端口号}。</p>
--------	----	------------	---

AXI_QOSCFG1

AXI_QOSCFG1 为 DDRC 的 QoS 配置寄存器 1。

Offset Address
0x080+0x4×ports
(ports = 0~6)

Register Name
AXI_QOSCFG1

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				wr_pri_apt				wr_age_prd				reserved				rd_pri_apt				rd_age_prd											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:20]	RW	wr_pri_apt	写命令优先级自适应周期配置。 0x0: 禁止优先级自适应功能; 0x1~0xF: N x 16 个时钟周期。
[19:16]	RW	wr_age_prd	写命令老化时间配置。 0x0: 禁止 Aging 功能; 0x1~0xF: N x 16 个时钟周期。
[15:8]	RO	reserved	保留。
[7:4]	RW	rd_pri_apt	读命令优先级自适应周期配置。 0x0: 禁止优先级自适应功能; 0x1~0xF: N x 16 个时钟周期。
[3:0]	RW	rd_age_prd	读命令老化时间配置。 0x0: 禁止 Aging 功能; 0x1~0xF: N x 16 个时钟周期。



AXI_WRPRI

AXI_WRPRI 为 DDRC 的写命令优先级配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0C0+0x4×ports		AXI_WRPRI		0x0000_0000				
(ports = 0~6)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved wr_pri7	reserved wr_pri6	reserved wr_pri5	reserved wr_pri4	reserved wr_pri3	reserved wr_pri2	reserved wr_pri1	reserved wr_pri0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30:28]	RW	wr_pri7	写命令 id 映射为 7 时的优先级配置。 000: 最高优先级; 111: 最低优先级。					
[27]	RO	reserved	保留。					
[26:24]	RW	wr_pri6	写命令 id 映射为 6 时的优先级配置。 000: 最高优先级; 111: 最低优先级。					
[23]	RO	reserved	保留。					
[22:20]	RW	wr_pri5	写命令 id 映射为 5 时的优先级配置。 000: 最高优先级; 111: 最低优先级。					
[19]	RO	reserved	保留。					
[18:16]	RW	wr_pri4	写命令 id 映射为 4 时的优先级配置。 000: 最高优先级; 111: 最低优先级。					
[15]	RO	reserved	保留。					



[14:12]	RW	wr_pri3	写命令 id 映射为 3 时的优先级配置。 000: 最高优先级; 111: 最低优先级。
[11]	RO	reserved	保留。
[10:8]	RW	wr_pri2	写命令 id 映射为 2 时的优先级配置。 000: 最高优先级; 111: 最低优先级。
[7]	RO	reserved	保留。
[6:4]	RW	wr_pri1	写命令 id 映射为 1 时的优先级配置。 000: 最高优先级; 111: 最低优先级。
[3]	RO	reserved	保留。
[2:0]	RW	wr_pri0	写命令 id 映射为 0 时的优先级配置。 000: 最高优先级; 111: 最低优先级。

AXI_RDPRI

AXI_RDPRI 为 DDRC 的读命令优先级配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x100+0x4×ports				AXI_RDPRI				0x0000_0000																							
	(ports = 0~6)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	rd_pri7	reserved	rd_pri6	reserved	rd_pri5	reserved	rd_pri4	reserved	rd_pri3	reserved	rd_pri2	reserved	rd_pri1	reserved	rd_pri0	reserved	rd_pri7	reserved	rd_pri6	reserved	rd_pri5	reserved	rd_pri4	reserved	rd_pri3	reserved	rd_pri2	reserved	rd_pri1	reserved	rd_pri0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits		Access		Name		Description																									
	[31]		RO		reserved		保留。																									



[30:28]	RW	rd_pri7	读命令 id 映射为 7 时的优先级配置。 000: 最高优先级; 111: 最低优先级。
[27]	RO	reserved	保留。
[26:24]	RW	rd_pri6	读命令 id 映射为 6 时的优先级配置。 000: 最高优先级; 111: 最低优先级。
[23]	RO	reserved	保留。
[22:20]	RW	rd_pri5	读命令 id 映射为 5 时的优先级配置。 000: 最高优先级; 111: 最低优先级。
[19]	RO	reserved	保留。
[18:16]	RW	rd_pri4	读命令 id 映射为 4 时的优先级配置。 000: 最高优先级; 111: 最低优先级。
[15]	RO	reserved	保留。
[14:12]	RW	rd_pri3	读命令 id 映射为 3 时的优先级配置。 000: 最高优先级; 111: 最低优先级。
[11]	RO	reserved	保留。
[10:8]	RW	rd_pri2	读命令 id 映射为 2 时的优先级配置。 000: 最高优先级; 111: 最低优先级。
[7]	RO	reserved	保留。
[6:4]	RW	rd_pri1	读命令 id 映射为 1 时的优先级配置。 000: 最高优先级; 111: 最低优先级。



[3]	RO	reserved	保留。
[2:0]	RW	rd_pri0	读命令 id 映射为 0 时的优先级配置。 000: 最高优先级; 111: 最低优先级。

AXI_WRTOUT

AXI_WRTOUT 为 DDRC 的写命令 timeout 配置寄存器。

Offset Address 0x140+0x4×ports (ports = 0~6)	Register Name AXI_WRTOUT	Total Reset Value 0x0000_0000
--	-----------------------------	----------------------------------

Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wr_tout3		wr_tout2		wr_tout1		wr_tout0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	wr_tout3	写命令 timeout 配置(档位 3)。 配置方式同 wr_tout0。					
[23:16]	RW	wr_tout2	写命令 timeout 配置(档位 2)。 配置方式同 wr_tout0。					
[15:8]	RW	wr_tout1	写命令 timeout 配置(档位 1)。 配置方式同 wr_tout0。					
[7:0]	RW	wr_tout0	写命令 timeout 配置(档位 0)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n x 4 个时钟周期。 注意: timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为 0。					

AXI_RDTOUT

AXI_RDTOUT 为 DDRC 的读命令 timeout 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x180+0x4×ports		AXI_RDTOUT		0x0000_0000					
(ports = 0~6)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rd_tout3		rd_tout2		rd_tout1		rd_tout0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description					
	[31:24]	RW	rd_tout3	读命令 timeout 配置(档位 3)。配置方式同 rd_tout0。					
	[23:16]	RW	rd_tout2	读命令 timeout 配置(档位 2)。配置方式同 rd_tout0。					
	[15:8]	RW	rd_tout1	读命令 timeout 配置(档位 1)。配置方式同 rd_tout0。					
	[7:0]	RW	rd_tout0	读命令 timeout 配置(档位 0)。 0x0: 禁止 timeout 功能; 0x1~0xFF: n x 4 个时钟周期。 注意: timeout 配置为 8bits, 但实际计数为 10bits, 即低两位固定为零。					

AXI_OSTDCFG0

AXI_OSTDCFG0 为 DDRC 端口命令 outstanding 配置寄存器 0。

Offset Address		Register Name		Total Reset Value								
0x200+0x4×ports		AXI_OSTDCFG0		0x1F1F_1F1F								
(ports = 0~6)												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved	port_ostd_lvl3		reserved	port_ostd_lvl2		reserved	port_ostd_lvl1		reserved	port_ostd_lvl0	
Reset	0 0 0 1	1 1 1 1	0 0 0 1	1 1 1 1	0 0 0 1	1 1 1 1	0 0 0 1	1 1 1 1				
	Bits	Access	Name	Description								
	[31:29]	RO	reserved	保留。								



[28:24]	RW	port_ostd_lv13	从本端口发往通道 3 的命令 ostd 水线(需配合 AXI_OSTDCFG2 寄存器使用)。不需设置，因 Hi3535V100 为单通道，只有通道 0。
[23:21]	RO	reserved	保留。
[20:16]	RW	port_ostd_lv12	从本端口发往通道 2 的命令 ostd 水线(需配合 AXI_OSTDCFG2 寄存器使用)。不需设置，因 Hi3535V100 为单通道，只有通道 0。
[15:13]	RO	reserved	保留。
[12:8]	RW	port_ostd_lv11	从本端口发往通道 1 的命令 ostd 水线(需配合 AXI_OSTDCFG2 寄存器使用)。不需设置，因 Hi3535V100 为单通道，只有通道 0。
[7:5]	RO	reserved	保留。
[4:0]	RW	port_ostd_lv10	从本端口发往通道 0 的命令 ostd 水线(需配合 AXI_OSTDCFG2 寄存器使用)。

AXI_OSTDCFG1

AXI_OSTDCFG1 为 DDRC 端口命令 outstanding 配置寄存器 1。

	Offset Address 0x240				Register Name AXI_OSTDCFG1				Total Reset Value 0x1F1F_1F1F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				dmc_ostd_lv13				reserved				dmc_ostd_lv12				reserved				dmc_ostd_lv11				reserved				dmc_ostd_lv10			
Reset	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:24]	RW		dmc_ostd_lv13		全部端口发往通道 3 的命令累积 ostd 水线(需配合 AXI_OSTDCFG2 寄存器使用)。不需设置，因 Hi3535V100 为单通道，只有通道 0。																											
[23:21]	RO		reserved		保留。																											
[20:16]	RW		dmc_ostd_lv12		全部端口发往通道 2 的命令累积 ostd 水线(需配合 AXI_OSTDCFG2 寄存器使用)。不需设置，因 Hi3535V100 为单通道，只有通道 0。																											



[15:13]	RO	reserved	保留。
[12:8]	RW	dmc_ostd_lv11	全部端口发往通道 1 的命令累积 ostd 总线(需配合 AXI_OSTDCFG2 寄存器使用)。 不需设置，因 Hi3535V100 为单通道，只有通道 0。
[7:5]	RO	reserved	保留。
[4:0]	RW	dmc_ostd_lv10	全部端口发往通道 0 的命令累积 ostd 总线(需配合 AXI_OSTDCFG2 寄存器使用)。

AXI_OSTDCFG2

AXI_OSTDCFG2 为 DDRC 端口命令 outstanding 配置寄存器 2。

Offset Address		Register Name		Total Reset Value									
0x244		AXI_OSTDCFG2		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						ostd_mode6	ostd_mode5	ostd_mode4	ostd_mode3	ostd_mode2	ostd_mode1	ostd_mode0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:14]	RO	reserved	保留。										
[13:12]	RW	ostd_mode6	端口 6 的 ostd 模式。 与端口 0 的描述一样。										
[11:10]	RW	ostd_mode5	端口 5 的 ostd 模式。 与端口 0 的描述一样。										
[9:8]	RW	ostd_mode4	端口 4 的 ostd 模式。 与端口 0 的描述一样。										
[7:6]	RW	ostd_mode3	端口 3 的 ostd 模式。 与端口 0 的描述一样。										
[5:4]	RW	ostd_mode2	端口 2 的 ostd 模式。 与端口 0 的描述一样。										
[3:2]	RW	ostd_mode1	端口 1 的 ostd 模式。 与端口 0 的描述一样。										



[1:0]	RW	ostd_mode0	<p>端口 0 的 ostd 模式。</p> <p>00: 禁止当前端口自身的 ostd 统计;</p> <p>01: 绿色端口: (分通道控制, 当本端口自身 ostd 达到 port_ostd_lvl 时, 阻塞本端口);</p> <p>10: 非绿色端口模式 0: (分通道控制, 当全部端口的累积 ostd 达到 dmc_ostd_lvl 时, 阻塞本端口);</p> <p>11: 非绿色端口模式 1: (分通道控制, 当全部端口的累积 ostd 达到 dmc_ostd_lvl 时, 或当本端口自身 ostd 达到 port_ostd_lvl 时, 阻塞本端口)。</p>
-------	----	------------	--

AXI_OSTDSTATUS

AXI_OSTDSTATUS 为 DDRC 通道命令 outstanding 状态寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x248	AXI_OSTDSTATUS	0x0000_0000							
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0									
Name	reserved						ostd_st0			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0									
Bits	Access	Name	Description							
[31:5]	RO	reserved	保留。							
[4:0]	RO	ostd_st0	通道 0 的命令 ostd 状态(至少有一个端口为非绿色端口模式时, 此统计值有效)。							

AXI_FLUX0

AXI_FLUX0 为 DDRC 端口带宽流量控制配置寄存器(通道 0)。



Offset Address		Register Name		Total Reset Value						
0x280+0x4×ports		AXI_FLUX0		0x0000_0000						
(ports = 0~6)										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				flux_port_en0	flux_ovfl_en0	reserved	flux_ovfl_lvl0	reserved	flux_cfg0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:22]	RO	reserved	保留。							
[21]	RW	flux_port_en0	AXI 接口 DDRC 流量统计使能。 0: 禁止流量控制功能; 1: 使能流量控制。							
[20]	RW	flux_ovfl_en0	AXI 接口流量溢出允许使能。 0: 禁止; 1: 使能。 配置为 1 时, 在 AXI 端口流量超过带宽限制, 且不存在无流量溢出的 AXI 端口, 有命令请求时, 允许此 AXI port 的带宽超过配置流量。							
[19:17]	RO	reserved	保留。							
[16:12]	RW	flux_ovfl_lvl0	AXI 接口流量溢出允许水位。 0x0~0x10: 允许流量溢出的 DMC 水位深度; 其它: 保留。 当 AXI 端口的流量超过 flux 的配置带宽时, 在 flux_ovfl=1 的条件下, DMC 中的待处理命令个数小于此配置水位时, 才允许发送。否则不给予仲裁。							
[11:10]	RO	reserved	保留。							
[9:0]	RW	flux_cfg0	AXI 接口的允许带宽配置。 0x0~0x3FF: AXI 接口的允许访问的最大 DDR 带宽占总带宽的比例。总带宽为 1024, 配置值为占总带宽的比例。 其它: 保留。							



4.1.6 DDRC 内 DMC 模块寄存器

4.1.6.1 DMC 寄存器概览

DMC 寄存器概览如表 4-3 所示。

表4-3 DMC 寄存器概览（基址是 0x2011_1000）

偏移地址	名称	描述	页码
0x000	DDRC_CTRL_SREF	DDRC 自刷新控制寄存器	4-35
0x004	DDRC_CTRL_INIT	DDRC 初始化控制寄存器	4-35
0x008	DDRC_CTRL_DDR RST	DDR3 复位控制寄存器	4-36
0x00C	DDRC_CTRL_SFC	DDRC 软件配置 DDR 命令启动寄存器	4-36
0x010	DDRC_CTRL_PERF	DDRC 性能统计使能寄存器	4-37
0x020	DDRC_CFG_SREF	DDR 自刷新配置寄存器	4-37
0x028	DDRC_CFG_PD	DDR 颗粒低功耗 PowerDown 状态配置 寄存器	4-38
0x02C	DDRC_CFG_AREF	DDRC 自动刷新模式配置寄存器	4-40
0x040	DDRC_CFG_WORK MODE	DDRC 工作模式配置寄存器	4-40
0x050	DDRC_CFG_DDRM ODE	DDR 工作模式配置寄存器	4-42
0x060	DDRC_CFG_RNKV OL	DDRC 控制的 DDR 容量配置寄存器	4-44
0x080	DDRC_CFG_TIMIN G0	DDRC 的时序参数寄存器 0	4-45
0x084	DDRC_CFG_TIMIN G1	DDRC 的时序参数寄存器 1	4-46
0x088	DDRC_CFG_TIMIN G2	DDRC 的时序参数寄存器 2	4-48
0x08C	DDRC_CFG_TIMIN G3	DDRC 的时序参数寄存器 3	4-49
0x090	DDRC_CFG_TIMIN G4	DDRC 的时序参数寄存器 4	4-51
0x094	DDRC_CFG_TIMIN G5	DDRC 的时序参数寄存器 5	4-52
0x098	DDRC_CFG_TIMIN G6	DDRC 的时序参数寄存器 6	4-53



偏移地址	名称	描述	页码
0x0BC	DDRC_CFG_BLDATA	DDRC 写数据预接收写数据配置寄存器	4-54
0x0C0	DDRC_CFG_ODT	DDR 的 ODT 特性配置寄存器	4-54
0x0C4	DDRC_CFG_DMCLVL	DDR 控制器命令队列深度流水线配置寄存器	4-55
0x210	DDRC_CFG_SFC	DDRC 软件配置 DDR 命令属性命令	4-56
0x214	DDRC_CFG_SFC_A DDR0	SFC (Soft ware config) 读写 memory 地址配置寄存器 0	4-57
0x218	DDRC_CFG_SFC_A DDR1	SFC (Soft ware config) 读写 memory 地址配置寄存器	4-57
0x21C	DDRC_CFG_SFC_W DATA0	SFC (Soft ware config) 写数据配置寄存器	4-57
0x220	DDRC_CFG_SFC_W DATA1	SFC (Soft ware config) 写数据配置寄存器	4-58
0x224	DDRC_CFG_SFC_W DATA2	SFC (Soft ware config) 写数据配置寄存器	4-58
0x228	DDRC_CFG_SFC_W DATA3	SFC (Soft ware config) 写数据配置寄存器	4-58
0x270	DDRC_CFG_PERF	DDRC 性能统计的模式配置寄存器	4-59
0x274	DDRC_CFG_STAID	DDRC 性能统计的命令 ID 配置寄存器	4-60
0x278	DDRC_CFG_STAID MSK	DDR 性能统计的命令 ID MASK 配置寄存器	4-60
0x280	DDRC_INTMSK	DDRC 中断屏蔽寄存器	4-61
0x284	DDRC_RINT	DDRC 原始中断寄存器	4-62
0x288	DDRC_INTSTS	DDRC 中断状态寄存器	4-63
0x290	DDRC_CURR_STATUS	DDRC 状态寄存器	4-65
0x294	DDRC_CURR_FUNC	DDRC FUNC 模块状态寄存器	4-65
0x2A0	DDRC_CURR_EXECST	DDRC 命令状态机状态	4-67
0x2A4	DDRC_CURR_WGFIFOST	DDRC 内的写数据 FIFO 空满状态寄存器	4-67
0x380	DDRC_HIS_FLUX_WR	DDRC 所有写命令流量统计寄存器	4-68



偏移地址	名称	描述	页码
0x384	DDRC_HIS_FLUX_RD	DDRC 所有读命令流量统计寄存器	4-68
0x388	DDRC_HIS_FLUX_WCMD	DDRC 所有写命令数目统计寄存器	4-69
0x38C	DDRC_HIS_FLUX_RCMD	DDRC 所有读命令数目统计寄存器	4-69
0x390	DDRC_HIS_FLUXID_WR	DDRC 指定 ID 写流量统计寄存器	4-70
0x394	DDRC_HIS_FLUXID_RD	DDRC 指定 ID 读流量统计寄存器	4-70
0x0398	DDRC_HIS_FLUXID_WCMD	DDRC 所有指定 ID 的写命令数目寄存器	4-71
0x039C	DDRC_HIS_FLUXID_RCMD	DDRC 所有指定 ID 读命令数目统计寄存器	4-71
0x3A0	DDRC_HIS_WLATCNT0	DDRC 指定 ID 的写命令 Latency 统计寄存器 0	4-72
0x3A4	DDRC_HIS_WLATCNT1	DDRC 指定 ID 的写命令 Latency 统计寄存器 1	4-72
0x3A8	DDRC_HIS_RLATCNT0	DDRC 指定 ID 的读命令 Latency 统计寄存器 0	4-73
0x3AC	DDRC_HIS_RLATCNT1	DDRC 指定 ID 的读命令 Latency 统计寄存器 1	4-73
0x3B0	DDRC_HIS_INHERE_RLAT_CNT	读通道固有延时寄存器	4-74
0x3BC	DDRC_HIS_CMD_SUM	DDRC 命令计数的累积寄存器	4-74
0x4A8	DDRC_HIS_SFC_RDATA0	SFC (Soft ware config) 读数据寄存器	4-75
0x4AC	DDRC_HIS_SFC_RDATA1	SFC (Soft ware config) 读数据寄存器	4-75
0x4B0	DDRC_HIS_SFC_RDATA2	SFC (Soft ware config) 读数据寄存器	4-75
0x4B4	DDRC_HIS_SFC_RDATA3	SFC (Soft ware config) 读数据寄存器	4-76



4.1.6.2 DMC 寄存器描述

DDRC_CTRL_SREF

DDRC_CTRL_SREF 为 DDRC 自刷新控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x000				DDRC_CTRL_SREF				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										sref_done	sref_req				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Bits	Access	Name	Description																												
	[31:2]	RO	reserved	保留。																												
	[1]	RW	sref_done	DDRPHY 自刷新操作完成。 1: 配置从 0 到 1 的跳变表示 DDRPHY 完成所有自刷新退出后必须的操作, DMC 可以接受新的请求。																												
	[0]	RW	sref_req	SDRAM 自刷新请求。 0: 退出自刷新状态; 1: 进入自刷新状态。																												

DDRC_CTRL_INIT

DDRC_CTRL_INIT 为 DDRC 初始化控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x004				DDRC_CTRL_INIT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										init_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	RO	reserved	保留。																												



[0]	RW	init_req	初始化启动。 0: 完成初始化或处于正常工作状态; 1: 启动 SDRAM 初始化操作。
-----	----	----------	--

DDRC_CTRL_DDDRST

DDRC_CTRL_DDDRST 为 DDR3 复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x008				DDRC_CTRL_DDDRST				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ddr3_rst_n					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Bits	Access	Name		Description																											
	[31:1]	RO	reserved		保留。																											
	[0]	RW	ddr3_rst_n		DDR3 SDRAM 复位。 0: 复位有效; 1: 复位无效。 注意: 仅对 DDR3 SDRAM 有效, 默认配置为 1。																											

DDRC_CTRL_SFC

DDRC_CTRL_SFC 为 DDRC 软件配置 DDR 命令启动寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00C				DDRC_CTRL_SFC				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										cmd_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RO	reserved		保留。																											



[0]	RW	cmd_req	<p>控制器配置命令执行请求。</p> <p>0: 不执行命令或者当命令执行完成后, 自动将该参数清零; 这时再次写一后操作将生效。</p> <p>1: 请求执行命令。</p>
-----	----	---------	--

DDRC_CTRL_PERF

DDRC_CTRL_PERF 为 DDRC 性能统计使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x010				DDRC_CTRL_PERF				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												perf_en			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:1]		[0]																													
Access	RO		RW																													
Name	reserved		perf_en																													
Description	保留。		性能统计使能。 0: 禁止; 1: 使能。 注意: 在 perf_mode=0 时, 此位使能表示性能统计寄存器将开始循环计数。在 perf_mode=1 时, 完成一次统计之后, 该位自动清零。																													

DDRC_CFG_SREF

DDRC_CFG_SREF 为 DDR 自刷新配置寄存器。



Offset Address		Register Name		Total Reset Value							
0x020		DDRC_CFG_SREF		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				sref_arefnum	reserved	clk_switch	reserved	sref_odis	reserved	sref_cc
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:16]	RO	reserved	保留。								
[15:12]	RW	sref_arefnum	DDRn SDRAM 在 DFS 流程中，退出自刷新后发出的自动刷新操作次数。 0x0: 不发送自动刷新操作。 0x1~0xF: n 次。								
[11:9]	RO	reserved	保留。								
[8]	RW	clk_switch	DDRC 低功耗时钟切换控制。DDRC 进入低功耗状态(DDR Self Refresh)状态是否反压 AXI 接口命令。 0: 反压接口命令，同时将原有命令执行完成； 1: 反压接口命令，时钟切换完成后，继续执行原有命令。								
[7:5]	RO	reserved	保留。								
[4]	RW	sref_odis	自刷新模式，DDR 命令和数据 IO 的输出关断配置。 0: 不关断管脚输出； 1: 关断管脚输出。 注意：此配置为静态配置。建议当配置 DDR 进入 self_refresh 后，可配置为 1，关断 DDR 命令和数据 IO 的输出。在配置 DDR 退出 self_refresh 前，配置为 0，打开 DDR 命令和数据 IO 的输出。								
[3:1]	RO	reserved	保留。								
[0]	RW	sref_cc	自刷新模式，SDRAM 时钟控制。 0: 不关断 SDRAM 时钟； 1: 关断 SDRAM 时钟。								

DDRC_CFG_PD

DDRC_CFG_PD 为 DDR 颗粒低功耗 PowerDown 状态配置寄存器。



Offset Address		Register Name		Total Reset Value										
0x028		DDRC_CFG_PD		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				t_clk_cke	reserved	pd_ac	reserved	pd_cc	pd_prd			reserved	pd_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:24]	RO	reserved	保留。											
[23:20]	RW	t_clk_cke	CLK 与 CKE 关系设置。 0x0~0x7: PHY 关闭时钟相对 CKE 的延时, 跟具体的 DDRPHY 相关。											
[19:17]	RW	reserved	保留。											
[16]	RW	pd_ac	低功耗模式(PowerDown), SDRAM 地址命令动态关断控制。 0: 不关断管脚输出; 1: 关断管脚输出。 注意: 在 pd_en 使能下有效, 控制管脚不包括 CKE、ODT、CSN 和 RESET_N。											
[15:13]	RO	reserved	保留。											
[12]	RW	pd_cc	低功耗模式(PowerDown), SDRAM 时钟控制。 0: 不关断 SDRAM 时钟; 1: 关断 SDRAM 时钟。 注意: 该参数仅在外接 DDR 为 LPDDR/LPDDR2 SDRAM 时有效。											
[11:4]	RW	pd_prd	SDRAM 低功耗(Power Down)周期配置。当 DDRC 在连续的 pd_prd 个周期内没有接受到命令, 则控制 SDRAM 进入到低功耗状态, 当新命令到来, 则控制 SDRAM 退出低功耗状态。 0x00: 不进入 power down 状态; 0x01~0xFF: n 个时钟周期。 注意: 该参数仅在 pd_en 为 1 时有效。											
[3:1]	RO	reserved	保留。											
[0]	RW	pd_en	SDRAM 自动低功耗使能。 0: 禁止; 1: 使能。											



DDRC_CFG_AREF

DDRC_CFG_AREF 为 DDRC 自动刷新模式配置寄存器。

Offset Address		Register Name		Total Reset Value						
0x02C		DDRC_CFG_AREF		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			aref_alarm_num			reserved	aref_alarm_en	reseverd	aref_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:16]	RO	reserved	保留。							
[15:8]	RW	aref_alarm_num	配置当无法发若干个 auto refresh 命令后，强制发出 self refresh 命令。 0x0~0xFF: n+1 个 auto refresh。 注意，但 n=255 时，由于计数器为 8 位，则进位后高位丢失，相当于 1。							
[7:5]	RO	reserved	保留。							
[4]	RW	aref_alarm_en	启动 AREF 功能中丢 auto refresh 的报警使能。 0: 不使能； 1: 使能。							
[3:2]	RO	reseverd	保留。							
[1:0]	RW	aref_mode	自动刷新模式选择。 00: 每 1 个 tREFI 周期执行 1 次自动刷新操作； 01: 每 3 个 tRFI 周期执行 3 次自动刷新操作； 10: 每 5 个 tREFI 周期执行 4 次自动刷新操作； 11: 每 9 个 tREFI 周期执行 8 次自动刷新操作。							

DDRC_CFG_WORKMODE

DDRC_CFG_WORKMODE 为 DDRC 工作模式配置寄存器。



Offset Address		Register Name		Total Reset Value										
0x040		DDRC_CFG_WORKMODE		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved	wr_rcv_mode	reserved	exclu_en	reserved	read_mode	reserved	wrap_en	reserved	apre_en	func_clkon	data_clkon	cmd_clkon	clk_ratio
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:29]	RO	reserved	保留。											
[28]	RW	wr_rcv_mode	DDRC AXI 端口写命令接收模式选择。 0: 写命令直接接收模式; 1: 写命令需要等待与其对应的写数据到来后, 才被接收。											
[27:25]	RO	reserved	保留。											
[24]	RW	exclu_en	排它命令使能。 0: 禁止; 1: 使能。											
[23:21]	RO	reserved	保留。											
[20]	RO	reserved	保留。											
[19:17]	RO	reserved	保留。											
[16]	RO	reserved	保留。											
[15:14]	RO	reserved	保留。											
[13]	RO	reserved	保留。											
[12]	RW	read_mode	控制器读模式选择。 0: 随路读模式; 1: 延迟读模式。 随路读模式, 是指控制器根据 PHY 送出的数据有效信号完成数据采样。 延迟读模式, 是指控制器内部延迟等待完成对 PHY 送出数据的采样。 注意: 该值在 DDRC_DTRCTRL[train_mode]配置为 0 时, 必须配置为 0。											
[11:9]	RO	reserved	保留。											



[8]	RW	wrap_en	WRAP 命令优化处理使能。 0: 禁止; 1: 使能。
[7:5]	RO	reserved	保留。
[4]	RW	apre_en	Auto Precharge 功能使能。 0: 禁止; 1: 使能。
[3]	RW	func_clkon	功能模块时钟开关。 0: 内部自动控制时钟; 1: 强制打开时钟。
[2]	RW	data_clkon	数据通道时钟开关。 0: 内部自动控制时钟; 1: 强制打开时钟。
[1]	RW	cmd_clkon	命令通道时钟开关。 0: 内部自动控制时钟; 1: 强制打开时钟。
[0]	RW	clk_ratio	控制器工作模式。 0: 保留; 1: DDRC 与 PHY 频率比为 1:2。

DDRC_CFG_DDRMODE

DDRC_CFG_DDRMODE 为 DDR 工作模式配置寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x050	DDRC_CFG_DDRMODE	0x0000_0000													
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				rank	reserved	odt_on	zqc_en	reserved	bc_en	reserved	brstlen	reserved	mem_width	reserved	dram_type
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description												
	[31:22]	RO	reserved	保留。												



[21:20]	RW	rank	控制器 Rank 配置。 00: 1 个 rank; 其他: 保留。
[19:18]	RO	reserved	保留。
[17]	RW	odt_on	输出给 SDRAM 的 ODT 信号为固定值。 0: 由 DDRC 自动控制; 1: 固定输出为 rank0 的 wodt 配置。
[16]	RW	zqc_en	DDR3 SDRAM ZQ 使能。 0: 禁止; 1: 使能。 注意: 仅对 DDR3/LPDDR2 SDRAM 有效, 默认配置为 0。
[15:13]	RO	reserved	保留。
[12]	RW	bc_en	DDR3 Burst Chop 模式使能。 0: 禁止; 1: 使能。 注意: 只针对 DDR3 有效。
[11:9]	RO	reserved	保留。
[8]	RW	brstlen	控制器 Burst Length 配置。 0: BL4; 1: BL8。 DDR2 可配置为 Burst4 和 Burst8。 DDR3 只能配置为 Burst8 模式。
[7:6]	RO	reserved	保留。
[5:4]	RW	mem_width	存储数据总线位宽。 00: 8bit; 01: 16bit; 10: 32bit; 11: 64bit。 注意: DDR3 SDRAM 数据总线位宽配置为 32bit 模式, 且高 16bit 和低 16bit DDR3 SDRAM 容量大小比例为 1:2 时, 必须配置为 0b10。
[3]	RO	reserved	保留。
[2:0]	RW	dram_type	外部存储器类型。 110: DDR3; 其他: 保留。



DDRC_CFG_RNKVOL

DDRC_CFG_RNKVOL 为 DDRC 控制的 DDR 容量配置寄存器。

Offset Address		Register Name		Total Reset Value							
0x060		DDRC_CFG_RNKVOL		0x0000_0022							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				mem_map	reserved	mem_bank	reserved	mem_row	reserved	mem_col
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 1 0			
Bits	Access	Name	Description								
[31:14]	RO	reserved	保留。								
[13:12]	RW	mem_map	SDRAM 地址译码模式。 00: {Rank,Row,Ba,Col,DW}= AXI_Address; 其他: 保留。								
[11:9]	RO	reserved	保留。								
[8]	RW	mem_bank	单片 SDRAM Bank 数。 0: 4 Bank; 1: 8 Bank。								
[7]	RO	reserved	保留。								
[6:4]	RW	mem_row	单片 SDRAM 行地址位宽配置。 000: 11 bit; 001: 12 bit; 010: 13 bit; 011: 14 bit; 100: 15 bit; 101: 16 bit; 其它: 保留。								
[3]	RO	reserved	保留。								



[2:0]	RW	mem_col	<p>单片 SDRAM 列地址位宽配置。</p> <p>000: 8 bit; 001: 9 bit; 010: 10 bit; 011: 11 bit; 100: 12 bit。 其它: 保留。</p> <p>注意: DDRC 不支持 col 地址小于 8 的器件(即 32bit 位宽, 总容量 64Mbit 的 LPDDR2 器件)。</p>
-------	----	---------	--

DDRC_CFG_TIMING0

DDRC_CFG_TIMING0 为 DDRC 的时序参数寄存器 0。



注意

寄存器中的各时间参数均由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的 [clk_ration]=1, 则将手册规定时间值转换为 ddr 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。

	Offset Address 0x080				Register Name DDRC_CFG_TIMING0								Total Reset Value 0xFFFF_FF3F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	tmrd				trrd				trp				trcd				trc				reserved				tras											
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1				
	Bits	Access	Name	Description																																
	[31:28]	RW	tmrd	<p>模式寄存器加载(LMR)命令的等待周期(在 DDR2, LPDDR2 时候配置值为 tMOD 和 tMRD 的最大值, 在 DDR3 时配置为 tMRD)。</p> <p>0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。</p>																																



[27:24]	RW	trrd	打开 BANK A 到打开 BANK B 的(ACT bank a to ACT bank b)等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。
[23:19]	RW	trp	关闭(PRE period)命令的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。
[18:14]	RW	trcd	同 BANK 激活到读或写(ACT to READ or WRITE)命令的等待周期。 0x0~0x3: 3 时钟周期; 0x4~0xF: n 时钟周期。
[13:8]	RW	trc	同 BANK 的激活命令到激活命令(active a bank to active a bank)的等待周期。 0x00~0x01: 1 个时钟周期; 0x02~0x3F: n 个时钟周期。
[7:6]	RO	reserved	保留。
[5:0]	RW	tras	同 BANK 的激活命令到到关闭命令(ACT to PRE)的等待周期。 0x00~0x01: 1 个时钟周期; 0x02~0x0F: n 个时钟周期。

DDRC_CFG_TIMING1

DDRC_CFG_TIMING1 为 DDRC 的时序参数寄存器 1。



Offset Address		Register Name		Total Reset Value												
0x084		DDRC_CFG_TIMING1		0xFF24_51FF												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	tsre				trtw		twl		tcl		reserved		trfc			
Reset	1 1 1 1	1 1 1 1	0 0 1 0	0 1 0 0	0 1 0 1	0 0 0 1	1 1 1 1	1 1 1 1								
Bits	Access	Name	Description													
[31:24]	RW	tsre	退出自刷新(Self-Refresh)到读命令的等待周期。 0x0: 保留; 0x01~0xFF: n x 4 个时钟周期。 DDR3 SDRAM 时, 该值配置 tXSDLL 和 tXS 的最大值。 该时间参数由 DDR 颗粒手册得到。若 DDR3_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 ddr 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。													
[23:20]	RW	trtw	最后一个读数据到第一个写数据延迟。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n+1 个时钟周期。 注意: 在 DDR2/DDR3 模式下, trtw 参数主要考虑单板、封装、IO 的延时; 在 LPDDR/LPDDR2/LPDDR3 模式下, 除了单板、封装、IO 的延时, 还需要加上 tdqscmax。													
[19:16]	RW	twl	写命令到写数据的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 如: 0x3 对应 3 个时钟周期。 该时间参数由 DDR 颗粒手册得到, 直接配置手册规定周期数。													
[15:12]	RW	tcl	DDR 的读命令到读数据的延迟(CAS Latency)。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 该时间参数由 DDR 颗粒手册得到, 直接配置手册规定周期数。													
[11:9]	RO	reserved	保留。													



[8:0]	RW	trfc	<p>自动刷新命令周期和自动刷新到激活(AREF period or AREF to ACT)命令的等待周期。该寄存器选择配置 max{trfc,tzqcs} 的大值。</p> <p>0x00: 保留;</p> <p>0x01~0x1FF: n 个时钟周期。</p> <p>该时间参数由 DDR 颗粒手册得到。若 DDR_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 ddr 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。</p>
-------	----	------	--

DDRC_CFG_TIMING2

DDRC_CFG_TIMING2 为 DDRC 的时序参数寄存器 2。

	Offset Address 0x88								Register Name DDRC_CFG_TIMING2								Total Reset Value 0xF303_F000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tcke				twtr				reserved				tfaw				reserved	taref														
Reset	1	1	1	1	0	0	1	1	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
[31:28]	RW	tcke	<p>低功耗状态维持的最短时间。</p> <p>0x0: 保留;</p> <p>0x1~0xF: n 个时钟周期。</p> <p>该值需要配置 tCKESR, tCKSRE, tCKSRX, tCKE 几个值中的最大值。</p> <p>该时间参数由 DDR 颗粒手册得到。若 DDR_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 ddr 时钟周期数后, 直接配置手册规定数值。</p>																													



[27:24]	RW	twtr	<p>写操作最后一个写数据到读命令(write to read)的等待周期。</p> <p>0x0~0x1: 1 个时钟周期;</p> <p>0x2~0xF: n 个时钟周期。</p> <p>如 0x3 对应 3 个时钟周期。</p> <p>该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 ddr 时钟周期数后, 直接配置手册规定数值。</p>
[23:18]	RO	reserved	保留。
[17:12]	RW	tfaw	<p>连续 4 个激活命令周期。</p> <p>0x00~0x3F: n 个时钟周期;</p> <p>如: 0x14 对应 20 个时钟周期。</p> <p>该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 ddr 时钟周期数后, 直接配置手册规定数值。</p>
[11]	RO	reserved	保留。
[10:0]	RW	taref	<p>自动刷新周期。</p> <p>0x000: 自动刷新禁止;</p> <p>0x001~0x7FF: SDRAM 刷新周期时间为 16 x n 时钟周期。</p> <p>如 0x008 对应 128 个时钟周期(16 x 8)。</p> <p>根据 DDR 颗粒手册得到 tREFI, 若 DDRC_CFG_WORKMODE[clk_ration]=1, 则 taref 配置为 tREFI /16/ (tclk*2) (若有余数, 则再加 1); [clk_ration]=0, 则配置为 tREFI /16/tclk。Tclk 为 DDRn SDRAM 运行周期, 单位 ns。</p> <p>当 DDRC_CONFIG1[aref_mode]=1 时, 此寄存器需要配置为 8 x tREFI 的间隔时间。</p>

DDRC_CFG_TIMING3

DDRC_CFG_TIMING3 为 DDRC 的时序参数寄存器 3。



	Offset Address 0x8C								Register Name DDRC_CFG_TIMING3								Total Reset Value 0xFFDF_F0F2															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tzq_prd								tzqinit								taond				txard				trtp							
Reset	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	1	0
Bits	Access	Name	Description																													
[31:22]	RW	tzq_prd	ZQCS 命令周期。 0x000: ZQCS 命令禁止; 0x001~0x3FF: n x 128 个 AREF 周期。 ZQCS 命令周期时间为 n x 128 个 taref 时钟周期。																													
[21:12]	RW	tzqinit	ZQ 初始化延迟周期。 0x0~0x1FF: n+1 个时钟周期。 该值配置 tZQINIT, tDLLK 的最大值。 该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。																													
[11:8]	RW	taond	ODT(On-die termination)打开和关闭周期。 DDR2 模式下(taond/taofd): 0x0: 2/2.5; 0x1: 3/3.5; 0x2: 4/4.5; 0x3: 5/5.5; 其它: 保留。 在 DDR3 模式下, 该值配置为 tWL-1 (tWL 为 DDRC_CFG_TIMING1[twl])																													



[7:4]	RW	txard	退出 DDR 低功耗状态等待周期。 0x0~0xF: n 个时钟周期, n 代表十进制数; 如: 0x7 对应为 7 个时钟周期。 取 {tXP,tXARD,tXARDS,tXS} 中的最大值。 在 DDR3 模式下, 取(tXP, tCKE 的最大值)。 该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。
[3:0]	RW	trtp	读命令到关闭命令的等待延迟。 000~010: 2 个时钟周期; 011~111: n 个时钟周期。 Trtp 的计算公式是 AL+BL/2+Max(trtp,2)-2。 注意: DDR3 需要配置 Trtp≥4。 该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。

DDRC_CFG_TIMING4

DDRC_CFG_TIMING4 为 DDRC 的时序参数寄存器 4。

	Offset Address				Register Name								Total Reset Value																			
	0x090				DDRC_CFG_TIMING4								0x01FF_2000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				tmod				reserved																							
Reset	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:25]	RO	reserved		保留。																											



[24:20]	RW	tmod	MRS 命令到 ODT 和 ZQCL 有效的延时参数。 0x0~0x1: 1 个时钟周期; 0x2~0x1F: n 个时钟周期。 该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。
[19:0]	RO	reserved	保留。

DDRC_CFG_TIMING5

DDRC_CFG_TIMING5 为 DDRC 的时序参数寄存器 5。

	Offset Address 0x094								Register Name DDRC_CFG_TIMING5								Total Reset Value 0x0000_FF1F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								tzqcs								reserved				twr											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:8]	RW		tzqcs		ZQCS 校准延迟周期。 0x0~0xFF: n+1 个时钟周期。 由于 DMC 的设计, 该值需要约束为大于等于 10。 该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。																											
[7:5]	RO		reserved		保留。																											



[4:0]	RW	twr	<p>写恢复(write recovery)等待周期。</p> <p>0x0~0x1: 1 个时钟周期;</p> <p>0x2~0x1f: n 个时钟周期。</p> <p>注意: 在有 DFS 的需求下, tWR 参数需要按照 DFS 中芯片可能使用最高频率配置。并且不能随 DDR 的频率变化修改 tWR 的配置。</p> <p>该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。</p>
-------	----	-----	--

DDRC_CFG_TIMING6

DDRC_CFG_TIMING6 为 DDRC 的时序参数寄存器 6。

	Offset Address				Register Name								Total Reset Value																			
	0x098				DDRC_CFG_TIMING6								0x0000_00FF																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reseed																tcksrx				tcksre											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
	Bits	Access	Name	Description																												
	[31:8]	RO	reseed	保留。																												
	[7:4]	RW	tcksrx	<p>DDR3 或 DDR4 的 tCKSRX 参数。在退出自刷新之前时钟需要提前的有效拍数。</p> <p>0x0~0x1: 1 个时钟周期;</p> <p>0x2~0xF: n 个时钟周期。</p> <p>该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。</p>																												



[3:0]	RW	tcksre	<p>DDR3 或 DDR4 的 tCKSRE 参数。在进入自刷新后时钟需要保持的拍数。</p> <p>0x0~0x1: 1 个时钟周期;</p> <p>0x2~0xF: n 个时钟周期。</p> <p>该时间参数由 DDR 颗粒手册得到。若 DDRC_CFG_WORKMODE 的[clk_ration]=1, 则将手册规定时间值转换为 DDR 时钟周期数 (若手册上原本就是周期数, 则不需转换), 再除以 2 后得到 (若有余数, 则再加 1); [clk_ration]=0, 则手册规定数转换为 DDR 时钟周期数后, 直接配置手册规定数值。</p>
-------	----	--------	--

DDRC_CFG_BLDATA

DDRC_CFG_BLDATA 为 DDRC 写数据预接收写数据配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0BC				DDRC_CFG_BLDATA				0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bl_data							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
	Bits	Access	Name		Description																											
	[31:4]	RO	reserved		保留。																											
	[3:0]	RW	bl_data		<p>当前模式下, 每个 DDR 命令对应的 DMC 数据个数。</p> <p>0x0~0xF: n 个。</p> <p>注意: DMC 数据位宽为 128bit; 若 DDR 颗粒位宽为 32bit, 且是 burst8 操作, 则配置为 2 个 DMC 数据个数。</p>																											

DDRC_CFG_ODT

DDRC_CFG_ODT 为 DDR 的 ODT 特性配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x0C0		DDRC_CFG_ODT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			rodt0	reserved			wodt0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:24]	RO	reserved	保留。					
[23:20]	RO	reserved	保留。					
[19:16]	RW	rodt0	RANK0 读 ODT 配置。 0: 禁止读 ODT; 1: 使能读 ODT。					
[15:12]	RO	reserved	保留。					
[11:8]	RO	reserved	保留。					
[7:4]	RO	reserved	保留。					
[3:0]	RW	wodt0	RANK0 写 ODT 配置。 0: 禁止写 ODT; 1: 使能写 ODT。					

DDRC_CFG_DMCLVL

DDRC_CFG_DMCLVL 为 DDR 控制器命令队列深度水位配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0C4		DDRC_CFG_DMCLVL		0x0000_0008				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						que_level	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:13]	RO	reserved	保留。					
[12:8]	RO	reserved	保留。					
[7:5]	RO	reserved	保留。					



[4:0]	RW	que_level	DMC 中，命令寄存器 FIFO 的深度。 0x1~0x10: n 个命令深度； 其它：保留。
-------	----	-----------	---

DDRC_CFG_SFC

DDRC_CFG_SFC 为 DDRC 软件配置 DDR 命令属性命令。

	Offset Address 0x210								Register Name DDRC_CFG_SFC								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cmd_mrs								cmd_ma								cmd_rank					reserved	cmd_type									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RW		cmd_mrs		配置 LMR 命令时，DDR 模式寄存器配置值。在 LP DDR2 低 8bit 有效。																											
[15:8]	RW		cmd_ma		在 LPDDR 时配置 LMR 命令时。																											
[7:4]	RW		cmd_rank		执行命令的 DDR RANK。 0：不执行配置命令； 1：执行配置命令。 注意：每比特对应一个 RANK 的控制。例如，cmd_rank[0]控制 DDR RANK0。																											
[3]	RO		reserved		保留。																											
[2:0]	RW		cmd_type		DDR 命令配置。 000：Deep Power Down 进入； 001：Deep Power Down 退出； 010：Load Mode Reigser(LMR)命令； 011：ZQCL； 100：WRITE 命令； 101：READ 命令； 110：PRECHARGE ALL 命令； 111：READ MRS 命令。																											



DDRC_CFG_SFC_ADDR0

DDRC_CFG_SFC_ADDR0 为 SFC（Soft ware config）读写 memory 地址配置寄存器 0。

Offset Address		Register Name		Total Reset Value					
0x214		DDRC_CFG_SFC_ADDR0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	sfc_row				sfc_col				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	sfc_row	SFC 读写访问 memory 的行地址。						
[15:0]	RW	sfc_col	SFC 读写访问 memory 的列地址。 注意：访问 DDR 器件的数据地址需要与当前 DMC 的位宽对齐，例如目前 Hi3535 DDRC 的 DMC 位宽为 128bit，则外接 32bitDDR 器件时，DMC 访问列地址按照 {sfc_col[15:2],2'b0} 进行访问。						

DDRC_CFG_SFC_ADDR1

DDRC_CFG_SFC_ADDR1 为 SFC（Soft ware config）读写 memory 地址配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x218		DDRC_CFG_SFC_ADDR1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							sfc_bank
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:3]	RO	reserved	保留。					
[2:0]	RW	sfc_bank	SFC 读写访问 memory 的 bank 地址。					

DDRC_CFG_SFC_WDATA0

DDRC_CFG_SFC_WDATA0 为 SFC（Soft ware config）写数据配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x21C		DDRC_CFG_SFC_WDATA0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	wdata0								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	wdata0	SFC 写数据[127:96]。						

DDRC_CFG_SFC_WDATA1

DDRC_CFG_SFC_WDATA1 为 SFC (Soft ware config) 写数据配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x220		DDRC_CFG_SFC_WDATA1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	wdata1								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	wdata1	SFC 写数据[95:64]。						

DDRC_CFG_SFC_WDATA2

DDRC_CFG_SFC_WDATA2 为 SFC (Soft ware config) 写数据配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x224		DDRC_CFG_SFC_WDATA2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	wdata2								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RW	wdata2	SFC 写数据[63:32]。						

DDRC_CFG_SFC_WDATA3

DDRC_CFG_SFC_WDATA3 为 SFC (Soft ware config) 写数据配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x228		DDRC_CFG_SFC_WDATA3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdata3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wdata3	SFC 写数据[31:0]。					

DDRC_CFG_PERF

DDRC_CFG_PERF 为 DDRC 性能统计的模式配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x270		DDRC_CFG_PERF		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	flux_en	perf_mode	perf_prd				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29]	RW	flux_en	DMC 流量监测使能。 0: 流量监测关闭; 1: 流量监测使能。 使能流量监测时, 统计模块会将 DDR 接口占用的周期数按 ID 号反馈给各请求端口。配合端口的流量设置可以进行流量控制。					
[28]	RW	perf_mode	性能统计模式。 0: 连续触发模式。性能统计相关计数器连续计数。可保证在连续统计模式下, 1s 内统计不溢出; 1: 单次触发模式。性能统计时间计满 perf_prd 后, 统计结果保持, 并停止统计。 注意: 当统计值溢出后保持。					



[27:0]	RW	perf_prd	性能统计周期。 0x0~0x1: 无效配置; 0x2~0xFFFFFFFF: 统计周期。 实际统计周期为 perf_prd x 16 x tclk(Tclk 为 DDRC 总线时钟周期)。 注意: 此配置只在 perf_mode=1 时有效。当 perf_mode=0 的连续统计模式下, 性能统计相关计数器会一直计数。
--------	----	----------	--

DDRC_CFG_STAID

DDRC_CFG_STAID 为 DDRC 性能统计的命令 ID 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x274		DDRC_CFG_STAID		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				sta_id				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RO	reserved	保留。 注意: 需设置为 0。						
[14:0]	RW	sta_id	配置对指定的 ID, 进行性能统计。与 sta_idmask 配合使用。 注意: sta_id={id[11:0],axi_port_num[3:0]}。						

DDRC_CFG_STAIDMSK

DDRC_CFG_STAIDMSK 为 DDR 性能统计的命令 ID MASK 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x278		DDRC_CFG_STAIDMSK		0x0000_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				sta_idmask				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。 注意: 需设置为 0。						



[15:0]	RW	sta_idmask	配置对指定的 ID 屏蔽信号。 DDRC 中的性能统计相关寄存器，仅对特定 ID 的命令进行统计。Cmd_id&sta_idmask=sta_id。
--------	----	------------	---

DDRC_INTMSK

DDRC_INTMSK 为 DDRC 中断屏蔽寄存器。

		Offset Address 0x280				Register Name DDRC_INTMSK				Total Reset Value 0x0000_0000																												
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name		rpram_merr_int_mask	reserved	rpram_serr_int_mask	reserved	sbram_merr_int_mask	reserved	sbram_serr_int_mask	reserved	reserved	aref_alarm_int_mask	reserved	rdtimeout_int_mask	reserved	reserved	dimmm_parity_int_mask	reserved	sref_err_int_mask	merr_int_mask	reserved	flux_int_mask	serr_int_mask																
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
	Bits	Access		Name		Description																																
	[31]	RO		rpram_merr_int_mask		RPRAM 多比特错误中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。																																
	[30:29]	RO		reserved		保留。																																
	[28]	RW		rpram_serr_int_mask		RPRAM 单比特错误中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。																																
	[27:25]	RO		reserved		保留。																																
	[24]	RW		sbram_merr_int_mask		SBRAM 多比特错误中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。																																
	[23:21]	RO		reserved		保留。																																
	[20]	RW		sbram_serr_int_mask		SBRAM 单比特错误中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。																																
	[19:17]	RO		reserved		保留。																																



[16]	RW	aref_alarm_int_mask	DDR AREF 命令错误中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。
[15:13]	RO	reserved	保留。
[12]	RW	rdtimeout_int_mask	DDRPHY 读数据超时中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。
[11:9]	RO	reserved	保留。
[8]	RW	dimmparity_int_mask	DDR DIMM 奇偶校验错误中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。
[7:6]	RO	reserved	保留。
[5]	RW	sref_err_int_mask	DDR 自刷新时接口有命令访问错误。 0: 使能中断; 1: 屏蔽中断。
[4]	RW	merr_int_mask	DDR ECC 多比特错误中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。
[3:2]	RO	reserved	保留。
[1]	RW	flux_int_mask	DDR FLUX 统计周期到达中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。
[0]	RW	serr_int_mask	DDR ECC 单比特错误特中断屏蔽使能。 0: 使能中断; 1: 屏蔽中断。

DDRC_RINT

DDRC_RINT 为 DDRC 原始中断寄存器。



	Offset Address 0x284								Register Name DDRC_RINT								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								aref_alarm_rint	reserved		rdtimeout_rint	reserved								sref_err_rint	reserved		flux_rint	reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RO		reserved		保留。																											
[30:29]	RO		reserved		保留。																											
[28]	RO		reserved		保留。																											
[27:25]	RO		reserved		保留。																											
[24]	RO		reserved		保留。																											
[23:21]	RO		reserved		保留。																											
[20]	RO		reserved		保留。																											
[19:17]	RO		reserved		保留。																											
[16]	INT_WC	aref_alarm_rint		DDR AREF 命令错误原始中断。写 1 中断清除																												
[15:13]	RO		reserved		保留。																											
[12]	INT_WC	rdtimeout_rint		DDRPHY 读数据超时原始中断。写 1 中断清除																												
[11:9]	RO		reserved		保留。																											
[8]	RO		reserved		保留。																											
[7:6]	RO		reserved		保留。																											
[5]	INT_WC	sref_err_rint		自刷新接口有命令访问中断。写 1 中断清除。																												
[4]	RO		reserved		保留。																											
[3:2]	RO		reserved		保留。																											
[1]	RW	flux_rint		DDR FLUX 统计周期到达中断。写 1 中断清除。																												
[0]	RO		reserved		保留。																											

DDRC_INTSTS

DDRC_INTSTS 为 DDRC 中断状态寄存器。



		Offset Address				Register Name				Total Reset Value																										
		0x288				DDR_C_INTSTS				0x0000_0000																										
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name		rpram_merr_intsts	reserved	rpram_serr_intsts	reserved	sbram_merr_intsts	reserved	sbram_serr_intsts	reserved	aref_alarm_intsts	reserved	rdtimeout_intsts	reserved	dimmm_parity_intsts	reserved	sref_err_intsts	merr_intsts	reservd	flux_intsts	serr_intsts																
	Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																														
	[31]	INT		rpram_merr_intsts		RPRAM 多比特错误中断。																														
	[30:29]	RO		reserved		保留。																														
	[28]	INT		rpram_serr_intsts		RPRAM 单比特错误中断。																														
	[27:25]	RO		reserved		保留。																														
	[24]	INT		sbram_merr_intsts		SBRAM 多比特错误中断。																														
	[23:21]	RO		reserved		保留。																														
	[20]	INT		sbram_serr_intsts		SBRAM 单比特错误中断。																														
	[19:17]	RO		reserved		保留。																														
	[16]	INT		aref_alarm_intsts		DDR AREF 命令错误中断。																														
	[15:13]	RO		reserved		保留。																														
	[12]	INT		rdtimeout_intsts		DDRPHY 读数据超时中断。																														
	[11:9]	RO		reserved		保留。																														
	[8]	INT		dimmm_parity_intsts		DDR DIMM 奇偶校验错误中断。																														
	[7:6]	RO		reserved		保留。																														
	[5]	INT		sref_err_intsts		自刷新接口有命令访问中断。																														
	[4]	INT		merr_intsts		DDR ECC 多比特错误中断。																														
	[3:2]	RO		reservd		保留。																														
	[1]	RW		flux_intsts		DDR FLUX 统计周期到达中断。																														
	[0]	INT		serr_intsts		DDR ECC 单比特错误特中断。																														



DDRC_CURR_STATUS

DDRC_CURR_STATUS 为 DDRC 状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x290				DDRC_CURR_STATUS				0x0000_0101																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				busy_func	reserved		busy_dmc	reserved		busy					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:9]	RO	reserved	保留。																													
[8]	RO	busy_func	DDRC FUNC 模块的忙状态寄存器。(复位处于 sref 状态) 0: 空闲; 1: 命令处理中。																													
[7:5]	RO	reserved	保留。																													
[4]	RO	busy_dmc	DDRC DMC 模块的忙状态寄存器。 0: 空闲; 1: 命令处理中。																													
[3:1]	RO	reserved	保留。																													
[0]	RO	busy	DDRC 总体忙状态寄存器。 0: 空闲; 1: 命令处理中。																													

DDRC_CURR_FUNC

DDRC_CURR_FUNC 为 DDRC FUNC 模块状态寄存器。



Offset Address		Register Name		Total Reset Value								
0x294		DDRC_CURR_FUNC		0x0000_0001								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6	5 4	3 2 1 0			
Name	reserved				in_sfc	in_pd		reserved	dfi_init_complete	in_init	reserved	in_sref
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description									
[31:29]	RO	reserved	保留。									
[28]	RO	reserved	保留。									
[27:25]	RO	reserved	保留。									
[24]	RO	reserved	保留。									
[23:21]	RO	reserved	保留。									
[20]	RO	reserved	保留。									
[19:17]	RO	reserved	保留。									
[16]	RO	reserved	保留。									
[15:13]	RO	reserved	保留。									
[12]	RO	in_sfc	DDRC SFC 状态寄存器。 0: 空闲; 1: SFC 命令处理中。									
[11:8]	RO	in_pd	DDRC PowerDown 状态。 0: 正常状态; 1: PowerDown 状态。 每一比特代表 1 个 Rank。									
[7:6]	RO	reserved	保留。									
[5]	RO	dfi_init_complete	DFI 初始化状态。 0: DFI 初始化过程中; 1: 正常工作状态。									
[4]	RO	in_init	DDRC 初始化状态。 0: 正常状态; 1: 初始化状态。									
[3:1]	RO	reserved	保留。									



[0]	RO	in_sref	DDRC 自刷新状态。 0: 正常状态; 1: 自刷新状态。
-----	----	---------	--------------------------------------

DDRC_CURR_EXECST

DDRC_CURR_EXECST 为 DDRC 命令状态机状态。

Offset Address		Register Name		Total Reset Value					
0x2A0		DDRC_CURR_EXECST		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dmc_ct				dmc_cv				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	dmc_ct	控制器命令类型。 0: 表示读命令; 1: 表示写命令。						
[15:0]	RO	dmc_cv	控制器命令类型。 0: 表示读命令; 1: 表示写命令。						

DDRC_CURR_WGFIFOST

DDRC_CURR_WGFIFOST 为 DDRC 内的写数据 FIFO 空满状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x2A4		DDRC_CURR_WGFIFOST		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wgntfifo_e
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						



[0]	RO	wgntfifo_e	WGNT_FIFO 空满状态，空表示所有写数据已经接收完毕，非空表示写数据没有接收完成。 0: FIFO 非空； 1: FIFO 空。
-----	----	------------	---

DDRC_HIS_FLUX_WR

DDRC_HIS_FLUX_WR 为 DDRC 所有写命令流量统计寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x380				DDRC_HIS_FLUX_WR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	flux_wr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RO		flux_wr		DDRC 所有 ID 的 MASTER 写流量统计。在有效统计周期内计数。 以 DMC 的数据位宽 128bit 为单位。 在 perf_mode=0 时溢出后卷绕； 在 perf_mode=1 时溢出后维持。 当下一次统计开始时，清零。																															

DDRC_HIS_FLUX_RD

DDRC_HIS_FLUX_RD 为 DDRC 所有读命令流量统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x384		DDRC_HIS_FLUX_RD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flux_rd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	flux_rd	DDRC 所有 ID 的 MASTER 读流量统计。在有效统计周期内计数。 以 DMC 的数据位宽 128bit 为单位。 在 perf_mode=0 时溢出后卷绕； 在 perf_mode=1 时溢出后维持。 当下一次统计开始时，清零。					

DDRC_HIS_FLUX_WCMD

DDRC_HIS_FLUX_WCMD 为 DDRC 所有写命令数目统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x388		DDRC_HIS_FLUX_WCMD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flux_wr_cmd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	flux_wr_cmd	DDRC 所有 ID 的 MASTER 写命令个数统计。在有效统计周期内计数。 在 perf_mode=0 时溢出后卷绕； 在 perf_mode=1 时溢出后维持。 当下一次统计开始时，清零。					

DDRC_HIS_FLUX_RCMD

DDRC_HIS_FLUX_RCMD 为 DDRC 所有读命令数目统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x38C		DDRC_HIS_FLUX_RCMD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flux_rd_cmd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	flux_rd_cmd	DDRC 所有 ID 的 MASTER 读命令个数统计。在有效统计周期内计数。 在 perf_mode=0 时溢出后卷绕； 在 perf_mode=1 时溢出后维持。 当下一次统计开始时，清零。					

DDRC_HIS_FLUXID_WR

DDRC_HIS_FLUXID_WR 为 DDRC 指定 ID 写流量统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x390		DDRC_HIS_FLUXID_WR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fluxid_wr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	fluxid_wr	DDRC 指定 ID 的 MASTER 写流量统计。在有效统计周期内计数。 以 DMC 的数据位宽 128bit 为单位。 在 perf_mode=0 时溢出后卷绕； 在 perf_mode=1 时溢出后维持。 当下一次统计开始时，清零。					

DDRC_HIS_FLUXID_RD

DDRC_HIS_FLUXID_RD 为 DDRC 指定 ID 读流量统计寄存器。



Offset Address		Register Name		Total Reset Value																												
0x394		DDRC_HIS_FLUXID_RD		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	fluxid_rd																															
Reset	0 0																															
Bits	Access	Name	Description																													
[31:0]	RO	fluxid_rd	DDRC 指定 ID 的 MASTER 读流量统计。在有效统计周期内计数。 以 DMC 的数据位宽 128bit 为单位。 在 perf_mode=0 时溢出后卷绕； 在 perf_mode=1 时溢出后维持。 当下一次统计开始时，清零。																													

DDRC_HIS_FLUXID_WCMD

DDRC_HIS_FLUXID_WCMD 为 DDRC 所有指定 ID 的写命令数目寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0398		DDRC_HIS_FLUXID_WCMD		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	fluxid_wr_cmd																															
Reset	0 0																															
Bits	Access	Name	Description																													
[31:0]	RO	fluxid_wr_cmd	DDRC 指定 ID 的 MASTER 读流量统计。在有效统计周期内计数。 以 DMC 的数据位宽 128bit 为单位。 在 perf_mode=0 时溢出后卷绕； 在 perf_mode=1 时溢出后维持。 当下一次统计开始时，清零。																													

DDRC_HIS_FLUXID_RCMD

DDRC_HIS_FLUXID_RCMD 为 DDRC 所有指定 ID 读命令数目统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x039C		DDRC_HIS_FLUXID_RCMD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fluxid_rd_cmd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	fluxid_rd_cmd	DDRC 指定 ID 的 MASTER 读命令个数统计。在有效统计周期内计数。 在 perf_mode=0 时溢出后卷绕； 在 perf_mode=1 时溢出后维持。 当下一次统计开始时，清零。					

DDRC_HIS_WLATCNT0

DDRC_HIS_WLATCNT0 为 DDRC 指定 ID 的写命令 Latency 统计寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x3A0		DDRC_HIS_WLATCNT0		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wlatcnt_max				wlatcnt_min			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	wlatcnt_max	DDRC 指定 ID 的写命令最大 Latency 统计。 下一次统计开始时，清零。					
[15:0]	RO	wlatcnt_min	DDRC 指定 ID 的写命令最小 Latency 统计。如果溢出维持最大值。 当下一次统计开始时，清零。					

DDRC_HIS_WLATCNT1

DDRC_HIS_WLATCNT1 为 DDRC 指定 ID 的写命令 Latency 统计寄存器 1。



Offset Address		Register Name		Total Reset Value				
0x3A4		DDRC_HIS_WLATCNT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wlatcnt_all							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	wlatcnt_all	<p>在统计周期内，指定 ID 的写命令的 Latency 累加值(忽略低 4 位的结果)。</p> <p>在 perf_mode=0 时溢出后卷绕；</p> <p>在 perf_mode=1 时溢出后维持。</p> <p>当下次统计开始时，清零。</p> <p>注意：软件可利用(wlatcnt_all)/fluxid_wr_cmd 得到指定 ID 的写命令的平均 latency。</p>					

DDRC_HIS_RLATCNT0

DDRC_HIS_RLATCNT0 为 DDRC 指定 ID 的读命令 Latency 统计寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x3A8		DDRC_HIS_RLATCNT0		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rlatcnt_max				rlatcnt_min			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	rlatcnt_max	<p>DDRC 指定 ID 的读命令最大 Latency 统计。</p> <p>真正读最大延时为 rlatcnt_max+ inhere_rlatcnt。</p> <p>如果溢出维持最大值。当下一次统计开始时，清零。</p>					
[15:0]	RO	rlatcnt_min	<p>DDRC 指定 ID 的读命令最小 Latency 统计。</p> <p>注意：真正读最小延时为 rlatcnt_min+ inhere_rlatcnt。</p> <p>如果溢出维持最大值。当下一次统计开始时，清零。</p>					

DDRC_HIS_RLATCNT1

DDRC_HIS_RLATCNT1 为 DDRC 指定 ID 的读命令 Latency 统计寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x3AC		DDRC_HIS_RLATCNT1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rlatcnt_all																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RO	rlatcnt_all	在统计周期内，指定 ID 的读命令的 Latency 累加值(忽略低 4 位的结果)。 在 perf_mode=0 时溢出后卷绕； 在 perf_mode=1 时溢出后维持。 当一下次统计开始时，清零。 注意：软件可利用(rlatcnt_all/fluxid_rd_cmd+inhere_rlatcnt 得到指定 ID 的读命令的平均 latency。																													

DDRC_HIS_INHERE_RLAT_CNT

DDRC_HIS_INHERE_RLAT_CNT 为读通道固有延时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x3B0		DDRC_HIS_INHERE_RLAT_CNT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												inhere_rlatcnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	reserved	保留。																													
[15:0]	RO	inhere_rlatcnt	表示 DDRC 和 PHY 对读数据通道的固有延时。此寄存器要和 rlatcnt_min、rlatcnt_max、rlatcnt_all、fluxid_rd_cmd 配合使用得到真正的 latency。																													

DDRC_HIS_CMD_SUM

DDRC_HIS_CMD_SUM 为 DMC 命令计数的累积寄存器。



Offset Address		Register Name		Total Reset Value				
0x3BC		DDRC_HIS_CMD_SUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dmc_cmd_sum							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	dmc_cmd_sum	当前 DMC 暂存命令的值按周期累积，溢出卷绕。					

DDRC_HIS_SFC_RDATA0

DDRC_HIS_SFC_RDATA0 为 SFC (Soft ware config) 读数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x4A8		DDRC_HIS_SFC_RDATA0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rdata0							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	rdata0	SFC 读数据[127:96]。					

DDRC_HIS_SFC_RDATA1

DDRC_HIS_SFC_RDATA1 为 SFC (Soft ware config) 读数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x4AC		DDRC_HIS_SFC_RDATA1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rdata1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	rdata1	SFC 读数据[95:64]。					

DDRC_HIS_SFC_RDATA2

DDRC_HIS_SFC_RDATA2 为 SFC (Soft ware config) 读数据寄存器。



Offset Address		Register Name		Total Reset Value				
0x4B0		DDRC_HIS_SFC_RDATA2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rdata2							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	rdata2	SFC 读数据[63:32]。					

DDRC_HIS_SFC_RDATA3

DDRC_HIS_SFC_RDATA3 为 SFC (Soft ware config) 读数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x4B4		DDRC_HIS_SFC_RDATA3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rdata3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	rdata3	SFC 读数据[31:0]; 其中[7:0]在 RD_MRS 模式下为回读 LP DDR2 MRS 的寄存器值。					

4.1.7 DDRC 内 MUX 模块寄存器

4.1.7.1 MUX 寄存器概览

MUX 寄存器概览如表 4-4 所示。

表4-4 MUX 寄存器概览（基址是 0x2011_5000）

偏移地址	名称	描述	页码
0x000	MUX_DDR_MODE	配置 DDR 颗粒拼接模式寄存器	4-77
0x004	MUX_CLKGCFG	MUX 模块时钟门控配置寄存器	4-78
0x100+ 0x8× addr_ zone s	AWADDR_SRVLNC _STARTN	受监控的第 n 段地址区域起始地址的寄存器	4-78



偏移地址	名称	描述	页码
0x104+ 0x8× addr_ zone s	AWADDR_SRVLNC _ENDN	受监控的第 n 段地址区域末尾地址的寄存器寄存器	4-79
0x200	AWADDR_SRVLNC _STATUS	受监控的 32 段地址区域的地址状态寄存器	4-79

MUX 寄存器偏移地址中变量的取值范围和含义如表 4-5 所示。

表4-5 MUX 寄存器偏移地址变量表

变量名称	取值范围	描述
addr_zones	0~31	specify the number of address zones

4.1.7.2 MUX 寄存器描述

MUX_DDR_MODE

MUX_DDR_MODE 为配置 DDR 颗粒拼接模式寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x000				MUX_DDR_MODE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												mem_comb	mem_mode		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:3]	RO	reserved	保留。																												
	[2:1]	RW	mem_comb	mem_mode=1'b1 时，低 16 bitddr 颗粒和高 16bit DDR 容量的比例关系： 00: 2G bit:1G bit; 01: 4G bit:2G bit; 10: 8G bit:4G bit; 其它：保留。																												



[0]	RW	mem_mode	memory 数据位宽等于 32bit 时，对接 DDR 颗粒模式选择。 0: 低 16 bitddr 颗粒和高 16bit DDR 容量相同； 1: 低 16 bitddr 颗粒和高 16bit DDR 容量不相同，且低 16 bitddr 颗粒大于高 16bit DDR。 注意: memory 数据位宽等于 16bit 时，需配置为 0。
-----	----	----------	---

MUX_CLKGCFG

MUX_CLKGCFG 为 MUX 模块时钟门控配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x004				MUX_CLKGCFG				0x0000_0007																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								detaddr_gt_en	muxcmd_gt_en	apg_gt_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
	Bits	Access	Name	Description																												
	[31:3]	RO	reserved	保留。																												
	[2]	RW	detaddr_gt_en	地址检测模块的静态时钟门控。 0: 时钟关断; 1: 时钟常开。																												
	[1]	RW	muxcmd_gt_en	命令选择模块的静态时钟门控。 0: 时钟关断; 1: 时钟常开。																												
	[0]	RW	apg_gt_en	寄存器模块的静态时钟门控。 0: 时钟关断; 1: 时钟常开。																												

AWADDR_SRVLNC_STARTN

AWADDR_SRVLNC_STARTN 为受监控的第 n 段地址区域起始地址的寄存器。



	Offset Address				Register Name				Total Reset Value																											
	0x100+0x8×addr_zones (addr_zones = 0~31)				AWADDR_SRLNC_STARTN				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	awaddr_srvlnc_start																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	awaddr_srvlnc_start		第 n 段地址区域的起始地址。 注意：低 4 位地址不关注。																															

AWADDR_SRLNC_ENDN

AWADDR_SRLNC_ENDN 为受监控的第 n 段地址区域末尾地址的寄存器寄存器。

	Offset Address				Register Name				Total Reset Value																											
	0x104+0x8×addr_zones (addr_zones = 0~31)				AWADDR_SRLNC_ENDN				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	awaddr_srvlnc_end																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	awaddr_srvlnc_end		第 n 段地址区域的末尾地址。 注意：低 4 位地址不关注；配置值为实际地址末尾地址+1。																															

AWADDR_SRLNC_STATUS

AWADDR_SRLNC_STATUS 为受监控的 32 段地址区域的地址状态寄存器。



Offset Address		Register Name																Total Reset Value														
0x200		AWADDR_SRLNC_STATUS																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	addr_infect_st31	addr_infect_st30	addr_infect_st29	addr_infect_st28	addr_infect_st27	addr_infect_st26	addr_infect_st25	addr_infect_st24	addr_infect_st23	addr_infect_st22	addr_infect_st21	addr_infect_st20	addr_infect_st19	addr_infect_st18	addr_infect_st17	addr_infect_st16	addr_infect_st15	addr_infect_st14	addr_infect_st13	addr_infect_st12	addr_infect_st11	addr_infect_st10	addr_infect_st9	addr_infect_st8	addr_infect_st7	addr_infect_st6	addr_infect_st5	addr_infect_st4	addr_infect_st3	addr_infect_st2	addr_infect_st1	addr_infect_st0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RC	addr_infect_st31	第 31 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。																													
[30]	RC	addr_infect_st30	第 30 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。																													
[29]	RC	addr_infect_st29	第 29 段地址区域的监控状态。 0: 无写命令访问域; 1: 有写命令访问。																													
[28]	RC	addr_infect_st28	第 28 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。																													
[27]	RC	addr_infect_st27	第 27 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。																													
[26]	RC	addr_infect_st26	第 26 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。																													
[25]	RC	addr_infect_st25	第 25 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。																													
[24]	RC	addr_infect_st24	第 24 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。																													



[23]	RC	addr_infect_st23	第 23 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[22]	RC	addr_infect_st22	第 22 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[21]	RC	addr_infect_st21	第 21 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[20]	RC	addr_infect_st20	第 20 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[19]	RC	addr_infect_st19	第 19 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[18]	RC	addr_infect_st18	第 18 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[17]	RC	addr_infect_st17	第 17 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[16]	RC	addr_infect_st16	第 16 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[15]	RC	addr_infect_st15	第 15 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[14]	RC	addr_infect_st14	第 14 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[13]	RC	addr_infect_st13	第 12 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。



[12]	RC	addr_infect_st12	第 12 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[11]	RC	addr_infect_st11	第 11 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[10]	RC	addr_infect_st10	第 10 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[9]	RC	addr_infect_st9	第 9 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[8]	RC	addr_infect_st8	第 8 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[7]	RC	addr_infect_st7	第 7 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[6]	RC	addr_infect_st6	第 6 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[5]	RC	addr_infect_st5	第 5 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[4]	RC	addr_infect_st4	第 4 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[3]	RC	addr_infect_st3	第 3 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[2]	RC	addr_infect_st2	第 2 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。



[1]	RC	addr_infect_st1	第 1 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。
[0]	RC	addr_infect_st0	第 0 段地址区域的监控状态。 0: 无写命令访问; 1: 有写命令访问。

4.1.8 DDRC 内 DDRPHY 模块寄存器

4.1.8.1 DDRPHY 寄存器概览

DDRPHY 寄存器概览如表 4-6 所示。

NOTE

寄存器偏移地址中的变量 n 表示数据块 ID, 取值范围为 0 到 3。

表4-6 DDR PHY 寄存器概览 (基址为 0x2011_8000)

偏移地址	名称	描述	页码
0x004	PACK_PHYINITCTRL	PHY 初始化控制寄存器	4-86
0x008	PACK_PHYSTS	PHY 状态寄存器	4-88
0x010	PACK_PHYTMR0	PHY 时序参数寄存器 0	4-89
0x014	PACK_PHYTMR1	PHY 时序参数寄存器 1	4-89
0x018	PACK_PLLCTRL	PLL 地址/命令和数据块时序参数控制寄存器	4-90
0x01C	PACK_PLLTMR	PLL 地址/命令和数据块控制寄存器	4-91
0x020	PACK_DLYMEASCTRL	读延迟线测量控制寄存器	4-91
0x024	PACK_ZCALCTRL	ZQ 校准控制寄存器	4-92
0x028	PACK_ZCAL_STATUS	ZQ 校准结果寄存器	4-92
0x02C	PACK_DRAMCFG	DRAM 配置系统寄存器	4-94
0x030	PACK_DRAMTMR0	DRAM 时序参数寄存器 0	4-95
0x034	PACK_DRAMTMR1	DRAM 时序参数寄存器 1	4-95
0x038	PACK_DRAMTMR2	DRAM 时序参数寄存器 2	4-96
0x03C	PACK_DRAMTMR3	DRAM 时序参数寄存器 3	4-96
0x040	PACK_DRAMTMR4	DRAM 写平整时序参数寄存器	4-97



偏移地址	名称	描述	页码
0x044	PACK_ODTCR	读或写特定 rank 时的 rank ODT 控制寄存器	4-98
0x048	PACK_TRCR0	训练控制寄存器	4-98
0x050	PACK_TRMADDR	数据训练内存起始地址寄存器	4-99
0x064	PACK_DRAM_MR01	模式寄存器内容寄存器	4-100
0x068	PACK_DRAM_MR23	模式寄存器内容寄存器	4-100
0x070	PACK_MISC	其它控制寄存器	4-101
0x07C	PACK_PHYDBG	PHY 调试寄存器	4-102
0x084	PACK_DMSEL	DM 交换选择寄存器	4-102
0x0A0	PACK_SWTMODE	S/W 训练模式配置寄存器	4-103
0x0A4	PACK_SWTWLQDS	S/W 写平整训练时的写 DQS 发起寄存器	4-103
0x0A8	PACK_SWTRLT	S/W 训练结果寄存器	4-104
0x120	PACK_ACCMDBDL0	AC 命令位延迟线配置寄存器 0	4-104
0x124	PACK_ACCMDBDL1	AC 命令位延迟线配置寄存器 1	4-104
0x128	PACK_ACCMDBDL2	AC 命令位延迟线配置寄存器 2	4-105
0x12C	PACK_ACCMDBDL3	AC 命令位延迟线配置寄存器 3	4-105
0x130	PACK_ACCMDBDL4	AC 命令位延迟线配置寄存器 4	4-106
0x134	PACK_ACCMDBDL5	AC 命令位延迟线配置寄存器 5	4-106
0x138	PACK_ACCMDBDL6	AC 命令位延迟线配置寄存器 6	4-107
0x13C	PACK_ACCMDBDL7	AC 命令位延迟线配置寄存器 7	4-107
0x140	PACK_ACADDRBDL0	AC 地址位延迟线配置寄存器 0	4-107
0x144	PACK_ACADDRBDL1	AC 地址位延迟线配置寄存器 1	4-108
0x148	PACK_ACADDRBDL2	AC 地址位延迟线配置寄存器 2	4-108
0x14C	PACK_ACADDRBDL3	AC 地址位延迟线配置寄存器 3	4-109
0x150	PACK_ACADDRBDL4	AC 地址位延迟线配置寄存器 4	4-109
0x154	PACK_ACADDRBDL5	AC 地址位延迟线配置寄存器 5	4-110
0x158	PACK_ACADDRBDL6	AC 地址位延迟线配置寄存器 6	4-110
0x15C	PACK_ACADDRBDL7	AC 地址位延迟线配置寄存器 7	4-110



偏移地址	名称	描述	页码
0x160	PACK_ACADDRBDL8	AC 地址位延迟线配置寄存器 8	4-111
0x164	PACK_ACADDRBDL9	AC 地址位延迟线配置寄存器 9	4-111
0x168	PACK_ACCLKBDL	AC 时钟位延迟线配置寄存器	4-112
0x180	PACK_ACPHYCTL	AC 块 PHY 控制寄存器	4-112
0x200 + n x 0x80	PACK_DXNBISTCTRL	环回数据比较控制寄存器	4-113
0x204 + n x 0x80	PACK_DXNBIST_STAT US	BIST 测试结果和状态寄存器	4-114
0x208 + n x 0x80	PACK_DXNCTRL	数据块控制寄存器	4-115
0x210 + n x 0x80	PACK_DXNWDQBDL0	数据块位延迟线控制寄存器 0	4-116
0x214 + n x 0x80	PACK_DXNWDQBDL1	数据块位延迟线控制寄存器 1	4-116
0x218 + n x 0x80	PACK_DXNWDQBDL2	数据块位延迟线控制寄存器 2	4-117
0x21C + n x 0x80	PACK_DXNRDQBDL0	数据块位延迟线控制寄存器 3	4-118
0x220 + n x 0x80	PACK_DXNRDQBDL1	数据块位延迟线控制寄存器 4	4-119
0x224 + n x 0x80	PACK_DXNRDQBDL2	数据块位延迟线控制寄存器 5	4-119
0x22C + n x 0x80	PACK_DXNRDQSDLY	本地延迟线控制寄存器	4-120
0x230 + n x 0x80	PACK_DXWDQSDLY	写平整 DQS 延迟控制寄存器	4-120
0x234 + n x 0x80	PACK_DXNWDQDLY	写平整延迟线控制寄存器	4-121
0x23C + n x 0x80	PACK_DXNDQSGDLY	本地延迟线控制寄存器	4-121
0x244 + n x 0x80	PACK_DXNWLSL	额外系统延迟添加控制寄存器	4-122
0x248 + n x 0x80	PACK_DXNGDS	PHY 锁存使能寄存器（为获得稳定数据）	4-123
0x24C + n x 0x80	PACK_DXNCLKBDL	数据块时钟位延迟线配置寄存器	4-123



偏移地址	名称	描述	页码
0x250 + n x 0x80	PACK_DXNRDBOUND	读数据眼图边界寄存器	4-124
0x254 + n x 0x80	PACK_DXNWRBOUND	写数据眼图边界寄存器	4-124

4.1.8.2 DDR PHY 寄存器描述

PACK_PHYINITCTRL

PACK_PHYINITCTRL 为 PHY 初始化控制寄存器。当 init_en 为 1 时，写该寄存器无效。

	Offset Address 0x004				Register Name PACK_PHYINITCTRL								Total Reset Value 0x0000_000E																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved												phyconn_rst	pack_rst	phy_rst	dram_rst	reserved	dram_init_en	wdet_en	rdet_en	wl2_en	gdst_en	gt_en	wl_en	zcal_en	dlymeas_en	pll_init_en	init_en						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0		
Bits	Access		Name		Description																													
[31:16]	RO		reserved		保留。																													
[15]	RW		phyconn_rst		PHY 计数器复位。 该域用于设置 PHY 寄存器复位信号。要向 PHY 计数器发送复位信号，该域需设为 1；要取消发送给 PHY 计数器的复位信号，该域应清零。 注意：复位信号与 A/C 块计数器以及所有数据块计数器相连。																													
[14]	RW		pack_rst		PACK 复位。 该域用于复位 PACK 的所有数字电路（包括寄存器文件）。如果该域置位，PHY 的所有数字部分包括控制寄存器均恢复为默认值。复位自动执行，并且在复位结束后该域清零。																													
[13]	RW		phy_rst		PHY 复位。 该域用于设置 PHY 复位信号。要向 PHY 发送复位信号，该域需设为 1；要取消发送给 PHY 的复位信号，该域应清零。 注意：复位信号与 A/C 块以及所有数据块相连。																													



[12]	RW	dram_rst	DRAM 复位。 该域用于发起 DRAM 复位时序。如果该域置位，RESET#和CKE 信号将拉低一段时间 (t_dram_rst)。t_dram_rst 之后，CKE RESET#信号被拉高，而 CKE 保持为低一段时间 (t_cke_low)。t_cke_low 之后，CKE 被拉高；t_cke_high 之后，该域自动清零。
[11]	RO	reserved	保留。
[10]	RW	dram_init_en	DRAM 初始化使能。 该域用于控制在完成 PHY 初始化之后是否使用内部 DRAM 初始化时序。
[9]	RW	wdet_en	写数据眼图训练使能。 向该域写 1 将启动写数据眼图训练时序。写数据眼图训练完成之后，该域将清零。
[8]	RW	rdet_en	读数据眼图训练使能。 向该域写 1 将启动读数据眼图训练时序。读数据眼图训练完成之后，该域将清零。
[7]	RW	wl2_en	第二次写平整使能。 向该域写 1 将调节写延迟。调节完成之后，该域将清零。 注意：写平整调节仅适用于 DDR3。
[6]	RW	gdst_en	PHY 读数据锁存训练使能。 向该域写 1 将启动读数据锁存位置训练。写平整完成之后，该域将清零。
[5]	RW	gt_en	门控训练使能。 向该域写 1 将启动门控训练时序。门控训练完成之后，该域将清零。
[4]	RW	wl_en	写平整使能。 向该域写 1 将启动写平整时序。写平整完成之后，该域将清零。 注意：写平整仅适用于 DDR3。
[3]	RW	zcal_en	阻抗校准使能。 该域用于指定是否进行阻抗校准。阻抗校准完成之后，该域将清零。
[2]	RW	dlymeas_en	延迟测量使能。 该域用于指定是否激活读延迟线的初始延迟测量。设置该域为 1 将使能延迟测量。



[1]	RW	pll_init_en	PLL 初始化使能。 该域用于激活 PLL 初始化。如果该域为 1，PLL 将复位并等待锁定 PLL。
[0]	RW	init_en	PHY 初始化使能。 向该域写 1 将触发 PHY 初始化时序。该寄存器的 1-15 比特指定具体的初始化操作。PHY 初始化完成之后，该域将清零。 注意：对该域写 0 无效。

PACK_PHYSTS

PACK_PHYSTS 为 PHY 状态寄存器。

	Offset Address	Register Name	Total Reset Value																		
	0x008	PACK_PHYSTS	0x0000_0000																		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																				
Name	reserved											wdet_err	rdet_err	wl2_err	gdst_err	gt_err	wl_err	zcal_err	dlymeas_err	pll_lock_err	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description																		
[31:10]	RO	reserved	保留。																		
[9]	RWC	wdet_err	写数据眼图校准错误。 该域表示校准写数据眼图时是否出错。向该域写 1 将清除错误状态。																		
[8]	RWC	rdet_err	读数据眼图校准错误。 该域表示校准读数据眼图时是否出错。向该域写 1 将清除错误状态。																		
[7]	RWC	wl2_err	写平整调节使能。 该域表示写平整调节时是否出错。向该域写 1 将清除错误状态。																		
[6]	RWC	gdst_err	PHY 读数据锁存训练错误。 该域表示读数据锁存训练时是否出错。向该域写 1 将清除错误状态。																		



[5]	RWC	gt_err	门控训练错误。 该域表示门控训练时是否出错。向该域写 1 将清除错误状态。
[4]	RWC	wl_err	写平整错误。 该域表示写平整时是否出错。向该域写 1 将清除错误状态。
[3]	RWC	zcal_err	阻抗校准错误。 该域表示阻抗校准时是否出错。向该域写 1 将清除错误状态。
[2]	RWC	dlymeas_err	延迟测量失败。 该域表示是否某个初始延迟测量失败。向该域写 1 将清除错误状态。
[1]	RWC	pll_lock_err	PLL 锁定失败。 该域表示在 t_pll_lock 计时器后锁定 PHY 中的某个 PLL 失败。 向该域写 1 将清除错误状态。
[0]	RO	reserved	保留。

PACK_PHYTMR0

PACK_PHYTMR0 为 PHY 时序参数寄存器 0。

	Offset Address				Register Name								Total Reset Value																			
	0x010				PACK_PHYTMR0								0x0000_000F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				t_dram_reset											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7:0]	RW		t_dram_reset		DDR3 DRAM 复位。该域用于指定给 DRAM 发送复位信号的时间。																											

PACK_PHYTMR1

PACK_PHYTMR1 为 PHY 时序参数寄存器 1。



Offset Address		Register Name		Total Reset Value					
0x014		PACK_PHYTMR1		0x4000_2000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	t_dram_cke_high				t_dram_cke_low				
Reset	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	t_dram_cke_high	DRAM CKE 拉高初始化。 该域用于指定 CKE 拉高后第一个 DRAM 命令的时钟周期数。						
[15:0]	RW	t_dram_cke_low	DRAM CKE 拉低初始化。 该域用于指定电源复位并且时钟稳定后 CKE 应该保持低的时钟周期数。						

PACK_PLLCTRL

PACK_PLLCTRL 为 PLL 地址/命令和数据块时序参数控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x018		PACK_PLLCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						pll_freq_range	pll_pwdn	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:4]	RO	reserved	保留。						
[3:2]	RW	pll_freq_range	PLL 频率范围选择。 该域用于指定 PLL 的输入频率范围。						
[1]	RW	pll_pwdn	PLL 下电。 该域用于设置 PLL 输入的下电状态。设置该域为 1 将使能 PLL 下电管脚。向该域写 0 将禁用 PLL 下电管脚。						
[0]	RO	reserved	保留。						



PACK_PLLTMR

PACK_PLLTMR 为 PLL 地址/命令和数据块控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x01C		PACK_PLLTMR		0x4E20_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	t_pll_lock				reserved			t_pll_rst	
Reset	0 1 0 0	1 1 1 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	t_pll_lock	PLL 锁定时间。 该域用于设置等待 PLL 锁定的时钟周期数。						
[15:8]	RO	reserved	保留。						
[7:0]	RW	t_pll_rst	PLL 复位时间。 该域用于设置向 PLL 发送复位信号的时钟周期数。						

PACK_DLYMEASCTRL

PACK_DLYMEASCTRL 为读延迟线测量控制寄存器。

Offset Address		Register Name		Total Reset Value										
0x020		PACK_DLYMEASCTRL		0x0000_0471										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				dly_track_limit			reserved	phy_autoref_en	dynamic_dqsen	dynamic_dqsgen	dynamic_dqsgth	dly_track_type	dly_meas_type
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0	1 1 1	0 0 0 1					
Bits	Access	Name	Description											
[31:15]	RO	reserved	保留。											
[14:8]	RW	dly_track_limit	延迟跟踪限制。 该域用于设置动态跟踪时支持的最大累积 tap 数。											
[7]	RW	reserved	保留。											
[6]	RW	phy_autoref_en	PHY 自动刷新跟踪使能。											



[5]	RW	dynamic_dqsen	动态 DQS 跟踪使能。
[4]	RW	dynamic_dqsgen	动态 DQSG 跟踪使能。
[3:2]	RW	dynamic_dqsgth	动态 DQSG 更新阈值。 该域用于设置更新 RDQSG 延迟线前的累积 tap 数。
[1]	RW	dly_track_type	延迟跟踪类型。 该域用于指定在动态跟踪时是否使用从 PHY 更新来的优先级。设置该域为 1 将使用从 PHY 更新来的优先级。
[0]	RW	dly_meas_type	延迟测量类型。 该域用于指定进行延迟测量 1 个时钟周期或半个时钟周期。设置该域为 1 将测量 1 个完整的时钟周期。

PACK_ZCALCTRL

PACK_ZCALCTRL 为 ZQ 校准控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x024				PACK_ZCALCTRL				0x0000_0020																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																zcomp_rsp_dly															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RO		reserved		保留。																											
[5:0]	RW		zcomp_rsp_dly		ZQ 比较器反应时间。 该域用于指定使用 zctrl 后的 zcomp 结果延迟。																											

PACK_ZCAL_STATUS

PACK_ZCAL_STATUS 为 ZQ 校准结果寄存器。



Offset Address		Register Name		Total Reset Value																												
0x028		PACK_ZCAL_STATUS		0x0020_0020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				zcode_pdrv_cal				pdrv_cal_result		reserved		zcode_pdrv				reserved		zcode_ndrv_cal				ndrv_cal_result		reserved		zcode_ndrv					
Reset	0 0 0 0				0 0 0 0				0 0 1 0		0 0 0 0				0 0 0 0				0 0 0 0				0 0 1 0		0 0 0 0							
Bits	Access	Name	Description																													
[31]	RO	reserved	保留。																													
[30:24]	RO	zcode_pdrv_cal	P 驱动阻抗校准码。 该域显示阻抗校准时的 P 驱动校准码。																													
[23]	RO	pdrv_cal_result	P 驱动校准结果。 该域用于设置 ZQ 校准结果。 0: 校准完成并且无错误; 1: 校准完成但出错。 向该域写 1 将清除该域。																													
[22]	RO	reserved	保留。																													
[21:16]	RW	zcode_pdrv	P 驱动阻抗控制码。 该域用于指定 P 驱动阻抗控制码。该寄存器由用户更新或每次在 ZQ 校准完成之后更新。																													
[15]	RO	reserved	保留。																													
[14:8]	RO	zcode_ndrv_cal	N 驱动阻抗校准码。 该域显示阻抗校准时的 N 驱动校准码。																													
[7]	RO	ndrv_cal_result	N 驱动校准结果。 该域用于设置 ZQ 校准结果。 0: 校准完成并且无错误; 1: 校准完成但出错。 向该域写 1 将清除该域。																													
[6]	RO	reserved	保留。																													
[5:0]	RW	zcode_ndrv	N 驱动阻抗控制码。 该域用于指定 N 驱动阻抗控制码。该寄存器由用户更新或每次在 ZQ 校准完成之后更新。																													



PACK_DRAMCFG

PACK_DRAMCFG 为 DRAM 配置系统寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x02C				PACK_DRAMCFG				0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								maddr_mir	ma2t	nosra	reserved	dcfg_type			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	[31:7]		[6]		[5]		[4]		[3]		[2:0]																					
Access	RO		RW		RW		RW		RO		RW																					
Name	reserved		maddr_mir		ma2t		nosra		reserved		dcfg_type																					
Description	保留。		地址镜像。 单个 rank 配置时，该域需设为 0。		两个地址/命令周期。 该域指定是否由内部生成 DRAM 命令的 PHY 控制器使用 2T 时序。		无同时 rank 访问。 该域用于指定是否允许在同一个时钟周期内进行同时 rank 访问。设置该域为 1 将轮流进行 rank 访问。 注意：仅当 rank 数量为 2 或 4 时才能使能该域。 单个 rank 配置时，该域需设为 0。		保留。		DRAM 类型使能。 该域用于设置 DDR RAM 类型。 010: DDR3; 其它：保留。																					

PACK_DRAMTMR0

PACK_DRAMTMR0 为 DRAM 时序参数寄存器 0。



注意

该寄存器设置的命令延迟仅适用于从 PHY 寄存器内部发出的命令。

	Offset Address				Register Name								Total Reset Value																							
	0x030				PACK_DRAMTMR0								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	t_rc				t_rrd				t_ras				t_rcd				t_rp				t_wtr				t_rtp											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																																
	[31:26]	RW	t_rc	相同 bank 命令延迟的激活-激活命令。																																
	[25:22]	RW	t_rrd	不同 bank 命令延迟的激活-激活命令。																																
	[21:16]	RW	t_ras	激活-预充电命令周期。																																
	[15:12]	RW	t_rcd	激活-读/写延迟。																																
	[11:8]	RW	t_rp	预充电命令周期。																																
	[7:4]	RW	t_wtr	写-读命令周期。																																
	[3:0]	RW	t_rtp	读-预充电命令周期。																																

PACK_DRAMTMR1

PACK_DRAMTMR1 为 DRAM 时序参数寄存器 1。



注意

该寄存器设置的命令延迟仅适用于从 PHY 寄存器内部发出的命令。

	Offset Address				Register Name								Total Reset Value																			
	0x034				PACK_DRAMTMR1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	t_rtw				t_rfc				reserved	t_faw				t_mod				t_mrd													



Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description				
[31:29]	RO	reserved	保留。				
[28:25]	RW	t_rtw	读-写命令延迟。 该域用于指定是否在读写命令间插入额外周期。 通常该值为 3。				
[24:16]	RW	t_rfc	刷新-刷新命令延迟。				
[15]	RO	reserved	保留。				
[14:9]	RW	t_faw	4 个 bank 激活周期。该域仅对 8 rank 设备有效。				
[8:4]	RW	t_mod	加载模式寄存器-非加载模式寄存器命令延迟。该域仅对 DDR3 有效。				
[3:0]	RW	t_mrd	加载模式寄存器-加载模式寄存器命令延迟。				

PACK_DRAMTMR2

PACK_DRAMTMR2 为 DRAM 时序参数寄存器 2。



注意

该寄存器设置的命令延迟仅适用于从 PHY 寄存器内部发出的命令。

Offset Address	Register Name	Total Reset Value	
0x038	PACK_DRAMTMR2	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	t_ccd reserved t_dllk t_cke reserved t_xp t_xs		
Reset	0 0		
Bits	Access	Name	Description
[31]	RW	t_ccd	读-读和写-写命令延迟。 0 = BL/2 (对于 DDR3, 该值应为 4) 1 = BL/2 + 1 (对于 DDR3, 该值应为 5)
[30]	RO	reserved	保留。
[29:20]	RW	t_dllk	DLL 锁定时间。



[19:16]	RW	t_cke	CKE 最小脉冲宽度。
[15]	RO	reserved	保留。
[14:10]	RW	t_xp	下电退出延迟。
[9:0]	RW	t_xs	自刷新退出延迟。

PACK_DRAMTMR3

PACK_DRAMTMR3 为 DRAM 时序参数寄存器 3。



注意

该寄存器设置的命令延迟仅适用于从 PHY 寄存器内部发出的命令。

Offset Address		Register Name		Total Reset Value						
0x03C		PACK_DRAMTMR3		0x0010_0200						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	t_wr	t_wl	t_init5				t_zcal			
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:28]	RW	t_wr	写恢复周期。							
[27:24]	RW	t_wl	写延迟(AL+CWL)。							
[23:10]	RW	t_init5	LPDDR 设备初始化时间。 该域用于指定 LPDDR 设置 DAI 比特为 1 所需的时间。							
[9:0]	RW	t_zcal	ZQ 校准命令延迟。 该域用于设置初始 ZQ 校准后所等待的时钟周期数。 对于 DDR3 ZQ 正常的全面校准, 该域值需除以 2; 对于 DDR3 ZQ 初始化校准, 该域值需除以 4; 对于 LPDDR2/3, 该域指定初始化时的 tZQINIT 值。							

PACK_DRAMTMR4

PACK_DRAMTMR4 为 DRAM 写平整时序参数寄存器。



注意

该域仅对 DDR3 SDRAM 有效。

Offset Address		Register Name		Total Reset Value					
0x040		PACK_DRAMTMR4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				t_odton	t_odt	t_wlo	reserved	t_wlmrdr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	RO	reserved	保留。						
[18:15]	RW	t_odton	ODT 打开延迟（从写命令到 ODT 断言的时钟周期数）。						
[14:12]	RW	t_odt	ODT 打开周期。						
[11:8]	RW	t_wlo	写平整输出延迟。 该域用于指定写平整输出延迟（单位为周期）。						
[7:6]	RO	reserved	保留。						
[5:0]	RW	t_wlmrdr	编程的写平整模式（加载模式寄存器）至第一个 DQS/DQS# 上升沿延迟。						

PACK_ODTCR

PACK_ODTCR 为读或写特定 rank 时的 rank ODT 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x044		PACK_ODTCR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				wodt_rank3	wodt_rank2	wodt_rank1	wodt_rank0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:12]	RW	wodt_rank3	写 rank 3 ODT 控制。 该域用于指定写 rank 3 时发出的 ODT。					



[11:8]	RW	wodt_rank2	写 rank 2 ODT 控制。 该域用于指定写 rank 2 时发出的 ODT。
[7:4]	RW	wodt_rank1	写 rank 1 ODT 控制。 该域用于指定写 rank 1 时发出的 ODT。
[3:0]	RW	wodt_rank0	写 rank 0 ODT 控制。 该域用于指定写 rank 0 时发出的 ODT。

PACK_TRCR0

PACK_TRCR0 为训练控制寄存器 0。

	Offset Address	Register Name	Total Reset Value												
	0x048	PACK_TRCR0	0x0010_0008												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				gtds_rspdly				reserved				skip_eye_opening	reserved	dtr_rank
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0							
Bits	Access	Name	Description												
[31:22]	RO	reserved	保留。												
[21:16]	RW	gtds_rspdly	门控/读锁存训练反应延迟。 该域用于指定进行门控和读锁存训练时检查 PHY 的反应的等待时间。												
[15:4]	RO	reserved	保留。												
[3]	RW	skip_eye_opening	数据眼图训练时跳过眼图开窗。 该域用于指定是否跳过眼图开窗。如果该域为 1，数据图眼训练前的眼图开窗将跳过。如果该域为 0，在数据图眼训练前将执行眼图开窗。												
[2]	RO	reserved	保留。												
[1:0]	RW	dtr_rank	训练 rank。 该域用于指定用于训练的 rank。训练完成之后，该域用于选择 rank 特定设置的源。												



PACK_TRMADDR

PACK_TRMADDR 为数据训练内存起始地址寄存器。数据训练所需的最小内存空间为 64 字节，分配的内存需 64 字节对齐。

Offset Address		Register Name		Total Reset Value																												
0x0050		PACK_TRMADDR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dtrow								dtcol								reserved		dtbank													
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name		Description																												
[31:16]	RW	dtrow		数据训练行地址。 如有必要，该域可用作数据训练时的内存行地址。																												
[15:4]	RW	dtcol		数据训练列地址。 如有必要，该域可用作数据训练时的内存列地址。																												
[3]	RO	reserved		保留。																												
[2:0]	RW	dtbank		数据训练 bank 地址。 如有必要，该域可用作数据训练时的内存 bank 地址。																												

PACK_DRAM_MR01

PACK_DRAM_MR01 为模式寄存器的内容寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0064		PACK_DRAM_MR01		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mr1																mr0															
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name		Description																												
[31:16]	RW	mr1		模式寄存器 1。 对于 DDR/DDR2/DDR3/LPDDR，该域用于指定扩展模式寄存器 1 的内容。 对于 LPDDR2/LPDDR3，该域用于定义模式寄存器的 MR3/MR9。																												



[15:0]	RW	mr0	模式寄存器 0。 对于 DDR/DDR2/DDR3/LPDDR，该域用于指定模式寄存器 0 的内容。 对于 LPDDR2/LPDDR3，该域用于定义模式寄存器的 MR1/MR2。
--------	----	-----	---

PACK_DRAM_MR23

PACK_DRAM_MR23 为模式寄存器的内容寄存器。

Offset Address		Register Name		Total Reset Value					
0x0068		PACK_DRAM_MR23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	mr3				mr2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	mr3	模式寄存器 3。 对于 DDR/DDR2/DDR3，该域用于指定扩展模式寄存器 3。						
[15:0]	RW	mr2	模式寄存器 2。 对于 DDR/DDR2/DDR3，该域用于指定扩展模式寄存器 2。 对于 LPDDR2/LPDDR3，该域用于定义 MR16/MR17。						

PACK_MISC

PACK_MISC 为其它控制寄存器。

Offset Address		Register Name		Total Reset Value						
0x0070		PACK_MISC		0x0008_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			cfg_dlyupd	addr_delay	swap_en	addr_toggle	srmb_en	reserved	cfg_wl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:21]	RO	reserved	保留。							



[20]	RW	cfg_dlyupd	延迟更新模块的透明模式使能。该域为 1 时，寄存器中的延迟设置立即应用于 PHY。
[19]	RW	addr_delay	地址/命令的 1-T 延迟。 CWL 为 5 时，该域需设为 1。
[18]	RO	swap_en	交换地址和数据总线。
[17]	RW	addr_toggle	每个时钟周期切换地址总线。 仅当烧写测试时将域设为 1。
[16]	RW	srmb_en	数据加扰使能。 将该域设为 1 会使能数据加扰功能。
[15:12]	RO	reserved	保留。
[11:7]	RW	cfg_rl	PHY 读延迟。 该域用于设置从读命令至 rddata_en 断言的时钟周期数。该域值为 $(CL + AL - 2)$ 。
[6:5]	RO	reserved	保留。
[4:0]	RW	cfg_wl	PHY 写延迟。 该域用于设置从写命令至 wrdata_en 断言的时钟周期数。该域值为 $(CWL + AL - 1)$ 。 如果 DFI 时钟比率为 1:2，该域值必须大于等于 2。

PACK_PHYDBG

PACK_PHYDBG 为 PHY 调试寄存器。

	Offset Address	Register Name	Total Reset Value
	0x007C	PACK_PHYDBG	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	dqsb_gated_error	reserved
Reset	0 0		
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:16]	RO	dqsb_gated_error	DQSN 门控错误标记。 只可以通过发送 PHY 复位信号来清除该错误标记。
[15:8]	RO	reserved	保留。
[7:0]	RO	dqs_gated_error	DQS 门控错误标记。 只可以通过发送 PHY 复位信号来清除该错误标记。



PACK_DMSEL

PACK_DMSEL 为 DM 交换选择寄存器。

Offset Address		Register Name		Total Reset Value					
0x084		PACK_DMSEL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							xctl_dmswap_sel	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:4]	RO	reserved	保留。						
[3:0]	RW	xctl_dmswap_sel	Bit [3:2]: DM 1 交换选择; Bit [1:0]: DM 0 交换选择。						

PACK_SWTMODE

PACK_SWTMODE 为 S/W 训练模式配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x00A0		PACK_SWTMODE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							sw_gtmode	sw_wlmode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	sw_gtmode	进行 S/W 门控训练或 GDS 训练时将该域设为 1。						
[0]	RW	sw_wlmode	进行 S/W 写平整训练时将该域设为 1。						

PACK_SWTWLDQS

PACK_SWTWLDQS 为 S/W 写平整训练时的写 DQS 发起寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A4		PACK_SWTWLDQS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								sw_wl_dqs
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	WO	sw_wl_dqs	向该域写 1 将从 PHY 向 DRAM 发起 1 个 DQS 脉冲。						

PACK_SWTRLT

PACK_SWTRLT 为 S/W 训练结果寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A8		PACK_SWTRLT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		gds_result	gt_result		wl_dq_result		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:16]	RO	gds_result	每个比特对应 1 个字节 lane。					
[15:8]	RO	gt_result	每个比特对应 1 个字节 lane。					
[7:0]	RO	wl_dq_result	每个比特对应 1 个字节 lane。					

PACK_ACCMDBDL0

PACK_ACCMDBDL0 为 AC 命令位延迟线配置寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x120		PACK_ACCMDBDL0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		odt1_bdl	reserved			odt0_bdl	



Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:21]	RO		reserved				保留。																									
[20:16]	RW		odt1_bdl				ODT 1 的位延迟线设置。																									
[15:5]	RO		reserved				保留。																									
[4:0]	RW		odt0_bdl				ODT 0 的位延迟线设置。																									

PACK_ACCMDBDL1

PACK_ACCMDBDL1 为 AC 命令位延迟线配置寄存器 1。

	Offset Address								Register Name								Total Reset Value															
	0x124								PACK_ACCMDBDL1								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								odt3_bdl				reserved								odt2_bdl											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:21]	RO		reserved				保留。																									
[20:16]	RW		odt3_bdl				ODT 3 的位延迟线设置。																									
[15:5]	RO		reserved				保留。																									
[4:0]	RW		odt2_bdl				ODT 2 的位延迟线设置。																									

PACK_ACCMDBDL2

PACK_ACCMDBDL2 为 AC 命令位延迟线配置寄存器 2。

	Offset Address								Register Name								Total Reset Value															
	0x128								PACK_ACCMDBDL2								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cs1_bdl				reserved								cs0_bdl											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:21]	RO		reserved				保留。																									
[20:16]	RW		cs1_bdl				CS 1 的位延迟线设置。																									



[15:5]	RO	reserved	保留。
[4:0]	RW	cs0_bdl	CS 0 的位延迟线设置。

PACK_ACCMDBDL3

PACK_ACCMDBDL3 为 AC 命令位延迟线配置寄存器 3。

	Offset Address				Register Name				Total Reset Value																							
	0x12C				PACK_ACCMDBDL3				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cs3_bdl				reserved				cs2_bdl																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:21]	RO		reserved		保留。																											
[20:16]	RW		cs3_bdl		CS 3 的位延迟线设置。																											
[15:5]	RO		reserved		保留。																											
[4:0]	RW		cs2_bdl		CS 2 的位延迟线设置。																											

PACK_ACCMDBDL4

PACK_ACCMDBDL4 为 AC 命令位延迟线配置寄存器 4。

	Offset Address				Register Name				Total Reset Value																							
	0x130				PACK_ACCMDBDL4				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cke1_bdl				reserved				cke0_bdl																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:21]	RO		reserved		保留。																											
[20:16]	RW		cke1_bdl		CKE 1 的位延迟线设置。																											
[15:5]	RO		reserved		保留。																											
[4:0]	RW		cke0_bdl		CKE 0 的位延迟线设置。																											



PACK_ACCMDBDL5

PACK_ACCMDBDL5 为 AC 命令位延迟线配置寄存器 5。

Offset Address		Register Name		Total Reset Value					
0x134		PACK_ACCMDBDL5		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cke3_bdl		reserved			cke2_bdl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:16]	RW	cke3_bdl	CKE 3 的位延迟线设置。						
[15:5]	RO	reserved	保留。						
[4:0]	RW	cke2_bdl	CKE 2 的位延迟线设置。						

PACK_ACCMDBDL6

PACK_ACCMDBDL6 为 AC 命令位延迟线配置寄存器 6。

Offset Address		Register Name		Total Reset Value					
0x138		PACK_ACCMDBDL6		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cas_bdl		reserved			we_bdl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:16]	RW	cas_bdl	CAS 的位延迟线设置。						
[15:5]	RO	reserved	保留。						
[4:0]	RW	we_bdl	WE 的位延迟线设置。						

PACK_ACCMDBDL7

PACK_ACCMDBDL7 为 AC 命令位延迟线配置寄存器 7。



Offset Address		Register Name		Total Reset Value				
0x13C		PACK_ACCMDBDL7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			resetrn_bdl	reserved			ras_bdl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:21]	RO	reserved	保留。					
[20:16]	RW	resetrn_bdl	RESETN 的位延迟线设置。					
[15:5]	RO	reserved	保留。					
[4:0]	RW	ras_bdl	RAS 的位延迟线设置。					

PACK_ACADDRBDL0

PACK_ACADDRBDL0 为 AC 地址位延迟线配置寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x140		PACK_ACADDRBDL0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			addr1_bdl	reserved			addr0_bdl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:21]	RO	reserved	保留。					
[20:16]	RW	addr1_bdl	ADDR1 的位延迟线设置。					
[15:5]	RO	reserved	保留。					
[4:0]	RW	addr0_bdl	ADDR0 的位延迟线设置。					

PACK_ACADDRBDL1

PACK_ACADDRBDL1 为 AC 地址位延迟线配置寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x144		PACK_ACADDRBDL1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			addr3_bdl	reserved			addr2_bdl



Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:21]	RO		reserved				保留。																									
[20:16]	RW		addr3_bdl				ADDR3 的位延迟线设置。																									
[15:5]	RO		reserved				保留。																									
[4:0]	RW		addr2_bdl				ADDR2 的位延迟线设置。																									

PACK_ACADDRBDL2

PACK_ACADDRBDL2 为 AC 地址位延迟线配置寄存器 2。

	Offset Address								Register Name								Total Reset Value															
	0x148								PACK_ACADDRBDL2								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								addr5_bdl				reserved								addr4_bdl											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:21]	RO		reserved				保留。																									
[20:16]	RW		addr5_bdl				ADDR5 的位延迟线设置。																									
[15:5]	RO		reserved				保留。																									
[4:0]	RW		addr4_bdl				ADDR4 的位延迟线设置。																									

PACK_ACADDRBDL3

PACK_ACADDRBDL3 为 AC 地址位延迟线配置寄存器 3。

	Offset Address								Register Name								Total Reset Value															
	0x14C								PACK_ACADDRBDL3								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								addr7_bdl				reserved								addr6_bdl											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:21]	RO		reserved				保留。																									
[20:16]	RW		addr7_bdl				ADDR7 的位延迟线设置。																									



[15:5]	RO	reserved	保留。
[4:0]	RW	addr6_bdl	ADDR6 的位延迟线设置。

PACK_ACADDRBDL4

PACK_ACADDRBDL4 为 AC 地址位延迟线配置寄存器 4。

	Offset Address	Register Name	Total Reset Value
	0x150	PACK_ACADDRBDL4	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved	addr9_bdl	reserved addr8_bdl
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:16]	RW	addr9_bdl	ADDR9 的位延迟线设置。
[15:5]	RO	reserved	保留。
[4:0]	RW	addr8_bdl	ADDR8 的位延迟线设置。

PACK_ACADDRBDL5

PACK_ACADDRBDL5 为 AC 地址位延迟线配置寄存器 5。

	Offset Address	Register Name	Total Reset Value
	0x154	PACK_ACADDRBDL5	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved	addr11_bdl	reserved addr10_bdl
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:16]	RW	addr11_bdl	ADDR11 的位延迟线设置。
[15:5]	RO	reserved	保留。
[4:0]	RW	addr10_bdl	ADDR10 的位延迟线设置。



PACK_ACADDRBDL6

PACK_ACADDRBDL6 为 AC 地址位延迟线配置寄存器 6。

Offset Address		Register Name		Total Reset Value					
0x158		PACK_ACADDRBDL6		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			addr13_bdl		reserved			addr12_bdl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:16]	RW	addr13_bdl	ADDR13 的位延迟线设置。						
[15:5]	RO	reserved	保留。						
[4:0]	RW	addr12_bdl	ADDR12 的位延迟线设置。						

PACK_ACADDRBDL7

PACK_ACADDRBDL7 为 AC 地址位延迟线配置寄存器 7。

Offset Address		Register Name		Total Reset Value					
0x15C		PACK_ACADDRBDL7		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			addr15_bdl		reserved			addr14_bdl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:16]	RW	addr15_bdl	ADDR15 的位延迟线设置。						
[15:5]	RO	reserved	保留。						
[4:0]	RW	addr14_bdl	ADDR14 的位延迟线设置。						

PACK_ACADDRBDL8

PACK_ACADDRBDL8 为 AC 地址位延迟线配置寄存器 8。



Offset Address		Register Name		Total Reset Value					
0x160		PACK_ACADDRBDL8		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			ba1_bdl		reserved			ba0_bdl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:16]	RW	ba1_bdl	BA1 的位延迟线设置。						
[15:5]	RO	reserved	保留。						
[4:0]	RW	ba0_bdl	BA0 的位延迟线设置。						

PACK_ACADDRBDL9

PACK_ACADDRBDL9 为 AC 地址位延迟线配置寄存器 9。

Offset Address		Register Name		Total Reset Value					
0x164		PACK_ACADDRBDL9		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							ba2_bdl	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	RO	reserved	保留。						
[4:0]	RW	ba2_bdl	BA2 的位延迟线设置。						

PACK_ACCLKBDL

PACK_ACCLKBDL 为 AC 时钟位延迟线配置寄存器。

Offset Address		Register Name		Total Reset Value						
0x168		PACK_ACCLKBDL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	fbclk_bdl		reserved	refclk_bdl		reserved	dramclk1_bdl	reserved	dramclk0_bdl



Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description				
[31:29]	RO	reserved	保留。				
[28:24]	RW	fbclk_bdl	FBCLK 的位延迟线设置。				
[23:21]	RO	reserved	保留。				
[20:16]	RW	refclk_bdl	REFCLK 的位延迟线设置。				
[15:13]	RO	reserved	保留。				
[12:8]	RW	dramclk1_bdl	dramclk1 的位延迟线设置。				
[7:5]	RO	reserved	保留。				
[4:0]	RW	dramclk0_bdl	dramclk0 的位延迟线设置。				

PACK_ACPHYCTL

PACK_ACPHYCTL 为 AC 块 PHY 控制寄存器。该寄存器用于 PHY 控制，不可修改。

	Offset Address	Register Name	Total Reset Value														
	0x180	PACK_ACPHYCTL	0x0000_0000														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0									
Name	timing2t_addr				reserved				timing2t_ba	reserved	timing2t_we	timing2t_cas	timing2t_ras	timing2t_odt	timing2t_cke	timing2t_cs	timing2t_reset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0									
Bits	Access	Name	Description														
[31:16]	RW	timing2t_addr	PHY 控制寄存器。														
[15:11]	RO	reserved	保留。														
[10:8]	RW	timing2t_ba	PHY 控制寄存器。														
[7]	RO	reserved	保留。														
[6]	RW	timing2t_we	PHY 控制寄存器。														
[5]	RW	timing2t_cas	PHY 控制寄存器。														
[4]	RW	timing2t_ras	PHY 控制寄存器。														



[3]	RW	timing2t_odt	PHY 控制寄存器。
[2]	RW	timing2t_cke	PHY 控制寄存器。
[1]	RW	timing2t_cs	PHY 控制寄存器。
[0]	RW	timing2t_reset	PHY 控制寄存器。

PACK_DXNBISTCTRL

PACK_DXNBISTCTRL 为数据块 BIST 测试时的环回数据比较控制寄存器。

Offset Address
0x200 + n x 0x80
(n = 0-3)

Register Name
PACK_DXNBISTCTRL

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	lfsr_seed				reserved								dqm_cmp_mask				reserved								bist_en							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		lfsr_seed		LFSR 种子值。 该域用于为此字节 lane 指定 LFSR 生成器的初始种子值。																											
[23:17]	RO		reserved		保留。																											
[16]	RW		dqm_cmp_mask		DQM 环回比较屏蔽。 该域用于控制是否禁止比较 DQM 比特的环回数据。 0: 不比较; 1: 比较。																											
[15:8]	RW		dq_cmp_mask		DQ 环回比较屏蔽。 该域用于控制是否禁止比较 DQ 比特的环回数据。 0: 不比较; 1: 比较。																											
[7:1]	RO		reserved		保留。																											
[0]	RW		bist_en		BIST 使能。 该信号指定当 bist_op 为 BIST 使能时是否在环回测试时使用数据块。																											



PACK_DXNBIST_STATUS

PACK_DXNBIST_STATUS 为 BIST 测试结果和状态寄存器。



注意

此寄存器只读并且只可通过设置 bist_op 位为 BIST 复位进行复位。

Offset Address	Register Name	Total Reset Value
0x204 + n x 0x80	PACK_DXNBIST_STATUS	0x0000_0000
(n = 0-3)		

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																dqm_cmp_err				dq_cmp_ferr						dq_cmp_rerr									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:17]	RO		reserved		保留。																															
[16]	RO		dqm_cmp_err		DQM 的 BIST 错误。																															
[15:8]	RO		dq_cmp_ferr		DQS 下降沿的 DQ 的 BIST 错误。																															
[7:0]	RO		dq_cmp_rerr		DQS 上升沿的 DQ 的 BIST 错误。																															

PACK_DXNCTRL

PACK_DXNCTRL 为数据块控制寄存器。

Offset Address	Register Name	Total Reset Value
0x208 + n x 0x80	PACK_DXNCTRL	0x0000_0000
(n = 0-3)		

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										dm_dis		bl_dis			



Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access				Name				Description											
[31:2]	RO				reserved				保留。											
[1]	RW				dm_dis				数据屏蔽禁用。 该域用于指定是否使能对应的写数据屏蔽(DM)。如果该域为1, 则在训练操作时不使用且不校准对应的DM。											
[0]	RW				bl_dis				字节 lane 禁用。 该域用于指明是否正在使用对应的字节 lane。如果未使用对应的字节 lane, PLL/DDDL 下电并且输出驱动关闭。											

PACK_DXNWDQBDL0

PACK_DXNWDQBDL0 为数据块位延迟线控制寄存器 0。

Offset Address	Register Name	Total Reset Value
0x210 + n x 0x80	PACK_DXNWDQBDL0	0x0000_0000
(n = 0-3)		

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				wdq3bdl				reserved				wdq2bdl				reserved				wdq1bdl				reserved				wdq0bdl			
Reset	0				0				0				0				0				0				0				0			
Bits	Access				Name				Description																							
[31:29]	RO				reserved				保留。																							
[28:24]	RW				wdq3bdl				WDQ 3 延迟选择。 该域用于指定 DQ 3 写路径上的位延迟线的延迟值。																							
[23:21]	RO				reserved				保留。																							
[20:16]	RW				wdq2bdl				WDQ 2 延迟选择。 该域用于指定 DQ 2 写路径上的位延迟线的延迟值。																							
[15:13]	RO				reserved				保留。																							
[12:8]	RW				wdq1bdl				WDQ 1 延迟选择。 该域用于指定 DQ 1 写路径上的位延迟线的延迟值。																							
[7:5]	RO				reserved				保留。																							



[4:0]	RW	wdq0bdl	WDQ 0 延迟选择。 该域用于指定 DQ 0 写路径上的位延迟线的延迟值。
-------	----	---------	---

PACK_DXNWDQBDL1

PACK_DXNWDQBDL1 为数据块位延迟线控制寄存器 1。

Offset Address
0x214 + n x 0x80
(n = 0-3)

Register Name
PACK_DXNWDQBDL1

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				wdq7bdl				reserved				wdq6bdl				reserved				wdq5bdl				reserved				wdq4bdl			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:24]	RW	wdq7bdl	WDQ 7 延迟选择。 该域用于指定 DQ 3 写路径上的位延迟线的延迟值。
[23:21]	RO	reserved	保留。
[20:16]	RW	wdq6bdl	WDQ 6 延迟选择。 该域用于指定 DQ 2 写路径上的位延迟线的延迟值。
[15:13]	RO	reserved	保留。
[12:8]	RW	wdq5bdl	WDQ 5 延迟选择。 该域用于指定 DQ 1 写路径上的位延迟线的延迟值。
[7:5]	RO	reserved	保留。
[4:0]	RW	wdq4bdl	WDQ 4 延迟选择。 该域用于指定 DQ 0 写路径上的位延迟线的延迟值。

PACK_DXNWDQBDL2

PACK_DXNWDQBDL2 为数据块位延迟线控制寄存器 2。



Offset Address
0x218 + n x 0x80
(n = 0-3)

Register Name
PACK_DXNWDQBDL2

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								wdmdbl							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:5]	RO	reserved		保留。																											
	[4:0]	RW	wdmdbl		WDQM 延迟选择。 该域用于指定 DQM 的位延迟线的延迟值。																											

PACK_DXNRDQBDL0

PACK_DXNRDQBDL0 为数据块位延迟线控制寄存器 3。

Offset Address
0x21C + n x 0x80
(n = 0-3)

Register Name
PACK_DXNRDQBDL0

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				rdq3bdl				reserved				rdq2bdl				reserved				rdq1bdl				reserved				rdq0bdl			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:29]	RO	reserved		保留。																											
	[28:24]	RW	rdq3bdl		RDQ 3 延迟选择。 该域用于指定 DQ 3 写路径上的位延迟线的延迟值。																											
	[23:21]	RO	reserved		保留。																											
	[20:16]	RW	rdq2bdl		RDQ 2 延迟选择。 该域用于指定 DQ 2 写路径上的位延迟线的延迟值。																											
	[15:13]	RO	reserved		保留。																											
	[12:8]	RW	rdq1bdl		RDQ 1 延迟选择。 该域用于指定 DQ 1 写路径上的位延迟线的延迟值。																											
	[7:5]	RO	reserved		保留。																											



[4:0]	RW	rdq0bdl	RDQ 0 延迟选择。 该域用于指定 DQ 0 写路径上的位延迟线的延迟值。
-------	----	---------	---

PACK_DXNRDQBDL1

PACK_DXNRDQBDL1 为数据块位延迟线控制寄存器 4。

Offset Address
0x220 + n x 0x80
(n = 0-3)

Register Name
PACK_DXNRDQBDL1

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				rdq7bdl				reserved				rdq6bdl				reserved				rdq5bdl				reserved				rdq4bdl			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							

Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28:24]	RW	rdq7bdl	RDQ 7 延迟选择。 该域用于指定 DQ 3 写路径上的位延迟线的延迟值。
[23:21]	RO	reserved	保留。
[20:16]	RW	rdq6bdl	RDQ 6 延迟选择。 该域用于指定 DQ 2 写路径上的位延迟线的延迟值。
[15:13]	RO	reserved	保留。
[12:8]	RW	rdq5bdl	RDQ 5 延迟选择。 该域用于指定 DQ 1 写路径上的位延迟线的延迟值。
[7:5]	RO	reserved	保留。
[4:0]	RW	rdq4bdl	RDQ 4 延迟选择。 该域用于指定 DQ 0 写路径上的位延迟线的延迟值。

PACK_DXNRDQBDL2

PACK_DXNRDQBDL2 为数据块位延迟线控制寄存器 5。



Offset Address		Register Name		Total Reset Value					
0x224 + n x 0x80		PACK_DXNRDQBDL2		0x0000_0000					
(n = 0-3)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							rdmdbl	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	RO	reserved	保留。						
[4:0]	RW	rdmdbl	RDQM 延迟选择。 该域用于指定 DQM 环回读路径上的位延迟线的延迟值。						

PACK_DXNRDQSDLY

PACK_DXNRDQSDLY 为本地延迟线控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x22C + n x 0x80		PACK_DXNRDQSDLY		0x0000_0000				
(n = 0-3)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		rdqs_cyc		reserved		rdqs_bdl	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:23]	RO	reserved	保留。					
[22:16]	RW	rdqs_cyc	读 DQS 时钟相位选择。 该域用于指定读 DQS 的相位偏移以获取 90 度的延迟。					
[15:7]	RO	reserved	保留。					
[6:0]	RW	rdqs_bdl	读 DQS 延迟选择。 该域用于指定读 DQS 的相位偏移以获取 90 度的延迟。					

PACK_DXWDQSDLY

PACK_DXWDQSDLY 为写平整 DQS 延迟控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x230 + n x 0x80		PACK_DXWDQSDLY		0x0000_0000				
(n = 0-3)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					wdqs_phase	reserved	wdqs_bdl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:8]	RW	wdqs_phase	写 DQS 时钟相位选择。					
[7:5]	RO	reserved	保留。					
[4:0]	RW	wdqs_bdl	写平整 DQS 延迟选择。 该域用于指定用于 WDQS 写平整的延迟值。					

PACK_DXNWDQDLY

PACK_DXNWDQDLY 为写平整延迟控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x234 + n x 0x80		PACK_DXNWDQDLY		0x0000_0C00				
(n = 0-3)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					wdq_phase	reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:13]	RO	reserved	保留。					
[12:8]	RW	wdq_phase	写数据眼图时钟相位选择。					
[7:0]	RO	reserved	保留。					

PACK_DXNDQSGDLY

PACK_DXNDQSGDLY 为本地延迟线控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x23C + n x 0x80		PACK_DXNDQSGDLY		0x0000_0010					
(n = 0-3)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rdqsgtxbd1	reserved	rdqsg_phase	reserved	rdqsg_bdl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:16]	RW	rdqsgtxbd1	读 DQS 门控延迟选择。 该域用于指定 DQS 空焊垫前的读门控延迟值。						
[15:14]	RO	reserved	保留。						
[13:8]	RW	rdqsg_phase	读 DQS 门控时钟相位选择。						
[7:6]	RO	reserved	保留。						
[5:0]	RW	rdqsg_bdl	读 DQS 门控延迟选择。 该域用于指定 DQS 空焊垫后的读门控延迟值。						

PACK_DXNWLSL

PACK_DXNWLSL 为额外系统延迟添加控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x244 + n x 0x80		PACK_DXNWLSL		0x0001_0000					
(n = 0-3)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				wl_sl	reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:18]	RO	reserved	保留。						
[17:16]	RW	wl_sl	写平整系统使能。 该域用于调节写平整后的写延迟。						



[15:0]	RW	reserved	保留。
--------	----	----------	-----

PACK_DXNGDS

PACK_DXNGDS 为 PHY 锁存使能寄存器（为获得稳定数据）。

Offset Address	Register Name	Total Reset Value
0x248 + n x 0x80	PACK_DXNGDS	0x0000_0000
(n = 0-3)		

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								gds							
Reset	0 0																															
Bits	Access		Name		Description																											
[31:3]	RO		reserved		保留。																											
[2:0]	RW		gds		Rank 0 读数据锁存延迟。 该域在 PHY 锁存读取的数据时用作参考的稳定区。																											

PACK_DXNCLKBDL

PACK_DXNCLKBDL 为数据块时钟位延迟线设置寄存器。

Offset Address	Register Name	Total Reset Value
0x24C + n x 0x80	PACK_DXNCLKBDL	0x0000_0000
(n = 0-3)		

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								dx_refclk_bdl				reserved								dx_fbclk_bdl											
Reset	0 0																															
Bits	Access		Name		Description																											
[31:21]	RO		reserved		保留。																											
[20:16]	RW		dx_refclk_bdl		REFCLK 的位延迟线设置。																											
[15:5]	RO		reserved		保留。																											
[4:0]	RW		dx_fbclk_bdl		FBCLK 的位延迟线设置。																											



PACK_DXNRDBOUND

PACK_DXNRDBOUND 为读数据眼图边界寄存器。此处的边界指数据眼图中 RDQSQDL 的左右边界。

Offset Address
0x250 + n x 0x80
(n = 0-3)

Register Name
PACK_DXNRDBOUND

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								rdqsqdl_left				reserved								rdqsqdl_right											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:23]	RO		reserved		保留。																											
[22:16]	RO		rdqsqdl_left		读数据眼图的左边界。																											
[15:7]	RO		reserved		保留。																											
[6:0]	RO		rdqsqdl_right		读数据眼图的右边界。																											

PACK_DXNWRBOUND

PACK_DXNWRBOUND 为写数据眼图边界寄存器。此处的边界指数据眼图中 WDQSQDL 的左右边界。

Offset Address
0x254 + n x 0x80
(n = 0-3)

Register Name
PACK_DXNWRBOUND

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								wdqs_phase_left				reserved								wdqs_phase_right											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:21]	RO		reserved		保留。																											
[20:16]	RO		wdqs_phase_left		写数据眼图的左边界。																											
[15:5]	RO		reserved		保留。																											
[4:0]	RO		wdqs_phase_right		写数据眼图的右边界。																											

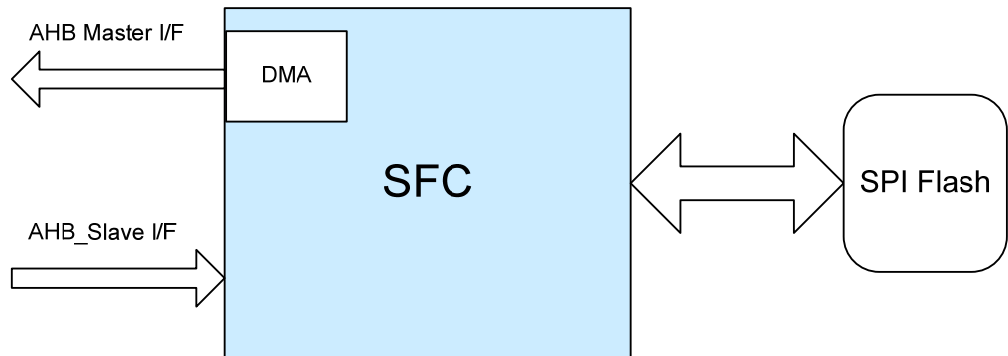


4.2 SFC

4.2.1 概述

SFC (Serial Peripheral Interface Flash Controller) 是一个 SPI Flash 控制器。业务侧提供一个 AHB (Advanced High performance Bus) Slave 接口, 主要完成 AHB 通道对 SPI Flash 的访问控制功能; 提供一个 AHB Master 接口, 用于 DMA 方式读写 Flash。

图4-7 SFC 应用框图



4.2.2 特点

4.2.2.1 AHB Slave 接口

AHB Slave 接口具有以下特点:

- 提供一个 AHB Slave 接口, 可以根据不同的选择信号访问内部配置寄存器或直接访问 SPI flash memory。
- 支持 AMBA2.0 协议。
- 仅支持小端 (little-endian)。

4.2.2.2 AHB Master 接口

AHB Master 接口具有以下特点:

- 提供一个 AHB Master 接口, 用于 DMA 方式在内存和 Flash 之间搬运数据。
- 支持 AMBA2.0 协议。
- 只支持小端。
- 只有 Single、INCR4、INCR8、INCR16 传输类型。
- 不支持 Early Termination。
- 支持总线 Lock。

4.2.2.3 存储器接口

存储器接口具有以下特点:



- 支持 2 个片选。存储空间最大支持到 128Mbit（3byte 地址模式）/8Gbit（4byte 地址模式）。SPI Flash 可分别映射到系统地址空间，映射基地址可配置，映射系统空间限制在 0x58000000~0x5BFFFFFF 空间内。
- 支持地址 Alias，可通过地址 Alias 实现上电后映射 0 地址到 CS1，芯片从 CS1 启动。
- 支持 Standard SPI、Dual-Output/Dual-Input SPI、Quad-Output/Quad-Input SPI、Dual-I/O SPI、Quad-I/O SPI、Full DIO SPI、Full QIO SPI 七种接口类型。上电后默认支持 Standard SPI 接口类型，可通过寄存器配置切换接口类型。
- 支持 3byte 和 4byte 两种 Flash 地址模式。可通过将管脚 SFC_ADDR_MODE（与管脚 SFC_CLK 复用）上下拉来选择默认地址模式，也可以通过配置寄存器切换地址模式。3byte 模式支持最大 128Mbit，4byte 模式支持最大 8Gbit。
- SPI Flash 读写操作支持总线直接读写、寄存器编程读写、DMA 读写三种方式。
- 支持多种写保护操作。

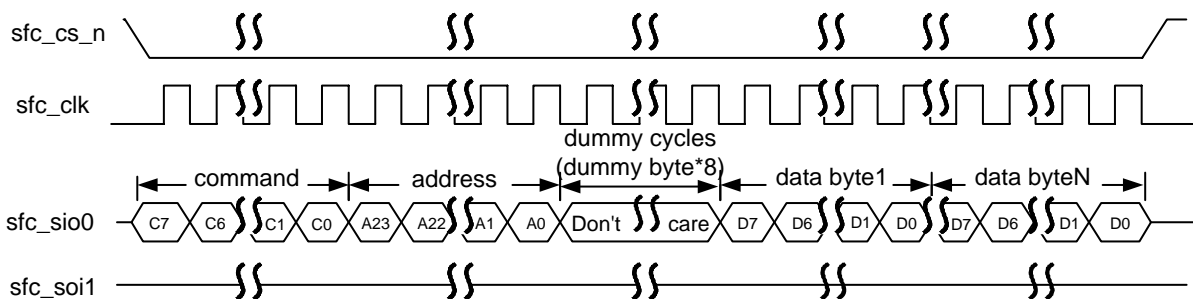
4.2.3 功能描述

4.2.3.1 接口模式时序

Standard SPI

Standard SPI 接口模式具有 1bit 数据输入线和 1bit 数据输出线，接口时序如图 4-8 和图 4-9 所示。

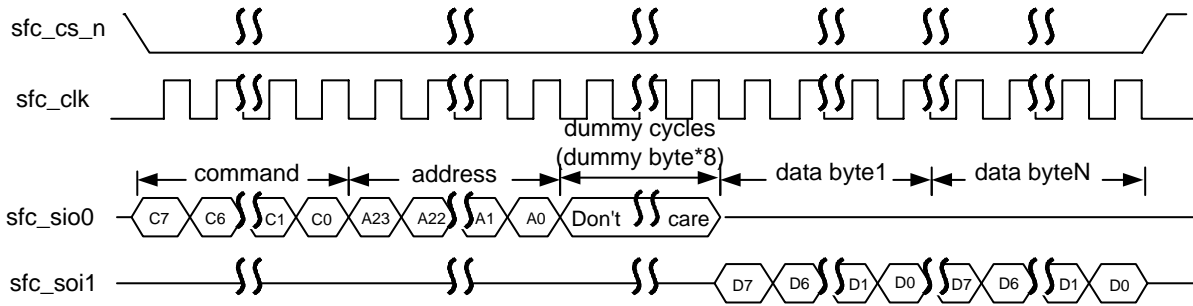
图4-8 Standard SPI（写）接口时序图



注：Opcode/Address/DummyByte 以单 bit 串行方式在 sfc_sio0 线上输出。
Data 以单 bit 串行方式在 sfc_soi0 线上输出。



图4-9 Standard SPI（读）接口时序图

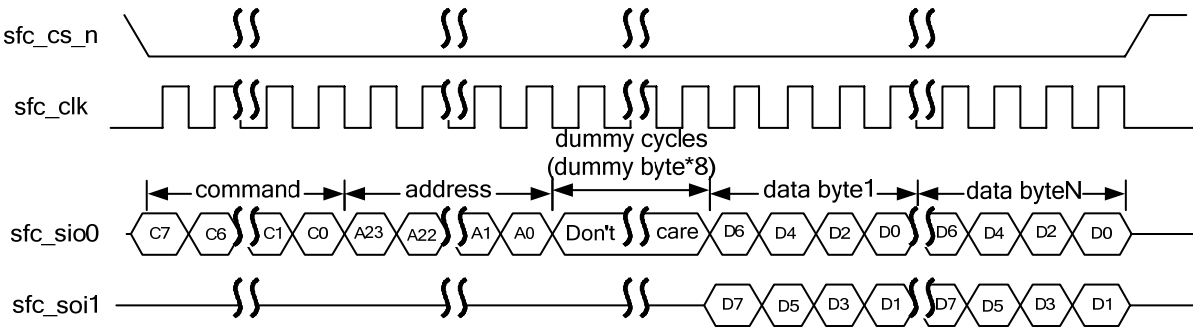


注：Opcode/Address/DummyByte 以单 bit 串行方式在 `sfc_sio0` 线上输出。
Data 以单 bit 串行方式在 `sfc_soi1` 线上输入。

Dual Input/Dual Output SPI

Dual Input/Dual Output SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-10 所示。

图4-10 Dual Input/Dual Output SPI 接口时序图



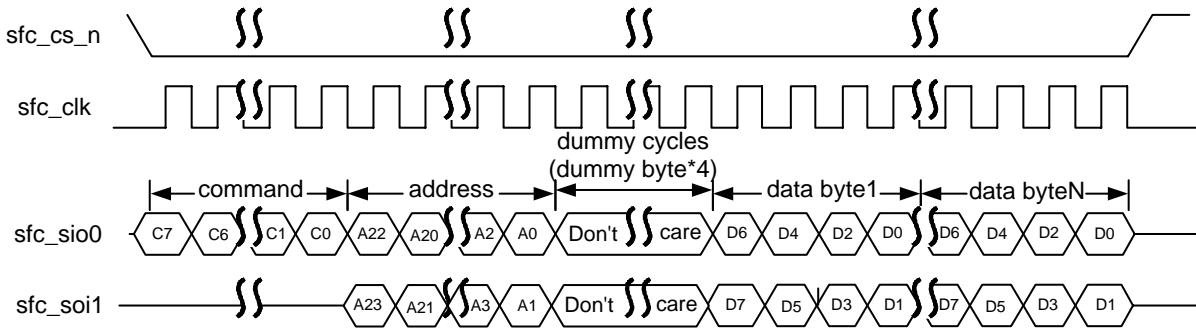
注：Opcode/Address/DummyByte 以单 Bit 串行方式在 `sfc_sio0` 线上输出。
Data 以 Dual Bits 方式在 `sfc_sio0/sfc_soi1` 线上输出（写）或输入（读）。

Dual I/O SPI

Dual I/O SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-11 所示。



图4-11 Dual I/O SPI 接口时序图

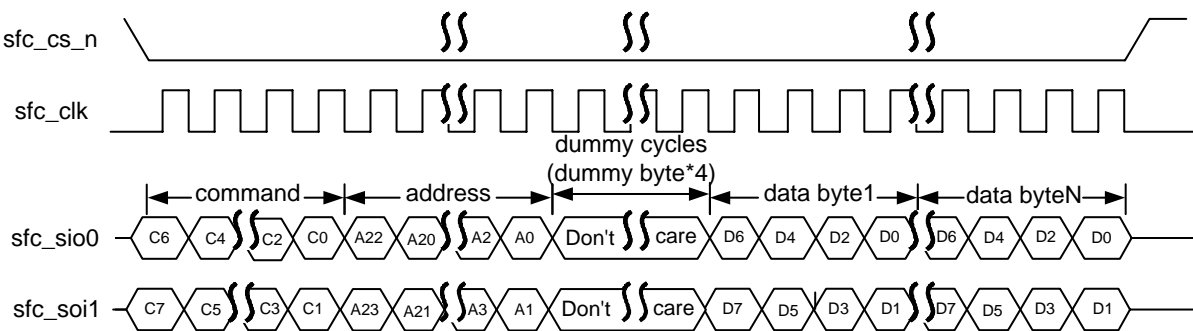


注：Opcode 以单 Bit 串行方式在 `sfc_sio0` 线上输出。Address/DummyByte 以 Dual Bits 方式在 `sfc_sio0/sfc_soi1` 线上输出。Data 以 Dual Bits 方式在 `sfc_sio0/sfc_soi1` 线上输出（写）或输入（读）。

Full Dual I/O SPI

Dual Input/Dual Output SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-12 所示。

图4-12 Full Dual I/O SPI 接口时序图



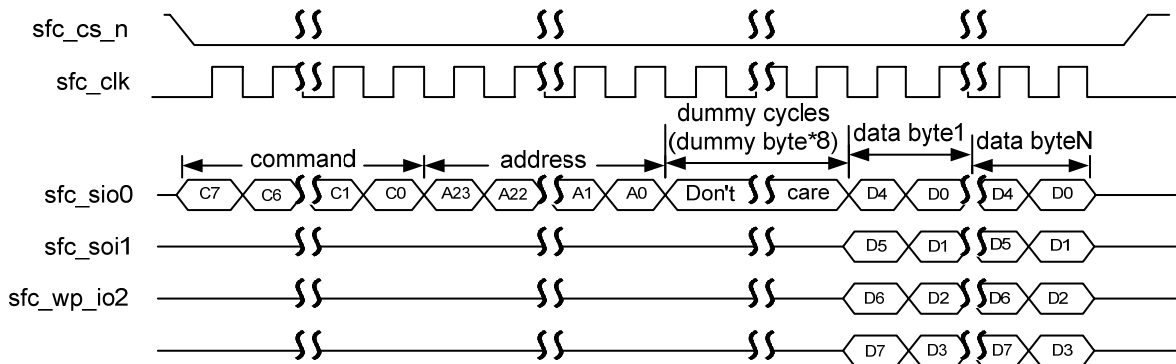
注：Opcode/Address/DummyByte 以 Dual Bits 方式在 `sfc_sio0/sfc_soi1` 线上输出。Data 以 Dual Bits 方式在 `sfc_sio0/sfc_soi1/sfc_wp/sfc_hold` 线上输出（写）或输入（读）。

Quad Input/Quad Output SPI

Quad Input/Quad Output SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-13 所示。



图4-13 Quad Input/Quad Output SPI 接口时序图

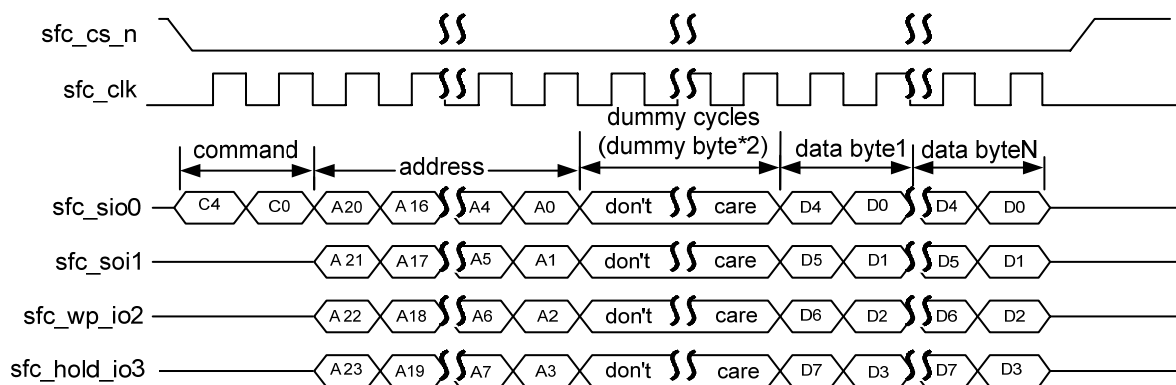


注：Opcode/Address/DummyByte 以单 Bit 串行方式在 sfc_sio0 线上输出。
Data 以 Quad Bits 方式在 $sfc_sio0/sfc_soi1/sfc_wp/sfc_hold$ 线上输出（写）或输入（读）。

Quad I/O SPI

Quad SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-14 所示。

图4-14 Quad I/O SPI 接口时序图



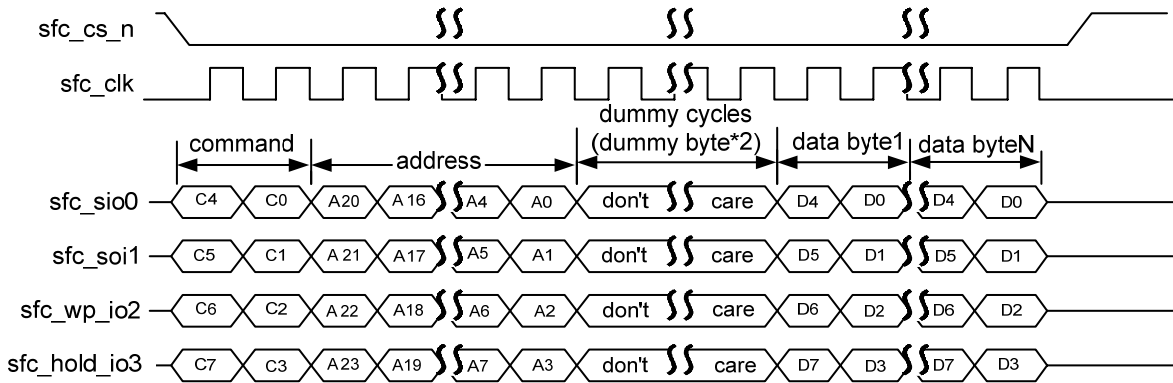
注：Opcode 以单 Bit 串行方式在 sfc_sio0 线上输出。Address/DummyByte 以 Quad Bits 方式在 $sfc_sio0/sfc_soi1/sfc_wp/sfc_hold$ 线上输出。Data 以 Quad Bits 方式在 $sfc_sio0/sfc_soi1/sfc_wp/sfc_hold$ 线上输出（写）或输入（读）。

Full Quad SPI

Full Quad SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-15 所示。



图4-15 Full Quad SPI 接口时序图



注：Opcode/Address/DummyByte 以 Quad Bits 方式在 `sfc_sio0/sfc_soi1/sfc_wp/sfc_hold` 线上输出。
Data 以 Quad Bits 方式在 `sfc_sio0/sfc_soi1/sfc_wp/sfc_hold` 线上输出（写）或输入（读）。

4.2.3.2 读写 Flash 操作

有三种方式读写 Flash：

- 通过寄存器配置方式发送 SPI Flash Program、Read 等命令来读写 Flash。此方式需 CPU 直接控制需要发送的 Flash 命令和参数。
- CPU 通过 AHB Slave 接口以类似读写普通 Memory 的方式读写 Flash。SFC 模块会自动将 AHB 总线的读写操作时序映射为 SPI Flash 读写命令。
- 通过 DMA 方式在 Flash 和内存之间搬运数据。

4.2.3.3 其他操作

对 Flash 的其他操作如 Erase、读 Device ID 等必须通过寄存器访问来实现。

4.2.3.4 Flash 地址模式切换

本模块支持 3Bytes 与 4Bytes 两种 Flash 地址模式，可通过将管脚上下拉来选择初始默认地址模式，也可以在芯片启动起来之后通过配置寄存器动态切换地址模式。

芯片启动时默认地址模式配置：

- 将管脚 `SFC_ADDR_MODE`(与管脚 `SFC_CLK` 复用)下拉，默认寻址模式为 3Bytes 地址模式。
- 将管脚 `SFC_ADDR_MODE`(与管脚 `SFC_CLK` 复用)上拉，默认寻址模式为 4Bytes 地址模式。

芯片启动起来之后切换 Flash 地址模式的步骤如下：

1. 无 Flash 操作或保证之前 Flash 操作完成。
2. 根据器件要求，用寄存器方式发特定命令配置 Flash 进入 4B 模式。
3. 配置 SFC 的 Flash 地址模式为 4B 模式（`GLOBAL_CONFIG[flash_addr_mode]`）

----结束

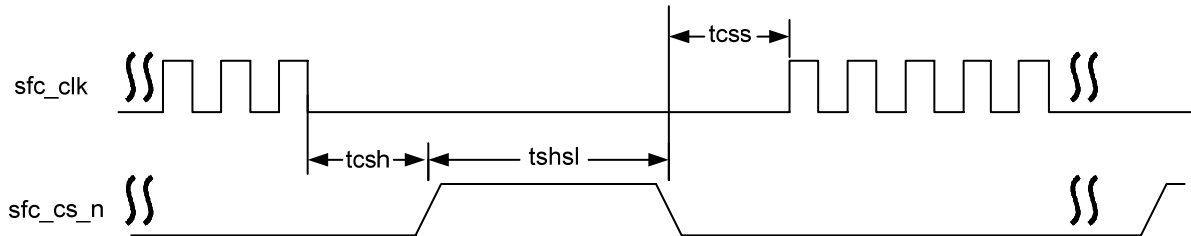


具体 SPI Flash 地址模式切换的命令。请查找相关器件手册。

4.2.3.5 时序说明

时序以及参数说明如图 4-16 所示。

图4-16 SPI 输出时序图



注：

tcsh: CS setup time。

tcss: CS hold time。

tshsl: 片选 deselect time。

4.2.4 工作流程

4.2.4.1 初始化流程

初始化流程如下：

1. (如果需要调整 Timing 参数) 配置 Timing 寄存器。
2. (如果需要用到 Flash 4Bytes 地址模式)，请参见“4.2.3.4 Flash 地址模式切换”。
3. 配置总线操作方式寄存器：
 - a. 根据实际 Flash 大小配置 BUS_FLASH_SIZE (可通过发 Read ID 命令给 Flash 查询获得器件型号获知)。
 - b. 依据 Flash 直接映射到系统地址空间情况配置 CS1_BUS_BASE_ADDR、BUS_ALIAS_ADDR 映射空间应在系统总线分配给 SFC_MEM 的地址空间范围内。
通常 BUS_ALIAS_ADDR 对应从 Flash 启动时映射的地址，只默认值有意义，所以一般固定不修改。
 - c. 有些器件要求进入非 Standard SPI 读写时序需要预先以特殊命令配置 Flash。根据器件需要，用寄存器方式发特定命令配置 Flash。
 - d. 配置总线读写操作指令和参数。
配置 BUS_CONFIG1/BUS_CONFIG2。
 - e. 如果需要开启总线写操作，使能总线写。默认关闭总线写功能。
配置 BUS_CONFIG1[wr_enable]为 1。



说明

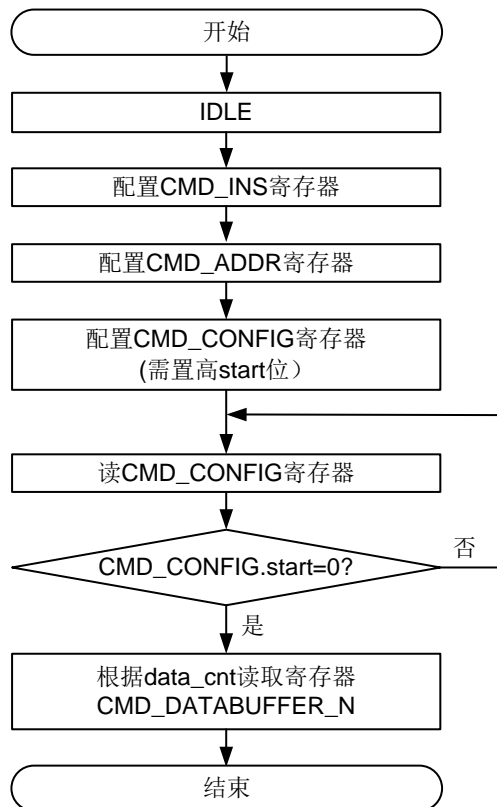
- 寄存器操作 flash 方式无需初始化，每次操作都需要重新配置。
- 注意以上初始化流程仅做参考，请视器件差异进行调整。

----结束

4.2.4.2 通过寄存器方式读 Flash 操作流程

通过寄存器读取 Flash 的操作流程如图 4-17 所示（查询方式）。

图4-17 通过寄存器读取 Flash 的操作流程（查询方式）

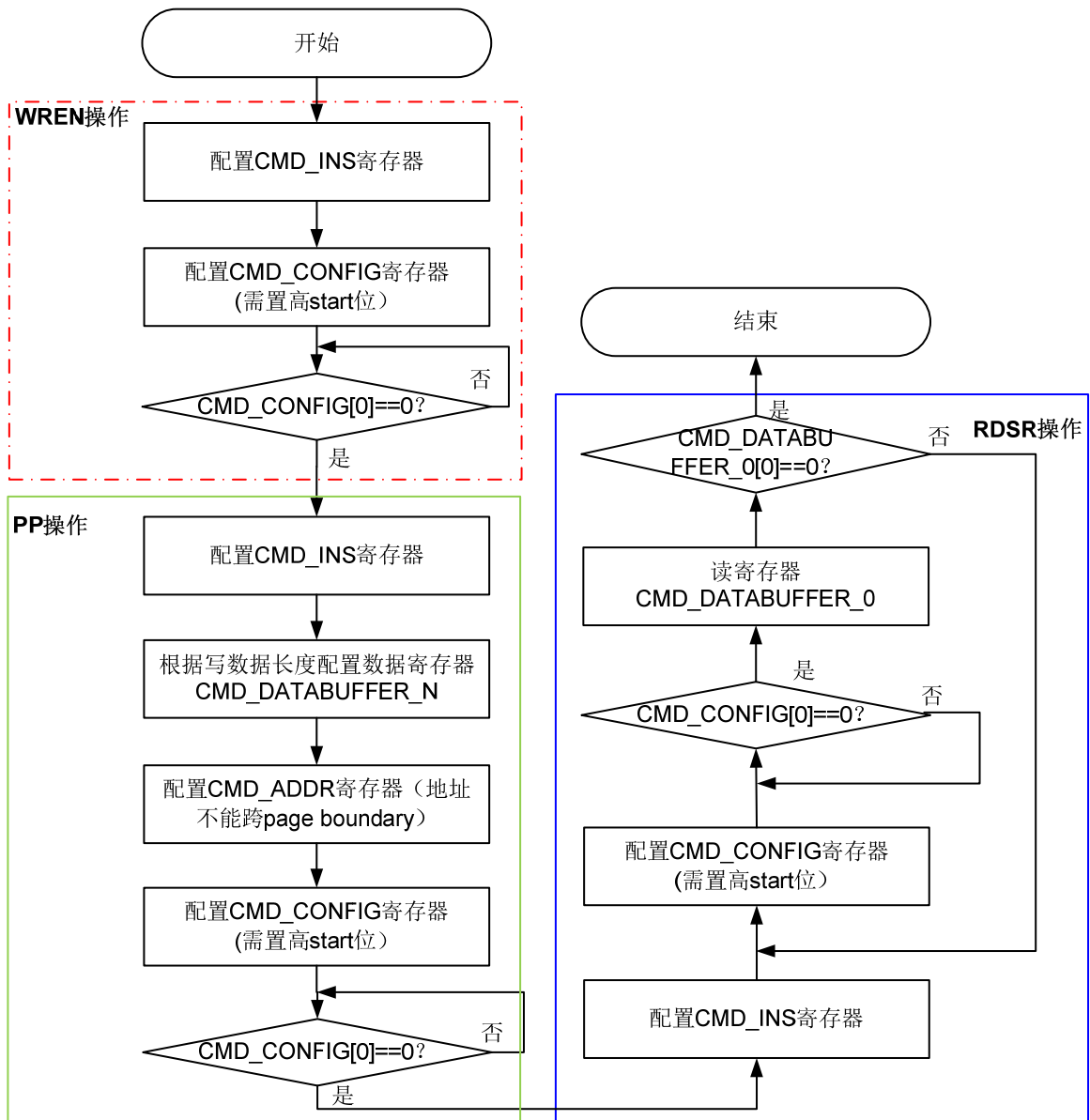


4.2.4.3 通过寄存器方式写 Flash 操作流程

通过寄存器写 Flash 的操作流程如图 4-18 所示（中断方式）。



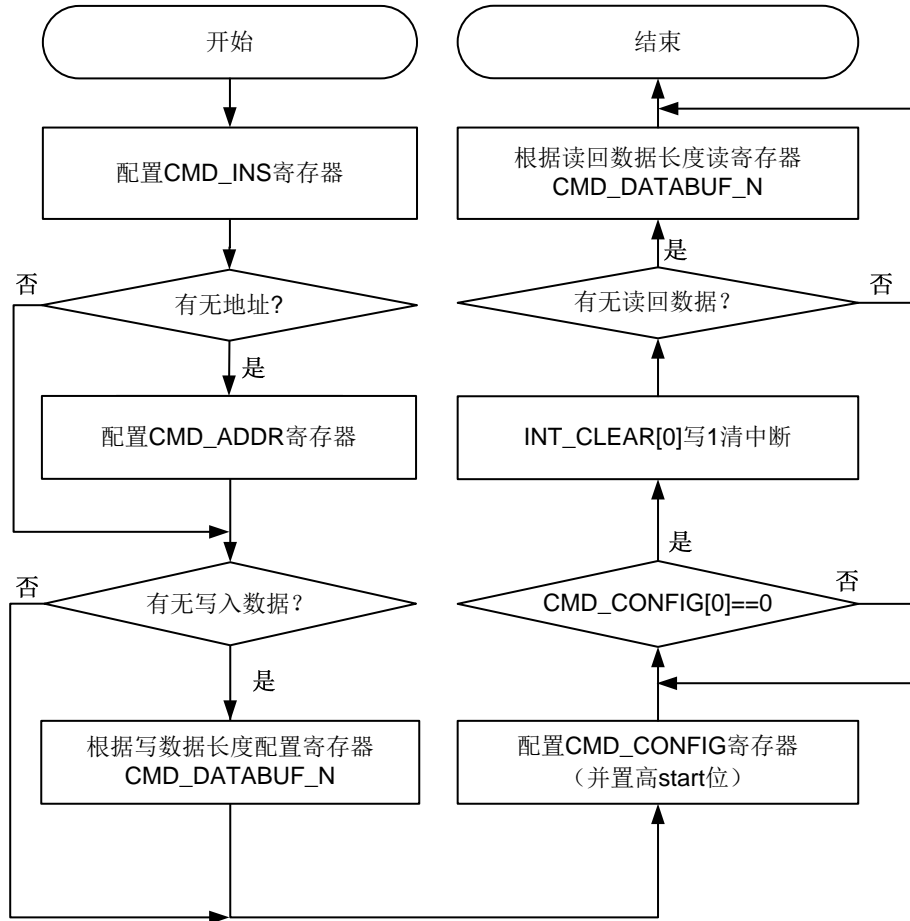
图4-18 通过寄存器写 Flash 的操作流程（中断方式）





4.2.4.4 通过寄存器方式其他操作流程

图4-19 通过寄存器方式其他操作流程



4.2.4.5 通过 AHB Slave 直接读写 Flash 操作流程

上电复位后，默认配置为 Standard SPI 时序模式。不需要额外配置可直接读 Flash。

默认通过 AHB Slave 写 Flash 是禁止的。需要配置 `BUS_CONFIG1[wr_enable]` 为 1，使能总线写操作。

如果需要调整总线读写配置，请参见“4.2.4.1 初始化流程”。

4.2.4.6 通过 DMA 方式读写 Flash 操作流程

DMA 操作流程：

1. 如需调整总线操作方式时序配置，请参考初始化流程。
2. 配置 DMA 操作的内存端起始地址、Flash 端起始地址（Flash 偏移地址）、数据长度。
3. 配置读写方向。
4. 使能 DMA 操作（配置寄存器 `BUS_DMA_CTRL[start]` 为 1）。



5. 等待 dma_done 中断触发(中断方式)或轮询 DMA 操作完成 (BUS_DMA_CTRL [start]变为 0)。

说明

- DMA 操作时可以同时进行 Flash 寄存器命令操作。
- DMA 操作时可以同时通过 AHB Slave 直接访问 Flash，但需保证中间不修改总线操作相关配置。

----结束

4.2.5 SFC 寄存器概览

寄存器概览如表 4-8 所示。

表4-7 SFC 寄存器概览（基址是 0x1001_0000）

偏移地址	名称	描述	页码
0x0100	GLOBAL_CONFIG	全局配置寄存器	4-139
0x0110	TIMING	Timing 配置寄存器	4-140
0x0120	INT_RAW_STATUS	中断原始状态寄存器	4-140
0x0124	INT_STATUS	经过屏蔽处理的中断状态寄存器	4-141
0x0128	INT_MASK	中断屏蔽寄存器	4-142
0x012C	INT_CLEAR	中断清除寄存器	4-142
0x01F8	VERSION	版本寄存器	4-143
0x01FC	VERSION_SEL	版本选择寄存器	4-144
0x0200	BUS_CONFIG1	总线操作方式配置寄存器 1	4-144
0x0204	BUS_CONFIG2	总线操作方式配置寄存器 2	4-146
0x0210	BUS_FLASH_SIZE	总线操作方式映射尺寸寄存器	4-146
0x0214	CS0_BUS_BASE_A DDR	片选 0 总线操作方式映射基地址寄存器	4-147
0x0218	CS1_BUS_BASE_A DDR	片选 1 总线操作方式映射基地址寄存器	4-147
0x021C	BUS_ALIAS_ADDR	总线操作方式 Alias 映射基地址寄存器	4-148
0x0240	BUS_DMA_CTRL	DMA 操作控制寄存器	4-148
0x0244	BUS_DMA_MEM_S ADDR	DMA 操作 DDR 起始地址寄存器	4-149
0x0248	BUS_DMA_FLASH_ SADDR	DMA 操作 Flash 起始地址寄存器	4-150



偏移地址	名称	描述	页码
0x024C	BUS_DMA_LEN	DMA 操作搬运数据长度寄存器	4-150
0x0250	BUS_DMA_AHB_C TRL	DMA 操作 AHB burst 操作控制寄存器	4-150
0x0300	CMD_CONFIG	命令操作方式配置寄存器	4-151
0x0308	CMD_INS	命令操作方式指令寄存器	4-153
0x030C	CMD_ADDR	命令操作方式地址寄存器	4-153
0x0400+4 xN	CMD_DATABUF_N	命令操作方式数据 Buffer 寄存器 N	4-153

4.2.6 SFC 寄存器描述

GLOBAL_CONFIG

GLOBAL_CONFIG 为全局配置寄存器。

Offset Address	Register Name	Total Reset Value
0x0100	GLOBAL_CONFIG	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																								reserved	flash_addr_mode	wp_en	mode								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:5]	RO		reserved		保留。																															
[4:3]	RW		reserved		保留。必须写 0。																															
[2]	RW		flash_addr_mode		SPI 地址模式 0: 3Bytes address mode (default); 1: 4Bytes address mode。 CMD.start 为 1 时写无效。																															
[1]	RW		wp_en		硬件写保护使能，置 1 后 WP 管脚强制拉低。 0: Disable 硬件写保护 1: Enable 硬件写保护																															



[0]	RW	mode	SPI 模式设置。 0: 支持 Mode0; 1: 支持 Mode3。
-----	----	------	---

TIMING

TIMING 为 Timing 配置寄存器。

	Offset Address 0x0110								Register Name TIMING								Total Reset Value 0x0000_660F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								tcsh				reserved	tcss				reserved				tshsl										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	0	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:15]	RO		reserved		保留。																											
[14:12]	RW		tcsh		设置片选的 hold time。 000~111: n+1 个时钟周期。n 为 0、1、2、……、7。																											
[11]	RW		reserved		保留。																											
[10:8]	RW		tcss		设置片选的 setup time。 000~111: n+1 个时钟周期。n 为 0、1、2、……、7。																											
[7:4]	RO		reserved		保留																											
[3:0]	RW		tshsl		设置片选的 Deselect time, 相当于两次 Flash 操作之间的时间间隔。 0000~1111: n+2 个时钟周期。n 为 0、1、2、……、15。																											

INT_RAW_STATUS

INT_RAW_STATUS 为中断原始状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0120		INT_RAW_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										dma_done_int_raw_status		cmd_op_end_raw_status			
Reset	0 0																															
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留。																													
[1]	RO	dma_done_int_raw_status	DMA 操作完成中断原始状态(未经过屏蔽)。 0: 未完成操作; 1: 已完成操作。																													
[0]	RO	cmd_op_end_raw_status	指令操作结束原始中断状态(未经过屏蔽)。 0: 未完成操作; 1: 已完成操作。																													

INT_STATUS

INT_STATUS 为经过屏蔽处理的中断状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0124		INT_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										dma_done_int_status		cmd_op_end_status			
Reset	0 0																															
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留。																													



[1]	RO	dma_done_int_status	DMA 操作完成中断原始状态(经过屏蔽)。 0: 未完成操作; 1: 已完成操作。
[0]	RO	cmd_op_end_status	指令操作结束中断状态(经过屏蔽)。 0: 未完成操作; 1: 已完成操作。

INT_MASK

INT_MASK 为中断屏蔽寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0128	INT_MASK	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		dma_done_int_mask cmd_op_end_int_mask
Reset	0 0		
Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	dma_done_int_mask	DMA 操作完成中断屏蔽位。 0: 屏蔽中断; 1: 不屏蔽中断。
[0]	RW	cmd_op_end_int_mask	指令操作结束中断屏蔽位。 0: 屏蔽中断; 1: 不屏蔽中断。

INT_CLEAR

INT_CLEAR 为中断清除寄存器。



Offset Address		Register Name		Total Reset Value					
0x012C		INT_CLEAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dma_done_int_clr	cmd_op_end_int_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	WO	dma_done_int_clr	DMA 操作完成中断清除位，向该位写 1 将清除 dma_done_status 和 dma_done_raw_status。 0: 不清除中断； 1: 清除中断。 清除操作完成后该位自动返回 0。						
[0]	WO	cmd_op_end_int_clr	指令操作结束中断清除位，向该位写 1 将清除 cmd_op_end_status 和 cmd_op_end_raw_status。 0: 不清除中断； 1: 清除中断。 清除操作完成后该位自动返回 0。						

VERSION

VERSION 为版本寄存器。

Offset Address		Register Name		Total Reset Value				
0x01F8		VERSION		0x0000_0350				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	VERSION							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 1 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	VERSION	SFC 版本号。					



VERSION_SEL

VERSION_SEL 为版本选择寄存器。

Offset Address		Register Name		Total Reset Value																												
0x01FC		VERSION_SEL		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															version_sel																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31:1]	RO		reserved		保留。																											
[0]	RO		version_sel		新旧寄存器组指示信号。 0: 旧版寄存器组; 1: 新版寄存器组。																											

BUS_CONFIG1

BUS_CONFIG1 为总线操作方式配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0200		BUS_CONFIG1		0x8080_0300																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rd_enable	wr_enable	wr_ins				wr_dummy_bytes	wr_mem_if_type	rd_ins				rd_prefetch_cnt	rd_dummy_bytes	rd_mem_if_type																	
Reset	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		rd_enable		总线读控制，总线读数据返回 0。 0: 禁止总线读功能。 1: 使能总线读功能																											



[30]	RW	wr_enable	总线写控制，总线写操作忽略。 0: 禁止总线写功能。 1: 使能总线写功能
[29:22]	RW	wr_ins	写指令
[21:19]	RW	wr_dummy_bytes	总线写操作 DummyByte 0: 没有 DummyByte 1: 1 Byte 2: 2 Bytes ... 7: 7 Bytes
[18:16]	RW	wr_mem_if_type	总线写操作指定连接的 SPI FLASH 接口类型。 000: Standard SPI 接口类型; 001: Dual-Input/Dual-Output SPI; 010: Dual-I/O SPI; 011: Full DIO SPI; 100: reserved; 101: Quad-Input/Dual-Output SPI; 110: Quad-I/O SPI; 111: Full QIO SPI。
[15:8]	RW	rd_ins	读指令
[7:6]	RW	rd_prefetch_cnt	总线访问 Flash 方式(非定长读)预取周期。 00: 不预取; (default) 01: 预取 1 个时钟周期数据; 10: 预取 2 个时钟周期数据; 11: 预取 3 个时钟周期数据。
[5:3]	RW	rd_dummy_bytes	总线读操作 DummyByte。 0: 没有 DummyByte; 1: 1 Byte; 2: 2 Bytes; ... 7: 7 Bytes。



[2:0]	RW	rd_mem_if_type	总线读操作指定连接的 SPI FLASH 接口类型。 000: Standard SPI 接口类型; 001: Dual-Input/Dual-Output SPI; 010: Dual-I/O SPI; 011: Full DIO SPI; 100: reserved; 101: Quad-Input/Dual-Output SPI; 110: Quad-I/O SPI; 111: Full QIO SPI。
-------	----	----------------	---

BUS_CONFIG2

BUS_CONFIG2 为总线操作方式配置寄存器 2。

	Offset Address				Register Name								Total Reset Value																			
	0x0204				BUS_CONFIG2								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	RO	reserved		保留。																											
	[2:0]	RW	reserved		保留。必须写 0。																											

BUS_FLASH_SIZE

BUS_FLASH_SIZE 为总线操作方式映射尺寸寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0210				BUS_FLASH_SIZE								0x0000_0909																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												flash_size_cs1				reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1
	Bits	Access	Name		Description																											
	[31:12]	RO	reserved		保留。																											



[11:8]	RW	flash_size_cs1	指定片选 1 连接的 SPI Flash 容量。 0000: 没有连接 SPI FLASH; 0001: 512Kbit; 0010: 1Mbit; 0011: 2Mbit; 0100: 4Mbit; 0101: 8Mbit; 0110: 16Mbit; 0111: 32Mbit; 1000: 64Mbit; 1001: 128Mbit(default); 1010: 256Mbit; 1011: 512Mbit; 1100: 1Gbit; 1101: 2Gbit; 1110: 4Gbit; 1111: 8Gbit。
[7:0]	RW	reserved	保留。

CS0_BUS_BASE_ADDR

CS0_BUS_BASE_ADDR 为总线操作方式映射基地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x0214		CS0_BUS_BASE_ADDR		0x5A00_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	cs0_bus_base_addr_high				reserved				
Reset	0 1 0 1	1 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	cs0_bus_base_addr_high	CS0 flash 映射到系统空间基地址。						
[15:0]	RO	reserved	保留。						

CS1_BUS_BASE_ADDR

CS1_BUS_BASE_ADDR 为总线操作方式映射基地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x0218		CS1_BUS_BASE_ADDR		0x5800_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	cs1_bus_base_addr_high				reserved				
Reset	0 1 0 1	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	cs1_bus_base_addr_high	CS1 flash 映射到系统空间基地址。						
[15:0]	RO	reserved	保留。						

BUS_ALIAS_ADDR

BUS_ALIAS_ADDR 为总线操作方式 Alias 映射基地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x021C		BUS_ALIAS_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	flash_alias_addr				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	flash_alias_addr	flash 映射到系统空间第二个基地址。						
[15:0]	RO	reserved	保留。						

BUS_DMA_CTRL

BUS_DMA_CTRL 为 DMA 操作控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0240		BUS_DMA_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							rw	start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	RO	reserved	保留。						
[4]	RW	reserved	DMA 操作指定片选。 0: 片选 0 采用 DMA 方式; 1: 片选 1 采用 DMA 方式。						
[3:2]	RO	reserved	保留。						
[1]	RW	rw	DMA 读写指示。 0: 写操作(写到 Flash)。 1: 读操作(从 Flash 读出)。						
[0]	RW	start	DMA 传输使能控制。 0: 无操作或操作完成。 1: 写 1 使能 DMA 操作, 读回 1 指示 DMA 操作中。 DMA 完成后自动回零。						

BUS_DMA_MEM_SADDR

BUS_DMA_MEM_SADDR 为 DMA 操作 DDR 起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0244		BUS_DMA_MEM_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_mem_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_mem_saddr	DMA 操作系统 memory 起始地址寄存器。 必须对齐 4bytes。					



BUS_DMA_FLASH_SADDR

BUS_DMA_FLASH_SADDR 为 DMA 操作 Flash 起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0248		BUS_DMA_FLASH_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_flash_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_flash_saddr	DMA 操作 Flash 起始地址寄存器。					

BUS_DMA_LEN

BUS_DMA_LEN 为 DMA 操作搬运数据长度寄存器。

Offset Address		Register Name		Total Reset Value				
0x024C		BUS_DMA_LEN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	dma_len						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RW	reserved	保留。					
[29:0]	RW	dma_len	DMA 操作数据搬运长度。最大 256MB。					

BUS_DMA_AHB_CTRL

BUS_DMA_AHB_CTRL 为 DMA 操作 AHB burst 操作控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0250		BUS_DMA_AHB_CTRL		0x0000_0007																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								incr16_en	incr8_en	incr4_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
Bits	Access	Name	Description																													
[31:3]	RW	reserved	保留。																													
[2]	RW	incr16_en	INC16 burst 类型使能。 0: 不使能。 1: 使能。																													
[1]	RW	incr8_en	INC8 burst 类型使能。 0: 不使能。 1: 使能。																													
[0]	RW	incr4_en	INC4 burst 类型使能。 0: 不使能。 1: 使能。																													

CMD_CONFIG

CMD_CONFIG 为命令操作方式配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0300		CMD_CONFIG		0x0000_7E00																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												mem_if_type	reserved	data_cnt				rw	data_en	dummy_byte_cnt	addr_en	reserved	start								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:20]	RO	reserved	保留。																													



[19:17]	RW	mem_if_type	指定寄存器命令操作方式连接的 SPI FLASH 接口类型。 000: Standard SPI 接口类型; 001: Dual-Input/Dual-Output SPI; 010: Dual-I/O SPI; 011: Full DIO SPI; 100: reserved; 101: Quad-Input/Dual-Output SPI; 110: Quad-I/O SPI; 111: Full QIO SPI。
[16:15]	RW	reserved	保留。必须写为 0。
[14:9]	RW	data_cnt	读写数据长度 N+1Bytes。
[8]	RW	rw	标识此次操作数据读写, 需 data_en 为 1。 0: 写, 有发送数据; 1: 读, 有返回数据。
[7]	RW	data_en	标识此次操作是否有数据。 0: 没有数据; 1: 有数据。
[6:4]	RW	dummy_byte_cnt	寄存器命令操作方式 DummyByte。 0: 没有 DummyByte; 1: 1 Byte; 2: 2 Bytes; ... 7: 7 Bytes。
[3]	RW	addr_en	此次操作是否有地址。 0: 没有地址; 1: 有地址。
[2]	RO	reserved	保留。
[1]	RW	reserved	片选选择信号。 0: 片选 0; 1: 片选 1。
[0]	RW	start	标识指令操作开始。 0: 操作结束; 1: 开始操作。 此次操作完成后该位自动回 0。



CMD_INS

CMD_INS 为命令操作方式指令寄存器。

Offset Address		Register Name		Total Reset Value						
0x0308		CMD_INS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						REG_INS			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	REG_INS	寄存器访问 Flash 方式下的指令码。							

CMD_ADDR

CMD_ADDR 为命令操作方式地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x030C		CMD_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cmd_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:0]	RW	cmd_addr	寄存器访问 Flash 方式下的操作地址。						

CMD_DATABUF_N

CMD_DATABUF_N 为命令操作方式数据 Buffer 寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0400+4xN				CMD_DATABUF_N				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cmd_databuf_n																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RW	cmd_databuf_n	寄存器访问 Flash 方式下的第 N 数据 Buffer。 寄存器偏移地址 0x400+4xN。 N 为 0 到 15。																													

4.3 NAND Flash 控制器

4.3.1 概述

NANDC (NAND Flash Controller) 提供存储控制器接口连接片外 NAND Flash，从而完成数据的存取。

4.3.2 特点

NANDC 的主要特点如下：

- 提供 9KB (8192byte+1024byte) 片内缓存，提高读取速度。
- 支持 2 片选，支持独立 2 个 read_busy 信号，支持多个 read_busy 信号片外相与。
- 支持总线和接口时钟异步。
- 支持 CS don't care 方式，以降低 NAND Flash 功耗。
- 对 2K/4K 器件在 8bit ECC 况下支持冗余区大小可配置。
- 支持 ECC 调试模式。
- 支持 1MB boot 空间。
- 支持低功耗模式。
- 支持 8bit data-bus NAND Flash 接口。
- 支持 NAND Boot 功能，支持 2KB、4KB 和 8KB page size 的 NAND Flash 器件，支持从片选 0 对应的 NAND Flash 启动。
- 支持 ECC 校验使能和关闭，支持纠错使能和关闭。
支持 4bit /512byte 的 BCH 码 ECC 校验和纠错。支持 8bit /512byte 的 BCH 码 ECC 校验和纠错。支持 24bit/1024byte 的 BCH 码 ECC 校验纠错。
- 支持读写、擦除、编程完成、ECC 校验错误等中断上报。
- ECC0 方式下支持不定长数据读写，非 ECC0 仅支持整个 page 写；dma 读操作支持只读 OOB 操作和整个 page 读操作。



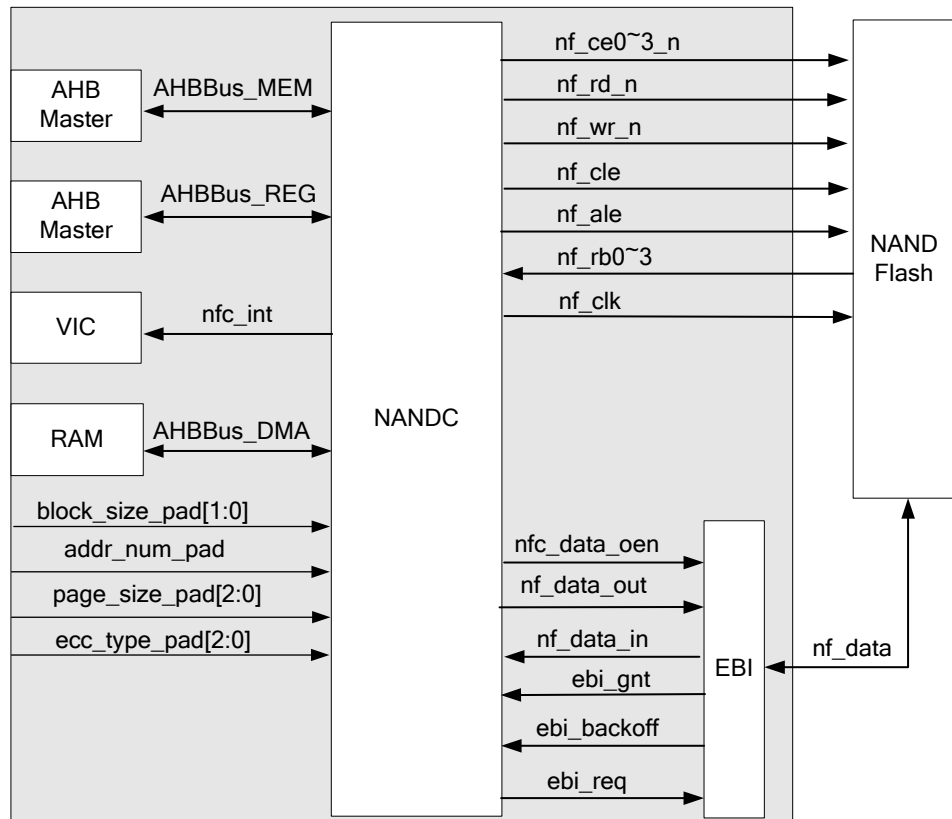
- 可以灵活配置控制器发出的命令，从而可以支持各种 NAND Flash 命令操作（包括 cache 读写等）。
- 支持读写 NAND Flash 过程可以被打断，以支持存储器共享总线出让。
- 支持对 NAND Flash 写保护功能，写保护地址空间可配置。
- 支持 lock 和 lock-down 两种模式。支持 Flashlock 使能/去使能、Flash 整体锁定使能/去使能，默认为 Flashlock 不使能，Flash 整体锁定不使能。

4.3.3 功能描述

4.3.3.1 接口框图

芯片对外提供 2 个片选和 2 个 ready/busy 信号。NANDC 接口框图如图 4-20 所示。

图4-20 NANDC 接口框图



4.3.3.2 功能原理

NAND Flash 器件的数据存储结构一般分为 block 和 page，每个 block 包括若干个 page。对 NAND Flash 写入数据前，必须先进行擦除操作，擦除以 block 为单位。然后以 page 为单位进行读写。

不同厂家提供的操作 NAND Flash 的命令会有所不同，应以厂家器件手册为准。

一次典型的读数据操作过程如下：

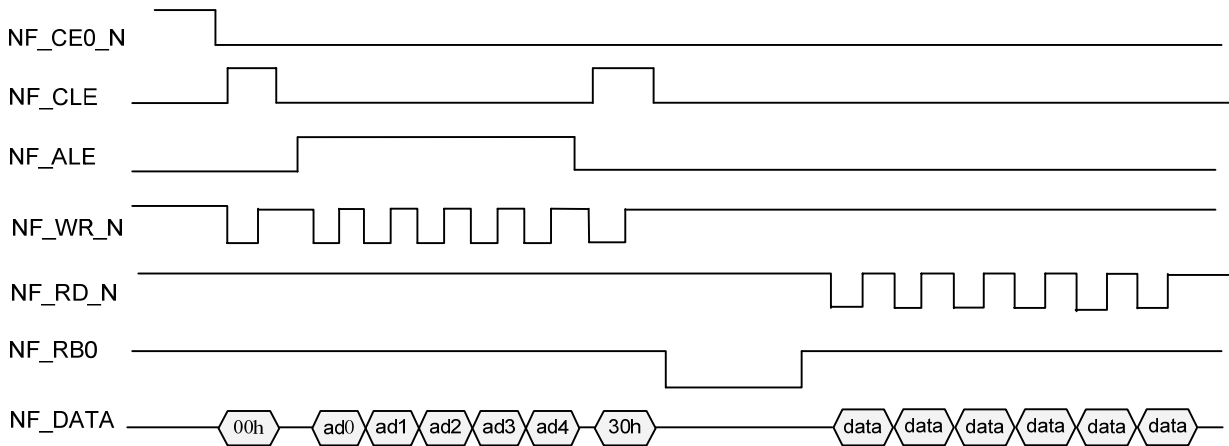


1. 向 NAND Flash 发读命令 0x00。
2. 发送读取的起始地址（由页内地址和页地址、block 地址共同组成，相关信息，请参见相关厂家 NAND Flash 器件手册）。
3. 发送读确认命令 0x30。此时，NAND Flash 器件会拉低 RB 信号，表示 NAND Flash 正在进行内部读操作。过一段时间后（一般约 25μs），RB 变高，此时代表 NAND Flash 已经准备好数据。
4. 输出 NF_RD_N 信号，在 NF_RD_N 信号的上升沿采样得到 Nand Flash 的数据。

----结束

NANDC 读 NAND Flash 一个 page 数据的典型时序如图 4-21 所示。

图4-21 读 NAND Flash 一个 page 数据的典型时序图



一次典型的编程（写数据）的操作如下：

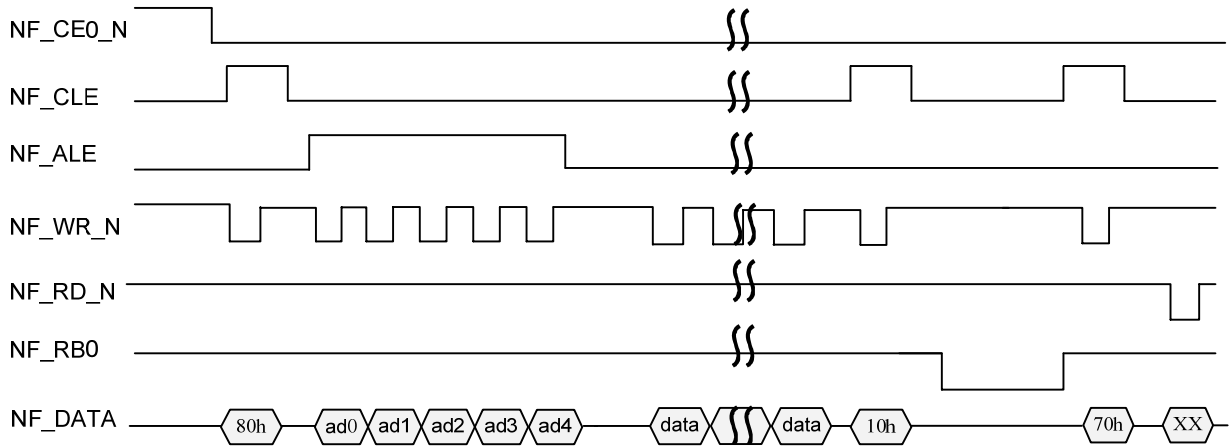
1. 向 NAND Flash 发编程命令 0x80。
2. 发送写入数据的起始地址（由页内地址和页地址、block 地址共同组成，需参照对应的 NAND Flash 器件手册）。
3. 把数据写入 NAND Flash 的内部缓存。
4. 发送编程确认命令 0x10。此时，NAND Flash 器件会拉低 RB 信号，表示 NAND Flash 正在进行内部编程操作，维持一段时间后（一般约 200ms），RB 变高，此时，代表 NAND Flash 内部编程已经结束。
5. 发送 0x70 命令，读取 Nand Flash 内部状态用于判断本次编程是否成功。

----结束

启动 NANDC 进行编程操作时的时序如图 4-22 所示。



图4-22 启动 NANDC 进行编程操作时的时序图



4.3.3.3 工作方式

Boot 配置管脚

NANDC 支持 NAND Boot 功能，支持 2KB、4KB、8KB page size 的器件，只支持从片选 0 对应的 NAND Flash 启动。

芯片在启动时，需要通过分别对管脚 NF_BOOT_PIN0（与管脚 NF_REN 复用）、NF_BOOT_PIN1（与管脚 NF_CLE 复用）、NF_BOOT_PIN2（与管脚 NF_ALE 复用）、NF_BOOT_PIN3（与管脚 NF_WEN 复用）、NF_BOOT_PIN4（与管脚 RGMII0_TXER 复用）的上下拉来选择 NAND FLASH 器件的类型。无论系统是否从 NAND FLASH 启动，都要将相应管脚进行正确的上下拉，否则系统不能正常启动。

Boot 相关的配置管脚如表 4-9 所示。

表4-8 Boot 相关的配置管脚

{ NF_BOOT_PIN4, NF_BOOT_PIN3, NF_BOOT_PIN2, NF_BOOT_PIN1, NF_BOOT_PIN0}	page size	ecc_type	block_size	addr_num	bus_wide	备注
00000	保留	保留	保留	保留	保留	保留
00001	保留	保留	保留	保留	保留	保留
00010	保留	保留	保留	保留	保留	保留
00011	001	010	00	1	0	2KB page size 4bit ecc 64page/block 5 个地址



{ NF_BOOT_PIN4, NF_BOOT_PIN3, NF_BOOT_PIN2, NF_BOOT_PIN1, NF_BOOT_PIN0}	page size	ecc_type	block_size	addr_num	bus_wide	备注
00100	010	100	10	1	0	4k page size,24bit ecc,256page/bloc k, 5 个地址
00101	001	100	00	1	0	2KB page size 24bit ecc 64page/block 5 个地址
00110	保留	保留	保留	保留	保留	保留
00111	011	100	10	1	0	8k page size,24bit ecc,256page/bloc k,5 个地址
01000	010	010	01	1	0	4KB page size 4bit ecc 128page/block 5 个地址
01001	010	010	00	1	0	4KB page size 4bit ecc 64page/block 5 个地址
01010	001	010	00	0	0	2KB page size 4bit ecc 64page/block 4 个地址
01011	010	100	01	1	0	4KB page size 24bit ecc 128page/block 5 个地址
01100	保留	保留	保留	保留	保留	保留
01101	011	100	01	1	0	8KB page size 24bit ecc 128page/block 5 个地址



{ NF_BOOT_PIN4, NF_BOOT_PIN3, NF_BOOT_PIN2, NF_BOOT_PIN1, NF_BOOT_PIN0}	page size	ecc_type	block_size	addr_num	bus_wide	备注
01110	保留	保留	保留	保留	保留	保留
01111	保留	保留	保留	保留	保留	保留
10000	011	100	00	1	0	8KB page size 24bit ecc 64page/block 5 个地址
10001	010	100	00	1	0	4KB page size 24bit ecc 64page/block 5 个地址
10010	保留	保留	保留	保留	保留	保留
10011	保留	保留	保留	保留	保留	保留
10100	保留	保留	保留	保留	保留	保留
10101	001	010	01	1	0	2KB page size 4bit ecc 128page/block 5 个地址
10110	001	011	01	1	0	2k page size,8bit ecc,128page/bloc k, 5 个地址
10111	保留	保留	保留	保留	保留	保留
11000	保留	保留	保留	保留	保留	保留
11001	001	100	01	1	0	2KB page size 24bit ecc 128page/block 5 个地址
11010	001	011	00	1	0	2k page size,8bit ecc,64page/block , 5 个地址
11011	保留	保留	保留	保留	保留	保留
11100	保留	保留	保留	保留	保留	保留



{ NF_BOOT_PIN4, NF_BOOT_PIN3, NF_BOOT_PIN2, NF_BOOT_PIN1, NF_BOOT_PIN0}	page size	ecc_type	block_size	addr_num	bus_wide	备注
11101	保留	保留	保留	保留	保留	保留
11110	010	011	00	1	0	4k page size,8bit ecc,64page/block , 5 个地址
11111	010	011	01	1	0	4k page size,8bit ecc,128page/bloc k, 5 个地址

Boot 模式

NANDC 默认处于 Boot 模式，只能从片选 0 对应的 NAND Flash 进行 Boot。

在 Boot 模式下，CPU 可以直接读取 1Mbyte 地址范围的数据，超过 1MB 空间环回。

Boot 模式下，可以支持自动识别坏块并跳过坏块，连续 7 个坏块则 boot 失败，并向 CPU 返回 0xabcd1234 数据。

从 NAND Flash Boot 时，根据 CPU 读取的地址，NANDC 会自动发出读取 NAND Flash 相应 page 的命令，并返回相应的数据。

Boot 模式下，不支持 CPU 写内部 buffer 的操作。

Boot 模式下，需要根据外接 NAND Flash 器件的型号特点，对 Boot 配置管脚信号进行正确的设置。

NORMAL 模式

把寄存器 `NFC_CON[op_mode]` 置 1，切换到 Normal 模式。该模式下，CPU 可以对 NAND Flash 进行擦除、编程、读等各种操作。

NAND Flash 地址设置

NANDC 对地址不作翻译，直接把低位地址寄存器和高位地址寄存器的值按照命令配置寄存器设置的地址数目发送给 NAND Flash 器件。所以软件应把 CPU 的地址翻译为 NAND Flash 的地址，写到地址寄存器。对于各个 Flash 器件的地址设置要求，以 NAND Flash 器件的用户手册为准。

三星 K9F2G08U0M 容量为 256M×8bit，page size 为 2KB 的器件的地址设置要求如表 4-10 所示。A0~A11 为页内地址（列地址），A12~A27 为页地址（行地址）。



表4-9 K9F2G08U0M 的地址表

周期	IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
1st cycle	A0	A1	A2	A3	A4	A5	A6	A7
2nd cycle	A8	A9	A10	A11	0	0	0	0
3rd cycle	A12	A13	A14	A15	A16	A17	A18	A19
4th cycle	A20	A21	A22	A23	A24	A25	A26	A27

三星 K9GAG08X0M，容量为 2G×8bit，page size 为 4KB 的器件的地址设置要求如表 4-11 所示。A0~A12 为页内地址（列地址），A13~A31 为页地址（行地址）。

表4-10 K9GAG08X0M 的地址表

周期	IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
1st cycle	A0	A1	A2	A3	A4	A5	A6	A7
2nd cycle	A8	A9	A10	A11	A12	0	0	0
3rd cycle	A13	A14	A15	A16	A17	A18	A19	A20
4th cycle	A21	A22	A23	A24	A25	A26	A27	A28
5th cycle	A29	A30	A31	0	0	0	0	0

操作命令

NAND Flash 厂家的器件会提供一些高级命令，NAND Flash 操作的一些基本的命令如表 4-12 所示。

表4-11 NAND Flash 常用命令表

功能	1 st cycle	2 nd cycle	备注
READ	00H	30H	-
PROGRAM	80H	10H	-
BLOCK ERASE	60H	D0H	-
READ ID	90H	-	-
READ STATUS	70H	-	-
RESET	FFH	-	-



4.3.4 数据存储结构

NANDC 内部 buffer 大小为 (8192+1024) byte。读写 NAND Flash 数据在 NANDC buffer 中的数据结构如下所述。

4.3.4.1 无 ECC 模式

当不需要 NANDC 进行 ECC 校验时：

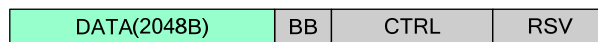
- 对于写操作，NANDC 对于 buffer 中的数据不做任何处理，透明写入 NAND Flash 器件。
- 对于读操作，NANDC 对于从 NAND Flash 读出的数据不做任何处理，写入内部 buffer。
- 读写数据的 byte 数由寄存器 `NFC_DATA_NUM` 设定。
- 支持 2KB、4KB 和 8KB page size。

4.3.4.2 4bit ECC 模式 (8bit/1024Byte 纠错)

2KB(2048+64) page size

对 2KB page size 的器件，软件可用的 spare area 区的大小为 30byte。

图4-23 4bit ECC 模式驱动软件中的数据结构 2048byte+32byte

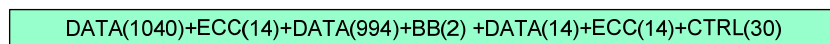


BB: bad block ,2byte

CTRL: 留给软件用的控制区域，30byte

写到 NAND Flash 中的数据结构如图 4-24 所示。把软件有效数据切成 2 个 1040byte 的数据块，每 1040byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 1040byte 数据+14byte ECC 码的格式交替存放，共 2 组，BB 信息放在 NAND Flash spare 区的首两个字节。

图4-24 4bit ECC 模式 NAND Flash 中数据结构



4KB(4096+128) page size

对 4KB page size 的器件，软件可用的 spare area 区的大小为 30byte。驱动软件中的数据结构如图 4-25 所示。

图4-25 4bit ECC 模式驱动软件中的数据结构 4096byte+32byte



BB: bad block ,2byte

CTRL: 留给软件用的控制区域，30byte



写到 NAND Flash 中的数据结构如图 4-26 所示。把软件有效数据切成 4 个 1032byte 的数据块，每 1032byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 1032byte 数据+14byte ECC 码的格式交替存放，共 4 组，BB 信息放在 NAND Flash spare 区的首两个字节。

图4-26 4bit ECC NAND Flash 中的数据的数据的结构 4096byte+128byte

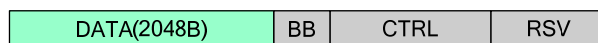
DATA(1032)+ECC(14)+DATA(1032)+ECC(14)+DATA(1032)+ECC(14)+DATA(958)+BB(2) +DATA(42)+ECC(14)+CTRL(30)

4.3.4.3 8bit ECC 模式（16bit/1024Byte 纠错）

2KB(2048+64) page size

对 2KB page size 的器件，软件可用的 spare area 区的大小可通过 NFC_OOB_SEL 寄存器配置为 6byte 或 30byte。驱动软件中的数据结构如图 4-27 所示。

图4-27 16bit ECC 模式驱动软件中的数据的数据结构 2048byte+8/32byte



BB: bad block, 2byte

CTRL: 留给软件用的控制区域，6/30byte

CTRL 为 6byte 情况下写到 NAND Flash 中的数据的数据结构如图 4-28 所示。把软件有效数据切成 2 个 1028byte 的数据块，每 1028byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 1028byte 数据+28byte ECC 码的格式交替存放，共 2 组，BB 信息放在 NAND Flash spare 区的首两个字节。

图4-28 16bit ECC NAND Flash 中的数据的数据的结构(CTRL=6byte)2048byte+64byte

DATA(1028)+ECC(28)+DATA(992)+BB(2)+DATA(28)+ECC(28)+CTRL(6)

CTRL 为 30byte 情况下写到 NAND Flash 中的数据的数据结构如图 4-29 所示。把软件有效数据切成 2 个 1040byte 的数据块，每 1040byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 1040byte 数据+28byte ECC 码的格式交替存放，共 2 组，BB 信息放在 NAND Flash spare 区的首两个字节。

图4-29 16bit ECC NAND Flash 中的数据的数据的结构(CTRL=30byte)2048byte+64byte

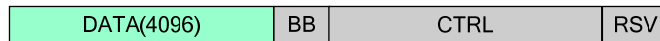
DATA(1040)+ECC(28)+DATA(980)+BB(2)+DATA(28)+ECC(28)+CTRL(30)

4KB(4096+128) page size

对 4KB page size 的器件，软件可用的 spare area 区的大小可通过 NFC_OOB_SEL 寄存器配置为 14byte 或 30byte。驱动软件中的数据的数据结构如图 4-25 所示。



图4-30 16bit ECC 模式驱动软件中的数据结构 4096byte+16/32byte

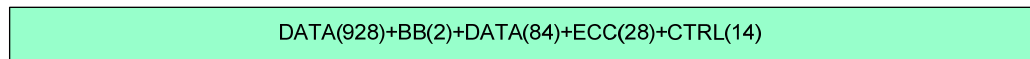
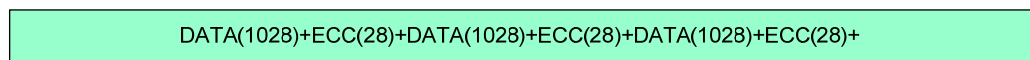


BB: bad block ,2byte

CTRL: 留给软件用的控制区域, 14/30byte

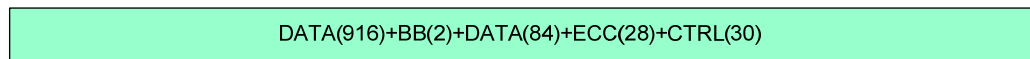
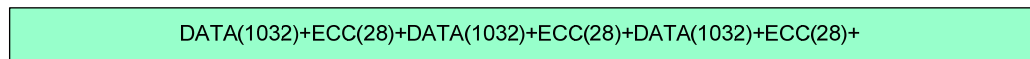
CTRL 为 14byte 情况下写到 NAND Flash 中的数据结构如图 4-31 所示。把软件有效数据切成 4 个 1028byte 的数据块, 每 1028byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 1028byte 数据+28byte ECC 码的格式交替存放,是 4 组, BB 信息放在 NAND Flash spare 区的首两个字节。

图4-31 16bit ECC NAND Flash 中的数据的数据的结构(CTRL=14byte)4096byte+128byte



CTRL 为 30byte 情况下写到 NAND Flash 中的数据结构如图 4-32 所示。把软件有效数据切成 4 个 1032byte 的数据块, 每 1032byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 1032byte 数据+28byte ECC 码的格式交替存放, 是 4 组, BB 信息放在 NAND Flash spare 区的首两个字节。

图4-32 16bit ECC NAND Flash 中的数据的数据的结构(CTRL=30byte)4096byte+128byte



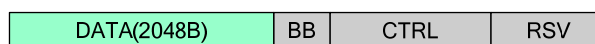
4.3.4.4 24bit ECC 模式（24bit/1024Byte 纠错）

该模式兼容 8bit/512byte ECC 的器件和 12bit/512byte ECC 的器件（在器件 Page Size 允许的情况下）。

2KB page size

2K page size 时, 驱动软件中的数据结构如图 4-33 所示。

图4-33 24bit ECC 模式驱动软件中的数据结构 2048byte+32byte:



BB: bad block ,2byte

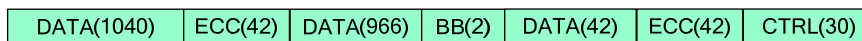
CTRL: 留给软件用的控制区域, 30byte



写入 NAND Flash 中的数据的数据结构如图 4-34 所示，BB 在 2048 的位置。

当写到 NAND Flash 器件中时，先把数据切分成 1024+16byte 的 2 个数据段，然后对每个数据段计算一个 42byte 的 ECC 码。写到 NAND Flash 中时，数据段和 ECC 码交替存放，共 (2048+116) byte。坏块标识位于 NAND Flash 的 2048 的 byte 地址位置。

图4-34 24bit ECC 模式 NAND Flash 器件中数据结构 2048byte+116byte



4KB page size

4K page size 时，驱动软件中的数据结构如图 4-35 所示。

图4-35 24bit ECC 模式驱动软件中的数据结构 4096byte+32byte



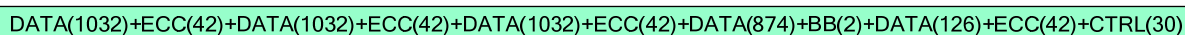
BB: bad block, 2byte

CTRL: 留给软件用的控制区域, 30byte

当写到 NAND Flash 器件中时，先把上述数据切分成 1024+8 的 4 个数据段，然后对每个数据段计算一个 42byte 的 ECC 码。

写到 NAND Flash 中时，对于前三个数据段，数据和 ECC 码交替存放。对于最后一个 1024+8+42 的数据段，坏块标识插入到数据中间，以便使坏块标识位于 NAND Flash 的 4096 的 byte 地址位置。

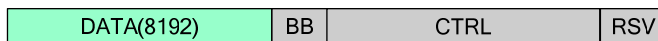
图4-36 24bit ECC 模式 NAND Flash 器件中数据结构 4096byte+200byte



8KB page size

对于 8K page size，驱动软件中的数据结构如图 4-37 所示。

图4-37 24bit ECC 模式驱动软件中的数据结构 8192byte+32byte



BB: bad block ,2byte

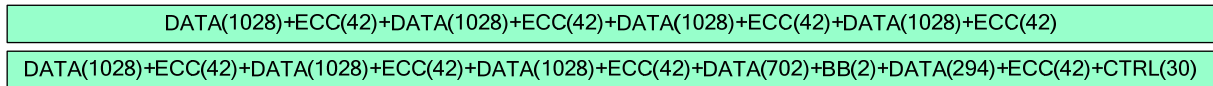
CTRL: 留给软件用的控制区域, 30byte

当写到 NAND Flash 器件中时，先把上述数据切分成 1024+4 的 8 个数据段，然后对每个数据段计算一个 42byte 的 ECC 码。对于前 7 个数据段，写到 NAND Flash 中时，数



据段和 ECC 码交替存放。对于最后一个 1024+4+42 的数据段，坏块标识插入到数据中间，以便使坏块标识位于 NAND Flash 的 8192 的 byte 地址位置。

图4-38 24bit ECC 模式 NAND Flash 器件中的数据结构 8192byte+368byte



4.3.5 软件操作

4.3.5.1 初始化

初始化步骤如下：

1. 向 `NFC_CON[op_mode]` 写 1，进入 Normal 模式。根据对接器件的位宽和 page size 大小，设置 `NFC_CON[bus_width]` 和 `NFC_CON[page_size]`。写寄存器 `NFC_CON[ecc_type]`，设定校验和纠错模式。
2. 根据对接器件的时序要求，写寄存器 `NFC_PWIDTH`。
3. 如果是查询方式，写中断使能寄存器 `NFC_INTEN`，屏蔽所有中断。如果是中断方式，只需使能 `op_done` 中断，其余可屏蔽。

----结束

4.3.5.2 对 NAND Flash 执行擦除操作

执行擦除操作的步骤如下：

1. 向寄存器 `NFC_ADDRL` 写入需要擦除 block 地址，向寄存器 `NFC_CMD` 写入擦除命令 `0x0070_D060`。
2. 向寄存器 `NFC_OP` 写入 `0x66d`，启动 NANDC 对 NAND Flash 进行擦除操作（假设 NAND Flash 芯片需要 3 个地址，假设要对第一块 NAND Flash 进行擦除）。
3. 查询方式下，检测 `NFC_STATUS[nfc_ready]`，如果为 1，进入步骤 4。否则，继续查询；中断方式下，检测 `NFC_INTS[op_done]`，如果为 1，进入步骤 4。
4. 读寄存器 `NFC_STATUS[nf_status]`，判断擦除是否成功。

----结束

4.3.5.3 DMA 方式写 NAND Flash

- 根据对接器件类型配置好 `NFC_CON` 的 `page_size`、`ecc_type`、`bus_wide` 参数。
- CPU 配置数据在 DDR 中存放的基地址通过 `NFC_BADDR_D` 和 `NFC_BADDR_DI` 以及 `NFC_BADDR_OOB` 寄存器进行配置；每个基地址存放 4KB 数据，要求 4KB 对齐，其中：
 - 对于 2Kpagesize 器件，需要配置基地址 `NFC_BADDR_D`。



- 对于 4Kpagesize 器件，需要配置基地址 `NFC_BADDR_D`。
- 对于 8Kpagesize 器件，需要配置两个基地址 `NFC_BADDR_D`、`NFC_BADDR_D1`，每个存放 4KB 数据。
- 对于 2K、4K 和 8Kpagesize 器件，还需要配置 DDR 中 OOB 数据存放地址，OOB 区在 DDR 中存放的基地址寄存器 `NFC_BADDR_OOB`。
- ECC0 模式，需要通过配置 `NFC_DMA_LEN[len_oob]` 寄存器来配置 OOB 区的大小。
- CPU 写寄存器 `NFC_DMA_CTRL` 为 0x73，启动 NANDC 写 NAND Flash。
- CPU 等待 NANDC 发出 DMA 传输完成中断，或采用查询方式，`NFC_DMA_CTRL[dma_start]=0` 时完成传输。

4.3.5.4 DMA 方式读 NAND Flash

- 根据对接器件类型配置好 `NFC_CON` 的 `page size` 和 `ecc_type` 参数。
- CPU 配置读出数据在 DDR 中存放的基地址寄存器 `NFC_BADDR_D`、`NFC_BADDR_D1` 和 `NFC_BADDR_OOB`。
- CPU 写寄存器 `NFC_DMA_CTRL` 为 0x71，启动 NANDC 读 NAND Flash。
- 如果进行 DMA 只读 OOB 操作，则 CPU 写寄存器 `NFC_DMA_CTRL` 为 0x1071，启动 NANDC 读 NAND Flash。
- CPU 等待 NANDC 发出 DMA 传输完成中断，或采用查询方式，`NFC_DMA_CTRL[dma_start]=0` 时完成传输。

4.3.6 其它注意事项

其它注意事项如下：

- 对于 MLC 器件，按照厂家的器件手册的要求，在使用之前必须先进行 Reset 操作。
- 各个厂家的 NAND Flash 器件支持的操作命令有所不同，需要根据器件手册合理设置命令寄存器 `NFC_CMD`。同时，不同容量的 NAND Flash 器件需要的地址周期数不同，需要参照器件手册设置 `NFC_OP` 中的 `address_cycles` 域。不同器件支持的时序有所不同，需要根据器件手册合理设置读写脉冲宽度寄存器 `NFC_PWIDTH` 和操作间隔寄存器 `NFC_OPIDLE`。
- 在配置好相关寄存器和 buffer 后，再写 `NFC_OP` 寄存器，以启动 NANDC 发起 Flash 读写操作。之后，不要再写相关的寄存器，否则可能导致 NANDC 或 Flash 工作不正常。
- 写 `NFC_OP` 寄存器启动读写 NAND Flash 之后，在 `NFC_STATUS[nfc_ready]` 标志为 0 期间，不要读写 NANDC 的 buffer。否则，可能返回错误的的数据。

4.3.7 NANDC 寄存器概览

NANDC 寄存器概览如表 4-13 所示。



表4-12 寄存器概览（基址是 0x1000_0000）

偏移地址	名称	描述	页码
0x0000	NFC_CON	NANDC 配置寄存器	4-169
0x0004	NFC_PWIDTH	读写脉冲宽度配置寄存器	4-171
0x0008	NFC_OPIDLE	操作间隔配置寄存器	4-171
0x000C	NFC_CMD	命令字配置寄存器	4-172
0x0010	NFC_ADDRL	地位地址配置寄存器	4-172
0x0014	NFC_ADDRH	高位地址配置寄存器	4-173
0x0018	NFC_DATA_NUM	读写数据数目配置寄存器	4-173
0x001C	NFC_OP	配置寄存器	4-173
0x0020	NFC_STATUS	状态寄存器	4-175
0x0024	NFC_INTEN	中断使能寄存器	4-176
0x0028	NFC_INTS	中断状态寄存器	4-177
0x002C	NFC_INTCLR	中断清除寄存器	4-179
0x0030	NFC_LOCK	锁地址配置寄存器	4-180
0x0034	NFC_LOCK_SA0	锁起始地址 0 配置寄存器	4-181
0x0038	NFC_LOCK_SA1	锁起始地址 1 配置寄存器	4-182
0x003C	NFC_LOCK_SA2	锁起始地址 2 配置寄存器	4-183
0x0040	NFC_LOCK_SA3	锁起始地址 3 配置寄存器	4-183
0x0044	NFC_LOCK_EA0	锁结束地址 0 配置寄存器	4-184
0x0048	NFC_LOCK_EA1	锁结束地址 1 配置寄存器	4-184
0x004C	NFC_LOCK_EA2	锁结束地址 2 配置寄存器	4-185
0x0050	NFC_LOCK_EA3	锁结束地址 3 配置寄存器	4-186
0x0054	NFC_EXPCMD	扩展页命令寄存器	4-186
0x0058	NFC_EXBCMD	扩展块命令寄存器	4-187
0x005C	NFC_ECC_TEST	ECC 测试寄存器	4-187
0x0060	NFC_DMA_CTRL	DMA 控制寄存器	4-188
0x0064	NFC_BADDR_D	传送数据区的基地址寄存器	4-189
0x0068	NFC_BADDR_OOB	传送 OOB 区的基地址寄存器	4-190
0x006C	NFC_DMA_LEN	传送长度寄存器	4-190



偏移地址	名称	描述	页码
0x0070	NFC_OP_PARA	操作参数寄存器	4-191
0x0074	NFC_VERSION	NANDC 版本寄存器	4-191
0x0090	NFC_FIFO_EMPTY	内部 FIFO 状态寄存器	4-192
0x0094	NFC_BOOT_SET	boot 参数设定寄存器	4-192
0x009C	NF_LP_CTRL	NANDC 的低功耗控制寄存器	4-193
0x00A0	NFC_ERR_NUM0_B UF0	NAND Flash 的错误 bit 数目寄存器 0	4-193
0x00A4	NFC_ERR_NUM1_B UF0	NAND Flash 的错误 bit 数目寄存器 1	4-194
0x00B0	NF_RB_MODE	NAND Flash 的 ready_busy 模式寄存器	4-194
0x00B4	NFC_BADDR_D1	传送数据区的基地址寄存器 1	4-195
0x00C4	NFC_BOOT_CFG	NAND Flash 的 boot 配置寄存器	4-195
0x00C8	NFC_OOB_SEL	传送数据区的基地址寄存器 3	4-197
0x00BC	NFC_MEM_CTRL	RAM 配置寄存器	4-197

4.3.8 NANDC 寄存器描述

NFC_CON

NFC_CON 为 NANDC 配置寄存器。

	Offset Address	Register Name	Total Reset Value																													
	0x0000	NFC_CON	0x0000_0282																													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																															
Name	reserved											ecc_type		rb_sel	cs_ctrl	reserved			pagesize		op_mode											
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	1 0 0 0	0 0 1 0																				
	Bits	Access	Name	Description																												
	[31:16]	RO	reserved	保留。																												
	[15:14]	RO	reserved	保留。																												
	[13]	RO	reserved	保留。																												



[12]	RO	reserved	保留。
[11:9]	RW	ecc_type	ECC 模式选择。 000: 保留; 001: 保留; 010: 4bit 模式; 011: 16bit 模式。 100: 24bit 模式; 101: 保留; 110: 保留; 其他: 保留。 复位值由管脚 NFC_ECC_TYPE 决定。
[8]	RW	rb_sel	当外接多个 NAND Flash 器件(多个片选)时有效。 0: NAND Flash 器件共用同一个 ready/busy 信号; 1: NAND Flash 器件使用各自独立的 ready/busy 信号。 当只接一个 NAND Flash 器件时, 只用片选信号 ce0 和 ready_busy0。
[7]	RW	cs_ctrl	片选控制。 0: 在 NAND Flash 为 busy 时, 保持片选信号为 0; 1: 在 NAND Flash 为 busy 时, 把片选信号置为 1。 该模式对应 NAND Flash 的 cs do not care 模式。
[6:5]	RO	reserved	保留。
[4]	RO	reserved	保留。
[3:1]	RW	pagesize	NAND Flash 的页大小。 000: 保留; 001: 2KByte; 010: 4KByte; 011: 8KByte; 100: 保留; 101~111: 保留。 复位值由管脚 NFC_PAGE_SIZE 决定。
[0]	RW	op_mode	NANDC 操作模式配置。 0: NANDC 处于 boot 模式; 1: NANDC 处于 normal 模式。



NFC_PWIDTH

NFC_PWIDTH 为读写脉冲宽度配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0004		NFC_PWIDTH		0x0000_0888				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					rw_hcnt	r_lcnt	w_lcnt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:12]	-	reserved	保留。					
[11:8]	RW	rw_hcnt	NAND Flash 读/写信号高电平宽度。 0x0~0xF: 1~16 个时钟周期。					
[7:4]	RW	r_lcnt	NAND Flash 读信号低电平宽度。 0x0~0xF: 1~16 个时钟周期。					
[3:0]	RW	w_lcnt	NAND Flash 写信号低电平宽度。 0x0~0xF: 1~16 个时钟周期。					

NFC_OPIDLE

NFC_OPIDLE 为操作间隔配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0008		NFC_OPIDLE		0x00FF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		frb_wait	cmd1_wait	addr_wait	write_data_wait	cmd2_wait	wait_ready_wait
Reset	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:24]	-	reserved	保留。					
[23:20]	RW	frb_wait	发出读写命令后，先延时一段时间，然后再检测 ready 信号是否变为高电平。延时的周期数为：frb_wait*8。					
[19:16]	RW	cmd1_wait	发送完 command1 之后的等待周期数。 0000~1111: 1~16 个时钟周期。					
[15:12]	RW	addr_wait	发送完 address 之后的等待周期数。 延时的周期数为：addr_wait*8。					



[11:8]	RW	write_data_wait	写数据之后的等待周期数。 0000~1111: 1~16 个时钟周期。
[7:4]	RW	cmd2_wait	发送完 command2 之后的等待周期数。 0000~1111: 1~16 个时钟周期。
[3:0]	RW	wait_ready_wait	NAND Flash 的 ready 信号变高之后, 延时一段时间,之后才能发出读信号读数据。 延时的周期数为: frb_idle*8。

NFC_CMD

NFC_CMD 为命令字配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x000C		NFC_CMD		0x0070_3000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		read_status_cmd		cmd2		cmd1	
Reset	0 0 0 0	0 0 0 0	0 1 1 1	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	-	reserved	保留。					
[23:16]	RW	read_status_cmd	Read status 命令字					
[15:8]	RW	cmd2	Controller 发给 NAND Flash 的第 2 个命令。					
[7:0]	RW	cmd1	Controller 发给 NAND Flash 的第 1 个命令。					

NFC_ADDR1

NFC_ADDR1 为地位地址配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0010		NFC_ADDR1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	addr_1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	addr_1	NAND Flash 低 32bit 地址。					



NFC_ADDRH

NFC_ADDRH 为高位地址配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0014				NFC_ADDRH								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																addr_h															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	-		reserved		保留。																											
[7:0]	RW		addr_h		NAND Flash 高 8bit 地址。																											

NFC_DATA_NUM

NFC_DATA_NUM 为读写数据数目配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0018				NFC_DATA_NUM								0x0000_23A0																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																nfc_data_num															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	0	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		nfc_data_num		配置 NANDC 随机读写的数据个数，最大 9120 字节。 只在 ecc_type 等于 00 时有效。																											

NFC_OP

NFC_OP 为配置寄存器。



Offset Address		Register Name		Total Reset Value											
0x001C		NFC_OP		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved						address_cycles	nf_cs	cmd1_en	addr_en	write_data_en	cmd2_en	wait_ready_en	read_data_en	read_status_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description												
[31:14]	RO	reserved	保留。												
[13]	RO	reserved	保留。												
[12]	RO	reserved	保留。												
[11:9]	RW	address_cycles	发给 NAND Flash 的地址周期数。												
[8:7]	RW	nf_cs	选择操作的 NAND Flash 器件。 00: cs0; 01: cs1; 其他: 保留。												
[6]	RW	cmd1_en	发 command1 命令使能。 0: 禁止; 1: 使能。												
[5]	RW	addr_en	向 NAND 写操作地址使能。 0: 禁止; 1: 使能。												
[4]	RW	write_data_en	向 NAND Flash 写数据使能。 read_data_en 和 write_data_en 不能同时为 1。 0: 禁止; 1: 使能。												
[3]	RW	cmd2_en	发 command2 命令使能。 0: 禁止; 1: 使能。												
[2]	RW	wait_ready_en	等待 ready/busy 信号变高使能。 0: 禁止; 1: 使能。												



[1]	RW	read_data_en	启动读状态机，从 NAND Flash 读数据使能。 read_data_en 和 write_data_en 不能同时为 1。 0: 禁止; 1: 使能。
[0]	RW	read_status_en	该标志为 1 时，使能向 NAND 发出读 status 的 0x70 命令，并从 NAND Flash 读取状态数据，返回的数据写入 NANDC 状态寄存器的 nf_status 域中(而不写入内部 buffer)。 在对 NAND 器件进行擦除和编程时，需要读取擦除和编程的结果，看是否成功。使能时，CPU 一次操作就可以完成编程擦除等操作，并从 NAND 返回了是否操作成功的数据，从而减少了 CPU 的干预。 在 read_data_en 标志为 1 时，该标志无效。 0: 禁止; 1: 使能。

NFC_STATUS

NFC_STATUS 为状态寄存器。

	Offset Address	Register Name	Total Reset Value									
	0x0020	NFC_STATUS	0x0000_001E									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				nfc_ecc_type	nf_status			reserved	nfl_ready	nfo_ready	nfc_ready
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 0				
Bits	Access	Name	Description									
[31:20]	RO	reserved	保留。									
[19]	RO	reserved	保留。									
[18:16]	RO	nfc_ecc_type	NAND 控制器内部使用的 ecc 纠错信息。 读取出来的值含义和 nfc_con 寄存器 ecc_type 相同。									
[15:8]	RO	nf_status	从 Flash 读回的 NAND Flash 的 status 数据。 只在 operation 寄存器的 read_status 标志为 1，且该寄存器的 NANDC_ready 标志为 1 时有效。									



[7:3]	-	reserved	保留。
[2]	RO	nf1_ready	片选 1 对应的 NAND 器件的 ready/busy 信号状态。 当外接两多个 Flash 器件且使用各自独立的 ready/busy 信号时有效。 因为默认两多个 NAND Flash 器件共用同一个 ready/busy 信号，该 bit 复位值为 0。
[1]	RO	nf0_ready	片选 0 对应的 NAND 器件的 ready/busy 信号状态。 当外接两多个 Flash 器件且使用各自独立的 ready/busy 信号时有效。 因为默认两多个 NAND Flash 器件共用同一个 ready/busy 信号，该 bit 复位值为 0。
[0]	RO	nfc_ready	指示控制器进行一次操作当前所处的状态。 0: controller 正在进行操作； 1: 操作完成，可以接收下一次命令。 当写 operation 寄存器启动 NANDC 操作时，该位自动清零。

NFC_INTEN

NFC_INTEN 为中断使能寄存器。

Offset Address	Register Name	Total Reset Value															
0x0024	NFC_INTEN	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved						dma_err_en	dma_done_en	wr_lock_en	ahb_op_en	err_invalid_en	err_valid_en	reserved	reserved	cs1_done_en	cs0_done_en	op_done_en
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																
Bits	Access	Name	Description														
[31:11]	-	reserved	保留。														
[10]	RW	dma_err_en	DMA 传输总线出现错误中断使能。 0: 禁止； 1: 使能。														
[9]	RW	dma_done_en	DMA 传输完成中断使能。 0: 禁止； 1: 使能。														



[8]	RW	wr_lock_en	对 lock 地址进行写操作错误中断使能 0: 禁止; 1: 使能。
[7]	RW	ahb_op_en	NANDC 读写 Flash 数据期间, cpu 读写 NANDC buffer 错误中断使能。 0: 禁止; 1: 使能。
[6]	RW	err_invalid_en	不可纠正错误, 产生中断。 0: 禁止; 1: 使能。
[5]	RW	err_valid_en	可纠正的错误, 产生中断。 0: 禁止; 1: 使能。
[4]	-	reserved	保留
[3]	-	reserved	保留
[2]	RW	cs1_done_en	片选 cs1 对应的 ready busy 信号由低变高, 产生中断。 0: 禁止; 1: 使能。
[1]	RW	cs0_done_en	片选 cs0 对应的 ready busy 信号由低变高, 产生中断。 0: 禁止; 1: 使能。
[0]	RW	op_done_en	NANDC 本次操作结束中断。 0: 禁止; 1: 使能。

NFC_INTS

NFC_INTS 为中断状态寄存器。



Offset Address		Register Name		Total Reset Value												
0x0028		NFC_INTS		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved						dma_err	dma_done	wr_lock	ahb_op	err_invalid	err_valid	reserved	cs1_done	cs0_done	op_done
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description													
[31:11]	-	reserved	保留。													
[10]	RO	dma_err	DMA 传输总线出现错误中断。 0: 无中断; 1: 有中断。													
[9]	RO	dma_done	DMA 传输完成中断。 0: 无中断; 1: 有中断。													
[8]	RO	wr_lock	对 Lock 地址进行写操作。 0: 无中断; 1: 有中断。													
[7]	RO	ahb_op	NANDC 对 Flash 进行数据操作期间, CPU 读写 NANDC buffer。 0: 无中断; 1: 有中断。													
[6]	RO	err_invalid	不可纠正的错误。 4bit 纠错模式下, 校验 1024byte 数据中出现 8bit 以上错误, 产生中断。 8bit 纠错模式下, 校验 1024byte 数据中出现 16bit 以上错误, 产生中断。 24bit 纠错模式下, 校验 1024byte 数据中出现 24bit 以上错误, 产生中断。 0: 无中断; 1: 有中断。													



[5]	RO	err_valid	<p>可纠正的错误。</p> <p>4bit 纠错模式下，ecc 校验 1024byte 数据中出现 1~8bit 错误，产生中断。</p> <p>8bit 纠错模式下，ecc 校验 1024byte 数据出现 1~16bit 错误，产生中断。</p> <p>24bit 纠错模式下，ecc 校验 1024byte 数据中出现 1~24bit 错误，产生中断。</p> <p>0: 无中断； 1: 有中断。</p>
[4:3]	-	reserved	保留。
[2]	RO	cs1_done	<p>片选 cs1 对应的 ready busy 信号由低变高，产生中断。</p> <p>当外接两个 flash 器件，同时两个器件使用各自独立的 ready_busy 信号时有效。否则，该 bit 一直保持为 0；</p> <p>0: 无中断； 1: 有中断。</p>
[1]	RO	cs0_done	<p>片选 cs0 对应的 ready busy 信号由低变高，产生中断。</p> <p>当外接两个 flash 器件，同时两个器件使用各自独立的 ready_busy 信号时有效。否则，该 bit 一直保持为 0；</p> <p>0: 无中断； 1: 有中断。</p>
[0]	RO	op_done	<p>controller 本次操作结束中断。</p> <p>写 operation 寄存器后，该标志自动清零。</p> <p>0: 无中断； 1: 有中断。</p>

NFC_INTCLR

NFC_INTCLR 为中断清除寄存器。



	Offset Address				Register Name				Total Reset Value																											
	0x002C				NFC_INTCLR				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:11]	-		reserved		保留。																															
[10]	RO		dma_err_clr		清除 dma 传输总线错误中断，写 1 清除。																															
[9]	WO		dma_done_clr		清除 dma_done，写 1 清除。																															
[8]	WO		wr_lock_clr		清除 wr_lock 中断，写 1 清除。																															
[7]	WO		ahb_op_clr		清除 ahb_op 中断，写 1 清除。																															
[6]	WO		err_invalid_clr		清除 err_invalid 中断，写 1 清除。																															
[5]	WO		err_valid_clr		清除 err_valid 中断，写 1 清除。																															
[4:3]	-		reserved		保留。																															
[2]	WO		cs1_done_clr		清除 cs1_done 中断，写 1 清除。																															
[1]	WO		cs0_done_clr		清除 cs0_done 中断，写 1 清除。																															
[0]	WO		op_done_clr		清除 op_done 中断，写 1 清除。																															

NFC_LOCK

NFC_LOCK 为锁地址配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0030		NFC_LOCK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															lock_excmd_en	lock_en	global_lock_en	lock_down													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	-	reserved	保留。																													
[3]	RW	lock_excmd_en	针对扩展写命令(新器件有可能添加的新命令)，对保护地址进行写保护使能。 1: 使能; 0: 禁止。																													
[2]	RW	lock_en	Flash lock 使能。 1: 使能; 0: 禁止。																													
[1]	RW	global_lock_en	Flash 全局 lock 使能。 1: 使能; 0: 禁止。																													
[0]	RW	lock_down	Flash lock 模式。 1: lock-down 模式，一次性写 1，只有硬件 reset 才能对该位写 0; 0: lock 模式。																													

NFC_LOCK_SA0

NFC_LOCK_SA0 为锁起始地址 0 配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0034		NFC_LOCK_SA0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								flash_lock_cs	flash_lock_addr0																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:21]	-	reserved	保留。																													
[20:19]	RW	flash_lock_cs	锁存首地址 0 对应的片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																													
[18:0]	RW	flash_lock_addr0	锁存首地址 0, 最低位对应 flash row addr[5]。																													

NFC_LOCK_SA1

NFC_LOCK_SA1 为锁起始地址 1 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0038		NFC_LOCK_SA1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								flash_lock_cs	flash_lock_addr1																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:21]	-	reserved	保留。																													
[20:19]	RW	flash_lock_cs	锁存首地址 0 对应的片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																													
[18:0]	RW	flash_lock_addr1	锁存首地址 1, 最低位对应 flash row addr[5]。																													



NFC_LOCK_SA2

NFC_LOCK_SA2 为锁起始地址 2 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x003C		NFC_LOCK_SA2		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								flash_lock_cs	flash_lock_addr2																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:21]	-	reserved	保留。																													
[20:19]	RW	flash_lock_cs	锁存首地址 0 对应的片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																													
[18:0]	RW	flash_lock_addr2	锁存首地址 2, 最低位对应 flash row addr[5]。																													

NFC_LOCK_SA3

NFC_LOCK_SA3 为锁起始地址 3 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0040		NFC_LOCK_SA3		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								flash_lock_cs	flash_lock_addr3																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:21]	-	reserved	保留。																													



[20:19]	RW	flash_lock_cs	锁存首地址 0 对应的片选。 00: 片选 0; 01: 片选 1; 其他: 保留。
[18:0]	RW	flash_lock_addr3	锁存首地址 3, 最低位对应 flash row addr[5]。

NFC_LOCK_EA0

NFC_LOCK_EA0 为锁结束地址 0 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0044		NFC_LOCK_EA0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								flash_lock_cs	flash_lock_eaddr0																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:21]	-	reserved		保留。																												
[20:19]	RW	flash_lock_cs		锁存结束地址 0 对应的片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																												
[18:0]	RW	flash_lock_eaddr0		锁存结束地址 0, 最低位对应 flash row addr[5]。																												

NFC_LOCK_EA1

NFC_LOCK_EA1 为锁结束地址 1 配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0048		NFC_LOCK_EA1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												flash_lock_cs	flash_lock_eaddr1																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:21]	-	reserved	保留。																													
[20:19]	RW	flash_lock_cs	锁存结束地址 1 对应的片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																													
[18:0]	RW	flash_lock_eaddr1	锁存结束地址 1, 最低位对应 flash row addr[5]。																													

NFC_LOCK_EA2

NFC_LOCK_EA2 为锁结束地址 2 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x004C		NFC_LOCK_EA2		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												flash_lock_cs	flash_lock_eaddr2																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:21]	-	reserved	保留。																													
[20:19]	RW	flash_lock_cs	锁存结束地址 2 对应的片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																													
[18:0]	RW	flash_lock_eaddr2	锁存结束地址 2, 最低位对应 flash row addr[5]。																													



NFC_LOCK_EA3

NFC_LOCK_EA3 为锁结束地址 3 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0050		NFC_LOCK_EA3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			flash_lock_cs	flash_lock_eaddr3				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:19]	RW	flash_lock_cs	锁存结束地址 3 对应的片选。 00: 片选 0; 01: 片选 1; 其他: 保留。						
[18:0]	RW	flash_lock_eaddr3	锁存结束地址 3, 最低位对应 flash row addr[5]。						

NFC_EXPCMD

NFC_EXPCMD 为扩展页命令寄存器。

Offset Address		Register Name		Total Reset Value					
0x0054		NFC_EXPCMD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	ex_pcmd3		ex_pcmd2		ex_pcmd1		ex_pcmd0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	ex_pcmd3	Flash 扩展页写操作命令 3。						
[23:16]	RW	ex_pcmd2	Flash 扩展页写操作命令 2。						
[15:8]	RW	ex_pcmd1	Flash 扩展页写操作命令 1。						
[7:0]	RW	ex_pcmd0	Flash 扩展页写操作命令 0。						



NFC_EXBCMD

NFC_EXBCMD 为扩展块命令寄存器。

Offset Address		Register Name		Total Reset Value					
0x0058		NFC_EXBCMD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				ex_bcmd1			ex_bcmd0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:8]	RW	ex_bcmd1	Flash 扩展块写操作命令 1。						
[7:0]	RW	ex_bcmd0	Flash 扩展块写操作命令 0。						

NFC_ECC_TEST

NFC_ECC_TEST 为 ECC 测试寄存器。

Offset Address		Register Name		Total Reset Value							
0x005C		NFC_ECC_TEST		0x0000_0001							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						bb_err	reserved	ecc_mask	dec_only	enc_only
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1			
Bits	Access	Name	Description								
[31:5]	-	reserved	保留。								
[4]	RW	bb_err	因为 bad_block, boot 失败。 0: 不是坏块, 可 boot; 1: 坏块, boot 失败;								
[3]	-	reserved	保留。								
[2]	RW	ecc_mask	ECC 功能掩码。 1: 不进行 ECC 校验和纠错。但读写 NAND Flash 数据结构仍按照 ecc_type 的格式进行转换; 0: 按 ecc_type 的值决定是否进行校验和纠错。								



[1]	RW	dec_only	只解码使能。 向该寄存器位写 1 时，启动 ECC 解码，但不启动读写 NAND Flash； 读该寄存器位时，返回 0。
[0]	RW	enc_only	只编码使能。 向该寄存器位写 1 时，启动 ECC 编码，但不启动读写 NAND Flash； 读该寄存器位时，返回值含义： 1：ECC 编解码结束； 0：正在编解码。

NFC_DMA_CTRL

NFC_DMA_CTRL 为 DMA 控制寄存器。

	Offset Address 0x0060								Register Name NFC_DMA_CTRL								Total Reset Value 0x0000_0070															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																dma_rd_oob	wr_cmd_disable	reserved	dma_nf_cs	dma_addr_num	burst16_en	burst8_en	burst4_en	reserved	dma_wr_en	dma_start					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		dma_rd_oob		DMA 读操作时，选择是只读 OOB 还是整个 page 读。 0：读整个 page； 1：只读 OOB 操作。																											
[11]	RW		wr_cmd_disable		选择 DMA 写操作时，是否发出写命令。 0：NANDC 发起完整的写 NAND Flash 时序； 1：NANDC 只发起写数据的时序，不发起写命令时序。 只在 DMA 写 NAND Flash 时有效。																											
[10]	-		reserved		保留。																											



[9:8]	RW	dma_nf_cs	选择 DMA 操作的 NAND Flash 器件。 00: 片选 0; 01: 片选 1; 其他: 保留。
[7]	RW	dma_addr_num	地址数。 0: 5 个地址; 1: 4 个地址。
[6]	RW	burst16_en	burst16 使能。 0: 禁止; 1: 使能。
[5]	RW	burst8_en	burst8 使能。 0: 禁止; 1: 使能。
[4]	RW	burst4_en	burst4 使能。 0: 禁止; 1: 使能。
[3:2]	RW	reserved	保留。
[1]	RW	dma_wr_en	DMA 读写使能。 0: 读; 1: 写。
[0]	RW	dma_start	启动 DMA 操作。 向该 bit 写 1 启动 DMA 操作, 该 bit 保持为 1, 直到 DMA 操作结束。向该 bit 写 0 无效。 启动 DMA 操作后, 读该 bit 如果返回 0, 表示 DMA 操作结束。

NFC_BADDR_D

NFC_BADDR_D 为传送数据区的基地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0064		NFC_BADDR_D		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	base_addr_d							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	base_addr_d	读写 DDR 数据区的基地址。					

NFC_BADDR_OOB

NFC_BADDR_OOB 为传送 OOB 区的基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0068		NFC_BADDR_OOB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	base_addr_oob							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	base_addr_oob	读 OOB 区数据的 DDR 基地址。					

NFC_DMA_LEN

NFC_DMA_LEN 为传送长度寄存器。

Offset Address		Register Name		Total Reset Value				
0x006C		NFC_DMA_LEN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	len_oob			reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RW	reserved	保留。					
[27:16]	RW	len_oob	DMA 写 NAND Flash 时 OOB 区的长度，需要长字(4byte)对齐。(只在 ECC0 模式下有效，在其他 ECC 模式下，oob 的长度是固定的)					
[15:0]	RW	reserved	保留。					



NFC_OP_PARA

NFC_OP_PARA 为操作参数寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0070				NFC_OP_PARA				0x0000_000F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								oob_edc_en	data_edc_en	oob_rw_en	data_rw_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
	Bits	Access	Name	Description																												
	[31:4]	-	reserved	保留。																												
	[3]	RW	oob_edc_en	OOB 区校验使能。 0: 禁止; 1: 使能。 编程模式下, 对 OOB 区生成 ECC 码使能。 读数据模式下, 对 OOB 区进行校验使能。																												
	[2]	RW	data_edc_en	DATA 区校验使能。 0: 禁止; 1: 使能。 编程模式下, 生成 ECC 码使能。 读数据模式下, 进行校验使能。																												
	[1]	RW	oob_rw_en	NAND Flash 冗余区读写使能。 0: 禁止; 1: 使能。																												
	[0]	RW	data_rw_en	NAND Flash 数据区读写使能。 0: 禁止; 1: 使能。																												

NFC_VERSION

NFC_VERSION 为 NANDC 版本寄存器。



Offset Address		Register Name		Total Reset Value						
0x0074		NFC_VERSION		0x0000_0600						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						version			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	-	reserved	保留。							
[11:0]	RO	version	版本号。							

NFC_FIFO_EMPTY

NFC_FIFO_EMPTY 为内部 FIFO 状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x0090		NFC_FIFO_EMPTY		0x0000_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			empty_dbg					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:0]	RO	empty_dbg	内部 FIFO 的 empty 信号状态。仅供调试用。						

NFC_BOOT_SET

NFC_BOOT_SET 为 boot 参数设定寄存器。

Offset Address		Register Name		Total Reset Value					
0x0094		NFC_BOOT_SET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							addr_num	block_size
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	-	reserved	保留。						



[2]	RW	addr_num	Boot 时，NANDC 发给 NAND Flash 器件的地址数目。 0: 4 个地址周期; 1: 5 个地址周期。 复位后的值由管脚 NFC_ADDR_NUM 决定。
[1:0]	RW	block_size	Boot 时，NAND Flash 器件的 Block 大小。 00: 64 page; 01: 128page; 10: 256 page; 11: 保留。 复位后的值由管脚 NFC_BLOCK_SIZE 决定。

NF_LP_CTRL

NF_LP_CTRL 为 NANDC 的低功耗控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x009C				NF_LP_CTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											clk_gate_en				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	-	reserved		保留。																											
	[0]	RW	clk_gate_en		时钟门控选择。 0: 时钟全部使能。 1: 根据 ecc_type 值，关闭不使用的模块时钟。																											

NFC_ERR_NUM0_BUF0

NFC_ERR_NUM0_BUF0 为 NAND Flash 的错误 bit 数目寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x00A0		NFC_ERR_NUM0_BUF0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	对于 2KB、4KB 和 8KB pagesize，前 4KB 数据错误统计寄存器。 bit[31:24]：第四 KB 数据纠错，错误数据统计寄存器。 bit[23:16]：第三 KB 数据纠错，错误数据统计寄存器。 bit[15:8]：第二 KB 数据纠错，错误数据统计寄存器。 bit[7:0]：第一 KB 数据纠错，错误数据统计寄存器。					

NFC_ERR_NUM1_BUF0

NFC_ERR_NUM1_BUF0 为 NAND Flash 的错误 bit 数目寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x00A4		NFC_ERR_NUM1_BUF0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	reserved	对于 8KB pagesize 8KB 数据操作，后 4KB 数据错误统计寄存器。 bit[31:24]：第八 KB 数据纠错，错误数据统计寄存器。 bit[23:16]：第七 KB 数据纠错，错误数据统计寄存器。 bit[15:8]：第六 KB 数据纠错，错误数据统计寄存器。 bit[7:0]：第五 KB 数据纠错，错误数据统计寄存器。					

NF_RB_MODE

NF_RB_MODE 为 NAND Flash 的 ready_busy 模式寄存器。



Offset Address		Register Name		Total Reset Value					
0x00B0		NF_RB_MODE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	status	ready_busy 模式寄存器。 0: 传统的 ready 信号; 1: micron 的 enhanced clear NAND 信号。						

NFC_BADDR_D1

NFC_BADDR_D1 为传送数据区的基地址寄存器 1。

Offset Address		Register Name		Total Reset Value				
0x00B4		NFC_BADDR_D1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	base_addr_d1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	base_addr_d1	读写 DDR 数据区的基地址一。					

NFC_BOOT_CFG

NFC_BOOT_CFG 为 NAND Flash 的 boot 配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00C4		NFC_BOOT_CFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															addr_num_pad	block_size_pad	ecc_type_pad	page_size_pad	reserved												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:11]	RO	reserved	保留。																													
[10]	RO	reserved	保留。																													
[9]	RO	addr_num_pad	地址数。 0: 5 个地址; 1: 4 个地址。																													
[8:7]	RO	block_size_pad	Boot 时, NAND Flash 器件的总线宽度。 00: 64 page; 01: 128page; 10: 256 page; 11: 保留。 复位后的值由管脚 NFC_BLOCK_SIZE 决定。																													
[6:4]	RO	ecc_type_pad	ECC 模式选择。 000: ECC0; 001: 保留; 010: 4bit 模式; 011: 16bit 模式。 100: 24bit 模式; 101: 保留; 110: 保留; 111: 保留。 复位值由管脚 NFC_ECC_TYPE 决定。																													



[3:1]	RO	page_size_pad	NAND Flash 的页大小。 000: 保留; 001: 2KByte; 010: 4KByte; 011: 8KByte; 100: 保留; 101~111: 保留。 复位值由管脚 NFC_PAGE_SIZE 决定。
[0]	RO	reserved	保留。

NFC_OOB_SEL

NFC_OOB_SEL 为传送数据区的基地址寄存器 3。

	Offset Address				Register Name				Total Reset Value																							
	0x00C8				NFC_OOB_SEL				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											oob_len_sel				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31:1]	-		reserved		保留。																											
[0]	RW		oob_len_sel		对于 8bit ECC, 选择 OOB 区长度。 0: 对于 2KB pagesize, OOB 长度为 8byte, 对于 4KB pagesize 情况, OOB 区长度为 16byte。 1: OOB 区长度为 32byte。																											

NFC_MEM_CTRL

NFC_MEM_CTRL 为 RAM 配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00BC		NFC_MEM_CTRL		0x0000_0002																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															mem_ctrl																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name		Description																												
[31:5]	RO	reserved		保留。																												
[4:0]	RW	mem_ctrl		控制 mem 的 EMA 和 EMAW 值。 [4:1]: 控制 EMA 管脚值。 [0]: 控制 EMAW 管脚值。																												



目 录

5 TOE	5-1
5.1 概述.....	5-1
5.2 特点.....	5-1
5.2.1 GMAC	5-1
5.2.2 TOE 加速.....	5-2
5.3 功能描述.....	5-2
5.4 工作方式.....	5-4
5.4.1 接口时序	5-4
5.4.2 bypass 工作模式.....	5-9
5.4.3 TOE 工作模式.....	5-14
5.5 TOE 寄存器概览.....	5-23
5.6 TOE 寄存器描述.....	5-30



插图目录

图 5-1 TOE 功能框图.....	5-3
图 5-2 MDIO 接口读时序.....	5-4
图 5-3 MDIO 接口写时序.....	5-4
图 5-4 MDIO 接口接收时序参数.....	5-5
图 5-5 RGMII 接口接收时序.....	5-5
图 5-6 RGMII 接口发送时序.....	5-6
图 5-7 MII 接口接收时序参数.....	5-6
图 5-8 MII 接口发送时序参数.....	5-7
图 5-9 RMII 接口 100Mbit/s 接收时序.....	5-7
图 5-10 RMII 接口 100Mbit/s 发送时序.....	5-8
图 5-11 RMII 接口 10Mbit/s 接收时序.....	5-8
图 5-12 RMII 接口 10Mbit/s 发送时序.....	5-8
图 5-13 RMII 接口时序参数.....	5-8
图 5-14 bypass 工作模式下接收流程.....	5-9
图 5-15 bypass 接收描述子.....	5-10
图 5-16 bypass 工作模式下发送流程.....	5-12
图 5-17 bypass 发送描述子.....	5-13
图 5-18 TCP 协议状态转移图.....	5-16
图 5-19 TOE 工作模式下接收流程.....	5-17
图 5-20 TCP 报文接收描述子.....	5-17
图 5-21 TOE 工作模式下发送流程.....	5-22
图 5-22 TCP 报文发送描述子.....	5-22



5 TOE

5.1 概述

TOE 模块(TCP Offload Engine, TCP 卸载引擎)同时实现两个网络接口数据的接收和发送,可以工作在 10/100/1000Mbit/s 模式下,支持半双工和全双工工作模式,提供 MII、RMII 和 RGMII 接口。

TOE 模块能够通过硬件部分实现 TCP/IP 加速处理的功能,不但能够提升网络接口的吞吐量,还可以显著的降低 CPU 占用率。

5.2 特点

5.2.1 GMAC

TOE 模块中包含两个 GMAC,其特点如下:

- 支持 10/100/1000Mbit/s 全双工模式
- 支持 10/100Mbit/s 半双工模式。
- 支持 MII、RMII、RGMII 接口。
- 支持全双工模式下的 802.3x 流控。
- 支持半双工模式下的 CSMA/CD。
- 支持帧长度检测,并丢弃不符合规定长度的数据包。
- 支持对发送帧 SFD 自动添加和接收帧 SFD 自动删除。
- 提供一个 MDIO 接口。
- 支持基于端口接收帧和发送帧的统计计数。
- 支持是否接收广播帧、多播帧和单播帧功能可配置。
- 提供可配置的 MAC 地址过滤功能。
- 兼容 802.3-2005。
- 支持 bonding 功能,TOE 模式下实现负载均衡和主备倒换功能,bypass 模式下按照标准协议实现。



- 支持 **bonjour** 功能，TOE 模式下支持每个网络接口配置 4 个 IP 地址，**bypass** 模式下按照标准协议实现。

5.2.2 TOE 加速

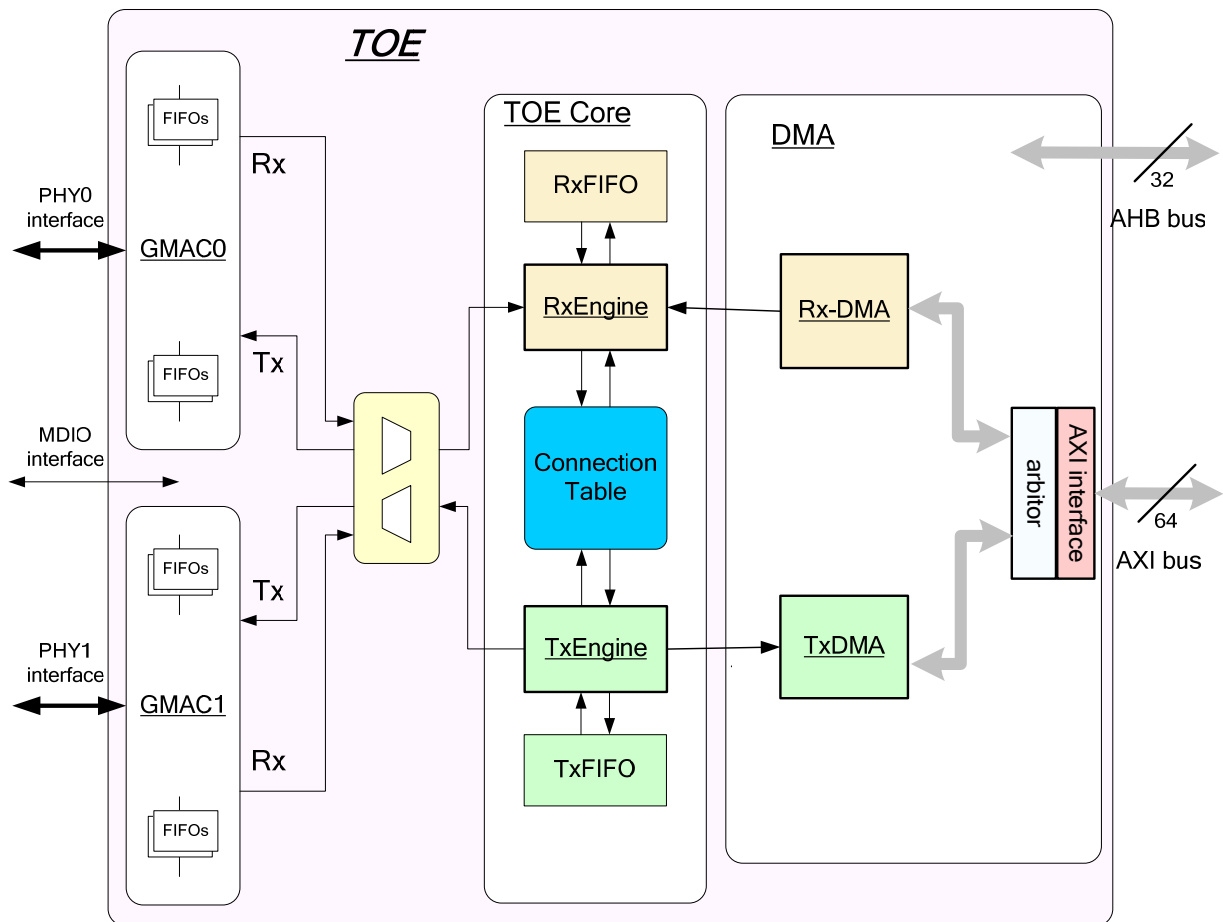
TOE Core 模块可以部分实现对 TCP/IP 协议的加速处理，其主要特点如下：

- 支持最多 254 个连接的 TCP 加速处理，最大连接数可配置。超过最大连接数由标准 TCP/IP 协议栈处理。
- 支持 TCP 协议和 IP 协议硬件加速。其他三四层协议将被标准 TCP/IP 协议栈处理。
- 所有 IPv6 的报文都由标准 TCP/IP 协议栈处理。
- 所有 VLAN 的报文都由标准 TCP/IP 协议栈处理。
- 支持 **bypass** 模式，此时 TOE 模块仅处理二层报文（实际相当于 GMAC 功能），而三四层报文的处理由标准 TCP/IP 协议栈实现。
- 支持 TCP 加速处理，硬件实现的功能如下：
 - 支持连接管理，硬件将处理连接建立后的所有数据传输。
 - 支持慢启动。
 - 支持最大分段长度 MSS 可配。
 - 支持拥塞控制算法。
 - 支持收发方向上的 TCP 校验和 IP 头校验和计算。
 - 支持基于滑动窗口的流量控制。
 - 支持报文乱序检测和丢弃处理。
 - 支持硬件定时器，包括重传定时器，坚持定时器。保活定时器和 2MSL 定时器将在软件协议栈中实现。
 - 支持窗口扩大选项 **window scale**。
 - 支持 RTT 的测量和计算。
 - 支持 TCP 的超时重传和快速重传。
- 支持两种驱动模式，用于选择当前 TCP 连接是否加速。
 - 基于阈值：一旦某一连接的流量超过软件设定的阈值，该连接将一直被加速，直至被拆除。
 - 先到先得：首先建立的 254 个连接将被加速，其余连接不加速。只有首先建立的 254 个连接中某一连接被拆除时，新建立的连接才能加速。
- 支持 TCP 加速连接收发双向的统计计数器。

5.3 功能描述

TOE 模块的功能框图如图 5-1 所示。

图5-1 TOE 功能框图



TOE 模块主要包含 GMAC、TOE Core 和 DMA 三个功能单元，其特性如下：

- TOE 模块提供两套 PHY 接口，它可以支持的 PHY 模式包括 RGMII、RMII 和 MII，速率支持 10/100/1000Mbps，可以分别支持半双工和全双工模式。同时 TOE 还提供一套 MDIO 接口，对两个 PHY 分别进行配置。
- TOE 模块包含两个 GMAC 模块，GMAC 实现了基本的二层报文处理的功能，并通过内部 FIFO 实现接收数据和发送数据的缓存。
- TOE Core 模块实现了 TCP/IP 协议的加速处理。
 - TOE Core 内部的 ConnectionTable，维护了最多 254 个 TCP 加速连接的信息；
 - TOE Core 通过硬件状态机，实现对接收数据和发送数据的管理和控制；
 - 在接收方向，TOE Core 通过 RxFIFO 缓存接收数据，可以对数据包进行解析和校验和计算，并通过查找表准确的从 ConnectionTable 中获取该数据包对应连接的详细信息，同时还可以对接收数据包进行统计计数；
 - 在发送方向，TOE Core 通过 TxFIFO 实现对发送数据的缓存，通过 TxEngine 实现对发送数据的控制，可以对数据包进行校验和计算，和发送数据的定时管理。
- DMA 模块提供了三对 DMA 传输通道，分别用于 bypass 的普通 Ethernet 报文和某些 TCP 报文的数据接收和发送。



- TOE 提供了一套 64-bit AXI master 接口和一套 32-bit AHB slave 接口。

5.4 工作方式

5.4.1 接口时序

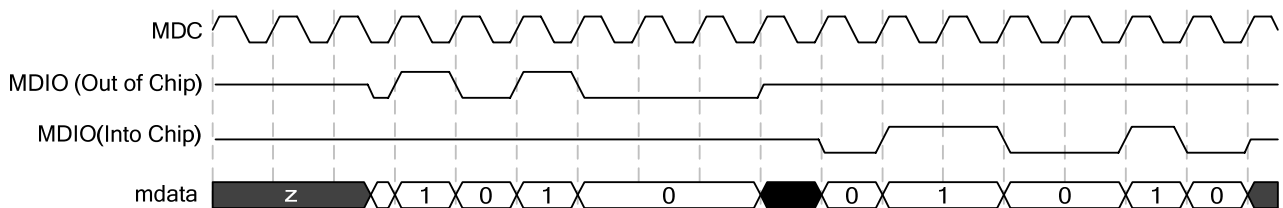
TOE 的接口信号请参考硬件特性-管脚信息描述一节，以下简单介绍 TOE 支持的 MDIO、RGMII、RMII 和 MII 的接口时序。

5.4.1.1 MDIO 接口时序

MDIO 接口实现对物理层芯片的读写控制。在软件操作时将数据写入到 `GMACN_GMII_DATA` 寄存器、将物理层芯片的地址、寄存器地址和相关控制信息写入到 `GMACN_GMII_ADDR` 寄存器中，然后查询到 `GMACN_GMII_ADDR [GB]` 为 0 表示硬件已经完成对物理层芯片的读写操作。硬件将地址、数据和控制信息等转化成 MDIO 接口时序。读操作时，将读回的数据存放在 `GMACN_GMII_DATA` 中，CPU 在查询到 `GMACN_GMII_ADDR [GB]` 为 0 后到 `GMACN_GMII_DATA` 中读取数据。

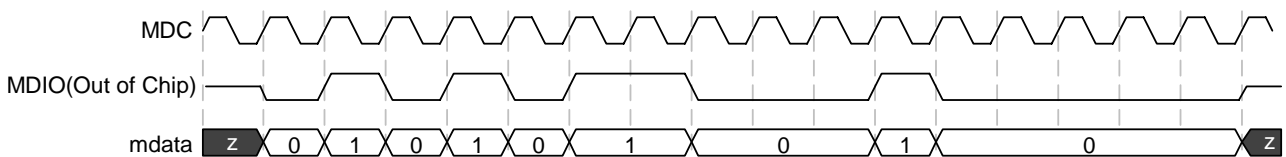
MDIO 接口读时序如图 5-2 所示。

图5-2 MDIO 接口读时序



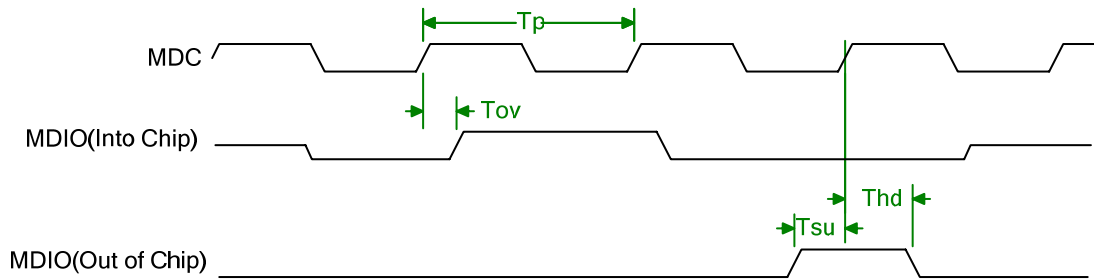
MDIO 接口写时序如图 5-3 所示。

图5-3 MDIO 接口写时序



MDIO 接口时序参数如图 5-4 所示。

图5-4 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 5-1 所示。

表5-1 MDIO 接口时序参数

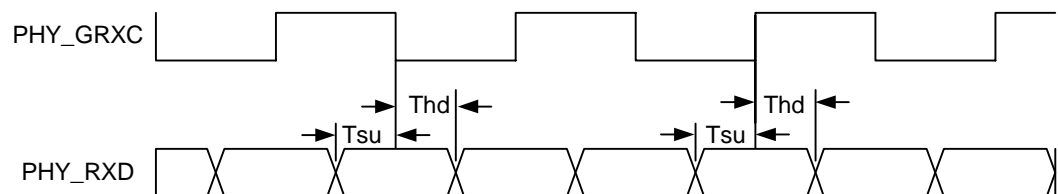
参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	Tov	MDIO	0	300	ns
MDIO 时钟周期	Tp	MDC	413	1240	ns
MDIO 发送数据建立时间	Tsu	MDIO	10	-	ns
MDIO 发送数据保持时间	Thd	MDIO	10	-	ns

注：MDC 时钟周期 Tp 可通过调整 MDC 频率（`GMACN_GMII_ADDR [CR]`）进行改变，选择 TOE 工作时钟 150 或 100MHz 的 102 分频、62 分频或者其他分频。

5.4.1.2 RGMII 接口时序

RGMII 接口接收时序如图 5-5 所示。

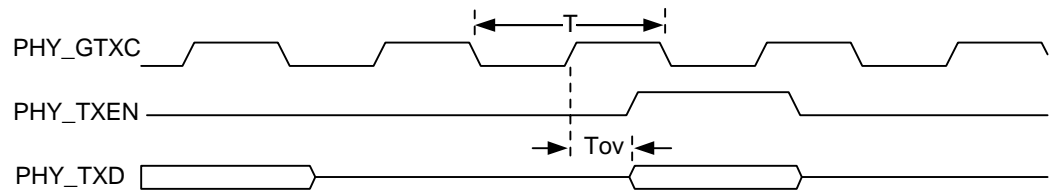
图5-5 RGMII 接口接收时序



RGMII 接口发送时序如图 5-6 所示。



图5-6 RGMII 接口发送时序



RGMII 接口时序参数说明如表 5-2 所示。

表5-2 RGMII 接口时序参数

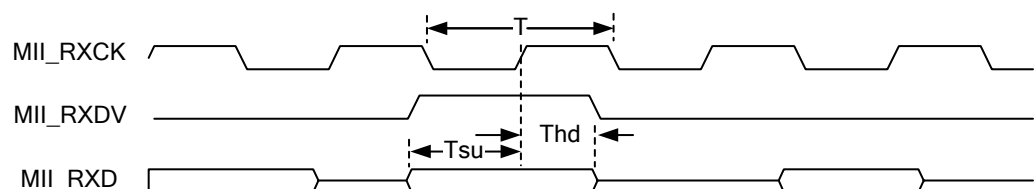
参数	符号	信号	最小值	最大值	单位
RGMII 时钟周期	T	PHY_GRXC PHY_GTXC	8	8	ns
RGMII 信号建立时间	Tsu (RX)	PHY_RXER、 PHY_RXDV、 PHY_RXD[3:0]	1	-	ns
RGMII 信号保持时间	Thd (RX)	PHY_RXER、 PHY_RXDV、 PHY_RXD[3:0]	1	-	ns
RGMII 输出信号延时	Tov (TX)	PHY_TXD[3:0]、 PHY_TXEN	-0.5	0.5	ns

5.4.1.3 MII 接口时序

芯片提供标准的 MII 接口，连接 PHY（Physical Layer Entity Sublayer）芯片，符合 MII 接口时序标准。

MII 接口接收时序参数如图 5-7 所示。

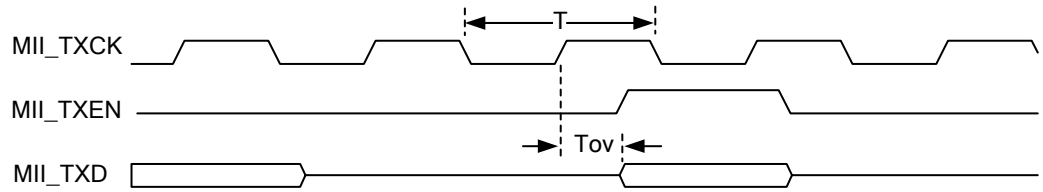
图5-7 MII 接口接收时序参数



MII 接口发送时序参数如图 5-8 所示。



图5-8 MII 接口发送时序参数



MII 接口时序参数说明如表 5-3 所示。

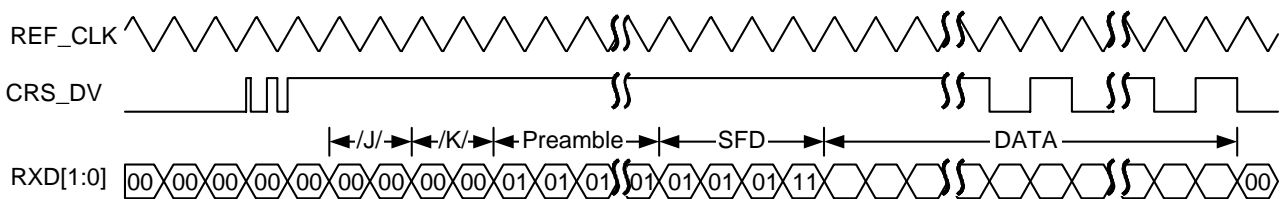
表5-3 MII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
MII 时钟周期	T	ETH_RXCK、 ETH_TXCK	400	40	ns
MII 信号建立时间	Tsu (RX)	ETH_RXER、 ETH_RXDV、 ETH_RXD[3:0]	10	-	ns
MII 信号保持时间	Thd (RX)	ETH_RXER、 ETH_RXDV、 ETH_RXD[3:0]	10	-	ns
MII 输出信号延时	Tov (TX)	ETH_TXD[3:0] 、ETH_TXEN	40	25	ns

5.4.1.4 RMII 接口时序

RMII 接口 100Mbit/s 接收时序如图 5-9 所示。

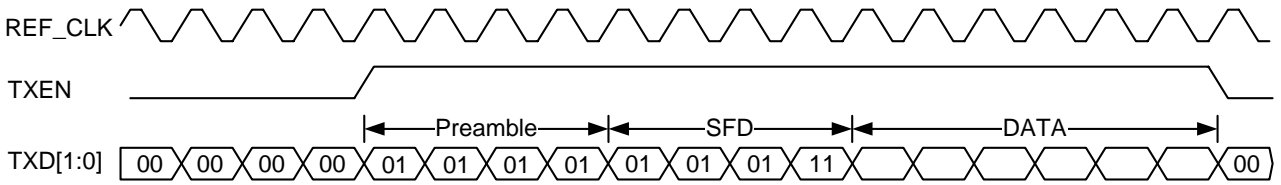
图5-9 RMII 接口 100Mbit/s 接收时序



RMII 接口 100Mbit/s 发送时序如图 5-10 所示。

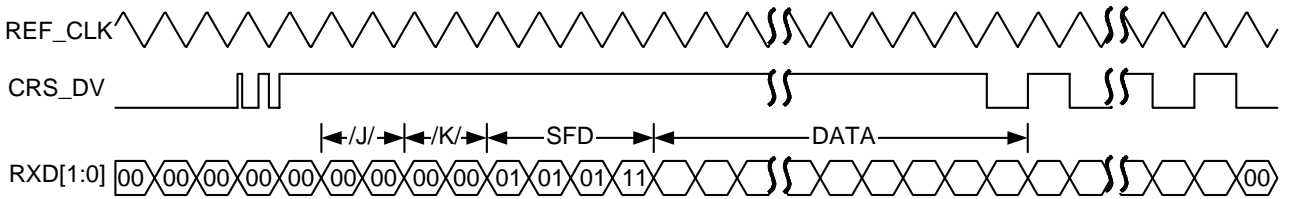


图5-10 RMII 接口 100Mbit/s 发送时序



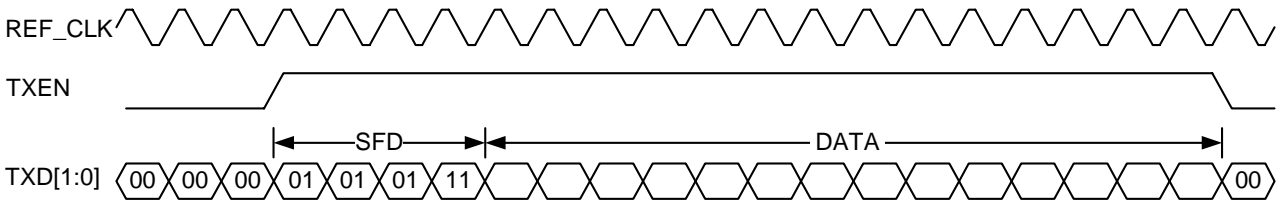
RMII 接口 10Mbit/s 接收时序如图 5-11 所示。

图5-11 RMII 接口 10Mbit/s 接收时序



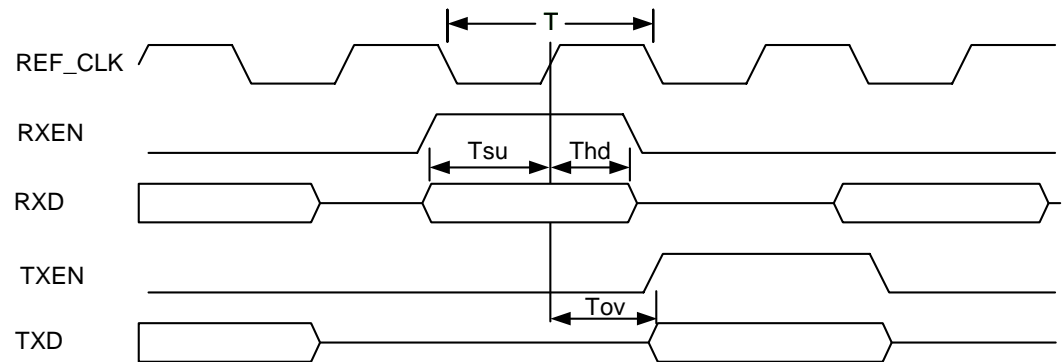
RMII 接口 10Mbit/s 发送时序如图 5-12 所示。

图5-12 RMII 接口 10Mbit/s 发送时序



RMII 接口时序参数如图 5-13 所示。

图5-13 RMII 接口时序参数



RMII 接口时序参数说明如表 5-4 所示。

表5-4 RMII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
RMII 时钟周期	T	REF_CLK	20	20	ns
RMII 信号建立时间	Tsu (RX)	CRS_DV/RXD[1:0]	4	-	ns
RMII 信号保持时间	Thd (RX)	CRS_DV/RXD[1:0]	2	-	ns
RMII 输出信号延时	Tov (TX)	TXEN/TXD[1:0]	3	16	ns

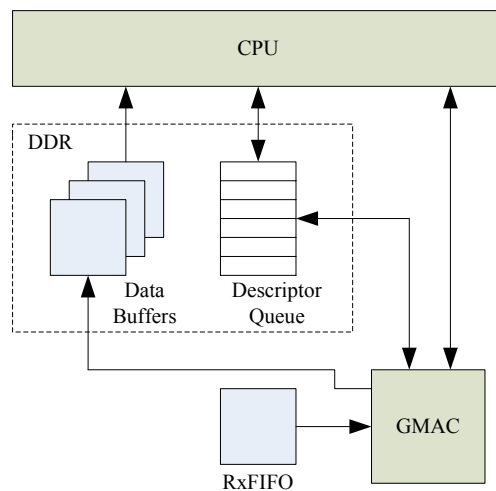
5.4.2 bypass 工作模式

bypass 工作模式下，TOE 只处理二层网络报文。可以认为 bypass 工作模式只实现了 GMAC 的功能。设定 bypass 工作模式，需要配合加载 bypass 驱动实现。以下简要介绍 bypass 模式下的收发包流程。

5.4.2.1 bypass 模式收包流程

bypass 工作模式下，一个简单的 Ethernet 报文接收流程如图 5-14 所示。

图5-14 bypass 工作模式下接收流程



CPU 配置接收描述子队列，确保 GMAC 有可用接收描述子，然后通过配置寄存器启动 GMAC 接收过程；GMAC 根据寄存器配置，读取可用接收描述子，然后从 Rx FIFO 中读取从 PHY 侧接收的 Ethernet 报文，并进行相应处理；如果当前 Ethernet 报文符合接收条件，GMAC 将该报文写入接收描述子指示的数据缓冲区，并回写接收描述子；接着，GMAC 上报中断，通知 CPU 启动接收操作；最后，CPU 读取被 GMAC 回写的接收描述子，从接收描述子指示的数据缓冲区中取出 Ethernet 报文，完成一次报文接收操作。

bypass 模式下的接收描述子由 4 个 WORD 组成，如图 5-15 所示，每个 WORD 有 32 比特，共计 128 比特。接收描述子数据结构如表 5-5 所示。



图5-15 bypass 接收描述子

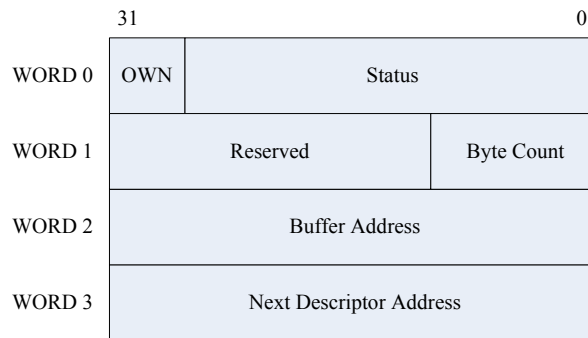


表5-5 bypass 接收描述子数据结构

位	名称	描述
[127:96]	next_desc_addr	下一描述子的地址。
[95:64]	buff_addr	缓冲区起始地址。
[63]	DIC	接收完成时不产生接收中断。 0: 接收完成时产生接收中断; 1: 接收完成时产生接收中断。
[62:58]	reserverd	保留。
[57]	RER	Ring 模式下最后一个描述子。 0: Ring 模式下, 当前描述子不是最后一个描述子; 1: Ring 模式下, 当前描述子是最后一个描述子。
[56:45]	reserverd	保留。
[44:32]	byte_count	字节计数, 指示接收缓冲区大小。
[31]	own	OWN 比特, 指示当前描述子的归属。 0: 当前描述子应该由 CPU 操作; 1: 当前描述子应该由 GMAC 操作。
[30]	AFM	目的地址过滤结果指示符。 0: 当前报文目的地址过滤失败; 1: 当前报文目的地址过滤成功。
[29:16]	FL	指示当前接收报文的长度, 以字节为单位。



位	名称	描述
[15]	ES	错误统计，是所有错误指示的逻辑或，包括 bit[0]、bit [1]、bit [3]、bit [4]、bit [6]、bit [7]、bit [11]和 bit [14]；该比特仅在 bit [8]为 1 设置时有效。 0：当前接收报文没有错误； 1：当前接收报文有错误。
[14]	DE	描述子错误。 0：当前描述子缓冲区足够填充该报文； 1：当前描述子缓冲区不足以填充该报文，报文被截断。该比特仅在比特[8]设置为 1 时有效。
[13]	SAF	源地址过滤结果指示符。 0：当前报文源地址过滤失败； 1：当前报文源地址过滤成功。
[12]	LE	指示长度字段是否与报文长度匹配；该比特仅在 bit [5]设置为 0 时有效，CRC 出错时比特无效。 0：报文实际长度与其长度字段值匹配； 1：报文实际长度与其长度字段值不匹配。
[11]	OE	MTL 中缓冲区溢出指示。 0：接收报文接收过程中缓冲区正常； 1：接收报文因缓冲区溢出而损坏。
[10]	VLAN	VLAN 指示符。 0：当前报文不是 VLAN 报文； 1：当前报文是 VLAN 报文。
[9]	FS	保留。
[8]	LS	保留。
[7]	GF	超长报文指示。 0：当前报文不是超长报文（大于 1518 字节）。 1：当前报文时超长报文。
[6]	LC	Late Collision。 0：半双工模式下未发送 late collision； 1：半双工模式下发送 late collision。
[5]	FT	报文类型。 0：IEEE 802.3 报文； 1：Ethernet 报文。

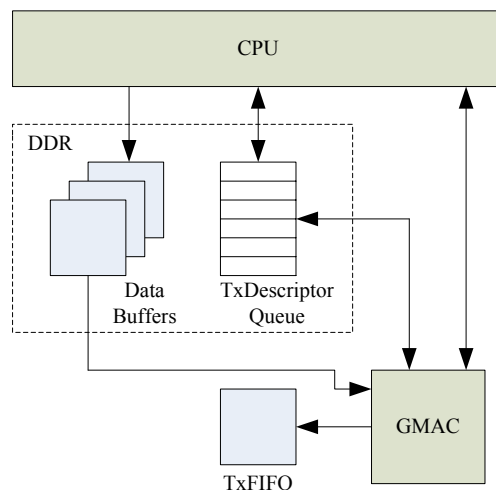


位	名称	描述
[4]	RWT	接收 watchdog 超时指示。 0: 接收过程中 watchdog 正常; 1: 接收过程中 watchdog 超时, 报文被截断。
[3]	RE	接收错误。 0: 接收过程中 gmii_rxdv_i 有效时 gmii_rxer_i 一直为 0; 1: 接收过程中 gmii_rxdv_i 有效时出现 gmii_rxer_i 为 1。
[2]	DE	Dribble 比特错误, 仅在 MII 模式下有效。 0: 当前报文长度是字节的整数倍; 1: 当前报文长度不是字节的整数倍。
[1]	CE	CRC 错误, 仅在 bit[8]设置时有效。 0: 接收报文 CRC 校验正确; 1: 接收报文 CRC 校验错误。
[0]	Rx MAC Address	接收 MAC 地址指示。 0: 当前报文接收 MAC 地址匹配 RxMAC 寄存器 1~15; 1: 当前报文接收 MAC 地址匹配 RxMAC 寄存器 0。

5.4.2.2 bypass 模式发包流程

bypass 工作模式下, 一个简单的 Ethernet 报文发送流程如图 5-16 所示。

图5-16 bypass 工作模式下发送流程





当有数据要发送时，CPU 配置发送描述子队列，并通过寄存器配置启动 GMAC 发送过程；GMAC 根据寄存器配置，获取可用的发送描述子；GMAC 从发送描述子指示的数据缓冲区中读取需要发送的 Ethernet 报文，处理完成后将该报文写入 TxFIFO；接着，GMAC 回写对应 Ethernet 报文的发送描述子，并上报中断告知 CPU 已完成发送操作；最后 CPU 从发送描述子队列中回收被 GMAC 回写的发送描述子，等待后续数据发送时使用。

bypass 模式下的发送描述子由 4 个 WORD 组成，如图 5-17 所示，每个 WORD 有 32 比特，共计 128 比特。发送描述子数据结构如表 5-6 所示。

图5-17 bypass 发送描述子

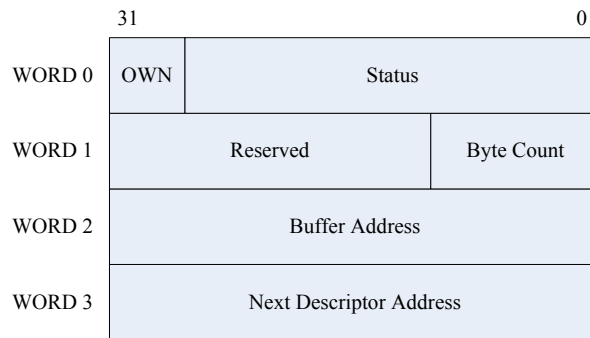


表5-6 bypass 发送描述子数据结构

位	名称	描述
[127:96]	next_desc_addr	下一描述子的地址。
[95:64]	buff_addr	缓冲区地址。
[63:45]	reserved	保留。
[44:32]	byte_count	字节计数，指示发送报文的长度。
[31]	own	OWN 比特，指示当前描述子的归属。 0：当前描述子应该由 CPU 操作； 1：当前描述子应该 GMAC 操作。
[30]	intr	发送完成时使能中断。 0：发送完成时不使能中断； 1：发送完成时使能中断。
[29:22]	reserverd	保留。
[21]	TER	Ring 模式下最后一个描述子。 0：当前描述子不是 Ring 模式下的最后一个描述子； 1：当前描述子是 Ring 模式下的最后一个描述子。
[20:16]	reserverd	保留。



位	名称	描述
[15]	ES	错误状态汇总。是所有错误指示的逻辑或，包括 bit[1]、bit [8]、bit [9]、bit [10]和 bit [11]。 0: 当前发送报文没有错误； 1: 当前发送报文有错误。
[14:12]	reserved	保留。
[11]	LC	载波丢失。仅在半双工模式下有效。 0: 数据发送过程中载波信号正常； 1: 数据发送过程中载波信号异常拉低。
[10]	NC	没有载波。仅在半双工模式下有效。 0: 数据发送时接收到来自 PHY 的载波信号； 1: 数据发送时没有接收到来自 PHY 的载波信号。
[9]	LC	Late Collision。 0: 半双工模式下未发送 late collision； 1: 半双工模式下发送 late collision。
[8]	EC	冲突次数超过最大限制。 0: 未出现连续 16 次数据发送时冲突； 1: 连续 16 次数据发送时冲突，导致发送失败。
[7]	VLAN	VLAN 指示符。 0: 当前报文不是 VLAN 报文； 1: 当前报文是 VLAN 报文。
[6:3]	CC	冲突计数，指示报文正确发出之前出现冲突的次数。
[2]	reserved	保留。
[1]	UF	下溢错误。 0: 来自主机内存的数据正常到达，GMAC 正常发送； 1: 来自主机内存的数据延迟到达，GMAC 取消发送。
[0]	DB	推迟比特，仅在半双工模式下有效。 0: GMAC 中数据发送前未检测到载波可以发送； 1: GMAC 中数据发送前检测到载波而推迟发送。

5.4.3 TOE 工作模式

TOE 工作模式下，非 TCP 报文的处理，与 bypass 模式下的处理流程和描述子数据结构是一致的。以下处理将针对 TCP 协议报文，以及 TOE 对此类报文的处理作简单说明。



设定 TOE 工作模式，需要配合加载 TOE 驱动实现。

TOE 所处理的报文格式

TCP 协议是一种可靠的流传输协议，它采用带有重传的确认机制来保证可靠性，并且通过滑动窗口保证传输效率。一个点对点的 TCP 连接包含以下四个元素：IP 源地址，TCP 源端口号，IP 目的地址，TCP 目的端口号。典型的由 IPv4 协议封装的 TCP 报文如下表 5-7 所示。

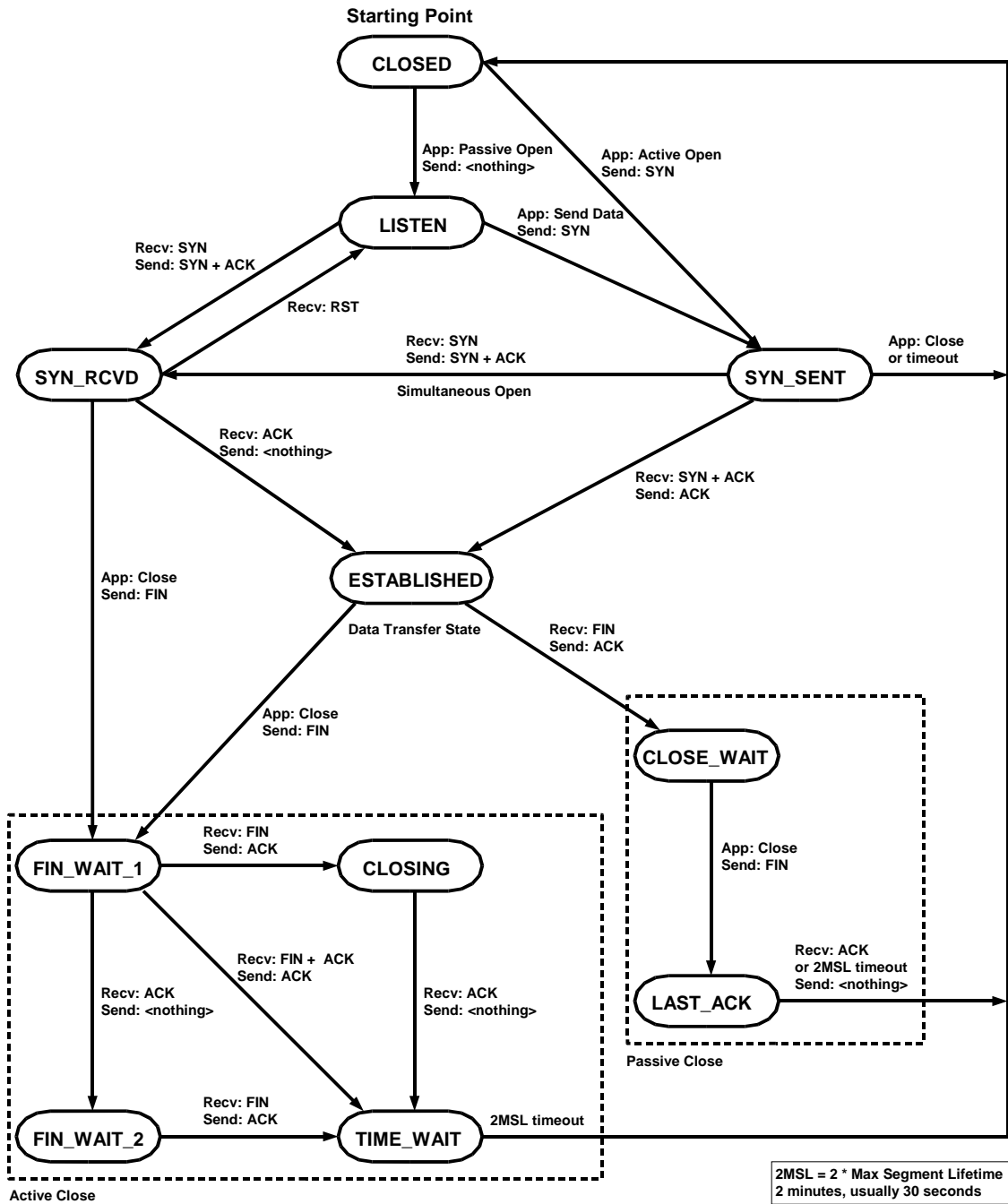
表5-7 TCP 报文格式

Byte 0		Byte 1		Byte 2		Byte 3	
Version	Header Length	Type of Service (TOS)		Total Length			
Identification				Flags	Fragment Offset		
Time to Live (TTL)		Protocol (0x06-TCP)		Header 校验和			
Source Address							
Destination Address							
Source Port				Destination Port			
Sequence Number							
Acknowledge Number							
Header Length	Reserved		Control Bits	Window			
Checksum				Urgent Pointer			
Data							
...							

TOE 的实现符合 IETF RFC 标准文档，其状态转移图如下图 5-18 所示。



图5-18 TCP 协议状态转移图

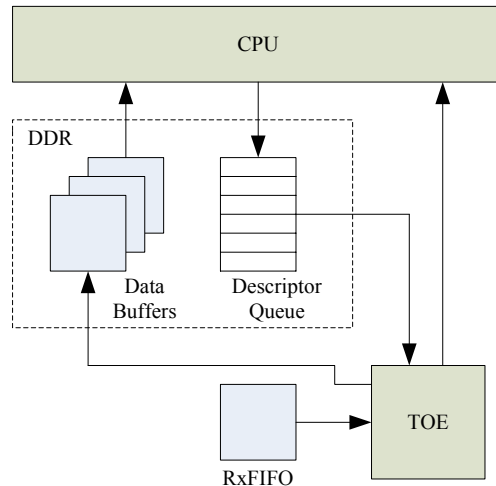


以下将分别介绍 TOE 模式下 TCP 报文的发送和接收处理流程。

TOE 模式下接收 TCP 报文处理流程

一个简单的 TCP 报文接收流程如图 5-19 所示。

图5-19 TOE 工作模式下接收流程



CPU 配置接收描述子队列，确保 TOE 有可用接收描述子，然后通过寄存器配置启动 TOE 接收过程；TOE 根据寄存器配置信息，读取可用接收描述子，然后从 RxFIFO 中读取从 PHY 侧接收的报文，并进行相应处理；如果当前接收报文是 TCP 报文并符合接收条件，TOE 将去掉该报文的 TCP 头和 IP 头，并将 TCP 有效载荷写入接收描述子指示的数据缓冲区，然后回写接收描述子；接着 TOE 上报中断，通知 CPU 启动接收操作；最后，CPU 读取被 TOE 回写的接收描述子，从接收描述子指示的数据缓冲区中取出 TCP 有效载荷，完成一次报文接收操作。

TOE 模式下 TCP 报文的接收描述子由 8 个 WORD 组成，如图 5-20 所示，每个 WORD 有 32 比特，共计 256 比特。需要注意的是，该描述子的 WORD0~3 与 bypass 模式下 GMAC 的接收描述子完全一致。接收描述子数据结构如表 5-8 所示。

图5-20 TCP 报文接收描述子

	31	0
WORD 0	OWN	Status
WORD 1	Reserved	Byte Count
WORD 2	Buffer Address	
WORD 3	Next Descriptor Address	
WORD 4	Reserved	
WORD 5	Reserved	
WORD 6	Reserved	TCP Status
WORD 7	Reserved	Urgent Pointer



表5-8 TCP 报文接收描述子数据结构

位	名称	描述
[255:240]	Reserved	保留。
[239:224]	urg_ptr	紧急指针。
[223:222]	Reserved	保留。
[221]	FIN	FIN 标志位。 0: FIN 标志位在该 TCP 报文中没有被设置; 1: FIN 标志位在该 TCP 报文中被设置。
[220]	SYN	SYN 标志位。 0: SYN 标志位在该 TCP 报文中没有被设置; 1: SYN 标志位在该 TCP 报文中被设置。
[219]	RST	RST 标志位。 0: RST 标志位在该 TCP 报文中没有被设置; 1: RST 标志位在该 TCP 报文中被设置。
[218]	PSH	PSH 标志位。 0: PSH 标志位在该 TCP 报文中没有被设置; 1: PSH 标志位在该 TCP 报文中被设置。
[217]	ACK	ACK 标志位。 0: ACK 标志位在该 TCP 报文中没有被设置; 1: ACK 标志位在该 TCP 报文中被设置。
[216]	URG	URG 标志位。 0: URG 标志位在该 TCP 报文中没有被设置; 1: URG 标志位在该 TCP 报文中被设置。
[215]	toe_err	错误 TCP 报文, 接收数据未被 TOE Core 确认, 数据应该被丢弃。 0: 正确 TCP 报文; 1: 错误 TCP 报文。
[214]	full_pkt_sent	完整包已经被发送。 0: 完整包还未被发送; 1: 完整包已经被发送。
[213]	Reserved	保留。



位	名称	描述
[212]	pkt_dropped	报文指示符。 0: 接收 FIFO 在报文接收过程中正常; 1: 接收 FIFO 出现溢出, 报文被丢弃。
[211]	out_of_order	接收序列号乱序指示。 0: 接收到的 TCP 序列号正常; 1: 接收到的 TCP 序列号乱序。
[210]	connection_err	连接错误。 0: 连接正确; 1: 连接错误。
[209]	dst_ip_mismatch	目的 IP 地址不匹配。 0: 目的 IP 地址匹配; 1: 目的 IP 地址不匹配。
[208]	non_tcp	非 TCP 协议。 0: 当前报文是 TCP 报文; 1: 当前报文不是 TCP 报文。
[207]	ip_hdr_chk_err	IP 头校验和错误。 0: IP 头校验和正确; 1: IP 头校验和错误。
[206]	tcp_chk_err	TCP 校验和错误。 0: TCP 校验和正确; 1: TCP 校验和错误。
[205]	dst_mac_mismatch	目的 MAC 地址不匹配或工作于 bypass 模式。 0: TOE 模式下且 MAC 地址匹配; 1: 目的 MAC 地址不匹配或工作于 bypass 模式。
[204]	not_ip	当前报文不是 IP 报文。 0: 当前报文是 IP 报文; 1: 当前报文不是 IP 报文。
[203]	premature_eof	报文接收过程中异常终止。 0: 报文接收过程中未异常终止; 1: 报文接收过程中异常终止。
[202:192]	cid	当前 TCP 连接号, 用来指示当前报文属于哪一条 TCP 连接。
[191:128]	Reserved	保留。



位	名称	描述
[127:96]	next_desc_addr	下一描述子的地址。
[95:64]	buff_addr	缓冲区地址。
[63]	DIC	接收完成时不使能中断。 0: 接收完成时使能中断; 1: 接收完成时不使能中断。
[62:58]	reserverd	保留。
[57]	RER	Ring 模式下最后一个描述子。 0: Ring 模式下, 当前描述子不是最后一个描述子; 1: Ring 模式下, 当前描述子是最后一个描述子。
[56:45]	reserverd	保留。
[44:32]	byte_count	字节计数, 指示接收缓冲区大小。
[31]	own	OWN 比特, 指示当前描述子的归属。 0: 当前描述子应该由 CPU 操作; 1: 当前描述子应该由 TOE 操作。
[30]	AFM	目的地址过滤失败指示符。 0: 当前报文目的地址过滤失败; 1: 当前报文目的地址过滤成功。
[29:16]	FL	指示当前接收报文的长度。
[15]	ES	错误汇总。是所有错误指示的逻辑或, 包括 bit[0]、bit [1]、bit [3]、bit [4]、bit [6]、bit [7]、bit [11]和 bit [14]; 该比特仅在 bit[8]为 1 设置时有效。 0: 当前接收报文没有错误; 1: 当前接收报文有错误。
[14]	DE	描述子错误。该比特仅在比特[8]设置为 1 时有效。 0: 当前描述子缓冲区足够填充该报文; 1: 当前描述子缓冲区不足以填充该报文, 报文被截断。
[13]	SAF	源地址过滤失败指示符。 0: 当前报文源地址过滤失败; 1: 当前报文源地址过滤成功。
[12]	LE	指示长度字段是否与报文长度匹配; 该比特仅在 bit[5]设置为 0 时有效, CRC 出错时比特无效。 0: 报文实际长度与其长度字段值匹配; 1: 报文实际长度与其长度字段值不匹配。

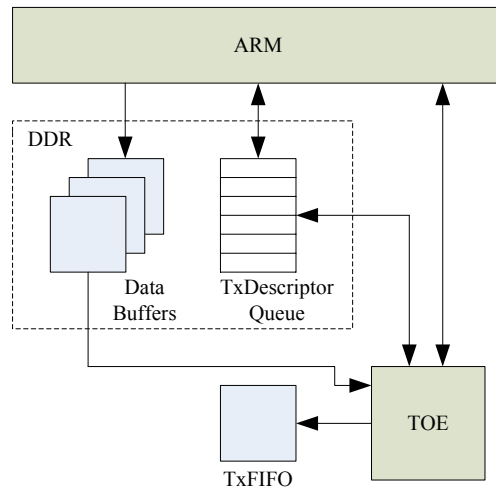


位	名称	描述
[11]	OE	MTL 中缓冲区溢出指示。 0: 接收报文接收过程中缓冲区正常; 1: 接收报文因缓冲区溢出而损坏。
[10]	VLAN	VLAN 指示符。 0: 当前报文不是 VLAN 报文; 1: 当前报文是 VLAN 报文。
[9]	FS	保留。
[8]	LS	保留。
[7]	GF	超长报文指示。 0: 当前报文不是超长报文 (大于 1518 字节); 1: 当前报文时超长报文。
[6]	LC	Late Collision。 0: 半双工模式下未发送 late collision; 1: 半双工模式下发送 late collision。
[5]	FT	报文类型。 0: IEEE 802.3 报文; 1: Ethernet 报文。
[4]	RWT	接收 watchdog 超时指示。 0: 接收过程中 watchdog 正常; 1: 接收过程中 watchdog 超时, 报文被截断。
[3]	RE	接收错误。 0: 接收过程中 gmii_rxdv_i 有效时 gmii_rxer_i 一直为 0; 1: 接收过程中 gmii_rxdv_i 有效时出现 gmii_rxer_i 为 1。
[2]	DE	Dribble 比特错误, 仅在 MII 模式下有效。 0: 当前报文长度是字节的整数倍; 1: 当前报文长度不是字节的整数倍。
[1]	CE	CRC 错误, 仅在 bit[8]设置时有效。 0: 接收报文 CRC 校验正确; 1: 接收报文 CRC 校验错误。
[0]	Rx MAC address	接收 MAC 地址指示。 0: 当前报文接收 MAC 地址匹配 RxMAC 寄存器 1~15; 1: 当前报文接收 MAC 地址匹配 RxMAC 寄存器 0。

TOE 模式下发送 TCP 报文处理流程

TOE 工作模式下，一个简单的 TCP 报文发送流程如上图 5-21 所示。

图5-21 TOE 工作模式下发送流程



当上层应用有数据要发送时，CPU 配置发送描述子队列，并通过寄存器配置启动 TOE 发送过程；TOE 根据 GMAC 和 DMA 配置信息，获取可用的发送描述子；TOE 同时需要根据当前 TCP 载荷所属连接的状态信息，来判断是否需要发送操作，当需要发送 TCP 报文时，TOE 将从发送描述子指示的数据缓冲区中读取需要发送的 TCP 有效载荷，打包封装成 TCP 报文格式写入 TxFIFO；接着，TOE 等待下一个发送指令的到来，若当前描述子中所有 TCP 载荷的确认信息都已经被收到后，TOE 回写发送描述子，并上报中断告知 CPU 已完成该描述子的发送操作；最后 CPU 从发送描述子队列中回收被 TOE 回写的发送描述子，等待下次数据发送时使用。

TOE 模式下 TCP 报文的发送描述子由 4 个 WORD 组成，如图 5-22 所示，每个 WORD 有 32 比特，共计 128 比特。发送描述子数据结构如表 5-9 所示。

图5-22 TCP 报文发送描述子

	31		0
WORD 0	OWN	Reserved	ack offset
WORD 1	intr	Reserved	buffer size
WORD 2	Buffer Address		
WORD 3	Next Descriptor Address		



表5-9 TCP 报文发送描述子数据结构

位	名称	描述
[127:96]	next_desc_addr	下一描述子的地址。
[95:64]	buff_addr	缓冲区地址。
[63]	intr	当前描述子是否产生中断。 0: 不产生中断; 1: 产生中断。
[62:56]	reserverd	保留。
[55:32]	byte_count	字节计数, 指示需发送 TCP 载荷大小。
[31]	own	OWN 比特, 指示当前描述子的归属。 0: 当前描述子应该由 CPU 操作; 1: 当前描述子应该由 TOE 操作。
[30:24]	reserverd	保留。
[23:0]	ack_offset	当前描述子中已经被对端确认的 TCP 载荷的计数, 以字节为单位。该值由软件初始化为 0, 发送过程中 TOE 动态修改。

5.5 TOE 寄存器概览

寄存器偏移地址中变量的取值范围和含义如表 5-10 所示。

表5-10 偏移地址变量表

变量名称	取值范围	描述
N	0~1	MAC 编号
P	0~2	DMA 通道编号
X	1~15	MAC 地址编号
Y	16~31	MAC 地址编号

TOE 寄存器概览如表 5-11 所示。



表5-11 TOE 寄存器概览（基址是 0x1202_0000）

偏移地址	名称	描述	页码
0x0000 + N × 0x4000	GMACN_CTRL_REG	GMACn (0~1) 配置寄存器	5-30
0x0004 + N × 0x4000	GMACN_FRAME_FILTER	GMACn (0~1) 帧过滤寄存器	5-31
0x0010 + N × 0x4000	GMACN_GMII_ADDR	GMII 地址寄存器	5-33
0x0014 + N × 0x4000	GMACN_GMII_DATA	GMII 数据寄存器	5-35
0x0040 + N × 0x4000	GMACN_ADDR0_HIGH	GMACn (0~1) 的第一个 MAC 地址的高 16 比特[47:32]寄存器	5-35
0x0044 + N × 0x4000	GMACN_ADDR0_LOW	GMACn (0~1) 的第一个 MAC 地址的低 32 比特[31:0]寄存器	5-36
0x0040 + N × 0x4000 + X × 0x8	GMACN_ADDRX_HIGH	GMACn (0~1) 的第 X 个 (1~15) MAC 地址的高 16 比特[47:32]寄存器	5-36
0x0044 + N × 0x4000 + X × 0x8	GMACN_ADDRX_LOW	GMACn (0~1) 的第 X 个 (1~15) MAC 地址的低 32 比特[31:0]寄存器	5-37
0x0780 + N × 0x4000 + Y × 0x8	GMACN_ADDRY_HIGH	GMACn (0~1) 的第 Y 个 (16~31) MAC 地址的高 16 比特[47:32]寄存器	5-37
0x0784 + N × 0x4000 + Y × 0x8	GMACN_ADDRY_LOW	GMACn (0~1) 的第 Y 个 (16~31) MAC 地址的低 32 比特[31:0]寄存器	5-38
0x0100 + N × 0x4000	GMACN_MMC_CTRL	MMC 控制寄存器	5-39



偏移地址	名称	描述	页码
0x0114+N×0x4000	GMACN_MMC_TX_OCTETCOUNT_GB	发送字节计数寄存器	5-40
0x0118+N×0x4000	GMACN_MMC_TX_FRAMECOUNT_GB	发送帧计数寄存器	5-41
0x011C+N×0x4000	GMACN_MMC_TX_BROADCASTFRAMES_G	已发送的好广播帧计数寄存器	5-41
0x0120+N×0x4000	GMACN_MMC_TX_MULTICASTFRAMES_G	已发送的好组播帧计数寄存器	5-41
0x0124+N×0x4000	GMACN_MMC_TX_64OCTETS_GB	已发送的 64 字节帧长的帧计数寄存器	5-42
0x0128+N×0x4000	GMACN_MMC_TX_65TO127OCTETS_GB	已发送的 65~127 字节帧长的帧计数寄存器	5-42
0x012C+N×0x4000	GMACN_MMC_TX_128TO255OCTETS_GB	已发送的 128~255 字节帧长的帧计数寄存器	5-43
0x0130+N×0x4000	GMACN_MMC_TX_256TO511OCTETS_GB	已发送的 256~511 字节帧长的帧计数寄存器	5-43
0x0134+N×0x4000	GMACN_MMC_TX_512TO1023OCTETS_GB	已发送的 512~1023 字节帧长的帧计数寄存器	5-44
0x0138+N×0x4000	GMACN_MMC_TX_1024TOMAXOCTETS_GB	已发送的 1024 字节~最大字节帧长的帧计数寄存器	5-44
0x013C+N×0x4000	GMACN_MMC_TX_UNICASTFRAMES_GB	已发送的单播帧计数寄存器	5-45
0x0140+N×0x4000	GMACN_MMC_TX_MULTICASTFRAMES_GB	已发送的组播帧计数寄存器	5-45
0x0144+N×0x4000	GMACN_MMC_TX_BROADCASTFRAMES_GB	已发送的广播帧计数寄存器	5-46



偏移地址	名称	描述	页码
0x0148 + N × 0x4000	GMACN_MMC_TX UNDERFLOWERR R	因帧下溢错误导致的发送帧取消的计数寄存器	5-46
0x014C + N × 0x4000	GMACN_MMC_TX SINGLECOL_G	半双工模式下	5-47
0x0150 + N × 0x4000	GMACN_MMC_TX MULTICOL_G	半双工模式下	5-47
0x0154 + N × 0x4000	GMACN_MMC_TX DEFERRED	半双工模式下	5-48
0x0158 + N × 0x4000	GMACN_MMC_TX LATECOL	因 late collision 错误导致发送取消的帧计数寄存器	5-48
0x015C + N × 0x4000	GMACN_MMC_TX EXESSCOL	因连续 16 次发送冲突而导致发送取消的帧计数寄存器	5-48
0x0160 + N × 0x4000	GMACN_MMC_TX CARRIERERROR	因载波侦听错误（无载波或载波丢失）导致帧发送取消的帧计数寄存器	5-49
0x0164 + N × 0x4000	GMACN_MMC_TX OCTETCOUNT_G	发送字节计数寄存器	5-49
0x0168 + N × 0x4000	GMACN_MMC_TX FRAMECOUNT_G	已发送的好帧的计数寄存器	5-50
0x016C + N × 0x4000	GMACN_MMC_TX EXCESSDEF	因延迟过度（超过两倍最大帧长的时间）导致帧取消传输的帧计数寄存器	5-50
0x0170 + N × 0x4000	GMACN_MMC_TX PAUSEFRAMES	已发送的好 pause 帧的计数寄存器	5-51
0x0174 + N × 0x4000	GMACN_MMC_TX VLANFRAMES_G	已发送的好 VLAN 帧的计数寄存器	5-51
0x0180 + N × 0x4000	GMACN_MMC_RX FRAMECOUNT_GB	已接收的帧计数寄存器	5-51



偏移地址	名称	描述	页码
0x0184+N×0x4000	GMACN_MMC_RX_OCTETCOUNT_GB	接收的字节计数寄存器	5-52
0x0188+N×0x4000	GMACN_MMC_RX_OCTETCOUNT_G	接收的字节计数寄存器	5-52
0x018C+N×0x4000	GMACN_MMC_RX_BROADCASTFRAMES_G	已接收的广播帧计数寄存器	5-53
0x0190+N×0x4000	GMACN_MMC_RX_MULTICASTFRAMES_G	已接收的组播帧计数寄存器	5-53
0x0194+N×0x4000	GMACN_MMC_RX_CRCERROR	已接收的出现 CRC 错误的帧的计数寄存器	5-53
0x0198+N×0x4000	GMACN_MMC_RX_ALIGNMENTERROR	已接收的出现对齐错误（半字节）的帧计数寄存器	5-54
0x019C+N×0x4000	GMACN_MMC_RX_RUNTERROR	已接收的超短包（<64 字节）且发生 CRC 错误的帧计数寄存器	5-54
0x01A0+N×0x4000	GMACN_MMC_RX_JABBERERROR	已接收的超长包（>1518 字节）且发生 RC 错误的帧计数寄存器	5-55
0x01A4+N×0x4000	GMACN_MMC_RX_UNDERSIZE_G	接收的超短包（<64 字节）且无任何错误的帧计数寄存器	5-55
0x01A8+N×0x4000	GMACN_MMC_RX_OVERSIZE_G	已接收的超长包（>1518 字节）且无任何错误的帧计数寄存器	5-56
0x01AC+N×0x4000	GMACN_MMC_RX_64OCTETS_GB	已接收的 64 字节帧长的帧计数寄存器	5-56
0x01B0+N×0x4000	GMACN_MMC_RX_65TO127OCTETS_GB	已接收的 65~127 字节帧长的帧计数寄存器	5-56
0x01B4+N×0x4000	GMACN_MMC_RX_128TO255OCTETS_GB	已接收的 128~255 字节帧长的帧计数寄存器	5-57



偏移地址	名称	描述	页码
0x01B8 + N× 0x4000	GMACN_MMC_RX 256TO511OCTETS_ GB	已接收的 256~511 字节帧长的帧计数寄存器	5-57
0x01BC + N× 0x4000	GMACN_MMC_RX 512TO1023OCTETS_ GB	已接收的 512~1023 字节帧长的帧计数寄存器	5-58
0x01B0 + N× 0x4000	GMACN_MMC_RX 1024TOMAXOCTET S_GB	已接收的 1024 字节~最大字节帧长的帧计数寄存器	5-58
0x01C4 + N× 0x4000	GMACN_MMC_RX UNICASTFRAMES_ G	已接收的好单播帧计数寄存器	5-59
0x01C8 + N× 0x4000	GMACN_MMC_RX LENGTHERROR	在所有已接收的带有有效长度字段的帧中	5-59
0x01CC + N× 0x4000	GMACN_MMC_RX OUTOFRANGETYP E	已接收的长度字段不处于有效范围（1501~1536 字节）的帧计数寄存器	5-60
0x01D0 + N× 0x4000	GMACN_MMC_RX PAUSEFRAMES	已接收的有效 pause 帧的帧计数寄存器	5-60
0x01D4 + N× 0x4000	GMACN_MMC_RX FIFOOVERFLOW	因 FIFO 上溢导致的丢弃接收帧的帧计数寄存器	5-61
0x01D8 + N× 0x4000	GMACN_MMC_RX VLANFRAMES_GB	接收到的 VLAN 帧的帧计数寄存器	5-61
0x01DC + N× 0x4000	GMACN_MMC_RX WATCHDOGERR R	接收到的出现 watchdog 超时（帧数据长度超过 2048 字节）的帧的帧计数寄存器	5-62
0x1000 + P×0x100	DMAP_BUS_MODE	总线模式寄存器	5-62
0x1004 + P×0x100	DMAP_XMT_POLL_ DEMAND	发送 poll demand 寄存器	5-64
0x1008 + P×0x100	DMAP_RCV_POLL_ DEMAND	接收 poll demand 寄存器	5-64
0x100C + P×0x100	DMAP_RCV_BASE_ ADDR	接收描述子链表地址寄存器	5-65



偏移地址	名称	描述	页码
0x1010+ P×0x100	DMAP_TX_BASE_ ADDR	发送描述子链表地址寄存器	5-65
0x1014+ P×0x100	DMAP_STATUS	状态寄存器	5-66
0x1018+ P×0x100	DMAP_CONTROL	DMAp (0~2) 的操作模式寄存器	5-70
0x101C+ P×0x100	DMAP_INTR_ENA	DMAp (0~2) 的中断使能寄存器	5-74
0x1020+ P×0x100	DMAP_MISSED_FR AME_CTR	DMAp (0~2) 包含的两个计数器来跟踪接收过程中丢弃的帧寄存器	5-76
0x1050+ P×0x100	DMAP_CUR_TX_B UF_ADDR	DMAp (0~2) 的当前主机发送缓存地址寄存器	5-77
0x1054+ P×0x100	DMAP_CUR_RX_B UF_ADDR	DMAp (0~2) 当前主机接收缓存地址寄存器	5-77
0x8100	CT_LOCAL_MACA DDR0_U16	GMAC0 的本地 MAC 地址的高 16 比特寄存器	5-78
0x8104	CT_LOCAL_MACA DDR0_L32	GMAC0 的本地 MAC 地址的低 32 比特寄存器	5-78
0x8108	CT_LOCAL_IPADD R0	GMAC0 的本地 IP 地址寄存器	5-78
0x814C	TOE_CTRL	TOE 允许的最大重传次数和定时器复位值寄存器	5-79
0x8154	CT_LOCAL_MACA DDR1_U16	GMAC1 的本地 MAC 地址的高 16 比特寄存器	5-79
0x8158	CT_LOCAL_MACA DDR1_L32	GMAC1 的本地 MAC 地址的低 32 比特寄存器	5-80
0x815C	CT_LOCAL_IPADD R1	GMAC1 的本地 IP 地址寄存器	5-80
0x9000	TNK_INTR_STAT	中断状态寄存器	5-80
0x09004	TNK_INTR_EN	中断使能寄存器	5-81
0x09008	TNK_RESET_STAT	MAC 复位状态寄存器	5-82
0x0900C	TNK_ID	支持的连接数和硬件版本号寄存器	5-83



5.6 TOE 寄存器描述

GMACN_CTRL_REG

GMACN_CTRL_REG 为 GMACn (0~1) 配置寄存器。配置接收和已发送的操作模式。

Offset Address	Register Name	Total Reset Value	
0x0000+N×0x4000 (N=0~1)	GMACN_CTRL_REG	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved ps fes do lm dm reserved dr reserved bl reserved te re reserved		
Reset	0 0		
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15]	RW	ps	PS: 端口选择, 在 GMII 和 MII 间选择。 0: GMII (1000 Mbps); 1: MII (10/100 Mbps)。
[14]	RW	fes	FES: 速率, 指示 FE(MII 模式)下的速率。 0: 10 Mbps; 1: 100 Mbps, 仅在 RGMII 模式下有效。
[13]	RW	do	DO: 不使能接收 own 位。 该比特设置为 1 时, 当 GMAC 在半双工模式下拉高 gmii_txen_o 时, 不使能帧的接收。该比特在全双工模式下无效。 0: 半双工模式下, gmii_txen_o 为 1 时使能帧接收; 1: 半双工模式下, gmii_txen_o 为 1 时不使能帧接收。
[12]	RW	lm	LM: 环回模式。 GMII/MII 模式下, 该比特设置为 1 时, GMAC 工作在环回模式。 0: GMAC 不工作在环回模式; 1: GMAC 工作在环回模式。



[11]	RW	dm	DM: 双工模式。 0: 半双工模式; 1: 全双工模式。
[10]	RO	reserved	保留。
[9]	RW	dr	DR: 不使能重传。 该比特设置为 1 时, GMAC 仅进行一次传输尝试。在半双工模式下发生冲突时, GMAC 忽略当前帧的传输并上报冲突事件。当该比特设置为 0 时, GMAC 将根据 BL 的设置(bit[6:5])进行重传。 0: 半双工模式下发生冲突时进行重传; 1: 半双工模式下发生冲突时不进行重传。
[8:7]	RO	reserved	保留。
[6:5]	RW	bl	BL: 回退限制。 回退限制决定了发生冲突后, GMAC 在进行重传尝试时的时隙延迟(4,096 bit times for 1000 Mbps and 512 bit times for 10/100 Mbps)的随机整数倍。仅在半双工模式下有效。 00: $k = \min(n, 10)$; 01: $k = \min(n, 8)$; 10: $k = \min(n, 4)$; 11: $k = \min(n, 1)$ 。 其中 n 为重传尝试次数, 而随机事件 r 在以下范围内取值。 $0 \leq r < 2k(2 \text{ 的 } k \text{ 次方})$
[4]	RO	reserved	保留。
[3]	RW	te	TE: 发送使能。 0: 发送使能无效, GMAC 完成当前帧的发送后停止, 且不再发送后续帧; 1: 发送使能有效, GMAC 内部发送状态机使能有效。
[2]	RW	re	RE: 接收使能。 0: 接收使能无效, GMAC 完成当前帧的接收后停止, 且不再接收后续帧; 1: 接收使能有效, GMAC 内部接收状态机使能有效。
[1:0]	RO	reserved	保留。

GMACN_FRAME_FILTER

GMACN_FRAME_FILTER 为 GMACn (0~1) 帧过滤寄存器。包含对接收帧的过滤控制。



Offset Address
0x0004+N×0x4000
(N=0~1)

Register Name
GMACN_FRAME_FILTER

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ra	reserved											hpf	saf	saif	pcf	dbf	pm	daif	hmc	huc	pr										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31]	RW	ra	RA: 接收全部。 0: GMAC 只向 CPU 转发通过 SA/DA 过滤的帧; 1: GMAC 向 CPU 转发全部帧, 并将其 SA/DA 过滤的状态信息回写到描述子中。
[30:11]	RO	reserved	保留。
[10]	RW	hpf	HPF: hash 或 perfect 过滤。 0: 如果 HUC/HMC 比特设置为 1, 当前帧仅满足 hash 过滤条件时才能通过过滤; 1: 该比特设置为 1 时, 如果当前帧满足 hash 过滤或者 perfect 过滤, 则当前帧会通过地址过滤。
[9]	RW	saf	SAF: 源地址过滤使能。 0: GMAC 将当前帧转发给 CPU, 并将 SA 过滤状态回写到描述子中的接收状态; 1: GMAC 将丢弃未能通过 SA 过滤的帧。
[8]	RW	saif	SAIF: SA 反转过滤。 0: 帧的 SA 如果与 SA 寄存器不匹配, 该帧将被标记为 SA 过滤失败; 1: 地址检查模块将工作于反转模式, 帧的 SA 如果与 SA 寄存器匹配, 该帧将被标记为 SA 过滤失败。
[7:6]	RW	pcf	PCF: 通过控制帧。 这些比特控制所有控制帧的转发(包括所有单播和多播 pause 帧)。 00: GMAC 过滤所有到达应用的控制帧; 01: GMAC 将转发给 CPU 除 pause 帧以外的其他所有控制帧, 即使它们地址过滤失败; 10: GMAC 将转发给 CPU 所有控制帧, 即使它们地址过滤失败; 11: GMAC 将转发给 CPU 所有通过地址过滤的控制帧。



[5]	RW	dbf	DBF: 不使能广播帧。 0: 不过了所有已接收的广播帧; 1: 过滤所有输入广播帧, 并忽略其他过滤设置。
[4]	RW	pm	PM: 通过所有多播。 0: 通过 HMC 比特设置来过滤多播帧; 1: 通过所有多播帧。
[3]	RW	daif	DAIF: DA 反转过滤。 0: 帧的 DA 如果与 DA 寄存器不匹配, 该帧将被标记为 DA 过滤失败; 1: 地址检查模块将工作于反转模式, 帧的 DA 如果与 DA 寄存器匹配, 该帧将被标记为 DA 过滤失败。
[2]	RW	hmc	HMC: hash 多播。 0: GMAC 将根据 DA 寄存器对已接收的多播帧进行 DA 过滤; 1: GMAC 将根据 hash 表对已接收的多播帧进行 DA 过滤。
[1]	RW	huc	HUC: hash 单播。 0: GMAC 将根据 DA 寄存器对已接收的单播帧进行 DA 过滤; 1: GMAC 将根据 hash 表对已接收的多单帧进行 DA 过滤。
[0]	RW	pr	PR: 混杂模式。此时所有输入接收帧将被转发给 CPU, 且接收状态始终为 0。 0: 不工作于混杂模式; 1: 工作于混杂模式。

GMACN_GMII_ADDR

GMACN_GMII_ADDR 为 GMII 地址寄存器。通过 MDIO 接口访问外部 PHY。

	Offset Address				Register Name				Total Reset Value																							
	0x0010+N×0x4000				GMACN_GMII_ADDR				0x0000_0000																							
	(N = 0~1)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																pa		gr		cr		gw	gb								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											



[15:11]	RW	pa	PA: 物理层地址。 区分可能访问的 32 个外部 PHY。
[10:6]	RW	gr	GR: GMII 寄存器。 选择被访问 PHY 的对应寄存器。
[5:2]	RW	cr	CR: CSR 时钟范围。 CSR 时钟范围决定 MDC 始终的频率。当 bit[5]为 0 时, 推荐的 CSR 时钟范围以保证 MDC 时钟的工作范围(1.0 MHz~2.5 MHz)。 选择 CSR 时钟 MDC 时钟 0000 60-100 MHz clk_csr_i/42 0001 100-150 MHz clk_csr_i/62 0010 20-35 MHz clk_csr_i/16 0011 35-60 MHz clk_csr_i/26 0100 150-250 MHz clk_csr_i/102 0101 250-300 MHz clk_csr_i/124 0110,0111: 保留。 当 bit[5]为 1 时, MDC 时钟可以超出 IEEE 802.3 规定的 2.5 MHz 时钟限制。 选择 MDC 时钟 1000 clk_csr_i/4 1001 clk_csr_i/6 1010 clk_csr_i/8 1011 clk_csr_i/10 1100 clk_csr_i/12 1101 clk_csr_i/14 1110 clk_csr_i/16 1111 clk_csr_i/18
[1]	RW	gw	GW: GMII 写。 0: 读操作; 1: 写操作。
[0]	RWSC	gb	GB: GMII 忙。 在写寄存器 GMACn_GMII_DATA 和 GMACn_GMII_ADDR 之前, 该比特回读值应该为 0。在访问外部 PHY 的过程中, 该比特应该被软件一直设置为 1。直到该比特被 GMAC 设置为 0, GMACn_GMII_DATA 的值才有效。 0: GMII 忙; 1: GMII 空闲, 可以进行读写操作。



GMACN_GMII_DATA

GMACN_GMII_DATA 为 GMII 数据寄存器。存储了将写入外部 PHY 特定寄存器（由 GMACn_GMII_ADDR 确定）的数据，它也可以存储从外部 PHY 特定寄存器读取的数据。

Offset Address		Register Name		Total Reset Value					
0x0014+N×0x4000		GMACN_GMII_DATA		0x0000_0000					
(N = 0~1)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				gd				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	gd	GD: GMII 数据。 该数据表示读操作之后从外部 PHY 寄存器读取到的数据，或者写操作之前，将写入外部 PHY 寄存器的数据。						

GMACN_ADDR0_HIGH

GMACN_ADDR0_HIGH 为 GMACn (0~1) 的第一个 MAC 地址的高 16 比特[47:32]寄存器。

Offset Address		Register Name		Total Reset Value					
0x0040+N×0x4000		GMACN_ADDR0_HIGH		0x8000_FFFF					
(N = 0~1)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	mo	reserved				a_47_32			
Reset	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31]	RO	mo	MO: 常数 1。						
[30:16]	RO	reserved	保留。						
[15:0]	RW	a_47_32	A[47:32]: 包含 6 字节 MAC 地址的高 16 比特[47:32]，用于接收帧过滤和发送暂停帧。						



GMACN_ADDR0_LOW

GMACN_ADDR0_LOW 为 GMACn (0~1) 的第一个 MAC 地址的低 32 比特[31:0]寄存器。

Offset Address		Register Name		Total Reset Value				
0x0044+N×0x4000 (N = 0~1)		GMACN_ADDR0_LOW		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	a_31_0							
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:0]	RW	a_31_0	A[31:0]: 包含 6 字节 MAC 地址的低 32 比特[31:0], 用于接收帧过滤和发送暂停帧。					

GMACN_ADDRX_HIGH

GMACN_ADDRX_HIGH 为 GMACn (0~1) 的第 X 个 (1~15) MAC 地址的高 16 比特[47:32]寄存器。

Offset Address		Register Name		Total Reset Value				
0x0040+N×0x4000+X×0x8 (N = 0~1) (X = 1~15)		GMACN_ADDRX_HIGH		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ae sa	mbc	reserved	mac_addr_h16				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31]	RW	ae	AE: 地址使能。 0: 当该比特为 0 时, 地址过滤模块忽略该 MAC 地址; 1: 当该比特为 1 时, 地址过滤模块将使用该 MAC 地址进行 perfect 过滤。					
[30]	RW	sa	SA: 源地址。 0: 该 MAC 地址将用于与接收帧的 DA 进行比较; 1: 该 MAC 地址将用于与接收帧的 SA 进行比较。					



[29:24]	RW	mbc	MBC: mask 字节控制。 这些比特是 MAC 地址每个字节的 mask 控制比特。每个比特的含义如下： 0: GMAC 将使用该字节进行地址过滤； 1: GMAC 不使用该字节进行地址过滤。 各个比特对应的 MAC 地址的字节如下： bit[29]: MAC 地址的第 6 个字节[47:40]； bit[28]: MAC 地址的第 5 个字节[39:32]； bit[27]: MAC 地址的第 4 个字节[31:24]； bit[26]: MAC 地址的第 3 个字节[23:16]； bit[25]: MAC 地址的第 2 个字节[15:8]； bit[24]: MAC 地址的第 1 个字节[7:0]。
[23:16]	RO	reserved	保留。
[15:0]	RW	mac_addr_h16	A[47:32]: 包含 6 字节 MAC 地址的高 16 比特[47:32]，用于接收帧过滤和发送暂停帧。

GMACN_ADDRX_LOW

GMACN_ADDRX_LOW 为 GMACn (0~1) 的第 X 个 (1~15) MAC 地址的低 32 比特[31:0]寄存器。

Offset Address	Register Name	Total Reset Value
0x0044+N×0x4000+X×0x8	GMACN_ADDRX_LOW	0xFFFF_FFFF
(N = 0~1)		
(X = 1~15)		

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	a_31_0																																				
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1				
Bits	[31:0]		Access	RW		Name	a_31_0		Description																												
								A[31:0]: 包含 6 字节 MAC 地址的低 32 比特[31:0]，用于接收帧过滤和发送暂停帧。																													

GMACN_ADDRY_HIGH

GMACN_ADDRY_HIGH 为 GMACn (0~1) 的第 Y 个 (16~31) MAC 地址的高 16 比特[47:32]寄存器。



Offset Address
 $0x0780 + N \times 0x4000 + Y \times 0x8$
 $(N = 0 \sim 1)$
 $(Y = 16 \sim 31)$

Register Name
 GMACN_ADDRY_HIGH

Total Reset Value
 0x0000_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ae	sa	mbc				reserved						mac_addr_h16																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
Bits	Access		Name				Description																									
[31]	RW		ae				AE: 地址使能。 0: 当该比特为 0 时, 地址过滤模块忽略该 MAC 地址; 1: 当该比特为 1 时, 地址过滤模块将使用该 MAC 地址进行 perfect 过滤。																									
[30]	RW		sa				SA: 源地址。 0: 该 MAC 地址将用于与接收帧的 DA 进行比较; 1: 该 MAC 地址将用于与接收帧的 SA 进行比较。																									
[29:24]	RW		mbc				MBC: mask 字节控制。 这些比特是 MAC 地址每个字节的 mask 控制比特。每个比特的含义如下: 0: GMAC 将使用该字节进行地址过滤。 1: GMAC 不使用该字节进行地址过滤。 各个比特对应的 MAC 地址的字节如下: bit[29]: MAC 地址的第 6 个字节[47:40]; bit[28]: MAC 地址的第 5 个字节[39:32]; bit[27]: MAC 地址的第 4 个字节[31:24]; bit[26]: MAC 地址的第 3 个字节[23:16]; bit[25]: MAC 地址的第 2 个字节[15:8]; bit[24]: MAC 地址的第 1 个字节[7:0]。																									
[23:16]	RO		reserved				保留。																									
[15:0]	RW		mac_addr_h16				A[47:32]: 包含 6 字节 MAC 地址的高 16 比特[47:32], 用于接收帧过滤和发送暂停帧。																									

GMACN_ADDRY_LOW

GMACN_ADDRY_LOW 为 GMACn (0~1) 的第 Y 个 (16~31) MAC 地址的低 32 比特[31:0]寄存器。



Offset Address
0x0784+N×0x4000+Y×0x8
(N=0~1)
(Y=16~31)

Register Name
GMACN_ADDRY_LOW

Total Reset Value
0xFFFF_FFFF

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	a_31_0																																			
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1				
Bits	Access		Name		Description																															
[31:0]	RW		a_31_0		A[31:0]: 包含 6 字节 MAC 地址的低 32 比特[31:0], 用于接收帧过滤和发送暂停帧。																															

GMACN_MMC_CTRL

GMACN_MMC_CTRL 为 MMC 控制寄存器。建立管理计数器的操作模式。

Offset Address
0x0100+N×0x4000
(N=0~1)

Register Name
GMACN_MMC_CTRL

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																								fh_pre	cnt_pre	mmc_cf	rst_on_rd	cnt_sr	cnt_rst						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:6]	RO		reserved		保留。																															
[5]	RW		fh_pre		<p>Full-Half preset</p> <p>0: 当 cnt_pre 为 1 时, 所有 MMC 计数器将预置为几乎半满值。所有字节计数器预置为 0x7FFF_F800(半满-2048), 所有帧计数器预置为 0x7FFF_FFF0(半满-16);</p> <p>1: 当 cnt_pre 为 1 时, 所有 MMC 计数器将预置为几乎满值。所有字节计数器预置为 0xFFFF_F800(满-2048), 所有帧计数器预置为 0xFFFF_FFF0(满-16)。</p> <p>对应 16 比特的字节计数器的几乎半满值为 0x7800, 几乎满值为 0xF800; 对应 16 比特的帧计数器的几乎半满值为 0x7FF0, 几乎满值为 0xFFFF。</p>																															



[4]	RWSC	cnt_pre	计数器预置。 0: 不执行计数器预置; 1: 执行计数器预置。当该比特为 1 时, 所有计数器将根据 fh_pre 的设置初始化为几乎满值或几乎半满值。该比特将在一周期后自动清零, 主要用于调试 MMC 计数器中断。
[3]	RW	mmc_cf	MMC 计数器锁定。 0: 不执行 MMC 计数器锁定; 1: 执行 MMC 计数器锁定。此时所有 MMC 计数器将不会更新, 直至该比特被重新设置为 0。该比特为 1 时, 所有 MMC 计数器可以被读清。
[2]	RW	rst_on_rd	读复位。 0: 不执行读复位; 1: 执行读复位。MMC 计数器将在读操作完成后自动复位位置零。
[1]	RW	cnt_sr	计数器停止卷绕。 0: 计数器自动卷绕, 计数器在达到最大值后自动归零; 1: 计数器停止卷绕。计数器值达到最大值后不归零。
[0]	RWSC	cnt_rst	计数器复位。 0: 不执行计数器复位; 1: 执行计数器复位。所有计数器此时将清零, 且该比特一周期后自动清零。

GMACN_MMC_TXOCTETCOUNT_GB

GMACN_MMC_TXOCTETCOUNT_GB 为发送字节计数寄存器。不包含前导码和重传字节, 包括好帧和坏帧。

	Offset Address	Register Name	Total Reset Value
	0x0114+N×0x4000 (N = 0~1)	GMACN_MMC_TXOCTETCOUNT_G B	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	txoctetcount_gb		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RO	txoctetcount_gb	发送字节计数, 不包含前导码和重传字节, 包括好帧和坏帧。



GMACN_MMC_TXFRAMECOUNT_GB

GMACN_MMC_TXFRAMECOUNT_GB 为发送帧计数寄存器。包括好帧和坏帧，不包括重传帧。

	Offset Address	Register Name	Total Reset Value
	0x0118+N×0x4000 (N=0~1)	GMACN_MMC_TXFRAMECOUNT_G B	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	txframecount_gb		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
	Bits	Access	Name
	[31:0]	RO	txframecount_gb
	Description		
	发送帧计数，包括好帧和坏帧，不包括重传帧。		

GMACN_MMC_TXBROADCASTFRAMES_G

GMACN_MMC_TXBROADCASTFRAMES_G 为已发送的好广播帧计数寄存器。

	Offset Address	Register Name	Total Reset Value
	0x011C+N×0x4000 (N=0~1)	GMACN_MMC_TXBROADCASTFRA MES_G	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	txbroadcastframes_g		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
	Bits	Access	Name
	[31:0]	RO	txbroadcastframes_g
	Description		
	已发送的好广播帧计数。		

GMACN_MMC_TXMULTICASTFRAMES_G

GMACN_MMC_TXMULTICASTFRAMES_G 为已发送的好组播帧计数寄存器。



Offset Address		Register Name		Total Reset Value				
0x0120+N×0x4000		GMACN_MMC_TXMULTICASTFRA		0x0000_0000				
(N = 0~1)		MES_G						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txmulticastframes_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txmulticastframes_g	已发送的好组播帧计数。					

GMACN_MMC_TX64OCTETS_GB

GMACN_MMC_TX64OCTETS_GB 为已发送的 64 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address		Register Name		Total Reset Value				
0x0124+N×0x4000		GMACN_MMC_TX64OCTETS_GB		0x0000_0000				
(N = 0~1)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx64octets_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	tx64octets_gb	64 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。					

GMACN_MMC_TX65TO127OCTETS_GB

GMACN_MMC_TX65TO127OCTETS_GB 为已发送的 65~127 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。



Offset Address		Register Name		Total Reset Value				
0x0128+N×0x4000 (N = 0~1)		GMACN_MMC_TX65TO127OCTETS_ GB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx65to127octets_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	tx65to127octets_gb	65~127 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。					

GMACN_MMC_TX128TO255OCTETS_GB

GMACN_MMC_TX128TO255OCTETS_GB 为已发送的 128~255 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address		Register Name		Total Reset Value				
0x012C+N×0x4000 (N = 0~1)		GMACN_MMC_TX128TO255OCTETS_ _GB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx128to255octets_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	tx128to255octets_gb	128~255 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。					

GMACN_MMC_TX256TO511OCTETS_GB

GMACN_MMC_TX256TO511OCTETS_GB 为已发送的 256~511 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。



	Offset Address				Register Name								Total Reset Value																			
	0x0130+N×0x4000				GMACN_MMC_TX256TO511OCTETS								0x0000_0000																			
	(N = 0~1)				_GB																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx256to511octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	tx256to511octets_gb		256~511 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。																											

GMACN_MMC_TX512TO1023OCTETS_GB

GMACN_MMC_TX512TO1023OCTETS_GB 为已发送的 512~1023 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

	Offset Address				Register Name								Total Reset Value																			
	0x0134+N×0x4000				GMACN_MMC_TX512TO1023OCTET								0x0000_0000																			
	(N = 0~1)				S_GB																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx512to1023octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	tx512to1023octets_gb		512~1023 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。																											

GMACN_MMC_TX1024TOMAXOCTETS_GB

GMACN_MMC_TX1024TOMAXOCTETS_GB 为已发送的 1024 字节~最大字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。



	Offset Address				Register Name				Total Reset Value																							
	0x0138+N×0x4000				GMACN_MMC_TX1024TOMAXOCT				0x0000_0000																							
	(N = 0~1)				ETS_GB																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx1024tomaxoctets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	tx1024tomaxoctets_gb		1024 字节~最大字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。																											

GMACN_MMC_TXUNICASTFRAMES_GB

GMACN_MMC_TXUNICASTFRAMES_GB 为已发送的单播帧计数寄存器。包含好帧和坏帧。

	Offset Address				Register Name				Total Reset Value																							
	0x013C+N×0x4000				GMACN_MMC_TXUNICASTFRAME				0x0000_0000																							
	(N = 0~1)				S_GB																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	txunicastframes_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	txunicastframes_gb		已发送的单播帧计数，包含好帧和坏帧。																											

GMACN_MMC_TXMULTICASTFRAMES_GB

GMACN_MMC_TXMULTICASTFRAMES_GB 为已发送的组播帧计数寄存器。包含好帧和坏帧。



Offset Address		Register Name		Total Reset Value				
0x0140+N×0x4000		GMACN_MMC_TXMULTICASTFRA		0x0000_0000				
(N = 0~1)		MES_GB						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txmulticastframes_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txmulticastframes_gb	已发送的组播帧计数，包含好帧和坏帧。					

GMACN_MMC_TXBROADCASTFRAMES_GB

GMACN_MMC_TXBROADCASTFRAMES_GB 为已发送的广播帧计数寄存器。包含好帧和坏帧。

Offset Address		Register Name		Total Reset Value				
0x0144+N×0x4000		GMACN_MMC_TXBROADCASTFRA		0x0000_0000				
(N = 0~1)		MES_GB						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txbroadcastframes_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txbroadcastframes_gb	已发送的广播帧计数，包含好帧和坏帧。					

GMACN_MMC_TXUNDERFLOWERROR

GMACN_MMC_TXUNDERFLOWERROR 为因帧下溢错误导致的发送帧取消的计数寄存器。



Offset Address		Register Name		Total Reset Value				
0x0148+N×0x4000		GMACN_MMC_TXUNDERFLOWER		0x0000_0000				
(N = 0~1)		ROR						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txunderflowerror							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txunderflowerror	因帧下溢错误导致的发送帧取消的计数。					

GMACN_MMC_TXSINGLECOL_G

GMACN_MMC_TXSINGLECOL_G 为半双工模式下，在发生单次冲突后成功已发送的帧计数寄存器。

Offset Address		Register Name		Total Reset Value				
0x014C+N×0x4000		GMACN_MMC_TXSINGLECOL_G		0x0000_0000				
(N = 0~1)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txsinglecol_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txsinglecol_g	半双工模式下，在发生单次冲突后成功已发送的帧计数。					

GMACN_MMC_TXMULTICOL_G

GMACN_MMC_TXMULTICOL_G 为半双工模式下，在发生多次冲突后成功已发送的帧计数寄存器。

Offset Address		Register Name		Total Reset Value				
0x0150+N×0x4000		GMACN_MMC_TXMULTICOL_G		0x0000_0000				
(N = 0~1)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txmulticol_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txmulticol_g	半双工模式下，在发生多次冲突后成功已发送的帧计数。					



GMACN_MMC_TXDEFERRED

GMACN_MMC_TXDEFERRED 为半双工模式下，延迟后成功已发送的帧计数寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0154+N×0x4000 (N = 0~1)	GMACN_MMC_TXDEFERRED	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	txdeferred		
Reset	0 0		
	Bits	Access	Name
	[31:0]	RO	txdeferred
	Description		
	半双工模式下，延迟后成功已发送的帧计数。		

GMACN_MMC_TXLATECOL

GMACN_MMC_TXLATECOL 为因 late collision 错误导致发送取消的帧计数寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0158+N×0x4000 (N = 0~1)	GMACN_MMC_TXLATECOL	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	txlatecol		
Reset	0 0		
	Bits	Access	Name
	[31:0]	RO	txlatecol
	Description		
	因 late collision 错误导致发送取消的帧计数。		

GMACN_MMC_TXEXESSCOL

GMACN_MMC_TXEXESSCOL 为因连续 16 次发送冲突而导致发送取消的帧计数寄存器。



Offset Address		Register Name		Total Reset Value				
0x015C+N×0x4000		GMACN_MMC_TXEXESSCOL		0x0000_0000				
(N = 0~1)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txexesscol							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txexesscol	因连续 16 次发送冲突而导致发送取消的帧计数。					

GMACN_MMC_TXCARRIERERROR

GMACN_MMC_TXCARRIERERROR 为因载波侦听错误（无载波或载波丢失）导致帧发送取消的帧计数寄存器。

Offset Address		Register Name		Total Reset Value				
0x0160+N×0x4000		GMACN_MMC_TXCARRIERERROR		0x0000_0000				
(N = 0~1)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txcarriererror							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txcarriererror	因载波侦听错误(无载波或载波丢失)导致帧发送取消的帧计数。					

GMACN_MMC_TXOCTETCOUNT_G

GMACN_MMC_TXOCTETCOUNT_G 为发送字节计数寄存器。不包括前导码，只包含好帧寄存器。



Offset Address		Register Name		Total Reset Value				
0x0164+N×0x4000 (N=0~1)		GMACN_MMC_TXOCTETCOUNT_G		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txoctetcount_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txoctetcount_g	发送字节计数，不包括前导码，只包含好帧。					

GMACN_MMC_TXFRAMECOUNT_G

GMACN_MMC_TXFRAMECOUNT_G 为已发送的好帧的计数寄存器。

Offset Address		Register Name		Total Reset Value				
0x0168+N×0x4000 (N=0~1)		GMACN_MMC_TXFRAMECOUNT_G		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txframecount_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txframecount_g	已发送的好帧的计数。					

GMACN_MMC_TXEXCESSDEF

GMACN_MMC_TXEXCESSDEF 为因延迟过度（超过两倍最大帧长的时间）导致帧取消传输的帧计数寄存器。

Offset Address		Register Name		Total Reset Value				
0x016C+N×0x4000 (N=0~1)		GMACN_MMC_TXEXCESSDEF		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txexcessdef							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txexcessdef	因延迟过度(超过两倍最大帧长的时间)导致帧取消传输的帧计数。					



GMACN_MMC_TXPAUSEFRAMES

GMACN_MMC_TXPAUSEFRAMES 为已发送的好 pause 帧的计数寄存器。

Offset Address		Register Name		Total Reset Value				
0x0170+N×0x4000 (N = 0~1)		GMACN_MMC_TXPAUSEFRAMES		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txpauseframes							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txpauseframes	已已发送的好 pause 帧的计数。					

GMACN_MMC_TXVLANFRAMES_G

GMACN_MMC_TXVLANFRAMES_G 为已发送的好 VLAN 帧的计数寄存器。不包括重传帧。

Offset Address		Register Name		Total Reset Value				
0x0174+N×0x4000 (N = 0~1)		GMACN_MMC_TXVLANFRAMES_G		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	txvlanframes_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	txvlanframes_g	已已发送的好 VLAN 帧的计数，不包括重传帧。					

GMACN_MMC_RXFRAMECOUNT_GB

GMACN_MMC_RXFRAMECOUNT_GB 为已接收的帧计数寄存器。包括好帧和坏帧。



Offset Address		Register Name		Total Reset Value				
0x0180+N×0x4000 (N = 0~1)		GMACN_MMC_RXFRAMECOUNT_G B		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxframecount_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxframecount_gb	接收的帧计数，包括好帧和坏帧。					

GMACN_MMC_RXOCTETCOUNT_GB

GMACN_MMC_RXOCTETCOUNT_GB 为接收的字节计数寄存器。不包含前导码，包括好帧和坏帧。

Offset Address		Register Name		Total Reset Value				
0x0184+N×0x4000 (N = 0~1)		GMACN_MMC_RXOCTETCOUNT_G B		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxoctetcount_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxoctetcount_gb	接收的字节计数，不包含前导码，包括好帧和坏帧。					

GMACN_MMC_RXOCTETCOUNT_G

GMACN_MMC_RXOCTETCOUNT_G 为接收的字节计数寄存器。不包含前导码，只包括好帧。

Offset Address		Register Name		Total Reset Value				
0x0188+N×0x4000 (N = 0~1)		GMACN_MMC_RXOCTETCOUNT_G		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxoctetcount_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxoctetcount_g	接收的字节计数，不包含前导码，只包括好帧。					



GMACN_MMC_RXBROADCASTFRAMES_G

GMACN_MMC_RXBROADCASTFRAMES_G 为已接收的广播帧计数寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x018C+N×0x4000 (N = 0~1)	GMACN_MMC_RXBROADCASTFRA MES_G	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	rxbroadcastframes_g			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
	Bits	Access	Name	Description
	[31:0]	RO	rxbroadcastframes_g	已接收的广播帧计数。

GMACN_MMC_RXMULTICASTFRAMES_G

GMACN_MMC_RXMULTICASTFRAMES_G 为已接收的组播帧计数寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0190+N×0x4000 (N = 0~1)	GMACN_MMC_RXMULTICASTFRA MES_G	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	rxmulticastframes_g			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
	Bits	Access	Name	Description
	[31:0]	RO	rxmulticastframes_g	已接收的组播帧计数。

GMACN_MMC_RXCRCERROR

GMACN_MMC_RXCRCERROR 为已接收的出现 CRC 错误的帧的计数寄存器。



Offset Address		Register Name		Total Reset Value				
0x0194+N×0x4000 (N = 0~1)		GMACN_MMC_RXCRCERROR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxcrcerror							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxcrcerror	接收到出现 CRC 错误的帧的计数。					

GMACN_MMC_RXALIGNMENTERROR

GMACN_MMC_RXALIGNMENTERROR 为已接收的出现对齐错误（半字节）的帧计数寄存器。仅在 10/100Mbps 模式下有效。

Offset Address		Register Name		Total Reset Value				
0x0198+N×0x4000 (N = 0~1)		GMACN_MMC_RXALIGNMENTERR OR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxalignmenterror							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxalignmenterror	接收到出现对齐错误(半字节)的帧计数。仅在 10/100Mbps 模式下有效。					

GMACN_MMC_RXRUNTERROR

GMACN_MMC_RXRUNTERROR 为已接收的超短包（<64 字节）且发生 CRC 错误的帧计数寄存器。



Offset Address
0x019C+N×0x4000
(N = 0~1)

Register Name
GMACN_MMC_RXRUNTERROR

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	rxrunterror																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RO		rxrunterror		已接收的超短包(<64 字节)且发生 CRC 错误的帧计数。																															

GMACN_MMC_RXJABBERERROR

GMACN_MMC_RXJABBERERROR 为已接收的超长包 (>1518 字节) 且发生 RC 错误的帧计数寄存器。

Offset Address
0x01A0+N×0x4000
(N = 0~1)

Register Name
GMACN_MMC_RXJABBERERROR

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	rxjabbererror																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RO		rxjabbererror		已接收的超长包(>1518 字节)且发生 RC 错误的帧计数。																															

GMACN_MMC_RXUNDERSIZE_G

GMACN_MMC_RXUNDERSIZE_G 为接收的超短包 (<64 字节) 且无任何错误的帧计数寄存器。

Offset Address
0x01A4+N×0x4000
(N = 0~1)

Register Name
GMACN_MMC_RXUNDERSIZE_G

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	rxundersize_g																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RO		rxundersize_g		接收的超短包(<64 字节)且无任何错误的帧计数。																															



GMACN_MMC_RXOVERSIZE_G

GMACN_MMC_RXOVERSIZE_G 为已接收的超长包 (>1518 字节) 且无任何错误的帧计数寄存器。

Offset Address		Register Name		Total Reset Value					
0x01A8+N×0x4000 (N = 0~1)		GMACN_MMC_RXOVERSIZE_G		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rxoversize_g								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	rxoversize_g	已接收的超长包(>1518 字节)且无任何错误的帧计数。						

GMACN_MMC_RX64OCTETS_GB

GMACN_MMC_RX64OCTETS_GB 为已接收的 64 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address		Register Name		Total Reset Value					
0x01AC+N×0x4000 (N = 0~1)		GMACN_MMC_RX64OCTETS_GB		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx64octets_gb								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	rx64octets_gb	已接收的 64 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。						

GMACN_MMC_RX65TO127OCTETS_GB

GMACN_MMC_RX65TO127OCTETS_GB 为已接收的 65~127 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。



Offset Address		Register Name		Total Reset Value				
0x01B0+N×0x4000 (N=0~1)		GMACN_MMC_RX65TO127OCTETS_ GB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx65to127octets_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rx65to127octets_gb	已接收的 65~127 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。					

GMACN_MMC_RX128TO255OCTETS_GB

GMACN_MMC_RX128TO255OCTETS_GB 为已接收的 128~255 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

Offset Address		Register Name		Total Reset Value				
0x01B4+N×0x4000 (N=0~1)		GMACN_MMC_RX128TO255OCTETS_ _GB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx128to255octets_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rx128to255octets_gb	已接收的 128~255 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。					

GMACN_MMC_RX256TO511OCTETS_GB

GMACN_MMC_RX256TO511OCTETS_GB 为已接收的 256~511 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。



	Offset Address				Register Name				Total Reset Value																							
	0x01B8+N×0x4000				GMACN_MMC_RX256TO511OCTETS				0x0000_0000																							
	(N = 0~1)				_GB																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx256to511octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	rx256to511octets_gb		已接收的 256~511 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。																											

GMACN_MMC_RX512TO1023OCTETS_GB

GMACN_MMC_RX512TO1023OCTETS_GB 为已接收的 512~1023 字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。

	Offset Address				Register Name				Total Reset Value																							
	0x01BC+N×0x4000				GMACN_MMC_RX512TO1023OCTET				0x0000_0000																							
	(N = 0~1)				S_GB																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx512to1023octets_gb																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	rx512to1023octets_gb		已接收的 512~1023 字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。																											

GMACN_MMC_RX1024TOMAXOCTETS_GB

GMACN_MMC_RX1024TOMAXOCTETS_GB 为已接收的 1024 字节~最大字节帧长的帧计数寄存器。包括好帧和坏帧，不含前导码和重传帧。



Offset Address		Register Name		Total Reset Value				
0x01B0+N×0x4000		GMACN_MMC_RX1024TOMAXOCT		0x0000_0000				
(N = 0~1)		ETS_GB						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx1024tomaxoctets_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rx1024tomaxoctets_gb	已接收的 1024 字节~最大字节帧长的帧计数，包括好帧和坏帧，不含前导码和重传帧。					

GMACN_MMC_RXUNICASTFRAMES_G

GMACN_MMC_RXUNICASTFRAMES_G 为已接收的好单播帧计数寄存器。

Offset Address		Register Name		Total Reset Value				
0x01C4+N×0x4000		GMACN_MMC_RXUNICASTFRAME		0x0000_0000				
(N = 0~1)		S_G						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxunicastframes_g							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxunicastframes_g	已接收的好单播帧计数。					

GMACN_MMC_RXLENGTHERROR

GMACN_MMC_RXLENGTHERROR 为在所有已接收的带有有效长度字段的帧中，出现长度错误（长度类型字段不等于帧大小）的帧计数寄存器。



Offset Address		Register Name		Total Reset Value				
0x01C8+N×0x4000 (N = 0~1)		GMACN_MMC_RXLENGTHERROR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxlengtherror							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxlengtherror	在所有已接收的带有有效长度字段的帧中，出现长度错误(长度类型字段不等于帧大小)的帧计数。					

GMACN_MMC_RXOUTOFRANGETYPE

GMACN_MMC_RXOUTOFRANGETYPE 为已接收的长度字段不处于有效范围（1501~1536 字节）的帧计数寄存器。

Offset Address		Register Name		Total Reset Value				
0x01CC+N×0x4000 (N = 0~1)		GMACN_MMC_RXOUTOFRANGETYPE		0x0000_0000				
		PE						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxoutofrangetype							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxoutofrangetype	已接收的长度字段不处于有效范围(1501~1536 字节)的帧计数。					

GMACN_MMC_RXPAUSEFRAMES

GMACN_MMC_RXPAUSEFRAMES 为已接收的有效 pause 帧的帧计数寄存器。



Offset Address		Register Name		Total Reset Value				
0x01D0+N×0x4000 (N = 0~1)		GMACN_MMC_RXPAUSEFRAMES		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxpauseframes							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxpauseframes	已接收的有效 pause 帧的帧计数。					

GMACN_MMC_RXFIFOOVERFLOW

GMACN_MMC_RXFIFOOVERFLOW 为因 FIFO 上溢导致的丢弃接收帧的帧计数寄存器。

Offset Address		Register Name		Total Reset Value				
0x01D4+N×0x4000 (N = 0~1)		GMACN_MMC_RXFIFOOVERFLOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxfifooverflow							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxfifooverflow	因 FIFO 上溢导致的丢弃接收帧的帧计数。					

GMACN_MMC_RXVLANFRAMES_GB

GMACN_MMC_RXVLANFRAMES_GB 为接收到的 VLAN 帧的帧计数寄存器。包括好帧和坏帧。

Offset Address		Register Name		Total Reset Value				
0x01D8+N×0x4000 (N = 0~1)		GMACN_MMC_RXVLANFRAMES_G B		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rxvlanframes_gb							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	rxvlanframes_gb	接收到的 VLAN 帧的帧计数，包括好帧和坏帧。					



GMACN_MMC_RXWATCHDOGERROR

GMACN_MMC_RXWATCHDOGERROR 为接收到的出现 watchdog 超时（帧数据长度超过 2048 字节）的帧的帧计数寄存器。

Offset Address		Register Name		Total Reset Value					
0x01DC+N×0x4000		GMACN_MMC_RXWATCHDOGERR		0x0000_0000					
(N = 0~1)		OR							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rxwatchdogerror								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	rxwatchdogerror	接收到的出现 watchdog 超时(帧数据长度超过 2048 字节)的帧的帧计数。						

DMAP_BUS_MODE

DMAP_BUS_MODE 为总线模式寄存器。规定了 DMAP（0~2）的总线操作模式。

Offset Address		Register Name		Total Reset Value								
0x1000+P×0x100		DMAP_BUS_MODE		0x0002_0101								
(P = 0~2)												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved	aal	pbx8	usp	rpbl	fb	reserved	pbl	reserved	dsl	reserved	swr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 1			
Bits	Access	Name	Description									
[31:26]	RO	reserved	保留。									
[25]	RW	aal	AAL: 地址对齐的 Beats。 0: 非地址对齐的 Beats; 1: 地址对齐的 Beats。 当 FB 值为 1 时, AXI 接口生成所有与起始地址 LS burst 对齐的地址; 如果 FB 值为 0, AXI 接口生成的首个地址 burst 不对齐, 但后续所有地址都与首个地址 burst 对齐。									



[24]	RW	pblx8	<p>pblx8: 8xPBL 模式。</p> <p>0: 非 8xPBL 模式;</p> <p>1: 8xPBL 模式。</p> <p>当该比特值为 1 时, PBL 的值将由比特[22:17]的 8 倍与比特 [13:8]乘积的 8 倍来确定。这样, 可能的 DMA 传输的包括 8, 16, 32, 64, 128 和 256 burst 操作。</p>
[23]	RW	usp	<p>USP: 使用分离的 PBL。</p> <p>0: 不使用分离的 PBL。TxDMA 和 RxDMA 使用比特[13:8]作为 PBL。;</p> <p>1: 使用分离的 PBL。使用比特[22:17]作为 RxDMA 的 PBL, 使用比特[13:8]作为 TxDMA 的 PBL..</p>
[22:17]	RW	rpbl	<p>RPBL: RxDMA PBL。</p> <p>指示单次 RxDMA 交易中最大的 beats 数目, 也就时单个模块读写操作的最大 burst 长度。RxDMA 的每次 burst 操作总是尝试按照 PBL 确定的值执行, 可以选择的范围包括 1, 2, 4, 8, 16, 32, 其他值有可能导致不确定的行为。当 USP 设置为 1 时, RxPBL 仅用于 RxDMA 的操作。</p>
[16]	RW	fb	<p>FB: 固定 burst 模式。</p> <p>该比特控制 AXI master 是否采用固定 burst 模式。</p> <p>0: 不采用固定 burst 模式。此时 AXI 可以采用 SINGLE 或 INCRburst 操作;</p> <p>1: 采用固定 burst 模式。</p>
[15:14]	RO	reserved	保留。
[13:8]	RW	pbl	<p>PBL: 可编程的 burst 长度。</p> <p>指示单次 DMA 交易中最大的 beats 数目, 也就时单个模块读写操作的最大 burst 长度。DMA 的每次 burst 操作总是尝试按照 PBL 确定的值执行, 可以选择的范围包括 1, 2, 4, 8, 16, 32, 其他值有可能导致不确定的行为。当 USP 设置为 1 时, PBL 仅用于 TxDMA 的操作。</p> <p>如果需要超过 32burst 的操作, 需要通过设置 8xpbl 来实现。举例来说, 如果需要 64burst 的操作, 需要设置 8xpbl 为 1, 设置 pbl 为 8。</p>
[7]	RO	reserved	保留。
[6:2]	RW	dsl	<p>DSL: 描述子跳转长度。</p> <p>该比特确定了两个非链表结构描述子间所需跳过的 word 数目。该长度开始与当前描述子的起始字节, 结束语下一相邻描述子的起始字节。若该值为 0, 默认其工作在 ring 模式下。</p>
[1]	RO	reserved	保留。



[0]	RWSC	swr	<p>SWR: 软复位。</p> <p>0: 不执行软复位;</p> <p>1: 执行软复位。</p> <p>执行软复位时, DMA 控制器将复位整个 GMAC 寄存器和逻辑。该比特将在完成复位后自动清零。未完成复位前, 不能对任何寄存器进行写操作。</p>
-----	------	-----	---

DMAP_XMT_POLL_DEMAND

DMAP_XMT_POLL_DEMAND 为发送 poll demand 寄存器。使能 TxDMA 去检查当前描述子是否属于 DMA。该命令用于唤醒处于挂起状态的 TxDMA。通常 TxDMA 会因 FIFO 下溢或无可发送描述子而进入挂起状态。一旦 TxDMA 开始从主机内存重新获取描述子, 可以在任意时刻配置该寄存器。

Offset Address		Register Name		Total Reset Value				
0x1004+P×0x100 (P = 0~2)		DMAP_XMT_POLL_DEMAND		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tpd							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	ROWT	tpd	<p>TPD: 发送 Poll Demand</p> <p>当该寄存器被写入任何值时, DMA 将去读取当前发送描述子地址, 如果当前描述子不可用(own 位为 0), 发送状态机将进入挂起状态; 反之, 若当前描述子可用, 发送状态机将重新继续。</p>					

DMAP_RCV_POLL_DEMAND

DMAP_RCV_POLL_DEMAND 为接收 poll demand 寄存器。使能 RxDMA 去检查当前描述子是否属于 DMA。该命令用于唤醒处于挂起状态的 RxDMA。通常 TxDMA 会因 FIFO 下溢或无可接收描述子而进入挂起状态。



Offset Address
0x1008+P×0x100
(P = 0~2)

Register Name
DMAP_RCV_POLL_DEMAND

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	rpd																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	ROWT	rpd		<p>RPD: 接收 Poll Demand</p> <p>当该寄存器被写入任何值时，DMA 将去读取当前接收描述子地址，如果当前描述子不可用(own 位为 0)，接收状态机将进入挂起状态；反之，若当前描述子可用，接收状态机将进入激活状态。</p>																															

DMAP_RCV_BASE_ADDR

DMAP_RCV_BASE_ADDR 为接收描述子链表地址寄存器。指示接收描述子链表的开始。该寄存器只允许在接收停止时，且接收启动指令开始前更改。

Offset Address
0x100C+P×0x100
(P = 0~2)

Register Name
DMAP_RCV_BASE_ADDR

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	rba																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	rba		<p>接收链表的开始。</p> <p>该字段包含接收描述子链表首个描述子的基址。</p>																															

DMAP_TX_BASE_ADDR

DMAP_TX_BASE_ADDR 为发送描述子链表地址寄存器。指示发送描述子链表的开始。该寄存器只允许在发送停止时，且发送启动指令开始前更改。



Offset Address		Register Name		Total Reset Value				
0x1010+P×0x100		DMAP_TX_BASE_ADDR		0x0000_0000				
(P = 0~2)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tba							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tba	发送链表的开始。 该字段包含发送描述子链表首个描述子的基址。					

DMAP_STATUS

DMAP_STATUS 为状态寄存器。保存了所有 DMA 上报主机的状态信息。软件通过中断伺服或轮训方式读取该寄存器。该寄存器的大部分比特都会引起中断。DMAP_STATUS 非读清，DMAP_STATUS[16:0]通过写 1 清的方式实现，写 0 不起作用。这些比特可以通过操作寄存器 DMAP_CONTROL 实现中断 mask。

Offset Address		Register Name		Total Reset Value				
0x1014+P×0x100		DMAP_STATUS		0x0000_0000				
(P = 0~2)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	gmi gli	eb	ts	rs	nis ais eri fbi	reserved	eti rwt rps ru ri unf ovf tjt tu tps ti
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27]	RO	gmi	GMI: GMAC MMC 中断。 该比特反映了 MMC 模块的中断事件。软件需要通过查询 GMAC 中相应寄存器以获取中断源并清中断。 0: 没有产生 GMAC MMC 中断; 1: 产生 GMAC MMC 中断。					
[26]	RO	gli	GLI: GMAC 线接口中断。 该比特反映了 GMAC 中 PCS 模块的中断时间。软件需要通过查询 GMAC 中相应寄存器以获取中断源并清中断。 0: 没有产生 GMAC PCS 中断; 1: 产生 GMAC PCS 中断。					



[25:23]	RO	eb	<p>EB: 错误比特。</p> <p>这些比特指示引起总线错误的一类错误。这些比特仅当比特13(FBI)为1时才有效,它们并不产生中断。This field does not generate an interrupt.</p> <p>bit[23]:</p> <p>0: RxDMA 数据传输过程中发生错误;</p> <p>1: TxDMA 数据传输过程中发生错误。</p> <p>bit[24]:</p> <p>0: 写操作过程发生错误;</p> <p>1: 读操作过程发生错误。</p> <p>bit[25]:</p> <p>0: 数据缓存访问过程中发送错误;</p> <p>1: 描述子访问过程中发送错误。</p>
[22:20]	RO	ts	<p>TS: 发送处理状态。</p> <p>这些比特指示 TxDMA 的状态,它们不产生中断。</p> <p>000: 停止状态。收到复位或停止命令;</p> <p>001: 运行中。正在读取发送描述子;</p> <p>010: 运行中。正在等待状态信息;</p> <p>011: 运行中。正在从主机内存读取报文并将其写入 Tx FIFO;</p> <p>100: TIME_STAMP 写状态;</p> <p>101: 保留;</p> <p>110: 挂起。没有可用的发送描述子或 Tx FIFO 下溢;</p> <p>111: 回写发送描述子。</p>
[19:17]	RO	rs	<p>RS: 接收处理状态。</p> <p>这些比特指示 RxDMA 的状态,它们不产生中断。</p> <p>000: 停止状态。收到复位或停止命令;</p> <p>001: 运行中。正在读取接收描述子;</p> <p>010: 保留;</p> <p>011: 运行中。正在等待接收报文;</p> <p>100: 挂起。没有可用的接收描述子;</p> <p>101: 运行中。回写接收描述子;</p> <p>110: TIME_STAMP 写状态;</p> <p>111: 运行中。正在将接收报文写入主机内存。</p>



[16]	RWC	nis	<p>NIS: 普通中断汇总。</p> <p>该比特是以下中断比特的逻辑或。</p> <p>DMAp_STATUS[0]、DMAp_STATUS[2]、DMAp_STATUS[6]、DMAp_STATUS[14]</p> <p>仅有未被 mask 的中断才会影响该比特。每次中断事件导致该比特设置为 1 后, 都需要将该比特清零。</p>
[15]	RWC	ais	<p>AIS: 异常中断汇总。</p> <p>该比特是以下中断比特的逻辑或。</p> <p>DMAp_STATUS[1]、DMAp_STATUS[3]、DMAp_STATUS[4]、DMAp_STATUS[5]、DMAp_STATUS[7]、DMAp_STATUS[8]、DMAp_STATUS[9]、DMAp_STATUS[10]、DMAp_STATUS[13]</p> <p>仅有未被 mask 的中断才会影响该比特。每次中断事件导致该比特设置为 1 后, 都需要将该比特清零。</p>
[14]	RWC	eri	<p>ERI: 早期接收中断。</p> <p>0: 没有产生早期接收中断;</p> <p>1: 产生早期接收中断。</p> <p>指示 RxDMA 已经填满了接收描述子对应的首个数据缓存。该中断将由 DMAp_STATUS[6]自动清除。</p>
[13]	RWC	fbi	<p>FBI: 致命总线错误中断。</p> <p>0: 没有产生致命总线错误中断;</p> <p>1: 产生致命总线错误中断。</p> <p>指示致命总线错误发生, 参见比特[25:23], 该比特发生时, DMA 将停止所有总线访问。</p>
[12:11]	RO	reserved	保留。
[10]	RWC	eti	<p>ETI: 早期发送中断。</p> <p>0: 没有产生早期发送中断;</p> <p>1: 产生早期发送中断。</p> <p>该比特指示需要发送的帧已经写入 TxFIFO。</p>
[9]	RWC	rwt	<p>RWT: 接收 watchdog 超时。</p> <p>0: 没有产生接收 watchdog 超时;</p> <p>1: 产生接收 watchdog 超时。</p> <p>当接收帧长度超过 2048 字节时, 该比特置 1。</p>
[8]	RWC	rps	<p>RPS: 接收进程停止。</p> <p>0: 没有出现接收进程停止;</p> <p>1: 出现接收进程停止。</p> <p>该比特指示接收状态机进入停止状态。</p>



[7]	RWC	ru	<p>RU: 接收缓存不可用。</p> <p>0: 没有出现接收缓存不可用;</p> <p>1: 出现接收缓存不可用。</p> <p>该比特指示接收队列的下一个描述子由主机控制, 不能被获取。此时接收进程进入挂起状态。此时主机需要配置下一个可用描述子, 并向 RxDMA 发送 poll demand 命令, 否则该比特将一直保持。</p>
[6]	RWC	ri	<p>RI: 接收中断。</p> <p>0: 没有产生接收中断;</p> <p>1: 产生接收中断。</p> <p>该比特指示完成帧的接收。帧的状态信息已经被写入描述子, 此时接收进程仍处于运行状态。</p>
[5]	RWC	unf	<p>UNF: 发送下溢。</p> <p>0: 没有出现发送下溢;</p> <p>1: 出现发送下溢。</p> <p>该比特指示帧传输过程中出现 TxFIFO 下溢。传输进程将进入挂起状态, 发送描述子中的下溢错误比特也将被设置为 1。</p>
[4]	RWC	ovf	<p>OVF: 接收上溢。</p> <p>0: 没有出现接收上溢;</p> <p>1: 出现接收上溢。</p> <p>该比特指示帧接收过程中出现 Rx FIFO 上溢。如果部分数据已经被写入主机缓存, 接收描述子中的上溢错误比特也将被设置为 1。</p>
[3]	RWC	tjt	<p>TJT: 发送 jabber 超时。</p> <p>0: 没有出现发送 jabber 超时;</p> <p>1: 出现发送 jabber 超时。</p> <p>该比特指示发送 jabber 定时器超时, 此时发送进程取消, 进入停止状态, 对应发送描述子的 jabber 超时比特也将被设置为 1。</p>
[2]	RWC	tu	<p>TU: 发送缓存不可用。</p> <p>0: 没有出现发送缓存不可用;</p> <p>1: 出现发送缓存不可用。</p> <p>该比特指示发送队列的下一个描述子由主机控制, 不能被获取。发送进程入挂起状态。如果主机有新的数据要发送, 需要配置下一个可用描述子, 并向 TxDMA 发送 poll demand 命令。</p>



[1]	RWC	tps	<p>TPS: 发送进程停止。</p> <p>0: 没有出现发送进程停止;</p> <p>1: 出现发送进程停止。</p> <p>该比特指示发送状态机进入停止状态。</p>
[0]	RWC	ti	<p>TI: 发送中断。</p> <p>0: 没有产生发送中断;</p> <p>1: 产生发送中断。</p> <p>该比特指示完成帧的发送。帧的状态信息已经被写入描述子, 此时发送进程仍处于运行状态。</p>

DMAP_CONTROL

DMAP_CONTROL 为 DMAP (0~2) 的操作模式寄存器。规定了接收和发送的操作模式和指令。该寄存器应该是 DMA 初始化的最后一个寄存器。

Offset Address
0x1018+P×0x100
(P = 0~2)

Register Name
DMAP_CONTROL

Total Reset Value
0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				rsf	dff	rfa2	rfd2	tsf	ftf	reserved	ttc	st	rfd	rfa	efc	fef	fuf	reserved	rtc	osf	sr	reserved													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:26]	RO		reserved		保留。																															
[25]	RW		rsf		<p>RSF:接收的存储转发。</p> <p>0: 不执行接收的存储转发。此时 RxFIFO 根据 FIFO 阈值判断是否转发;</p> <p>1: 执行接收的存储转发。此时 RxFIFO 收到一个完整帧后将该帧向上转发。</p>																															
[24]	RW		dff		<p>DFF: 不使能接收帧的清空。</p> <p>0: 使能接收帧的清空。当该比特为 0 时, RxDMA 会因接收描述子/接收缓存的不可用而清空任何帧;</p> <p>1: 不使能接收帧的清空。当该比特为 1 时, RxDMA 不会因接收描述子/接收缓存的不可用而清空任何帧。</p>																															



[23]	RW	rfa2	<p>RFA[2]: 激活流控阈值的高位。</p> <p>0: 该比特为 0 时, 流控阈值按照 RFA 进行设置;</p> <p>1: 该比特为 1 时, 激活流控阈值由该比特本身和 RFA 共同确定。激活流控阈值随 {rfa2,rfa[1:0]} 的变化如下:</p> <p>100: 满减去 5 KB;</p> <p>101: 满减去 6 KB;</p> <p>110: 满减去 7 KB;</p> <p>111: 保留。</p>
[22]	RW	rfd2	<p>RFD[2]: 解除流控阈值的高位。</p> <p>0: 该比特为 0 时, 解除流控阈值按照 RFD 进行设置。</p> <p>1: 该比特为 1 时, 解除流控阈值由该比特本身和 RFD 共同确定。解除流控阈值随 {rfd2,rfd[1:0]} 的变化如下:</p> <p>100: 满减去 5 KB;</p> <p>101: 满减去 6 KB;</p> <p>110: 满减去 7 KB;</p> <p>111: 保留。</p>
[21]	RW	tsf	<p>TSF:发送的存储转发。</p> <p>0: 不执行发送的存储转发。此时 TxFIFO 根据 FIFO 阈值判断是否转发;</p> <p>1: 执行发送的存储转发。此时 TxFIFO 收到一个完整帧后才将该帧转发给 MAC。</p>
[20]	RWC	ftf	<p>FTF:清空 TxFIFO。</p> <p>0: 不清空 TxFIFO;</p> <p>1: 清空 TxFIFO。当该比特设置为 1 时, TxFIFO 的所有控制逻辑复位, TxFIFO 内的数据丢失。该比特将在清空操作完成后自动清零。且在清空过程中, 操作模式寄存器不可写。已经被 GMAC 发送端接收的数据将不会被清除。该操作会导致 FIFO 下溢和超短帧发出。</p>
[19:17]	RO	reserved	保留。



[16:14]	RW	ttc	<p>TTC: 发送阈值控制。</p> <p>用于控制 TxFIFO 的阈值以启动 TxDMA。当 RxFIFO 内的字节数大于等于该阈值时, 启动 TxDMA 进行处理。该比特仅在 TSF 设置为 0 时有效。</p> <p>000: 64; 001: 128; 010: 192; 011: 256; 100: 40; 101: 32; 110: 24; 111: 16。</p>
[13]	RW	st	<p>ST: 开始/停止发送指令。</p> <p>1: 当该比特为 1 时, 发送进程进入运行状态。DMA 尝试从发送队列获取描述子。描述子的获取来自 DMAP_XMT_BASE_ADDR 寄存器或发送状态机上次停止时保存的位置。如果没有描述子可用, TxDMA 将进入挂起状态, 发送缓存不可用(DMAP_STATUS[2])被设置为 1。需要注意的是, 该比特设置为 1 时, 需要发送停止时才生效, 且在 DMAP_XMT_BASE_ADDR 配置生效后才能正常工作。</p> <p>0: 当该比特为 0 时, TxDMA 将在当前帧处理完成后停止操作。接收队列中下一描述子位置将被保存, 并将成为发送进程重启后的当前位置。该比特设置为 0 时, 需要在发送进程处于运行状态或挂起状态时才有效。</p>
[12:11]	RW	rfd	<p>RFD: 解除流控的阈值。(in both HD and FD)</p> <p>这些比特用于流控发生后, 控制在 RxFIFO 中低于该阈值时解除流控。</p> <p>00: 满减去 1 KB; 01: 满减去 2 KB; 10: 满减去 3 KB; 11: 满减去 4 KB。</p> <p>以上仅用于流控激活后且 RxFIFO 深度超过 4KB 时有效。若 RxFIFO 深度超过 8KB 时, 比特 22 的 RFD[2]将可以确定更多的解除流控阈值。</p>



[10:9]	RW	rfa	<p>RFA: 激活流控的阈值。(in both HD and FD)</p> <p>这些比特用于控制在 RxFIFO 中超过该阈值时启动流控。</p> <p>00: 满减去 1 KB; 01: 满减去 2 KB; 10: 满减去 3 KB; 11: 满减去 4 KB。</p> <p>以上仅用于 EFC 设置为 1 且 RxFIFO 深度超过 4KB 时有效。 若 RxFIFO 深度超过 8KB 时, 比特 23 的 RFA[2]将可以确定更多的流控阈值。</p>
[8]	RW	efc	<p>EFC: 使能硬件流控。</p> <p>0: 不使能硬件流控; 1: 使能硬件流控。硬件将依赖于 FIFO 的空满程度实现流控功能。</p>
[7]	RW	fef	<p>FEF:转发错误帧。</p> <p>0: 该比特为 0 时, RxFIFO 丢弃所有出现错误的帧(包括 CRC 错误, 冲突错误, gmii_er, 超大帧, watchdog 超时, 上溢等)。然而, 在阈值模式下, 如果该帧的起始指针已经被接收控制器获得, 则该帧不能丢弃;</p> <p>1: 该比特为 1 时, 除超短帧以外的所有帧将被转发给 DMA。但因 FIFO 溢出错误的帧将被丢弃。</p>
[6]	RW	fuf	<p>FUF: 转发较小的好帧。</p> <p>0: 该比特为 0 时, RxFIFO 将丢弃所有小于接收阈值的较小帧; 1: 该比特为 1 时, RxFIFO 将转发所有没有错误且长度小于 64Bytes(包括填充字节和 CRC)的帧。</p>
[5]	RO	reserved	保留。
[4:3]	RW	rtc	<p>RTC: 接收阈值控制。</p> <p>用于控制 RxFIFO 的阈值以启动 RxDMA。当 RxFIFO 内的字节数大于等于该阈值时, 启动 RxDMA 进行处理。该比特尽在 RSF 设置为 0 时有效。</p> <p>00: 64; 01: 32; 10: 96; 11: 128。</p>
[2]	RW	osf	<p>OSF: 第二帧操作。</p> <p>0: 不执行第二帧操作; 1: 执行第二帧操作。此时 DMA 可以在获得前一帧的状态之前开始处理第二帧。</p>



[1]	RW	sr	<p>SR: 开始/停止接收。</p> <p>0: 当该比特为 0 时, RxDMA 将在当前帧处理完成后停止操作。接收队列中下一描述子位置将被保存, 并将成为接收进程重启后的当前位置。该比特设置为 0 时, 需要在接收进程处于运行状态或挂起状态时才有效。</p> <p>1: 当该比特为 1 时, 接收进程进入运行状态。DMA 尝试从接收队列获取描述子, 并处理输入帧。描述子的获取来自 DMAP_RCV_BASE_ADDR 寄存器或接收状态机上次停止时保存的位置。如果没有描述子可用, 接收 DMA 将进入挂起状态, 接收缓存不可用(DMAP_STATUS[7])被设置为 1。需要注意的是, 该比特设置为 1 时, 需要接收停止时才生效, 且在 DMAP_RCV_BASE_ADDR 配置生效后才能正常工作。</p>
[0]	RO	reserved	保留。

DMAP_INTR_ENA

DMAP_INTR_ENA 为 DMAP (0~2) 的中断使能寄存器。用于使能 DMAP_STATUS 上报的中断。软复位或硬复位后, .

Offset Address		Register Name		Total Reset Value																
0x101C + P × 0x100		DMAP_INTR_ENA		0x0000_0000																
(P = 0~2)																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				nie	aie	ere	fbe	reserved	ete	rwe	rse	rue	rie	une	ove	tje	tue	tse	tie
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0												
Bits	Access	Name	Description																	
[31:17]	RO	reserved	保留。																	
[16]	RW	nie	<p>NIE: 普通中断汇总使能。</p> <p>0: 普通中断汇总不使能;</p> <p>1: 普通中断汇总使能。</p> <p>该比特使能操作的普通中断包括: DMAP_STATUS[0]、DMAP_STATUS[2]、DMAP_STATUS[6]、DMAP_STATUS[14]</p>																	



[15]	RW	aie	AIE: 异常中断汇总使能。 0: 异常中断汇总不使能; 1: 异常中断汇总使能。 该比特使能操作的异常中断包括: DMAP_STATUS[1]、 DMAP_STATUS[3]、DMAP_STATUS[4]、DMAP_STATUS[5]、 DMAP_STATUS[7]、DMAP_STATUS[8]、DMAP_STATUS[9]、 DMAP_STATUS[10]、DMAP_STATUS[13]
[14]	RW	ere	ERE: 早期接收中断使能。 0: 早期接收中断不使能; 1: 当普通中断汇总使能为 1 时, 早期接收中断使能。
[13]	RW	fbe	FBE: 致命总线错误使能。 0: 致命总线错误不使能; 1: 当异常中断汇总使能为 1 时, 致命总线错误使能。
[12:11]	RO	reserved	保留。
[10]	RW	ete	ETE: 早期发送中断使能。 0: 早期发送中断不使能; 1: 当异常中断汇总使能为 1 时, 早期发送中断使能
[9]	RW	rwe	RWE: 接收 watchdog 超时使能。 0: 接收 watchdog 超时不使能; 1: 当异常中断汇总使能为 1 时, 接收 watchdog 超时使能。
[8]	RW	rse	RSE: 接收停止使能。 0: 接收停止不使能; 1: 当异常中断汇总使能为 1 时, 接收停止使能。
[7]	RW	rue	RUE: 接收缓存不可用使能。 0: 接收缓存不可用不使能; 1: 当异常中断汇总使能为 1 时, 接收缓存不可用使能。
[6]	RW	rie	RIE: 接收中断使能。 0: 接收中断不使能; 1: 当普通中断汇总使能为 1 时, 接收中断使能。
[5]	RW	une	UNE: 下溢中断使能。 0: 下溢中断不使能; 1: 当异常中断汇总使能为 1 时, 下溢中断使能。
[4]	RW	ove	OVE: 上溢中断使能。 0: 上溢中断不使能; 1: 当异常中断汇总使能为 1 时, 上溢中断使能。



[3]	RW	tje	TJE:发送 jabber 超时使能。 0: 发送 jabber 超时不使能; 1: 当异常中断汇总使能为 1 时, 发送 jabber 超时使能。
[2]	RW	tue	TUE: 发送缓存不可用使能。 0: 发送缓存不可用不使能; 1: 当普通中断汇总使能为 1 时, 发送缓存不可用使能。
[1]	RW	tse	TSE: 发送停止使能。 0: 发送停止不使能; 1: 当异常中断汇总使能为 6 时, 发送停止使能。
[0]	RW	tie	TIE: 发送中断使能。 0: 发送中断不使能; 1: 当普通中断汇总使能为 1 时, 发送中断使能。

DMAP_MISSED_FRAME_CTR

DMAP_MISSED_FRAME_CTR 为 DMAp (0~2) 包含的两个计数器来跟踪接收过程中丢弃的帧寄存器。该寄存器保存了这两个计数器的当前值, 分别是因主机接收缓存不可用和 FIFO 溢出导致的帧丢弃计数值。

Offset Address		Register Name		Total Reset Value																																
0x1020+P×0x100		DMAP_MISSED_FRAME_CTR		0x0000_0000																																
(P = 0~2)																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				ob_fifo_overflow_cnt				app_miss_frms								ob_miss_frms_cnt				ctrl_miss_frms															
Reset	0 0 0 0				0 0 0 0				0 0 0 0								0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access		Name		Description																															
[31:29]	RO		reserved		保留。																															
[28]	RC		ob_fifo_overflow_cnt		FIFO 上溢计数器的上溢指示信号。																															



[27:17]	RC	app_miss_frms	指示应用丢弃的帧数目。每次 mtl_rxoverflow_o 信号拉高时计数器加 1，当该计数器被读取且 mci_be_i[2]为 1 时，该计数值清零。
[16]	RC	ob_miss_frms_cnt	已丢弃帧计数器的上溢指示信号。
[15:0]	RC	ctrl_miss_frms	指示因没有可用的主机接收缓存而导致 GMAC 丢弃的帧数目。每次 DMA 丢弃接收帧时计数器加 1，当该计数器被读取且 mci_be_i[0]为 1 时，该计数值清零。

DMAP_CUR_TX_BUF_ADDR

DMAP_CUR_TX_BUF_ADDR 为 DMAp (0~2) 的当前主机发送缓存地址寄存器。指示 DMA 正在读取的发送缓存地址。

Offset Address		Register Name		Total Reset Value					
0x1050+P×0x100 (P = 0~2)		DMAP_CUR_TX_BUF_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	curr_tx_buf_addr								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	curr_tx_buf_addr	当前主机发送缓存地址寄存器，指示 DMA 正在读取的发送缓存地址。						

DMAP_CUR_RX_BUF_ADDR

DMAP_CUR_RX_BUF_ADDR 为 DMAp (0~2) 当前主机接收缓存地址寄存器。指示 DMA 正在读取的接收缓存地址。

Offset Address		Register Name		Total Reset Value					
0x1054+P×0x100 (P = 0~2)		DMAP_CUR_RX_BUF_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	curr_rx_buff_addr								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RO	curr_rx_buff_addr	当前主机接收缓存地址寄存器，指示 DMA 正在读取的接收缓存地址。						



CT_LOCAL_MACADDR0_U16

CT_LOCAL_MACADDR0_U16 为 GMAC0 的本地 MAC 地址的高 16 比特寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x8100	CT_LOCAL_MACADDR0_U16	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
Bits	Access	Name	Description	
[31:16]	RO	reserved	保留。	
[15:0]	RW	mac0_addr_u16	GMAC0 的本地 MAC 地址的高 16 比特[47:32]。	

CT_LOCAL_MACADDR0_L32

CT_LOCAL_MACADDR0_L32 为 GMAC0 的本地 MAC 地址的低 32 比特寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x8104	CT_LOCAL_MACADDR0_L32	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	mac0_addr_l32			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
Bits	Access	Name	Description	
[31:0]	RW	mac0_addr_l32	GMAC0 的本地 MAC 地址的低 32 比特[31:0]。	

CT_LOCAL_IPADDR0

CT_LOCAL_IPADDR0 为 GMAC0 的本地 IP 地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x8108		CT_LOCAL_IPADDR0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mac0_ip_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mac0_ip_addr	GMAC0 的 IP 地址, 包含 32 比特[31:0]。					

TOE_CTRL

TOE_CTRL 为 TOE 允许的最大重传次数和定时器复位值寄存器。

Offset Address		Register Name		Total Reset Value				
0x814C		TOE_CTRL		0x2625_A0FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	timer_rst_val				num_retries			
Reset	0 0 1 0	0 1 0 1	1 1 0 1	0 1 1 1	1 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:12]	RW	timer_rst_val	1ms 的时间由多少系统时钟周期构成(该复位值默认系统工作在 156.25MHz)。					
[11:0]	RW	num_retries	允许的最大重传次数。					

CT_LOCAL_MACADDR1_U16

CT_LOCAL_MACADDR1_U16 为 GMAC1 的本地 MAC 地址的高 16 比特寄存器。

Offset Address		Register Name		Total Reset Value				
0x8154		CT_LOCAL_MACADDR1_U16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mac1_addr_u16			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	mac1_addr_u16	GMAC1 的本地 MAC 地址的高 16 比特[47:32]。					



CT_LOCAL_MACADDR1_L32

CT_LOCAL_MACADDR1_L32 为 GMAC1 的本地 MAC 地址的低 32 比特寄存器。

	Offset Address	Register Name	Total Reset Value
	0x8158	CT_LOCAL_MACADDR1_L32	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	mac1_addr_l32		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	mac1_addr_l32	GMAC1 的本地 MAC 地址的低 32 比特[31:0]。

CT_LOCAL_IPADDR1

CT_LOCAL_IPADDR1 为 GMAC1 的本地 IP 地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x815C	CT_LOCAL_IPADDR1	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	mac1_ip_addr		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	mac1_ip_addr	GMAC1 的 IP 地址，包含 32 比特[31:0]。

TNK_INTR_STAT

TNK_INTR_STAT 为中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x9000		TNK_INTR_STAT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								toe_int	gmac1_int	gmac0_int	dma_ch2_int	dma_ch1_int	dma_ch0_int	dma_ttx_err_int	dma_ttx_ack_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:8]	RO	reserved	保留。																													
[7]	RO	toe_int	来自 TOE 的中断。																													
[6]	RO	gmac1_int	所有来自 GMAC1 的中断。																													
[5]	RO	gmac0_int	所有来自 GMAC0 的中断。																													
[4]	RO	dma_ch2_int	所有来自 DMA2 的中断。																													
[3]	RO	dma_ch1_int	所有来自 DMA1 的中断。																													
[2]	RO	dma_ch0_int	所有来自 DMA0 的中断。																													
[1]	RO	dma_ttx_err_int	TOE 发送 DMA 检测到的错误产生的中断。																													
[0]	RO	dma_ttx_ack_int	TOE 检测到一个或多个描述子因对端 ACK 返回而可以由软件回收，所产生的中断。																													

TNK_INTR_EN

TNK_INTR_EN 为中断使能寄存器。



Offset Address		Register Name		Total Reset Value																				
0x09004		TNK_INTR_EN		0x0000_0000																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7	6	5	4	3	2	1	0										
Name	reserved											toe_ien	gmac1_ien	gmac0_ien	dma_ch2_ien	dma_ch1_ien	dma_ch0_ien	dma_ttx_err_ien	dma_ttx_ack_ien					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																					
[31:8]	RO	reserved	保留。																					
[7]	RW	toe_ien	toe_int 的中断使能。																					
[6]	RW	gmac1_ien	所有来自 GMAC1 的中断的使能。																					
[5]	RW	gmac0_ien	所有来自 GMAC0 的中断的使能。																					
[4]	RW	dma_ch2_ien	所有来自 DMA2 的中断的使能。																					
[3]	RW	dma_ch1_ien	所有来自 DMA1 的中断的使能。																					
[2]	RW	dma_ch0_ien	所有来自 DMA0 的中断的使能。																					
[1]	RW	dma_ttx_err_ien	dma_ttx_err_int 的中断使能。																					
[0]	RW	dma_ttx_ack_ien	dma_ttx_ack_int 的中断使能。																					

TNK_RESET_STAT

TNK_RESET_STAT 为 MAC 复位状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x09008		TNK_RESET_STAT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							mac1_in_reset	mac0_in_reset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RO	mac1_in_reset	如果该值为 1，表示 MAC1 的复位拉高。并且在 MAC 接收时钟和发送时钟跳转至前，MAC 不会跳出复位状态。 0: MAC 不处于复位状态； 1: MAC 处于复位状态。						
[0]	RO	mac0_in_reset	如果该值为 1，表示 MAC0 的复位拉高。并且在 MAC 接收时钟和发送时钟跳转至前，MAC 不会跳出复位状态。 0: MAC 不处于复位状态； 1: MAC 处于复位状态。						

TNK_ID

TNK_ID 为支持的连接数和硬件版本号寄存器。

Offset Address		Register Name		Total Reset Value				
0x0900C		TNK_ID		0x0001_00FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tnk_id				num_conn			
Reset	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	tnk_id	硬件版本号。					
[15:0]	RO	num_conn	支持的连接数。					



目 录

6 视频编码.....	6-1
6.1 概述.....	6-1
6.2 VENC.....	6-1
6.2.1 概述	6-1
6.2.2 特点	6-1
6.2.3 功能描述	6-2
6.3 JPGE.....	6-3
6.3.1 概述	6-3
6.3.2 特点	6-3
6.3.3 功能描述	6-4



插图目录

图 6-1 VENC 编码功能框图.....	6-3
图 6-2 JPGE 功能框图.....	6-5



6 视频编码

6.1 概述

视频编码器是一个支持 H.264/JPEG 的多协议编码器，包括 VENC 和 JPGE 两部分，其中 VENC 实现 H.264 协议的编码，JPEG 实现 JPEG 协议的编码。

6.2 VENC

6.2.1 概述

VENC (Video Encode Unit) 是一个硬件实现的支持 H.264 视频标准的编码器。VENC 具有 CPU 占用率低、总线带宽占用小、低延时、低功耗等优点。

6.2.2 特点

VENC 编码器具有以下特点：

- 支持 ITU-T H.264 High Profile/Main Profile/Baseline Profile@Leve4.2 编码
 - 支持 1/2、1/4 像素精度运动补偿
 - 支持帧间预测 16x16、16x8、8x16、8x8 四种子块类型
 - 支持所有 Intra4x4、Intra8x8、Intra16x16 预测模式
 - 支持 Trans4x4、Trans8x8
 - 支持 CABAC、CAVLC 熵编码
 - 支持 De-blocking 滤波
 - 支持 IPCM 编码
- 支持如下几种输入图像格式：
 - Semi-Planar YCbCr4:2:0
 - Semi-Planar YCbCr4:2:2
- H.264 多码流编码性能：1080P@30fps 编码
- 支持图像分辨率可配置
 - 最小图像分辨率：160x64



- 最大图像分辨率：1920x2048
- 图像宽度/高度的配置步长为 4
- 支持感兴趣区域编码
 - 支持最多 8 个区域的感兴趣编码
 - 感兴趣编码功能可使能/禁止
- 支持 OSD 区域编码保护
OSD 区域编码保护功能可使能/禁止
- 支持视频前端 OSD 叠加处理
 - 支持最多 8 个区域的编码前 OSD 叠加
 - 支持任意位置、最大为图像大小的 OSD 叠加
 - 支持 129 级的 alpha 叠加
 - OSD 叠加功能可使能/禁止
- 支持彩转灰编码功能
- 支持 CBR/VBR 两种码率控制模式
- 输出码率范围：2kbps~40Mbps

6.2.3 功能描述

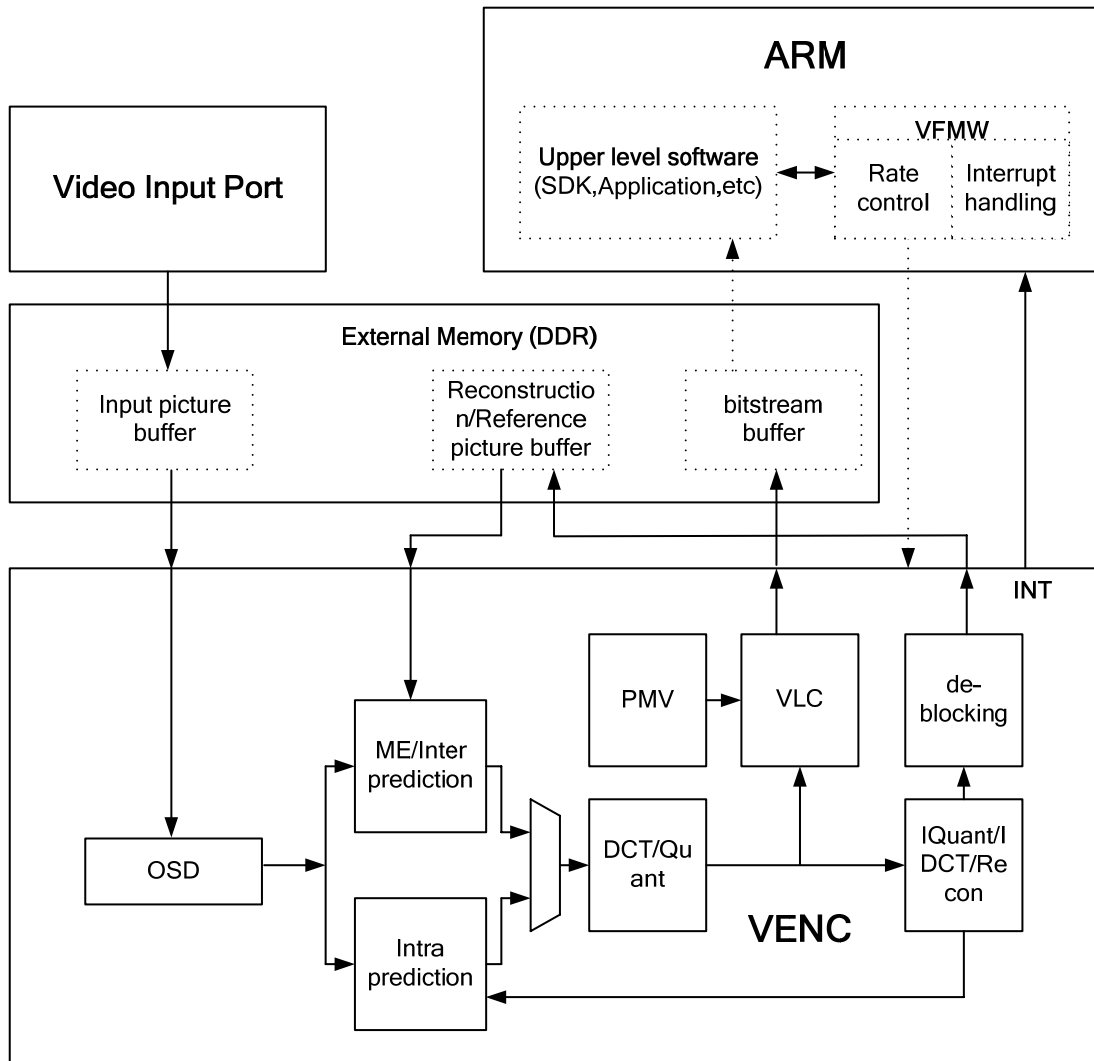
VENC 功能框图如图 6-1 所示。

VENC 编码实现了运动估计/帧间预测、帧内预测、运动矢量预测、变换/量化、反量化/反变换、VLC(Variable Length Code) 编码及码流生成、de-blocking 滤波等协议/算法处理，ARM 软件则完成码率控制和中断处理等编码控制处理。

在启动 VENC 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下三种类型的缓冲区。

- 输入图像缓冲区
VENC 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 重构图像/参考图像缓冲区
VENC 在编码过程中会向该缓冲区中写入重构图像、以作为后续图像的参考图像，在进行 P 帧编码时会从该缓冲区读取参考图像。
- 码流缓冲区
该缓冲区用于存放编码输出的码流。VENC 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。

图6-1 VENC 编码功能框图



6.3 JPGE

6.3.1 概述

JPGE (JPEG Encoder) 是一个硬件实现的高性能 JPEG 编码器，可实现高达 67.1M 像素的图片抓拍或高清图像 MJPEG 编码业务。

6.3.2 特点

JPGE 具有以下特点：

- 支持 ISO/IEC 10918-1(CCITT T.81) Baseline Process(DCT Sequential)编码
- 支持 YCbCr4:2:0、YCbCr4:2:2、YCbCr4:4:4 三种色度采样格式的图像编码
- MCU 采用 interleaved 顺序组织



- 支持如下几种输入图像格式：
 - Planar YCbCr4:2:0
 - Planar YCbCr4:2:2
 - Planar YCbCr4:4:4
 - Semi-Planar YCbCr4:2:0
 - Semi-Planar YCbCr4:2:2
 - PackageYUYV
- 最高性能可达到 67.1M(8192x8192)pixel/s
- 支持图像分辨率可配置
 - 最小图像分辨率：64x64
 - 最大图像分辨率：8192x8192
- 图像宽度/高度的配置步长为 4
- 量化表可配置
 - Y、Cb、Cr 三个分量各提供一张量化表
- 支持视频前端 OSD 叠加处理
 - 支持最多 8 个区域的编码前 OSD 叠加
 - 支持任意大小，任意位置（不超出图像大小和位置）OSD 叠加
 - 支持 129 级的 alpha 叠加
 - OSD 叠加功能可使能/禁止

6.3.3 功能描述

JPGE 功能如图 6-2 所示。

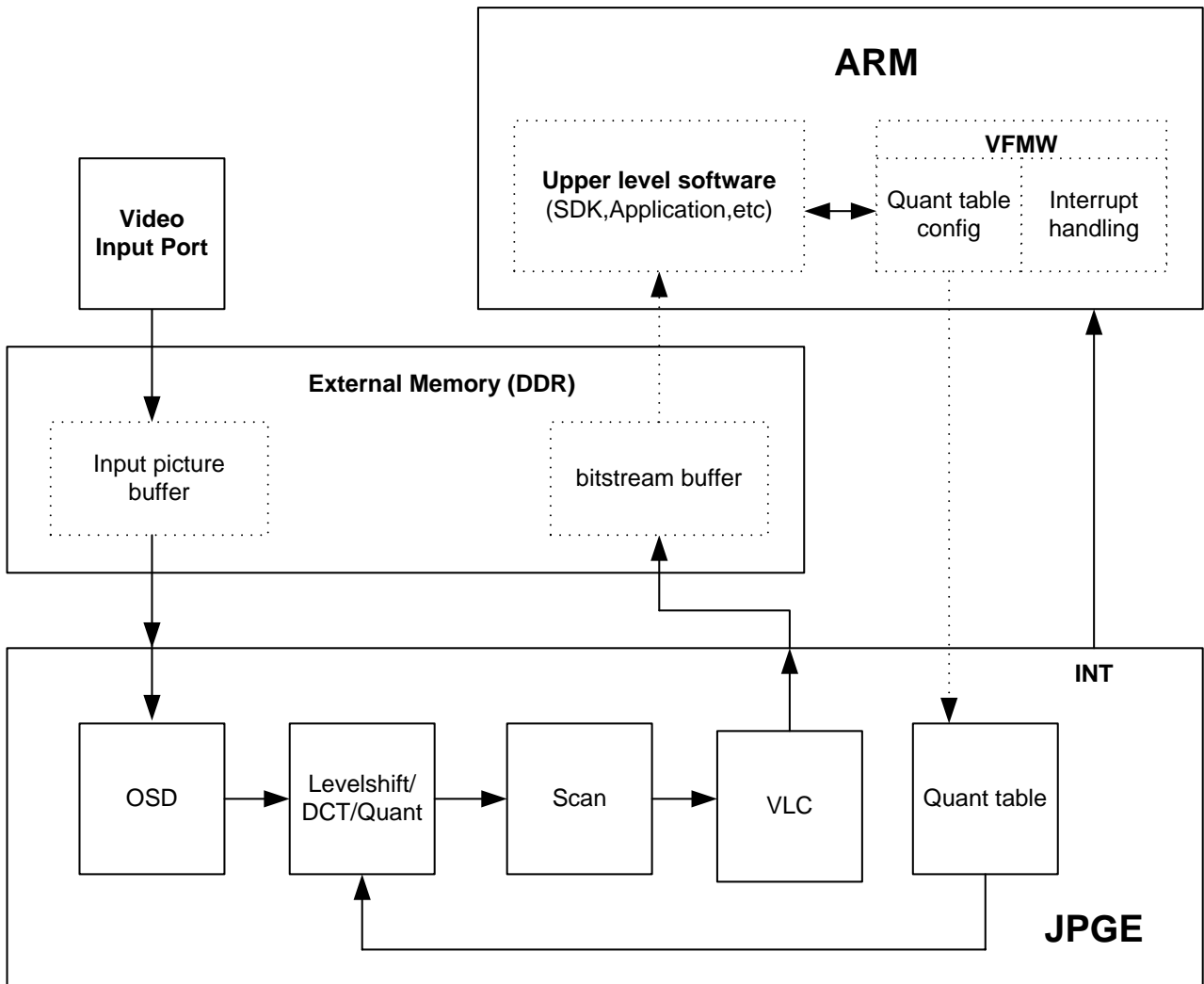
由图可见，JPGE 硬件实现了 OSD、level shift、DCT、量化、扫描、VLC 编码及码流生成等运算量较大的协议处理，而 ARM 软件则完成量化表配置和中断处理等编码控制处理。

在启动 JPGE 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下两种类型的缓冲区：

- 输入图像缓冲区
JPGE 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 码流缓冲区
该缓冲区用于存放编码输出的码流。JPGE 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。



图6-2 JPGE 功能框图





目 录

7 视频解码.....	7-1
7.1 VDH.....	7-1
7.1.1 概述.....	7-1
7.1.2 功能描述.....	7-1
7.1.3 工作方式.....	7-2
7.2 JPGD.....	7-3
7.2.1 概述.....	7-3
7.2.2 功能描述.....	7-3
7.2.3 工作方式.....	7-5



插图目录

图 7-1 视频解码器架构	7-2
图 7-2 JPGD 总体结构图	7-4
图 7-3 JPEG 码流结构图	7-5



表格目录

表 7-1 JPGD 内部模块说明 7-4



7 视频解码

7.1 VDH

7.1.1 概述

视频解码器由运行于 ARM 处理器的 VFMW（Video Firmware）和内嵌的硬件视频解码引擎 VDH 构成，VFMW 从上层软件获得码流，对码流进行解析并调用 VDH，产生解码图像序列。解码图像序列在上层软件的控制下，由 VDP 输出到显示器或其它设备。

7.1.2 功能描述

视频解码器有以下特点：

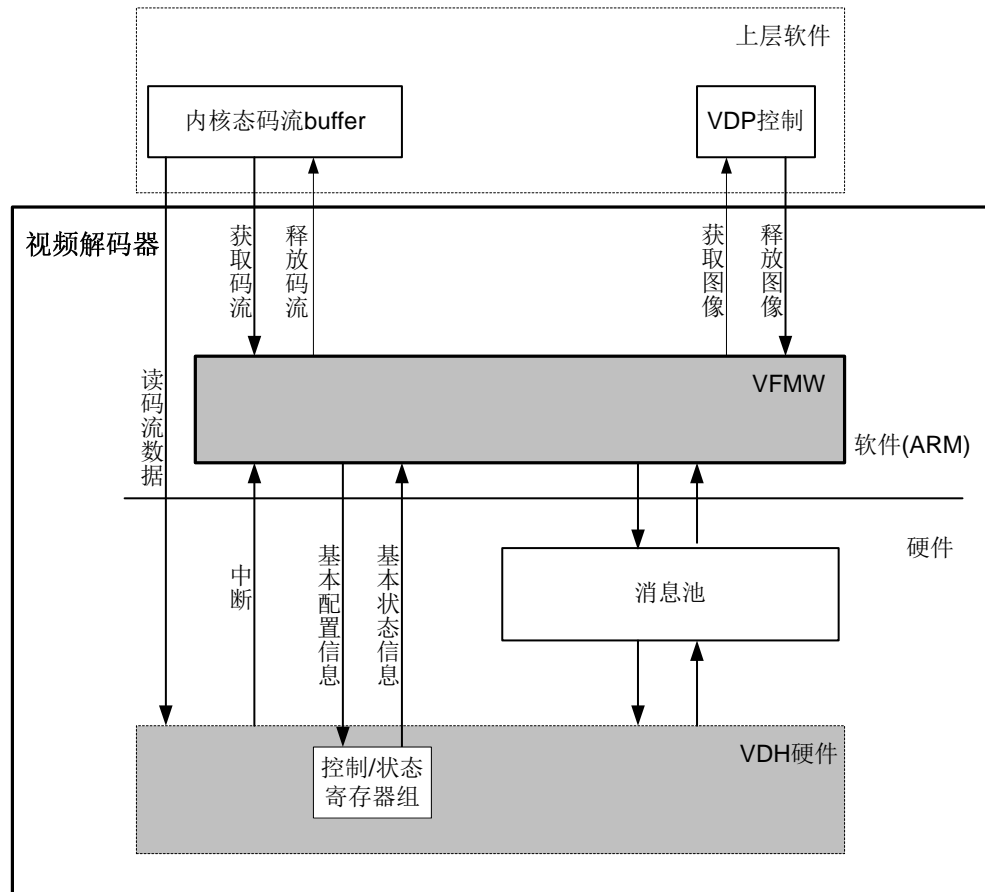
- 支持 ITU-T H.264 High Profile/Main Profile/Baseline Profile@Leve5.0 解码
- 支持 MPEG4 SP L0~L3/ASP L0~L5/MPEG4 短头
- 视频解码性能：
 - 24xD1@30fps 解码
 - 10x720P@30fps 解码
 - 5x1080P@30fps 解码
- 支持图像分辨率
 - 最小图像分辨率：H.264 为 64x64；MPEG4 为 64x64
 - 最大图像分辨率：H.264：4096x4096；MPEG4：4096x4096
- 支持整帧亮度统计信息上报功能
- 支持解码图像数据压缩

7.1.3 工作方式

视频解码器架构如图 7-1 所示。



图7-1 视频解码器架构



VDH: Video Decoding Module For High Definition, 高清视频解码模块。

VFMW: Video Firmware, 视频固件, 实为运行在主处理器上的一个软件组件, 负责调度视频解码引擎完成视频解码。

消息池: VFMW 和 VDH 进行信息交互的存储空间, 是在外部 SDRAM 存储器中开辟的, 可被 VDH 和 VFMW 共同读写的存储区域。

VDH 与 VFMW 交互模式:

H264 协议按一批 slice 进行交互完成解码, VFMW 完成 slice header 及以上的解码,

VDH 硬件完成 slice data 及以下的解码;

视频解码步骤如下:

1. 创建、初始化解码器。
2. 向码流 buffer 中存入码流。
3. 通过 VFMW 的图像输出接口获取图像。
4. 图像显示完成后, 通过 VFMW 的图像回收接口释放图像。
5. 反复执行步骤 2~步骤 4, 直到码流解码结束。



6. 播放完毕，销毁解码器。

----结束

7.2 JPGD

7.2.1 概述

JPGD 是 JPEG (Joint Picture Expert Group) 静态图像解码模块，该模块的作用是支持 JPEG/Motion-JPEG 图像的解码。

7.2.2 功能描述

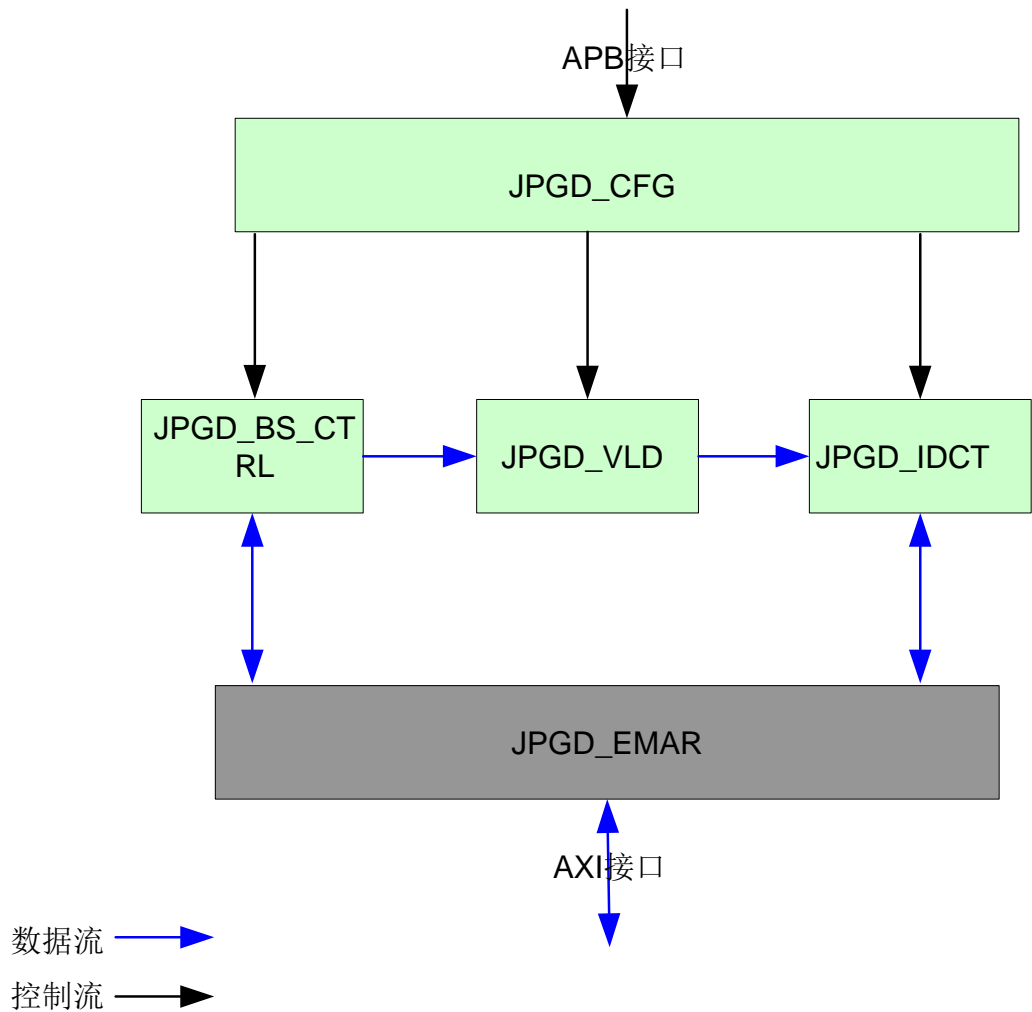
JPGD 模块具有以下功能特点：

- 支持 AXI 接口与 APB 接口。
- 支持中断。
- 部分支持 ITU-T81 Baseline profile 解码。即：
 - 支持 YUV 三分量的 JPEG 图像解码，支持 YUV 4:0:0、YUV4:2:0、YUV4:2:2 1x2、YUV4:2:2 2x1、YUV 4:4:4 五种输入格式，输出统一为 YUV4:2:0。
 - 最多支持 4 张 Huffman 表，其中包括 2 张 DC 表和 2 张 AC 表。
 - 最多支持 3 张量化表。
 - 支持 sequential 格式解码。
 - 支持基于 DCT 变换的 JPEG 格式解码。
 - 支持 8bit 采样精度。
 - 支持交织的扫描方式。
- 最大支持分辨率为 8192 x 8192 大小的静态图像解码，最小支持分辨率为 8 x 8 大小的静态图像解码。
- 支持 semi-planar 的最大输出存储规格为 8192 x 8192。
- 对于 YUV 4:4:4 图像，在 200MHz 的工作频率下，解码能力 1080P60 帧/秒，可以用于各种对实时性有较高要求的解码系统。
- 支持输出整帧亮度和统计信息。

JPGD 总体结构如图 7-2 所示。



图7-2 JPGD 总体结构图



JPGD 内部模块说明如表 7-1 所示。

表7-1 JPGD 内部模块说明

模块名称	功能
JPGD_BS_CTRL	码流的读取和移位处理，内含一个 Barrel-Shift，将有效码流送给下游模块进行解码。
JPGD_VLD	Huffman 变长码解码，同时将解码后的系数进行反扫描和反量化。
JPGD_IDCT	进行 IDCT 变换。
JPGD_CFG	接收 HOST 的配置信息，并将配置信息配置给各功能模块。同时负责整个解码器的启动、中断的产生以及向 HOST 反馈解码器的内部状态。



模块名称	功能
JPGD_EMAR	与 AXI 总线相关的接口 IP，完成总线异步处理，数据存取等。

7.2.3 工作方式

7.2.3.1 软硬件划分

JPEG 码流结构如图 7-3 所示。

图7-3 JPEG 码流结构图

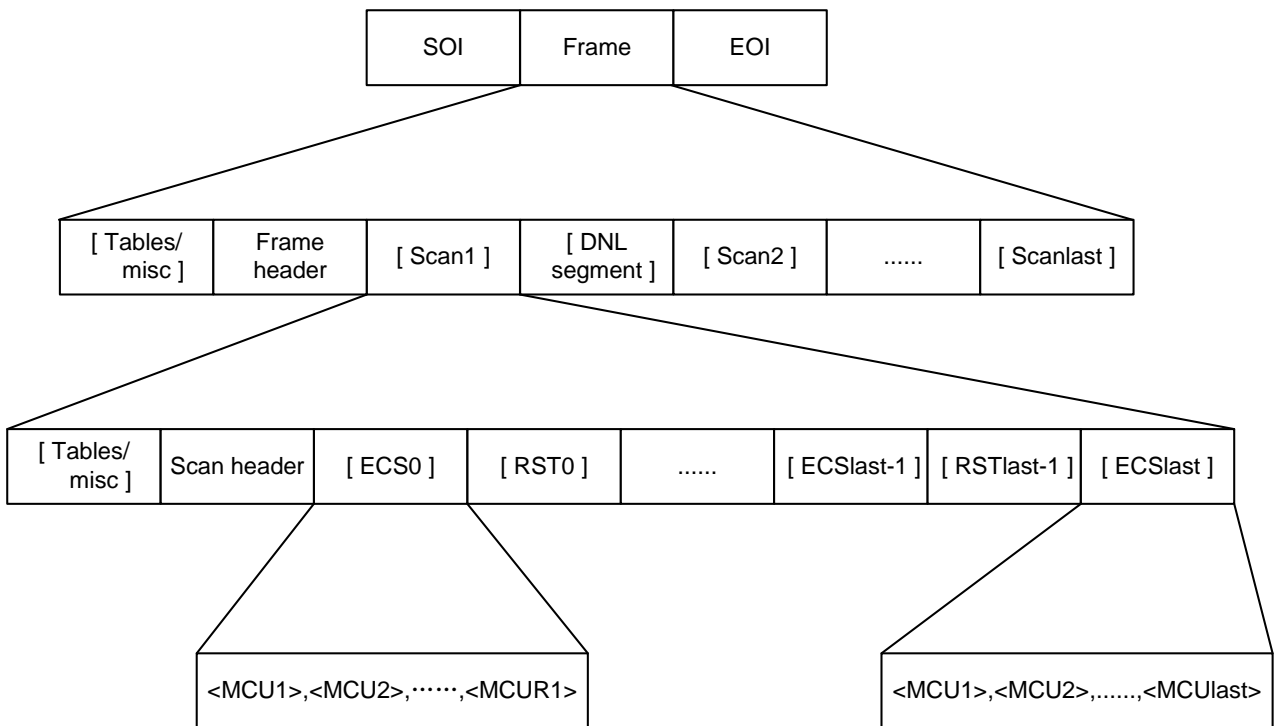


图 7-3 为广义结构图，对于 JPEG 码流，由软件解析 Scan header 及其以上部分，硬件解析 ECS 层和 RSTn 标志。

7.2.3.2 软硬件交互

JPEG 解码由软硬件共同完成，所以在解码中存在软硬件交互。

- 软硬件的交互除去续码流外，以帧级进行交互：
 - 对于 JPEG 图像，每帧图像交互一次。
 - 对于 Motion-JPEG，每帧图像交互一次。
- 软硬件可以通过查询和中断两种方式进行交互，中断产生方式有如下几种：



- 当前图像解码完成产生的中断，表示当前图像已经全部解码完成并写入 DDR 中，JPEG 解码工作结束（因为 Baseline 图像只有一个扫描层，因此一个扫描层解码结束也表示一幅图像解码结束）。
- 当前配置的一段码流解码错误中断，表示当前图像解码过程中发生了错误，JPGD 无法继续解码，工作结束。
- 当前配置的一段码流消耗完成中断，等待软件配置下一段码流后，启动解码器继续解码。



目 录

8 视频及图形处理.....	8-1
8.1 TDE.....	8-1
8.1.1 概述.....	8-1
8.1.2 功能描述.....	8-1
8.2 VPSS.....	8-2
8.2.1 概述.....	8-2
8.2.2 特点.....	8-2
8.3 VGS.....	8-3
8.3.1 概述.....	8-3
8.3.2 特点.....	8-3



8 视频及图形处理

8.1 TDE

8.1.1 概述

2D 图形加速引擎 TDE (Two Dimensional Engine) 利用硬件进行图形绘制, 可以大大减少对 CPU 的占用, 同时提高了内存带宽的资源利用率。TDE 通过 AXI Master 总线接口读写位图数据、滤波缩放系数、链表节点参数信息以及一些链表信息等; 通过 APB Slave 总线接口获得 CPU 的寄存器配置信息。

图形数据接口包括源 1 和源 2 两条通路, 其功能如下:

- 源 1 在单源操作时完成直接拷贝与直接填充的功能。
- 源 2 在单源操作时可完成各种复杂的操作, 如图像缩放、抗闪烁等。
- 源 1 与源 2 协同工作时可以完成颜色混合等操作, 并且用来支持处理宏块格式的图像。

8.1.2 功能描述

TDE 模块有以下功能特点:

- 源位图 1 支持 ARGB4444、ARGB1555、ARGB8888、YCbCr422、RGB444、RGB565、RGB888、ARGB8565、CLUT1、CLUT4、CLUT8、A1、A8、YCbCr888、AYCbCr888、YCbCr422、byte、halfword、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 源位图 2 支持 ARGB4444、ARGB1555、ARGB8888、YCbCr422、RGB444、RGB565、RGB888、ARGB8565、CLUT1、CLUT4、CLUT8、A1、A8、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 输出位图支持 ARGB4444、ARGB1555、ARGB8888、YCbCr422、RGB444、RGB565、RGB888、ARGB8565、CLUT1、CLUT4、CLUT8、A1、A8、YCbCr888、AYCbCr888、YCbCr422、byte、halfword、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 只支持小端系统。
- 支持源位图 1、源位图 2 和输出位图格式分别可配。



- 支持 Gamma 校正、亮度对比度的调节。
- 支持 RGB 与 YCbCr 的转换。
- 支持直接拷贝。
- 支持直接填充。
- 支持 2D-resize 操作。
- 支持抗闪烁操作。
- 支持 clip 操作。
- 支持 alpha blending 操作。
- 支持 colorkey 操作。
- 支持 clip mask 功能。
- 支持反向扫描。
- 提供状态中断。

8.2 VPSS

8.2.1 概述

视频处理子系统 VPSS (Video Processing Sub System) 实现视频处理功能。包含高斯噪声 3D 自适应降噪、解交错、动态对比度增强、视频遮挡、视频裁剪、视频与 OSD 叠加、缩放、图像加边框和分块处理功能。

VPSS 特性如下：

- 支持单帧处理 1920 宽度视频源
- 支持最多三通道视频输出
- 支持 8 个区域的 OSD 与视频叠加
- OSD 的输入格式为 ARGB1555/ARGB4444/ARGB8888
- 支持 4 个区域的视频遮挡
- 支持视频裁剪
- 支持图像边框大小和颜色配置功能，但图像的 4 条边框必须是同一种颜色
- 支持视频源宽度大于 1920 的分块处理功能
- 支持寄存器链表配置功能
- 支持跨 4K 边界
- 输入输出数据格式为 Semiplanar 420/422
- 支持 outstanding 配置
- 支持 MEM 的 clock gate 低功耗模式

8.2.2 特点

- 去高斯噪声功能：NR 模块 (noise reduction)，能通过参数配置，把图像中的高斯噪声去除，使得图像变得平滑，同时降低了编码码率。



- 解交错功能：DEI 模块（de-interlace），能把交错的隔行视频源还原成逐行视频源。
- 图像加边框功能：图像边缘处加入边框，图像边框（上下左右）单独设置宽度，边框颜色可单独设置。
- 图像分块处理功能：当输入的图像单帧宽度大于 1920，可以采用图像分块处理功能；在分块处理模式下，所处理的图像最大宽度为 4096。
- 缩放功能：输入输出分辨率不同的低频滤波处理。缩放倍数为缩小 15 倍，放大 16 倍。
- 动态对比度调节：可以根据图像的亮度动态调节对比度。

8.3 VGS

8.3.1 概述

视频处理子系统 VGS（Video Graph System）实现视频及图形处理功能。包含 OSD 叠加、缩放、动态对比度增强、亮度区域统计、视频裁剪、视频遮挡、旋转、缩放图像加边框和分块处理功能。

VGS 特性如下：

- 支持单帧处理 1920 宽度视频源
- 支持最多一个通道视频输出
- 支持 8 个区域的 OSD 与视频叠加
- OSD 的输入格式为 ARGB1555/ ARGB4444/ ARGB8888
- 支持图像边框大小和颜色单独配置功能，但图像的 4 条边框必须是同一种颜色
- 支持视频源宽度大于 1920 的分块处理功能
- 支持寄存器链表配置功能
- 支持跨 4K 边界
- 输入数据支持 tile，linear 存储
- 输出数据支持 linear 存储
- 支持视频数据压缩
- 支持 90° 或 270° 旋转
- 支持 4 区域的视频遮挡
- 支持视频裁剪
- 支持 outstanding 配置
- 支持 MEM 的 clock gate 低功耗模式
- 支持区域亮度和统计

8.3.2 特点

- 图像加边框功能：图像边缘处加入边框，图像边框（上下左右）单独设置宽度，边框颜色可设置。



- 图像分块处理功能：当输入的图像单帧宽度大于 1920，可以采用图像分块处理功能；在分块处理模式下，所处理的图像最大宽度为 4096。
- 缩放功能：输入输出分辨率不同的低频滤波处理。缩放倍数为缩小 15 倍，放大 16 倍。



目 录

9 运动检测单元.....	9-1
9.1 概述.....	9-1
9.2 功能描述.....	9-1
9.3 工作方式.....	9-1
9.3.1 MDU 运动检测业务的软硬件分工	9-1
9.3.2 MDU 视频遮挡检测业务的软硬件分工.....	9-2
9.4 MDU 寄存器概览	9-2
9.5 MDU 寄存器描述	9-3



表格目录

表 9-1 MDU 寄存器概览（基址是 0x206C_0000）9-2



9 运动检测单元

9.1 概述

MDU (Motion Detect Unit) 是一个高性能的运动检测和视频遮挡检测硬件加速 IP，能够对视频背景进行高效的建模，并计算运动区域的信息。MDU 通过 AXI Master 总线接口读取图像信息，写出刷新后的背景图信息、SAD (Sum of absolute differences) 值及运动区域信息。通过 APB Slave 总线获取配置寄存器信息。

9.2 功能描述

MDU 支持如下几种功能：

- 支持以 8x8 或 16x16 为单位的 SAD 值计算和输出。
- 支持运动区域检测及运动区域信息输出。
- 支持背景图更新。

9.3 工作方式

9.3.1 MDU 运动检测业务的软硬件分工

软件实现待编码图像的准备，包括：

- 在 DDR 中分配存储空间。
- 调用其他硬件完成视频捕获、缩放等处理。
- 多个运动检测的调度，待检测区域的指定，划分和生成地址信息等。

硬件实现对输入图像进行 SAD 值计算：

- 根据 SAD 的计算结果和设定的阈值检测运动区域，并更新背景。
- 根据软件的设置输出运动区域的信息，背景图像或 SAD 值。



9.3.2 MDU 视频遮挡检测业务的软硬件分工

软件使用硬件输出的运动区域的面积信息，判断是否达到遮挡阈值，如果达到，则设置硬件不再更新背景，但继续进行运动区域的检测，当运动区域面积连续超过设置的遮挡阈值，则进行遮挡报警。

9.4 MDU 寄存器概览

MDU 寄存器概览如表 9-1 所示。

表9-1 MDU 寄存器概览（基址是 0x206C_0000）

偏移地址	名称	描述	页码
0x0000	MDU_INTSTAT	中断状态信号寄存器	9-3
0x0004	MDU_INTEN	中断使能信号寄存器	9-4
0x0008	MDU_RAWINT	原始中断信号寄存器	9-5
0x000C	MDU_INTCLR	中断清除寄存器	9-6
0x0020	MDU_VEDIMGSIZE	图像大小配置寄存器	9-6
0x0024	MDU_MODE	模式配置寄存器	9-7
0x0028	MDU_START	MDU 启动寄存器	9-8
0x002C	MDU_AXI_OUTST D_NUM	AXI OUTSTANDING 配置寄存器	9-9
0x0040	MDU_REF_YADDR	参考图像亮度存储地址寄存器	9-9
0x0044	MDU_REF_YSTRID E	参考图像亮度 Stride 寄存器	9-9
0x0048	MDU_CUR_YADDR	当前图像亮度存储地址寄存器	9-10
0x004C	MDU_CUR_YSTRID E	当前图像亮度 Stride 寄存器	9-10
0x0060	MDU_MBSAD_AD DR	宏块 SAD 值存储地址寄存器	9-11
0x0064	MDU_MBSAD_STR IDE	宏块 SAD 值存储 Stride 寄存器	9-11
0x0070	MDU_BACKGROU ND_ADDR	背景图像亮度存储地址寄存器	9-12
0x0074	MDU_BACKGROU ND_STRIDE	背景图像亮度 Stride 寄存器	9-12
0x0078	MDU_OBJ_ADDR	运动区域存储地址寄存器	9-12



偏移地址	名称	描述	页码
0x007C	MDU_BG_UP_WEIGHT	背景图更新权重寄存器	9-13
0x0080	MDU_MBSAD_TH	宏块动静判决阈值寄存器	9-14
0x0084	MDU_TIMEOUT	TIMEOUT 上限寄存器	9-14
0x0090	MDU_WND_SIZE	SAD 值输出窗口配置寄存器	9-14
0x0094	MDU_MIN_OBJ_SIZE	边界搜索最小窗口配置寄存器	9-15
0x0098	MDU_MAX_OBJ_CNT	边界搜索最大窗口配置寄存器	9-16
0x009C	MDU_OBJ_CNT	运动区域信息回读寄存器	9-16
0x00A0	MDU_MAX_OBJ_SIZE	最大运动区域回读寄存器	9-16
0x00A4	MDU_TOTAL_OBJ_SIZE	总运动区域信息回读寄存器	9-17
0x00A8	MDU_MOVE_PIX_CNT	整帧运动像素统计寄存器	9-18
0x00AC	MDU_OBJ_CNT1	基于背景的运动区域信息回读寄存器	9-18
0x00B0	MDU_MAX_OBJ_SIZE1	基于背景的最大运动区域回读寄存器	9-18
0x00B4	MDU_TOTAL_OBJ_SIZE1	基于背景的总运动区域信息回读寄存器	9-19
0x00B8	MDU_MOVE_PIX_CNT1	基于背景的整帧运动像素统计寄存器	9-19

9.5 MDU 寄存器描述

MDU_INTSTAT

MDU_INTSTAT 为中断状态信号寄存器。



Offset Address		Register Name		Total Reset Value				
0x0000		MDU_INTSTAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err mdu_cfg_err	reserved						mdu_timeout mdu_endofpic
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	mdu_bus_err	总线读写错误。					
[30]	RO	mdu_cfg_err	寄存器配置错误。					
[29:2]	RO	reserved	保留。					
[1]	RO	mdu_timeout	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。					
[0]	RO	mdu_endofpic	MDU 当前图像结束指示，高有效。					

MDU_INTEN

MDU_INTEN 为中断使能信号寄存器。

Offset Address		Register Name		Total Reset Value				
0x0004		MDU_INTEN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err_en mdu_cfg_err_en	reserved						mdu_timeout_en mdu_endofpic_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	mdu_bus_err_en	总线读写错误时中断使能。 0: 禁止; 1: 使能。					



[30]	RW	mdu_cfg_err_en	寄存器配置错误中断使能。 0: 禁止; 1: 使能。
[29:2]	RO	reserved	保留。
[1]	RW	mdu_timeout_en	mdu 超时工作中断, 当 mdu 被配置为打开超时检测模式下, 且 mdu 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。 0: 禁止; 1: 使能。
[0]	RW	mdu_endofpic_en	MDU 当前图像结束中断使能。 0: 禁止; 1: 使能。

MDU_RAWINT

MDU_RAWINT 为原始中断信号寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0008	MDU_RAWINT	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	mdu_bus_err_raw mdu_cfg_err_raw	reserved	mdu_timeout_raw mdu_endofpic_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31]	RO	mdu_bus_err_raw	总线读写错误指示, 高有效。
[30]	RO	mdu_cfg_err_raw	寄存器配置错误指示, 高有效。
[29:2]	RO	reserved	保留。
[1]	RO	mdu_timeout_raw	MDU 超时工作中断, 高有效。
[0]	RO	mdu_endofpic_raw	MDU 当前图像结束指示, 高有效。



MDU_INTCLR

MDU_INTCLR 为中断清除寄存器。

Offset Address		Register Name		Total Reset Value				
0x000C		MDU_INTCLR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err_clr mdu_cfg_err_clr	reserved						mdu_timeout_clr mdu_endofpic_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	mdu_bus_err_clr	总线读写错误清除，高有效。					
[30]	RW	mdu_cfg_err_clr	寄存器配置错误清除，高有效。					
[29:2]	RO	reserved	保留。					
[1]	RW	mdu_timeout_clr	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。					
[0]	RW	mdu_endofpic_clr	MDU 当前图像结束指示清除，高有效。					

MDU_VEDIMGSIZE

MDU_VEDIMGSIZE 为图像大小配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0020		MDU_VEDIMGSIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	imgheightinpixelsminus1				reserved	imgwidthinpixelsminus1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	imgheightinpixelsminus1	图像高度。以像素为单位，实际宽度减 1。例如图像宽度为 352，此寄存器应该配为 351。最大支持图像高度为 960。						



[15:13]	RO	reserved	保留。
[12:0]	RW	imgwidthinpixelsminus1	图象宽度。以像素为单位，实际高度减 1。例如图象宽为 288，此寄存器应该配为 287。最大支持图像宽度为 960。

MDU_MODE

MDU_MODE 为模式配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0024				MDU_MODE				0x0000_019C																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																mcpi_clkgate_en	mcpi_wrlock_en	timeout_en	md_mod	bg_update_en	eg_find_en	obj_out_en	sad_out_en	sad_mad_sel							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	0	0
Bits	Access		Name		Description																											
[31:9]	RO		reserved		保留。																											
[8]	RW		mcpi_clkgate_en		时钟门控开关。																											
[7]	RW		mcpi_wrlock_en		寄存器配置锁开关，打开时，在启动 MDU 后，到结束检测之前，配置寄存器无效，防止寄存器在使用中被改写。																											
[6]	RW		timeout_en		mdu 超时检测开关，打开时可以自行检测软件在寄存器 MDU_TIMEOUT 中配置的工作 cycle 数上限值。 0: 关闭超时检测功能； 1: 打开超时检测功能。																											
[5]	RW		md_mod		运动检测模式。 0: 基于背景算法； 1: 基于帧差算法。																											
[4]	RW		bg_update_en		背景更新开关。 0: 不更新背景； 1: 更新背景。 此寄存器在 md_mod 设置为基于背景算法的情况下有效，基于帧差算法时，此寄存器为任何值都设置无效。																											



[3]	RW	eg_find_en	运动区域联通检测开关。 0: 不使用运动区域联通检测; 1: 使用运动区域联通检测。 在基于背景算法时, 此开关只关闭最后一次基于背景的区域联通检测。
[2]	RW	obj_out_en	运动区域输出开关, 如果此开关打开, 必须设置运动区域信息存储内存的地址和间隔寄存器。 0: 运动区域信息不输出; 1: 运动区域信息输出。
[1]	RW	sad_out_en	SAD 输出开关, 如果此开关打开必须设置 SAD 的存储内存地址和间隔寄存器。 0: 生成的 SAD 不输出; 1: 生成的 SAD 输出。
[0]	RW	sad_mad_sel	SAD 输出比特数选择信号。 0: 8bit; 1: 16bit。

MDU_START

MDU_START 为 MDU 启动寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0028				MDU_START				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										mdu_start					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	RO		reserved		保留。																											
[0]	WO		mdu_start		MDU 工作触发开始。 0: 不工作; 1: 触发工作。																											



MDU_AXI_OUTSTD_NUM

MDU_AXI_OUTSTD_NUM 为 AXI OUTSTANDING 配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x002C	MDU_AXI_OUTSTD_NUM	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:3]	RO	reserved	保留。
[2:0]	RW	axi_outstd_num	AXI outstanding 配置寄存器，从 0 计数（实际值为加 1 后的值）。

MDU_REF_YADDR

MDU_REF_YADDR 为参考图像亮度存储地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0040	MDU_REF_YADDR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	mdu_ref_yaddr		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	mdu_ref_yaddr	参考图像 Y 分量存储地址。输入的原始图像必须是 Qword (128bit) 对齐的，即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。

MDU_REF_YSTRIDE

MDU_REF_YSTRIDE 为参考图像亮度 Stride 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0044		MDU_REF_YSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_ref_ystride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	mdu_ref_ystride	亮度 Stride ， 以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐， Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。						

MDU_CUR_YADDR

MDU_CUR_YADDR 为当前图像亮度存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0048		MDU_CUR_YADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_cur_yaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_cur_yaddr	原始图像 Y 分量存储地址。输入的原始图像必须是 Qword (128bit) 对齐的， 即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。					

MDU_CUR_YSTRIDE

MDU_CUR_YSTRIDE 为当前图像亮度 Stride 寄存器。



Offset Address		Register Name		Total Reset Value					
0x004C		MDU_CUR_YSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_cur_ystride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	mdu_cur_ystride	亮度 Stride，以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐，Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。						

MDU_MBSAD_ADDR

MDU_MBSAD_ADDR 为宏块 SAD 值存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0060		MDU_MBSAD_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_mbsad_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_mbsad_addr	宏块 SAD 存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。					

MDU_MBSAD_STRIDE

MDU_MBSAD_STRIDE 为宏块 SAD 值存储 Stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0064		MDU_MBSAD_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_mbsad_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	mdu_mbsad_stride	宏块 sad 行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。
--------	----	------------------	---

MDU_BACKGROUND_ADDR

MDU_BACKGROUND_ADDR 为背景图像亮度存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0070		MDU_BACKGROUND_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	bg_yaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	bg_yaddr	背景图像地址。地址必须是 qword 对齐的，因此其低 4 位为 0。					

MDU_BACKGROUND_STRIDE

MDU_BACKGROUND_STRIDE 为背景图像亮度 Stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0074		MDU_BACKGROUND_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				bg_ystride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	bg_ystride	背景图像行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。					

MDU_OBJ_ADDR

MDU_OBJ_ADDR 为运动区域存储地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0078		MDU_OBJ_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	obj_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	obj_addr	<p>运动区域存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。</p> <p>存储格式为一个运动区域使用 4 个 16bit 存放 4 个点顺序为 left、top、right、bottom；因而一个运动区域会使用 3 个 32bit 的内存，软件在分配内存的时候应该使用 2 x 32bit x 最大运动区域个数作为内存的最小值。</p>					

MDU_BG_UP_WEIGHT

MDU_BG_UP_WEIGHT 为背景图更新权重寄存器。

Offset Address		Register Name		Total Reset Value					
0x007C		MDU_BG_UP_WEIGHT		0x0000_0101					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			src_weight			weight_sum_exp_2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:8]	RW	src_weight	新图像权重。						
[7:0]	RW	weight_sum_exp_2	<p>权重和的对 2 的指数。</p> <p>MDU 在进行源图像与背景迭加生成新背景的时候，使用如下的计算公式： $(\text{背景像素值} \times ((1 \ll \text{weight_sum_exp_2}) - \text{src_weight}) + \text{源图像} \times \text{bg_weight}) \gg \text{weight_sum_exp_2}$。</p> <p>背景图像的权重 bg_weight 为： $((1 \ll \text{weight_sum_exp_2}) - \text{src_weight})$，如果背景权重设置的比 src_weight 越大，背景更新的速度就越慢。</p> <p>Default: 0x1，最大值为 8。</p>						



MDU_MBSAD_TH

MDU_MBSAD_TH 为宏块动静判决阈值寄存器。

Offset Address		Register Name		Total Reset Value					
0x0080		MDU_MBSAD_TH		0x0000_001E					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_mbsad_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	mdu_mbsad_th	4×4 块动静判决阈值。在 MDU 内部所有的计算都是使用的 4×4 块						

MDU_TIMEOUT

MDU_TIMEOUT 为 TIMEOUT 上限寄存器。

Offset Address		Register Name		Total Reset Value				
0x0084		MDU_TIMEOUT		0x0360_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_timeout							
Reset	0 0 0 0	0 0 1 1	0 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_timeout	工作 cycle 数的上限值。					

MDU_WND_SIZE

MDU_WND_SIZE 为 SAD 值输出窗口配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x0090		MDU_WND_SIZE		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								sad_wnd_size
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	sad_wnd_size	sad 输出窗口大小。在 MDU 内部以 4 x 4 块为单位进行计算，在使能了模式寄存器中的 sad_out_en 后，MDU 在输出的时候会根据这个寄存器对多个 4 x 4 块做加和，然后输出到 DDR 中。 0: 8 x 8; 1: 16 x 16。（默认值）						

MDU_MIN_OBJ_SIZE

MDU_MIN_OBJ_SIZE 为边界搜索最小窗口配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0094		MDU_MIN_OBJ_SIZE		0x0300_0101					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	egsearch_timeout			min_obj_size_h			min_obj_size_w		
Reset	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RW	egsearch_timeout	边缘搜索超时，如果一个运动区域搜索的点数超过此值，则停止此运动区域边缘搜索，进行下一个区域搜索。						
[15:8]	RW	min_obj_size_h	运动尺寸的高度下限值，小于此高度的运动区域不上报。此处的 size 的 1 代表一个 4 x 4 块。						
[7:0]	RW	min_obj_size_w	运动尺寸的宽度下限值，小于此宽度的运动区域不上报。此处的 size 的 1 代表一个 4 x 4 块。						



MDU_MAX_OBJ_CNT

MDU_MAX_OBJ_CNT 为边界搜索最大窗口配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0098		MDU_MAX_OBJ_CNT		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				max_obj_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	max_obj_cnt	检测运动目标的上限值。						

MDU_OBJ_CNT

MDU_OBJ_CNT 为运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value					
0x009C		MDU_OBJ_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	max_obj_index				obj_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	max_obj_index	最大运动区域索引。后面不带数字后缀的统计寄存器，是使用帧差法的统计信息，或使用背景法，在第一次计算 SAD 和进行运动区域搜索得到的统计信息。						
[15:0]	RO	obj_cnt	检测到的运动目标个数。						

MDU_MAX_OBJ_SIZE

MDU_MAX_OBJ_SIZE 为最大运动区域回读寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00A0		MDU_MAX_OBJ_SIZE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	max_obj_size																															
Reset	0 0																															
Bits	Access	Name	Description																													
[31:0]	RO	max_obj_size	<p>最大运动区域面积，用来对视频遮挡进行检测。此处输出的值是像素面积。</p> <p>软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行视频遮挡检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。</p>																													

MDU_TOTAL_OBJ_SIZE

MDU_TOTAL_OBJ_SIZE 为总运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00A4		MDU_TOTAL_OBJ_SIZE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	total_obj_size																															
Reset	0 0																															
Bits	Access	Name	Description																													
[31:0]	RO	total_obj_size	<p>所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。</p> <p>MDU 内部的计算方法为把所有的运动区域面积进行加和。此处输出的值是像素面积（用一个运动区域的 4 x 4 块的个数乘 16）。</p> <p>注意：</p> <ul style="list-style-type: none"> 在某些情况下，运动区域可能会有重叠，此面积可能会超过原始图象面积。 每个运动区域是的 4 x 4 块宽度和高度计算公式为： weight= (right-left) +1; heigth= (bottom-top) +1。 																													



MDU_MOVE_PIX_CNT

MDU_MOVE_PIX_CNT 为整帧运动像素统计寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00A8		MDU_MOVE_PIX_CNT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	move_pix_cnt																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RO	move_pix_cnt	整帧运动像素个数，可用来做视频遮挡检测，用法同运动区域面积统计。 注意：因为这个是按单个像素点进行的统计，此面积和上面的 total_obj_size 可能会不相等。																													

MDU_OBJ_CNT1

MDU_OBJ_CNT1 为基于背景的运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00AC		MDU_OBJ_CNT1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	max_obj_index1								obj_cnt1																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RO	max_obj_index1	基于背景的最大运动区域索引。后面所有的后缀为 1 的统计寄存器，都是指在使用背景法的时候，第二次进行 SAD 计算和运动区域搜索得到的统计信息。																													
[15:0]	RO	obj_cnt1	检测到的基于背景的运动目标个数。																													

MDU_MAX_OBJ_SIZE1

MDU_MAX_OBJ_SIZE1 为基于背景的最大运动区域回读寄存器。



Offset Address		Register Name		Total Reset Value				
0x00B0		MDU_MAX_OBJ_SIZE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	max_obj_size1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	max_obj_size1	基于背景的最大运动区域面积，用来对视频遮挡进行检测。软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行的视频检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。以像素为单位。					

MDU_TOTAL_OBJ_SIZE1

MDU_TOTAL_OBJ_SIZE1 为基于背景的总运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value				
0x00B4		MDU_TOTAL_OBJ_SIZE1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	total_obj_size1							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	total_obj_size1	基于背景的所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。					

MDU_MOVE_PIX_CNT1

MDU_MOVE_PIX_CNT1 为基于背景的整帧运动像素统计寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x00B8				MDU_MOVE_PIX_CNT1				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	move_pix_cnt1																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RO	move_pix_cnt1	基于背景的整帧运动像素个数，可用来做视频遮挡检测，用法同运动区域面积统计。																													



目 录

10 智能加速引擎.....	10-1
10.1 概述.....	10-1
10.2 功能描述.....	10-1
10.3 工作方式.....	10-2
10.3.1 硬件使用	10-2
10.3.2 中断	10-6
10.3.3 时钟复位	10-6
10.3.4 输入、输出数据格式.....	10-7
10.4 IVE 寄存器概览.....	10-22
10.5 IVE 寄存器描述.....	10-23



插图目录

图 10-1 IVE 链表节点结构示意图	10-3
图 10-2 IVE 链表使用示意图	10-6
图 10-3 数据格式为 SemPlanar YCbCr422 时, Pixel 在 Memory 中的存储	10-7
图 10-4 数据格式为 SemPlanar YCbCr420 时, Pixel 在 Memory 中的存储	10-7
图 10-5 数据格式为单分量时, Pixel 在 Memory 中的存储	10-8
图 10-6 数据格式为 RGB package 时, Pixel 在 Memory 中的存储	10-8
图 10-7 数据格式为 RGB planar 时, Pixel 在 Memory 中的存储	10-9
图 10-8 SOBEL 算子时, 输出结果在 Memory 中的存储	10-10
图 10-9 CANNY 算子, 结果在 Memory 中的存储	10-10
图 10-10 积分图算子时, 输出结果在 Memory 中的存储 (INTEGRAL_OUT)	10-11
图 10-11 直方图统计时, 输出结果在 Memory 中的存储 (HIST_OUT)	10-11
图 10-12 算子的参数 stride 取最小值时的情况	10-12
图 10-13 DMA 数据搬运应用之一	10-13
图 10-14 3×3 模板滤波计算公式	10-14
图 10-15 SOBEL 梯度计算公式	10-17
图 10-16 CANNY 角度量化定义	10-18



表格目录

表 10-1 IVE 链表节点参数说明	10-3
表 10-2 YCbCr 到 RGB 的视频矩阵 (BT.601)	10-15
表 10-3 YCbCr 到 RGB 的视频矩阵 (BT.709)	10-15
表 10-4 YCbCr 到 RGB 的图象矩阵 (BT.601)	10-15
表 10-5 YCbCr 到 RGB 的图象矩阵 (BT.709)	10-16
表 10-6 IVE 寄存器概览 (基址是 0x205E_0000)	10-22



10 智能加速引擎

10.1 概述

IVE (Intelligent Video Engineering) 模块是智能分析系统中的硬件加速模块。实现模板滤波、膨胀、腐蚀、图像 sobel 和 canny 边缘提取, 图像减、与、或, 图像二值化, 积分图, 直方图统计功能。IVE 通过 AXI Master 总线接口读写数据以及链表节点参数信息; 通过 APB Slave 总线接口配置 IVE 启动所需的寄存器信息以及获得运行过程中的寄存器状态信息。

10.2 功能描述

IVE 模块支持如下功能特点:

- 支持 DMA。
- 支持 3 x 3 模板滤波。
- 支持 YUV 到 RGB 的颜色空间转换。
- 支持 3 x 3 模板滤波加 YUV 到 RGB 颜色空间转换的复合功能。
- 支持 SOBEL/SCHARR 等算子的 X/Y 方向的梯度计算。
- 支持 CANNY 梯度幅值及方向计算。
- 支持 3 x 3 腐蚀。
- 支持 3 x 3 膨胀。
- 支持图象二值化。
- 支持两幅图象相与。
- 支持两幅图象相减。
- 支持两幅图象相或。
- 支持积分图计算。
- 支持直方图统计。
- 最大运行频率 300MHz。
- 支持单独进行软复位。
- 支持 64bit AXI 总线 (Master) 和 32bit APB 总线 (Slave)。



- 支持链表级中断和节点级中断。
- 支持查询模式。
- 支持单分量，SP420 (semi-planar420)，SP422 (semi-planar422) 输入格式。
- 支持单分量，SP420，SP422，RGBpackage，RGBplanar 等输出格式。
- 部分算子支持读写地址非 8byte 对齐。

10.3 工作方式

10.3.1 硬件使用

在查询模式下使用 IVE 的操作步骤如下：

步骤 1 在内存中创建任务链表。

步骤 2 配置 IVE 内部寄存器 `LIST_POINTER`，`INT_EN`。

步骤 3 配置 IVE 内部寄存器 `IVE_START`，启动 IVE。

步骤 4 在运行过程中查看 `IVE_STATUS` 的状态以获取 IVE 运行状态。如果 IVE 空闲，则链表任务完成。如需要继续使用，重复步骤 1 至步骤 4。

----结束

在中断模式下使用 IVE 的操作步骤如下：

步骤 1 在内存中创建任务链表。

步骤 2 配置 IVE 内部寄存器 `LIST_POINTER`，`INT_EN`。

步骤 3 配置 IVE 内部寄存器 `IVE_START`，启动 IVE。

步骤 4 在中断服务程序中，根据 `INT_STATUS` 判断中断类型，配置 IVE 内部寄存器 `INT_RW` 可以清除 `INT_STATUS` 的中断状态。并根据 `IVE_STATUS` 判断 IVE 状态，`IVE_STATUS` 状态为 `IDLE`，表明链表任务完成，回步骤 1 开始下一次链表操作。

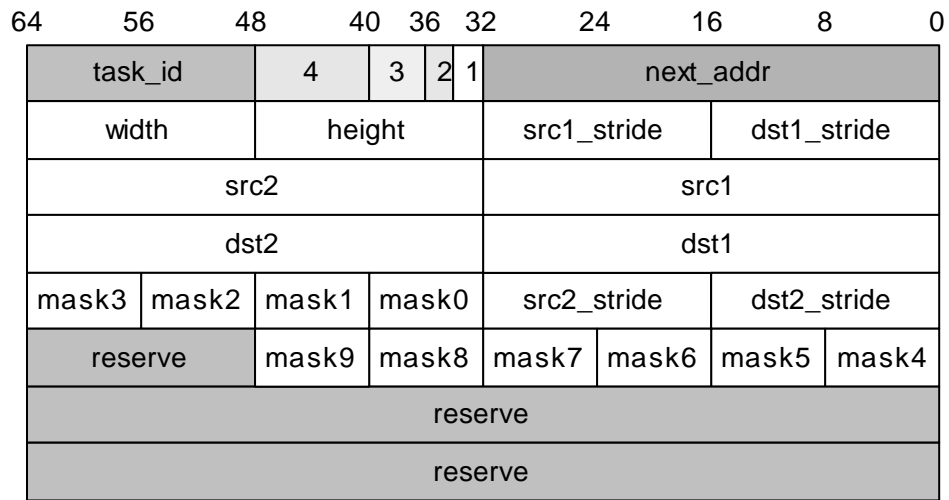
----结束

IVE 任务链表采用定长定位的链表节点格式，每个节点的大小为 8 x 8byte，链表的节点数目为任意值。

链表节点结构如图 10-1 所示，



图10-1 IVE 链表节点结构示意图



1: in_fmt[1:0] 2: csc_fmt[1:0] 3: out_fmt[3:0] 4: op_type[7:0]

表 10-1 描述了节点各参数值的意义。

表10-1 IVE 链表节点参数说明

参数寄存器	描述
next_addr	下一个结点在内存中的地址，为 0x00000000，表示当前链表的最后一个节点。
in_fmt	图像输入格式。 00: 单分量； 01: SP420； 10: SP422； 11: 保留。
csc_fmt	CSC 模式选择。 00: BT601&BT656，范围 16~235； 01: BT701，范围 16~235； 10: BT601&BT656，范围 0~255； 11: BT701，范围 0~255。



参数寄存器	描述
out_fmt	<p>图像输出格式。</p> <p>CSC:</p> <p>0000: package;</p> <p>0001: planar。</p> <p>CANNY:</p> <p>0000: 只输出幅值;</p> <p>0001: 输出幅值和角度值。</p> <p>THRESH:</p> <p>0000: 大于阈值置为 maxvalue, 小于阈值置为 minvalue;</p> <p>0001: 大于阈值置为 maxvalue, 小于阈值不变;</p> <p>0010: 大于阈值不变, 小于阈值置为 minvalue。</p> <p>SUBSTRACT:</p> <p>0000: 差异绝对值输出;</p> <p>0001: 差异值右移一位输出。</p>
op_type	<p>当前节点选择运行的算子类型。</p> <p>0x00: 快速拷贝 (DMA);</p> <p>0x01: 模板滤波 (FILTER);</p> <p>0x02: 色彩空间转换 (CSC);</p> <p>0x03: 模板滤波加色彩转换复合功能 (FILTER+CSC);</p> <p>0x04: SOEBL 梯度 (SOBEL);</p> <p>0x05: SOBEL 幅度及方向 (CANNY);</p> <p>0x06: 膨胀 (DILATE);</p> <p>0x07: 腐蚀 (ERODE);</p> <p>0x08: 图像二值化 (THRESH);</p> <p>0x09: 两图像相与 (AND);</p> <p>0x0A: 两图像相减 (SUBSTRACT);</p> <p>0x0B: 两图像相或 (OR);</p> <p>0x0C: 积分图 (INTEGRAL);</p> <p>0x0D: 直方图 (HISTOGRAM)。</p>
task_id	当前节点的任务 ID 号。
dst1_stride	输出目的地址 1 的 stride 信号, 8byte 对齐。
src1_stride	源图像 1 的 stride 信号, 8byte 对齐。
height	源图像实际高度值。
width	源图像实际宽度值, 当输入格式为 420 和 422 时, 为偶数。

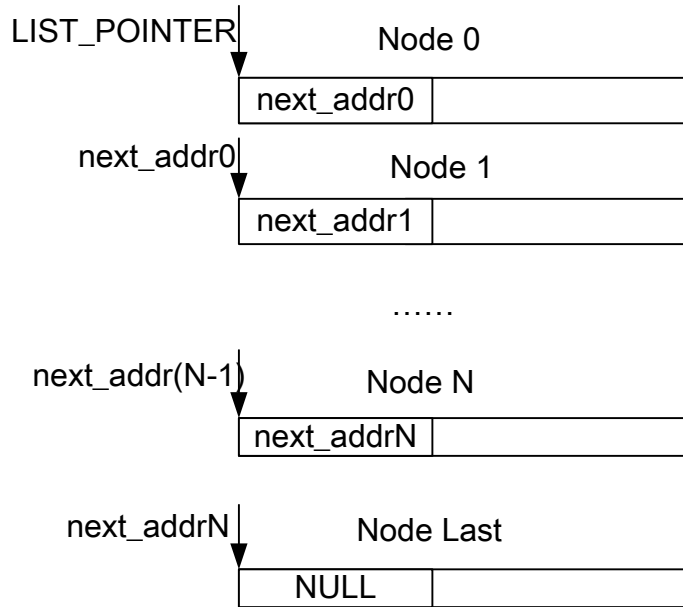


参数寄存器	描述
src1	源图像 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，8byte 对齐。
src2	源图像 2 的起始地址。
dst1	目标 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，要求 8byte 对齐。
dst2	目标 2 的起始地址。
dst2_stride	目标地址 2 的 stride，要求 8byte 对齐。
src2_stride	源图像 2 的 stride，8byte 对齐。
mask0	模板系数 00 或者 THRESH 算子的 threshold。
mask1	模板系数 01 或者 THRESH 算子的 min_value。
mask2	模板系数 02 或者 THRESH 算子的 max_value。
mask3	模板系数 10。
mask4	模板系数 11。
mask5	模板系数 12。
mask6	模板系数 20。
mask7	模板系数 21。
mask8	模板系数 22。
mask9	FILTER 算子系数和。
reserved	保留位。

模板系数：3×3 运算算子（FILTER、FILTER+CSC、SOBEL、CANNY、DILATE、ERODE）使用的运算模板的系数。



图10-2 IVE 链表使用示意图



10.3.2 中断

IVE 会产生以下 2 种中断：

- 当前链表的全部节点完成中断。
- 当前节点的操作完成中断。

10.3.3 时钟复位

时钟关断策略

IVE 的输入时钟可以进行关断，以达到降功耗的目的。IVE 时钟关断前必须保证 IVE 处于空闲状态（查询状态寄存器 `IVE_STATUS` 为 `IDLE`），然后才能关断时钟。时钟关断不会丢掉 IVE 的寄存器配置。在对 IVE 内部寄存器进行操作前，必须先开启时钟。

复位策略

单独对 IVE 复位时不支持任意时间复位，否则可能导致总线异常，单独对 IVE 复位时必须在 IVE 状态寄存器 `IVE_STATUS` 为 `IDLE` 时方可复位。

系统复位将使 IVE 内部各寄存器全部清空。



10.3.4 输入、输出数据格式

10.3.4.1 存放顺序

下面数据存放顺序均是在小端系统（little endian）的内存存放顺序，为了方便描述，统一使用 Word、Double Word 作为存储单位进行描述，实际应用中不同的算子对数据存储对齐格式有特殊要求，具体要求见 10.3.4.2 支持的功能描述部分。

图10-3 数据格式为 SemPlanar YCbCr422 时，Pixel 在 Memory 中的存储

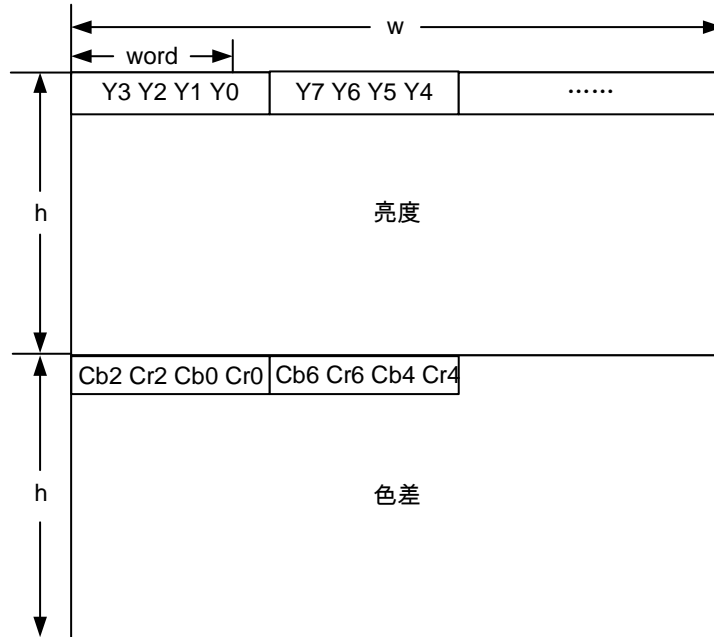


图10-4 数据格式为 SemPlanar YCbCr420 时，Pixel 在 Memory 中的存储

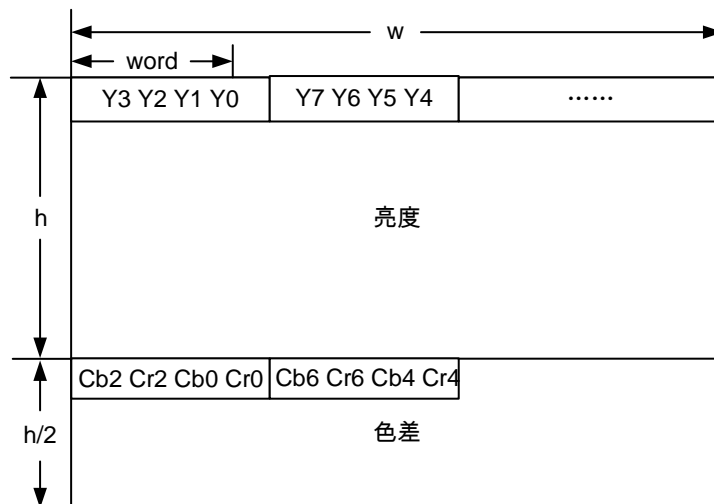




图10-5 数据格式为单分量时，Pixel 在 Memory 中的存储

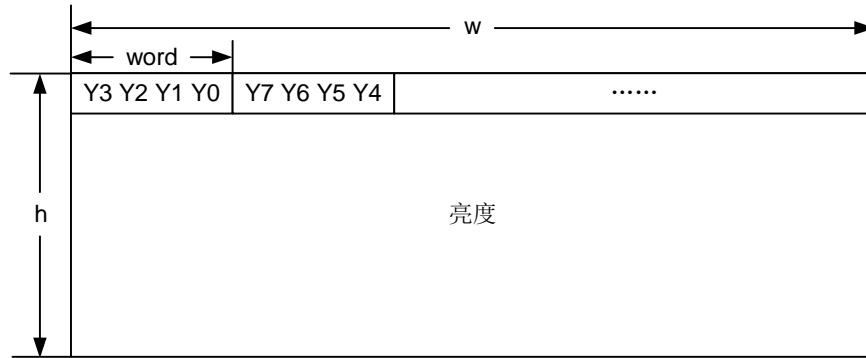


图10-6 数据格式为 RGB package 时，Pixel 在 Memory 中的存储

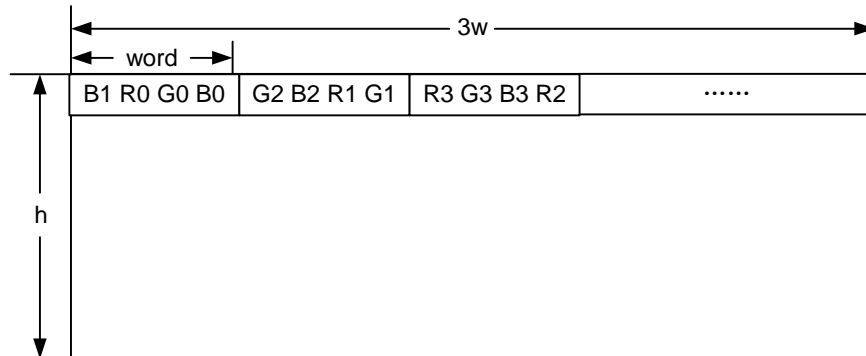




图10-7 数据格式为 RGB planar 时, Pixel 在 Memory 中的存储

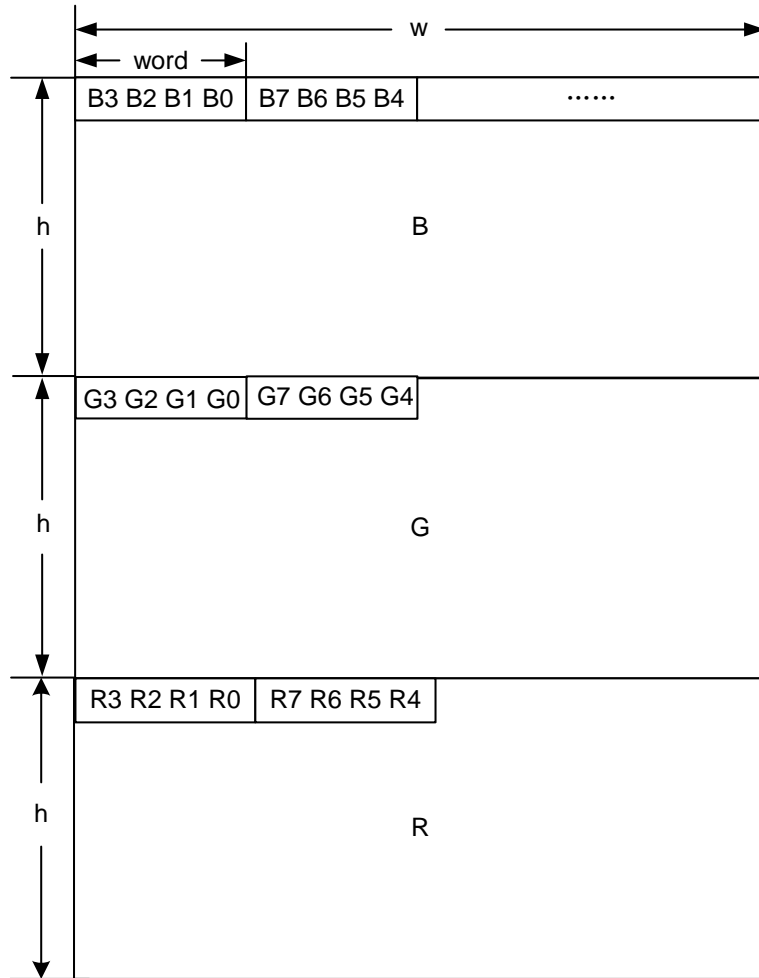




图10-8 SOBEL 算子时，输出结果在 Memory 中的存储

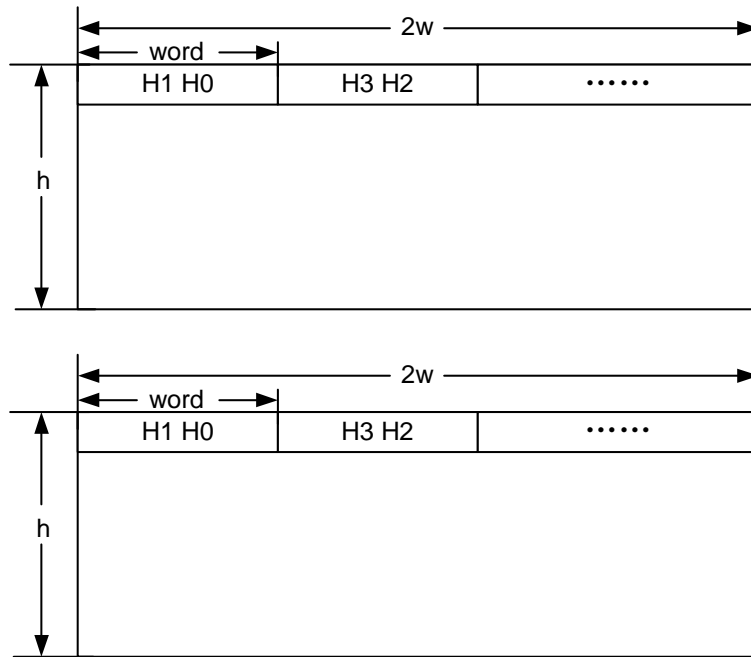


图10-9 CANNY 算子，结果在 Memory 中的存储

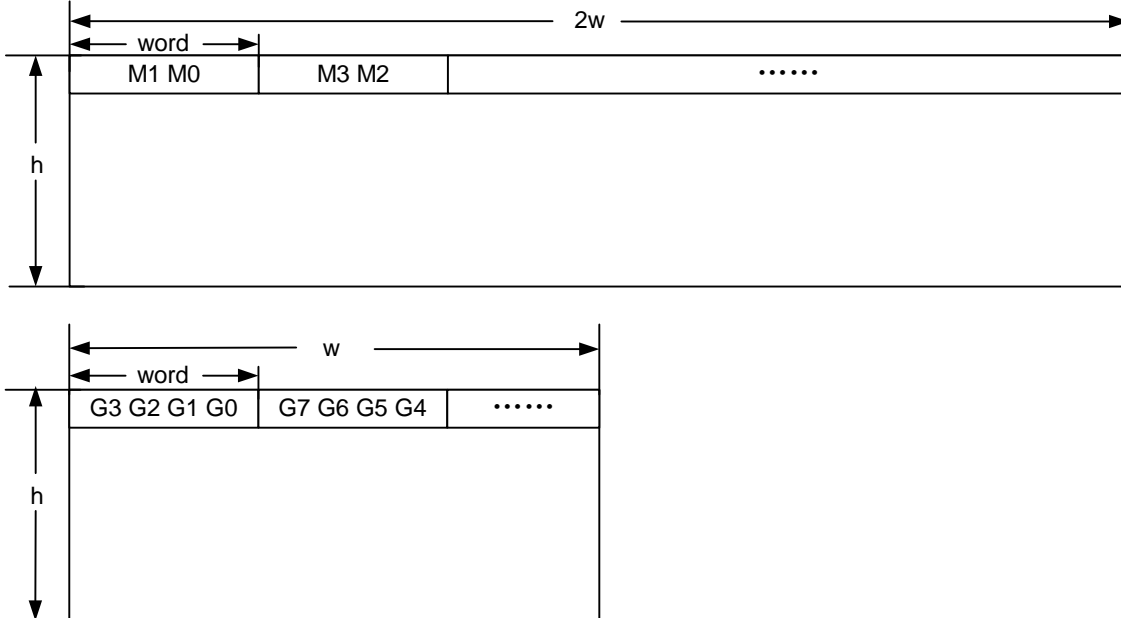




图10-10 积分图算子时，输出结果在 Memory 中的存储（INTEGRAL_OUT）

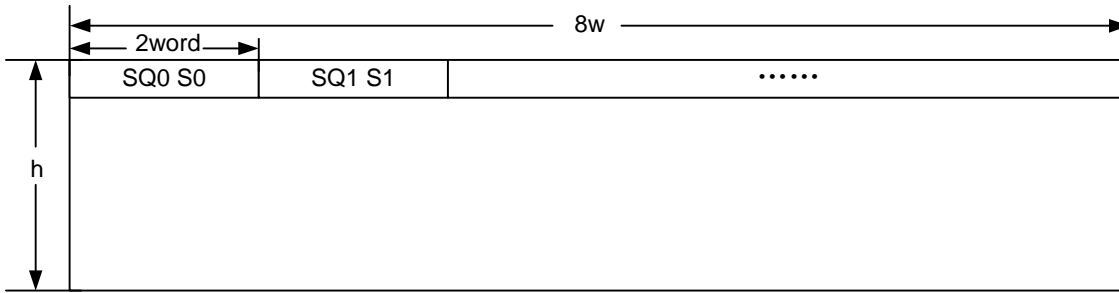
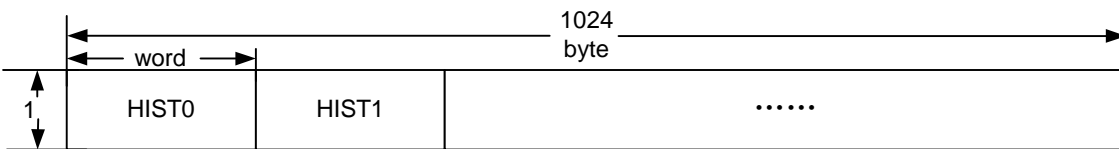


图10-11 直方图统计时，输出结果在 Memory 中的存储（HIST_OUT）



10.3.4.2 支持的功能

IVE 所有算子的 stride 均需要满足以下条件：

当 $((src\%8) == 0) \& \&((width\%8) == 0)$ 成立时，要求

$$\begin{cases} stride \geq width \\ stride\%8 = 0 \end{cases}$$

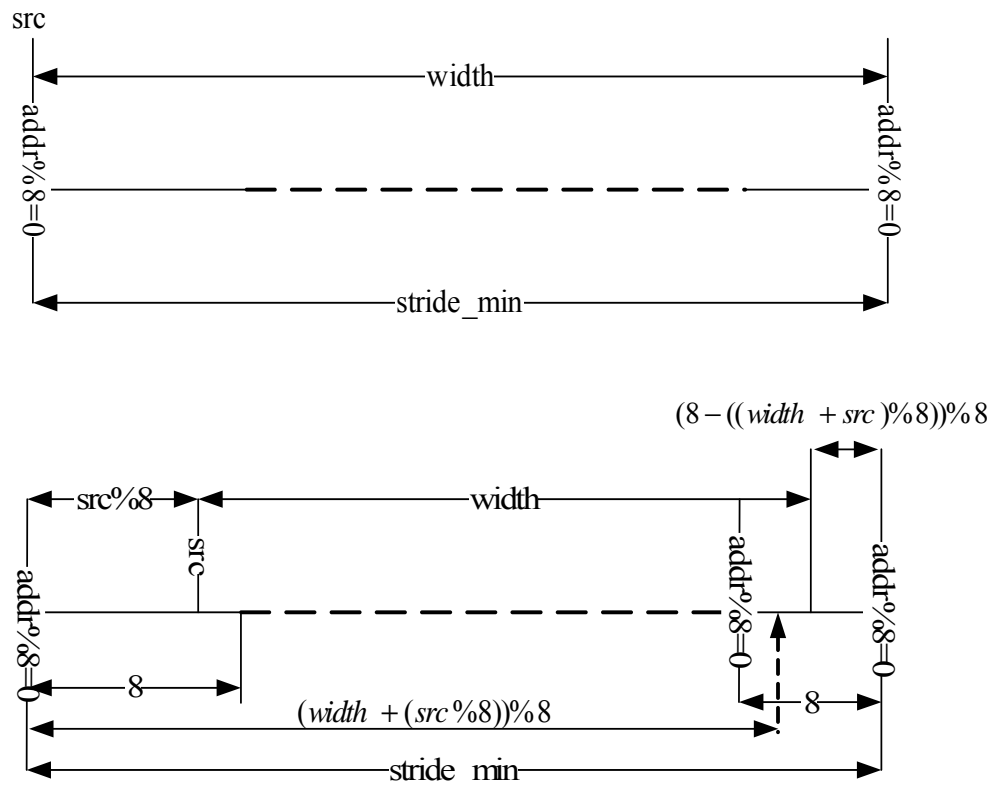
否则要求

$$\begin{cases} \{(8 - ((width + (src\%8))\%8)) + (src\%8) + width\} \leq stride \\ stride\%8 = 0 \end{cases}$$

其中 % 表示求余数操作。示例见图 10-12。



图10-12 算子的参数 stride 取最小值时的情况



快速拷贝

实现矩形图像区域的快速搬移功能。源数据在 DMA 模式下将会直接通过 IVE 内部快速通路，搬移到目的区域，并直接覆盖目标区域数据。

图象分辨率：32 x 1~1920 x 1080

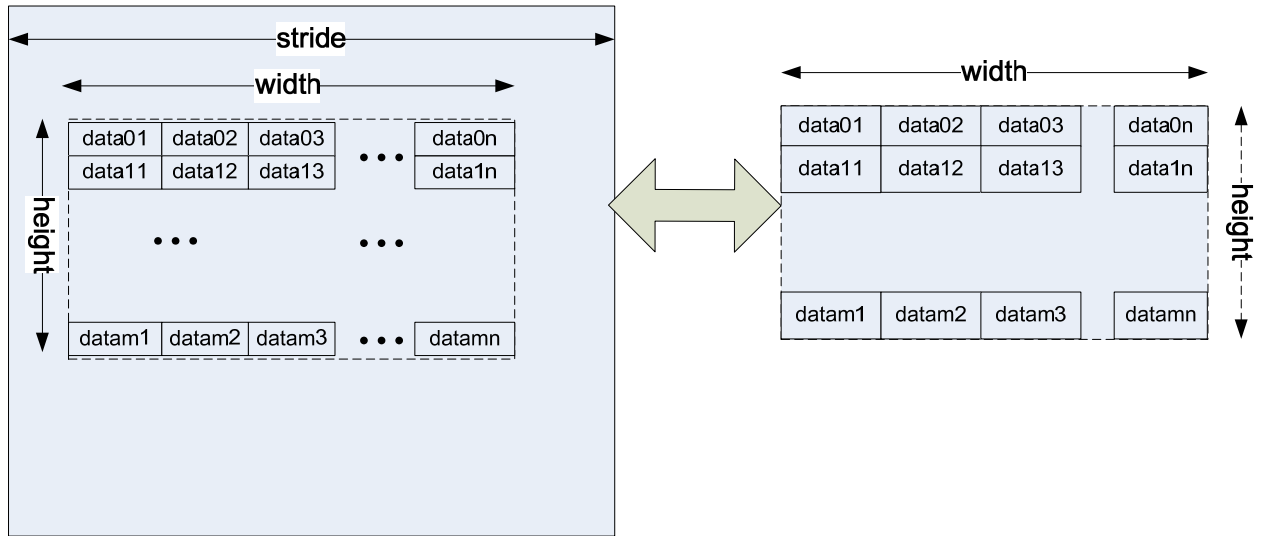
地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 `op_type` 为 0x00



图10-13 DMA 数据搬运应用之一



3x3 模板滤波

将源图象以 3x3 模块作滤波后输出。

图象分辨率：64 x 64~1920 x 1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量；SP420→SP420；SP422→SP422。

使用方法：

- 配置 op_type 为 0x1。
- 配置输入格式。
- 配置系数 mask0, mask1, …… mask9。mask0~mask8 范围为[-128, 127]，mask9 取值为[0, 10]。



图10-14 3×3 模板滤波计算公式

$I(x-1,y-1)$	$I(x,y-1)$	$I(x+1,y-1)$	$coef(-1,-1)$ mask0	$coef(0,-1)$ mask1	$coef(1,-1)$ mask2
○	○	○	○	○	○
$I(x-1,y)$	$I(x,y)$	$I(x+1,y)$	$coef(-1,0)$ mask3	$coef(0,0)$ mask4	$coef(1,0)$ mask5
○	○	○	○	○	○
$I(x-1,y+1)$	$I(x,y+1)$	$I(x+1,y+1)$	$coef(-1,1)$ mask6	$coef(0,1)$ mask7	$coef(1,1)$ mask8
○	○	○	○	○	○

$$I_{out}(x, y) = \left\{ \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x+i, y+j) \cdot coef(i, j) \right\} \gg mask9$$

颜色空间转换（CSC）

颜色空间转换支持从 YUV 空间到 RGB 空间的转换。

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：SP420→RGB package；SP420→RGB planar；SP422→RGB package；SP422→RGB planar。

使用方法：

- 配置链表中结点的 op_type 为 0x02。
- 配置链表中结点的 in_fmt:
 - 01: 420
 - 10: 422
- 配置链表中结点的 out_fmt:
 - 0000: package
 - 0001: planar
- 配置链表中结点的 csc_fmt:
 - 00: BT601&BT656 (16~235)
 - 01: BT709 (16~235)
 - 10: BT601&BT656 (0~255)
 - 11: BT709 (0~255)

当 csc_fmt = 0 或者 1 时为 YUV 到 RGB 的视频变换，输出满足 $16 \leq R, G, B \leq 235$



当 $csc_fmt = 2$ 或者 3 时为 YUV 到 RGB 的图像变换，输出满足 $0 \leq R, G, B \leq 255$
YUV 到 RGB 的转换的视频矩阵的输入输出要求如下。

- $16 \leq Y \leq 235$
- $16 \leq Cb, Cr \leq 240$
- $16 \leq R, G, B \leq 235$

YUV 到 RGB 的转换的视频矩阵算法如表 10-2。

表10-2 YCbCr 到 RGB 的视频矩阵 (BT.601)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1	x (Y)	+	0.0	x (Cb-128)	+	1.371	x (Cr-128)
G	=	1	x (Y)	-	0.336	x (Cb-128)	-	0.698	x (Cr-128)
B	=	1	x (Y)	+	1.732	x (Cb-128)	+	0.0	x (Cr-128)

表10-3 YCbCr 到 RGB 的视频矩阵 (BT.709)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1	x (Y)	+	0.0	x (Cb-128)	+	1.540	x (Cr-128)
G	=	1	x (Y)	-	0.183	x (Cb-128)	-	0.459	x (Cr-128)
B	=	1	x (Y)	+	1.816	x (Cb-128)	+	0.0	x (Cr-128)

YUV 到 RGB 的转换的图象矩阵的输入输出要求如下。

- $16 \leq Y \leq 235$
- $16 \leq U, V \leq 240$
- $0 \leq R, G, B \leq 255$

YUV 到 RGB 的转换的图象矩阵算法如表 10-4。

表10-4 YCbCr 到 RGB 的图象矩阵 (BT.601)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1.164	x (Y-16)	+	0.0	x (Cb-128)	+	1.596	x (Cr-128)



RGB 到 YCbCr 颜色空间转换浮点计算方法:									
G	=	1.164	x (Y-16)	-	0.391	x (Cb-128)	-	0.813	x (Cr-128)
B	=	1.164	x (Y-16)	+	2.018	x (Cb-128)	+	0.0	x (Cr-128)

表10-5 YCbCr 到 RGB 的图象距阵 (BT.709)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1.164	x (Y-16)	+	0.0	x (Cb-128)	+	1.793	x (Cr-128)
G	=	1.164	x (Y-16)	-	0.213	x (Cb-128)	-	0.534	x (Cr-128)
B	=	1.164	x (Y-16)	+	2.115	x (Cb-128)	+	0.0	x (Cr-128)

3x3 模板滤波加 CSC

将源图象以 3 x 3 模板作滤波, 然后再作颜色空间转换后输出。

图象分辨率: 64 x 64~1920 x 1024。

地址对齐方式: 输入输出地址都要求 8byte 对齐。

输入输出格式: SP420→RGB package; SP420→RGB planar; SP422→RGB package; SP422→RGB planar。

使用方法:

- 配置 op_type 为 0x3。
- 配置 CSC 系数。
- 配置输入格式和输出格式。
- 配置系数 mask0, mask1, mask9。mask0~mask8 范围为[-128, 127], mask9 取值为[0, 10]。

SOBEL x/y 方向梯度计算

图象分辨率: 64 x 64~1920 x 1024。

地址对齐方式: 输入输出地址都要求 8byte 对齐。

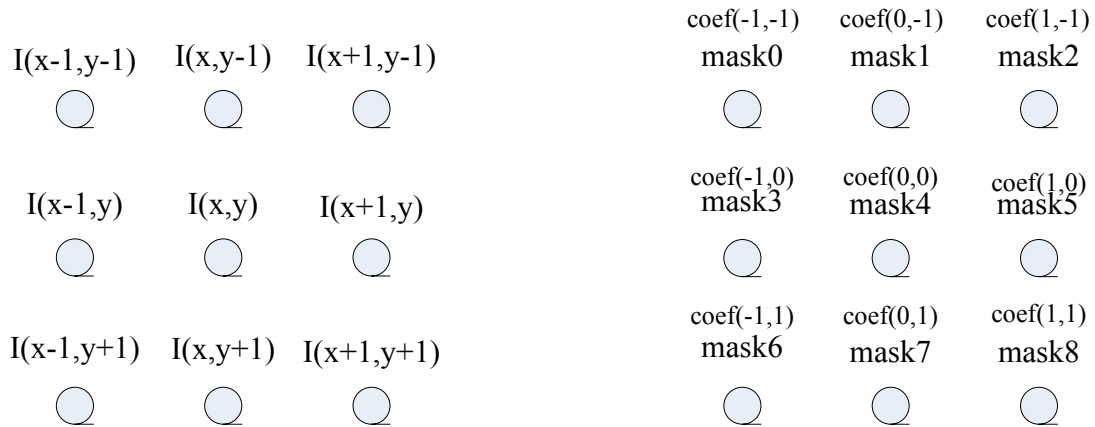
输入输出格式: 单分量→SOBEL_OUT。

使用方法:

- 配置 op_type 为 0x4。
- 配置系数 mask0, mask1, mask8。mask0~mask8 范围为[-128, 127]。



图10-15 SOBEL 梯度计算公式



$$Hout(x, y) = \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x + i, y + j) \bullet coef(i, j)$$

$$Vout(x, y) = \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x + i, y + j) \bullet coef(j, i)$$

CANNY 梯度幅值及角度

图象分辨率：64 x 64~1920 x 1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→CANNY_OUT1；单分量→CANNY_OUT2。

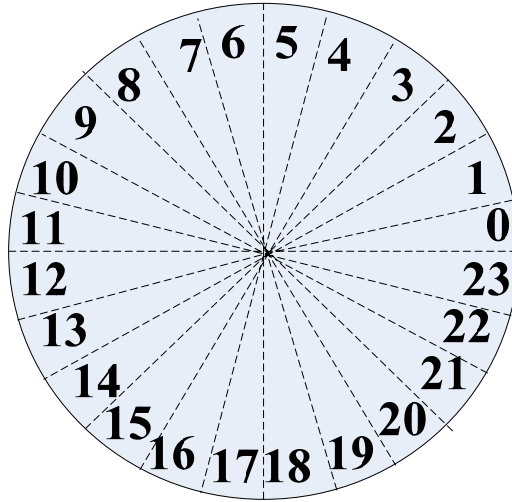
使用方法：

- 配置 op_type 为 0x5。
- 配置输出格式。
- 配置系数 mask0, mask1, mask8。mask0~mask8 范围为[-128, 127]。

幅值定义： $Mag(x, y) = abs(Hout(x, y)) + abs(Vout(x, y))$



图10-16 CANNY 角度量化定义



计算输出角度为：
$$\theta = \left[\frac{\arctan\left(\frac{V}{H}\right) * 12}{\pi} \right]$$

3x3 膨胀

图象分辨率：64 x 64~1920 x 1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

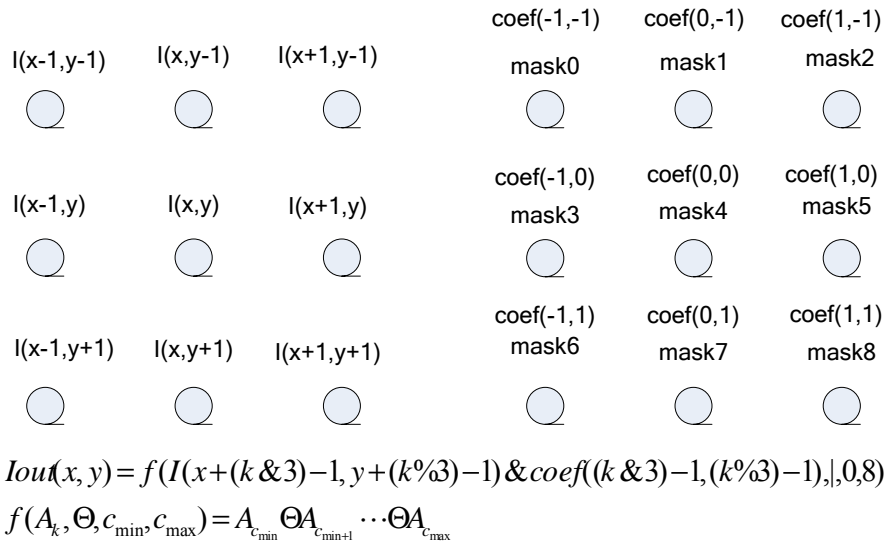
输入输出格式：单分量→单分量。

使用方法：

- 配置 op_type 为 0x6。
- 配置系数 mask0, mask1, mask8。

要求输入输出数据为 0 或 255，mask 的值为 0 或 255。

3x3 膨胀计算公式如下，其中公式中|为位或运算，&为位与运算，%为除余运算。



3x3 腐蚀

图象分辨率：64 x 64~1920 x 1024。

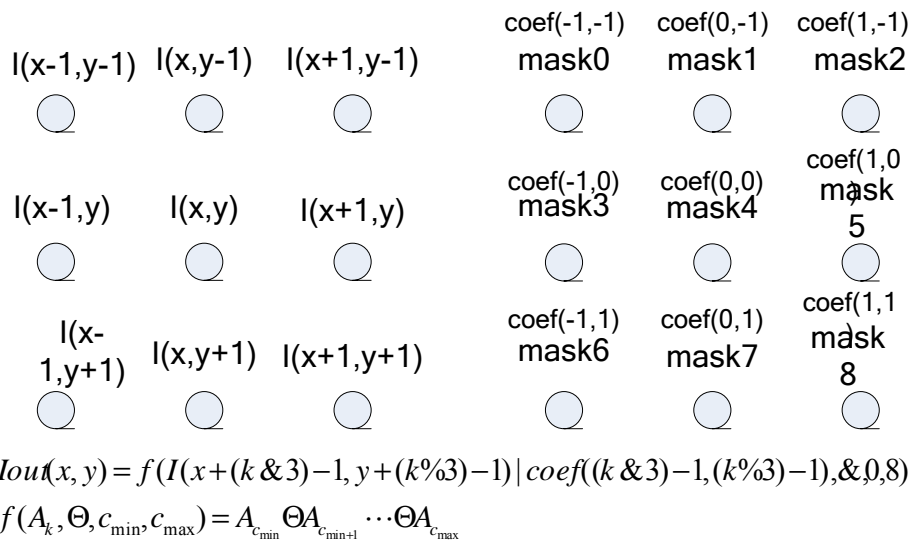
地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置 op_type 为 0x7。
- 配置系数 mask0, mask1, mask8。
- 要求输入输出数据为 0 或 255, mask 的值为 0 或 255。

3x3 腐蚀计算公式如下，其中该公式中|为位或运算，&为位与运算，%为除余运算。





图像二值化处理

使用固定阈值对图像进行二值化操作，共有三种模式：

- mode=2: 像素值>阈值 threshold，像素值不变，否则为 minValue

$$I_{out}(x, y) = \begin{cases} \text{min Value} & (I(x, y) \leq \text{threshold}) \\ I(x, y) & (I(x, y) > \text{threshold}) \end{cases}$$

- mode=1: 像素值>阈值 threshold，则为 maxValue，否则像素值不变

$$I_{out}(x, y) = \begin{cases} I(x, y) & (I(x, y) \leq \text{threshold}) \\ \text{max Value} & (I(x, y) > \text{threshold}) \end{cases}$$

- mode=0: 像素值>阈值 threshold，则为 maxValue，否则为 minValue

$$I_{out}(x, y) = \begin{cases} \text{min Value} & (I(x, y) \leq \text{threshold}) \\ \text{max Value} & (I(x, y) > \text{threshold}) \end{cases}$$

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置链表中结点的 op_type 为 0x08；
- 配置链表中结点 mask0，mask1 和 mask2 对应为 threshold，minValue 和 maxValue。

双源图像与运算



注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行进行与运算，然后搬移到目的区域。

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x09。

$$I_{out}(x, y) = I_{src1}(x, y) \& I_{src2}(x, y)$$

其中，该公式中&为位与运算。



双源图像减运算



注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行减运算，然后搬移到目的区域，提供两种工作模式：

0000：差异值绝对值输出，即 $dst[i, j] = abs(src1[i, j] - src2[i, j])$ ；

0001：差异值右移 1 位输出，保留符号位，即
 $dst[i, j] = (src1[i, j] - src2[i, j]) >> 1$ ；

如图像 1 某位置像素值为 0x23，图像 2 对应位置像素值为 0x40，则在模式 0000 时结果为 0x1D，在模式 0001 时结果为 0xF1。

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置链表中结点的 op_type 为 0x0a；
- 配置链表中结点的 out_fmt 为 0x0000 或 0x0001。

双源图像或运算



注意

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行或运算，然后搬移到目的区域。

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op_type 为 0x0b。

$$I_{out}(x, y) = I_{src1}(x, y) | I_{src2}(x, y)$$

其中，该公式中|为位或运算。



积分图

支持分量累加和与分量平方累加和，输出格式为 64 比特，分量累加和占低 28 比特，分量平方累加和占高 36 比特。

图象分辨率：64 x 64~1920 x 1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→INTEGRAL_OUT。

使用方法：配置链表中结点的 op_type 为 0x0c。

$$I_{sum}(x, y) = \sum_{i \geq 0} \sum_{j \geq 0}^{i \leq x, j \leq y} I(i, j)$$

$$I_{sq}(x, y) = \sum_{i \geq 0} \sum_{j \geq 0}^{i \leq x, j \leq y} (I(i, j) \cdot I(i, j))$$

$$I_{out}(x, y) = (I_{sum}(x, y) \& 0xFFFFFFFF) | (I_{sq}(x, y) \ll 28)$$

其中，该公式中|为位或运算，&为位与运算，<<为左移移位操作。

直方图

256 级直方图统计，输入为单分量，输出为位宽为 32bit 的 256 级直方图统计值。

图象分辨率：64x64~1920x1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→HIST_OUT。

使用方法：配置链表中结点的 op_type 为 0x0d。

$$I_{out}(x) = \sum_i \sum_j ((I(i, j) == x) ? 1 : 0) \quad x = 0 \dots 255$$

10.4 IVE 寄存器概览

IVE 寄存器概览如表 10-6 所示。

表10-6 IVE 寄存器概览（基址是 0x205E_0000）

偏移地址	名称	描述	页码
0x0000	IVE_START	启动信号寄存器	10-23
0x0004	INT_EN	中断使能信号寄存器	10-23
0x0008	INT_RW	原始中断信号寄存器	10-24
0x000C	INT_STATUS	中断状态信号寄存器	10-25



偏移地址	名称	描述	页码
0x0010	LIST_POINTER	链表首地址寄存器	10-25
0x0014	IVE_STATUS	IVE 工作状态信号寄存器	10-26
0x0018	IVE_TASK_ID	刚刚完成的 task 的 ID 寄存器	10-26

10.5 IVE 寄存器描述

IVE_START

IVE_START 为启动信号寄存器。

	Offset Address	Register Name	Total Reset Value																						
	0x0000	IVE_START	0x0000_0000																						
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																								
Name	reserved															ive_start									
Reset	0 0																								
Bits	Access	Name	Description																						
[31:1]	RO	reserved	保留。																						
[0]	WO	ive_start	IVE 启动信号，高电平有效。																						

INT_EN

INT_EN 为中断使能信号寄存器。



Offset Address		Register Name		Total Reset Value					
0x0004		INT_EN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							list_int_en	node_int_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	list_int_en	链表中断使能。 0: 不使能; 1: 使能。						
[0]	RW	node_int_en	节点中断使能。 0: 不使能; 1: 使能。						

INT_RW

INT_RW 为原始中断信号寄存器。

Offset Address		Register Name		Total Reset Value					
0x0008		INT_RW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							list_int_rw	node_int_rw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	list_int_rw	链表级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0: 没有中断; 1: 有中断。						



[0]	RW	node_int_rw	节点级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0: 没有中断; 1: 有中断。
-----	----	-------------	--

INT_STATUS

INT_STATUS 为中断状态信号寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000C	INT_STATUS	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		list_int_status node_int_status
Reset	0 0		
Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RO	list_int_status	链表级中断状态。软件通过读此状态位确定是否有链表级中断。 0: 没有中断; 1: 有中断。
[0]	RO	node_int_status	节点级中断状态。软件通过读此状态位确定是否有节点级中断。 0: 没有中断; 1: 有中断。

LIST_POINTER

LIST_POINTER 为链表首地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0010		LIST_POINTER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	link_table_header_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	link_table_header_addr	标明链表第一个节点的地址。					

IVE_STATUS

IVE_STATUS 为 IVE 工作状态信号寄存器。

Offset Address		Register Name		Total Reset Value					
0x0014		IVE_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ive_working_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	ive_working_status	IVE 当前的工作状态。 0: 空闲; 1: 忙碌。						

IVE_TASK_ID

IVE_TASK_ID 为刚完成的任务的 ID 寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0018				IVE_TASK_ID				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ive_task_id																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RO	ive_task_id		刚刚完成的任务的 ID。如果任务 ID 是递增的，则表明此 ID 之前的所有任务都已完成。																											



目 录

11 VDP	11-1
11.1 概述.....	11-1
11.2 功能描述.....	11-1
11.3 工作方式.....	11-4
11.3.1 时钟配置.....	11-4
11.3.2 复位.....	11-4
11.3.3 寄存器/系数更新.....	11-5
11.3.4 模拟输出接口.....	11-7
11.3.5 数字输出接口.....	11-7
11.3.6 高清视频层功能.....	11-7
11.3.7 标清视频层功能.....	11-10
11.3.8 图形层功能.....	11-11
11.3.9 图层叠加处理.....	11-12
11.3.10 高清接口处理功能.....	11-13
11.3.11 标清接口处理功能.....	11-13
11.3.12 WBC_DHD 通道回写功能.....	11-14
11.3.13 WBC_G0/G4 通道回写功能.....	11-15
11.3.14 中断.....	11-15
11.3.15 低功耗控制.....	11-16
11.4 VDP 寄存器概览.....	11-16
11.4.1 寄存器地址空间.....	11-16
11.4.2 寄存器概览.....	11-18
11.5 VDP 寄存器描述.....	11-33



插图目录

图 11-1 VDP 总体框图.....	11-2
图 11-2 Surface 寄存器配置流程（建议方案）.....	11-5
图 11-3 Surface 寄存器更新方式（帧更新模式）.....	11-5
图 11-4 Surface 寄存器更新方式（场更新模式）.....	11-6
图 11-5 片内系数更新举例.....	11-6
图 11-6 3 套坐标示意图.....	11-9
图 11-7 VDP 寄存器地址空间.....	11-17



表格目录

表 11-1 VDP 复位信号描述.....	11-4
表 11-1 VDP 寄存器概览（基址是 0x205C_0000）.....	11-18



11 VDP

11.1 概述

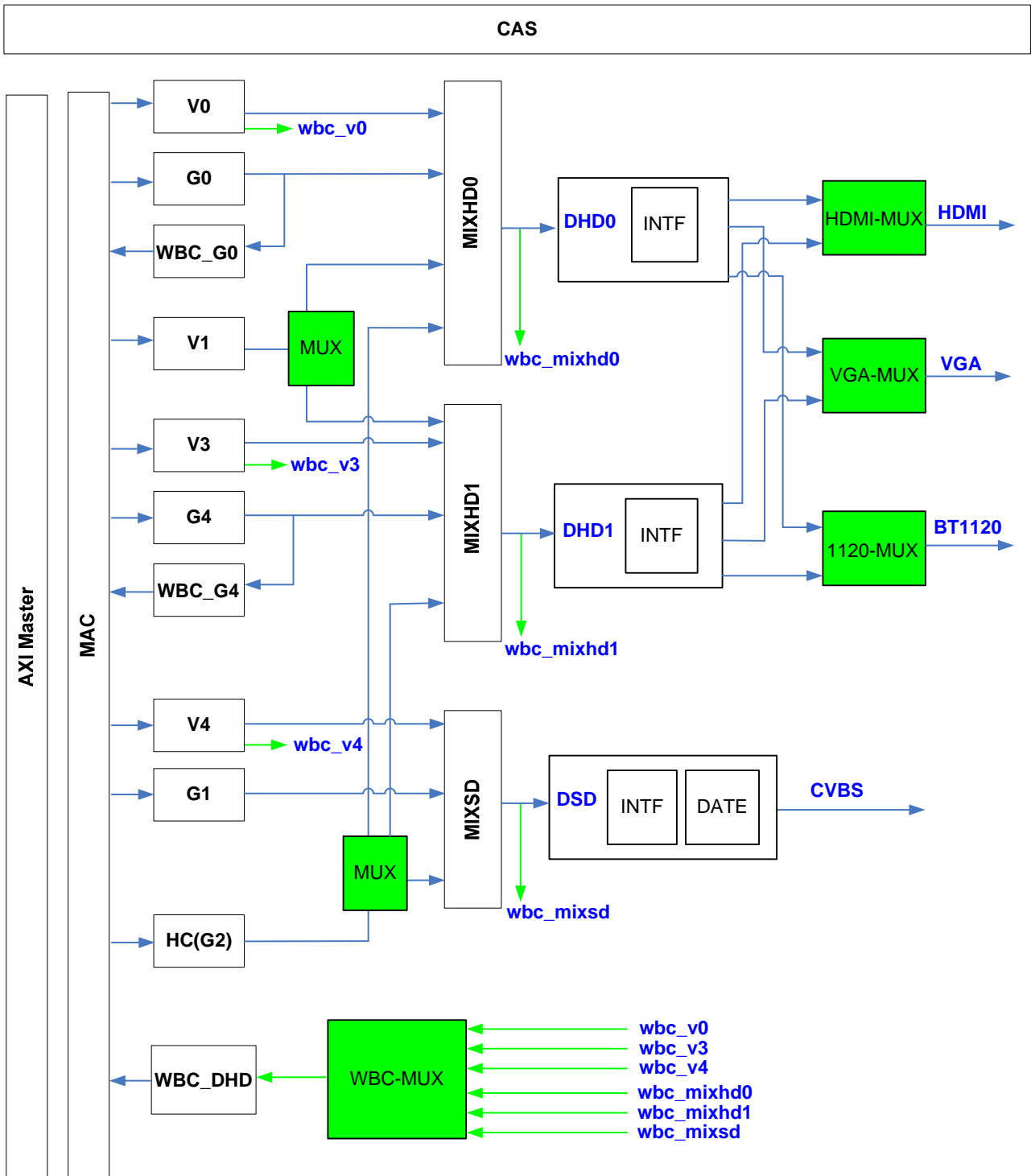
VDP（Video Display Processor）模块主动从内存相应位置读取视频和图形数据，将视频层和图形层数据叠加后通过显示通道送出。

11.2 功能描述

VDP 的总体框图如图 11-1 所示。



图11-1 VDP 总体框图



- Surface: 总线输入的数据通路。其功能包括单个图层的总线数据读取、数据处理。Surface 包括：视频层 (V0、V1、V3、V4)、图形层 (G0、G1、G4) 和鼠标层 HC。
- Display Channel: 显示通道。包括高清显示通道 (DHD0 和 DHD1)、标清显示通道 (DSD)。



- MIXER（选通叠加器）：视频层/图形层叠加，包括 MIXHD0、MIXHD1、MIXSD。
- PARA（Parameter，参数）：处理视频通道 ZME（Zoom Engine）系数的更新、加载。
- MAC（Memory Access Controllor，内存访问控制器）：各 Surface 的总线申请仲裁模块。各模块通过 AXI（Advanced eXtensible Interface，高级扩展接口）总线从内存中读取数据，该模块对各 Surface 提出的申请进行仲裁。
- CAS（Control And Status，控制和状态）：该模块主要是通过 APB（Advanced Peripheral Bus，高级外围总线）总线完成对寄存器的配置，并且各模块的状态信息通过该模块上报给 CPU。

VDP 寄存器主要按照模块全局、Surface 和 Display Channel 来分配：

- 模块全局寄存器
包括总线相关配置、中断、版本寄存器。
- Surface 寄存器
包括视频层、图形层配置寄存器。
- Display Channel 寄存器
包括 DHD0、DHD1、DSD 配置寄存器。
- Interface 寄存器
包括 HDMI、VGA、BT.1120、CVBS 配置寄存器。

VDP 的特点如下：

- 数字输出接口
 - 高清通道 DHD0/DHD1 支持 HDMI（High Definition Multimedia Interface，高清清晰度多媒体接口）输出
 - 高清通道 DHD0/DHD1 支持 BT1120 输出
- 模拟输出接口
 - 标清通道 DSD 支持 CVBS（Composite Video Broadcast Signal，复合电视广播信号）输出
 - 高清通道 DHD0/DHD1 支持 VGA（Video Graphics Array，视频图形阵列）输出。
- 视频层（Video Surface）
 - 支持输入像素格式：Semi-Planar YCbCr4:2:2，Semi-Planar YCbCr4:2:0
 - 支持全局 alpha 值
 - 支持视频层的色彩空间转换，支持亮度、对比度、色调、饱和度调节
 - 支持垂直色度上采样
 - 支持水平色度上采样
 - 支持多区域读写（V0、V3 为 16 区域）
 - 支持最大 16 倍的放大
- 图形层(Graphics Surface)
 - 支持 3 个图形层：图形层 0、1、4



- 支持 1 个鼠标层：HC
- 支持的数据格式：ARGB8888、ARGB1555、ARGB4444
- 支持全局 alpha 和像素 alpha
- 支持 3 种数据扩展模式
- 支持宽度和高度为偶数
- 支持图形层的色彩空间转换，支持亮度、对比度、色调、饱和度调节
- 支持预乘功能
- 叠加特性
 - 支持背景层、视频层、图形层、鼠标层的 256 级 alpha 混合，图形层和视频层的优先级可配置。
 - 各叠加图层的大小和位置可以任意调节。
 - 支持叠加后图像的亮度、对比度、色调、饱和度调节。
- VDP 包含 2 个高清通道、1 个标清通道，每个通道都有独立的垂直时序中断，标志帧/场的结束标志，以及 3 个低带宽中断、3 个回写完成中断和 4 个无负载中断。

11.3 工作方式

11.3.1 时钟配置

VDP 的时钟源共有 3 个：

- VPLL0
- VPLL1
- VDP core 工作/配置时钟

以下时钟选择可通过寄存器配置：

- HDMI、VGA、BT.1120 接口时钟可选择 VPLL0 或 VPLL1。
- DHD0、DHD1 时钟可选择 VPLL0 或 VPLL1，但必须与对应的输出接口时钟一致，例如 DHD0 从 HDMI 输出，那 DHD0 与 HDMI 接口时钟都必须选择成 VPLL0 或者 VPLL1。具体应用参考 CRG 寄存器 PERI_CRG13。

11.3.2 复位

VDP 的复位包括 1 个硬复位和 1 个软复位。

VDP 复位信号描述如表 11-1 所示。

表11-1 VDP 复位信号描述

复位信号	复位描述
rst_n	系统硬复位
srst_n	软复位



注意

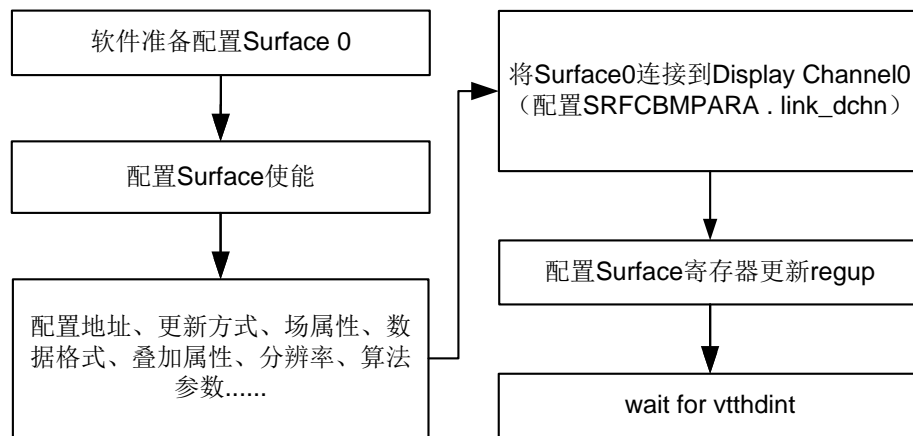
在进行 AXI 总线复位之前:

- 将所有的层关闭。
- 在下一帧/场中断起来（到达更新点）后，再配置总线复位请求。

11.3.3 寄存器/系数更新

寄存器更新

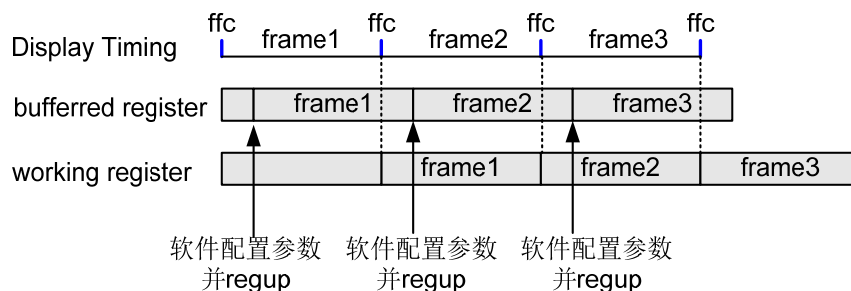
图11-2 Surface 寄存器配置流程（建议方案）



当 Surface0 连接到 Display Channel0 后，Surface0 就根据 Display Channel0 的时序中断来更新寄存器，因此软件需根据 Display Channel0 的中断 vtthdint 来判断是否到寄存器更新点。

硬件中有两套 Surface 寄存器，一套是 working register，是当前数据通路中正在使用的寄存器配置；另一套是 buffered register。软件配置的寄存器首先缓存在 buffered register 中，到了寄存器更新点时才将 buffered register 导入 working register。

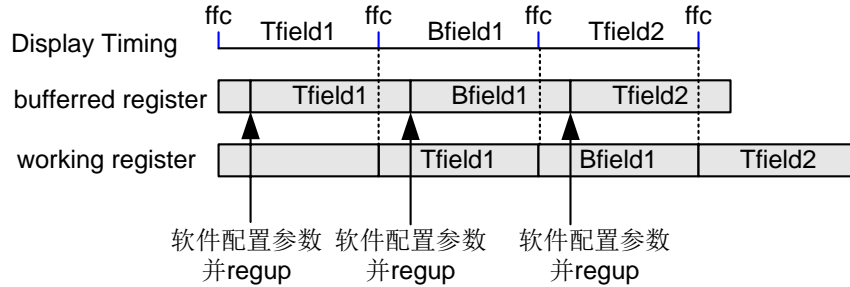
图11-3 Surface 寄存器更新方式（帧更新模式）





对于视频层，除了支持按照帧更新，当隔行输出时还支持按照场更新。如图 11-44 所示。此时需要配置视频层的中断频率寄存器（regup_rate）为场更新，图中的 ffc 是指帧/场切换点。

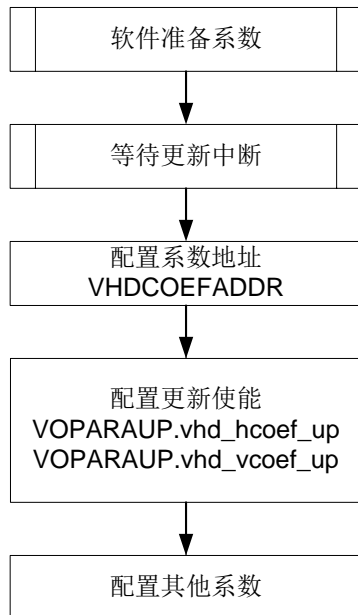
图11-4 Surface 寄存器更新方式（场更新模式）



片内系数存储与更新

片内系数的数据量较大，因此软件不直接通过 APB_Slave 配置，这样会增加 CPU 负担。软件需要配置系数更新使能和系数存储地址，由硬件自动更新（通过 AXI Master 读取）。软件更新后，硬件将地址和更新命令放入系数更新队列，等待 AXI Master 进行更新。因此软件可以连续配置多个系数更新命令。图 11-55 举例说明了更新 V0 通道所有缩放滤波系数的过程。

图11-5 片内系数更新举例



11.3.4 模拟输出接口

VDP 包含以下模拟输出接口：



- CVBS 接口
- VGA 接口

CVBS 接口

- 标清通道支持 CVBS 输出接口
- DSD -> CVBS
- CVBS 支持两种制式：PAL 制式和 NTSC 制式

VGA 接口

支持 VGA 接口（其源可以来自 DHD0 或者 DHD1）：

- 输出分辨率范围：800x600~1920x1200
- 时钟频率为 40MHz~194MHz
- 支持逐行显示

通过配置接口 CSC（Color Space Conversion，色彩空间转换）实现 RGB888 输出

11.3.5 数字输出接口

VDP 支持以下数字接口输出：

- HDMI 接口
- BT.1120 接口

HDMI 接口

HDMI 为支持 1.4a 协议标准的 HDMI 接口（其源可以来自 DHD0 或者 DHD1）：

- 最大输出分辨率：1920x1200
- 时钟频率为 74.25MHz~194MHz
- 支持逐、隔行显示
- 数据格式为 YCbCr444

BT.1120 接口

支持 BT.1120 接口（其源可以来自 DHD0 或者 DHD1）：

- 输出分辨率范围：1280x720~1920x1080
- 时钟频率为 74.25MHz~148.5MHz
- 数据格式 YCbCr422。

11.3.6 高清视频层功能

V0/V3 最多支持 16 区域同时显示，V1 只支持单区域显示。



V0/V3 多区域读取功能

VDP 具有多区域读取的功能，可同时显示多个区域的画面，每个区域画面的数据可以是不同的来源：

- V0/V3 视频层支持多区域规格。
- 支持的输入像素格式：semi-plannar420、semi-plannar422。
- 输入的水平分辨率为 2 的倍数，隔行 420 垂直分辨率为 4 的倍数，其他情况垂直分辨率为 2 的倍数。
- V0/V3 最大可支持 16 区域。
- 各区域大小可配，最小为 32 x 32，最大为层的最大分辨率（V0/V3：1920 x 1200）。
- 各区域可单独使能。
- 区域显示位置可配置在屏幕的任意位置显示（通过区域的起始、结束坐标配置）。
- 区域源起始地址可配（分亮度、色度地址），地址为 2byte 对齐。
- 区域源 stride 可配（分亮度、色度地址），为 16byte 对齐。
- 支持逐行模式、隔行模式。
- V0/V3 开启单区域模式时，只能使用区域 0，功能等同于 V1。

V1 单区域读取功能

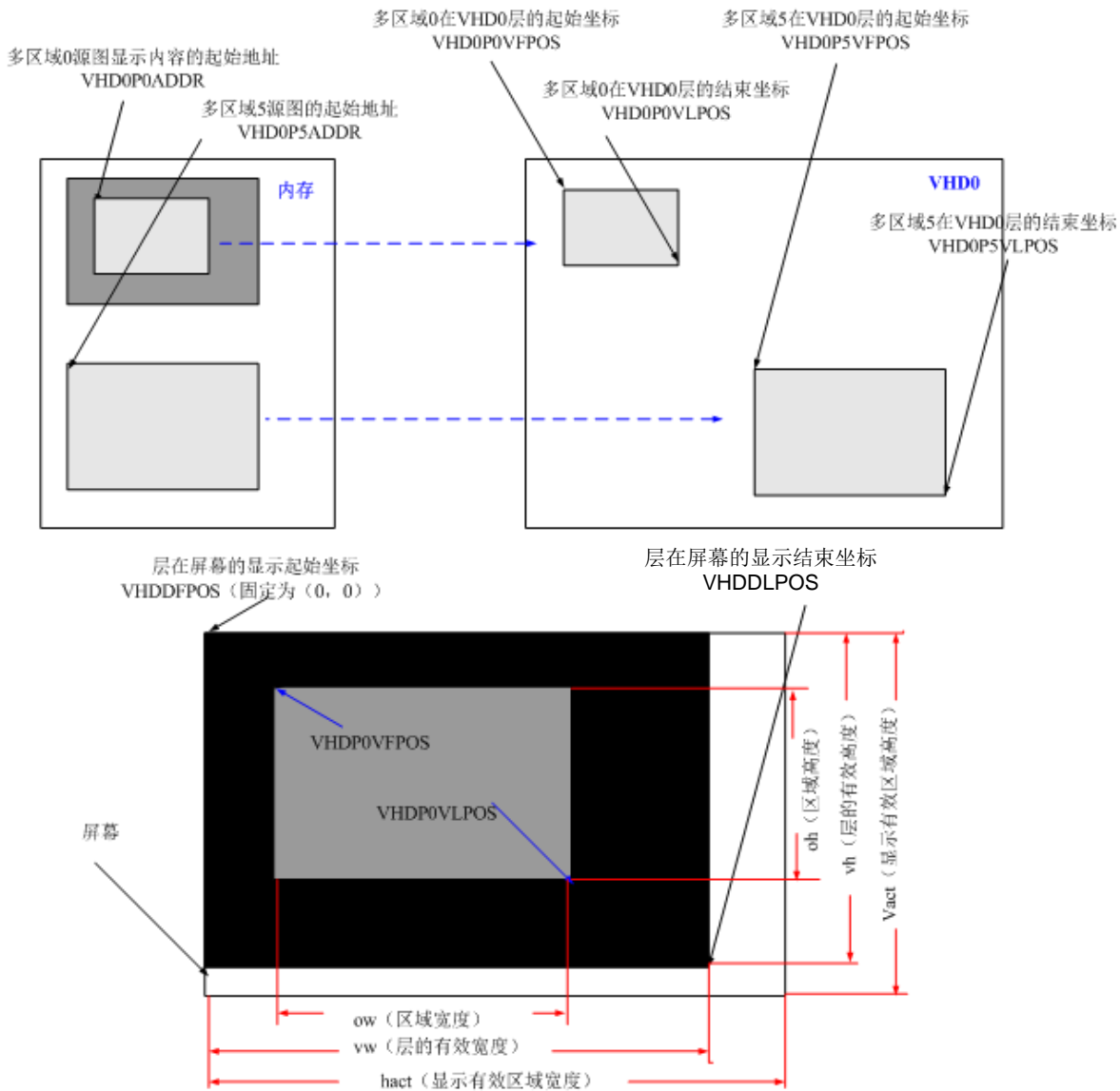
- 支持的输入像素格式：semi-plannar420、semi-plannar422
- 输入的水平分辨率为 2 的倍数，隔行 420 垂直分辨率为 4 的倍数，其他情况垂直分辨率为 2 的倍数
- 最小输入/输出分辨率为 32 x 32，最大输入/输出分辨率 720 x 576。

显示位置描述

VDP 支持视频显示位置可配：

- 视频层有 3 套坐标
- 需要读取数据的源起始坐标（软件计算出起始地址配置给硬件）。
- 显示区域在相对于视频层的起始结束坐标。
- 视频层在屏幕上显示的起始结束坐标。
- 3 个坐标的组合可以实现视频源在屏幕的任意位置显示。

图11-6 3套坐标示意图



注意

多区域模式下，层在屏幕的起始坐标必须设置为 (0,0)。

缩放功能描述

VDP 具有高质量的缩放引擎，支持不同倍数的放大：

- V0/V3 只支持放大，不支持缩小
- 支持视频格式 semi-plannar420、semi-plannar422
- V0/V3 最小的输入/输出分辨率 32 x 32，最大的输入/输出分辨率 1920x1200



- 支持复制模式、滤波模式
- 支持水平亮度 8 阶、水平色度 4 阶滤波，各 32 相位，滤波系数可配
- 支持垂直亮度 4 阶、垂直色度 4 阶滤波，各 32 相位，滤波系数可配
- 缩放系数采取 AXI 自动从 DDR 中 load 的策略
- 支持垂直亮度色度、水平亮度色度单独配置使能
- 性能：输出的像素 1pixel/1clk

420-422（垂直色度上采样）

当输入的图像数据是 420 时，需要对色度在垂直方向上放大 2 倍将数据格式转换为 422。

V0/V3 转换数据格式方式有以下两种模式，这两种模式可配置。

- 4 阶滤波
- 复制

IFIR：水平色度上采样

水平色度上采样的主要功能是对色度在水平方向上进行上采样，将 YCbCr422 的数据格式转换为 YCbCr444。

实现色度水平上采样的方式有 3 种，可配置：

- 复制
- 双线性插值
- 16 阶滤波

CSC：色彩空间转换

- 可实现 YUV709、YUV601 色彩空间的转换
- 可实现 RGB、YUV 色彩空间的转换

11.3.7 标清视频层功能

VDP 具有 1 个标清视频层 V4：

- 只能支持 1 区域
- 支持的输入像素格式：semi-plannar420、semi-plannar422
- 最小输入/输出分辨率 32x32，最大输入/输出分辨率为 720x576
- 输入的水平分辨率为 2 的倍数，隔行 420 垂直分辨率为 4 的倍数，其他情况垂直分辨率为 4 的倍数
- 支持逐行模式、隔行模式
- 源起始地址可配（分亮度、色度地址），地址为 2byte 对齐
- 源 stride 可配（分亮度、色度地址），为 16byte 对齐
- 支持 YCbCr→RGB 的色彩空间转换，支持对比度/色调/饱和度调节
- 支持显示位置可配：在屏幕的任意位置显示



- 支持全局 alpha 可配置，配置范围 0~255
- V4 转换数据格式（420→422）方式：重复读取色度

11.3.8 图形层功能

图形层包括：G0、G1、G4

解压功能

VDP G0/G4 支持无损压缩格式的图像解压，其他图形层不支持：

- 支持的输入像素格式：ARGB8888
- 支持逐行压缩、隔行压缩模式
- 最小输入/输出分辨率 32x32，最大输入/输出分辨率为 1920x1200
- 图形层垂直分辨率为 2 的倍数
- 支持显示位置可配：在屏幕的任意位置显示
- AR/GB 分量对解压缩，2 个分量的地址可配置（16byte 对齐），共用一个 stride（16byte 对齐）
- 解压性能：1pixel/1clk

解压 DCMP 的配置方式：以 AR 分量对为例：压缩后的数据包括两部分，头信息和压缩数据。从配置的地址开始存储头信息，头信息的数据量为 帧高度 height x 16。存完头信息后紧接着存压缩数据，压缩数据的起始地址由配置地址+偏移 offset 得到。压缩数据按行进行存储，只是由于是两分量存储，因此 stride 是图像宽度 width x 2，再向上取 16byte 对齐。

CSC 功能描述

支持色彩空间转换，包括：RGB、YCbCr601、YCbCr709、xvYCC601、xvYCC709 之间的相互转换。

alpha 处理

图形层的 alpha 值可以有两个来源：

- 像素 alpha 值：表示某一个像素的叠加属性。
- 全局 alpha 值：表示某一层的叠加属性。

像素 alpha 值有一种特殊情况，在 RGB1555 格式时，alpha 值仅有 1bit，该 bit 不是真实的 alpha 值，仅是 alpha 的索引，真实的 alpha 值是根据该索引值选择 alpha 寄存器中的值得到，当索引值为 0 时，取值 alpha0，否则，取值为 alpha1。

Colorkey 功能

- Key 的模式可选，配置范围外或范围内的像素做 key 处理。
- Key 的 bit 可屏蔽。



预乘功能

不支持预乘与 colorkey 的功能组合。

HC 功能描述

VDP 具有 1 个硬件鼠标层：

- 支持的输入像素格式：ARGB1555、ARGB4444、ARGB8888
- 最小输入分辨率 2x2，最大输入分辨率为 128x128
- 最小输出分辨率 2x2，最大输出分辨率为 128x128
- 输入垂直分辨率为 2 的倍数
- 支持逐行模式、隔行模式
- 支持帧更新、场更新
- 源起始地址可配，地址为 128bit（16byte）对齐
- 源 stride 可配，为 128bit（16byte）对齐
- 支持色彩空间转换，包括：RGB2YUV 709、RGB2YUV 601
- 支持显示位置可配：在屏幕的任意位置显示
- 支持全局 alpha 可配置，配置范围 0~255
- 像素 alpha 使能可配，对于像素格式 ARGB1555 中像素 Alpha 值的图形，选择 ALPHA0 或 ALPHA1
- 支持 colorkey 处理
- 支持预乘处理

11.3.9 图层叠加处理

VDP 支持多层叠加功能，共有 3 个叠加，其对应关系为：

- MIXHD0 → DHD0
- MIXHD1 → DHD1
- MIXSD → DSD

MIXER 的功能描述：

- 固定绑定到 MIXHD0 的视频/图形层：V0、G0
- 固定绑定到 MIXHD1 的视频/图形层：V3、G4
- 固定绑定到 MIXSD 的视频/图形层：V4、G1
- 可选绑定到 MIXHD0/MIXHD1 的视频/图形层：V1（PIP）
- 可选绑定到 MIXHD0/MIXHD1、MIXSD 的视频层：HC
- MIXHD0/MIXHD1、MIXSD 的背景色单独可配

具体配置方法如下：

1. 关闭相应的视频输出接口。
2. 配置各个 surface 的相关寄存器。



3. 配置各个 surface 的优先级。
4. 打开相应的视频输出接口。

--结束



注意

- 若 HC、V1 (PIP) 绑定到 MIXHD0, 则其不能再绑定到 MIXHD1/MIXSD。
- HC 只能绑定到 MIXHD0/MIXHD1、MIXSD 中的某一个。
- HC、V1 (PIP) 可驱动不同的 MIXER, 但如果从驱动当前 MIXER 切换到驱动另外一个 MIXER, 则不能实时变更。必须先关闭相应的视频输出接口, 在变更 surface 所驱动 MIXER。

11.3.10 高清接口处理功能

CLIP 功能

VDP 具有灵活可配置的 CLIP 功能:

- 接口时序的协议要求输出数据必须限制在一定范围内。如果超出这个范围, 需要对数据进行 clip 操作。
- clip 使能可以配置, clip 的低值门限和高值门限可以配置, 性能可达 1pixel/1clk。
- HDMI、CVBS、BT.1120 接口各有一套独立的 clip 逻辑。

H_SHARPEN 功能

VDP 的 VGA 接口具有可配置的 Horizontal Sharpen 功能:

- Horizontal Sharpen 用于增强 VGA 通路上水平方向上的锐化效果。
- Horizontal Sharpen 的使能可配。
- 仅 VGA 接口支持。

CSC: 色彩空间转换

- 可实现 YUV601 to RGB、YUV709 to RGB 色彩空间的转换
- 支持亮度、对比度、色调、饱和度调节
- 仅 VGA 接口支持

11.3.11 标清接口处理功能

VDP 具有 1 个标清接口 CVBS:

- 标清通道 DSD 固定从 CVBS 输出
- 接口支持 PAL、NTSC 两种标清制式



- 支持 CLIP 功能，CLIP 使能可配
- CLIP 的低值门限和高值门限可以配置

11.3.12 WBC_DHD 通道回写功能

WBC_DHD 回写经过缩放的视频数据或数据和图像叠加数据到 DDR 中。

WBC_DHD 支持六个回写点可选：

- V0、V3、V4 输出点，只回写视频有效数据
- MIXHD0、MIXHD1、MIXSD 输出点，回写视频/图形叠加后的全屏数据

逐/隔行回写

VDP 的 WBC 回写支持逐/隔行可配：

- WBC_DHD 回写使能可配。
- 输出的数据格式：semi-plannar422、semi-plannar420。
- 支持逐行回写、隔行回写。
- 输入/输出分辨率范围：32x32~1920x1080。

回写输入的图像数据为 YCbCr444，需要对色度在水平方向上缩小 2 倍将数据格式转换为 YCbCr422。

可采用以下两种处理方式：

- 4 阶滤波
- 复制

这两种模式可配置。

WBC_DHD 缩放

VDP 的 WBC 回写支持高质量，倍数可配置的缩小：

- WBC_DHD 只支持缩小，不支持放大
- WBC_DHD 缩放最小的输入分辨率 32x32，最大的输入分辨率 1920x1200
- WBC_DHD 缩放最小的输出分辨率 32x32，最大的输出分辨率 1920x1080
- 支持复制模式、滤波模式
- 支持水平亮度 8 阶、水平色度 4 阶滤波，各 32 相位，滤波系数可配
- 支持垂直亮度 6 阶、垂直色度 4 阶滤波，各 32 相位，滤波系数可配
- 缩放系数采取 AXI 自动从 DDR 中 load 的策略
- 支持垂直亮度色度、水平亮度色度单独配置使能
- 性能：输出的像素 1pixel/1clk

11.3.13 WBC_G0/G4 通道回写功能

WBC_G0 在 G0 显示的同时，对 G0 进行压缩并将压缩数据回写到 DDR，在 G0 输入图



像无更新的前提下，可读入压缩的数据来解压显示，降低系统带宽、功耗。（WBC_G4 压缩的是 G4 的数据）

- 只支持 ARGB8888 的输入、输出格式
- 最小的输入/输出分辨率 32x32，最大的输入/输出分辨率 1920x1200
- 支持以行为单位的局部压缩
- 支持回写自动停止功能
- 在自动停止时，产生停止状态可供查询

11.3.14 中断

VDP 支持共 4 类中断：

- 垂直时序中断
- 低带宽中断
- 回写完成中断
- 无负载中断

垂直时序中断

VDP 的每个通道都有独立的垂直时序中断，中断产生位置可灵活配置：

- VDP 包含 2 个高清通道，1 个标清通道，每个通道都有独立的垂直时序中断，标志帧/场的结束标志。VDP 共有 7 个垂直时序中断，高清 6 个，标清 1 个。
- 中断的产生方式可选：帧中断、场中断。
- 逐行显示，垂直时序中断只能配置为帧中断模式。
- 隔行显示，垂直时序中断可配置为帧中断模式或场中断模式（建议隔行时高清按照场产生中断，标清按照帧产生中断）。
- 支持中断屏蔽可配。
- 支持垂直时序中断门限可配。
- 每个中断源可单独打开与关闭，写 1 清 0。

低带宽中断

VDP 支持以中断方式上报低带宽状态：

- VDP 包含 2 个高清通道，1 个标清通道，每个通道都有独立的低带宽中断，标志帧/场的低带宽信息。VDP 共有 7 个低带宽中断，高清 6 个，标清 1 个。
- 中断的产生方式可选：帧中断、场中断。
- 逐行显示，垂直时序中断只能配置为帧中断模式。
- 隔行显示，垂直时序中断可配置为帧中断模式或场中断模式（建议隔行时高清按照场产生中断，标清按照帧产生中断）。
- 支持中断屏蔽可配。
- 每个中断源可单独打开与关闭，写 1 清 0。



回写完成中断

VDP 支持以中断方式上报 WBC 回写完成状态：

- VDP 包含 1 个 WBC_DHD 回写通道、2 个压缩回写 WBC_G0、WBC_G4，因此共有 3 个 WBC 回写中断，标志帧/场的数据的回写完成。
- 支持中断屏蔽可配。
- 中断源可单独打开与关闭，写 1 清 0。

无负载中断

VDP 支持 vdac cable 检测功能，4 个 DAC 对应 4 个 DAC 无负载中断，0 表示有负载，1 表示无负载。

- 支持中断屏蔽可配。
- 中断源可单独打开与关闭，写 1 清 0。

11.3.15 低功耗控制

VDP 支持可配置的时钟门控：

- Mem 的动态时钟门控通过时钟门控信号 ck_gate_en 来实现：
 - 0：时钟正常输入到 mem。
 - 1：mem 的时钟强制为 0。
- 在使能动态时钟门控之前，必须先停止所有的 VDP 业务（所有层、通道禁能）。

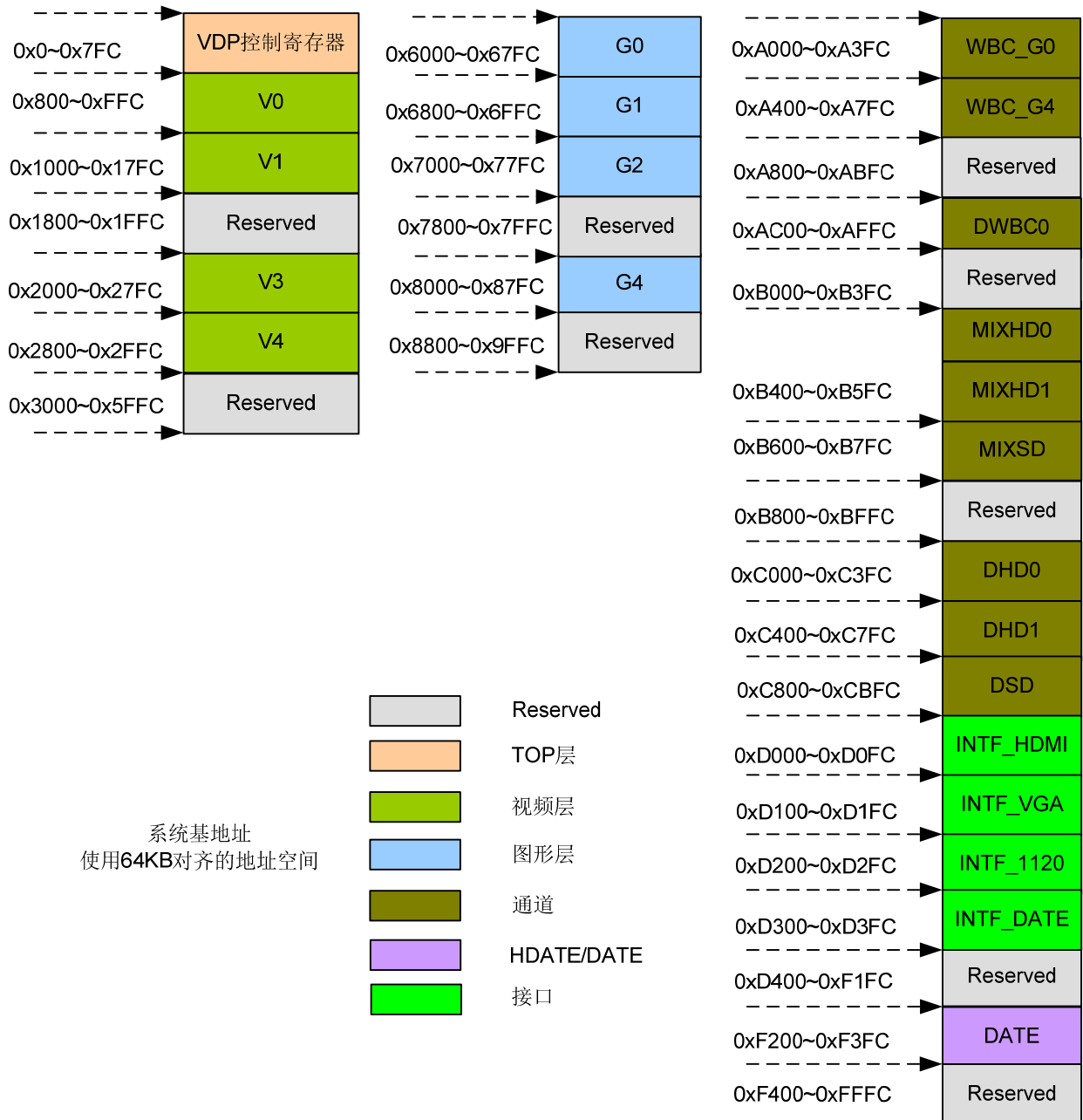
11.4 VDP 寄存器概览

11.4.1 寄存器地址空间

寄存器地址空间如图 11-7 所示。



图11-7 VDP 寄存器地址空间



视频层寄存器差异

视频层包括 V0、V1、V3、V4，以下描述的差异均相对 V0 而言。

- V3 与 V0 完全一致
- V1 只支持单区域（区域 0）
- V1 不支持 ZME，只支持 CVFIR
- V4 只支持单区域（区域 0）



- V4 不支持 ZME

图形层寄存器差异

图形层包括 G0、G1、G2、G4，以下描述的差异相对 G0 而言。

- G1/G4 与 G0 完全一致
- G2 CSC 支持 2 种转换模式，系数不可配

通道寄存器差异

无。

接口处理寄存器差异

接口处理包括 HDMI、VGA、BT1120、CVBS。

- HDMI、BT1120、CVBS 只支持 clip
- VGA 只支持 HSP、CSC

11.4.2 寄存器概览

VDP 寄存器概览如表 11-1 所示。

表11-1 VDP 寄存器概览（基址是 0x205C_0000）

偏移地址	名称	描述	页码
0x0000	VOCTRL	VO 控制寄存器	11-33
0x0004	VOINTSTA	VO 中断状态，只读寄存器	11-34
0x0008	VOMSKINTSTA	VO 经过 Mask 的中断状态寄存器	11-37
0x000C	VOINTMSK	VDP 中断屏蔽寄存器	11-40
0x0010	VDPVERSION1	VDP 版本 1 寄存器	11-42
0x0014	VDPVERSION2	VDP 版本 2 寄存器	11-43
0x0034	VOAXICTRL	VO AXI 总线配置寄存器	11-43
0x0040	VOUFSTA	VO 层级低带宽状态寄存器	11-44
0x0044	VOUFCLR	VO 层级低带宽状态清除寄存器	11-44
0x0100	VO_MUX	VO 输出接口复选寄存器	11-45
0x0104	VO_MUX_DAC	VO DAC 输出接口复选寄存器	11-46
0x0108	VO_MUX_TESTSY NC	VO 输出接口测试寄存器	11-47



偏移地址	名称	描述	页码
0x010C	VO_MUX_TESTDATA	VO 输出接口测试数据寄存器	11-48
0x0120	VO_DAC_CTRL	VO DAC 控制寄存器	11-49
0x0130	VO_DAC_C_CTRL	VO DAC C 通道控制寄存器	11-49
0x0134	VO_DAC_R_CTRL	VO DAC R 通道控制寄存器	11-50
0x0138	VO_DAC_G_CTRL	VO DAC G 通道控制寄存器	11-51
0x013C	VO_DAC_B_CTRL	VO DAC B 通道控制寄存器	11-51
0x0140	VO_DAC_STAT0	VO DAC 状态 0 寄存器	11-52
0x030C	GDC_CORRESP	图形层层级绑定关系寄存器	11-52
0x0310	WBC_CORRESP	WBC 回写点绑定关系寄存器	11-53
0x0400	COEF_DATA	虚拟的系数寄存器	11-53
0x0410	V0_PARARD	V0 系数读标志寄存器	11-54
0x0414	V1_PARARD	V1 系数读标志寄存器	11-55
0x041C	V3_PARARD	V3 系数读标志寄存器	11-55
0x04C0	WBCDHD_PARARD	WBC_DHD 系数读标志寄存器	11-56
0x0800	V0_CTRL	该寄存器可以配置层的相关信息，为非即时寄存器	11-57
0x0804	V0_UPD	V0 通道更新使能寄存器	11-59
0x0828	V0_IRESO	输入分辨率寄存器，为非即时寄存器	11-59
0x082C	V0_ORESO	输出分辨率寄存器，为非即时寄存器	11-60
0x0838	V0_CBMPARA	叠加相关参数，为非即时寄存器	11-60
0x0840	V0_PARAUP	V0 系数相关的寄存器更新使能寄存器	11-61
0x0850	V0_HLCOEFAD	V0 水平亮度滤波系数地址寄存器	11-62
0x0854	V0_HCCOEFAD	V0 水平色度滤波系数地址寄存器	11-62
0x0858	V0_VLCOEFAD	V0 垂直亮度滤波系数地址寄存器	11-62
0x085C	V0_VCCOEFAD	V0 垂直色度滤波系数地址寄存器	11-63
0x0860	V0_DFPOS	Surface 在显示窗口的起始位置 (First Position)，非即时寄存器	11-63



偏移地址	名称	描述	页码
0x0864	V0_DLPOS	Surface 在显示窗口的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-64
0x0868	V0_VFPOS	Surface 真实内容在显示窗口的起始位置 (First Position)，以像素为单位，非即时寄存器	11-64
0x086C	V0_VLPOS	Surface 真实内容在显示窗口的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-64
0x0870	V0_BK	视频层的背景色寄存器	11-65
0x0874	V0_ALPHA	视频层的背景填充色 ALPHA 寄存器	11-65
0x0880	V0_CSC_IDC	色彩空间转换输入直流分量寄存器，为即时寄存器	11-66
0x0884	V0_CSC_ODC	色彩空间转换输出直流分量寄存器，为即时寄存器	11-66
0x0888	V0_CSC_IODC	色彩空间转换输入/输出直流分量寄存器，为即时寄存器	11-67
0x088C	V0_CSC_P0	色彩空间转换参数 0，为即时寄存器	11-67
0x0890	V0_CSC_P1	色彩空间转换参数 1，为即时寄存器	11-68
0x0894	V0_CSC_P2	色彩空间转换参数 2，为即时寄存器	11-69
0x0898	V0_CSC_P3	色彩空间转换参数 3，为即时寄存器	11-69
0x089C	V0_CSC_P4	色彩空间转换参数 4，为即时寄存器	11-70
0x08C0	V0_HSP	水平缩放参数配置 (horizontal Scaling Parameter) 寄存器	11-70
0x08C4	V0_HLOFFSET	亮度水平位置偏移寄存器	11-71
0x08C8	V0_HCOFFSET	色度水平位置偏移寄存器	11-72
0x08D8	V0_VSP	垂直缩放参数 (Vertical Scaling Parameter)寄存器	11-72
0x08DC	V0_VSR	垂直缩放倍数 (Luma Vertical Scaling Ratio)寄存器	11-73
0x08E0	V0_VOFFSET	垂直缩放偏移 (Vertical Scaling Offset) 寄存器	11-74
0x08E4	V0_VBOFFSET	底场垂直缩放偏移 (Vertical Scaling Offset) 寄存器。	11-74



偏移地址	名称	描述	页码
0x0980	V0_IFIRCOEF01	IFIR 滤波系数 01 寄存器	11-75
0x0984	V0_IFIRCOEF23	IFIR 滤波系数 23 寄存器	11-75
0x0988	V0_IFIRCOEF45	IFIR 滤波系数 45 寄存器	11-76
0x098C	V0_IFIRCOEF67	IFIR 滤波系数 67 寄存器	11-76
0x0A00	V0_P0RESO	视频层分区 0 的分辨率寄存器，为非即时寄存器	11-76
0x0A04	V0_P0LADDR	视频层分区 0 的亮度地址寄存器	11-77
0x0A08	V0_P0CADDR	视频层分区 0 的色度地址寄存器	11-77
0x0A0C	V0_P0STRIDE	视频层分区 0 的 stride 寄存器	11-78
0x0A10	V0_P0VFPOS	视频层分区 0 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-78
0x0A14	V0_P0VLPOS	视频层分区 0 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-78
0x0A20	V0_P1RESO	视频层分区 1 的分辨率寄存器，为非即时寄存器	11-79
0x0A24	V0_P1LADDR	视频层分区 1 的亮度地址寄存器	11-79
0x0A28	V0_P1CADDR	视频层分区 1 的色度地址寄存器	11-80
0x0A2C	V0_P1STRIDE	视频层分区 1 的 stride 寄存器	11-80
0x0A30	V0_P1VFPOS	视频层分区 1 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-81
0x0A34	V0_P1VLPOS	视频层分区 1 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-81
0x0A40	V0_P2RESO	视频层分区 2 的分辨率寄存器，为非即时寄存器	11-81
0x0A44	V0_P2LADDR	视频层分区 2 的亮度地址寄存器	11-82
0x0A48	V0_P2CADDR	视频层分区 2 的色度地址寄存器	11-82
0x0A4C	V0_P2STRIDE	视频层分区 2 的 stride 寄存器	11-83
0x0A50	V0_P2VFPOS	视频层分区 2 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-83



偏移地址	名称	描述	页码
0x0A54	V0_P2VLPOS	视频层分区 2 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-83
0x0A60	V0_P3RESO	视频层分区 3 的分辨率寄存器，为非即时寄存器	11-84
0x0A64	V0_P3LADDR	视频层分区 3 的亮度地址寄存器	11-84
0x0A68	V0_P3CADDR	视频层分区 3 的色度地址寄存器	11-85
0x0A6C	V0_P3STRIDE	视频层分区 3 的 stride 寄存器	11-85
0x0A70	V0_P3VFPOS	视频层分区 3 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-86
0x0A74	V0_P3VLPOS	视频层分区 3 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-86
0x0A80	V0_P4RESO	视频层分区 4 的分辨率寄存器，为非即时寄存器	11-86
0x0A84	V0_P4LADDR	视频层分区 4 的亮度地址寄存器	11-87
0x0A88	V0_P4CADDR	视频层分区 4 的色度地址寄存器	11-87
0x0A8C	V0_P4STRIDE	视频层分区 4 的 stride 寄存器	11-88
0x0A90	V0_P4VFPOS	视频层分区 4 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-88
0x0A94	V0_P4VLPOS	视频层分区 4 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-88
0x0AA0	V0_P5RESO	视频层分区 5 的分辨率寄存器，为非即时寄存器	11-89
0x0AA4	V0_P5LADDR	视频层分区 5 的亮度地址寄存器	11-89
0x0AA8	V0_P5CADDR	视频层分区 5 的色度地址寄存器	11-90
0x0AAC	V0_P5STRIDE	视频层分区 5 的 stride 寄存器	11-90
0x0AB0	V0_P5VFPOS	视频层分区 5 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-91



偏移地址	名称	描述	页码
0x0AB4	V0_P5VLPOS	视频层分区 5 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-91
0x0AC0	V0_P6RESO	视频层分区 6 的分辨率寄存器，为非即时寄存器	11-91
0x0AC4	V0_P6LADDR	视频层分区 6 的亮度地址寄存器	11-92
0x0AC8	V0_P6CADDR	视频层分区 6 的色度地址寄存器	11-92
0x0ACC	V0_P6STRIDE	视频层分区 6 的 stride 寄存器	11-93
0x0AD0	V0_P6VFPOS	视频层分区 6 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-93
0x0AD4	V0_P6VLPOS	视频层分区 6 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-93
0x0AE0	V0_P7RESO	视频层分区 7 的分辨率寄存器，为非即时寄存器	11-94
0x0AE4	V0_P7LADDR	视频层分区 7 的亮度地址寄存器	11-94
0x0AE8	V0_P7CADDR	视频层分区 7 的色度地址寄存器	11-95
0x0AEC	V0_P7STRIDE	视频层分区 7 的 stride 寄存器	11-95
0x0AF0	V0_P7VFPOS	视频层分区 7 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-96
0x0AF4	V0_P7VLPOS	视频层分区 7 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-96
0x0B00	V0_P8RESO	视频层分区 8 的分辨率寄存器，为非即时寄存器	11-96
0x0B04	V0_P8LADDR	视频层分区 8 的亮度地址寄存器	11-97
0x0B08	V0_P8CADDR	视频层分区 8 的色度地址寄存器	11-97
0x0B0C	V0_P8STRIDE	视频层分区 8 的 stride 寄存器	11-98
0x0B10	V0_P8VFPOS	视频层分区 8 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-98



偏移地址	名称	描述	页码
0x0B14	V0_P8VLPOS	视频层分区 8 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-98
0x0B20	V0_P9RESO	视频层分区 9 的分辨率寄存器，为非即时寄存器	11-99
0x0B24	V0_P9LADDR	视频层分区 9 的亮度地址寄存器	11-99
0x0B28	V0_P9CADDR	视频层分区 9 的色度地址寄存器	11-100
0x0B2C	V0_P9STRIDE	视频层分区 9 的 stride 寄存器	11-100
0x0B30	V0_P9VFPOS	视频层分区 9 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-101
0x0B34	V0_P9VLPOS	视频层分区 9 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-101
0x0B40	V0_P10RESO	视频层分区 10 的分辨率寄存器，为非即时寄存器	11-101
0x0B44	V0_P10LADDR	视频层分区 10 的亮度地址寄存器	11-102
0x0B48	V0_P10CADDR	视频层分区 10 的色度地址寄存器	11-102
0x0B4C	V0_P10STRIDE	视频层分区 10 的 stride 寄存器	11-103
0x0B50	V0_P10VFPOS	视频层分区 10 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-103
0x0B54	V0_P10VLPOS	视频层分区 10 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-103
0x0B60	V0_P11RESO	视频层分区 11 的分辨率寄存器，为非即时寄存器	11-104
0x0B64	V0_P11LADDR	视频层分区 11 的亮度地址寄存器	11-104
0x0B68	V0_P11CADDR	视频层分区 11 的色度地址寄存器	11-105
0x0B6C	V0_P11STRIDE	视频层分区 11 的 stride 寄存器	11-105
0x0B70	V0_P11VFPOS	视频层分区 11 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-106



偏移地址	名称	描述	页码
0x0B74	V0_P11VLPOS	视频层分区 11 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-106
0x0B80	V0_P12RESO	视频层分区 12 的分辨率寄存器，为非即时寄存器	11-106
0x0B84	V0_P12LADDR	视频层分区 12 的亮度地址寄存器	11-107
0x0B88	V0_P12CADDR	视频层分区 12 的色度地址寄存器	11-107
0x0B8C	V0_P12STRIDE	视频层分区 12 的 stride 寄存器	11-108
0x0B90	V0_P12VFPOS	视频层分区 12 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-108
0x0B94	V0_P12VLPOS	视频层分区 12 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器。	11-108
0x0BA0	V0_P13RESO	视频层分区 13 的分辨率寄存器，为非即时寄存器	11-109
0x0BA4	V0_P13LADDR	视频层分区 13 的亮度地址寄存器	11-109
0x0BA8	V0_P13CADDR	视频层分区 13 的色度地址寄存器	11-110
0x0BAC	V0_P13STRIDE	视频层分区 13 的 stride 寄存器	11-110
0x0BB0	V0_P13VFPOS	视频层分区 13 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-111
0x0BB4	V0_P13VLPOS	视频层分区 13 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-111
0x0BC0	V0_P14RESO	视频层分区 14 的分辨率寄存器，为非即时寄存器	11-111
0x0BC4	V0_P14LADDR	视频层分区 14 的亮度地址寄存器	11-112
0x0BC8	V0_P14CADDR	视频层分区 14 的色度地址寄存器	11-112
0x0BCC	V0_P14STRIDE	视频层分区 14 的 stride 寄存器	11-113
0x0BD0	V0_P14VFPOS	视频层分区 14 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-113



偏移地址	名称	描述	页码
0x0BD4	V0_P14VLPOS	视频层分区 14 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-113
0x0BE0	V0_P15RESO	视频层分区 15 的分辨率寄存器，为非即时寄存器	11-114
0x0BE4	V0_P15LADDR	视频层分区 15 的亮度地址寄存器	11-114
0x0BE8	V0_P15CADDR	视频层分区 15 的色度地址寄存器	11-115
0x0BEC	V0_P15STRIDE	视频层分区 15 的 stride 寄存器	11-115
0x0BF0	V0_P15VFPOS	视频层分区 15 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器	11-116
0x0BF4	V0_P15VLPOS	视频层分区 15 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-116
0x0E30	V0_MULTI_MODE	多区域模式使能信号寄存器	11-116
0x0F00	V0_16REGIONENL	视频层 16 分区使能寄存器，为非即时寄存器	11-117
0x0F08	V0_16MUTE	视频层 16 分区 MUTE 使能寄存器，为非即时寄存器	11-118
0x6000	G0_CTRL	该寄存器可以配置层的相关信息寄存器	11-120
0x6004	G0_UPD	图形层更新使能寄存器	11-122
0x6010	G0_ADDR	图形层地址寄存器	11-122
0x601C	G0_STRIDE	图形层的 stride 寄存器	11-123
0x6020	G0_IRESO	输入分辨率寄存器，为非即时寄存器	11-123
0x6024	G0_SFPOS	Surface 需要读取数据在源位图中的起始位置，非即时寄存器	11-123
0x6030	G0_CBMPARA	叠加相关参数，为非即时寄存器	11-124
0x6034	G0_CKEYMAX	color key 最大值，为非即时寄存器	11-125
0x6038	G0_CKEYMIN	color key 最小值，为非即时寄存器	11-125
0x603C	G0_CMASK	color key mask 值，为非即时寄存器	11-126
0x6040	G0_PARAADDR	图形层 LUT 系数地址寄存器	11-126
0x6044	G0_PARAUP	图形层 LUT 系数更新寄存器	11-127



偏移地址	名称	描述	页码
0x6050	G0_DCMP_ADDR	图形层压缩地址寄存器	11-127
0x6058	G0_DCMP_OFFSET	图形层压缩头信息偏移寄存器	11-128
0x6080	G0_DFPOS	Surface 在显示窗口的起始位置 (First Position)，以像素为单位，非即时寄存器	11-128
0x6084	G0_DLPOS	Surface 在显示窗口的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-129
0x6088	G0_VFPOS	Surface 真实内容在显示窗口的起始位置 (First Position)，以像素为单位，非即时寄存器	11-129
0x608C	G0_VLPOS	Surface 真实内容在显示窗口的结束位置 (Last Position)，以像素为单位，非即时寄存器	11-129
0x6090	G0_BK	图形层的背景色寄存器	11-130
0x6094	G0_ALPHA	图形层的背景填充色 ALPHA 寄存器	11-130
0x60C0	G0_CSC_IDC	色彩空间转换输入直流分量寄存器，为即时寄存器	11-131
0x60C4	G0_CSC_ODC	色彩空间转换输出直流分量寄存器，为即时寄存器	11-132
0x60C8	G0_CSC_IODC	色彩空间转换输入/输出直流分量寄存器，为即时寄存器	11-132
0x60CC	G0_CSC_P0	色彩空间转换参数 0，为即时寄存器	11-133
0x60D0	G0_CSC_P1	色彩空间转换参数 1，为即时寄存器	11-133
0x60D4	G0_CSC_P2	色彩空间转换参数 2，为即时寄存器	11-134
0x60D8	G0_CSC_P3	色彩空间转换参数 3，为即时寄存器	11-134
0x60DC	G0_CSC_P4	色彩空间转换参数 4，为即时寄存器	11-135
0xA000	WBC_G0_CTRL	WBC0 的控制寄存器，为非及时寄存器	11-135
0xA004	WBC_G0_UPD	WBC0 通道更新使能寄存器	11-136
0xA008	WBC_G0_CMP	压缩模块控制寄存器	11-137
0xA010	WBC_G0_AR_ADD R	CAPTURE 亮度写地址寄存器	11-137
0xA014	WBC_G0_GB_ADD R	CAPTURE 色度写地址寄存器	11-138



偏移地址	名称	描述	页码
0xA018	WBC_G0_STRIDE	CAPTURE 的 stride 寄存器	11-138
0xA01C	WBC_G0_OFFSET	CAPTURE 的 offset 寄存器	11-138
0xA03C	WBC_G0_STPSTACLR	自动停止状态清除寄存器	11-139
0xA020	WBC_G0_ORESO	输出分辨率寄存器，为非即时寄存器	11-139
0xA024	WBC_G0_FCROP	输入图像 CROP 起始坐标寄存器，为非即时寄存器	11-140
0xA028	WBC_G0_LCROP	输入图像 CROP 结束坐标寄存器，为非即时寄存器	11-140
0xAC00	WBC_DHD0_CTRL	WBC0 的控制寄存器，为非及时寄存器	11-140
0xAC04	WBC_DHD0_UPD	WBC_DHD0 通道更新使能寄存器	11-142
0xAC10	WBC_DHD0_YADDR	CAPTURE 亮度写地址寄存器	11-142
0xAC14	WBC_DHD0_CADDR	CAPTURE 色度写地址寄存器	11-143
0xAC18	WBC_DHD0_STRIDE	CAPTURE 的 stride 寄存器	11-143
0xAC20	WBC_DHD0_ORESO	输出分辨率寄存器，为非即时寄存器	11-143
0xAC24	WBC_DHD0_FCROP	输入图像 CROP 起始坐标寄存器，为非即时寄存器	11-144
0xAC28	WBC_DHD0_LCROP	输入图像 CROP 结束坐标寄存器，为非即时寄存器	11-144
0xAC3C	WBC_DHD0_STPSTACLR	自动停止状态清除寄存器	11-145
0xAC40	WBC_DHD0_PARAUP	WBC DHD0 系数相关的寄存器更新使能寄存器	11-145
0xAC50	WBC_DHD0_HLCOEFAD	WBC 水平亮度滤波系数地址寄存器	11-146
0xAC54	WBC_DHD0_HCCOEFAD	WBC 水平色度滤波系数地址寄存器	11-147
0xAC58	WBC_DHD0_VLCOEFAD	WBC 垂直亮度滤波系数地址寄存器	11-147
0xAC5C	WBC_DHD0_VCCOEFAD	WBC 垂直色度滤波系数地址寄存器	11-147



偏移地址	名称	描述	页码
0xAD00	WBC_DHD0_DITHER_CTRL	Dither 控制寄存器	11-148
0xAD04	WBC_DHD0_DITHER_COEF0	Dither 系数 0 寄存器	11-148
0xAD08	WBC_DHD0_DITHER_COEF1	Dither 系数 1 寄存器	11-149
0xAE10	WBC_DHD0_HCDS	水平色度下采样参数配置寄存器	11-149
0xAE14	WBC_DHD0_HCDS_COEF0	下采样系数 0 寄存器	11-150
0xAE18	WBC_DHD0_HCDS_COEF1	下采样系数 1 寄存器	11-151
0xAEC0	WBC_DHD0_ZME_HSP	水平缩放参数配置 (horizontal Scaling Parameter) 寄存器	11-151
0xAEC4	WBC_DHD0_ZME_HLOFFSET	亮度水平位置偏移寄存器	11-152
0xAEC8	WBC_DHD0_ZME_HCOFFSET	色度水平位置偏移寄存器	11-153
0xAED8	WBC_DHD0_ZME_VSP	缩放参数 (vertical Scaling Parameter) 寄存器	11-153
0xAEDC	WBC_DHD0_ZME_VSR	垂直缩放倍数 (Luma Vertical Scaling Ratio) 寄存器	11-154
0xAEE0	WBC_DHD0_ZME_VOFFSET	垂直缩放偏移 (Vertical Scaling Offset) 寄存器。垂直缩放偏移受两个因素影响: pan-scan 和重复帧时的场偏移。当没有场偏移时, vluma_offset 为 offset_pan-scan 的最低整数位+小数位; 在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等; 在 YCbCr420 格式时, vchroma_offset = scaling_chroma/2-0	11-155
0xAEE4	WBC_DHD0_ZME_VBOFFSET	底场垂直缩放偏移 (Vertical Scaling Offset) 寄存器。垂直缩放偏移受两个因素影响: pan-scan 和重复帧时的场偏移。当没有场偏移时, vluma_offset 为 offset_pan-scan 的最低整数位+小数位; 在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等; 在 YCbCr420 格式时, vchroma_offset = scaling_chroma/2-0	11-155
0xAF00	WBC_DHD0_CSCID_C	色彩空间转换输入直流分量寄存器, 为即时寄存器	11-156



偏移地址	名称	描述	页码
0xAF04	WBC_DHD0_CSCODC	色彩空间转换输出直流分量寄存器，为即时寄存器	11-157
0xAF08	WBC_DHD0_CSCP0	色彩空间转换参数 0，为即时寄存器	11-157
0xAF0C	WBC_DHD0_CSCP1	色彩空间转换参数 1，为即时寄存器	11-158
0xAF10	WBC_DHD0_CSCP2	色彩空间转换参数 2，为即时寄存器	11-158
0xAF14	WBC_DHD0_CSCP3	色彩空间转换参数 3，为即时寄存器	11-159
0xAF18	WBC_DHD0_CSCP4	色彩空间转换参数 4，为即时寄存器	11-159
0xB400	CBM_BKG1	CBM Mixer1 叠加背景色寄存器	11-160
0xB408	CBM_MIX1	CBM Mixer1 优先级配置寄存器	11-160
0xB420	CBM_BKG2	CBM Mixer2 叠加背景色寄存器	11-162
0xB428	CBM_MIX2	CBM Mixer2 优先级配置寄存器	11-162
0xB600	MIXDSD_BKG	DSD 通路 Mixer1 叠加背景色寄存器	11-163
0xB608	MIXDSD_MIX	DSD Mixer1 优先级配置寄存器	11-164
0xC000	DHD0_CTRL	显示通道的总体控制寄存器。该寄存器的所有比特的配置必须不晚于 DHD0_CTRL	11-165
0xC004	DHD0_VSYNC	隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序	11-166
0xC008	DHD0_HSYNC1	隔行或逐行输出情况下，水平同步配置寄存器	11-167
0xC00C	DHD0_HSYNC2	隔行或逐行输出情况下，水平同步配置寄存器，非即时寄存器	11-167
0xC010	DHD0_VPLUS	隔行输出时，该寄存器表示底场垂直同步时序，非即时寄存器	11-167
0xC014	DHD0_PWR	同步信号脉冲宽度，非即时寄存器	11-168
0xC018	DHD0_VTTHD3	垂直时序门限值（Vertical Timing Threshold），为即时寄存器	11-168
0xC01C	DHD0_VTTHD	垂直时序门限值（Vertical Timing Threshold），为即时寄存器	11-169
0xC030	DHD0_AFFTHD	DHD 异步 FIFO 预低带宽阈值寄存器	11-170
0xC038	DHD0_VGA_DACDET1	VGA DAC 自动检测 1 寄存器	11-171



偏移地址	名称	描述	页码
0xC03C	DHD0_VGA_DACDET2	VGA DAC 自动检测 2 寄存器	11-171
0xC0B0	DHD0_PARATHD	PARA 系数更新点阈值寄存器	11-172
0xC0C0	DHD0_START_POS	DHD 通道 start 信号起始位置寄存器	11-172
0xC0F0	DHD0_STATE	DHD0 状态寄存器	11-172
0xC0F8	DHD0_DEBUG	DHD DEBUG 寄存器	11-173
0xC0FC	DHD0_DEBUG_STATE	DHD0 DEBUG 状态寄存器	11-174
0xD000	INTF_CTRL	接口处理控制寄存器	11-175
0xD008	INTF_SYNC_INV	外同步时序输出时，同步信号极性配置寄存器	11-175
0xD010	INTF_CLIP0_L	Clip 处理最低门限值寄存器，为即时寄存器	11-176
0xD014	INTF_CLIP0_H	Clip 处理最高门限值寄存器，为即时寄存器。	11-176
0xD020	INTF_CSC_IDC	色彩空间转换输入直流分量寄存器，为即时寄存器	11-177
0xD024	INTF_CSC_ODC	色彩空间转换输出直流分量寄存器，为即时寄存器	11-177
0xD028	INTF_CSC_IODC	色彩空间转换输入/输出直流分量寄存器，为即时寄存器	11-178
0xD02C	INTF_CSC_P0	色彩空间转换参数 0，为即时寄存器	11-178
0xD030	INTF_CSC_P1	色彩空间转换参数 1，为即时寄存器	11-179
0xD034	INTF_CSC_P2	色彩空间转换参数 2，为即时寄存器	11-180
0xD038	INTF_CSC_P3	色彩空间转换参数 3，为即时寄存器	11-180
0xD03C	INTF_CSC_P4	色彩空间转换参数 4，为即时寄存器	11-181
0xD040	INTF_HSPCFG0	HSP 配置寄存器 0，为即时寄存器	11-181
0xD044	INTF_HSPCFG1	HSP 配置寄存器 1，为即时寄存器	11-181
0xD054	INTF_HSPCFG5	HSP 配置寄存器 5，为即时寄存器	11-182
0xD058	INTF_HSPCFG6	HSP 配置寄存器 6，为即时寄存器	11-182
0xD05C	INTF_HSPCFG7	HSP 配置寄存器 7，为即时寄存器	11-183
0xD060	INTF_HSPCFG8	HSP 配置寄存器 8	11-184



偏移地址	名称	描述	页码
0xD070	INTF_HSPCFG12	HSP 配置寄存器 12	11-184
0xD074	INTF_HSPCFG13	HSP 配置寄存器 13	11-184
0xD078	INTF_HSPCFG14	HSP 配置寄存器 14, 为即时寄存器	11-185
0xD07C	INTF_HSPCFG15	HSP 配置寄存器 15, 为即时寄存器	11-186
0xD080	INTF_DITHER0_CTRL	接口处理 Dither 控制寄存器	11-187
0xD084	INTF_DITHER0_COEF0	接口处理 Dither 系数 0 寄存器	11-188
0xD088	INTF_DITHER0_COEF1	接口处理 Dither 系数 1 寄存器	11-188
0xF200	DATE_COEFF0	制式参数配置寄存器	11-189
0xF204	DATE_COEFF1	幅度配置寄存器	11-192
0xF208	DATE_COEFF2	DATE 系数 2 寄存器	11-193
0xF20C	DATE_COEFF3	DATE 系数 3 寄存器	11-193
0xF210	DATE_COEFF4	DATE 系数 4 寄存器	11-194
0xF214	DATE_COEFF5	DATE 系数 5 寄存器	11-194
0xF218	DATE_COEFF6	DATE 系数 6 寄存器	11-196
0xF254	DATE_COEFF21	输出矩阵控制寄存器	11-206
0xF258	DATE_COEFF22	DTO 初始相位配置寄存器	11-208
0xF25C	DATE_COEFF23	VIDEO_OUT 延时配置寄存器	11-208
0xF260	DATE_COEFF24	ColorBurst 起始位置寄存器	11-209
0xF280	DATE_ISRMASK	中断屏蔽寄存器	11-210
0xF284	DATE_ISRSTATE	中断状态寄存器	11-213
0xF288	DATE_ISR	中断寄存器	11-214
0xF290	DATE_VERSION	版本寄存器	11-214
0xF294	DATE_COEFF37	上采样滤波系数 1 寄存器	11-215
0xF298	DATE_COEFF38	上采样滤波系数 2 寄存器	11-215
0xF29C	DATE_COEFF39	上采样滤波系数 3 寄存器	11-216
0xF2A0	DATE_COEFF40	上采样滤波系数 4 寄存器	11-216
0xF2A4	DATE_COEFF41	上采样滤波系数 5 寄存器	11-216



偏移地址	名称	描述	页码
0xF2A8	DATE_COEFF42	上采样滤波系数 6 寄存器	11-217
0xF2C0	DATE_DACDET1	DAC 自动检测 1 寄存器	11-217
0xF2C4	DATE_DACDET2	DAC 自动检测 2 寄存器	11-218
0xF2C8	DATE_COEFF50	过采样滤波系数 1 寄存器	11-218
0xF2CC	DATE_COEFF51	过采样滤波系数 2 寄存器	11-219
0xF2D0	DATE_COEFF52	过采样滤波系数 3 寄存器	11-219
0xF2D4	DATE_COEFF53	过采样滤波系数 4 寄存器	11-220
0xF2D8	DATE_COEFF54	过采样滤波系数 5 寄存器	11-220
0xF2DC	DATE_COEFF55	过采样滤波系数 6 寄存器	11-221

11.5 VDP 寄存器描述

VOCTRL

VOCTRL 为 VO 控制寄存器。surface 总线申请仲裁模式。

Offset Address	Register Name	Total Reset Value	
0x0000	VOCTRL	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	vo_ck_gt_en reserved m0_arb_mode		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31]	RW	vo_ck_gt_en	VDP 时钟门控使能。 0: 时钟门控关闭; 1: VDP 的内部时钟门控打开。
[30:4]	RO	reserved	保留。



[3:0]	RW	m0_arb_mode	VO MAC0 内部各 surface 总线数据申请的仲裁模式。 0000: 轮询; 0001: 图形层优先; 其他: 保留。
-------	----	-------------	--

VOINTSTA

VOINTSTA 为 VO 中断状态，只读寄存器。

	Offset Address				Register Name																Total Reset Value															
	0x0004				VOINTSTA																0x0000_0044															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved	m0_be_int	reserved	reserved	g4rr_int	reserved	g2rr_int	g1rr_int	g0rr_int	reserved	v4rr_int	v3rr_int	reserved	dsd0uf_int	dsc0vttthd1_int	vdac3_unload_int	vdac2_unload_int	vdac1_unload_int	vdac0_unload_int	g4wbc_vte_int	g0wbc_vte_int	dwbc0_vte_int	reserved	dhd1uf_int	dhd1vttthd3_int	dhd1vttthd2_int	dhd1vttthd1_int	dhd0uf_int	dhd0vttthd3_int	dhd0vttthd2_int	dhd0vttthd1_int					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0				
Bits	Access		Name		Description																															
[31]	RO		reserved		保留。																															
[30]	RO		m0_be_int		AXI MASTER 0 总线错误中断。 0: 无中断; 1: 上报中断。																															
[29:27]	RO		reserved		保留。																															
[26]	RO		g4rr_int		g4 寄存器更新中断。 0: 无中断; 1: 上报中断。																															
[25]	RO		reserved		保留。																															
[24]	RO		g2rr_int		g2 寄存器更新中断。 0: 无中断; 1: 上报中断。																															
[23]	RO		g1rr_int		g1 寄存器更新中断。 0: 无中断; 1: 上报中断。																															



[22]	RO	g0rr_int	g0 寄存器更新中断。 0: 无中断; 1: 上报中断。
[21]	RO	reserved	保留。
[20]	RO	v4rr_int	v4 寄存器更新中断。 0: 无中断; 1: 上报中断。
[19]	RO	v3rr_int	v3 寄存器更新中断。 0: 无中断; 1: 上报中断。
[18]	RO	reserved	保留。
[17]	RO	dsd0uf_int	SD 通道低带宽告警中断。 0: 无中断; 1: 上报中断。
[16]	RO	dsd0vtthd1_int	SD 通道垂直时序中断 1。 0: 无中断; 1: 上报中断。
[15]	RO	vdac3_unload_int	DAC3 无负载中断。 0: 无中断; 1: 上报中断。
[14]	RO	vdac2_unload_int	DAC2 无负载中断。 0: 无中断; 1: 上报中断。
[13]	RO	vdac1_unload_int	DAC1 无负载中断。 0: 无中断; 1: 上报中断。
[12]	RO	vdac0_unload_int	DAC0 无负载中断。 0: 无中断; 1: 上报中断。
[11]	RO	g4wbc_vte_int	G4WBC 任务完成中断。 0: 无中断; 1: 上报中断。



[10]	RO	g0wbc_vte_int	G0WBC 任务完成中断。 0: 无中断; 1: 上报中断。
[9]	RO	dwbc0_vte_int	DWBC0 任务完成中断。 0: 无中断; 1: 上报中断。
[8]	RO	reserved	保留。
[7]	RO	dhd1uf_int	HD1 通道低带宽告警中断。 0: 无中断; 1: 上报中断。
[6]	RO	dhd1vtthd3_int	HD1 通道垂直时序中断 3。 0: 无中断; 1: 上报中断。
[5]	RO	dhd1vtthd2_int	HD1 通道垂直时序中断 2。 0: 无中断; 1: 上报中断。
[4]	RO	dhd1vtthd1_int	HD1 通道垂直时序中断 1。 0: 无中断; 1: 上报中断。
[3]	RO	dhd0uf_int	HD0 通道低带宽告警中断。 0: 无中断; 1: 上报中断。
[2]	RO	dhd0vtthd3_int	HD0 通道垂直时序中断 3。 0: 无中断; 1: 上报中断。
[1]	RO	dhd0vtthd2_int	HD0 通道垂直时序中断 2。 0: 无中断; 1: 上报中断。
[0]	RO	dhd0vtthd1_int	HD0 通道垂直时序中断 1。 0: 无中断; 1: 上报中断。

VOMSKINTSTA

VOMSKINTSTA 为 VO 经过 Mask 的中断状态寄存器。写 1 清零。



Offset Address		Register Name																Total Reset Value														
0x0008		VOMSKINTSTA																0x0000_0000														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	m0_be_clr	reserved	reserved	g4rr_clr	reserved	g2rr_clr	g1rr_clr	g0rr_clr	reserved	v4rr_clr	v3rr_clr	reserved	dsd0uf_clr	dsd0vttthd1_clr	vdac3_unload_int	vdac2_unload_int	vdac1_unload_int	vdac0_unload_int	g4wbc_vte_clr	g0wbc_vte_clr	dwbc0_vte_clr	reserved	dhd1uf_clr	dhd1vttthd3_clr	dhd1vttthd2_clr	dhd1vttthd1_clr	dhd0uf_clr	dhd0vttthd3_clr	dhd0vttthd2_clr	dhd0vttthd1_clr	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RO	reserved	保留。																													
[30]	WC	m0_be_clr	AXI MASTER 0 总线错误中断。 0: 无中断; 1: 上报中断。																													
[29:27]	RO	reserved	保留。																													
[26]	WC	g4rr_clr	g4 寄存器更新中断。 0: 无中断; 1: 上报中断。																													
[25]	RO	reserved	保留。																													
[24]	WC	g2rr_clr	g2 寄存器更新中断。 0: 无中断; 1: 上报中断。																													
[23]	WC	g1rr_clr	g1 寄存器更新中断。 0: 无中断; 1: 上报中断。																													
[22]	WC	g0rr_clr	g0 寄存器更新中断。 0: 无中断; 1: 上报中断。																													
[21]	RO	reserved	保留。																													
[20]	WC	v4rr_clr	v4 寄存器更新中断。 0: 无中断; 1: 上报中断。																													



[19]	WC	v3rr_clr	v3 寄存器更新中断。 0: 无中断; 1: 上报中断。
[18]	RO	reserved	保留。
[17]	RO	dsd0uf_clr	SD 通道低带宽告警中断。 0: 无中断; 1: 上报中断。
[16]	RO	dsd0vtthd1_clr	SD 通道垂直时序中断 1。 0: 无中断; 1: 上报中断。
[15]	RO	vdac3_unload_int	DAC3 无负载中断。 0: 无中断; 1: 上报中断。
[14]	RO	vdac2_unload_int	DAC2 无负载中断。 0: 无中断; 1: 上报中断。
[13]	RO	vdac1_unload_int	DAC1 无负载中断。 0: 无中断; 1: 上报中断。
[12]	RO	vdac0_unload_int	DAC0 无负载中断。 0: 无中断; 1: 上报中断。
[11]	RO	g4wbc_vte_clr	G4WBC 任务完成中断。 0: 无中断; 1: 上报中断。
[10]	RO	g0wbc_vte_clr	G0WBC 任务完成中断。 0: 无中断; 1: 上报中断。
[9]	WC	dwbc0_vte_clr	DWBC0 任务完成中断。 0: 无中断; 1: 上报中断。
[8]	RO	reserved	保留。



[7]	WC	dhd1uf_clr	HD1 通道低带宽告警中断。 0: 无中断; 1: 上报中断。
[6]	WC	dhd1vtthd3_clr	HD1 通道垂直时序中断 3。 0: 无中断; 1: 上报中断。
[5]	WC	dhd1vtthd2_clr	HD1 通道垂直时序中断 2。 0: 无中断; 1: 上报中断。
[4]	WC	dhd1vtthd1_clr	HD1 通道垂直时序中断 1。 0: 无中断; 1: 上报中断。
[3]	WC	dhd0uf_clr	HD0 通道低带宽告警中断。 0: 无中断; 1: 上报中断。
[2]	WC	dhd0vtthd3_clr	HD0 通道垂直时序中断 3。 0: 无中断; 1: 上报中断。
[1]	WC	dhd0vtthd2_clr	HD0 通道垂直时序中断 2。 0: 无中断; 1: 上报中断。
[0]	WC	dhd0vtthd1_clr	HD0 通道垂直时序中断 1。 0: 无中断; 1: 上报中断。

VOINTMSK

VOINTMSK 为 VDP 中断屏蔽寄存器。与 VOINTSTA 对应。相应比特为 1 表示中断打开，为 0 表示中断屏蔽。



		Offset Address 0x000C								Register Name VOINTMSK								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved	m0_be_intmsk	reserved	reserved	g4rr_intmsk	reserved	g2rr_intmsk	g1rr_intmsk	g0rr_intmsk	reserved	v4rr_intmsk	v3rr_intmsk	reserved	dsd0uf_intmsk	dsd0vtthd1_intmsk	vdac3_unload_intmsk	vdac2_unload_intmsk	vdac1_unload_intmsk	vdac0_unload_intmsk	g4wbc_vte_intmsk	g0wbc_vte_intmsk	dwbc0_vte_intmsk	reserved	dhd1uf_intmsk	dhd1vtthd3_intmsk	dhd1vtthd2_intmsk	dhd1vtthd1_intmsk	dhd0uf_intmsk	dhd0vtthd3_intmsk	dhd0vtthd2_intmsk	dhd0vtthd1_intmsk	
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31]	RO	reserved		保留。																													
[30]	RW	m0_be_intmsk		AXI MASTER 0 总线错误中断。 0: 中断屏蔽; 1: 中断打开。																													
[29:27]	RO	reserved		保留。																													
[26]	RW	g4rr_intmsk		g4 寄存器更新中断。 0: 中断屏蔽; 1: 中断打开。																													
[25]	RO	reserved		保留。																													
[24]	RW	g2rr_intmsk		g2 寄存器更新中断。 0: 中断屏蔽; 1: 中断打开。																													
[23]	RW	g1rr_intmsk		g1 寄存器更新中断。 0: 中断屏蔽; 1: 中断打开。																													
[22]	RW	g0rr_intmsk		g0 寄存器更新中断。 0: 中断屏蔽; 1: 中断打开。																													
[21]	RO	reserved		保留。																													
[20]	RW	v4rr_intmsk		v4 寄存器更新中断。 0: 中断屏蔽; 1: 中断打开。																													



[19]	RW	v3rr_intmsk	v3 寄存器更新中断。 0: 中断屏蔽; 1: 中断打开。
[18]	RO	reserved	保留。
[17]	RO	dsd0uf_intmsk	SD 通道低带宽告警中断。 0: 中断屏蔽; 1: 中断打开。
[16]	RO	dsd0vtthd1_intmsk	SD 通道垂直时序中断 1。 0: 中断屏蔽; 1: 中断打开。
[15]	RW	vdac3_unload_intmsk	DAC3 无负载中断。 0: 中断屏蔽; 1: 中断打开。
[14]	RW	vdac2_unload_intmsk	DAC2 无负载中断。 0: 中断屏蔽; 1: 中断打开。
[13]	RW	vdac1_unload_intmsk	DAC1 无负载中断。 0: 中断屏蔽; 1: 中断打开。
[12]	RW	vdac0_unload_intmsk	DAC0 无负载中断。 0: 中断屏蔽; 1: 中断打开。
[11]	RW	g4wbc_vte_intmsk	G4WBC 任务完成中断。 0: 无中断; 1: 上报中断。
[10]	RW	g0wbc_vte_intmsk	G0WBC 任务完成中断。 0: 无中断; 1: 上报中断。
[9]	RW	dwbc0_vte_intmsk	DWBC0 任务完成中断。 0: 中断屏蔽; 1: 中断打开。
[8]	RO	reserved	保留。



[7]	RW	dhd1uf_intmsk	HD1 通道低带宽告警中断。 0: 中断屏蔽; 1: 中断打开。
[6]	RW	dhd1vtthd3_intmsk	HD1 通道垂直时序中断 3。 0: 中断屏蔽; 1: 中断打开。
[5]	RW	dhd1vtthd2_intmsk	HD1 通道垂直时序中断 2。 0: 中断屏蔽; 1: 中断打开。
[4]	RW	dhd1vtthd1_intmsk	HD1 通道垂直时序中断 1。 0: 中断屏蔽; 1: 中断打开。
[3]	RW	dhd0uf_intmsk	HD0 通道低带宽告警中断。 0: 中断屏蔽; 1: 中断打开。
[2]	RW	dhd0vtthd3_intmsk	HD0 通道垂直时序中断 3。 0: 中断屏蔽; 1: 中断打开。
[1]	RW	dhd0vtthd2_intmsk	HD0 通道垂直时序中断 2。 0: 中断屏蔽; 1: 中断打开。
[0]	RW	dhd0vtthd1_intmsk	HD0 通道垂直时序中断 1。 0: 中断屏蔽; 1: 中断打开。

VDPVERSION1

VDPVERSION1 为 VDP 版本 1 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0010		VDPVERSION1		0x7675_6F76				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vdpversion1							
Reset	0 1 1 1	0 1 1 0	0 1 1 1	0 1 0 1	0 1 1 0	1 1 1 1	0 1 1 1	0 1 1 0
Bits	Access	Name	Description					
[31:0]	RO	vdpversion1	VDP 版本寄存器 1。					

VDPVERSION2

VDPVERSION2 为 VDP 版本 2 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0014		VDPVERSION2		0x3031_3134				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vdpversion2							
Reset	0 0 1 1	0 0 0 0	0 0 1 1	0 0 0 1	0 0 1 1	0 0 0 1	0 0 1 1	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RO	vdpversion2	VDP 版本寄存器 2。					

VOAXICTRL

VOAXICTRL 为 VO AXI 总线配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0034		VOAXICTRL		0x0111_0111				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					m0_wr_ostd	reserved	m0_outstd_rid 0
Reset	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 1
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:8]	RW	m0_wr_ostd	axi master 0 写 ID outstanding 配置, 配置范围 0~7。					
[7:4]	RO	reserved	保留。					
[3:0]	RW	m0_outstd_rid0	axi master 0 读 ID0 outstanding 配置, 配置范围 0~7。					



VOUFSTA

VOUFSTA 为 VO 层级低带宽状态寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x0040				VOUFSTA								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												g4_uf_sta	reserved	g2_uf_sta	g1_uf_sta	g0_uf_sta	reserved				v3_uf_sta	reserved	v1_uf_sta	v0_uf_sta											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:13]	RO		reserved		保留。																															
[12]	RO		g4_uf_sta		G4 低带宽状态。																															
[11]	RO		reserved		保留。																															
[10]	RO		g2_uf_sta		G2 低带宽状态。																															
[9]	RO		g1_uf_sta		G1 低带宽状态。																															
[8]	RO		g0_uf_sta		G0 低带宽状态。																															
[7:4]	RO		reserved		保留。																															
[3]	RO		v3_uf_sta		V3 低带宽状态。																															
[2]	RO		reserved		保留。																															
[1]	RO		v1_uf_sta		V1 低带宽状态。																															
[0]	RO		v0_uf_sta		V0 低带宽状态。																															

VOUFCLR

VOUFCLR 为 VO 层级低带宽状态清除寄存器。



Offset Address		Register Name		Total Reset Value										
0x0044		VOUFCLR		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				g4_uf_clr	reserved	g2_uf_clr	g1_uf_clr	g0_uf_clr	reserved	v3_uf_clr	reserved	v1_uf_clr	v0_uf_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:13]	RO	reserved	保留。											
[12]	RW	g4_uf_clr	G4 低带宽状态清除。											
[11]	RO	reserved	保留。											
[10]	RW	g2_uf_clr	G2 低带宽状态清除。											
[9]	RW	g1_uf_clr	G1 低带宽状态清除。											
[8]	RW	g0_uf_clr	G0 低带宽状态清除。											
[7:4]	RO	reserved	保留。											
[3]	RW	v3_uf_clr	V3 低带宽状态清除。											
[2]	RO	reserved	保留。											
[1]	RW	v1_uf_clr	V1 低带宽状态清除。											
[0]	RW	v0_uf_clr	V0 低带宽状态清除。											

VO_MUX

VO_MUX 为 VO 输出接口复选寄存器。

Offset Address		Register Name		Total Reset Value					
0x0100		VO_MUX		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		bt1120_sel	reserved	hdmi_sel	vga_sel	reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						



[23:20]	RW	bt1120_sel	BT.1120 数据选择(默认 0)。 0: DHD0 BT.1120; 1: DHD1 BT.1120。
[19:16]	RO	reserved	保留。
[15:12]	RW	hdmi_sel	HDMI 数据选择(默认 0)。 0: DHD0 HDMI; 1: DHD1 HDMI。
[11:8]	RW	vga_sel	VGA 数据选择(默认 0)。 0: DHD0 VGA; 1: DHD1 VGA。
[7:0]	RO	reserved	保留。

VO_MUX_DAC

VO_MUX_DAC 为 VO DAC 输出接口复选寄存器。

Offset Address		Register Name		Total Reset Value				
0x0104		VO_MUX_DAC		0x0000_6540				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				dac3_sel	dac2_sel	dac1_sel	dac0_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 1	0 1 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:12]	RW	dac3_sel	DAC3 输出选择(默认 0x0)。 0x0: DAC3 输出 CVBS 视频(SDATE); 0x1: DAC3 输出标清模拟视频 Y/R 分量(SDATE); 0x2: DAC3 输出标清模拟视频 Cb/G 分量(SDATE); 0x3: DAC3 输出标清模拟视频 Cr/B 分量(SDATE); 0x4: DAC3 输出高清模拟视频 Y/R 分量(HDATE); 0x5: DAC3 输出高清模拟视频 Cb/G 分量(HDATE); 0x6: DAC3 输出高清模拟视频 Cr/B 分量(HDATE); 0x7: DAC3 输出 VGA 视频 R 分量; 0x8: DAC3 输出 VGA 视频 G 分量; 0x9: DAC3 输出 VGA 视频 B 分量。					



[11:8]	RW	dac2_sel	<p>DAC2 输出选择(默认 0x0)。</p> <p>0x0: DAC2 输出 CVBS 视频(SDATE);</p> <p>0x1: DAC2 输出标清模拟视频 Y/R 分量(SDATE);</p> <p>0x2: DAC2 输出标清模拟视频 Cb/G 分量(SDATE);</p> <p>0x3: DAC2 输出标清模拟视频 Cr/B 分量(SDATE);</p> <p>0x4: DAC2 输出高清模拟视频 Y/R 分量(HDATE);</p> <p>0x5: DAC2 输出高清模拟视频 Cb/G 分量(HDATE);</p> <p>0x6: DAC2 输出高清模拟视频 Cr/B 分量(HDATE);</p> <p>0x7: DAC2 输出 VGA 视频 R 分量;</p> <p>0x8: DAC2 输出 VGA 视频 G 分量;</p> <p>0x9: DAC2 输出 VGA 视频 B 分量。</p>
[7:4]	RW	dac1_sel	<p>DAC1 输出选择(默认 0x0)。</p> <p>0x0: DAC1 输出 CVBS 视频(SDATE);</p> <p>0x1: DAC1 输出标清模拟视频 Y/R 分量(SDATE);</p> <p>0x2: DAC1 输出标清模拟视频 Cb/G 分量(SDATE);</p> <p>0x3: DAC1 输出标清模拟视频 Cr/B 分量(SDATE);</p> <p>0x4: DAC1 输出高清模拟视频 Y/R 分量(HDATE);</p> <p>0x5: DAC1 输出高清模拟视频 Cb/G 分量(HDATE);</p> <p>0x6: DAC1 输出高清模拟视频 Cr/B 分量(HDATE);</p> <p>0x7: DAC1 输出 VGA 视频 R 分量;</p> <p>0x8: DAC1 输出 VGA 视频 G 分量;</p> <p>0x9: DAC1 输出 VGA 视频 B 分量。</p>
[3:0]	RW	dac0_sel	<p>DAC0 输出选择(默认 0x0)。</p> <p>0x0: DAC0 输出 CVBS 视频(SDATE);</p> <p>0x1: DAC0 输出标清模拟视频 Y/R 分量(SDATE);</p> <p>0x2: DAC0 输出标清模拟视频 Cb/G 分量(SDATE);</p> <p>0x3: DAC0 输出标清模拟视频 Cr/B 分量(SDATE);</p> <p>0x4: DAC0 输出高清模拟视频 Y/R 分量(HDATE);</p> <p>0x5: DAC0 输出高清模拟视频 Cb/G 分量(HDATE);</p> <p>0x6: DAC0 输出高清模拟视频 Cr/B 分量(HDATE);</p> <p>0x7: DAC0 输出 VGA 视频 R 分量;</p> <p>0x8: DAC0 输出 VGA 视频 G 分量;</p> <p>0x9: DAC0 输出 VGA 视频 B 分量。</p>

VO_MUX_TESTSYNC

VO_MUX_TESTSYNC 为 VO 输出接口测试寄存器。(VOPINTEST)



Offset Address		Register Name		Total Reset Value							
0x0108		VO_MUX_TESTSYNC		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	vo_test_en	reserved						test_field	test_vsync	test_hsync	test_dv
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31]	RW	vo_test_en	VDP 输出接口测试模式使能。 0: 禁止; 1: 使能。								
[30:4]	RO	reserved	保留。								
[3]	RW	test_field	field 信号测试值。								
[2]	RW	test_vsync	vsync 信号测试值。								
[1]	RW	test_hsync	hsync 信号测试值。								
[0]	RW	test_dv	dv 信号测试值。								

VO_MUX_TESTDATA

VO_MUX_TESTDATA 为 VO 输出接口测试数据寄存器。(VOPINTEST)

Offset Address		Register Name		Total Reset Value					
0x010C		VO_MUX_TESTDATA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	test_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						



[29:0]	RW	test_data	测试模式时的 data 输出值寄存器。 DAC0~3 通道输出为寄存器的低 10bit，BT.1120 通道输出为寄存器的低 16bit，LCD 通道输出为寄存器的 {29~22,19~12,9~2}bit，其他通道输出为寄存器值，顺序由高到低为 RGB 或 YUV。
--------	----	-----------	---

VO_DAC_CTRL

VO_DAC_CTRL 为 VO DAC 控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0120				VO_DAC_CTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	envbg	enxtref	reserved						enctr	reserved																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits			Access		Name		Description																									
[31]	RW		envbg		DAC 内部 bandgap power up 使能。 0: 不使能; 1: 使能。																											
[30]	RW		enxtref		DAC 内部 bandgap 由 pin “vbg” 提供。 0: vbg 为高阻; 1: bandgap 直通 vbg。																											
[29:19]	RO		reserved		保留。																											
[18:16]	RW		enctr		DAC0 analog biasing 使能，正常工作在 3'b000。																											
[15:0]	RO		reserved		保留。																											

VO_DAC_C_CTRL

VO_DAC_C_CTRL 为 VO DAC C 通道控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0130		VO_DAC_C_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	endac	reserved		dacgc		reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	endac	DAC 使能端。 0: 不使能; 1: 使能。						
[30:21]	RO	reserved	保留。						
[20:15]	RW	dacgc	DAC0 增益设置。						
[14:0]	RO	reserved	保留。						

VO_DAC_R_CTRL

VO_DAC_R_CTRL 为 VO DAC R 通道控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0134		VO_DAC_R_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	endac	reserved		dacgc		reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	endac	DAC 使能端。 0: 不使能; 1: 使能。						
[30:21]	RO	reserved	保留。						
[20:15]	RW	dacgc	DAC0 增益设置。						
[14:0]	RO	reserved	保留。						



VO_DAC_G_CTRL

VO_DAC_G_CTRL 为 VO DAC G 通道控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0138		VO_DAC_G_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			dacgc		reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	endac	DAC 使能端。 0: 不使能; 1: 使能。						
[30:21]	RO	reserved	保留。						
[20:15]	RW	dacgc	DAC0 增益设置。						
[14:0]	RO	reserved	保留。						

VO_DAC_B_CTRL

VO_DAC_B_CTRL 为 VO DAC B 通道控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x013C		VO_DAC_B_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			dacgc		reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	endac	DAC 使能端。 0: 不使能; 1: 使能。						
[30:21]	RO	reserved	保留。						
[20:15]	RW	dacgc	DAC0 增益设置。						



[14:0]	RO	reserved	保留。
--------	----	----------	-----

VO_DAC_STAT0

VO_DAC_STAT0 为 VO DAC 状态 0 寄存器。

Offset Address		Register Name		Total Reset Value						
0x0140		VO_DAC_STAT0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				cableout3	cableout2	cableout1	cableout0	reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:20]	RO	reserved	保留。							
[19]	RO	cableout3	cableout3 反馈信号。							
[18]	RO	cableout2	cableout2 反馈信号。							
[17]	RO	cableout1	cableout1 反馈信号。							
[16]	RO	cableout0	cableout0 反馈信号。							
[15:0]	RO	reserved	保留。							

GDC_CORRESP

GDC_CORRESP 为图形层层级绑定关系寄存器。

Offset Address		Register Name		Total Reset Value					
0x030C		GDC_CORRESP		0x0001_1101					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					g2_corresp	reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 0 1	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:12]	RO	reserved	保留。						



[11:8]	RW	g2_corresp	g2 层级绑定关系寄存器。 0010: g2 绑定到 CBM MIX1 或者 MIX2, 输出通道通过优先级选择; 0100: g2 绑定到 MIXSD, 通过 DSD 显示。 其他: 保留。
[7:0]	RO	reserved	保留。

WBC_CORRESP

WBC_CORRESP 为 WBC 回写点绑定关系寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0310				WBC_CORRESP				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																							wbc_corresp								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5:0]	RW	wbc_corresp	WBC_DHD 回写点绑定关系寄存器。 0x1: WBC_DHD 绑定到 CBM MIX1 输出端回写点; 0x2: WBC_DHD 绑定到 CBM MIX2 输出端回写点; 0x4: WBC_DHD 绑定到 MIXSD 输出端回写点; 0x8: WBC_DHD 绑定到 V0 输出端回写点; 0x10: WBC_DHD 绑定到 V3 输出端回写点; 0x20: WBC_DHD 绑定到 V4 输出端回写点。																													

COEF_DATA

COEF_DATA 为虚拟的系数寄存器。VDP 中所有的系数均从该寄存器中读出, 通过下面的 PARARD 读使能寄存器区分具体的系数。



Offset Address		Register Name		Total Reset Value				
0x0400		COEF_DATA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	coef_data	系数值。					

V0_PARARD

V0_PARARD 为 V0 系数读标志寄存器。

Offset Address		Register Name		Total Reset Value							
0x0410		V0_PARARD		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							v0_vccoef_rd	v0_vlcoef_rd	v0_hccoef_rd	v0_hlcoef_rd
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	v0_vccoef_rd	v0 垂直色度滤波系数读使能。 0: 禁止; 1: 使能。								
[2]	RW	v0_vlcoef_rd	v0 垂直亮度滤波系数读使能。 0: 禁止; 1: 使能。								
[1]	RW	v0_hccoef_rd	v0 水平色度滤波系数读使能。 0: 禁止; 1: 使能。								
[0]	RW	v0_hlcoef_rd	v0 水平亮度滤波系数读使能。 0: 禁止; 1: 使能。								



V1_PARARD

V1_PARARD 为 V1 系数读标志寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0414				V1_PARARD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								v1_vccoef_rd	v1_vlcoef_rd	v1_hccoef_rd	v1_hlcoef_rd				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:4]	RO	reserved	保留。																												
	[3]	RW	v1_vccoef_rd	V1 垂直色度滤波系数读使能。 0: 禁止; 1: 使能。																												
	[2]	RW	v1_vlcoef_rd	V1 垂直亮度滤波系数读使能。 0: 禁止; 1: 使能。																												
	[1]	RW	v1_hccoef_rd	V1 水平色度滤波系数读使能。 0: 禁止; 1: 使能。																												
	[0]	RW	v1_hlcoef_rd	V1 水平亮度滤波系数读使能。 0: 禁止; 1: 使能。																												

V3_PARARD

V3_PARARD 为 V3 系数读标志寄存器。



Offset Address		Register Name		Total Reset Value							
0x041C		V3_PARARD		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							v3_vccoef_rd	v3_vlcoef_rd	v3_hccoef_rd	v3_hlcoef_rd
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	v3_vccoef_rd	V3 垂直色度滤波系数读使能。 0: 禁止; 1: 使能。								
[2]	RW	v3_vlcoef_rd	V3 垂直亮度滤波系数读使能。 0: 禁止; 1: 使能。								
[1]	RW	v3_hccoef_rd	V3 水平色度滤波系数读使能。 0: 禁止; 1: 使能。								
[0]	RW	v3_hlcoef_rd	V3 水平亮度滤波系数读使能。 0: 禁止; 1: 使能。								

WBCDHD_PARARD

WBCDHD_PARARD 为 WBC_DHD 系数读标志寄存器。



Offset Address		Register Name		Total Reset Value																												
0x04C0		WBCDHD_PARARD		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								wbcdhd_vccoef_rd	wbcdhd_vlcoef_rd	wbcdhd_hccoef_rd	wbcdhd_hlcoef_rd				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	RW	wbcdhd_vccoef_rd	wbcdhd 垂直色度滤波系数读使能。 0: 禁止; 1: 使能。																													
[2]	RW	wbcdhd_vlcoef_rd	wbcdhd 垂直亮度滤波系数读使能。 0: 禁止; 1: 使能。																													
[1]	RW	wbcdhd_hccoef_rd	wbcdhd 水平色度滤波系数读使能。 0: 禁止; 1: 使能。																													
[0]	RW	wbcdhd_hlcoef_rd	wbcdhd 水平亮度滤波系数读使能。 0: 禁止; 1: 使能。																													

V0_CTRL

V0_CTRL 为该寄存器可以配置层的相关信息，为非即时寄存器。



		Offset Address 0x0800								Register Name V0_CTRL								Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		surface_en	reserved				mute_en	reserved				ifir_mode	vup_mode	reserved	lm_rmode	chm_rmode	reserved				dcmp_en	time_out	reserved	ifmt													
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																	
[31]	RW	surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																																	
[30:28]	RO	reserved		保留。																																	
[27]	RW	mute_en		V0 的 mute 使能，非即时寄存器。 0: 禁止; 1: 使能。																																	
[26:20]	RO	reserved		保留。																																	
[19:18]	RW	ifir_mode		水平色度 IFIR 模式。 00: 保留; 01: 色度 IFIR 拷贝模式; 10: 双线性插值; 11: 16 阶半带滤波。																																	
[17]	RW	vup_mode		V0 系数更新模式。 0: 帧更新; 1: 场更新。																																	
[16]	RO	reserved		保留。																																	
[15:14]	RW	lm_rmode		亮度逐隔行读取模式。 00: 读取模式跟接口绑定; 01: 逐行读取帧 buffer 数据; 10: 隔行读取时，读入顶场; 11: 隔行读取时，读入底场。																																	



[13:12]	RW	chm_rmode	色度逐隔行读取模式。 00: 读取模式跟接口绑定; 01: 逐行读取帧 buffer 数据; 10: 隔行读取时, 读入顶场; 11: 隔行读取时, 读入底场。
[11:9]	RO	reserved	保留。
[8]	RW	dcmp_en	解压使能
[7:5]	RW	time_out	Time Out 值。
[4]	RO	reserved	保留。
[3:0]	RW	ifmt	输入数据格式。 0x1: SPYCbCr400; 0x3: SPYCbCr420; 0x4: SPYCbCr422; 其他: 保留。

V0_UPD

V0_UPD 为 V0 通道更新使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0804				V0_UPD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											regup				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	RO		reserved		保留。																											
[0]	WC		regup		Surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新, 更新完成后, 硬件自动清零。																											

V0_IRESO

V0_IRESO 为输入分辨率寄存器, 为非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0828		V0_IRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 以帧高度为参考，以行为单位。						
[11:0]	RW	iw	宽度，像素单位。实际宽度减 1。						

V0_ORESO

V0_ORESO 为输出分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x082C		V0_ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 以帧高度为参考，以行为单位。						
[11:0]	RW	ow	宽度，像素单位。实际宽度减 1。						

V0_CBMPARA

V0_CBMPARA 为叠加相关参数，为非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0838		V0_CBMPARA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						alpha			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	alpha	叠加全局 alpha 值。取值范围为 0~255，255 为全不透明，0 为全透明。							

V0_PARAUP

V0_PARAUP 为 V0 系数相关的寄存器更新使能寄存器。VDP 的缩放系数是通过 AXI Master 配置的，软件通过 Slave 配置起始地址和参数需要更新的标志。

Offset Address		Register Name		Total Reset Value						
0x0840		V0_PARAUP		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						v0_vccoef_upd	v0_vlcoef_upd	v0_hccoef_upd	v0_hlcoef_upd
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:4]	RO	reserved	保留。							
[3]	RW	v0_vccoef_upd	V0 垂直色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。							
[2]	RW	v0_vlcoef_upd	V0 垂直亮度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。							
[1]	RW	v0_hccoef_upd	V0 水平色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。							



[0]	RW	v0_hlcoef_upd	V0 水平亮度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。
-----	----	---------------	---

V0_HLCOEFAD

V0_HLCOEFAD 为 V0 水平亮度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0850		V0_HLCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

V0_HCCOEFAD

V0_HCCOEFAD 为 V0 水平色度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0854		V0_HCCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

V0_VLCOEFAD

V0_VLCOEFAD 为 V0 垂直亮度滤波系数地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0858		V0_VLCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

V0_VCCOEFAD

V0_VCCOEFAD 为 V0 垂直色度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x085C		V0_VCCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

V0_DFPOS

V0_DFPOS 为 Surface 在显示窗口的起始位置 (First Position)，非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0860		V0_DFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		disp_yfpos			disp_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	disp_yfpos	显示列起始坐标， 以帧高度为参考，以行为单位。					
[11:0]	RW	disp_xfpos	显示行起始坐标。					



V0_DLPOS

V0_DLPOS 为 Surface 在显示窗口的结束位置 (Last Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0864		V0_DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_ylpos			disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	disp_ylpos	显示列结束坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	disp_xlpos	显示行结束坐标。						

V0_VFPOS

V0_VFPOS 为 Surface 真实内容在显示窗口的起始位置 (First Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0868		V0_VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

V0_VLPOS

V0_VLPOS 为 Surface 真实内容在显示窗口的结束位置 (Last Position)，以像素为单位，非即时寄存器。



Offset Address		Register Name		Total Reset Value								
0x086C		V0_VLPOS		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				video_ylpos				video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:24]	RO	reserved	保留。									
[23:12]	RW	video_ylpos	视频内容列结束坐标。 以帧高度为参考，以行为单位。									
[11:0]	RW	video_xlpos	视频内容行结束坐标。									

V0_BK

V0_BK 为视频层的背景色寄存器。

Offset Address		Register Name		Total Reset Value									
0x0870		V0_BK		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved	vbk_y				vbk_cb				vbk_cr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:30]	RO	reserved	保留。										
[29:20]	RW	vbk_y	Y 分量。										
[19:10]	RW	vbk_cb	Cb 分量。										
[9:0]	RW	vbk_cr	Cr 分量。										

V0_ALPHA

V0_ALPHA 为视频层的背景填充色 ALPHA 寄存器。



Offset Address		Register Name		Total Reset Value						
0x0874		V0_ALPHA		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						vbk_alpha			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RO	reserved	保留。							
[7:0]	RW	vbk_alpha	视频层的背景填充色 0~255 级。							

V0_CSC_IDC

V0_CSC_IDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x0880		V0_CSC_IDC		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			csc_en	cscidc1			cscidc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:23]	RO	reserved	保留。							
[22]	RW	csc_en	CSC 使能控制信号。 0: CSC 不使能; 1: CSC 使能。							
[21:11]	RW	cscidc1	输入 U/G 分量直流参数, MSB 为符号位。补码表示。							
[10:0]	RW	cscidc0	输入 V/B 分量直流参数, MSB 为符号位。补码表示。							

V0_CSC_ODC

V0_CSC_ODC 为色彩空间转换输出直流分量寄存器，为即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0884		V0_CSC_ODC		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			csc_sign_mode	cscodc1			cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:23]	RO	reserved	保留。							
[22]	RW	csc_sign_mode	CSC 输出模式控制信号。 0: CSC 输出 10bit 无符号数; 1: CSC 输出 12bit 有符号数。							
[21:11]	RW	cscodc1	输出 U/G 分量直流参数, MSB 为符号位。补码表示。							
[10:0]	RW	cscodc0	输出 Y/R 分量直流参数, MSB 为符号位。补码表示。							

V0_CSC_IODC

V0_CSC_IODC 为色彩空间转换输入/输出直流分量寄存器, 为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0888		V0_CSC_IODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cscodc2			cscidc2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RO	reserved	保留。						
[21:11]	RW	cscodc2	输出 V/B 分量直流参数, MSB 为符号位。补码表示。						
[10:0]	RW	cscidc2	输入 Y/R 分量直流参数, MSB 为符号位。补码表示。						

V0_CSC_P0

V0_CSC_P0 为色彩空间转换参数 0, 为即时寄存器。



Offset Address		Register Name		Total Reset Value								
0x088C		V0_CSC_P0		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved			cscp01			reserved			cscp00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31]	RO	reserved	保留。									
[30:16]	RW	cscp01	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									
[15]	RO	reserved	保留。									
[14:0]	RW	cscp00	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									

V0_CSC_P1

V0_CSC_P1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value								
0x0890		V0_CSC_P1		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved			cscp10			reserved			cscp02		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31]	RO	reserved	保留。									
[30:16]	RW	cscp10	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									
[15]	RO	reserved	保留。									
[14:0]	RW	cscp02	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									



V0_CSC_P2

V0_CSC_P2 为色彩空间转换参数 2，为即时寄存器。

Offset Address		Register Name		Total Reset Value												
0x0894		V0_CSC_P2		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				cscp12				reserved				cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name		Description												
[31]	RO	reserved		保留。												
[30:16]	RW	cscp12		5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。												
[15]	RO	reserved		保留。												
[14:0]	RW	cscp11		5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。												

V0_CSC_P3

V0_CSC_P3 为色彩空间转换参数 3，为即时寄存器。

Offset Address		Register Name		Total Reset Value												
0x0898		V0_CSC_P3		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				cscp21				reserved				cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name		Description												
[31]	RO	reserved		保留。												
[30:16]	RW	cscp21		5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。												
[15]	RO	reserved		保留。												



[14:0]	RW	cscp20	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。
--------	----	--------	---

V0_CSC_P4

V0_CSC_P4 为色彩空间转换参数 4，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x089C		V0_CSC_P4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cscp22				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RO	reserved	保留。						
[14:0]	RW	cscp22	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。						

V0_HSP

V0_HSP 为水平缩放参数配置（horizontal Scaling Parameter）寄存器。为非即时寄存器。

缩放比率 = 输入宽度 / 输出宽度。

Offset Address		Register Name		Total Reset Value				
0x08C0		V0_HSP		0x0010_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hlmsc_en hchmsc_en hlmid_en hchmid_en	reserved	hlfir_en hchfir_en	hfr_order	hratio			
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	hlmsc_en	水平亮度缩放使能。 0：禁止； 1：使能。					



[30]	RW	hchmsc_en	水平色度缩放使能。 0: 禁止; 1: 使能。
[29]	RW	hlmid_en	水平亮度缩放中值滤波使能(当 hlfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。
[28]	RW	hchmid_en	水平色度缩放中值滤波使能(当 hchfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。
[27]	RO	reserved	保留。
[26]	RW	hlfir_en	水平亮度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。
[25]	RW	hchfir_en	水平色度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。
[24]	RW	hfir_order	水平缩放位置。 0: 水平缩放在垂直缩放前面; 1: 水平缩放在垂直缩放后面。
[23:0]	RW	hratio	水平缩放倍数, (u,4,20)格式。

V0_HLOFFSET

V0_HLOFFSET 为亮度水平位置偏移寄存器。用于 pan-scan。为非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x08C4				V0_HLOFFSET				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				hor_offset																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27:0]	RW		hor_offset		水平亮度位置偏移, (s,8,20)格式。补码表示。																											



V0_HCOFFSET

V0_HCOFFSET 为色度水平位置偏移寄存器。用于 pan-scan。为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x08C8		V0_HCOFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	hor_coffset						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	RO	reserved	保留。					
[27:0]	RW	hor_coffset	水平色度位置偏移，(s,8,20)格式。补码表示。					

V0_VSP

V0_VSP 为缩放参数 (vertical Scaling Parameter)寄存器。

Offset Address		Register Name		Total Reset Value				
0x08D8		V0_VSP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vlmisc_en vchmsc_en vlmid_en vchmid_en	reserved	vlfir_en vehfir_en zme_out_fmt zme_in_fmt	reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	vlmisc_en	垂直亮度缩放使能。 0: 禁止; 1: 使能。					
[30]	RW	vchmsc_en	垂直色度缩放使能。 0: 禁止; 1: 使能。					



[29]	RW	vlmid_en	垂直亮度缩放中值滤波使能(当 vlfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。
[28]	RW	vchmid_en	垂直色度缩放中值滤波使能(当 vchfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。
[27:25]	RO	reserved	保留。
[24]	RW	vlfir_en	垂直亮度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。
[23]	RW	vchfir_en	垂直色度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。
[22:21]	RW	zme_out_fmt	缩放输出数据格式。 0: 422; 1: 420。
[20:19]	RW	zme_in_fmt	缩放输入数据格式。 0: 422; 1: 420。
[18:0]	RO	reserved	保留。

V0_VSR

V0_VSR 为垂直缩放倍数 (Luma Vertical Scaling Ratio)寄存器。缩放比率=输入高度/输出高度。为非即时寄存器。

	Offset Address 0x08DC								Register Name V0_VSR								Total Reset Value 0x0000_1000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																vratio																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																									
	[31:16]	RO		reserved				保留。																									



[15:0]	RW	vratio	垂直缩放倍数，(u,4,12)格式。
--------	----	--------	--------------------

V0_VOFFSET

V0_VOFFSET 为垂直缩放偏移（Vertical Scaling Offset）寄存器。

垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。

Offset Address		Register Name		Total Reset Value					
0x08E0		V0_VOFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vluma_offset				vchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	vluma_offset	垂直亮度偏移，补码表示，(s,4,12)格式。						
[15:0]	RW	vchroma_offset	垂直色度偏移，补码表示，(s,4,12)格式。						

V0_VBOFFSET

V0_VBOFFSET 为底场垂直缩放偏移（Vertical Scaling Offset）寄存器。

垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。

Offset Address		Register Name		Total Reset Value					
0x08E4		V0_VBOFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vbluma_offset				vbchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	vbluma_offset	垂直亮度偏移，补码表示，(s,4,12)格式。						



[15:0]	RW	vbchroma_offset	垂直色度偏移，补码表示，(s,4,12)格式。
--------	----	-----------------	-------------------------

V0_IFIRCOEF01

V0_IFIRCOEF01 为 IFIR 滤波系数 01 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0980		V0_IFIRCOEF01		0x000F_03F5				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef1		reserved		coef0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 0	0 0 1 1	1 1 1 1	0 1 0 1
Bits	Access	Name	Description					
[31:26]	RO	reserved	保留。					
[25:16]	RW	coef1	IFIR 滤波系数 1。					
[15:10]	RO	reserved	保留。					
[9:0]	RW	coef0	IFIR 滤波系数 0。					

V0_IFIRCOEF23

V0_IFIRCOEF23 为 IFIR 滤波系数 23 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0984		V0_IFIRCOEF23		0x001C_03EC				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef3		reserved		coef2	
Reset	0 0 0 0	0 0 0 0	0 0 0 1	1 1 0 0	0 0 0 0	0 0 1 1	1 1 1 0	1 1 0 0
Bits	Access	Name	Description					
[31:26]	RO	reserved	保留。					
[25:16]	RW	coef3	IFIR 滤波系数 3。					
[15:10]	RO	reserved	保留。					
[9:0]	RW	coef2	IFIR 滤波系数 2。					



V0_IFIRCOEF45

V0_IFIRCOEF45 为 IFIR 滤波系数 45 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0988		V0_IFIRCOEF45		0x003D_03D8					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef5		reserved		coef4		
Reset	0 0 0 0	0 0 0 0	0 0 1 1	1 1 0 1	0 0 0 0	0 0 1 1	1 1 0 1	1 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	coef5	IFIR 滤波系数 5。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	coef4	IFIR 滤波系数 4。						

V0_IFIRCOEF67

V0_IFIRCOEF67 为 IFIR 滤波系数 67 寄存器。

Offset Address		Register Name		Total Reset Value					
0x098C		V0_IFIRCOEF67		0x014A_0395					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef7		reserved		coef6		
Reset	0 0 0 0	0 0 0 1	0 1 0 0	1 0 1 0	0 0 0 0	0 0 1 1	1 0 0 1	0 1 0 1	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	coef7	IFIR 滤波系数 7。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	coef6	IFIR 滤波系数 6。						

V0_PORESO

V0_PORESO 为视频层分区 0 的分辨率寄存器，为非即时寄存器。

视频层 V0/V3 支持多区域，这部分寄存器可配。V1/V4 不支持，不可配。



Offset Address		Register Name		Total Reset Value						
0x0A00		V0_PORESO		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RW	reserved	保留。							
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。							

V0_P0LADDR

V0_P0LADDR 为视频层分区 0 的亮度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A04		V0_P0LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 0 的首地址寄存器。					

V0_P0CADDR

V0_P0CADDR 为视频层分区 0 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A08		V0_P0CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 0 的色度首地址寄存器。					



V0_P0STRIDE

V0_P0STRIDE 为视频层分区 0 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A0C		V0_P0STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 0 色度 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 0 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

V0_P0VFPOS

V0_P0VFPOS 为视频层分区 0 在视频内容的起始位置 (First Position), 以像素为单位, 非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A10		V0_P0VFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。					
[11:0]	RW	video_xfpos	视频内容行起始坐标。					

V0_P0VLPOS

V0_P0VLPOS 为视频层分区 0 在视频内容的结束位置 (First Position), 以像素为单位, 非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A14		V0_P0VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				video_ylpos			video_xlpos	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P1RESO

V0_P1RESO 为视频层分区 1 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A20		V0_P1RESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。					

V0_P1LADDR

V0_P1LADDR 为视频层分区 1 的亮度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A24		V0_P1LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 1 的亮度首地址寄存器。					

V0_P1CADDR

V0_P1CADDR 为视频层分区 1 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A28		V0_P1CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 1 的色度首地址寄存器。					

V0_P1STRIDE

V0_P1STRIDE 为视频层分区 1 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A2C		V0_P1STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 1 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 1 buffer 的 stride(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。					



V0_P1VFPOS

V0_P1VFPOS 为视频层分区 1 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A30		V0_P1VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

V0_P1VLPOS

V0_P1VLPOS 为视频层分区 1 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A34		V0_P1VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P2RESO

V0_P2RESO 为视频层分区 2 的分辨率寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0A40		V0_P2RESO		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。							

V0_P2LADDR

V0_P2LADDR 为视频层分区 2 的亮度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A44		V0_P2LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 2 的亮度首地址寄存器。					

V0_P2CADDR

V0_P2CADDR 为视频层分区 2 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A48		V0_P2CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 2 的色度首地址寄存器。					



V0_P2STRIDE

V0_P2STRIDE 为视频层分区 2 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A4C		V0_P2STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 2 色度 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 2 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

V0_P2VFPOS

V0_P2VFPOS 为视频层分区 2 在视频内容的起始位置 (First Position), 以像素为单位, 非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A50		V0_P2VFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。					
[11:0]	RW	video_xfpos	视频内容行起始坐标。					

V0_P2VLPOS

V0_P2VLPOS 为视频层分区 2 在视频内容的结束位置 (Last Position), 以像素为单位, 非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A54		V0_P2VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P3RESO

V0_P3RESO 为视频层分区 3 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A60		V0_P3RESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。					

V0_P3LADDR

V0_P3LADDR 为视频层分区 3 的亮度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A64		V0_P3LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 3 的亮度首地址寄存器。					

V0_P3CADDR

V0_P3CADDR 为视频层分区 3 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A68		V0_P3CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 3 的色度首地址寄存器。					

V0_P3STRIDE

V0_P3STRIDE 为视频层分区 3 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A6C		V0_P3STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 3 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 3 buffer 的 stride(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。					



V0_P3VFPOS

V0_P3VFPOS 为视频层分区 3 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A70		V0_P3VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

V0_P3VLPOS

V0_P3VLPOS 为视频层分区 3 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A74		V0_P3VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P4RESO

V0_P4RESO 为视频层分区 4 的分辨率寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0A80		V0_P4RESO		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。							

V0_P4LADDR

V0_P4LADDR 为视频层分区 4 的亮度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A84		V0_P4LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 4 的亮度首地址寄存器。					

V0_P4CADDR

V0_P4CADDR 为视频层分区 4 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A88		V0_P4CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 4 的色度首地址寄存器。					



V0_P4STRIDE

V0_P4STRIDE 为视频层分区 4 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A8C		V0_P4STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 4 色度 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 4 buffer 的 stride。(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

V0_P4VFPOS

V0_P4VFPOS 为视频层分区 4 在视频内容的起始位置 (First Position), 以像素为单位, 非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A90		V0_P4VFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。					
[11:0]	RW	video_xfpos	视频内容行起始坐标。					

V0_P4VLPOS

V0_P4VLPOS 为视频层分区 4 在视频内容的结束位置 (Last Position), 以像素为单位, 非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A94		V0_P4VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P5RESO

V0_P5RESO 为视频层分区 5 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0AA0		V0_P5RESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。					

V0_P5LADDR

V0_P5LADDR 为视频层分区 5 的亮度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0AA4		V0_P5LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 5 的亮度首地址寄存器。					

V0_P5CADDR

V0_P5CADDR 为视频层分区 5 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0AA8		V0_P5CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 5 的色度首地址寄存器。					

V0_P5STRIDE

V0_P5STRIDE 为视频层分区 5 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0AAC		V0_P5STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 5 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 5 buffer 的 stride(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。					



V0_P5VFPOS

V0_P5VFPOS 为视频层分区 5 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0AB0		V0_P5VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

V0_P5VLPOS

V0_P5VLPOS 为视频层分区 5 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0AB4		V0_P5VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P6RESO

V0_P6RESO 为视频层分区 6 的分辨率寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0AC0		V0_P6RESO		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RO	reserved	保留。							
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。							

V0_P6LADDR

V0_P6LADDR 为视频层分区 6 的亮度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0AC4		V0_P6LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 6 的亮度首地址寄存器。					

V0_P6CADDR

V0_P6CADDR 为视频层分区 6 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0AC8		V0_P6CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 6 的色度首地址寄存器。					



V0_P6STRIDE

V0_P6STRIDE 为视频层分区 6 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0ACC		V0_P6STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 6 色度 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 6 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

V0_P6VFPOS

V0_P6VFPOS 为视频层分区 6 在视频内容的起始位置 (First Position), 以像素为单位, 非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0AD0		V0_P6VFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。					
[11:0]	RW	video_xfpos	视频内容行起始坐标。					

V0_P6VLPOS

V0_P6VLPOS 为视频层分区 6 在视频内容的结束位置 (Last Position), 以像素为单位, 非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0AD4		V0_P6VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P7RESO

V0_P7RESO 为视频层分区 7 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0AE0		V0_P7RESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						w	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。					

V0_P7LADDR

V0_P7LADDR 为视频层分区 7 的亮度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0AE4		V0_P7LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 7 的亮度首地址寄存器。					

V0_P7CADDR

V0_P7CADDR 为视频层分区 7 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0AE8		V0_P7CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 7 的色度首地址寄存器。					

V0_P7STRIDE

V0_P7STRIDE 为视频层分区 7 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0AEC		V0_P7STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 7 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 7 buffer 的 stride(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。					



V0_P7VFPOS

V0_P7VFPOS 为视频层分区 7 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0AF0		V0_P7VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

V0_P7VLPOS

V0_P7VLPOS 为视频层分区 7 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0AF4		V0_P7VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P8RESO

V0_P8RESO 为视频层分区 8 的分辨率寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0B00		V0_P8RESO		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RW	reserved	保留。							
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。							

V0_P8LADDR

V0_P8LADDR 为视频层分区 8 的亮度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B04		V0_P8LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 8 的亮度首地址寄存器。					

V0_P8CADDR

V0_P8CADDR 为视频层分区 8 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B08		V0_P8CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 8 的色度首地址寄存器。					



V0_P8STRIDE

V0_P8STRIDE 为视频层分区 8 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B0C		V0_P8STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 8 色度 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 8 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

V0_P8VFPOS

V0_P8VFPOS 为视频层分区 8 在视频内容的起始位置 (First Position), 以像素为单位, 非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B10		V0_P8VFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。					
[11:0]	RW	video_xfpos	视频内容行起始坐标。					

V0_P8VLPOS

V0_P8VLPOS 为视频层分区 8 在视频内容的结束位置 (Last Position), 以像素为单位, 非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0B14		V0_P8VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P9RESO

V0_P9RESO 为视频层分区 9 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B20		V0_P9RESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RW	reserved	保留。					
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。					

V0_P9LADDR

V0_P9LADDR 为视频层分区 9 的亮度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0B24		V0_P9LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 9 的亮度首地址寄存器。					

V0_P9CADDR

V0_P9CADDR 为视频层分区 9 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B28		V0_P9CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 9 的色度首地址寄存器。					

V0_P9STRIDE

V0_P9STRIDE 为视频层分区 9 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B2C		V0_P9STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 9 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 9 buffer 的 stride。(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。					



V0_P9VFPOS

V0_P9VFPOS 为视频层分区 9 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B30		V0_P9VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

V0_P9VLPOS

V0_P9VLPOS 为视频层分区 9 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B34		V0_P9VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P10RESO

V0_P10RESO 为视频层分区 10 的分辨率寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0B40		V0_P10RESO		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RW	reserved	保留。							
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。							

V0_P10LADDR

V0_P10LADDR 为视频层分区 10 的亮度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B44		V0_P10LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 10 的亮度首地址寄存器。					

V0_P10CADDR

V0_P10CADDR 为视频层分区 10 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B48		V0_P10CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 10 的色度首地址寄存器。					



V0_P10STRIDE

V0_P10STRIDE 为视频层分区 10 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B4C		V0_P10STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 10 色度 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 10 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

V0_P10VFPOS

V0_P10VFPOS 为视频层分区 10 在视频内容的起始位置 (First Position), 以像素为单位, 非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B50		V0_P10VFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。					
[11:0]	RW	video_xfpos	视频内容行起始坐标。					

V0_P10VLPOS

V0_P10VLPOS 为视频层分区 10 在视频内容的结束位置 (Last Position), 以像素为单位, 非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0B54		V0_P10VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P11RESO

V0_P11RESO 为视频层分区 11 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B60		V0_P11RESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RW	reserved	保留。					
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。					

V0_P11LADDR

V0_P11LADDR 为视频层分区 11 的亮度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0B64		V0_P11LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 11 的亮度首地址寄存器。					

V0_P11CADDR

V0_P11CADDR 为视频层分区 11 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B68		V0_P11CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 11 的色度首地址寄存器。					

V0_P11STRIDE

V0_P11STRIDE 为视频层分区 11 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B6C		V0_P11STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 11 色度 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 11 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					



V0_P11VFPOS

V0_P11VFPOS 为视频层分区 11 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B70		V0_P11VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

V0_P11VLPOS

V0_P11VLPOS 为视频层分区 11 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B74		V0_P11VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P12RESO

V0_P12RESO 为视频层分区 12 的分辨率寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0B80		V0_P12RESO		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RW	reserved	保留。							
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。							

V0_P12LADDR

V0_P12LADDR 为视频层分区 12 的亮度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B84		V0_P12LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 12 的亮度首地址寄存器。					

V0_P12CADDR

V0_P12CADDR 为视频层分区 12 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B88		V0_P12CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 12 的色度首地址寄存器。					



V0_P12STRIDE

V0_P12STRIDE 为视频层分区 12 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B8C		V0_P12STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 12 色度 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 12 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。					

V0_P12VFPOS

V0_P12VFPOS 为视频层分区 12 在视频内容的起始位置 (First Position), 以像素为单位, 非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0B90		V0_P12VFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。					
[11:0]	RW	video_xfpos	视频内容行起始坐标。					

V0_P12VLPOS

V0_P12VLPOS 为视频层分区 12 在视频内容的结束位置 (Last Position), 以像素为单位, 非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0B94		V0_P12VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P13RESO

V0_P13RESO 为视频层分区 13 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0BA0		V0_P13RESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RW	reserved	保留。					
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。					

V0_P13LADDR

V0_P13LADDR 为视频层分区 13 的亮度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0BA4		V0_P13LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 13 的亮度首地址寄存器。					

V0_P13CADDR

V0_P13CADDR 为视频层分区 13 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0BA8		V0_P13CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 13 的色度首地址寄存器。					

V0_P13STRIDE

V0_P13STRIDE 为视频层分区 13 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0BAC		V0_P13STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 13 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 13 buffer 的 stride(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。					



V0_P13VFPOS

V0_P13VFPOS 为视频层分区 13 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0BB0		V0_P13VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

V0_P13VLPOS

V0_P13VLPOS 为视频层分区 13 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0BB4		V0_P13VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P14RESO

V0_P14RESO 为视频层分区 14 的分辨率寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0BC0		V0_P14RESO		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	RW	reserved	保留							
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。							

V0_P14LADDR

V0_P14LADDR 为视频层分区 14 的亮度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0BC4		V0_P14LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 14 的亮度首地址寄存器。					

V0_P14CADDR

V0_P14CADDR 为视频层分区 14 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0BC8		V0_P14CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 14 的色度首地址寄存器。					



V0_P14STRIDE

V0_P14STRIDE 为视频层分区 14 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0BCC		V0_P14STRIDE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_cstride												surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RW	surface_cstride	视频层分区 14 色度 buffer 的 stride(对于 semi-planaer 格式有用), 128bit 对齐。																													
[15:0]	RW	surface_stride	视频层分区 14 buffer 的 stride(对于 semi-planaer 格式, 指亮度的 stride), 128bit 对齐。																													

V0_P14VFPOS

V0_P14VFPOS 为视频层分区 14 在视频内容的起始位置 (First Position), 以像素为单位, 非即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0BD0		V0_P14VFPOS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								video_yfpos								video_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	reserved	保留。																													
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考, 以行为单位。																													
[11:0]	RW	video_xfpos	视频内容行起始坐标。																													

V0_P14VLPOS

V0_P14VLPOS 为视频层分区 14 在视频内容的结束位置 (Last Position), 以像素为单位, 非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0BD4		V0_P14VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_P15RESO

V0_P15RESO 为视频层分区 15 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0BE0		V0_P15RESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:12]	RW	reserved	保留。					
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。					

V0_P15LADDR

V0_P15LADDR 为视频层分区 15 的亮度地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0BE4		V0_P15LADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 15 的亮度首地址寄存器。					

V0_P15CADDR

V0_P15CADDR 为视频层分区 15 的色度地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0BE8		V0_P15CADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	视频层分区 15 的色度首地址寄存器。					

V0_P15STRIDE

V0_P15STRIDE 为视频层分区 15 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0BEC		V0_P15STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	视频层分区 15 色度 buffer 的 stride(对于 semi-planar 格式有用), 128bit 对齐。					
[15:0]	RW	surface_stride	视频层分区 15 buffer 的 stride(对于 semi-planar 格式, 指亮度的 stride), 128bit 对齐。					



V0_P15VFPOS

V0_P15VFPOS 为视频层分区 15 在视频内容的起始位置 (First Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0BF0		V0_P15VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

V0_P15VLPOS

V0_P15VLPOS 为视频层分区 15 在视频内容的结束位置 (Last Position)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0BF4		V0_P15VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行起始坐标。						

V0_MULTI_MODE

V0_MULTI_MODE 为多区域模式使能信号寄存器。当多区域必须使能。



Offset Address		Register Name		Total Reset Value																												
0x0E30		V0_MULTI_MODE		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											mrg_mode				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name		Description																												
[31:1]	RW	reserved		保留																												
[0]	RW	mrg_mode		多区域模式使能开关，只在 V0/V3 有效。 0: 单区域模式，有 LBOX； 1: 多区域模式，无 LBOX。																												

V0_16REGIONENL

V0_16REGIONENL 为视频层 16 分区使能寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0F00		V0_16REGIONENL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															p15_en	p14_en	p13_en	p12_en	p11_en	p10_en	p9_en	p8_en	p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:16]	RW	reserved		保留。																												
[15]	RW	p15_en		分区 15 的使能信号。 0: 不使能； 1: 使能。																												
[14]	RW	p14_en		分区 14 的使能信号。 0: 不使能； 1: 使能。																												
[13]	RW	p13_en		分区 13 的使能信号。 0: 不使能； 1: 使能。																												



[12]	RW	p12_en	分区 12 的使能信号。 0: 不使能; 1: 使能。
[11]	RW	p11_en	分区 11 的使能信号。 0: 不使能; 1: 使能。
[10]	RW	p10_en	分区 10 的使能信号。 0: 不使能; 1: 使能。
[9]	RW	p9_en	分区 9 的使能信号。 0: 不使能; 1: 使能。
[8]	RW	p8_en	分区 8 的使能信号。 0: 不使能; 1: 使能。
[7]	RW	p7_en	分区 7 的使能信号。 0: 不使能; 1: 使能。
[6]	RW	p6_en	分区 6 的使能信号。 0: 不使能; 1: 使能。
[5]	RW	p5_en	分区 5 的使能信号。 0: 不使能; 1: 使能。
[4]	RW	p4_en	分区 4 的使能信号。 0: 不使能; 1: 使能。
[3]	RW	p3_en	分区 3 的使能信号。 0: 不使能; 1: 使能。
[2]	RW	p2_en	分区 2 的使能信号。 0: 不使能; 1: 使能。



[1]	RW	p1_en	分区 1 的使能信号。 0: 不使能; 1: 使能。
[0]	RW	p0_en	分区 0 的使能信号。 0: 不使能; 1: 使能。

V0_16MUTE

V0_16MUTE 为视频层 16 分区 MUTE 使能寄存器，为非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0F08				V0_16MUTE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																p15_mute_en	p14_mute_en	p13_mute_en	p12_mute_en	p11_mute_en	p10_mute_en	p9_mute_en	p8_mute_en	p7_mute_en	p6_mute_en	p5_mute_en	p4_mute_en	p3_mute_en	p2_mute_en	p1_mute_en	p0_mute_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15]	RW		p15_mute_en		分区 15 的 mute 使能信号。 0: 不使能; 1: 使能。																											
[14]	RW		p14_mute_en		分区 14 的 mute 使能信号。 0: 不使能; 1: 使能。																											
[13]	RW		p13_mute_en		分区 13 的 mute 使能信号。 0: 不使能; 1: 使能。																											
[12]	RW		p12_mute_en		分区 12 的 mute 使能信号。 0: 不使能; 1: 使能。																											



[11]	RW	p11_mute_en	分区 11 的 mute 使能信号。 0: 不使能; 1: 使能。
[10]	RW	p10_mute_en	分区 10 的 mute 使能信号。 0: 不使能; 1: 使能。
[9]	RW	p9_mute_en	分区 9 的 mute 使能信号。 0: 不使能; 1: 使能。
[8]	RW	p8_mute_en	分区 8 的 mute 使能信号。 0: 不使能; 1: 使能。
[7]	RW	p7_mute_en	分区 7 的 mute 使能信号。 0: 不使能; 1: 使能。
[6]	RW	p6_mute_en	分区 6 的 mute 使能信号。 0: 不使能; 1: 使能。
[5]	RW	p5_mute_en	分区 5 的 mute 使能信号。 0: 不使能; 1: 使能。
[4]	RW	p4_mute_en	分区 4 的 mute 使能信号。 0: 不使能; 1: 使能。
[3]	RW	p3_mute_en	分区 3 的 mute 使能信号。 0: 不使能; 1: 使能。
[2]	RW	p2_mute_en	分区 2 的 mute 使能信号。 0: 不使能; 1: 使能。
[1]	RW	p1_mute_en	分区 1 的 mute 使能信号。 0: 不使能; 1: 使能。



[0]	RW	p0_mute_en	分区 0 的 mute 使能信号。 0: 不使能; 1: 使能。
-----	----	------------	--

G0_CTRL

G0_CTRL 为该寄存器可以配置层的相关信息寄存器。为非即时寄存器。

	Offset Address 0x6000								Register Name G0_CTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved	mute_en	upd_mode	read_mode	dcmp_en	reserved								bitext	ifmt																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																											
[30:29]	RO		reserved		保留。																											
[28]	RW		mute_en		G0 的 mute 使能, 非即时寄存器。 0: 禁止; 1: 使能。																											
[27]	RW		upd_mode		更新模式。 0: 帧更新; 1: 场更新。																											
[26]	RW		read_mode		数据读取模式。 0: 根据接口读取方式自动选择(逐行显示时逐行读, 隔行显示时隔行读); 1: 强制按照逐行读取。																											
[25]	RW		dcmp_en		解压使能。 0: 解压不使能; 1: 解压使能。																											
[24:10]	RO		reserved		保留。																											



[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 00: 低位扩展 0; 01: 保留; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。
[7:0]	RW	ifmt	输入数据格式。 0x48: ARGB4444; 0x49: ARGB1555; 0x68: ARGB8888; 其他: 保留。

G0_UPD

G0_UPD 为图形层更新使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x6004				G0_UPD				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										regup					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RO	reserved		保留。																											
	[0]	RW	regup		surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。																											

G0_ADDR

G0_ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G0SFPOS 说明。



Offset Address		Register Name		Total Reset Value				
0x6010		G0_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

G0_STRIDE

G0_STRIDE 为图形层的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x601C		G0_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留；					
[15:0]	RW	surface_stride	帧 buffer 的 stride。					

G0_IRESO

G0_IRESO 为输入分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x6020		G0_IRESO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。					



[11:0]	RW	iw	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。
--------	----	----	-------------------------------------

G0_SFPOS

G0_SFPOS 为 Surface 需要读取数据在源位图中的起始位置，非即时寄存器。当读取位置不是 128-bit-word 对齐时，该寄存器表示补齐整个 128-bit-word 所需的像素个数。请注意：起始位置的偏移不能超出一个 128-bit-word，超出 128-bit-word 的部分由地址表示。

具体计算方法如下：

设原始图像的图形层的起始地址为 `addr_ori`，配置给逻辑的图形层地址为 `addr_offset`，图形层的偏移为 `offsetp` 像素，图形层的数据格式为 `bpp`（比如 ARGB8888 的 `bpp=32`），则

$$G0ADDR=addr_offset = addr_ori + int(offsetp*bpp/128);$$

$$G0SFPOS=offset\%128;$$

其中，`int` 表示取整运算，`%`表示取模运算。

	Offset Address								Register Name								Total Reset Value															
	0x6024								G0_SFPOS								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																src_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[31:7]	RO		reserved				保留。																									
[6:0]	RW		src_xfpos				源起始 X 坐标值，0 为一行第一个像素。																									

G0_CBMPARA

G0_CBMPARA 为叠加相关参数，为非即时寄存器。



	Offset Address 0x6030				Register Name G0_CBMPARA								Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												key_mode	key_en	premult_en	palpha_en	reserved				galpha															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:16]	RO		reserved		保留。																															
[15]	RW		key_mode		color key 模式； 0: 满足 $\text{Keymin} \leq \text{Pixel} \leq \text{Keymax}$ 时，处理为关键色； 1: 满足 $\text{Pixel} \leq \text{Keymin}$ 或者 $\text{Pixel} \geq \text{Keymax}$ 时处理为关键色。																															
[14]	RW		key_en		color key 使能。 0: 禁止； 1: 使能。																															
[13]	RW		premult_en		输入位图为预乘图。 0: 非预乘图； 1: 预乘图。																															
[12]	RW		palpha_en		像素 alpha 使能。 0: 禁止； 1: 使能。																															
[11:8]	RO		reserved		保留。																															
[7:0]	RW		galpha		叠加全局 alpha 值。取值范围为 0~255，255 为全不透明，0 为全透明。																															

G0_CKEYMAX

G0_CKEYMAX 为 color key 最大值，为非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x6034		G0_CKEYMAX		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	va0		keyr_max		keyg_max		keyb_max		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。						
[23:16]	RW	keyr_max	colry key R 分量最大值。						
[15:8]	RW	keyg_max	color key G 分量最大值。						
[7:0]	RW	keyb_max	color key B 分量最大值。						

G0_CKEYMIN

G0_CKEYMIN 为 color key 最小值，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x6038		G0_CKEYMIN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	va1		keyr_min		keyg_min		keyb_min		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	va1	alpha1 值。当数据格式为 alphaRGB1555 时，alpha 值为 1 时，用该值替换。						
[23:16]	RW	keyr_min	colry key R 分量最小值。						
[15:8]	RW	keyg_min	color key G 分量最小值。						
[7:0]	RW	keyb_min	color key B 分量最小值。						

G0_CMASK

G0_CMASK 为 color key mask 值，为非即时寄存器。相应 bit 为 1 表示在 Key 的比较过程中，pixel 的相应 bit 不变；相应 bit 为 0 表示在 Key 的比较过程中，pixel 的相应 bit 不管是 0 还是 1，都强制设置为 0



	Offset Address				Register Name				Total Reset Value																							
	0x603C				G0_CMASK				0xFFFF_FFFF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				kmsk_r				kmsk_g				kmsk_b																			
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:16]	RW	kmsk_r		colry key mask 的 R 分量。																											
	[15:8]	RW	kmsk_g		colry key mask 的 G 分量。																											
	[7:0]	RW	kmsk_b		colry key mask 的 B 分量。																											

G0_PARAADDR

G0_PARAADDR 为图形层 LUT 系数地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x6040				G0_PARAADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	surface_addr		surface lut 系数地址。																											

G0_PARAUP

G0_PARAUP 为图形层 LUT 系数更新寄存器。



Offset Address		Register Name		Total Reset Value					
0x6044		G0_PARAUP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								gdc_paraup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	gdc_paraup	LUT 系数更新。 0: 不更新; 1: 更新。						

G0_DCMP_ADDR

G0_DCMP_ADDR 为图形层压缩地址寄存器。在有水平像素偏移的情况下，地址计算参考 G0SFPOS 说明。

Offset Address		Register Name		Total Reset Value				
0x6050		G0_DCMP_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	surface 帧 buffer 地址。					

G0_DCMP_OFFSET

G0_DCMP_OFFSET 为图形层压缩头信息偏移寄存器。



Offset Address		Register Name		Total Reset Value				
0x6058		G0_DCOMP_OFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	offset							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	offset	头信息偏移，byte 为单位，128bit 对齐。					

G0_DFPOS

G0_DFPOS 为 Surface 在显示窗口的起始位置（First Position），以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x6080		G0_DFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		disp_yfpos			disp_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:12]	RW	disp_yfpos	列起始坐标。					
[11:0]	RW	disp_xfpos	行起始坐标。					

G0_DLPOS

G0_DLPOS 为 Surface 在显示窗口的结束位置（Last Position），以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x6084		G0_DLPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		disp_ylpos			disp_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					



[23:12]	RW	disp_ylpos	列结束坐标。
[11:0]	RW	disp_xlpos	行结束坐标。

G0_VFPOS

G0_VFPOS 为 Surface 真实内容在显示窗口的起始位置（First Position），以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x6088		G0_VFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_yfpos			video_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

G0_VLPOS

G0_VLPOS 为 Surface 真实内容在显示窗口的结束位置（Last Position），以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x608C		G0_VLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			video_ylpos			video_xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列结束坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行结束坐标。						



G0_BK

G0_BK 为图形层的背景色寄存器。

Offset Address		Register Name		Total Reset Value																												
0x6090		G0_BK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vbk_y								vbk_cb								vbk_cr											
Reset	0 0 0 0				0 0 0 0								0 0 0 0								0 0 0 0											
Bits	Access	Name		Description																												
[31:30]	RO	reserved		保留。																												
[29:20]	RW	vbk_y		Y 分量。																												
[19:10]	RW	vbk_cb		Cb 分量。																												
[9:0]	RW	vbk_cr		Cr 分量。																												

G0_ALPHA

G0_ALPHA 为图形层的背景填充色 ALPHA 寄存器。

Offset Address		Register Name		Total Reset Value																												
0x6094		G0_ALPHA		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								vbk_alpha							
Reset	0 0 0 0				0 0 0 0								0 0 0 0								0 0 0 0				0 0 0 0							
Bits	Access	Name		Description																												
[31:8]	RO	reserved		保留。																												
[7:0]	RW	vbk_alpha		图形层的背景填充色 0~128 级。																												

G0_CSC_IDC

G0_CSC_IDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。



Offset Address		Register Name		Total Reset Value																												
0x60C0		G0_CSC_IDC		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				csc_mode		csc_en		cscidc1								cscidc0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:26]	RO	reserved	保留。																													
[25:23]	RW	csc_mode	仅当 G2 层 CSC 系数固化时有效。 000: reserved; 001: YUV2YUV; 010: YUV601_RGB; 011: YUV709_RGB; 100: YUV2YUV_709_601; 101: YUV2YUV_601_709; 110: RGB2YUV_601; 111: RGB2YUV_709。																													
[22]	RW	csc_en	CSC 使能控制信号。 0: CSC 不使能; 1: CSC 使能。																													
[21:11]	RW	cscidc1	输入 U/G 分量直流参数, MSB 为符号位。补码表示。																													
[10:0]	RW	cscidc0	输入 V/B 分量直流参数, MSB 为符号位。补码表示。																													

G0_CSC_ODC

G0_CSC_ODC 为色彩空间转换输出直流分量寄存器, 为即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x60C4		G0_CSC_ODC		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			csc_sign_mode	cscodc1			cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:23]	RO	reserved	保留。							
[22]	RW	csc_sign_mode	CSC 输出模式控制信号。 0: CSC 输出 10bit 无符号数; 1: CSC 输出 12bit 有符号数。							
[21:11]	RW	cscodc1	输出 U/G 分量直流参数, MSB 为符号位。补码表示。							
[10:0]	RW	cscodc0	输出 Y/R 分量直流参数, MSB 为符号位。补码表示。							

G0_CSC_IODC

G0_CSC_IODC 为色彩空间转换输入/输出直流分量寄存器, 为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x60C8		G0_CSC_IODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cscodc2			cscidc2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RO	reserved	保留。						
[21:11]	RW	cscodc2	输出 V/B 分量直流参数, MSB 为符号位。补码表示。						
[10:0]	RW	cscidc2	输入 Y/R 分量直流参数, MSB 为符号位。补码表示。						

G0_CSC_P0

G0_CSC_P0 为色彩空间转换参数 0, 为即时寄存器。



Offset Address		Register Name		Total Reset Value								
0x60CC		G0_CSC_P0		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved			cscp01			reserved			cscp00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31]	RO	reserved	保留。									
[30:16]	RW	cscp01	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									
[15]	RO	reserved	保留。									
[14:0]	RW	cscp00	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									

G0_CSC_P1

G0_CSC_P1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value								
0x60D0		G0_CSC_P1		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved			cscp10			reserved			cscp02		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31]	RO	reserved	保留。									
[30:16]	RW	cscp10	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									
[15]	RO	reserved	保留。									
[14:0]	RW	cscp02	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。									



G0_CSC_P2

G0_CSC_P2 为色彩空间转换参数 2，为即时寄存器。

Offset Address		Register Name		Total Reset Value																
0x60D4		G0_CSC_P2		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				cscp12				reserved				cscp11							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
Bits	Access	Name		Description																
[31]	RO	reserved		保留。																
[30:16]	RW	cscp12		5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。																
[15]	RO	reserved		保留。																
[14:0]	RW	cscp11		5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。																

G0_CSC_P3

G0_CSC_P3 为色彩空间转换参数 3，为即时寄存器。

Offset Address		Register Name		Total Reset Value												
0x60D8		G0_CSC_P3		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				cscp21				reserved				cscp20			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0			
Bits	Access	Name		Description												
[31]	RO	reserved		保留。												
[30:16]	RW	cscp21		5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。												
[15]	RO	reserved		保留。												



[14:0]	RW	cscp20	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。
--------	----	--------	---

G0_CSC_P4

G0_CSC_P4 为色彩空间转换参数 4，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x60DC		G0_CSC_P4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cscp22				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RO	reserved	保留。						
[14:0]	RW	cscp22	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。						

WBC_G0_CTRL

WBC_G0_CTRL 为 WBC0 的控制寄存器，为非及时寄存器。

Offset Address		Register Name		Total Reset Value				
0xA000		WBC_G0_CTRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wbc_en	reserved	format_out	reserved			auto_stop_en	req_interval
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	wbc_en	WBC 使能。					
[30:28]	RO	reserved	保留。					
[27:26]	RW	format_out	WBC 的输出数据格式。 0x2: ARGB8888; 其它: 保留。					



[25:11]	RO	reserved	保留。
[10]	RW	auto_stop_en	当回写快导致低带宽时，自动关闭 WBC
[9:0]	RW	req_interval	WBC 总线申请最小间隔，表示第 n 个申请结束到第 n+1 个申请之间的间隔有 req_interval 个时钟周期。

WBC_G0_UPD

WBC_G0_UPD 为 WBC0 通道更新使能寄存器。

	Offset Address	Register Name	Total Reset Value																	
	0xA004	WBC_G0_UPD	0x0000_0000																	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																			
Name	reserved															atuo_stop_int	reserved			regup
Reset	0 0																			
Bits	Access	Name	Description																	
[31:5]	RO	reserved	保留。																	
[4]	RO	atuo_stop_int	回写自动停止中断状态。 0: 无自动停止; 1: 回写自动停止。																	
[3:1]	RO	reserved	保留。																	
[0]	WC	regup	CAPTURE 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。																	

WBC_G0_CMP

WBC_G0_CMP 为压缩模块控制寄存器。



Offset Address		Register Name		Total Reset Value				
0xA008		WBC_G0_CMP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cmp_en reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	cmp_en	压缩使能 0: 压缩不使能, bypass; 1: 压缩使能。					
[30:0]	RO	reserved	保留。					

WBC_G0_AR_ADDR

WBC_G0_AR_ADDR 为 CAPTURE 亮度写地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xA010		WBC_G0_AR_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wbcaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	wbcaddr	回写的 AR 分量压缩起始地址。					

WBC_G0_GB_ADDR

WBC_G0_GB_ADDR 为 CAPTURE 色度写地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xA014		WBC_G0_GB_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wbccaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	wbccaddr	回写的 GB 分量压缩起始地址。					



WBC_G0_STRIDE

WBC_G0_STRIDE 为 CAPTURE 的 stride 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xA018				WBC_G0_STRIDE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								wbstride																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	RO	reserved		保留。																											
	[15:0]	RW	wbstride		帧 buffer 的 stride。16Byte 位对齐。																											

WBC_G0_OFFSET

WBC_G0_OFFSET 为 CAPTURE 的 offset 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xA01C				WBC_G0_OFFSET				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wbcoffset																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	wbcoffset		帧 buffer 的亮度 stride。16Byte 位对齐。																											

WBC_G0_STPSTACLR

WBC_G0_STPSTACLR 为自动停止状态清除寄存器。写 1 清 0。



Offset Address		Register Name		Total Reset Value					
0xA03C		WBC_G0_STPSTACLR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								stpsta_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	stpsta_clr	自动停止状态清除寄存器。 写 1 清除状态。						

WBC_G0_ORESO

WBC_G0_ORESO 为输出分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xA020		WBC_G0_ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

WBC_G0_FCROP

WBC_G0_FCROP 为输入图像 CROP 起始坐标寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xA024		WBC_G0_FCROP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hfcrop			wfcrop			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	hfcrop	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	wfcrop	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

WBC_G0_LCROP

WBC_G0_LCROP 为输入图像 CROP 结束坐标寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xA028		WBC_G0_LCROP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hlcrop			wlcrop			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	hlcrop	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	wlcrop	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

WBC_DHD0_CTRL

WBC_DHD0_CTRL 为 WBC0 的控制寄存器，为非及时寄存器。



		Offset Address 0xAC00								Register Name WBC_DHD0_CTRL								Total Reset Value 0x0000_1000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		wbc_en	reserved	mode_out		format_out				reserved								wbc_vtthd_mode	reserved	auto_stop_en		req_interval											
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31]	RW	wbc_en		WBC 使能。 0: 禁止; 1: 使能。																													
[30]	RW	reserved		保留。																													
[29:28]	RW	mode_out		WBC 输出模式。 0x00: 根据接口读取方式自动选择(逐行显示时逐行回写, 隔行显示时隔行回写, 并自动适配顶底场); 0x01: 逐行输出; 0x10: 顶场输出; 0x11: 底场输出。																													
[27:24]	RW	format_out		WBC 的输出数据格式。 semplanar 0100: YUV420; 0101: YUV422; 其他: 保留。																													
[23:13]	RO	reserved		保留。																													
[12]	RW	wbc_vtthd_mode		WBC 上报中断模式。 0: 按帧报中断; 1: 按场报中断。																													
[11]	RO	reserved		保留。																													
[10]	RW	auto_stop_en		当回写快导致低带宽时, 自动关闭 WBC。																													
[9:0]	RW	req_interval		WBC 总线申请最小间隔, 表示第 n 个申请结束到第 n+1 个申请之间的间隔有 req_interval 个时钟周期。																													



WBC_DHD0_UPD

WBC_DHD0_UPD 为 WBC_DHD0 通道更新使能寄存器。

Offset Address		Register Name		Total Reset Value																													
0xAC04		WBC_DHD0_UPD		0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																												atuo_stop_int	reserved			regup
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description																														
[31:5]	RO	reserved	保留。																														
[4]	RO	atuo_stop_int	回写自动停止中断状态。 0: 无自动停止; 1: 回写自动停止。																														
[3:1]	RO	reserved	保留。																														
[0]	WC	regup	CAPTURE 的寄存器更新。当软件配置完该层寄存器后写 1 更新, 更新完成后, 硬件自动清零。																														

WBC_DHD0_YADDR

WBC_DHD0_YADDR 为 CAPTURE 亮度写地址寄存器。

Offset Address		Register Name		Total Reset Value																												
0xAC10		WBC_DHD0_YADDR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wbcaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:0]	RW	wbcaddr	当输出格式为 semiplanar 格式时: 该寄存器为帧 buffer 亮度分量的起始地址。 当输出格式为 Package、ARGB 格式时: 该寄存器为一帧图像的起始地址(此时色度起始地址 WBC_G0_CADDR 无意义) 该寄存器要求 4Byte 位对齐, 低 2 比特无效(支持无缝拼接)。																													



WBC_DHD0_CADDR

WBC_DHD0_CADDR 为 CAPTURE 色度写地址寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0xAC14				WBC_DHD0_CADDR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	wbccaddr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:0]	RW		wbccaddr		帧 buffer 色度分量起始地址。4Byte 位对齐，低 2 比特无效 (支持无缝拼接)。																															

WBC_DHD0_STRIDE

WBC_DHD0_STRIDE 为 CAPTURE 的 stride 寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0xAC18				WBC_DHD0_STRIDE								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	wbcstride																wblstride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	RW		wbcstride		帧 buffer 的色度 stride。16Byte 位对齐。																															
[15:0]	RW		wblstride		帧 buffer 的亮度 stride。16Byte 位对齐。																															

WBC_DHD0_ORESO

WBC_DHD0_ORESO 为输出分辨率寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xAC20		WBC_DHD0_ORESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	ow	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

WBC_DHD0_FCROP

WBC_DHD0_FCROP 为输入图像 CROP 起始坐标寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xAC24		WBC_DHD0_FCROP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hfcrop			wfcrop			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:12]	RW	hfcrop	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。						
[11:0]	RW	wfcrop	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

WBC_DHD0_LCROP

WBC_DHD0_LCROP 为输入图像 CROP 结束坐标寄存器，为非即时寄存器。



Offset Address		Register Name		Total Reset Value								
0xAC28		WBC_DHD0_LCROP		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				hlcrop				wlcrop			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:24]	RO	reserved	保留。									
[23:12]	RW	hlcrop	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。									
[11:0]	RW	wlcrop	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。									

WBC_DHD0_STPSTACL

WBC_DHD0_STPSTACL 为自动停止状态清除寄存器。写 1 清 0。

Offset Address		Register Name		Total Reset Value					
0xAC3C		WBC_DHD0_STPSTACL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								stpsta_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	stpsta_clr	自动停止状态清除寄存器。						

WBC_DHD0_PARAUP

WBC_DHD0_PARAUP 为 WBC DHD0 系数相关的寄存器更新使能寄存器。VDP 的缩放系数是通过 AXI Master 配置的，软件通过 Slave 配置起始地址和参数需要更新的标志。



Offset Address		Register Name		Total Reset Value																												
0xAC40		WBC_DHD0_PARAUP		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								wbc_vccoef_upd	wbc_vlcoef_upd	wbc_hccoef_upd	wbc_hlcoef_upd				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	RW	wbc_vccoef_upd	垂直色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													
[2]	RW	wbc_vlcoef_upd	垂直亮度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													
[1]	RW	wbc_hccoef_upd	水平色度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													
[0]	RW	wbc_hlcoef_upd	水平亮度滤波系数是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																													

WBC_DHD0_HLCOEFAD

WBC_DHD0_HLCOEFAD 为 WBC 水平亮度滤波系数地址寄存器。



Offset Address		Register Name		Total Reset Value				
0xAC50		WBC_DHD0_HLCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

WBC_DHD0_HCCOEFAD

WBC_DHD0_HCCOEFAD 为 WBC 水平色度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xAC54		WBC_DHD0_HCCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

WBC_DHD0_VLCOEFAD

WBC_DHD0_VLCOEFAD 为 WBC 垂直亮度滤波系数地址寄存器。

Offset Address		Register Name		Total Reset Value				
0xAC58		WBC_DHD0_VLCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

WBC_DHD0_VCCOEFAD

WBC_DHD0_VCCOEFAD 为 WBC 垂直色度滤波系数地址寄存器。



Offset Address		Register Name		Total Reset Value				
0xAC5C		WBC_DHD0_VCCOEFAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	coef_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	coef_addr	系数放在 Local Memory 的起始地址。					

WBC_DHD0_DITHER_CTRL

WBC_DHD0_DITHER_CTRL 为 Dither 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0xAD00		WBC_DHD0_DITHER_CTRL		0x2000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dither_md	reserved						
Reset	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RW	dither_md	Dither 模式选择寄存器。 000: 10bit 输入, 8bit 输出, 不做 dither, 直接截位; 011: 10bit 输入, 8bit 输出, 时域与空域 dither; 101: 10bit 输入, 8bit 输出, 四舍五入; 其它: 保留。					
[28:0]	RO	reserved	保留。					

WBC_DHD0_DITHER_COEF0

WBC_DHD0_DITHER_COEF0 为 Dither 系数 0 寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0xAD04				WBC_DHD0_DITHER_COEF0								0xDD66_4400																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dither_coef3				dither_coef2				dither_coef1				dither_coef0																			
Reset	1	1	0	1	1	1	0	1	0	1	1	0	0	1	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	dither_coef3	时域模式 Dither 使用的系数 3。																													
[23:16]	RW	dither_coef2	时域模式 Dither 使用的系数 2。																													
[15:8]	RW	dither_coef1	时域模式 Dither 使用的系数 1。																													
[7:0]	RW	dither_coef0	时域模式 Dither 使用的系数 0。																													

WBC_DHD0_DITHER_COEF1

WBC_DHD0_DITHER_COEF1 为 Dither 系数 1 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xAD08				WBC_DHD0_DITHER_COEF1								0xDD66_4400																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dither_coef7				dither_coef6				dither_coef5				dither_coef4																			
Reset	1	1	0	1	1	1	0	1	0	1	1	0	0	1	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	RW	dither_coef7	时域模式 Dither 使用的系数 7。																													
[23:16]	RW	dither_coef6	时域模式 Dither 使用的系数 6。																													
[15:8]	RW	dither_coef5	时域模式 Dither 使用的系数 5。																													
[7:0]	RW	dither_coef4	时域模式 Dither 使用的系数 4。																													

WBC_DHD0_HCDS

WBC_DHD0_HCDS 为水平色度下采样参数配置寄存器。为非即时寄存器。



		Offset Address				Register Name								Total Reset Value																			
		0xAE10				WBC_DHD0_HCDS								0x8000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		hcds_en	hchmid_en	hchfir_en	reserved																												
Reset		1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31]	RW	hcds_en		水平色度下采样使能。 0: 禁止; 1: 使能。																													
[30]	RW	hchmid_en		水平色度下采样中值滤波使能(当 hchfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。																													
[29]	RW	hchfir_en		水平色度下采样模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。																													
[28:0]	RO	reserved		保留。																													

WBC_DHD0_HCDS_COEF0

WBC_DHD0_HCDS_COEF0 为下采样系数 0 寄存器。

		Offset Address				Register Name								Total Reset Value																			
		0xAE14				WBC_DHD0_HCDS_COEF0								0x2750_F367																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved	coef2				coef1				coef0																						
Reset		0	0	1	0	0	1	1	1	0	1	0	1	0	0	0	0	1	1	1	1	0	0	1	1	0	1	1	0	0	1	1	1
Bits	Access	Name		Description																													
[31:30]	RO	reserved		保留。																													
[29:20]	RW	coef2		CDS 滤波系数 2。																													



[19:10]	RW	coef1	CDS 滤波系数 1。
[9:0]	RW	coef0	CDS 滤波系数 0。

WBC_DHD0_HCDS_COEF1

WBC_DHD0_HCDS_COEF1 为下采样系数 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0xAE18		WBC_DHD0_HCDS_COEF1		0x0000_03E3					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						coef3		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 0	0 0 1 1	
Bits	Access	Name	Description						
[31:10]	RO	reserved	保留。						
[9:0]	RW	coef3	CDS 滤波系数 3。						

WBC_DHD0_ZME_HSP

WBC_DHD0_ZME_HSP 为水平缩放参数配置（horizontal Scaling Parameter）寄存器。
为非即时寄存器。

缩放比率 = 输入宽度 / 输出宽度。

Offset Address		Register Name		Total Reset Value				
0xAEC0		WBC_DHD0_ZME_HSP		0x0010_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hlmsc_en hchmsc_en hlmid_en hchmid_en	reserved hlfir_en hchfir_en hfir_order	hratio					
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	hlmsc_en	水平亮度缩放使能。 0: 禁止; 1: 使能。					



[30]	RW	hchmsc_en	水平色度缩放使能。 0: 禁止; 1: 使能。
[29]	RW	hlmid_en	水平亮度缩放中值滤波使能(当 hlfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。
[28]	RW	hchmid_en	水平色度缩放中值滤波使能(当 hchfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。
[27]	RO	reserved	保留。
[26]	RW	hlfir_en	水平亮度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。
[25]	RW	hchfir_en	水平色度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。
[24]	RW	hfir_order	水平缩放位置。 0: 水平缩放在垂直缩放前面; 1: 水平缩放在垂直缩放后面。
[23:0]	RW	hratio	水平缩放倍数, (u,4,20)格式。

WBC_DHD0_ZME_HLOFFSET

WBC_DHD0_ZME_HLOFFSET 为亮度水平位置偏移寄存器。用于 pan-scan。为非即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xAEC4				WBC_DHD0_ZME_HLOFFSET								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				hor_loffset																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:28]	RO	reserved	保留。																												



[27:0]	RW	hor_loffset	水平亮度位置偏移，(s,8,20)格式。补码表示。
--------	----	-------------	---------------------------

WBC_DHD0_ZME_HCOFFSET

WBC_DHD0_ZME_HCOFFSET 为色度水平位置偏移寄存器。用于 pan-scan。为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xAEC8		WBC_DHD0_ZME_HCOFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hor_coffset						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:0]	RW	hor_coffset	水平色度位置偏移，(s,8,20)格式。补码表示。						

WBC_DHD0_ZME_VSP

WBC_DHD0_ZME_VSP 为缩放参数 (vertical Scaling Parameter)寄存器。

Offset Address		Register Name		Total Reset Value				
0xAED8		WBC_DHD0_ZME_VSP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vlmisc_en vehmisc_en vlmid_en vchmid_en	reserved vsc_chroma_tap reserved	vfir_en vchfir_en zme_out_fmt zme_in_fmt	reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	vlmisc_en	垂直亮度缩放使能。 0: 禁止; 1: 使能。					



[30]	RW	vchmsc_en	垂直色度缩放使能。 0: 禁止; 1: 使能。
[29]	RW	vlmid_en	垂直亮度缩放中值滤波使能(当 vlfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。
[28]	RW	vchmid_en	垂直色度缩放中值滤波使能(当 vchfir_en 无效时, 该比特不起作用)。 0: 禁止; 1: 使能。
[27]	RO	reserved	保留。
[26]	RW	vsc_chroma_tap	垂直色度缩放阶数。 0: 4 阶 FIR; 1: 2 阶 FIR。
[25]	RW	reserved	保留。
[24]	RW	vlfir_en	垂直亮度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。
[23]	RW	vchfir_en	垂直色度缩放模式。 0: 复制模式(滤波不使能); 1: 滤波模式(滤波使能)。
[22:21]	RW	zme_out_fmt	缩放输出数据格式。 0: 422; 1: 420。
[20:19]	RW	zme_in_fmt	缩放输入数据格式。 0: 422; 1: 420。
[18:0]	RO	reserved	保留。

WBC_DHD0_ZME_VSR

WBC_DHD0_ZME_VSR 为垂直缩放倍数 (Luma Vertical Scaling Ratio)寄存器。缩放比率=输入高度/输出高度。为非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xAEDC		WBC_DHD0_ZME_VSR		0x0000_1000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vratio				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	vratio	垂直缩放倍数, (u,4,12)格式。						

WBC_DHD0_ZME_VOFFSET

WBC_DHD0_ZME_VOFFSET 为垂直缩放偏移（Vertical Scaling Offset）寄存器。垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。

Offset Address		Register Name		Total Reset Value					
0xAEE0		WBC_DHD0_ZME_VOFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vluma_offset				vchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	vluma_offset	垂直亮度偏移, 补码表示, (s,4,12)格式。						
[15:0]	RW	vchroma_offset	垂直色度偏移, 补码表示, (s,4,12)格式。						

WBC_DHD0_ZME_VBOFFSET

WBC_DHD0_ZME_VBOFFSET 为底场垂直缩放偏移（Vertical Scaling Offset）寄存器。垂直缩放偏移受两个因素影响：pan-scan 和重复帧时的场偏移。当没有场偏移时，vluma_offset 为 offset_pan-scan 的最低整数位+小数位；在 YCbCr422 格式时 vchroma_offset 与 vluma_offset 相等；在 YCbCr420 格式时，vchroma_offset = scaling_chroma/2-0.25。当需要场偏移时（如静帧或者重复帧），假设重复底场，则顶场配置的 vluma_offset 和 vchroma_offset 与上述无偏移时相同，底场配置需要考虑场偏移。



Offset Address		Register Name		Total Reset Value					
0xAEE4		WBC_DHD0_ZME_VBOFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vbluma_offset				vbchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	vbluma_offset	垂直亮度偏移，补码表示，(s,4,12)格式。						
[15:0]	RW	vbchroma_offset	垂直色度偏移，补码表示，(s,4,12)格式。						

WBC_DHD0_CSCIDC

WBC_DHD0_CSCIDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xAF00		WBC_DHD0_CSCIDC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	esc_mode	esc_en	cscidc2			cscidc1		cscidc0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	reserved	保留。						
[30:28]	RW	csc_mode	仅当 CSC 系数固化时有效。 000: reserved 001: YUV2YUV 010: YUV601_RGB 011: YUV709_RGB 100: YUV2YUV_709_601 101: YUV2YUV_601_709 110: RGB2YUV_601 111: RGB2YUV_709						
[27]	RW	csc_en	CSC 使能控制信号。 0: CSC 不使能； 1: CSC 使能。						
[26:18]	RW	cscidc2	输入 Y/R 分量直流参数，MSB 为符号位。补码表示。						



[17:9]	RW	cscidc1	输入 U/G 分量直流参数，MSB 为符号位。补码表示。
[8:0]	RW	cscidc0	输入 V/B 分量直流参数，MSB 为符号位。补码表示。

WBC_DHD0_CSCODC

WBC_DHD0_CSCODC 为色彩空间转换输出直流分量寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xAF04		WBC_DHD0_CSCODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscodc2		cscodc1		cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:18]	RW	cscodc2	输出 V/B 分量直流参数，MSB 为符号位。补码表示。						
[17:9]	RW	cscodc1	输出 U/G 分量直流参数，MSB 为符号位。补码表示。						
[8:0]	RW	cscodc0	输出 Y/R 分量直流参数，MSB 为符号位。补码表示。						

WBC_DHD0_CSCP0

WBC_DHD0_CSCP0 为色彩空间转换参数 0，为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xAF08		WBC_DHD0_CSCP0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscp01		reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。					
[15]	RO	reserved	保留。					



[14:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
--------	----	--------	---

WBC_DHD0_CSCP1

WBC_DHD0_CSCP1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0xAF0C		WBC_DHD0_CSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RO	reserved	保留。							
[30:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15]	RO	reserved	保留。							
[14:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

WBC_DHD0_CSCP2

WBC_DHD0_CSCP2 为色彩空间转换参数 2，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0xAF10		WBC_DHD0_CSCP2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp12				reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RO	reserved	保留。							



[30:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
[15]	RO	reserved	保留。
[14:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

WBC_DHD0_CSCP3

WBC_DHD0_CSCP3 为色彩空间转换参数 3，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xAF14		WBC_DHD0_CSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscp21		reserved		cscp20		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	reserved	保留。						
[30:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15]	RO	reserved	保留。						
[14:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

WBC_DHD0_CSCP4

WBC_DHD0_CSCP4 为色彩空间转换参数 4，为即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xAF18		WBC_DHD0_CSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cscp22				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RO	reserved	保留。						
[14:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

CBM_BKG1

CBM_BKG1 为 CBM Mixer1 叠加背景色寄存器。

Offset Address		Register Name		Total Reset Value				
0xB400		CBM_BKG1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cbm_bkgy1		cbm_bkpcb1			cbm_bkgr1	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29:20]	RW	cbm_bkgy1	CBM Mixer1 叠加背景色，Y 分量。					
[19:10]	RW	cbm_bkpcb1	CBM Mixer1 叠加背景色，Cb 分量。					
[9:0]	RW	cbm_bkgr1	CBM Mixer1 叠加背景色，Cr 分量。					

CBM_MIX1

CBM_MIX1 为 CBM Mixer1 优先级配置寄存器。在 vsync 处更新有效。mixer_prio_x 表示第 x 个优先级所配置的层。

该寄存器为即时寄存器。



Offset Address		Register Name		Total Reset Value				
0xB408		CBM_MIX1		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:12]	RW	mixer_prio3	CBM Mixer1 的叠加层优先级配置，表示优先级 3 的驱动层。 0000: 没有层驱动; 0001: v0; 0010: g0; 1001: v1; 1010: hc; 其他: 保留。					
[11:8]	RW	mixer_prio2	CBM Mixer1 的叠加层优先级配置，表示优先级 2 的驱动层。 0000: 没有层驱动; 0001: v0; 0010: g0; 1001: v1; 1010: hc; 其他: 保留。					
[7:4]	RW	mixer_prio1	CBM Mixer1 的叠加层优先级配置，表示优先级 1 的驱动层。 0000: 没有层驱动; 0001: v0; 0010: g0; 1001: v1; 1010: hc; 其他: 保留。					
[3:0]	RW	mixer_prio0	CBM Mixer1 的叠加层优先级配置，表示优先级 0 的驱动层。 0000: 没有层驱动; 0001: v0; 0010: g0; 1001: v1; 1010: hc; 其他: 保留。					



CBM_BKG2

CBM_BKG2 为 CBM Mixer2 叠加背景色寄存器。

Offset Address		Register Name		Total Reset Value					
0xB420		CBM_BKG2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cbm_bkgy2		cbm_bkgcb2		cbm_bkgcr2			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:20]	RW	cbm_bkgy2	CBM Mixer2 叠加背景色, Y 分量。						
[19:10]	RW	cbm_bkgcb2	CBM Mixer2 叠加背景色, Cb 分量。						
[9:0]	RW	cbm_bkgcr2	CBM Mixer2 叠加背景色, Cr 分量。						

CBM_MIX2

CBM_MIX2 为 CBM Mixer2 优先级配置寄存器。在 vsync 处更新有效。mixer_prio_x 表示第 x 个优先级所配置的层。

该寄存器为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xB428		CBM_MIX2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			mixer_prio3	mixer_prio2	mixer_prio1	mixer_prio0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					



[15:12]	RW	mixer_prio3	CBM Mixer2 的叠加层优先级配置，表示优先级 3 的驱动层。 0000：没有层驱动； 0011：v3； 0100：g4； 1001：v1； 1010：hc； 其他：保留。
[11:8]	RW	mixer_prio2	CBM Mixer2 的叠加层优先级配置，表示优先级 2 的驱动层。 0000：没有层驱动； 0011：v3； 0100：g4； 1001：v1； 1010：hc； 其他：保留。
[7:4]	RW	mixer_prio1	CBM Mixer2 的叠加层优先级配置，表示优先级 1 的驱动层。 0000：表示没有层驱动； 0011：v3； 0100：g4； 1001：v1； 1010：hc； 其他：保留。
[3:0]	RW	mixer_prio0	CBM Mixer2 的叠加层优先级配置，表示优先级 0 的驱动层。 0000：没有层驱动； 0011：v3； 0100：g4； 1001：v1； 1010：hc； 其他：保留。

MIXDSD_BKG

MIXDSD_BKG 为 DSD 通路 Mixer1 叠加背景色寄存器。



Offset Address		Register Name		Total Reset Value					
0xB600		MIXDSD_BKG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	mixer_bkgy		mixer_bkgcb		mixer_bkgr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:20]	RW	mixer_bkgy	MIXDSD 叠加背景色，Y 分量。						
[19:10]	RW	mixer_bkgcb	MIXDSD 叠加背景色，Cb 分量。						
[9:0]	RW	mixer_bkgr	MIXDSD 叠加背景色，Cr 分量。						

MIXDSD_MIX

MIXDSD_MIX 为 DSD Mixer1 优先级配置寄存器。在 vsync 处更新有效。mixer_prio_x 表示第 x 个优先级所配置的层。

该寄存器为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xB608		MIXDSD_MIX		0x0000_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved					mixer_prio2	mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:12]	RO	reserved	保留。					
[11:8]	RW	mixer_prio2	DSD Mixer1 的叠加层优先级配置，表示优先级 2 的驱动层。 0000: 表示没有层驱动； 0001: v4； 0010: g1； 1010: hc； 其他: 保留。					



[7:4]	RW	mixer_prio1	DSD Mixer1 的叠加层优先级配置，表示优先级 1 的驱动层。 0000：表示没有层驱动； 0001：v4； 0010：g1； 1010：hc； 其他：保留。
[3:0]	RW	mixer_prio0	DSD Mixer1 的叠加层优先级配置，表示优先级 0 的驱动层。 0000：表示没有层驱动； 0001：v4； 0010：g1； 1010：hc； 其他：保留。

DHD0_CTRL

DHD0_CTRL 为显示通道的总体控制寄存器。该寄存器的所有比特的配置必须不晚于 DHD0_CTRL.intf_en 比特，否则配置无法生效。

	Offset Address				Register Name				Total Reset Value																							
	0xC000				DHD0_CTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	intf_en	cbar_en	cbar_sel	reserved	fpga_lmt_en	fpga_lmt_width				reserved								iop	reserved			regup										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		intf_en		显示接口使能。使能时，接口才会输出。为即时寄存器。 0：禁止； 1：使能。																											
[30]	RW		cbar_en		color bar 使能。使能时，接口输出 color bar。 0：禁止； 1：使能。																											
[29]	RW		cbar_sel		输出 color bar 色彩空间选择信号，即时寄存器。 0：VGA； 1：YPbPr。																											



[28]	RO	reserved	保留。
[27]	RW	fpga_lmt_en	debug 寄存器。由于 FPGA 时钟总线频率的限制，无法显示 1080i 的图像内容，该寄存器使能后，可以在 1080i 的接口上显示 1280 宽度的图像内容。 0: 禁止； 1: 使能。
[26:20]	RW	fpga_lmt_width	debug 寄存器。在 fpga_lmt_en 使能时，VDP 接口输出的有效区宽度由该寄存器决定。实际输出有效区域宽度 = fpga_lmt_width * 16。
[19:5]	RO	reserved	保留。
[4]	RW	iop	逐行或者隔行显示，非即时寄存器。 0: 隔行显示； 1: 逐行显示。
[3:1]	RO	reserved	保留
[0]	WC	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

DHD0_VSYNC

DHD0_VSYNC 为隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC004				DHD0_VSYNC				0x0011_321B																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vfb				vbb				vact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	1	1	0	1	1
Bits	Access		Name		Description																											
[31:28]	RO		reserved		保留。																											
[27:20]	RW		vfb		隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。																											
[19:12]	RW		vbb		隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。																											
[11:0]	RW		vact		隔行输出时：顶场的活动图象的高度； 逐行输出时：一帧的活动图象的高度。该寄存器值为实际值减 1。																											



DHD0_HSYNC1

DHD0_HSYNC1 为隔行或逐行输出情况下，水平同步配置寄存器。非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC008				DHD0_HSYNC1				0x00BF_077F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hbb								hact																							
Reset	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:16]	RW	hbb		水平消隐后肩，单位为像素。																											
	[15:0]	RW	hact		活动区域水平像素数。																											

DHD0_HSYNC2

DHD0_HSYNC2 为隔行或逐行输出情况下，水平同步配置寄存器，非即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xC00C				DHD0_HSYNC2				0x0000_020F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hmid								hfb																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	1
	Bits	Access	Name		Description																											
	[31:16]	RW	hmid		底场垂直同步有效像素值(有效数据区)。																											
	[15:0]	RW	hfb		水平消隐前肩，单位为像素。																											

DHD0_VPLUS

DHD0_VPLUS 为隔行输出时，该寄存器表示底场垂直同步时序，非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xC010		DHD0_VPLUS		0x0021_321B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	bvfb		bvbb		bvact			
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 1	1 0 1 1	
Bits	Access	Name		Description					
[31:28]	RO	reserved		保留。					
[27:20]	RW	bvfb		隔行输出时：底场垂直消隐前肩。					
[19:12]	RW	bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。					
[11:0]	RW	bvact		隔行输出时：底场的活动图象的高度。 该寄存器值为实际值减 1。					

DHD0_PWR

DHD0_PWR 为同步信号脉冲宽度，非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xC014		DHD0_PWR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	vpw		hpw				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name		Description				
[31:24]	RO	reserved		保留。				
[23:16]	RW	vpw		垂直脉冲宽度减 1。				
[15:0]	RW	hpw		水平脉冲宽度减 1。				

DHD0_VTTHD3

DHD0_VTTHD3 为垂直时序门限值（Vertical Timing Threshold），为即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。



Offset Address		Register Name		Total Reset Value						
0xC018		DHD0_VTTHD3		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	thd4_mode reserved	vtmgthd4				thd3_mode reserved	vtmgthd3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RW	thd4_mode	门限 4 产生的模式。 0: 帧模式，以帧为单位做门限计数； 1: 场模式，在隔行显示时以场为单位做门限计数。							
[30:29]	RO	reserved	保留。							
[28:16]	RW	vtmgthd4	垂直时序门限值 4，用于 DHD 和 DSD 的同步触发，DSD 的接口时序启动晚于 DHD 的时间等于 vtmgthd4 所配置的行数。							
[15]	RW	thd3_mode	门限 3 中断产生的模式： 0: 帧模式，以帧为单位做门限计数； 1: 场模式，在隔行显示时以场为单位做门限计数。							
[14:13]	RO	reserved	保留。							
[12:0]	RW	vtmgthd3	垂直时序门限值 3，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd3_int]中断。							

DHD0_VTTHD

DHD0_VTTHD 为垂直时序门限值（Vertical Timing Threshold），为即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。



Offset Address		Register Name		Total Reset Value						
0xC01C		DHD0_VTTHD		0x0001_0001						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	thd2_mode reserved	vtmgthd2				thd1_mode reserved	vtmgthd1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1		
Bits	Access	Name	Description							
[31]	RW	thd2_mode	门限 2 中断产生的模式。 0: 帧模式，以帧为单位做门限计数； 1: 场模式，在隔行显示时以场为单位做门限计数。							
[30:29]	RO	reserved	保留。							
[28:16]	RW	vtmgthd2	垂直时序门限值 2，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd2_int]中断。							
[15]	RW	thd1_mode	门限 1 中断产生的模式： 0: 帧模式，以帧为单位做门限计数； 1: 场模式，在隔行显示时以场为单位做门限计数。							
[14:13]	RO	reserved	保留。							
[12:0]	RW	vtmgthd1	垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VOINTSTA[dhdvtthd1_int]中断。							

DHD0_AFFTHD

DHD0_AFFTHD 为 DHD 异步 FIFO 预低带宽阈值寄存器。

Offset Address		Register Name		Total Reset Value				
0xC030		DHD0_AFFTHD		0x0000_0020				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						dhd_aff_thd	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:6]	RO	reserved	保留。					
[5:0]	RW	dhd_aff_thd	DHD 异步 FIFO 预低带宽阈值。					



DHD0_VGA_DACDET1

DHD0_VGA_DACDET1 为 VGA DAC 自动检测 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0xC038		DHD0_VGA_DACDET1		0x000D_0303					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		det_line		reserved		vdac_det_high		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	0 0 1 1	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	det_line	检测电平所在行。						
[15:10]	RO	reserved	保留。						
[9:0]	RW	vdac_det_high	检测电平值。						

DHD0_VGA_DACDET2

DHD0_VGA_DACDET2 为 VGA DAC 自动检测 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0xC03C		DHD0_VGA_DACDET2		0x0030_0118					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vdac_det_en	reserved		det_pixel_wid		reserved		det_pixel_sta	
Reset	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	1 0 0 0	
Bits	Access	Name	Description						
[31]	RW	vdac_det_en	DAC 自动检测使能。 0: 不使能; 1: 使能。						
[30:27]	RO	reserved	保留。						
[26:16]	RW	det_pixel_wid	电平宽度。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	det_pixel_sta	在一行的起始位置。						



DHD0_PARATHD

DHD0_PARATHD 为 PARA 系数更新点阈值寄存器。

Offset Address		Register Name		Total Reset Value																												
0xC0B0		DHD0_PARATHD		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dfs_en	reserved														para_thd																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		dfs_en		DFS 使能控制位。 0: 禁止 1: 使能																											
[30:6]	RW		reserved		保留。																											
[5:0]	RW		para_thd		PARA 系数更新点阈值寄存器,表示垂直后消隐的第几行产生该更新点(只在 DFS 使能后该控制位才有效)。																											

DHD0_START_POS

DHD0_START_POS 为 DHD 通道 start 信号起始位置寄存器。

Offset Address		Register Name		Total Reset Value																												
0xC0C0		DHD0_START_POS		0x0000_0805																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														timing_start_pos				start_pos													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	1
Bits	Access		Name		Description																											
[31:16]	RW		reserved		保留。																											
[15:8]	RW		timing_start_pos		timing_gen 的状态机在有效区的前几行开始工作。																											
[7:0]	RW		start_pos		在线模式下, 在有效区的前几行产生 start 信号。																											

DHD0_STATE

DHD0_STATE 为 DHD0 状态寄存器。



	Offset Address 0xC0F0								Register Name DHD0_STATE								Total Reset Value 0x0000_0006																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved								count_int								vcnt								bottom_field	vblank	vback_blank						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
Bits	Access		Name		Description																												
[31:24]	RO		reserved		保留。																												
[23:16]	RO		count_int		DHD0 中断统计计数器。每上报一次垂直时序中断加 1。																												
[15:3]	RO		vcnt		DHD0 显示行有效计数。																												
[2]	RO		bottom_field		DHD0 显示顶底场标识。 0: 顶场; 1: 底场。																												
[1]	RO		vblank		DHD0 显示消隐区标识。 0: 有效区; 1: 消隐区。																												
[0]	RO		vback_blank		DHD0 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。																												

DHD0_DEBUG

DHD0_DEBUG 为 DHD DEBUG 寄存器。



Offset Address		Register Name		Total Reset Value																												
0xC0F8		DHD0_DEBUG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		pix_src		pix_v								pix_h																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31]	RO	reserved		保留。																												
[30:28]	RW	pix_src		DHD0_DEBUG 读取的像素来源。 000: BT.1120 8bit; 001: DATE YCbCr 10bit; 010: HDMI RGB/YCbCr 10bit; 011: VGA RGB 10bit; 100: LCD RGB 8bit; 其他: 保留。																												
[27:16]	RW	pix_v		DHD0_DEBUG 读取的像素垂直位置。																												
[15:0]	RW	pix_h		DHD0_DEBUG 读取的像素水平位置。																												

DHD0_DEBUG_STATE

DHD0_DEBUG_STATE 为 DHD0_DEBUG 状态寄存器。

Offset Address		Register Name		Total Reset Value																												
0xC0FC		DHD0_DEBUG_STATE		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				pixel_value																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:30]	RO	reserved		保留。																												
[29:0]	RO	pixel_value		DHD0_DEBUG 读出的像素值。																												



INTF_CTRL

INTF_CTRL 为接口处理控制寄存器。

Offset Address		Register Name		Total Reset Value					
0xD000		INTF_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hdmi_mode	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	hdmi_mode	输出 HDMI 数据色彩空间选择，非即时寄存器，只在 HDMI 接口配置有效，其余接口保留。 0: YUV; 1: RGB。						
[30:0]	RO	reserved	保留。						

INTF_SYNC_INV

INTF_SYNC_INV 为外同步时序输出时，同步信号极性配置寄存器。该寄存器配置后立即生效，将马上影响到对应同步信号的极性。

Offset Address		Register Name		Total Reset Value						
0xD008		INTF_SYNC_INV		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						f_inv	vs_inv	hs_inv	dv_inv
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:4]	RO	reserved	保留。							
[3]	RW	f_inv	奇偶场指示信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。							



[2]	RW	vs_inv	垂直同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。
[1]	RW	hs_inv	水平同步脉冲输出反相使能，即时寄存器。 0：禁止； 1：使能。
[0]	RW	dv_inv	数据有效信号输出反相使能，即时寄存器。 0：禁止； 1：使能。

INTF_CLIP0_L

INTF_CLIP0_L 为 Clip 处理最低门限值寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xD010		INTF_CLIP0_L		0x0100_4010				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	clip_cl2		clip_cl1		clip_cl0		
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29:20]	RW	clip_cl2	分量 2 最低门限值 Y/R，无符号整数。					
[19:10]	RW	clip_cl1	分量 1 最低门限值 Cb/G，无符号整数。					
[9:0]	RW	clip_cl0	分量 0 最低门限值 Cr/B，无符号整数。					

INTF_CLIP0_H

INTF_CLIP0_H 为 Clip 处理最高门限值寄存器，为即时寄存器。例如 BT.656 标准输出时需要输出数据做 CLIP 处理。



Offset Address		Register Name		Total Reset Value					
0xD014		INTF_CLIP0_H		0x0EB3_C0F0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	clip_ch2		clip_ch1			clip_ch0		
Reset	0 0 0 0	1 1 1 0	1 0 1 1	0 0 1 1	1 1 0 0	0 0 0 0	1 1 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29:20]	RW	clip_ch2	分量 2 最高门限值 Y/R，无符号整数。						
[19:10]	RW	clip_ch1	分量 1 最高门限值 Cb/G，无符号整数。						
[9:0]	RW	clip_ch0	分量 0 最高门限值 Cr/B，无符号整数。						

INTF_CSC_IDC

INTF_CSC_IDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xD020		INTF_CSC_IDC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		csc_en	cscidc1			cscidc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:23]	RO	reserved	保留。						
[22]	RW	csc_en	CSC 使能控制信号。 0: CSC 不使能; 1: CSC 使能。						
[21:11]	RW	cscidc1	输入 U/G 分量直流参数，MSB 为符号位。补码表示。						
[10:0]	RW	cscidc0	输入 V/B 分量直流参数，MSB 为符号位。补码表示。						

INTF_CSC_ODC

INTF_CSC_ODC 为色彩空间转换输出直流分量寄存器，为即时寄存器。



Offset Address		Register Name		Total Reset Value						
0xD024		INTF_CSC_ODC		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved			csc_sign_mode	cscodc1			cscodc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:23]	RO	reserved	保留。							
[22]	RW	csc_sign_mode	CSC 输出模式控制信号。 0: CSC 输出 10bit 无符号数; 1: CSC 输出 12bit 有符号数。							
[21:11]	RW	cscodc1	输出 U/G 分量直流参数, MSB 为符号位。补码表示。							
[10:0]	RW	cscodc0	输出 Y/R 分量直流参数, MSB 为符号位。补码表示。							

INTF_CSC_IODC

INTF_CSC_IODC 为色彩空间转换输入/输出直流分量寄存器, 为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xD028		INTF_CSC_IODC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cscodc2			cscidc2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RO	reserved	保留。						
[21:11]	RW	cscodc2	输出 V/B 分量直流参数, MSB 为符号位。补码表示。						
[10:0]	RW	cscidc2	输入 Y/R 分量直流参数, MSB 为符号位。补码表示。						

INTF_CSC_P0

INTF_CSC_P0 为色彩空间转换参数 0, 为即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xD02C		INTF_CSC_P0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp01			reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	reserved	保留。						
[30:16]	RW	cscp01	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。						
[15]	RO	reserved	保留。						
[14:0]	RW	cscp00	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。						

INTF_CSC_P1

INTF_CSC_P1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xD030		INTF_CSC_P1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RO	reserved	保留。						
[30:16]	RW	cscp10	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。						
[15]	RO	reserved	保留。						
[14:0]	RW	cscp02	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。						



INTF_CSC_P2

INTF_CSC_P2 为色彩空间转换参数 2，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0xD034		INTF_CSC_P2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp12				reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RO	reserved	保留。							
[30:16]	RW	cscp12	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。							
[15]	RO	reserved	保留。							
[14:0]	RW	cscp11	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。							

INTF_CSC_P3

INTF_CSC_P3 为色彩空间转换参数 3，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0xD038		INTF_CSC_P3		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp21				reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	RO	reserved	保留。							
[30:16]	RW	cscp21	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。							
[15]	RO	reserved	保留。							



[14:0]	RW	cscp20	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。
--------	----	--------	---

INTF_CSC_P4

INTF_CSC_P4 为色彩空间转换参数 4，为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xD03C		INTF_CSC_P4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:15]	RO	reserved	保留。					
[14:0]	RW	cscp22	5.10 数据格式：1bit 符号位、4bit 整数位、10bit 小数位。补码表示。					

INTF_HSPCFG0

INTF_HSPCFG0 为 H sharpen 配置寄存器 0，为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xD040		INTF_HSPCFG0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hsp_hf0_tmp3		hsp_hf0_tmp2		hsp_hf0_tmp1		hsp_hf0_tmp0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	hsp_hf0_tmp3	高频滤波系数 3，有符号。					
[23:16]	RW	hsp_hf0_tmp2	高频滤波系数 2，有符号。					
[15:8]	RW	hsp_hf0_tmp1	高频滤波系数 1，有符号。					
[7:0]	RW	hsp_hf0_tmp0	高频滤波系数 0，有符号。					

INTF_HSPCFG1

INTF_HSPCFG1 为 H sharpen 配置寄存器 1，为即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xD044		INTF_HSPCFG1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						hsp_hf0_coring		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	hsp_en	水平锐化使能。						
[30:8]	RO	reserved	保留。						
[7:0]	RW	hsp_hf0_coring	高频 coring 系数，无符号。						

INTF_HSPCFG5

INTF_HSPCFG5 为 H sharpen 配置寄存器 5，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0xD054		INTF_HSPCFG5		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		hsp_hf0_gainneg		reserved		hsp_hf0_gainpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	hsp_hf0_gainneg	高频增益负极性系数，有符号(10.8)。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	hsp_hf0_gainpos	高频增益正极性系数，有符号(10.8)。						

INTF_HSPCFG6

INTF_HSPCFG6 为 H sharpen 配置寄存器 6，为即时寄存器。



Offset Address		Register Name		Total Reset Value				
0xD058		INTF_HSPCFG6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hsp_hf0_adpshoot_en hsp_hf0_winsize	reserved	hsp_hf0_mixratio	hsp_hf0_underrth	hsp_hf0_overth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	hsp_hf0_adpshoot_en	高频调整门限使能。					
[30:28]	RW	hsp_hf0_winsize	高频窗口大小，无符号，取值范围 0~4。					
[27:24]	RO	reserved	保留。					
[23:16]	RW	hsp_hf0_mixratio	高频调整门限比率，无符号(8.7)。					
[15:8]	RW	hsp_hf0_underrth	高频调整 under 门限，无符号。					
[7:0]	RW	hsp_hf0_overth	高频调整 over 门限，无符号。					

INTF_HSPCFG7

INTF_HSPCFG7 为 H sharpen 配置寄存器 7，为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0xD05C		INTF_HSPCFG7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hsp_hf1_tmp3		hsp_hf1_tmp2		hsp_hf1_tmp1		hsp_hf1_tmp0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	hsp_hf1_tmp3	高频滤波系数 3，有符号。					
[23:16]	RW	hsp_hf1_tmp2	高频滤波系数 2，有符号。					
[15:8]	RW	hsp_hf1_tmp1	高频滤波系数 1，有符号。					
[7:0]	RW	hsp_hf1_tmp0	高频滤波系数 0，有符号。					



INTF_HSPCFG8

INTF_HSPCFG8 为 H sharpen 配置寄存器 8，为即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xD060				INTF_HSPCFG8				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hsp_hfl_coring															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7:0]	RW		hsp_hfl_coring		高频 coring 系数，无符号																											

INTF_HSPCFG12

INTF_HSPCFG12 为 H sharpen 配置寄存器 12，为即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0xD070				INTF_HSPCFG12				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				hsp_hfl_gainneg				reserved				hsp_hfl_gainpos																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:27]	RO		reserved		保留。																											
[26:16]	RW		hsp_hfl_gainneg		高频增益负极性系数，有符号(10.8)																											
[15:11]	RO		reserved		保留。																											
[10:0]	RW		hsp_hfl_gainpos		高频增益正极性系数，有符号(10.8)																											

INTF_HSPCFG13

INTF_HSPCFG13 为 H sharpen 配置寄存器 13，为即时寄存器。



Offset Address		Register Name		Total Reset Value				
0xD074		INTF_HSPCFG13		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hsp_hfl_adpshoot_en hsp_hfl_winsize	reserved	hsp_hfl_mixratio	hsp_hfl_underth	hsp_hfl_overth			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	hsp_hfl_adpshoot_en	高频调整门限使能					
[30:28]	RW	hsp_hfl_winsize	高频窗口大小，无符号，取值范围 0-4					
[27:24]	RO	reserved	保留。					
[23:16]	RW	hsp_hfl_mixratio	高频调整门限比率，无符号(8.7)					
[15:8]	RW	hsp_hfl_underth	高频调整 under 门限，无符号					
[7:0]	RW	hsp_hfl_overth	高频调整 over 门限，无符号					

INTF_HSPCFG14

INTF_HSPCFG14 为 H sharpen 配置寄存器 14，为即时寄存器。



Offset Address		Register Name		Total Reset Value																												
0xD078		INTF_HSPCFG14		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hsp_h0_en		hsp_h1_en		hsp_lti_en		hsp_ctih_en		reserved		hsp_hf_shootdiv				hsp_lti_ratio				hsp_ldti_gain				hsp_cdti_gain									
Reset	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0			
Bits	Access	Name		Description																												
[31]	RW	hsp_h0_en		高频滤波 0 使能。																												
[30]	RW	hsp_h1_en		高频滤波 1 使能。																												
[29]	RW	hsp_lti_en		水平 LTI 使能。																												
[28]	RW	hsp_ctih_en		水平 CTI 使能。																												
[27]	RO	reserved		保留。																												
[26:24]	RW	hsp_hf_shootdiv		高频调整移位系数，无符号，取值范围 1-7。																												
[23:16]	RW	hsp_lti_ratio		亮度增强比率，无符号(8.7)。																												
[15:8]	RW	hsp_ldti_gain		亮度增强增益系数，无符号(8.5)。																												
[7:0]	RW	hsp_cdti_gain		色度增强增益系数，无符号(8.5)。																												

INTF_HSPCFG15

INTF_HSPCFG15 为 H sharpen 配置寄存器 15，为即时寄存器。



Offset Address		Register Name		Total Reset Value					
0xD07C		INTF_HSPCFG15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	hsp_peak_ratio		reserved	hsp_glb_overth		reserved	hsp_glb_underth	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:20]	RW	hsp_peak_ratio	亮度增强比率，无符号(8.7)。						
[19]	RO	reserved	保留。						
[18:10]	RW	hsp_glb_overth	亮度增强全局高门限，无符号。						
[9]	RO	reserved	保留。						
[8:0]	RW	hsp_glb_underth	亮度增强全局低门限，无符号。						

INTF_DITHER0_CTRL

INTF_DITHER0_CTRL 为接口处理 Dither 控制寄存器。

Offset Address		Register Name		Total Reset Value				
0xD080		INTF_DITHER0_CTRL		0x2000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dither_md	reserved						
Reset	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RW	dither_md	Dither 模式选择寄存器。 000: 12bit 输入，10bit 输出，不做 dither，直接截位； 001: 12bit 输入，10bit 输出，时域 dither； 010: 12bit 输入，10bit 输出，空域 dither； 011: 12bit 输入，8bit 输出，时域与空域 dither； 100: 12bit 输入，10bit 输出，四舍五入； 101: 12bit 输入，8bit 输出，四舍五入。					



[28:0]	RO	reserved	保留。
--------	----	----------	-----

INTF_DITHER0_COEF0

INTF_DITHER0_COEF0 为接口处理 Dither 系数 0 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xD084				INTF_DITHER0_COEF0								0xDD66_4400																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dither_coef3				dither_coef2				dither_coef1				dither_coef0																			
Reset	1	1	0	1	1	1	0	1	0	1	1	0	0	1	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		dither_coef3		时域模式 Dither 使用的系数 3。																											
[23:16]	RW		dither_coef2		时域模式 Dither 使用的系数 2。																											
[15:8]	RW		dither_coef1		时域模式 Dither 使用的系数 1。																											
[7:0]	RW		dither_coef0		时域模式 Dither 使用的系数 0。																											

INTF_DITHER0_COEF1

INTF_DITHER0_COEF1 为接口处理 Dither 系数 1 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xD088				INTF_DITHER0_COEF1								0xDD66_4400																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dither_coef7				dither_coef6				dither_coef5				dither_coef4																			
Reset	1	1	0	1	1	1	0	1	0	1	1	0	0	1	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		dither_coef7		时域模式 Dither 使用的系数 7。																											
[23:16]	RW		dither_coef6		时域模式 Dither 使用的系数 6。																											
[15:8]	RW		dither_coef5		时域模式 Dither 使用的系数 5。																											
[7:0]	RW		dither_coef4		时域模式 Dither 使用的系数 4。																											



DATE_COEFF0

DATE_COEFF0 为制式参数配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0xF200		DATE_COEFF0		0x5284_14FC																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel	dis_ire	reserved	pal_half_en	pbpr_lpf_en	scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel				sync_mode_sel	sync_mode_scart	length_sel	agc_amp_sel	luma_dl				reserved	oversam_en	lunt_en	oversam2_en	chlp_en	syip_en	chgain_en	tt_seq			
Reset	0	1	0	1	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	[31:30]			[29]	[28]	[27]	[26]	[25]																								
Access	RW			RW	RO	RW	RW																									
Name	clpf_sel		dis_ire	reserved	pal_half_en	pbpr_lpf_en	scanline																									
Description	色度低通滤波器带宽选择。 00: 1.1MHz 带宽(NTSC); 01: 1.3MHz 带宽(PAL); 10: 1.6MHz 带宽(测试); 11: 保留。		对于(M)NTSC 和(M, N)PAL 制式, 黑电平高于消隐电平 7.5IRE; 对于其它制式, 黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0: 黑电平高于消隐电平 7.5IRE; 1: 黑电平等于消隐电平。	保留。	PAL 值半行削减使能。 0: 不使能; 1: 使能。	分量色度低通滤波使能。 0: 不使能; 1: 使能。	根据在不同制式下每帧包含的扫描行数进行设置。对于 (M)NTSC、NTSC-J、(M)PAL, 每帧包含 525 行; 对于(B、D、J、H、I)PAL, (N)PAL, (Nc)PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。																									



[24]	RW	rgb_en	在 intf_sel 配置为 100 时，该位决定分量信号是选用 RGB 还是选用 YPbPr。 0：分量信号选用 YPbPr； 1：分量信号选用 RGB。
[23]	RW	vbi_lpf_en	Vbi 数据低通滤波使能控制。 0：不滤波处理；1：滤波处理。
[22]	RW	fm_sel	FMsecam 调频选择。 0：secam 调频采用 sin； 1：secam 调频采用 cos。
[21:18]	RW	style_sel	与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。 当 scanline 为 0，即每帧包含 525 行时，含义如下： 0001：(M)NTSC 制式； 0010：NTSC-J 制式； 0100：(M)PAL 制式。 当 scanline 为 1，即每帧包含 625 行时，含义如下： 0001：(B、D、G、H、I)PAL 制式； 0010：(N)PAL 制式； 0100：(Nc)PAL 制式； 1000：SECAM 制式。
[17:16]	RW	sync_mode_sel	高位指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。 高位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0：分量输出时，只在一个通道上包含同步信号； 1：分量输出时，在三个通道上都包含同步信号。在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。 低位指明 RGB 输出有无消隐基数。低位只在 intf_sel 设为 100，rgb_en 设为 1 时有效，含义为： 0：RGB 输出时无消隐基数； 1：RGB 输出时有消隐基数。
[15]	RW	sync_mode_scart	此位指明下分量 3 个通道均不叠加同步 0：分量同步输出根据 sync_mode_sel[1]配置； 1：分量 3 个通道均不叠加同步，此时 sync_mode_sel[1]需配置为 0。



[14]	RW	length_sel	<p>说明每个视频行包含的以像素数为单位的行有效宽度。</p> <p>0: 按照 BT.601 模式的行有效象素宽度输出; 1: 按照 BT.470 模式的行有效象素宽度输出。</p> <p>当该位为 0 时, 行有效宽度为 720 个像素。当该位配置为 1 时, 对于 625 行制式, 行有效宽度为 704 个像素; 对于 525 行制式, 行有效宽度为 712 个像素。</p> <p>目前版本不支持 BT601 模式和 BT470 模式动态配置, 复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式, 即采用上电复位值。</p>
[13]	RW	agc_amp_sel	<p>0: 参照片内默认值产生 AGC 脉冲(推荐); 1: 参照片外配置产生 AGC 脉冲。 DATE_COEFF1[amp_outside]。</p>
[12:9]	RW	luma_dl	<p>以半个像素宽度为单位, 相对于亮度信号, 色度信号超前或滞后的位移量。</p> <p>最高位表示色度信号相对亮度信号位移量的方向。</p> <p>0: 色度信号滞后于亮度信号; 1: 色度信号超前于色度信号。低 3 位表示色度信号相对亮度信号位移量的绝对值, 二进制表示, 取值范围为从 0~7。 000: 色度与亮度对齐, 不作调整; 001~111: 色度信号相对亮度信号超前或滞后 1~7 个单位。</p>
[8]	RO	reserved	<p>保留。</p> <p>写无效, 读为 0。</p>
[7:6]	RW	oversam_en	<p>第一级过采样开关控制位, 包含亮度过采样开关控制位和色度过采样开关控制位。</p> <p>高位为亮度过采样开关控制位。</p> <p>0: 亮度过采样关闭; 1: 亮度过采样打开。</p> <p>低位为色度过采样开关控制位。</p> <p>0: 色度过采样关闭; 1: 色度过采样打开。</p>
[5]	RW	lunt_en	<p>亮度陷波功能开关控制位。</p> <p>0: 亮度陷波功能关闭; 1: 亮度陷波功能打开。</p>
[4]	RW	oversam2_en	<p>第二级过采样开关控制位, 同时控制亮度通路和色度通路。</p> <p>0: 亮度过采样关闭; 1: 亮度过采样打开。</p>



[3]	RW	chlp_en	色度低通滤波功能开关控制位。 0: 色度低通滤波功能关闭; 1: 色度低通滤波功能打开。
[2]	RW	sylp_en	同步低通滤波功能开关控制位。 0: 同步低通滤波功能关闭; 1: 同步低通滤波功能打开。
[1]	RW	chgain_en	色度增益开关控制位。 0: 色度增益关闭; 1: 色度增益打开。
[0]	RW	tt_seq	配置 Teletext 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。

DATE_COEFF1

DATE_COEFF1 为幅度配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0xF204	DATE_COEFF1	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
Name	c_gain	cvbs_limit_en wss_seq vps_seq cgms_seq cc_seq c_limit_en	amp_outside
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	19 18 17 16	15 14 13 12	11 10 9 8
		date_test_en date_test_mode	
			dac_test
			7 6 5 4
			3 2 1 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:29]	RW	c_gain	色同步增益幅度调节。
[28]	RW	cvbs_limit_en	CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。
[27]	RW	wss_seq	配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。



[26]	RW	vps_seq	配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。
[25]	RW	cgms_seq	配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。
[24]	RW	cc_seq	配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。
[23]	RW	c_limit_en	色度限幅开关控制位。 0: 不限幅; 1: 限幅。
[22:13]	RW	amp_outside	外部 AGC 脉冲幅度输入。
[12]	RW	date_test_en	测试有效信号。
[11:10]	RW	date_test_mode	测试模式信号。
[9:0]	RW	dac_test	DAC 测试值输入。

DATE_COEFF2

DATE_COEFF2 为 DATE 系数 2 寄存器。

	Offset Address	Register Name	Total Reset Value				
	0xF208	DATE_COEFF2	0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20				
	19 18 17 16	15 14 13 12	11 10 9 8				
	7 6 5 4	3 2 1 0					
Name	coef02						
Reset	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description				
[31:0]	RW	coef02	DATE 系数 2 寄存器。				

DATE_COEFF3

DATE_COEFF3 为 DATE 系数 3 寄存器。



Offset Address		Register Name		Total Reset Value					
0xF20C		DATE_COEFF3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef03					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:0]	RW	coef03	DATE 系数 3 寄存器。						

DATE_COEFF4

DATE_COEFF4 为 DATE 系数 4 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF210		DATE_COEFF4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	coef04						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RO	reserved	保留。					
[29:0]	RW	coef04	DATE 系数 4 寄存器。					

DATE_COEFF5

DATE_COEFF5 为 DATE 系数 5 寄存器。



Offset Address		Register Name		Total Reset Value																												
0xF214		DATE_COEFF5		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef05																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	RO		reserved		保留。																											
[28:0]	RW		coef05		DATE 系数 5 寄存器。																											

DATE_COEFF6

DATE_COEFF6 为 DATE 系数 6 寄存器。

Offset Address		Register Name		Total Reset Value																												
0xF218		DATE_COEFF6		0x8000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	coef06_0	reserved							coef06_1																							
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		coef06_0		DATE 系数 6 寄存器 0。																											
[30:23]	RO		reserved		保留。																											
[22:0]	RW		coef06_1		DATE 系数 6 寄存器 1。																											

DATE_COEFF7

DATE_COEFF7 为 Teletext 配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0xF21C		DATE_COEFF7		0x0000_0000																												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																								
Name	tt22_enf1	tt21_enf1	tt20_enf1	tt19_enf1	tt18_enf1	tt17_enf1	tt16_enf1	tt15_enf1	tt14_enf1	tt13_enf1	tt12_enf1	tt11_enf1	tt10_enf1	tt09_enf1	tt08_enf1	tt07_enf1	tt22_enf2	tt21_enf2	tt20_enf2	tt19_enf2	tt18_enf2	tt17_enf2	tt16_enf2	tt15_enf2	tt14_enf2	tt13_enf2	tt12_enf2	tt11_enf2	tt10_enf2	tt09_enf2	tt08_enf2	tt07_enf2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																													
[31]	RW	tt22_enf1	奇场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[30]	RW	tt21_enf1	奇场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[29]	RW	tt20_enf1	奇场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[28]	RW	tt19_enf1	奇场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[27]	RW	tt18_enf1	奇场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[26]	RW	tt17_enf1	奇场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[25]	RW	tt16_enf1	奇场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													
[24]	RW	tt15_enf1	奇场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。																													



[23]	RW	tt14_enf1	奇场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[22]	RW	tt13_enf1	奇场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[21]	RW	tt12_enf1	奇场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[20]	RW	tt11_enf1	奇场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[19]	RW	tt10_enf1	奇场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[18]	RW	tt09_enf1	奇场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[17]	RW	tt08_enf1	奇场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[16]	RW	tt07_enf1	奇场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[15]	RW	tt22_enf2	偶场第 22 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[14]	RW	tt21_enf2	偶场第 21 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[13]	RW	tt20_enf2	偶场第 20 行 Teletext 开关控制位。 0: 关闭; 1: 打开。



[12]	RW	tt19_enf2	偶场第 19 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[11]	RW	tt18_enf2	偶场第 18 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[10]	RW	tt17_enf2	偶场第 17 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[9]	RW	tt16_enf2	偶场第 16 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[8]	RW	tt15_enf2	偶场第 15 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[7]	RW	tt14_enf2	偶场第 14 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[6]	RW	tt13_enf2	偶场第 13 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[5]	RW	tt12_enf2	偶场第 12 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[4]	RW	tt11_enf2	偶场第 11 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[3]	RW	tt10_enf2	偶场第 10 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[2]	RW	tt09_enf2	偶场第 9 行 Teletext 开关控制位。 0: 关闭; 1: 打开。



[1]	RW	tt08_enf2	偶场第 8 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[0]	RW	tt07_enf2	偶场第 7 行 Teletext 开关控制位。 0: 关闭; 1: 打开。

DATE_COEFF8

DATE_COEFF8 为 Teletext 配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0xF220	DATE_COEFF8	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	tt_staddr		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	tt_staddr	Teletext 数据起始地址。

DATE_COEFF9

DATE_COEFF9 为 Teletext 配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0xF224	DATE_COEFF9	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	tt_edaddr		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	tt_edaddr	Teletext 数据结束地址。

DATE_COEFF10

DATE_COEFF10 为 Teletext 配置寄存器。

目前版本，在 625 行和 525 行模式下均支持 Teletext 功能，625 行模式下 tt_mode 配置为 01，525 行模式下 tt_mode 配置为 10



Offset Address		Register Name		Total Reset Value																																				
0xF228		DATE_COEFF10		0x0000_0000																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	tt_ready				reserved												nabts_100ire				full_page				tt_highest				tt_mode				tt_pkttoff							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0															
Bits	Access	Name	Description																																					
[31]	WC	tt_ready	当软件通过总线配置好相关参数时，将该位置 1，Teletext 模块开始工作； 当 teletext 完成数据传输时该位置低，软件可查询，等待软件的再一次配置。																																					
[30:13]	RO	reserved	保留。																																					
[12]	RW	nabts_100ire	NABTS-NTSC 数据高度配置寄存器。 0: 70IRE; 1: 100IRE。																																					
[11]	RW	full_page	tt 发送 full page 模式控制寄存器。 0: 正常模式(消隐行传 tt 数据); 1: full page 模式(有效视频区也可传 tt 数据)。																																					
[10]	RW	tt_highest	Tt 优先级控制寄存器。 0: tt 优先级最高; 1: tt 优先级最低。																																					
[9:8]	RW	tt_mode	TT 模式。625 行下配置为 01，代表 wst-pal,525 行下配置为 10 代表 nabts-ntsc。																																					
[7:0]	RW	tt_pkttoff	TT 包偏移地址。																																					

DATE_COEFF11

DATE_COEFF11 为 Closed Caption 配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0xF22C		DATE_COEFF11		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cc_enf1	cc_enf2	date_clf1								date_clf2													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:22]	RO	reserved		保留。																												
[21]	RW	cc_enf1		Closed Caption 奇场开关控制位。 0: 关闭; 1: 打开。																												
[20]	RW	cc_enf2		Closed Caption 偶场开关控制位。 0: 关闭; 1: 打开。																												
[19:10]	RW	date_clf1		Closed Caption 奇场配置行。																												
[9:0]	RW	date_clf2		Closed Caption 偶场配置行。																												

DATE_COEFF12

DATE_COEFF12 为 Closed Caption 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0xF230		DATE_COEFF12		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cc_f1data												cc_f2data																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:16]	RW	cc_f1data		Closed Caption 奇场数据。																												
[15:0]	RW	cc_f2data		Closed Caption 偶场数据。																												

DATE_COEFF13

DATE_COEFF13 为 CGMS 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0xF234		DATE_COEFF13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cg_enf1	cg_enf2	cg_fldata		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RO	reserved	保留。						
[21]	RW	cg_enf1	CGMS 奇场开关控制位。 0: 关闭; 1: 打开。						
[20]	RW	cg_enf2	CGMS 偶场开关控制位。 0: 关闭; 1: 打开。						
[19:0]	RW	cg_fldata	CGMS 奇场数据。						

DATE_COEFF14

DATE_COEFF14 为 CGMS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xF238		DATE_COEFF14		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				cg_f2data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:20]	RO	reserved	保留。					
[19:0]	RW	cg_f2data	CGMS 偶场数据。					

DATE_COEFF15

DATE_COEFF15 为 WSS 配置寄存器。

WSS 仅在 625 行制式下使用，固定在 23 行。



Offset Address		Register Name		Total Reset Value					
0xF23C		DATE_COEFF15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				wss_en	wss_data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:15]	RO	reserved	保留。						
[14]	RW	wss_en	WSS 开关控制位。 0: 关闭; 1: 打开。						
[13:0]	RW	wss_data	WSS 数据。						

DATE_COEFF16

DATE_COEFF16 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xF240		DATE_COEFF16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		vps_en	vps_data				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:25]	RO	reserved	保留。					
[24]	RW	vps_en	VPS 开关控制位。 0: 关闭; 1: 打开。					
[23:0]	RW	vps_data	VPS 数据, 第 23 位到第 0 位, 最低位为第 0 位。					

DATE_COEFF17

DATE_COEFF17 为 VPS 配置寄存器。



Offset Address		Register Name		Total Reset Value				
0xF244		DATE_COEFF17		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据，第 55 位到第 24 位，最低位为第 0 位。					

DATE_COEFF18

DATE_COEFF18 为 VPS 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0xF248		DATE_COEFF18		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vps_data							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	vps_data	VPS 数据，第 87 位到第 56 位，最低位为第 0 位。					

DATE_COEFF19

DATE_COEFF19 为 VPS 配置寄存器。



注意

VPS 只在 625 行模式下支持，固定在 16 行。

Offset Address		Register Name		Total Reset Value				
0xF24C		DATE_COEFF19		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vps_data			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					



[15:0]	RW	vps_data	VPS 数据，第 103 位到第 88 位，最低位为第 0 位。
--------	----	----------	----------------------------------

DATE_COEFF21

DATE_COEFF21 为输出矩阵控制寄存器。

	Offset Address	Register Name	Total Reset Value																																	
	0xF254	DATE_COEFF21	0x0065_1432																																	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																																			
Name	<table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">dac5_in_sel</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">dac4_in_sel</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">dac3_in_sel</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">dac2_in_sel</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">dac1_in_sel</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">reserved</td> <td style="width:12.5%;">dac0_in_sel</td> </tr> </table>				reserved	reserved	dac5_in_sel	reserved	reserved	dac4_in_sel	reserved	reserved	dac3_in_sel	reserved	reserved	dac2_in_sel	reserved	reserved	dac1_in_sel	reserved	reserved	dac0_in_sel														
reserved	reserved	dac5_in_sel	reserved	reserved	dac4_in_sel	reserved	reserved	dac3_in_sel	reserved	reserved	dac2_in_sel	reserved	reserved	dac1_in_sel	reserved	reserved	dac0_in_sel																			
Reset	<table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td> <td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td> <td style="width:12.5%;">0</td><td style="width:12.5%;">1</td><td style="width:12.5%;">1</td><td style="width:12.5%;">0</td> <td style="width:12.5%;">0</td><td style="width:12.5%;">1</td><td style="width:12.5%;">0</td><td style="width:12.5%;">1</td> <td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">1</td> <td style="width:12.5%;">0</td><td style="width:12.5%;">1</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td> <td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">1</td><td style="width:12.5%;">1</td> <td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">1</td><td style="width:12.5%;">0</td> </tr> </table>				0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	0	1	0	1	0	0	0	0	1	1	0	0	1	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	0	1	0	1	0	0	0	0	1	1	0	0	1	0					
Bits	Access	Name	Description																																	
[31:23]	RO	reserved	保留。																																	
[22:20]	RW	dac5_in_sel	DAC5 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																	
[19]	RO	reserved	保留。																																	
[18:16]	RW	dac4_in_sel	DAC4 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。																																	



[15]	RO	reserved	保留。
[14:12]	RW	dac3_in_sel	DAC3 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[11]	RO	reserved	保留。 写无效, 读为 0;
[10:8]	RW	dac2_in_sel	DAC2 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[7]	RO	reserved	保留。 写无效, 读为 0;
[6:4]	RW	dac1_in_sel	DAC1 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100: R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
[3]	RO	reserved	保留。



[2:0]	RW	dac0_in_sel	DAC0 输出模式选择。 000: 0; 001: cvbs; 010: G/Y; 011: B/Pb; 100 R/Pr; 101: svideo_y; 110: svideo_c; 111: 0。
-------	----	-------------	--

DATE_COEFF22

DATE_COEFF22 为 DTO 初始相位配置寄存器。

	Offset Address 0xF258								Register Name DATE_COEFF22								Total Reset Value 0x0000_0000																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved																video_phase_delta																					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
Bits	Access		Name		Description																																	
[31:11]	RO		reserved		保留。																																	
[10:0]	RW		video_phase_delta		DTO 初始相位配置寄存器。																																	

DATE_COEFF23

DATE_COEFF23 为 VIDEO_OUT 延时配置寄存器。



Offset Address		Register Name		Total Reset Value											
0xF25C		DATE_COEFF23		0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved				dac5_out_dly	reserved	dac4_out_dly	reserved	dac3_out_dly	reserved	dac2_out_dly	reserved	dac1_out_dly	reserved	dac0_out_dly
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description												
[31:23]	RO	reserved	保留。												
[22:20]	RW	dac5_out_dly	DAC5 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[19]	RO	reserved	保留。												
[18:16]	RW	dac4_out_dly	DAC4 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[15]	RO	reserved	保留。												
[14:12]	RW	dac3_out_dly	DAC3 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[11]	RO	reserved	保留。												
[10:8]	RW	dac2_out_dly	DAC2 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[7]	RO	reserved	保留。												
[6:4]	RW	dac1_out_dly	DAC1 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												
[3]	RO	reserved	保留。												
[2:0]	RW	dac0_out_dly	DAC0 输出延迟周期。 以一个 54MHz 时钟周期为单位，配置 n 个延迟周期。												

DATE_COEFF24

DATE_COEFF24 为 ColorBurst 起始位置寄存器。



Offset Address		Register Name		Total Reset Value				
0xF260		DATE_COEFF24		0x0001_2C99				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	burst_start							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	1 1 0 0	1 0 0 1	1 0 0 1
Bits	Access	Name	Description					
[31:0]	RW	burst_start	ColorBurst 起始位置寄存器。					

DATE_ISRMASK

DATE_ISRMASK 为中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value					
0xF280		DATE_ISRMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	tt_mask	Teletext 中断屏蔽位。 0: 打开 Teletext 中断; 1: 屏蔽 Teletext 中断。						

DATE_ISRSTATE

DATE_ISRSTATE 为中断状态寄存器。



Offset Address		Register Name		Total Reset Value					
0xF284		DATE_ISRSTATE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	WC	tt_status	Teletext 中断标志位。 当 DATE 读完所有 Teletext 数据后，该中断标志位拉高。清除中断，需要对该位写 1。						

DATE_ISR

DATE_ISR 为中断寄存器。

Offset Address		Register Name		Total Reset Value					
0xF288		DATE_ISR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tt_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	tt_int	Teletext 中断寄存器， tt_status 在经过 tt_mask 屏蔽后的中断状态。						

DATE_VERSION

DATE_VERSION 为版本寄存器。



Offset Address		Register Name		Total Reset Value					
0xF290		DATE_VERSION		0x0000_0024					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 0 0	
Bits	Access	Name	Description						
[31:0]	RO	reserved	保留。						

DATE_COEFF37

DATE_COEFF37 为上采样滤波系数 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF294		DATE_COEFF37		0x19EF_0CF9					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fir_y1_coeff3		fir_y1_coeff2		fir_y1_coeff1		fir_y1_coeff0		
Reset	0 0 0 1	1 0 0 1	1 1 1 0	1 1 1 1	0 0 0 0	1 1 0 0	1 1 1 1	1 0 0 1	
Bits	Access	Name	Description						
[31:24]	RW	fir_y1_coeff3	亮度上采样滤波系数 13。						
[23:16]	RW	fir_y1_coeff2	亮度上采样滤波系数 12。						
[15:8]	RW	fir_y1_coeff1	亮度上采样滤波系数 11。						
[7:0]	RW	fir_y1_coeff0	亮度上采样滤波系数 10。						

DATE_COEFF38

DATE_COEFF38 为上采样滤波系数 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF298		DATE_COEFF38		0x003A_FFDA					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fir_y2_coeff1				fir_y2_coeff0				
Reset	0 0 0 0	0 0 0 0	0 0 1 1	1 0 1 0	1 1 1 1	1 1 1 1	1 1 0 1	1 0 1 0	
Bits	Access	Name	Description						
[31:16]	RW	fir_y2_coeff1	亮度上采样滤波系数 21。						



[15:0]	RW	fir_y2_coeff0	亮度上采样滤波系数 20。
--------	----	---------------	---------------

DATE_COEFF39

DATE_COEFF39 为上采样滤波系数 3 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF29C		DATE_COEFF39		0x0148_FF97				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fir_y2_coeff3				fir_y2_coeff2			
Reset	0 0 0 0	0 0 0 1	0 1 0 0	1 0 0 0	1 1 1 1	1 1 1 1	1 0 0 1	0 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	fir_y2_coeff3	亮度上采样滤波系数 23。					
[15:0]	RW	fir_y2_coeff2	亮度上采样滤波系数 22。					

DATE_COEFF40

DATE_COEFF40 为上采样滤波系数 4 寄存器。

Offset Address		Register Name		Total Reset Value				
0xF2A0		DATE_COEFF40		0x19EF_0CF9				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fir_c1_coeff3		fir_c1_coeff2		fir_c1_coeff1		fir_c1_coeff0	
Reset	0 0 0 1	1 0 0 1	1 1 1 0	1 1 1 1	0 0 0 0	1 1 0 0	1 1 1 1	1 0 0 1
Bits	Access	Name	Description					
[31:24]	RW	fir_c1_coeff3	色度上采样滤波系数 13。					
[23:16]	RW	fir_c1_coeff2	色度上采样滤波系数 12。					
[15:8]	RW	fir_c1_coeff1	色度上采样滤波系数 11。					
[7:0]	RW	fir_c1_coeff0	色度上采样滤波系数 10。					

DATE_COEFF41

DATE_COEFF41 为上采样滤波系数 5 寄存器。



Offset Address		Register Name		Total Reset Value					
0xF2A4		DATE_COEFF41		0x003A_FFDA					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fir_c2_coeff1				fir_c2_coeff0				
Reset	0 0 0 0	0 0 0 0	0 0 1 1	1 0 1 0	1 1 1 1	1 1 1 1	1 1 0 1	1 0 1 0	
Bits	Access	Name	Description						
[31:16]	RW	fir_c2_coeff1	色度上采样滤波系数 21。						
[15:0]	RW	fir_c2_coeff0	色度上采样滤波系数 20。						

DATE_COEFF42

DATE_COEFF42 为上采样滤波系数 6 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2A8		DATE_COEFF42		0x0148_FF97					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fir_c2_coeff3				fir_c2_coeff2				
Reset	0 0 0 0	0 0 0 1	0 1 0 0	1 0 0 0	1 1 1 1	1 1 1 1	1 0 0 1	0 1 1 1	
Bits	Access	Name	Description						
[31:16]	RW	fir_c2_coeff3	色度上采样滤波系数 23。						
[15:0]	RW	fir_c2_coeff2	色度上采样滤波系数 22。						

DATE_DACDET1

DATE_DACDET1 为 DAC 自动检测 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2C0		DATE_DACDET1		0x000D_0303					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		det_line		reserved		vdac_det_high		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	0 0 1 1	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:16]	RW	det_line	检测电平所在行。						



[15:10]	RO	reserved	保留。
[9:0]	RW	vdac_det_high	检测电平值。

DATE_DACDET2

DATE_DACDET2 为 DAC 自动检测 2 寄存器。

	Offset Address	Register Name	Total Reset Value
	0xF2C4	DATE_DACDET2	0x0030_0118
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	vdac_det_en	reserved	det_pixel_wid
	reserved	reserved	det_pixel_sta
Reset	0 0 0 0	0 0 0 0	0 0 1 1
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 1	0 0 0 1	1 0 0 0
Bits	Access	Name	Description
[31]	RW	vdac_det_en	DAC 自动检测使能。 0: 不使能; 1: 使能。
[30:27]	RO	reserved	保留。
[26:16]	RW	det_pixel_wid	电平宽度。
[15:11]	RO	reserved	保留。
[10:0]	RW	det_pixel_sta	在一行的起始位置。

DATE_COEFF50

DATE_COEFF50 为过采样滤波系数 1 寄存器。



Offset Address		Register Name		Total Reset Value					
0xF2C8		DATE_COEFF50		0x07FF_07FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	ovs_coeff1			reserved	ovs_coeff0			
Reset	0 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name		Description					
[31:27]	RO	reserved		保留。					
[26:16]	RW	ovs_coeff1		亮度过采样滤波系数 11。					
[15:11]	RO	reserved		保留。					
[10:0]	RW	ovs_coeff0		亮度过采样滤波系数 10。					

DATE_COEFF51

DATE_COEFF51 为过采样滤波系数 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2CC		DATE_COEFF51		0x07FF_0204					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	ovs_coeff1			reserved	ovs_coeff0			
Reset	0 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	0 0 0 0	0 0 1 0	0 0 0 0	0 1 0 0	
Bits	Access	Name		Description					
[31:27]	RO	reserved		保留。					
[26:16]	RW	ovs_coeff1		亮度过采样滤波系数 21。					
[15:11]	RO	reserved		保留。					
[10:0]	RW	ovs_coeff0		亮度过采样滤波系数 20。					

DATE_COEFF52

DATE_COEFF52 为过采样滤波系数 3 寄存器。



Offset Address		Register Name		Total Reset Value					
0xF2D0		DATE_COEFF52		0x0000_07FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ovs_coeff1		reserved		ovs_coeff0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	ovs_coeff1	亮度过采样滤波系数 31。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	ovs_coeff0	亮度过采样滤波系数 30。						

DATE_COEFF53

DATE_COEFF53 为过采样滤波系数 4 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2D4		DATE_COEFF53		0x07BF_000C					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ovs_coeff1		reserved		ovs_coeff0		
Reset	0 0 0 0	0 1 1 1	1 0 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	ovs_coeff1	亮度过采样滤波系数 41。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	ovs_coeff0	亮度过采样滤波系数 40。						

DATE_COEFF54

DATE_COEFF54 为过采样滤波系数 5 寄存器。



Offset Address		Register Name		Total Reset Value					
0xF2D8		DATE_COEFF54		0x0135_0135					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	ovs_coeff1			reserved	ovs_coeff0			
Reset	0 0 0 0	0 0 0 1	0 0 1 1	0 1 0 1	0 0 0 0	0 0 0 1	0 0 1 1	0 1 0 1	
Bits	Access	Name		Description					
[31:27]	RO	reserved		保留。					
[26:16]	RW	ovs_coeff1		亮度过采样滤波系数 51。					
[15:11]	RO	reserved		保留。					
[10:0]	RW	ovs_coeff0		亮度过采样滤波系数 50。					

DATE_COEFF55

DATE_COEFF55 为过采样滤波系数 6 寄存器。

Offset Address		Register Name		Total Reset Value					
0xF2DC		DATE_COEFF55		0x000C_07BF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	ovs_coeff1			reserved	ovs_coeff0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	0 0 0 0	0 1 1 1	1 0 1 1	1 1 1 1	
Bits	Access	Name		Description					
[31:27]	RO	reserved		保留。					
[26:16]	RW	ovs_coeff1		亮度过采样滤波系数 61。					
[15:11]	RO	reserved		保留。					
[10:0]	RW	ovs_coeff0		亮度过采样滤波系数 60。					



目 录

12 音频接口	12-1
12.1 AIO.....	12-1
12.1.1 概述.....	12-1
12.1.2 特点.....	12-1
12.1.3 功能描述.....	12-2
12.1.4 工作方式.....	12-7
12.1.5 AIO 寄存器概览.....	12-9
12.1.6 AIO 寄存器描述.....	12-12
12.2 Audio Codec.....	12-52
12.2.1 概述.....	12-52
12.2.2 特点.....	12-52
12.2.3 功能描述.....	12-52
12.2.4 Audio Codec 寄存器概览.....	12-53
12.2.5 Audio Codec 寄存器描述.....	12-53



插图目录

图 12-1 AOP1 与 HDMI 对接示意图	12-2
图 12-2 I ² S/PCM 接口主模式连接示意图一	12-3
图 12-3 I ² S/PCM 接口主模式连接示意图二	12-3
图 12-4 I ² S/PCM 接口从模式连接示意图一	12-4
图 12-5 I ² S/PCM 接口从模式连接示意图二	12-4
图 12-6 I ² S 接口时序	12-5
图 12-7 PCM 接口标准模式时序	12-5
图 12-8 PCM 接口自定义模式时序	12-6
图 12-9 I ² S 2/4/8/16 路接收	12-6
图 12-10 PCM 2/4/8/16 路接收	12-7



表格目录

表 12-1 各模块的寄存器偏移地址变量表.....	12-9
表 12-2 AIO 寄存器概览（基址是 0x2068_0000）.....	12-10



12 音频接口

12.1 AIO

12.1.1 概述

音频输入输出接口 AIO (Audio Input/Output), 用于和片外 Audio CODEC 芯片连接, 完成音频数据的输入和输出, 以实现录音、对讲、回放等功能。Hi3535 内部集成 1 个 AIO, 包含 1 个 AIP (Audio Input Port) 和 2 个 AOP (Audio Output Port), 其中 AIP 支持 2/4/8/16 路音频输入, AOP0 和 AOP1 支持 1/2 路音频输出, AOP1 通过 I²S 接口实现与 HDMI 在芯片内部对接。



AOP (Audio Output Port), 即音频发送通道, 其中 AOP0 对应发送通道 0, AOP1 对应发送通道 1; AIP (Audio Input Port), 即音频接收通道。

12.1.2 特点

AIO 接口支持 I²S 和 PCM (Pulse Code Modulation) 两种模式, 采用 DMA 方式存取数据。

I²S 接口

I²S 接口有如下特点:

- 支持主模式和从模式。
- 支持左右声道 8/16/24/32bit 数据的发送和接收。
- 支持 2/4/8/16 路 8/16bit 数据的多路接收。
- 支持 8kHz~192kHz 采样率。
- 接收 (AIP) 和发送 (AOP0/AOP1) 相互独立, 可以单独使能或关闭。
- 接收 (AIP) 和发送 (AOP0/AOP1) 均采用 DMA 操作, 通过软件开辟的循环缓冲区存取数据, 循环缓冲区大小和水线可调。

PCM 接口

PCM 接口有如下特点:

- 支持主模式和从模式。
- 支持单声道 8bit 或 16bit 线性 PCM 编码的发送和接收。
- 支持 2/4/8 路 8/16 bit 数据的多路接收。
- 支持由芯片内部产生位时钟以及帧同步信号，也支持外接位时钟及帧同步信号。
- PCM 接口帧同步信号仅支持短脉冲同步信号（同步信号的持续时间为 1 个时钟周期），支持标准和自定义 2 种模式。
- 接收（AIP）和发送（AOP0/AOP1）相互独立，可以单独使能或关闭。
- 接收（AIP）和发送（AOP0/AOP1）均采用 DMA 操作，通过软件开辟的循环缓冲区存取数据，循环缓冲区大小和水线可调。

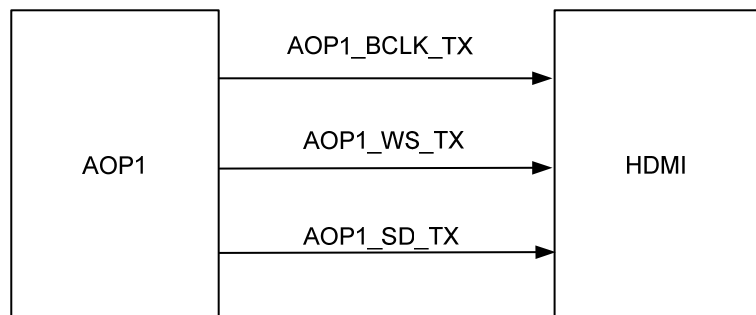
12.1.3 功能描述

典型应用

Hi3535 内部集成 1 个 AIP 和 2 个 AOP，其中：

- AIP 支持多路接收功能，即支持接收输入 2/4/8/16 路，数据位宽为 8/16bit。
- AOP0 用于典型 2 路 16bits 音频数据的播放。
- AOP1 在芯片内部实现和 HDMI 对接，对接方式只支持 I²S 主模式。AOP1 与 HDMI 对接示意图如图 12-1 所示。

图12-1 AOP1 与 HDMI 对接示意图



AIP 和 AOP0 均支持主从模式，下面将对主从模式下 I²S/PCM 接口的典型连接进行说明。

主模式下，I²S/PCM 接口的典型连接如图 12-2 和图 12-3 所示。

说明

- 图 12-2 中，AIP 和 AOP0 对接的 AudioCodec 芯片的 I2S 接口为 6 线模式（TX 和 RX 有各自的 BCLK 和 WS）
- 图 12-3 中，AIP 和 AOP0 对接的 AudioCodec 芯片的 I2S 接口为 4 线模式（TX 和 RX 共用 BCLK 和 WS）
- 在主模式下，位流时钟和左右声道选择信号（PCM 模式下为同步信号）由 AIO 送给 AUDIO CODEC。

图12-2 I²S/PCM 接口主模式连接示意图一

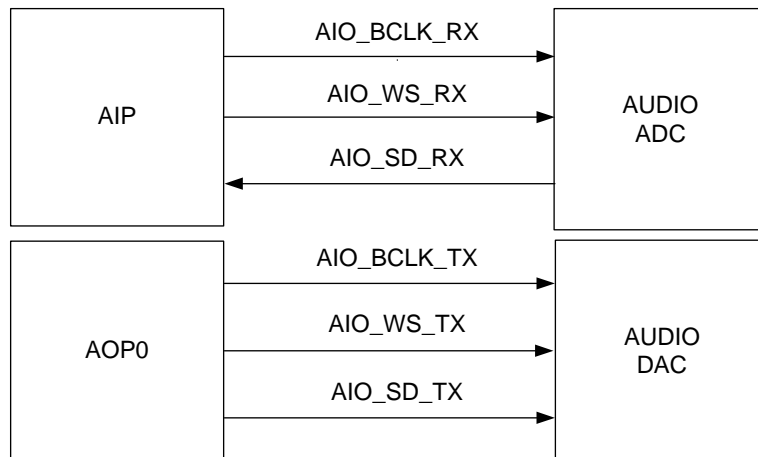
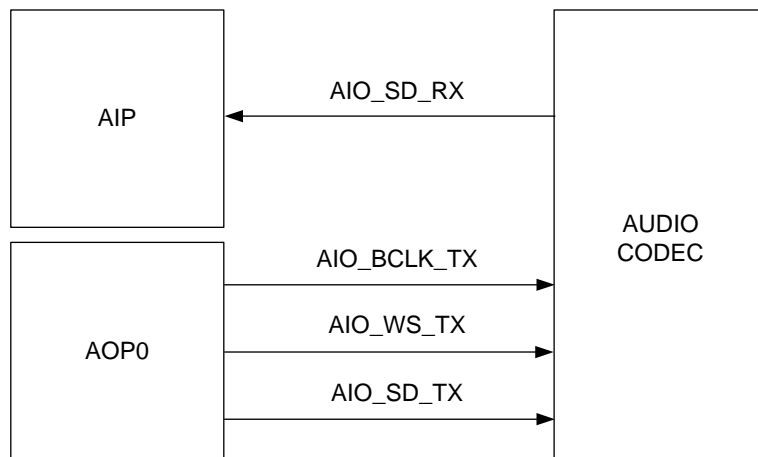


图12-3 I²S/PCM 接口主模式连接示意图二



从模式下，I²S/PCM 接口的典型连接如图 12-4 和图 12-5 所示。



说明

- 图 12-4 中，AIP 和 AOP0 对接的 AudioCodec 芯片的 I2S 接口为 6 线模式（TX 和 RX 有各自的 BCLK 和 WS）
- 图 12-5 中，AIP 和 AOP0 对接的 AudioCodec 芯片的 I2S 接口为 4 线模式（TX 和 RX 共用 BCLK 和 WS）
- 在从模式下，位流时钟和左右声道选择信号（PCM 模式下为同步信号）由 AUDIO CODEC 送给 AIO；AUDIO CODEC 的主工作时钟由 Hi3535 输出的时钟 AIO_MCLK 或外接的晶振提供。

图12-4 I²S/PCM 接口从模式连接示意图一

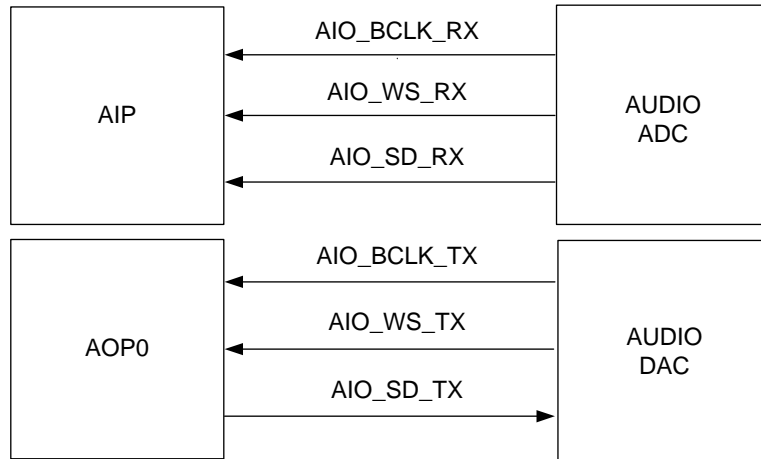
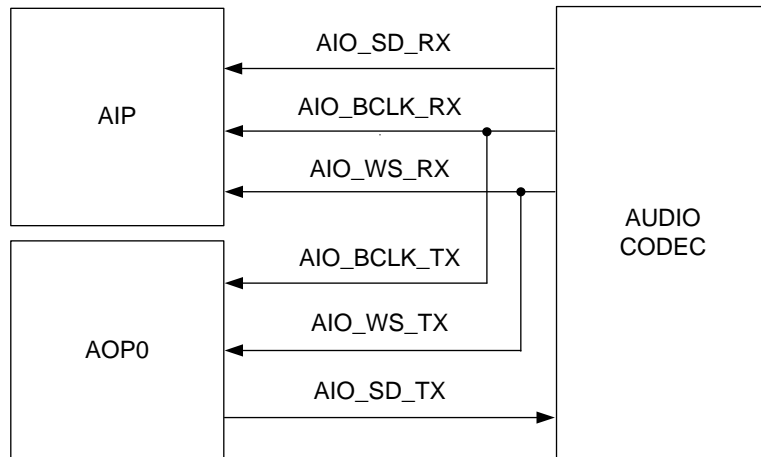


图12-5 I²S/PCM 接口从模式连接示意图二



功能原理

AIP 通过 I²S 或 PCM 接口接收对接 AUDIO CODEC 进行 AD（Analog-to-Digital）转换后的音频数据，存入为 AIP 开辟的循环缓冲区，然后由 CPU 取走并存储，从而完成录音功能。

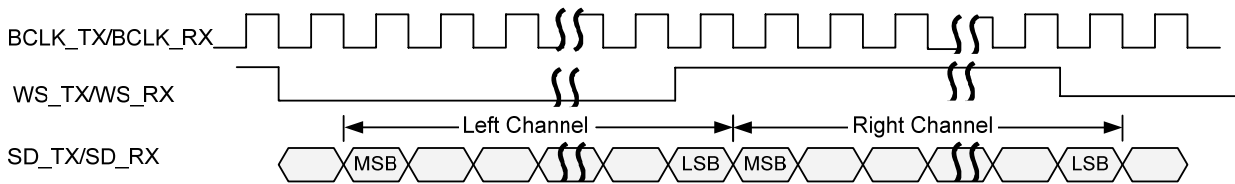


AOP0 从循环缓冲区中读取音频数据，然后按照设定的采样率，把音频数据通过 I²S 或 PCM 接口传送给对接的 AUDIO CODEC，AUDIO CODEC 进行 DA (Digital-to-Analog) 转换后进行声音播放。

I²S 接口传输数据分为左右两个声道，根据 WS_TX (WS_RX) 信号的高低电平区分，如图 12-6 所示。按照协议，用 BCLK_TX/BCLK_RX 时钟的上升沿进行数据采样，MSB 在 WS_TX/WS_RX 变化的下一个时钟周期有效。总是先传送 MSB，后传送 LSB。

I²S 接口的时序如图 12-6 所示。

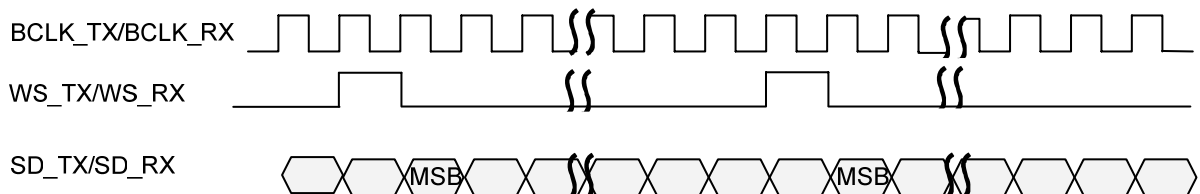
图12-6 I²S 接口时序



PCM 接口传输的数据是单声道数据，WS_TX/WS_RX 标识数据的起始位置，先发送 (接收) 最高有效位 MSB，使用时钟的下降沿采样数据。标准模式时序中，MSB 数据在 WS_TX/WS_RX 高电平脉冲之后一个周期有效；自定义模式时序中，MSB 的位置是与 WS_TX/WS_RX 的高电平脉冲对齐的。

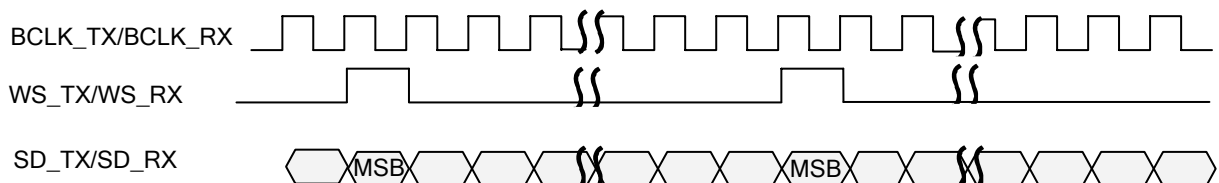
PCM 接口标准模式下的时序如图 12-7 所示。

图12-7 PCM 接口标准模式时序



PCM 接口自定义模式下的时序如图 12-8 所示。

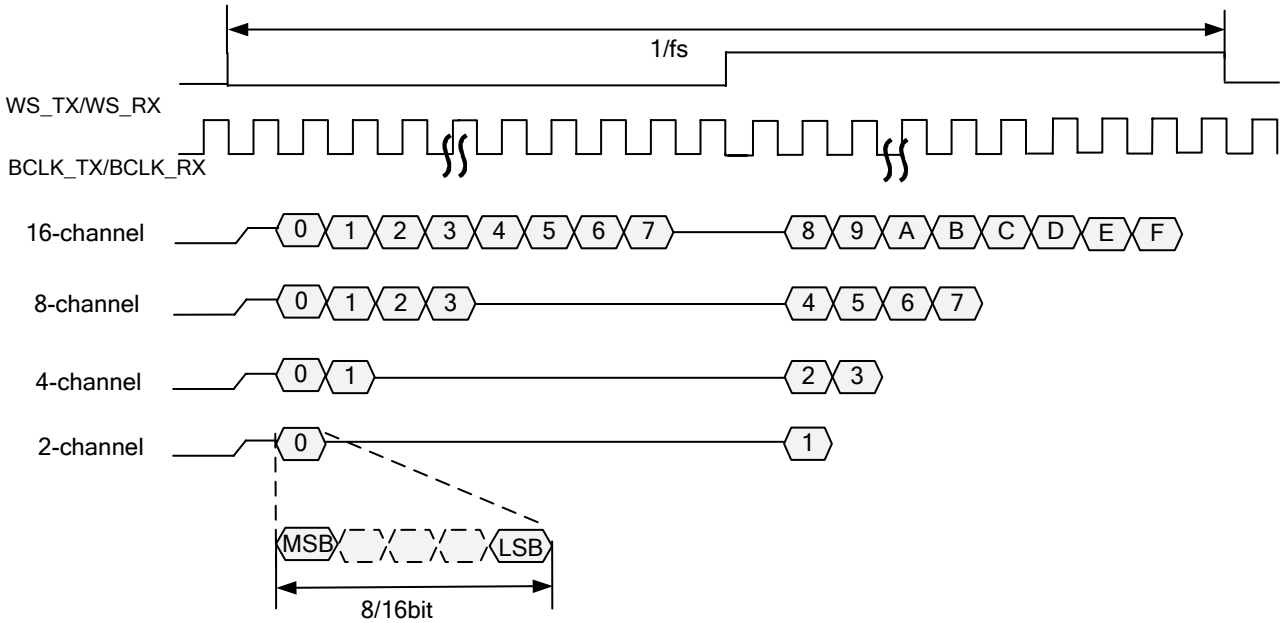
图12-8 PCM 接口自定义模式时序



I²S 进行多路 (2/4/8/16 路 8/16bit) 接收时，数据分别放于 I²S 时序的左右声道，如图 12-9 所示。

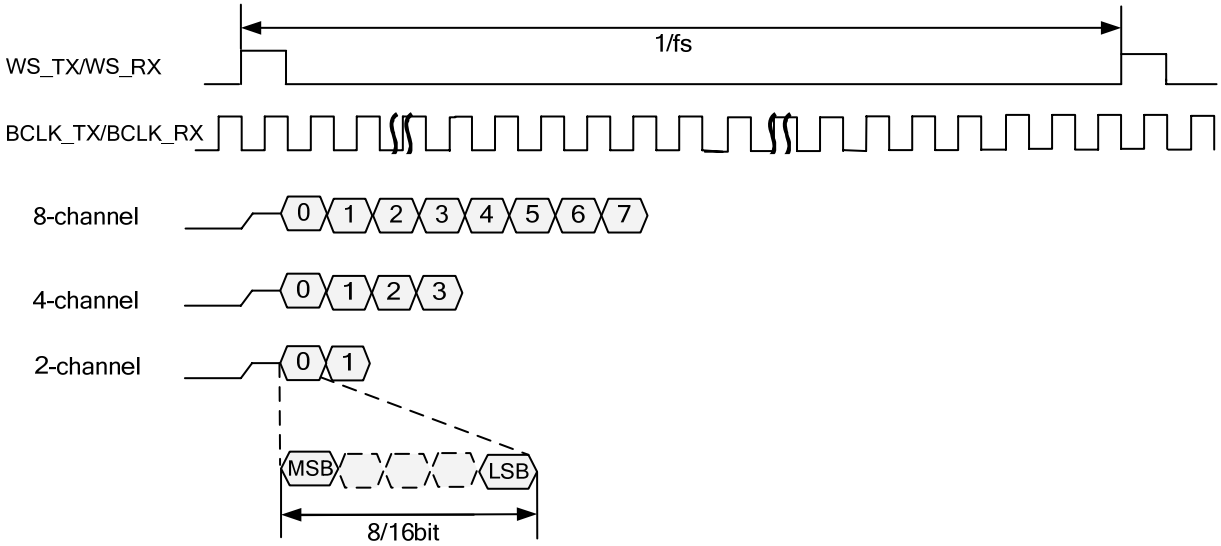


图12-9 I²S 2/4/8/16 路接收



PCM 模式下的多路接收，如图 12-10 所示。支持 PCM 标准和自定义两种模式，AIO 可以选择数据采样时刻（上升沿或下降沿）接收。图 12-10 中以上升沿为例。

图12-10 PCM 2/4/8/16 路接收





12.1.4 工作方式

时钟门控及时钟配置

在使能 AIO 进行录音或播放时，必须先打开 AIO 中对应通道（AIP/AOP0/AOP1）的时钟门控。具体步骤如下：

说明

AOP1 与 HDMI 音频对接，这就需要 AOP1 工作在主模式，即必须配置 `I2S_CRG_CFG0_09` 与 `I2S_CRG_CFG1_09`，此时与 Audio Codec 的使用情况无关。

1. 确认与 AIO 对接的是单独的 Audio Codec 还是和视频 AD 芯片集成的 Audio Codec。
 - 如果使用 Hi3535 自带的 AUDIO CODEC，配置寄存器 `I2S_CRG_CFG0_08`、`I2S_CRG_CFG0_08` 和 `I2S_CRG_CFG1_08`、`I2S_CRG_CFG1_00` 即可。
 - 如果对接外置的的 AUDIO CODEC，配置寄存器 `I2S_CRG_CFG0_08` 和 `I2S_CRG_CFG1_08` 即可。
2. 打开 AIO 时钟。

----结束

软复位

AIO 内部的三个通道（AIP、AOP0 和 AOP1）不支持独立的软复位，当复位 AIO 模块时，三条通道同时复位。

录音工作流程

录音步骤如下：（假设场景为 I2S 模式 48K，2 声道 16bit 精度，假设 AIO pll 源头时钟为 307M，系统控制器 AIO 时钟已经使能）：

1. 配置寄存器 `I2S_CRG_CFG0_08` 为 0x0051eb85，此时第 8 路时钟输出 mclk 频率为 12.288MHz。
2. 配置寄存器 `I2S_CRG_CFG1_08` 为 0x00000133，此时使能第 8 路时钟，同时把 bclk 配置为 mclk 的 4 分频，fclk 配置为 bclk 的 64 分频，此时 fclk 频率为 48KHz。
3. 配置 `AIAO_SWITCH_RX_BCLK` 寄存器为 0x00000008，此时设置接收通路选择工作在第 8 路时钟上面，也即上面配置好的时钟。
4. 配置 `RX_IF_ATTRI` 为 0xe4800005，此时设置接收通道工作在 I2S 模式下，两声道，采样精度为 16bit。
5. 配置 `RX_BUFF_SADDR` 寄存器为分配 DDR 的起始地址（24bit），比如 0x0085fe81 配置 `RX_BUFF_SIZE` 寄存器为分配 DDR_BUF 的大小，比如 0x0000f000，配置 `RX_BUFF_WPTR` 寄存器和 `RX_BUFF_RPTR` 寄存器为 0x0，初始化读写指针。配置 `RX_TRANS_SIZE` 寄存器，比如 0x00000f00。
6. 根据需要，使能接收通路相应的中断位，即配置寄存器 `RX_INT_ENA`，比如配置为 0x00000001，只是能 trans_int 中断。



7. 配置寄存器 `RX_DSP_CTRL` 为 `0x10000000`，使能接收通道，接收通道开始工作，录音开始。
8. 通过读取 `RX_BUFF_WPTR` 和 `RX_BUFF_RPTR` 的值判断循环缓冲区的空/满状态以及有效数据量；要保证在循环缓冲区满之前将数据取走，并将更新后的循环缓冲区读地址写入 `RX_BUFF_RPTR`，否则可能会造成循环缓冲区溢出，声音不连续。
9. 录音完成后，写寄存器 `RX_DSP_CTRL` 为 `0x00000000`，不断查询 `RX_DSP_CTRL` 寄存器，直到看到其变为 `0x20000000` 后，说明接收通道停止完成。

----结束



注意

启动 AIP 之前，必须完成 AIP 时钟的配置，以保证 `AIO_BCLK_RX` 和 `AIO_WS_RX` 正常。

播放工作流程

AOP0 和 AOP1 的工作流程相同，下面以 AOP0 为例进行说明。

播放步骤如下：（假设场景为 I²S 模式 48K2 声道 16bit 精度，假设 AIO pll 源头时钟为 307M，系统控制器 AIO 时钟已经使能）：

1. 配置寄存器 `I2S_CRG_CFG0_08` 为 `0x0051eb85`，此时第 8 路时钟输出 `mclk` 频率为 12.288MHz。
2. 配置寄存器 `I2S_CRG_CFG1_08` 为 `0x00000133`，此时使能第 8 路时钟，同时把 `bclk` 配置为 `mclk` 的 4 分频，`fclk` 配置为 `bclk` 的 64 分频，此时 `fclk` 频率为 48KHz。
3. 配置 `AIAO_SWITCH_TX_BCLK` 寄存器为 `0x00000008`，此时设置接收通路选择工作在第 8 路时钟上面，也即上面配置好的时钟。
4. 配置 `TX_IF_ATTRI` 寄存器为 `0xe4000005`，即配置发送接口工作于 I2S 模式下，两声道，16bit 采样精度。
5. 配置 `TX_BUFF_SADDR` 为分 BUF 的起始地址，比如 `0x00452548`，`TX_BUFF_SIZE` 为分配 BUF 的大小，初始化 `TX_BUFF_WPTR` 为 `0x0`，`TX_BUFF_RPTR` 为 `0x0`，设置 `TX_TRANS_SIZE`。（这一步配置可以参考录音流程）
6. 根据需要，使能接收通路相应的中断位，即配置寄存器 `TX_INT_ENA`，比如配置为 `0x00000001`，只使能 `trans_int` 中断。
7. 配置寄存器 `TX_DSP_CTRL` 为 `0x10000000`，使能播放通道。
8. 通过读取 `TX_BUFF_WPTR` 和 `TX_BUFF_RPTR` 的值判断循环缓冲区的空/满状态以及有效数据量；要保证在循环缓冲区空之前将新的音频数据填入，并将更新后的循环缓冲区写地址写入 `TX_BUFF_WPTR`，否则可能会造成循环缓冲区下溢出，声音不连续。



9. 播放结束后，配置寄存器 `TX_DSP_CTRL` 为 `0x00000000`，停止播放通道，查询 `TX_DSP_CTRL` 寄存器，当看到其值变为 `0x20000000` 时，说明通道停止完成。

----结束



注意

启动 AOP0 前，必须完成 AOP0 时钟的配置，以保证 `AIO_BCLK_TX` 和 `AIO_WS_TX` 正常，对 AOP1 有相同要求。

向 AOP0 的循环缓冲区写入数据以及更新 `TX_BUFF_WPTR` 时，必须保证 AOP0 的循环缓冲区空闲空间不小于 32 字节，对 AOP1 有相同要求。

12.1.5 AIO 寄存器概览

AIO 寄存器偏移地址中变量的取值范围和含义如表 12-1 所示。

表12-1 各模块的寄存器偏移地址变量表

变量名称	取值范围	描述
m	0,1	发送通道编号

AIO 寄存器概览如表 12-2 所示。

表12-2 AIO 寄存器概览（基址是 `0x2068_0000`）

偏移地址	名称	描述	页码
0x0000	AIAO_INT_ENA	AIO 模块中断使能寄存器	12-12
0x0004	AIAO_INT_STATUS	AIO 模块中断状态寄存器	12-12
0x0008	AIAO_INT_RAW	AIO 模块原始中断寄存器	12-13
0x0028	AIAO_SWITCH_RX_BCLK	AIO I2S RX BCLK SWITCH 配置寄存器	12-14
0x002C	AIAO_SWITCH_TX_BCLK	AIO I2S TX BCLK SWITCH 配置寄存器	12-15
0x0030	AIAO_STATUS	AIO 状态寄存器	12-15
0x0100	I2S_CRG_CFG0_00	I2S00 CRG 配置寄存器 0	12-16
0x0104	I2S_CRG_CFG1_00	I2S00 CRG 配置寄存器 1	12-16
0x0140	I2S_CRG_CFG0_08	I2S08 CRG 配置寄存器 0	12-18
0x0144	I2S_CRG_CFG1_08	I2S08 CRG 配置寄存器 1	12-19



偏移地址	名称	描述	页码
0x0148	I2S_CRG_CFG0_09	I2S09 CRG 配置寄存器 0	12-20
0x014C	I2S_CRG_CFG1_09	I2S09 CRG 配置寄存器 1	12-21
0x1000	RX_IF_ATTRI	接收通道的接口属性设置寄存器	12-22
0x1004	RX_DSP_CTRL	接收处理通道的控制寄存器	12-26
0x1080	RX_BUFF_SADDR	接收通道的 DDR 缓存起始地址寄存器	12-26
0x1084	RX_BUFF_SIZE	接收通道的 DDR 缓存大小寄存器	12-27
0x1088	RX_BUFF_WPTR	接收通道的 DDR 缓存写地址寄存器	12-27
0x108C	RX_BUFF_RPTR	接收通道的 DDR 缓存读地址寄存器	12-28
0x1090	RX_BUFF_ALFULL_TH	接收通道的 DDR 缓存几乎满流水线寄存器	12-28
0x1094	RX_TRANS_SIZE	接收通道的数据传输长度寄存器	12-29
0x1098	RX_WPTR_TMP	上报传输完成中断时，保存接收通道的写地址寄存器	12-29
0x10A0	RX_INT_ENA	接收通道的中断使能寄存器	12-29
0x10A4	RX_INT_RAW	接收通道的原始中断寄存器	12-31
0x10A8	RX_INT_STATUS	接收通道的中断状态寄存器	12-32
0x10AC	RX_INT_CLR	接收通道的中断清除寄存器	12-33
0x2000 + 0x100×m	TX_IF_ATTRI	发送通道的接口属性设置寄存器	12-34
0x2004 + 0x100×m	TX_DSP_CTRL	发送处理通道的控制寄存器	12-36
0x2008 + 0x100×m	TX_DSP_STATUS	发送处理通道的状态寄存器	12-38
0x200C + 0x100×m	TX_IF_STATUS	发送控制接口的状态寄存器	12-40
0x2010 + 0x100×m	TX_DMAR_STATU S	发送 DMAW 的状态寄存器	12-41
0x2020 + 0x100×m	TX_WS_CNT	发送处理通道的 WS 循环计数状态寄存器	12-42
0x2024 + 0x100×m	TX_BCLK_CNT	发送处理通道的 BCLK 循环计数状态寄存器	12-42
0x2080 + 0x100×m	TX_BUFF_SADDR	发送通道的 DDR 缓存起始地址寄存器	12-43



偏移地址	名称	描述	页码
0x2084 + 0x100×m	TX_BUFF_SIZE	发送通道的 DDR 缓存大小寄存器	12-43
0x2088 + 0x100×m	TX_BUFF_WPTR	发送通道的 DDR 缓存写地址寄存器	12-44
0x208C + 0x100×m	TX_BUFF_RPTR	发送通道的 DDR 缓存读地址寄存器	12-44
0x2090 + 0x100×m	TX_BUFF_ALEMP T Y_TH	发送通道的 DDR 缓存几乎空流水线寄存器	12-45
0x2094 + 0x100×m	TX_TRANS_SIZE	发送通道的数据传输长度寄存器	12-45
0x2098 + 0x100×m	TX_RPTR_TMP	上报传输完成中断时，保存发送通道的读地址寄存器	12-46
0x20A0 + 0x100×m	TX_INT_ENA	发送通道的中断使能寄存器	12-46
0x20A4 + 0x100×m	TX_INT_RAW	发送通道的原始中断寄存器	12-48
0x20A8 + 0x100×m	TX_INT_STATUS	发送通道的中断状态寄存器	12-49
0x20AC + 0x100×m	TX_INT_CLR	发送通道的中断清除寄存器	12-50

12.1.6 AIO 寄存器描述

AIAO_INT_ENA

AIAO_INT_ENA 为 AIO 模块中断使能寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000		AIAO_INT_ENA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_ch1_int_ena	tx_ch0_int_ena	reserved			rx_ch0_int_ena
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:18]	RW	reserved	保留。						
[17]	RW	tx_ch1_int_ena	发送通道 1 的中断使能。 0: 不使能; 1: 使能。						
[16]	RW	tx_ch0_int_ena	发送通道 0 的中断使能。 0: 不使能; 1: 使能。						
[15:1]	RW	reserved	保留。						
[0]	RW	rx_ch0_int_ena	接收通道 0 的中断使能。 0: 不使能; 1: 使能。						

AIAO_INT_STATUS

AIAO_INT_STATUS 为 AIO 模块中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0004		AIAO_INT_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												tx_ch1_int_status	tx_ch0_int_status	reserved												rx_ch0_int_status					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:18]	RO		reserved		保留。																											
[17]	RO		tx_ch1_int_status		发送通道 1 的中断状态。 0: 无中断状态; 1: 有中断状态。																											
[16]	RO		tx_ch0_int_status		发送通道 0 的中断状态。 0: 无中断状态; 1: 有中断状态。																											
[15:1]	RO		reserved		保留。																											
[0]	RO		rx_ch0_int_status		接收通道 0 的中断状态。 0: 无中断状态; 1: 有中断状态。																											

AIAO_INT_RAW

AIAO_INT_RAW 为 AIO 模块原始中断寄存器。



Offset Address		Register Name		Total Reset Value							
0x0008		AIAO_INT_RAW		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				tx_ch1_int_raw	tx_ch0_int_raw	reserved				rx_ch0_int_raw
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:18]	RO	reserved	保留。								
[17]	RO	tx_ch1_int_raw	发送通道 1 的原始中断。 0: 无原始中断; 1: 有原始中断。								
[16]	RO	tx_ch0_int_raw	发送通道 0 的原始中断。 0: 无原始中断; 1: 有原始中断。								
[15:1]	RO	reserved	保留。								
[0]	RO	rx_ch0_int_raw	接收通道 0 的原始中断。 0: 无原始中断; 1: 有原始中断。								

AIAO_SWITCH_RX_BCLK

AIAO_SWITCH_RX_BCLK 为 AIO I2S RX BCLK SWITCH 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0028		AIAO_SWITCH_RX_BCLK		0x7654_3210					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							inner_bclk_ws_sel_rx_00	
Reset	0 1 1 1	0 1 1 0	0 1 0 1	0 1 0 0	0 0 1 1	0 0 1 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:4]	RW	reserved	保留。						



[3:0]	RW	inner_bclk_ws_sel_rx_00	接收通道的内部 BCLK 选择。 0000: 选择 BCLK0; 1000: 选择 BCLK8; 1001: 选择 BCLK9; 其他: 保留。
-------	----	-------------------------	--

AIAO_SWITCH_TX_BCLK

AIAO_SWITCH_TX_BCLK 为 AIO I2S TX BCLK SWITCH 配置寄存器。

	Offset Address 0x002C								Register Name AIAO_SWITCH_TX_BCLK								Total Reset Value 0x7654_3210																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved																								inner_bclk_ws_sel_tx_01				inner_bclk_ws_sel_tx_00									
Reset	0	1	1	1	0	1	1	0	0	1	0	1	0	1	0	0	0	0	1	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0				
Bits	Access		Name		Description																																	
[31:8]	RW		reserved		保留。																																	
[7:4]	RW		inner_bclk_ws_sel_tx_01		发送通道 1 的内部 BCLK 选择。 0000: 选择 BCLK0; 1000: 选择 BCLK8; 1001: 选择 BCLK9; 其他: 保留。																																	
[3:0]	RW		inner_bclk_ws_sel_tx_00		发送通道 0 的内部 BCLK 选择。 0000: 选择 BCLK0; 1000: 选择 BCLK8; 1001: 选择 BCLK9; 其他: 保留。																																	

AIAO_STATUS

AIAO_STATUS 为 AIO 状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0030		AIAO_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															srst_rdy																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	RO		reserved		保留。																											
[0]	RO		srst_rdy		软复位状态信号。 0: 正在复位; 1: 复位完成。																											

I2S_CRG_CFG0_00

I2S_CRG_CFG0_00 为 I2S00 CRG 配置寄存器 0。

Offset Address		Register Name		Total Reset Value																																
0x0100		I2S_CRG_CFG0_00		0x00AA_AAAA																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				aiao_mclk_div																															
Reset	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Bits	Access		Name		Description																															
[31:27]	RW		reserved		保留。																															
[26:0]	RW		aiao_mclk_div		MCLK 的分频时钟配置值，配置值为(MCLK0/AIO 时钟源头频率) x 2^27。其中 MCLK0 时钟源头频率请参见 3.2 时钟。																															

I2S_CRG_CFG1_00

I2S_CRG_CFG1_00 为 I2S00 CRG 配置寄存器 1。



Offset Address		Register Name		Total Reset Value									
0x0104		I2S_CRG_CFG1_00		0x0000_0131									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				aiao_bclkout_pctrl	aiao_bclkin_pctrl	aiao_bclk_sel	aiao_bclk_oen	reserved	aiao_cken	reserved	aiao_fscclk_div	aiao_bclk_div
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 1					
Bits	Access	Name	Description										
[31:14]	RW	reserved	保留。										
[13]	RW	aiao_bclkout_pctrl	BCLKOUT 的极性控制。 0: 正向; 1: 反向。										
[12]	RW	aiao_bclkin_pctrl	BCLKIN 的极性控制。 0: 正向; 1: 反向。										
[11]	RW	aiao_bclk_sel	BCLK/FCLK 选择。 0: 时钟从内部产生; 1: 时钟从外部 Aduio DAC 芯片中输入。										
[10]	RW	aiao_bclk_oen	BCLK/FCLK IO oen 控制。 0 : BCLK/FCLK IO 为输出; 1 : BCLK/FCLK IO 为输入。 注意: 需要和 aiao_bclk_sel 配对使用, 实现 I2S 接口主从模式选择。										
[9]	RW	reserved	保留。										
[8]	RW	aiao_cken	时钟状态。 0: 关闭; 1: 打开。										
[7]	RW	reserved	保留扩展。										



[6:4]	RW	aiao_fsclk_div	位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。
[3:0]	RW	aiao_bclk_div	主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。

I2S_CRG_CFG0_08

I2S_CRG_CFG0_08 为 I2S08 CRG 配置寄存器 0。

	Offset Address	Register Name	Total Reset Value
	0x0140	I2S_CRG_CFG0_08	0x00AA_AAAA
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		aiao_mclk_div
Reset	0 0 0 0	0 0 0 0	1 0 1 0
			1 0 1 0
			1 0 1 0
			1 0 1 0
			1 0 1 0
Bits	Access	Name	Description
[31:27]	RW	reserved	保留。
[26:0]	RW	aiao_mclk_div	MCLK 的分频时钟配置值，配置值为(MCLK0/AIO 时钟源头频率) × 2 ²⁷ 。其中 MCLK0 时钟源头频率请参见 3.2 时钟。



I2S_CRG_CFG1_08

I2S_CRG_CFG1_08 为 I2S08 CRG 配置寄存器 1。

Offset Address	Register Name	Total Reset Value	
0x0144	I2S_CRG_CFG1_08	0x0000_0131	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved reserved aiao_bclkout_pctrl aiao_bclkin_pctrl aiao_bclk_sel aiao_bclk_oen reserved aiao_cken reserved aiao_fscclk_div aiao_bclk_div		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 1 1 0 0 0 1		
Bits	Access	Name	Description
[31:14]	RW	reserved	保留。
[13]	RW	aiao_bclkout_pctrl	BCLKOUT 的极性控制。 0: 正向; 1: 反向。
[12]	RW	aiao_bclkin_pctrl	BCLKIN 的极性控制。 0: 正向; 1: 反向。
[11]	RW	aiao_bclk_sel	BCLK/FCLK 选择。 0: 时钟从内部产生; 1: 时钟从外部 Aduio DAC 芯片中输入。
[10]	RW	aiao_bclk_oen	BCLK/FCLK IO oen 控制。 0: BCLK/FCLK IO 为输出 (AIO 处于主模式); 1: BCLK/FCLK IO 为输入 (AIO 处于从模式)。 注意: 需要和 aiao_bclk_sel 配对使用, 实现 I ² S 接口主从模式选择。
[9]	RW	reserved	保留。
[8]	RW	aiao_cken	时钟状态。 0: 关闭; 1: 打开。



[7]	RW	reserved	保留。
[6:4]	RW	aiao_fsclk_div	位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。
[3:0]	RW	aiao_bclk_div	主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。

I2S_CRG_CFG0_09

I2S_CRG_CFG0_09 为 I2S09 CRG 配置寄存器 0。

	Offset Address	Register Name	Total Reset Value
	0x0148	I2S_CRG_CFG0_09	0x00AA_AAAA
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		aiao_mclk_div
Reset	0 0 0 0	0 0 0 0	1 0 1 0
			1 0 1 0
			1 0 1 0
			1 0 1 0
			1 0 1 0
			1 0 1 0
Bits	Access	Name	Description
[31:27]	RW	reserved	保留。



[26:0]	RW	aiao_mclk_div	MCLK 的分频时钟配置值，配置值为(MCLK0/AIO 时钟源头频率) x 2 ²⁷ 。其中 MCLK0 时钟源头频率请参见 3.2 时钟。
--------	----	---------------	--

I2S_CRG_CFG1_09

I2S_CRG_CFG1_09 为 I2S09 CRG 配置寄存器 1。

	Offset Address				Register Name				Total Reset Value																							
	0x014C				I2S_CRG_CFG1_09				0x0000_0131																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																aiao_bclkout_pctrl	aiao_bclkin_pctrl	aiao_bclk_sel	aiao_bclk_oen	reserved	aiao_cken	reserved	aiao_fscclk_div	aiao_bclk_div							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	1
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		aiao_bclkout_pctrl		BCLKOUT 的极性控制。 0: 正向; 1: 反向。																											
[12]	RW		aiao_bclkin_pctrl		BCLKIN 的极性控制。 0: 正向; 1: 反向。																											
[11]	RW		aiao_bclk_sel		BCLK/FCLK 选择。 0: 时钟从内部产生; 1: 时钟从外部 Aduio DAC 芯片中输入。																											
[10]	RW		aiao_bclk_oen		BCLK/FCLK IO oen 控制。 0 : BCLK/FCLK IO 为输出; 1 : BCLK/FCLK IO 为输入。 注意: 需要和 aiao_bclk_sel 配对使用, 实现 I2S 接口主从模式选择。																											
[9]	RW		reserved		保留。																											



[8]	RW	aiao_cken	时钟状态。 0: 关闭; 1: 打开。
[7]	RW	reserved	保留扩展。
[6:4]	RW	aiao_fsclk_div	位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。
[3:0]	RW	aiao_bclk_div	主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。

RX_IF_ATTRI

RX_IF_ATTRI 为接收通道的接口属性设置寄存器。



Offset Address		Register Name		Total Reset Value									
0x1000		RX_IF_ATTRI		0xE400_0004									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	rx_sd3_sel	rx_sd2_sel	rx_sd1_sel	rx_sd0_sel	rx_sd_source_sel	reserved	rx_trackmode	rx_sd_offset	rx_multislot_en	reserved	rx_ch_num	rx_i2s_precision	rx_mode
Reset	1 1 1 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:30]	RW	rx_sd3_sel	SD3 选择。 00: SD0; 01: SD1; 10: SD2; 11: SD3。 注意：先选择通道，然后选择数据线。										
[29:28]	RW	rx_sd2_sel	SD2 选择 00: SD0; 01: SD1; 10: SD2; 11: SD3。 注意：先选择通道，然后选择数据线。										
[27:26]	RW	rx_sd1_sel	SD1 选择。 00: SD0; 01: SD1; 10: SD2; 11: SD3。 注意：先选择通道，然后选择数据线。										
[25:24]	RW	rx_sd0_sel	SD0 选择。 00: SD0; 01: SD1; 10: SD2; 11: SD3。 注意：先选择通道，然后选择数据线。										



[23:20]	RW	rx_sd_source_sel	SD0、SD1、SD2 和 SD3 source 选择。 0000: I ² S TX0; 0001: I ² S TX1; 1000: I ² S RX0; 其他: 保留。
[19]	RW	reserved	保留。
[18:16]	RW	rx_trackmode	I ² S 模式下, 左右声道模式控制。 000: 不做处理; 001: 两个声道全部为左声道声音; 010: 两个声道全部为右声道声音; 011: 两个声道互换; 100: 左右两个声道输出为左右声道相加; 101: 左声道静音, 右声道播放原右声道声音; 110: 右声道静音, 左声道播放原左声道声音; 111: 左右声道静音。 注意: 1ch 接收时, trackmode 仍然有效。
[15:8]	RW	rx_sd_offset	PCM 模式下, 数据相对帧同步信号延迟 n 个 BCLK 周期。 0x00: 0 bit clocks; 0x01: 1 bit clocks; 0x02: 2 bit clocks; ... 0xFE: 254 bitclocks; 0xFF: 255 bitclocks。
[7]	RW	rx_multislot_en	时分复用有效指示位。 0: 时分复用模式无效, 属于正常模式; 1: 时分复用模式有效。
[6]	RW	reserved	保留。



[5:4]	RW	rx_ch_num	<p>接收的路数选择。</p> <p>rx_multislot_en = 0</p> <p>00: 1 路(ch)接收; (sd0 数据线)</p> <p>01: 2 路(ch)接收; (sd0 数据线)</p> <p>10: 保留;</p> <p>11: 8 路(ch)接收。(sd0,sd1,sd2,sd3 数据线)</p> <p>其他: 保留。</p> <p>rx_multislot_en = 1</p> <p>分时复用方式下, 接收的路数选择。</p> <p>00: 2 路接收; (sd0 数据线)</p> <p>01: 4 路接收; (sd0 数据线)</p> <p>10: 8 路接收; (sd0 数据线)</p> <p>11: 16 路接收。(sd0 数据线)</p> <p>注意: 多路接收时, 只用第 0 根数据线 sd0。</p>
[3:2]	RW	rx_i2s_precision	<p>数据采样精度配置位。</p> <p>rx_multislot_en = 0</p> <p>I2S 正常模式:</p> <p>00: 保留;</p> <p>01: 16bit;</p> <p>10: 24bit;</p> <p>11: 保留。</p> <p>PCM 正常模式:</p> <p>00: 8bit;</p> <p>01: 16bit;</p> <p>其他: 保留。</p> <p>rx_multislot_en = 1</p> <p>I2S/PCM 模式:</p> <p>00: 8bit;</p> <p>01: 16bit;</p> <p>其他: 保留。</p>
[1:0]	RW	rx_mode	<p>接收通道的接口模式选择。</p> <p>00: I²S 模式;</p> <p>01: PCM 模式;</p> <p>其他: 保留。</p>



RX_DSP_CTRL

RX_DSP_CTRL 为接收处理通道的控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x1004		RX_DSP_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved disable_done rx_enable bypass_en	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RW	reserved	保留。						
[29]	RW	disable_done	接收通道停止完成标志。 0: 停止未完成; 1: 停止完成。						
[28]	RW	rx_enable	接收通道的启动、停止指示位。 0: 停止; 1: 启动。						
[27]	RW	bypass_en	运算处理 bypass, 控制功能仍然生效制。 0: bypass 功能关闭; 1: bypass 功能打开; trackmode 功能被 bypass。						
[26:0]	RW	reserved	保留。						

RX_BUFF_SADDR

RX_BUFF_SADDR 为接收通道的 DDR 缓存起始地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x1080		RX_BUFF_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_buff_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	rx_buff_saddr	接收通道 0 的 DDR 缓存起始地址，以字节为单位。 注意：DDR 缓存起始地址要求 128 x 2 比特对齐。					

RX_BUFF_SIZE

RX_BUFF_SIZE 为接收通道的 DDR 缓存大小寄存器。

Offset Address		Register Name		Total Reset Value				
0x1084		RX_BUFF_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		rx_buff_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					
[23:0]	RW	rx_buff_size	接收通道的 DDR 缓存大小，以字节为单位。 注意：要求 rx_buff_size 是 32 字节的整数倍。					

RX_BUFF_WPTR

RX_BUFF_WPTR 为接收通道的 DDR 缓存写地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x1088		RX_BUFF_WPTR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		rx_buff_wptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RW	reserved	保留。					



[23:0]	RW	rx_buff_wptr	接收通道的 DDR 缓存写地址，以字节为单位。 注意 1：接收方向的写地址由逻辑维护，是相对于 DDR 缓存起始地址的偏移地址。 注意 2：要求 128 x 2 比特对齐。
--------	----	--------------	--

RX_BUFF_RPTR

RX_BUFF_RPTR 为接收通道的 DDR 缓存读地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x108C	RX_BUFF_RPTR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	rx_buff_rptr	
Reset	0 0		
Bits	Access	Name	Description
[31:24]	RW	reserved	保留。
[23:0]	RW	rx_buff_rptr	接收通道的 DDR 缓存读地址，以字节为单位。 注意 1：接收方向的读地址由软件维护，是相对于 DDR 缓存起始地址的偏移地址。 注意 2：软件按照字节为单位，硬件内部按照 32 字节对齐操作

RX_BUFF_ALFULL_TH

RX_BUFF_ALFULL_TH 为接收通道的 DDR 缓存几乎满水线寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1090	RX_BUFF_ALFULL_TH	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	rx_buff_alfull_th	
Reset	0 0		
Bits	Access	Name	Description
[31:24]	RW	reserved	保留。
[23:0]	RW	rx_buff_alfull_th	接收通道的 DDR 缓存几乎满水线，以字节为单位。当 DDR 缓存可写空间小于几乎满水线时，产生几乎满原始中断。 注意：如果使用 rx_alfull_int 中断，要求 rx_buff_alfull_th 配置为 16 字节的整数倍，且大于或等于 0x40。



RX_TRANS_SIZE

RX_TRANS_SIZE 为接收通道的数据传输长度寄存器。

Offset Address		Register Name		Total Reset Value					
0x1094		RX_TRANS_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			rx_trans_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:0]	RW	rx_trans_size	接收通道，当完成 rx_trans_size 长度(以字节为单位)的音频数据接收时，产生传输完成中断。						

RX_WPTR_TMP

RX_WPTR_TMP 为上报传输完成中断时，保存接收通道的写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x1098		RX_WPTR_TMP		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			rx_wptr_tmp					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RO	rx_wptr_tmp	上报传输完成中断时，保存接收通道的写地址，以字节为单位。						

RX_INT_ENA

RX_INT_ENA 为接收通道的中断使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x10A0		RX_INT_ENA		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rx_fifo_lost_int_ena	reserved	rx_stop_int_ena	reserved	rx_bfifo_full_int_ena	rx_alfull_int_ena	rx_full_int_ena	rx_trans_int_ena
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:8]	RW	reserved	保留。																													
[7]	RO	rx_fifo_lost_int_ena	接收通道丢帧中断使能。 0: 不使能; 1: 使能。																													
[6]	RO	reserved	保留。																													
[5]	RW	rx_stop_int_ena	接收通道的停止中断使能。 0: 不使能; 1: 使能。																													
[4]	RW	reserved	保留																													
[3]	RW	rx_bfifo_full_int_ena	接收通道的总线 FIFO 上溢中断使能。 0: 不使能; 1: 使能。																													
[2]	RW	rx_alfull_int_ena	接收通道的 DDR 缓存几乎满中断使能。 0: 不使能; 1: 使能。																													
[1]	RW	rx_full_int_ena	接收通道的 DDR 缓存满中断使能。 0: 不使能; 1: 使能。																													
[0]	RW	rx_trans_int_ena	接收通道的传输完成中断使能。 0: 不使能; 1: 使能。																													



RX_INT_RAW

RX_INT_RAW 为接收通道的原始中断寄存器。

	Offset Address								Register Name								Total Reset Value																															
	0x10A4								RX_INT_RAW								0x0000_0000																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved																								rx_fifo_lost_int_raw	reserved	rx_stop_int_raw	reserved	rx_fifo_full_int_raw	rx_alfull_int_raw	rx_full_int_raw	rx_trans_int_raw																
Reset	0 0 0 0								0 0 0 0								0 0 0 0								0 0 0 0								0 0 0 0															
Bits	Access		Name		Description																																											
[31:8]	RO		reserved		保留。																																											
[7]	RO		rx_fifo_lost_int_raw		接收通道的接口数据满丢失原始中断。 0: 无原始中断; 1: 有原始中断。																																											
[6]	RO		reserved		保留。																																											
[5]	RO		rx_stop_int_raw		接收通道的停止原始中断。 0: 无原始中断; 1: 有原始中断。																																											
[4]	RO		reserved		保留。																																											
[3]	RO		rx_fifo_full_int_raw		接收通道的总线 fifo 上溢原始中断。 0: 无原始中断; 1: 有原始中断。																																											
[2]	RO		rx_alfull_int_raw		接收通道的 DDR 缓存几乎满原始中断。 0: 无原始中断; 1: 有原始中断。																																											
[1]	RO		rx_full_int_raw		接收通道的 DDR 缓存满原始中断。 0: 无原始中断; 1: 有原始中断。																																											
[0]	RO		rx_trans_int_raw		接收通道的传输完成原始中断。 0: 无原始中断; 1: 有原始中断。																																											



RX_INT_STATUS

RX_INT_STATUS 为接收通道的中断状态寄存器。

	Offset Address								Register Name								Total Reset Value																															
	0x10A8								RX_INT_STATUS								0x0000_0000																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved																								rx_fifo_lost_int_raw	reserved	rx_stop_int_status	reserved	rx_bfifo_full_int_status	rx_alfull_int_status	rx_full_int_status	rx_trans_int_status																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																
Bits	Access	Name	Description																																													
[31:8]	RO	reserved	保留。																																													
[7]	RO	rx_fifo_lost_int_raw	接收通道的接口数据满丢失中断状态。 0: 无中断状态; 1: 有中断状态。																																													
[6]	RO	reserved	保留。																																													
[5]	RO	rx_stop_int_status	接收通道的停止中断状态。 0: 无中断状态; 1: 有中断状态。																																													
[4]	RO	reserved	保留。																																													
[3]	RO	rx_bfifo_full_int_status	接收通道的总线 FIFO 上溢中断状态。 0: 无中断状态; 1: 有中断状态。																																													
[2]	RO	rx_alfull_int_status	接收通道的 DDR 缓存几乎满中断状态。 0: 无中断状态; 1: 有中断状态。																																													
[1]	RO	rx_full_int_status	接收通道的 DDR 缓存满中断状态。 0: 无中断状态; 1: 有中断状态。																																													
[0]	RO	rx_trans_int_status	接收通道的传输完成中断状态。 0: 无中断状态; 1: 有中断状态。																																													



RX_INT_CLR

RX_INT_CLR 为接收通道的中断清除寄存器。

Offset Address	Register Name	Total Reset Value												
0x10AC	RX_INT_CLR	0x0000_0000												
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0													
Name	reserved						rx_fifo_lost_int_clear	reserved	rx_stop_int_clear	rx_ififo_full_int_clear	rx_bfifo_full_int_clear	rx_alfull_int_clear	rx_full_int_clear	rx_trans_int_clear
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:8]	WC	reserved	保留。											
[7]	WC	rx_fifo_lost_int_clear	接收通道的接口数据满丢失中断清除位。 0: 不清除; 1: 清除停止中断。											
[6]	WC	reserved	保留。											
[5]	WC	rx_stop_int_clear	接收通道的停止中断清除位。 0: 不清除; 1: 清除停止中断。											
[4]	WC	rx_ififo_full_int_clear	接收通道的接口 fifo 上溢中断清除位。 0: 不清除; 1: 清除 fifo 上溢中断。											
[3]	WC	rx_bfifo_full_int_clear	接收通道的总线 fifo 上溢中断清除位。 0: 不清除; 1: 清除 fifo 上溢中断。											
[2]	WC	rx_alfull_int_clear	接收通道的 DDR 缓存几乎满中断清除位。 0: 不清除; 1: 清除 DDR 缓存几乎满中断。											
[1]	WC	rx_full_int_clear	接收通道的 DDR 缓存满中断清除位。 0: 不清除; 1: 清除 DDR 缓存满中断。											



[0]	WO	rx_trans_int_clear	接收通道的传输完成中断清除位。 0: 不清除; 1: 清除传输完成中断。
-----	----	--------------------	--

TX_IF_ATTRI

TX_IF_ATTRI 为发送通道的接口属性设置寄存器。

Offset Address
0x2000+0x100×m
(m = 0~1)

Register Name
TX_IF_ATTRI

Total Reset Value
0xE400_0004

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	tx_sd3_sel	tx_sd2_sel	tx_sd1_sel	tx_sd0_sel	tx_sd_source_sel				reserved	tx_trackmode				tx_sd_offset				reserved	tx_underflow_ctrl	tx_ch_num	tx_i2s_precision	tx_mode													
Reset	1	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0			
Bits	[31:30]			[29:28]			[27:26]																												
Access	RW			RW			RW																												
Name	tx_sd3_sel			tx_sd2_sel			tx_sd1_sel																												
Description	SD3 选择。 00: SD0; 01: SD1; 10: SD2; 11: SD3。 注意: 先选择通道, 然后选择数据线。			SD2 选择。 00: SD0; 01: SD1; 10: SD2; 11: SD3。 注意: 先选择通道, 然后选择数据线。			SD1 选择。 00: SD0; 01: SD1; 10: SD2; 11: SD3。 注意: 先选择通道, 然后选择数据线。																												



[25:24]	RW	tx_sd0_sel	SD0 选择。 00: SD0; 01: SD1; 10: SD2; 11: SD3。 注意: 先选择通道, 然后选择数据线。
[23:20]	RW	tx_sd_source_sel	SD0、SD1、SD2、SD3 source 选择。 0000: I ² S TX0; 0001: I ² S TX1; 1000: I ² S RX0; 其他: 保留。
[19]	RW	reserved	保留。
[18:16]	RW	tx_trackmode	I ² S 模式下, 左右声道模式控制。 000: 不做处理; 001: 两个声道全部为左声道声音; 010: 两个声道全部为右声道声音; 011: 两个声道互换; 100: 左右两个声道输出为左右声道相加; 101: 左声道静音, 右声道播放原右声道声音; 110: 右声道静音, 左声道播放原左声道声音; 111: 左右声道静音。 注意: 1ch 接收时, trackmode 仍然有效。
[15:8]	RW	tx_sd_offset	PCM 模式下, 数据相对帧同步信号延迟 n 个 BCLK 周期。 0x00: 0 bit clocks; 0x01: 1 bit clocks; 0x02: 2 bit clocks; ... 0xFE: 254 bitclocks; 0xFF: 255 bitclocks。
[7]	RW	reserved	保留。
[6]	RW	tx_underflow_ctrl	tx 通道欠载时输出控制。 0: 欠载时输出 0; 1: 欠载时输出最后一个采样点数据。



[5:4]	RW	tx_ch_num	<p>发送路数选择。</p> <p>tx_multislot_en = 0</p> <p>00: 1 路发送;</p> <p>01: 2 路发送;</p> <p>10: 6 路发送;</p> <p>11: 8 路发送。</p> <p>其他: 保留。</p> <p>tx_multislot_en = 1</p> <p>分时复用方式下, 发送的路数选择。</p> <p>00: 2 路发送;</p> <p>01: 4 路发送;</p> <p>10: 8 路发送;</p> <p>11: 16 路发送。</p> <p>注意 1: 多路发送时, 只用第 0 根数据线 sd0。</p> <p>注意 2: TX 不支持时分复用模式。</p>
[3:2]	RW	tx_i2s_precision	<p>数据采样精度配置位。</p> <p>I²S 正常模式:</p> <p>00: 保留;</p> <p>01: 16bit;</p> <p>10: 24bit;</p> <p>11: 保留。</p> <p>PCM 正常模式:</p> <p>00: 8bit;</p> <p>01: 16bit;</p> <p>其他: 保留。</p>
[1:0]	RW	tx_mode	<p>发送通道的接口模式选择。</p> <p>00: I2S 模式;</p> <p>01: PCM 模式;</p> <p>其他: 保留。</p>

TX_DSP_CTRL

TX_DSP_CTRL 为发送处理通道的控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x2004+0x100×m		TX_DSP_CTRL		0x2000_0000				
(m = 0~1)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved tx_disable_done tx_enable bypass_en reserved	fade_out_rate	fade_in_rate	reserved	volume	reserved	mute_fade_en mute_en	
Reset	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RW	reserved	保留。					
[29]	RO	tx_disable_done	发送通道的停止完成标识。 0: 未完成; 1: 完成。					
[28]	RW	tx_enable	发送通道的启动、停止指示位。 0: 停止; 1: 启动。					
[27]	RW	bypass_en	运算处理 bypass, 控制功能仍然生效制。 0: bypass 功能关闭; 1: bypass 功能打开; 音量控制, trackmode, 淡入淡出, 等功能被 bypass。					
[26:24]	RW	reserved	保留。					
[23:20]	RW	fade_out_rate	0000: 1 个采样点改变一次; 0001: 2 个采样点改变一次; 0010: 4 个采样点改变一次; 0011: 8 个采样点改变一次; 0100: 16 个采样点改变一次; 0101: 32 个采样点改变一次; 0110: 64 个采样点改变一次; 0111: 128 个采样点改变一次; 其他: 保留。					



[19:16]	RW	fade_in_rate	0000: 1 个采样点改变一次; 0001: 2 个采样点改变一次; 0010: 4 个采样点改变一次; 0011: 8 个采样点改变一次; 0100: 16 个采样点改变一次; 0101: 32 个采样点改变一次; 0110: 64 个采样点改变一次; 0111: 128 个采样点改变一次; 其他: 保留。
[15]	RW	reserved	保留。
[14:8]	RW	volume	音量。 0x00~0x28: 静音; 0x29: - 80dB ; 0x7E: +5dB; 0x7F: +6dB。
[7:2]	RW	reserved	保留。考虑用作扩展 volume 精度, 如可以作为小数位的 dB 控制。
[1]	RW	mute_fade_en	静音淡入淡出控制。 0: 淡入淡出功能关闭; 1: 淡入淡出功能打开。
[0]	RW	mute_en	静音控制。 0: 静音撤销; 1: 静音使能。

TX_DSP_STATUS

TX_DSP_STATUS 为发送处理通道的状态寄存器。



Offset Address		Register Name		Total Reset Value																																
0x2008+0x100×m		TX_DSP_STATUS		0x4000_0079																																
(m = 0~1)																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	tx_enable	tx_axi_afifo_rd_aempty	tx_if_afifo_wr_full	proc_256bit_done	if_fifo_wr_en	tx_dsp_stop_done_req	tx_rd_bus_fifo_cnt	state_clr_end	cur_fifo_id				cur_state				reserved								tx_axi_afifo_rd_empty	mute_fade_vol										
Reset	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	1
Bits	Access	Name	Description																																	
[31]	RO	tx_enable	tx 使能。 1: 使能; 0: 不使能。																																	
[30]	RO	tx_axi_afifo_rd_aempty	当前通路 bus fifo 将空。 1: 将空; 0: 非将空。																																	
[29]	RO	tx_if_afifo_wr_full	当前通路接口 fifo 满。 1: 满; 0: 非满。																																	
[28]	RO	proc_256bit_done	当前通路 256bit 处理完毕。 1: 完毕; 0: 没完。																																	
[27]	RO	if_fifo_wr_en	当前通路写 if fifo 使能。 1: 有; 0: 无。																																	
[26]	RO	tx_dsp_stop_done_req	当前通路 dsp 停止请求。 1: 有; 0: 无。																																	
[25:24]	RO	tx_rd_bus_fifo_cnt	读 bus fifo 计数器，一次读 2 次。																																	
[23]	RO	state_clr_end	状态清零完成。 1: 完成; 0: 没完成。																																	



[22:19]	RO	cur_fifo_id	当前处理通道 id。
[18:16]	RO	cur_state	状态机状态。
[15:8]	RO	reserved	保留。
[7]	RO	tx_axi_afifo_rd_empty	当前通路 bus fifo 空。 0: 非空; 1: 空;
[6:0]	RO	mute_fade_vol	静音淡入淡出音量。 0x00~0x28: 静音; 0x29: - 80dB ; 0x7E: +5dB; 0x7F: +6dB。

TX_IF_STATUS

TX_IF_STATUS 为发送控制接口的状态寄存器。

	Offset Address 0x200C+0x100×m (m = 0~1)	Register Name TX_IF_STATUS	Total Reset Value 0x0100_0060
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	if_fifo_empty_cnt reserved i2s_tx_afifo_raddr i2s_tx_afifo_rd_aempty reserved i2s_tx_afifo_waddr i2s_tx_afifo_wr_afull tx_bit_cnt reserved i2s_tx_ctrl_stop_done i2s_tx_afifo_rd_empty reserved cur_state		
Reset	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 0 0 0 0 0		
Bits	Access	Name	Description
[31:28]	RO	if_fifo_empty_cnt	接口 fifo 空计数器。
[27:26]	RO	reserved	保留。
[25]	RO	i2s_tx_afifo_raddr	if fifo 读地址。
[24]	RO	i2s_tx_afifo_rd_aempty	if fifo 读将空。
[23:18]	RO	reserved	保留。



[17]	RO	i2s_tx_afifo_waddr	if fifo 写地址。
[16]	RO	i2s_tx_afifo_wr_full	if fifo 写将满。
[15:8]	RO	tx_bit_cnt	发送 bit 计数器。
[7]	RO	reserved	保留。
[6]	RO	i2s_tx_ctrl_stop_done	if ctrl 停止完成。
[5]	RO	i2s_tx_afifo_rd_empty	if fifo 空。
[4:3]	RO	reserved	保留。
[2:0]	RO	cur_state	rx_if_ctrl 的状态机状态。

TX_DMAR_STATUS

TX_DMAR_STATUS 为发送 DMAW 的状态寄存器。

	Offset Address 0x2010+0x100×m (m = 0~1)				Register Name TX_DMAR_STATUS								Total Reset Value 0x0000_0200																																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																												
Name	reserved				tx_fifo_raddr				reserved				tx_fifo_waddr				reserved				tx_fifo_full				state_clr_end				trans_finish_ind				vcmdready				vtrans				tx_buf_empty				tx_fifo_afull				reserved								cur_state			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 1 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0																			
Bits	[31:30]				[29:24]				[23:22]				[21:16]				[15]				[14]				[13]																																			
Access	RO				RO				RO				RO				RO				RO				RO				RO				RO																											
Name	reserved				tx_fifo_raddr				reserved				tx_fifo_waddr				reserved				tx_fifo_full				state_clr_end				trans_finish_ind				vcmdready				vtrans				tx_buf_empty				tx_fifo_afull				reserved								cur_state			
Description	保留。				bus fifo 的读指针。				保留。				bus fifo 的写指针。				保留。				bus fifo 满。				状态清零完成。																																			



[12]	RO	trans_finish_ind	一次 burst 传输完成。 0: 未完成; 1: 完成。
[11]	RO	vcmdready	传输命令完成。 0: 未完成; 1: 完成。
[10]	RO	vtrans	传输命令启动。
[9]	RO	tx_buf_empty	buffer 空。
[8]	RO	tx_fifo_afull	bus fifo 将满。
[7:3]	RO	reserved	保留。
[2:0]	RO	cur_state	dmar 的状态机状态。

TX_WS_CNT

TX_WS_CNT 为发送处理通道的 WS 循环计数状态寄存器。

Offset Address	Register Name	Total Reset Value
0x2020+0x100×m (m = 0~1)	TX_WS_CNT	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ws_count																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RO		reserved		保留。																											
[23:0]	RO		ws_count		FSCLK 循环计数寄存器。 计数单位: FSCLK。																											

TX_BCLK_CNT

TX_BCLK_CNT 为发送处理通道的 BCLK 循环计数状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x2024+0x100×m		TX_BCLK_CNT		0x0000_0000					
(m = 0~1)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				bclk_count				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RO	bclk_count	BCLK 循环计数寄存器。 计数单位：BCLK。						

TX_BUFF_SADDR

TX_BUFF_SADDR 为发送通道的 DDR 缓存起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x2080+0x100×m		TX_BUFF_SADDR		0x0000_0000				
(m = 0~1)								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_buff_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tx_buff_saddr	发送通道的 DDR 缓存起始地址，以字节为单位。 注意：DDR 缓存起始地址要求 128 x 2 比特对齐。					

TX_BUFF_SIZE

TX_BUFF_SIZE 为发送通道的 DDR 缓存大小寄存器。



Offset Address		Register Name		Total Reset Value					
0x2084+0x100×m		TX_BUFF_SIZE		0x0000_0000					
(m = 0~1)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_buff_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:0]	RW	tx_buff_size	发送通道的 DDR 缓存大小，以字节为单位。 注意：要求 tx_buff_size 是 32 字节的整数倍。						

TX_BUFF_WPTR

TX_BUFF_WPTR 为发送通道的 DDR 缓存写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x2088+0x100×m		TX_BUFF_WPTR		0x0000_0000					
(m = 0~1)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_buff_wptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:0]	RW	tx_buff_wptr	发送通道的 DDR 缓存写地址。 注意 1：发送方向的写地址由软件维护，是相对于 DDR 缓存起始地址的偏移地址。 注意 2：软件必须保证 TX_BUF 空闲空间不小于 32 字节。 注意 3：软件按照字节为单位，硬件内部按照 32 字节对齐操作。						

TX_BUFF_RPTR

TX_BUFF_RPTR 为发送通道的 DDR 缓存读地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x208C+0x100×m		TX_BUFF_RPTR		0x0000_0000					
(m = 0~1)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_buff_rptr					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:0]	RW	tx_buff_rptr	发送通道的 DDR 缓存读地址。 注意：发送方向的读地址由逻辑维护，是相对于 DDR 缓存起始地址的偏移地址。注意：要求 128 x 2 比特对齐。						

TX_BUFF_ALEEMPTY_TH

TX_BUFF_ALEEMPTY_TH 为发送通道的 DDR 缓存几乎空水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x2090+0x100×m		TX_BUFF_ALEEMPTY_TH		0x0000_0000					
(m = 0~1)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_buff_alempy_th					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:0]	RW	tx_buff_alempy_th	发送通道的 DDR 缓存几乎空水线，以字节为单位。当 DDR 缓存可读空间小于几乎空水线时，产生几乎空原始中断。 注意：如果使用 tx_alempy_int 中断，要求 tx_buff_alempy_th 配置为 16 字节的整数倍，且大于或等于 0x20。						

TX_TRANS_SIZE

TX_TRANS_SIZE 为发送通道的数据传输长度寄存器。



Offset Address		Register Name		Total Reset Value					
0x2094+0x100×m		TX_TRANS_SIZE		0x0000_0000					
(m = 0~1)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_trans_size					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23:0]	RW	tx_trans_size	发送通道，当完成 tx_trans_size 长度(以字节为单位)的音频数据发送时，产生传输完成中断。						

TX_RPTR_TMP

TX_RPTR_TMP 为上报传输完成中断时，保存发送通道的读地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x2098+0x100×m		TX_RPTR_TMP		0x0000_0000					
(m = 0~1)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			tx_rptr_tmp					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RO	tx_rptr_tmp	上报传输完成中断时，保存发送通道的读地址，以字节为单位。						

TX_INT_ENA

TX_INT_ENA 为发送通道的中断使能寄存器。



Offset Address		Register Name		Total Reset Value										
0x20A0+0x100×m		TX_INT_ENA		0x0000_0000										
(m = 0~1)														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved						tx_dat_break_int_ena	tx_mfade_int_ena	tx_stop_int_ena	tx_ififo_empty_int_ena	tx_bfifo_empty_int_ena	tx_alempy_int_ena	tx_empty_int_ena	tx_trans_int_ena
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0						
Bits	Access	Name	Description											
[31:8]	RW	reserved	保留。											
[7]	RW	tx_dat_break_int_ena	发送通道的接口数据断流中断使能。 0: 无原始中断; 1: 有原始中断。											
[6]	RW	tx_mfade_int_ena	发送通道的静音淡入淡出完成中断使能。 0: 不使能; 1: 使能。											
[5]	RW	tx_stop_int_ena	发送通道的停止中断使能。 0: 不使能; 1: 使能。											
[4]	RW	tx_ififo_empty_int_ena	发送通道的接口 FIFO 下溢中断使能。 0: 不使能; 1: 使能。											
[3]	RW	tx_bfifo_empty_int_ena	发送通道的总线 FIFO 下溢中断使能。 0: 不使能; 1: 使能。											
[2]	RW	tx_alempy_int_ena	发送通道的 DDR 缓存几乎空中断使能。 0: 不使能; 1: 使能。											
[1]	RW	tx_empty_int_ena	发送通道的 DDR 缓存空中断使能。 0: 不使能; 1: 使能。											



[0]	RW	tx_trans_int_ena	发送通道的传输完成中断使能。 0: 不使能; 1: 使能。
-----	----	------------------	-------------------------------------

TX_INT_RAW

TX_INT_RAW 为发送通道的原始中断寄存器。

Offset Address	Register Name	Total Reset Value												
0x20A4+0x100×m (m = 0~1)	TX_INT_RAW	0x0000_0000												
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0													
Name	reserved						tx_dat_break_int_raw	tx_mfade_int_raw	tx_stop_int_raw	tx_ififo_empty_int_raw	tx_bfifo_empty_int_raw	tx_alempy_int_raw	tx_empty_int_raw	tx_trans_int_raw
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0													
Bits	Access	Name	Description											
[31:8]	RO	reserved	保留。											
[7]	RO	tx_dat_break_int_raw	发送通道的接口数据断流原始中断。 0: 无原始中断; 1: 有原始中断。											
[6]	RO	tx_mfade_int_raw	发送通道的静音淡入淡出完成原始中断。 0: 无原始中断; 1: 有原始中断。											
[5]	RO	tx_stop_int_raw	发送通道的停止原始中断。 0: 无原始中断; 1: 有原始中断。											
[4]	RO	tx_ififo_empty_int_raw	发送通道的接口 fifo 下溢原始中断。 0: 无原始中断; 1: 有原始中断。											



[3]	RO	tx_bfifo_empty_int_raw	发送通道的总线 fifo 下溢原始中断。 0: 无原始中断; 1: 有原始中断。
[2]	RO	tx_alempy_int_raw	发送通道的 DDR 缓存几乎空原始中断。 0: 无原始中断; 1: 有原始中断。
[1]	RO	tx_empty_int_raw	发送通道的 DDR 缓存空原始中断。 0: 无原始中断; 1: 有原始中断。
[0]	RO	tx_trans_int_raw	发送通道的传输完成原始中断。 0: 无原始中断; 1: 有原始中断。

TX_INT_STATUS

TX_INT_STATUS 为发送通道的中断状态寄存器。

Offset Address		Register Name	Total Reset Value											
0x20A8 + 0x100 × m (m = 0~1)		TX_INT_STATUS	0x0000_0000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved						tx_dat_break_int_status	tx_mfade_int_status	tx_stop_int_status	tx_iffifo_empty_int_status	tx_bfifo_empty_int_status	tx_alempy_int_status	tx_empty_int_status	tx_trans_int_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0						
Bits	Access	Name	Description											
[31:8]	RO	reserved	保留。											
[7]	RO	tx_dat_break_int_status	发送通道的接口数据断流中断状态。 0: 无中断状态; 1: 有中断状态。											



[6]	RO	tx_mfade_int_status	发送通道的静音淡入淡出完成中断状态。 0: 无中断状态; 1: 有中断状态。
[5]	RO	tx_stop_int_status	发送通道的停止中断状态。 0: 无中断状态; 1: 有中断状态。
[4]	RO	tx_ififo_empty_int_status	发送通道的接口 fifo 下溢中断状态。 0: 无中断状态; 1: 有中断状态。
[3]	RO	tx_bfifo_empty_int_status	发送通道的总线 fifo 下溢中断状态。 0: 无中断状态; 1: 有中断状态。
[2]	RO	tx_aleempty_int_status	发送通道的 DDR 缓存几乎空中断状态。 0: 无中断状态; 1: 有中断状态。
[1]	RO	tx_empty_int_status	发送通道的 DDR 缓存空中断状态。 0: 无中断状态; 1: 有中断状态。
[0]	RO	tx_trans_int_status	发送通道的传输完成中断状态。 0: 无中断状态; 1: 有中断状态。

TX_INT_CLR

TX_INT_CLR 为发送通道的中断清除寄存器。



Offset Address		Register Name		Total Reset Value										
0x20AC+0x100×m		TX_INT_CLR		0x0000_0000										
(m = 0~1)														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved						tx_dat_break_int_clear	tx_mfade_int_clear	tx_stop_int_clear	tx_ififo_empty_int_clear	tx_bfifo_empty_int_clear	tx_alempy_int_clear	tx_empty_int_clear	tx_trans_int_clear
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0						
Bits	Access	Name	Description											
[31:8]	RO	reserved	保留。											
[7]	WC	tx_dat_break_int_clear	发送通道的接口数据断流中断清除。 0: 无原始中断; 1: 有原始中断。											
[6]	WC	tx_mfade_int_clear	发送通道的静音淡入淡出完成中断清除。 0: 不清除; 1: 清除停止中断。											
[5]	WC	tx_stop_int_clear	发送通道的停止中断清除。 0: 不清除; 1: 清除停止中断。											
[4]	WC	tx_ififo_empty_int_clear	发送通道的接口 fifo 下溢中断清除。 0: 不清除; 1: 清除 fifo 下溢中断。											
[3]	WC	tx_bfifo_empty_int_clear	发送通道的总线 fifo 下溢中断清除。 0: 不清除; 1: 清除 fifo 下溢中断。											
[2]	WC	tx_alempy_int_clear	发送通道的 DDR 缓存几乎空中断清除。 0: 不清除; 1: 清除 DDR 缓存几乎空中断。											
[1]	WC	tx_empty_int_clear	发送通道的 DDR 缓存空中断清除。 0: 不清除; 1: 清除 DDR 缓存空中断。											



[0]	WC	tx_trans_int_clear	发送通道的传输完成中断清除。 0: 不清除; 1: 清除传输完成中断。
-----	----	--------------------	---

12.2 Audio Codec

12.2.1 概述

Hi3535 集成高性能的 Audio Codec，包括高品质立体声回放 DAC（96dB DR A-Weighted），单端 lineout 输出；高品质立体声录音 ADC（90dB DR A-Weighted），二路立体声单端输入，麦克风输入支持-16.5dB~56dB，1.5dB 步长的增益控制。I2S 数据接口，支持 8kHz 到 192kHz 的标准采样率，可支持两种采样率同时工作，并支持数字混音。

12.2.2 特点

Audio Codec 模块有如下特点：

- 96dBA DR 立体声 DAC
- 立体声单端 Lineout 输出
- DAC 数字音量控制范围：-121dB~6dB，1dB 步长
- 90dBA DR 立体声 ADC
- ADC 通路模拟音量控制范围：-16.5dB~56dB，1.5dB 步长
- ADC 通路数字音量控制范围：-96dB~30dB，1dB 步长
- 二路可选立体声单端输入
- 提供内部麦克风偏置
- 支持主从模式 I2S 数据接口，支持 24/20/18/16bits，二进制码
- 音频采样率：支持 48kHz、44.1kHz、32kHz 三个系列的采样率。其中各系列采样率情况如下：
 - 32kHz 系列采样率包括 8kHz、16kHz、32kHz、64kHz、128kHz；
 - 44.1kHz 系列采样率包括 11.025kHz、22.05kHz、44.1kHz、88.2kHz、176.4kHz；48kHz 系列采样率包括 12kHz、24kHz、48kHz、96Hzk、192kHz。
- 300psRMS 的模拟时钟 CLKIN 的 Jitter 容忍度。

12.2.3 功能描述

Audio Codec 提供录音和播放功能，录音时模拟信号从麦克风输入或是线入，经过模拟部分增益放大，再转换成数字信号，最后从 I2S 接口输出，实现录音功能，支持立体声录音；回放时，音频信号从 I2S 接口输入，再由 DAC 转换成模拟信号输出，支持立体声音乐播放。



录音模式

录音模式时，麦克风或线入信号从模拟输入端输入，经过可编程增益后到 ADC 进行转换，再经过数字部分的滤波和音量控制，最终录音的数据从 I2S 接口输出，完成整个录音功能操作。

操作流程如下：

1. 电源上电，等待 1s 后参考电压开始正常工作。
2. 根据寄存器描述配置好对应的寄存器值。
3. 输入模拟音频信号即可进行录音操作，信号从 I2S 接口输出。

----结束

播放模式

播放模式时，音频信号从 I²S 接口送到 DAC 数字部分，经过数字部分的滤波和音量控制，再经过模拟部分的滤波，最后由 Lineout 端输出模拟音频信号。

操作流程如下：

1. 电源上电，等待 1s 后参考电压正常工作。
2. 根据寄存器描述配置好对应的寄存器值。
3. 从 I2S 接口送信号，可以从 Lineout 输出模拟音乐信号。

----结束

12.2.4 Audio Codec 寄存器概览

AUDIO CODEC 是通过基地址为 0x2005_0000 的系统控制器中的寄存器（偏移地址分别为 0x00C8、0x00CC、0x00D0、0x00D4、0x00D8、0x00DC）直接控制。没有直接配置接口。

12.2.5 Audio Codec 寄存器描述

寄存器的相关信息请参见“3.4.6.1 寄存器概览”和“3.4.6.2 寄存器描述”。



目 录

13 外围设备	13-1
13.1 I ² C	13-1
13.1.1 概述	13-1
13.1.2 功能描述	13-1
13.1.3 工作方式	13-1
13.1.4 I ² C 寄存器概览	13-3
13.1.5 I ² C 寄存器描述	13-4
13.2 通用异步收发器	13-11
13.2.1 概述	13-11
13.2.2 特点	13-12
13.2.3 功能描述	13-12
13.2.4 工作方式	13-13
13.2.5 UART 寄存器概览	13-16
13.2.6 UART 寄存器描述	13-17
13.3 红外接口	13-30
13.3.1 概述	13-30
13.3.2 特点	13-30
13.3.3 功能描述	13-31
13.3.4 工作方式	13-38
13.3.5 IR 寄存器概览	13-40
13.3.6 IR 寄存器描述	13-41
13.4 GPIO	13-57
13.4.1 概述	13-57
13.4.2 特点	13-57
13.4.3 功能描述	13-57
13.4.4 工作方式	13-58
13.4.5 GPIO 寄存器概览	13-59
13.4.6 GPIO 寄存器描述	13-60
13.5 USB 2.0 Host	13-65
13.5.1 概述	13-65



13.5.2 功能描述	13-65
13.5.3 工作方式	13-68
13.5.4 USB 2.0 寄存器概览	13-69
13.5.5 USB 2.0 寄存器描述	13-70
13.6 USB 3.0 Host	13-73
13.6.1 概述	13-73
13.6.2 功能描述	13-73
13.6.3 工作方式	13-76
13.6.4 USB 3.0 寄存器概览	13-76
13.6.5 USB 3.0 寄存器描述	13-78
13.7 PCI Express	13-99
13.7.1 概述	13-99
13.7.2 特点	13-99
13.7.3 信号描述	13-99
13.7.4 功能描述	13-100
13.7.5 工作方式	13-101
13.7.6 PCI Express 控制器寄存器	13-111
13.8 SATA	13-139
13.8.1 概述	13-139
13.8.2 特点	13-140
13.8.3 信号描述	13-140
13.8.4 功能描述	13-141
13.8.5 工作方式	13-142
13.8.6 寄存器概览	13-145
13.8.7 寄存器描述	13-148
13.8.8 附录 A SATA 命令链表格式	13-197
13.9 PWM	13-200
13.9.1 概述	13-200
13.9.2 特点	13-200
13.9.3 工作方式	13-200
13.9.4 PWM 寄存器概览	13-201
13.9.5 PWM 寄存器描述	13-202



插图目录

图 13-1 主机发送数据流程图.....	13-2
图 13-2 主机接收数据流程图.....	13-3
图 13-3 UART 的典型应用框图.....	13-12
图 13-4 UART 帧格式.....	13-13
图 13-5 发送单个 NEC with simple repeat code 码的帧格式.....	13-33
图 13-6 持续按键连续发送 NEC with simple repeat code 码的帧格式.....	13-33
图 13-7 NEC with simple repeat code 码 bit0 和 bit1 定义.....	13-34
图 13-8 NEC with simple repeat code 码单发代码格式.....	13-34
图 13-9 NEC with simple repeat code 码连发代码格式.....	13-34
图 13-10 发送单个 NEC with full repeat code 码的帧格式.....	13-34
图 13-11 持续按键连续发送 NEC with full repeat code 码的帧格式.....	13-35
图 13-12 NEC with full repeat code 码 bit0 和 bit1 定义.....	13-35
图 13-13 NEC with full repeat code 码单发代码格式.....	13-35
图 13-14 发送单个 TC9012 码的帧格式.....	13-36
图 13-15 持续按键连续发送 TC9012 码的帧格式.....	13-36
图 13-16 TC9012 码 bit0 和 bit1 定义.....	13-36
图 13-17 TC9012 码单发代码格式.....	13-37
图 13-18 TC9012 码连发代码格式 (C0=1).....	13-37
图 13-19 TC9012 码连发代码格式 (C0=0).....	13-37
图 13-20 发送单个 SONY 帧格式.....	13-37
图 13-21 持续按键连续发送 SONY 码帧格式.....	13-38
图 13-22 bit0 和 bit1 定义.....	13-38
图 13-23 IR 模块初始化操作流程.....	13-39
图 13-24 读取解码数据的操作流程.....	13-40
图 13-25 USB 2.0 Host 逻辑框图.....	13-66



图 13-26 USB 2.0 Host 参考设计	13-67
图 13-27 USB 3.0 逻辑框图	13-74
图 13-28 USB 3.0 参考设计	13-75
图 13-29 PCIe 控制器应用框图（RC 模式外接 EP 设备）	13-100
图 13-30 PCIe 控制器与 PCIe switch 设备连接应用框图（RC 模式）	13-100
图 13-31 Hi3535 与 RC 设备连接应用框图（EP 模式）	13-101
图 13-32 PCIe 控制器配置事务本地地址字段定义	13-102
图 13-33 PCIe 控制器存储器事务本地地址字段定义	13-103
图 13-34 PCIe 控制器 IO 事务本地地址字段定义	13-104
图 13-35 发送方向地址转换单元实现 PCIe 事务地址转换	13-108
图 13-36 发送方向地址转换单元实现 PCIe 事务类型转换	13-108
图 13-37 接收方向地址转换单元实现 PCIe 事务地址转换	13-109
图 13-38 应用场景示意图	13-142
图 13-39 链表结构	13-198
图 13-40 命令、数据链表结构	13-199



表格目录

表 13-1 I ² C 寄存器概览（基址是 0x200D_0000）	13-4
表 13-2 UART 寄存器概览	13-16
表 13-3 红外接收数据码型的统计表（NEC with simple repeat code）	13-31
表 13-4 红外接收数据码型的统计表（NEC with full repeat code）	13-32
表 13-5 红外接收数据码型的统计表（TC9012 和 SONY 码）	13-32
表 13-6 IR 寄存器概览（基址是 0x2007_0000）	13-41
表 13-7 15 组 GPIO 寄存器对应的基地址	13-59
表 13-8 GPIO 寄存器概览	13-60
表 13-9 USB 2.0 寄存器概览（基址是：0x1004_0000）	13-69
表 13-10 各模块的寄存器偏移地址变量表	13-76
表 13-11 USB 3.0 寄存器概览（基址是 0x1200_0000）	13-76
表 13-12 PCI Express 接口信号描述	13-99
表 13-13 PCIe 控制器相关地址空间	13-107
表 13-14 PCIe_iATU 寄存器概览（基址是 0x2080_0000）	13-111
表 13-15 PCIe_DMA 寄存器概览（基址是 0x2080_0000）	13-119
表 13-16 SATA 接口信号描述	13-140
表 13-17 寄存器偏移地址变量表	13-145
表 13-18 SATA 寄存器概览（基址是 0x1201_0000）	13-145
表 13-19 SATA_PORT_CFG 寄存器概览（基址是 0x1201_0100）	13-146
表 13-20 PWM 寄存器概览（基址是 0x200E_0000）	13-201



13 外围设备

13.1 I²C

13.1.1 概述

I²C 模块的作用是完成 CPU 对 I²C 总线上连接的从设备的读写。当 CPU 对从设备做写操作时，CPU 通过总线配置 I²C 模块的配置寄存器，然后发送控制信息和操作数到 I²C 模块的数据通信寄存器；I²C 模块解析命令后将数据通道寄存器的数据通过 I²C 总线发给从设备，发送完毕后将最终的状态通过中断反馈给 CPU。CPU 读取从设备数据的过程与写操作类似。

13.1.2 功能描述

I²C 具有以下功能特点：

- Hi3535 芯片的 I²C 是 Master 接口，I²C 的工作参考时钟为 1/4 总线时钟。
- 支持多主设备时的总线仲裁。
- 支持 Clock synchronization 和 Bit and Byte waiting。
- 支持标准地址（7bit）和扩展地址（10bit）。
- 可以工作在两种速度模式下：标准模式（100kbit/s）、快速模式（400kbit/s）。
- 支持 General Call 和 Start Byte 功能。
- 不支持 CBUS 器件。
- 对接收到的 SDA 和 SCL 信号进行滤波。

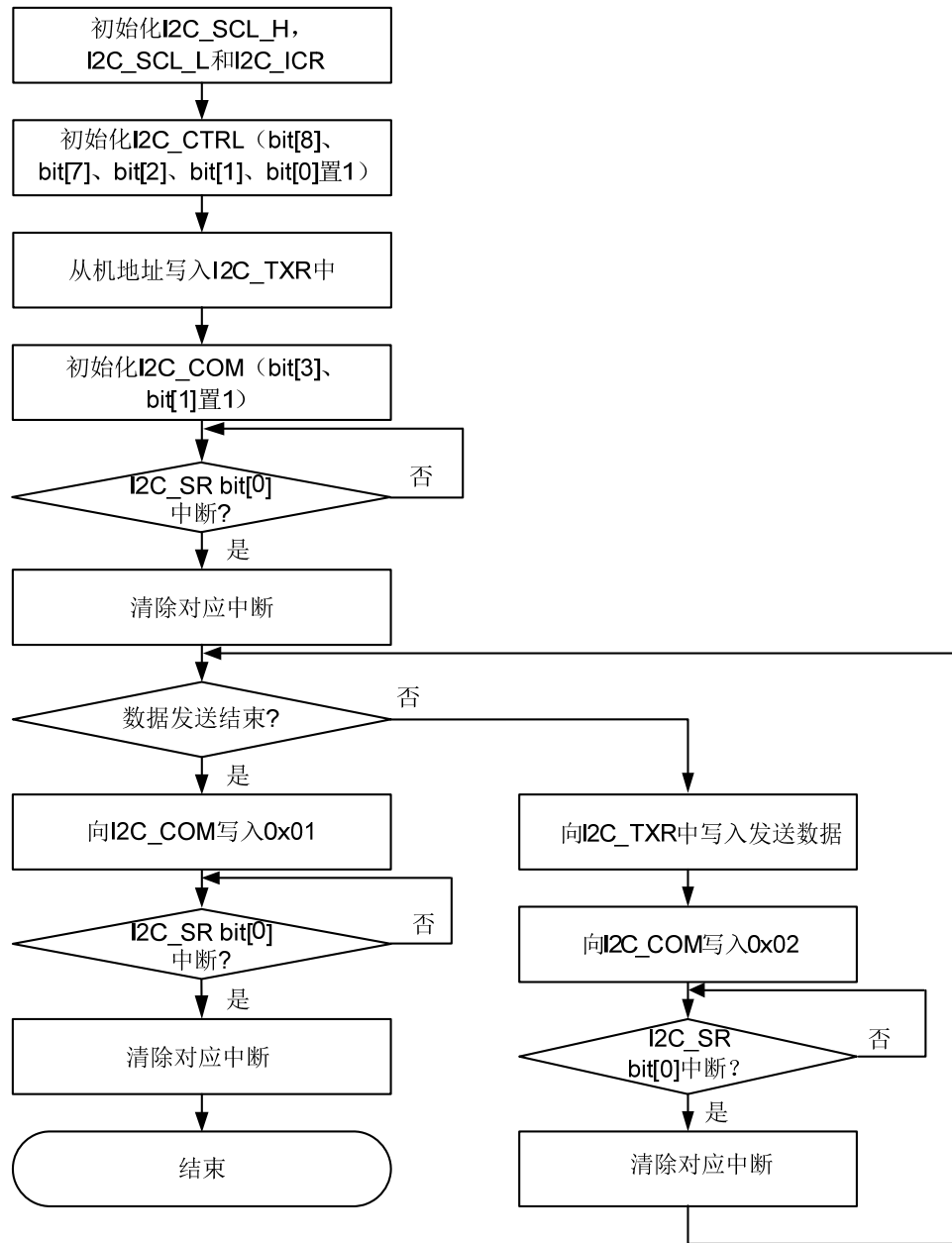
13.1.3 工作方式

13.1.3.1 I²C 初始化配置流程

I²C 主机可以向从机写入数据，也可以接收从机发来的数据。I²C 主机发送数据流程如图 13-1 所示。



图13-1 主机发送数据流程图

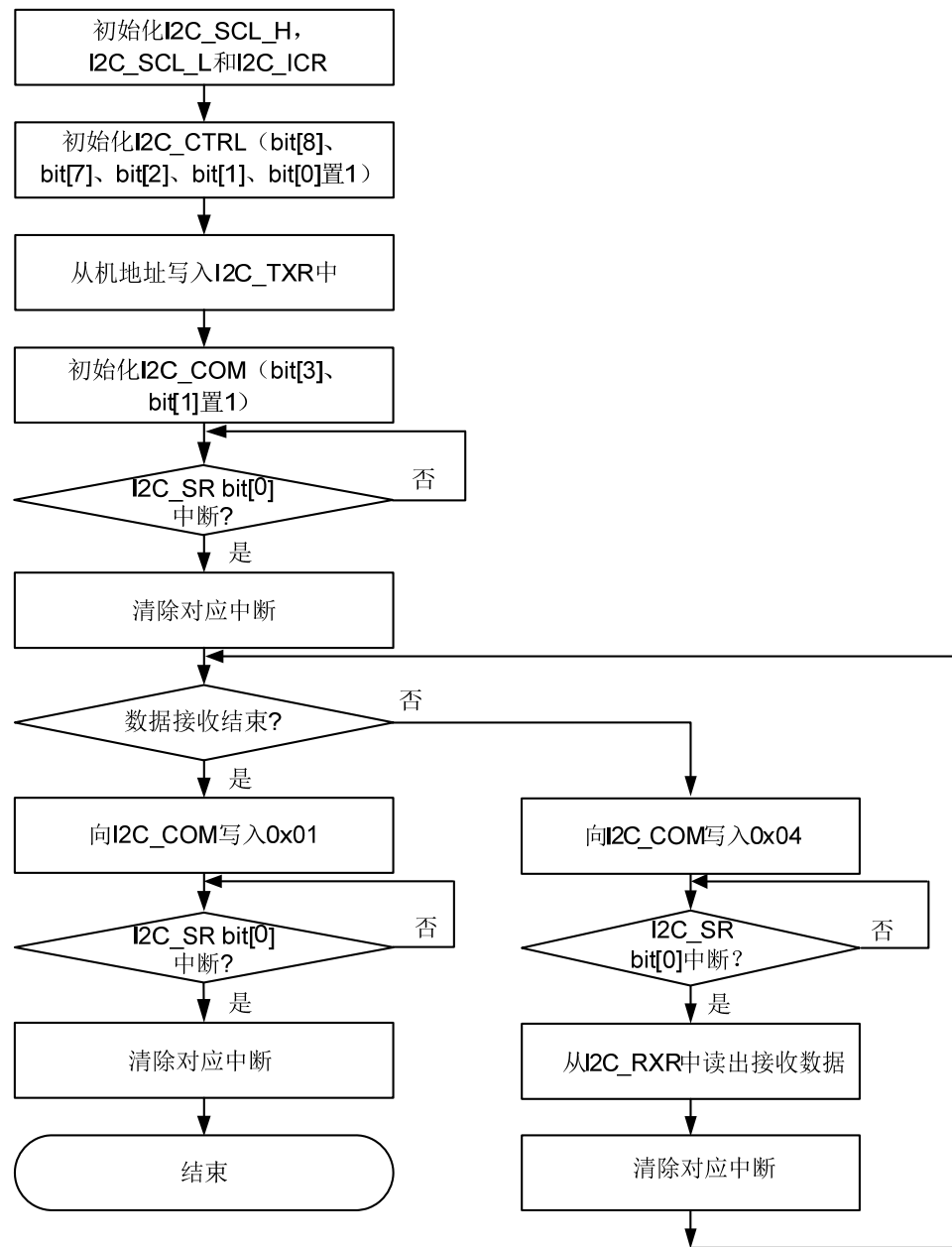


13.1.3.2 主机接收数据流程

主机接收数据流程如图 13-2 所示。



图13-2 主机接收数据流程图



13.1.4 I²C 寄存器概览

Hi3535 包含一个 I²C 模块，寄存器概览如表 13-1 所示。

表13-1 I²C 寄存器概览（基址是 0x200D_0000）

偏移地址	名称	类型	描述	页码
0x00	I2C_CTRL	RW	I ² C 控制寄存器	13-4
0x04	I2C_COM	RW	I ² C 命令寄存器	13-5



偏移地址	名称	类型	描述	页码
0x08	I2C_ICR	RW	I ² C 中断清除寄存器	13-6
0x0C	I2C_SR	RO	I ² C 状态寄存器	13-7
0x10	I2C_SCL_H	RW	I ² C SCL 高电平周期数	13-9
0x14	I2C_SCL_L	RW	I ² C SCL 低电平周期数	13-10
0x18	I2C_TXR	RW	I ² C 发送数据寄存器	13-10
0x1C	I2C_RXR	RO	I ² C 接收数据寄存器	13-11

13.1.5 I²C 寄存器描述

I2C_CTRL

I2C_CTRL 为 I²C 控制寄存器。用于配置 I²C 使能和中断屏蔽。

Offset Address	Register Name	Total Reset Value	
0x00	I2C_CTRL	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	i2c_en int_mask int_start_mask int_stop_mask int_tx_mask int_rx_mask int_ack_err_mask int_arb_loss_mask int_done_mask	
Reset	0 0		
Bits	Access	Name	Description
[31:9]	-	reserved	保留。
[8]	RW	i2c_en	I ² C 使能。 0: 不使能; 1: 使能。
[7]	RW	int_mask	I ² C 中断总屏蔽。 0: 屏蔽; 1: 不屏蔽。
[6]	RW	int_start_mask	主机开始条件发送结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。



[5]	RW	int_stop_mask	主机停止条件发送结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	int_tx_mask	主机发送中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	int_rx_mask	主机接收中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	int_ack_err_mask	从机 ACK 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	int_arb_loss_mask	总线仲裁失败中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	int_done_mask	总线传输完成中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

I2C_COM

I2C_COM 为 I²C 模块的命令寄存器。用于配置 I²C 模块的工作命令。



注意

在系统初始化时配置或配置前，需要清除对应中断标志。I2C_COM bit[3:0]在操作结束后将自动清 0。



	Offset Address 0x04				Register Name I2C_COM				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								op_ack	op_start	op_rd	op_we	op_stop			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:5]	-	reserved	保留。																												
	[4]	RW	op_ack	主机作为接收器是否发送 ACK。 0: 发送; 1: 不发送。																												
	[3]	RW	op_start	产生开始条件操作。 0: 操作结束; 1: 操作有效。																												
	[2]	RW	op_rd	产生读操作。 0: 操作结束; 1: 操作有效。																												
	[1]	RW	op_we	产生写操作。 0: 操作结束; 1: 操作有效。																												
	[0]	RW	op_stop	产生停止条件操作。 0: 操作结束; 1: 操作有效。																												

I2C_ICR

I2C_ICR 为 I²C 模块的中断清除寄存器。



注意

新中断到来时，I2C 模块会自动将 I2C_ICR 相应位清 0。



Offset Address		Register Name		Total Reset Value										
0x08		I2C_ICR		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved							clr_int_start	clr_int_stop	clr_int_tx	clr_int_rx	clr_int_ack_err	clr_int_arb_loss	clr_int_done
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0						
Bits	Access	Name	Description											
[31:7]	-	reserved	保留。											
[6]	WC	clr_int_start	主机开始条件发送结束中断标志清除。 0: 不清除; 1: 清除。											
[5]	WC	clr_int_stop	主机停止条件发送结束中断标志清除。 0: 不清除; 1: 清除。											
[4]	WC	clr_int_tx	主机发送中断标志清除。 0: 不清除; 1: 清除。											
[3]	WC	clr_int_rx	主机接收中断标志清除。 0: 不清除; 1: 清除。											
[2]	WC	clr_int_ack_err	从机 ACK 错误中断标志清除。 0: 不清除; 1: 清除。											
[1]	WC	clr_int_arb_loss	总线仲裁失败中断标志清除。 0: 不清除; 1: 清除。											
[0]	WC	clr_int_done	总线传输完成中断标志清除。 0: 不清除; 1: 清除。											

I2C_SR

I2C_SR 为 I²C 模块状态寄存器。用于读取 I²C 模块工作状态。



注意

I2C_SR bit[1]表示 I2C 总线仲裁失败。当 I2C_SR bit[1]有效时，当前操作失败。在清除 I2C_SR bit[1]之前，需要清除其他中断标志，然后清除 I2C_COM 或向 I2C_COM 写入新的操作命令，最后清除 I2C_SR bit[1]。

	Offset Address 0x0C								Register Name I2C_SR								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bus_busy	int_start	int_stop	int_tx	int_rx	int_ack_err	int_arb_loss	int_done
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:8]	-	reserved	保留。																												
	[7]	RO	bus_busy	总线忙。 0: 空闲; 1: 忙。																												
	[6]	RO	int_start	主机开始条件发送结束中断标志。 0: 无中断标志产生; 1: 中断标志产生。																												
	[5]	RO	int_stop	主机停止条件发送结束中断标志。 0: 无中断标志产生; 1: 中断标志产生。																												
	[4]	RO	int_tx	主机发送中断标志。 0: 无中断标志产生; 1: 中断标志产生。																												
	[3]	RO	int_rx	主机接收中断标志。 0: 无中断标志产生; 1: 中断标志产生。																												
	[2]	RO	int_ack_err	从机 ACK 错误中断标志。 0: 无中断标志产生; 1: 中断标志产生。																												



[1]	RO	int_arb_loss	总线仲裁失败中断标志。 0: 无中断标志产生; 1: 中断标志产生。
[0]	RO	int_done	总线传输完成中断标志。 0: 无中断标志产生; 1: 中断标志产生。

I2C_SCL_H

I2C_SCL_H 为 I²C 总线 SCL 信号高电平周期数寄存器。用于配置 I²C 模块工作时 SCL 高电平周期数。



注意

在系统初始化时配置或配置前使 I2C_CTRL bit[7]=0。

	Offset Address				Register Name								Total Reset Value																			
	0x10				I2C_SCL_H								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												scl_h																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		scl_h		SCL 高电平周期数%2-1。																											

设 I²C 的工作参考时钟为 108MHz，I2C_SCL_H 值为 m，SCL 高电平时间为 DelTim，则：

$$\text{DelTim} = (1/108) \times (m+1) \times 2; \quad (\text{单位: } \mu\text{s})$$

假设希望 SCL 高电平时间为 5μs，则 I2C_SCL_H 配置值 m 为：

$$m = (5 \times 108) / 2 - 1 = 269;$$

I²C 的工作参考时钟为 108MHz，SCL 高电平最长时间是 606μs。

I2C_SCL_L

I2C_SCL_L 为 I²C 总线 SCL 信号低电平周期数寄存器。用于配置 I²C 模块工作时 SCL 低电平周期数。



注意

在系统初始化时配置或配置前使 I2C_CTRL bit[7]=0。

	Offset Address				Register Name								Total Reset Value																			
	0x14				I2C_SCL_L								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																scl_l															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:0]	RW	scl_l		SCL 低电平周期数 $\ominus 2-1$ 。																											

设 I²C 的工作参考时钟为 108MHz，I2C_SCL_L 值为 m，SCL 低电平时间为 DelTim，则：

$$\text{DelTim} = (1/108) \times (m+1) \times 2 \quad (\text{单位: } \mu\text{s})$$

假设希望 SCL 低电平时间为 5 μ s，I2C_SCL_L 配置值 m 为：

$$m = (5 \times 108) / 2 - 1 = 269$$

I²C 的工作参考时钟为 108MHz，SCL 低电平最长时间是 606 μ s。

I2C_TXR

I2C_TXR 为 I²C 发送数据寄存器。用于配置 I²C 模块工作时发送的数据。



注意

发送结束后，I²C 模块不会修改 I2C_TXR 内容。



Offset Address		Register Name		Total Reset Value						
0x18		I2C_TXR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						i2c_txr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	i2c_txr	主机发送数据。							

I2C_RXR

I2C_RXR 为 I²C 接收数据寄存器。用于存放主机接收的从机数据。



注意

I2C_RXR 数据在 I2C_SR bit[3]=1 时，数据有效。同时数据将保持到下一次读操作为止。

Offset Address		Register Name		Total Reset Value						
0x1C		I2C_RXR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						i2c_rxr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RO	i2c_rxr	主机接收数据。							

13.2 通用异步收发器

13.2.1 概述

通用异步收发器 UART (Universal Asynchronous Receiver Transmitter) 是一个异步串行的通信接口，主要功能是将来自外围设备的数据进行串并转换之后传入内部总线，以



及将数据进行并串转换之后输出到外部设备。UART 的主要功能是和外芯片的 UART 进行对接，从而实现两芯片间的通信。

Hi3535 提供 4 个 UART 单元：

- UART0: 4 线 UART，主要用于调试。
- UART1: 4 线 UART，主要用于云台控制。
- UART2: 2 线 UART，主要用于报警功能，也可用于与通用的 UART 设备对接。
- UART3: 2 线 UART，主要用于报警功能，也可用于与通用的 UART 设备对接。

13.2.2 特点

UART 模块有以下特点：

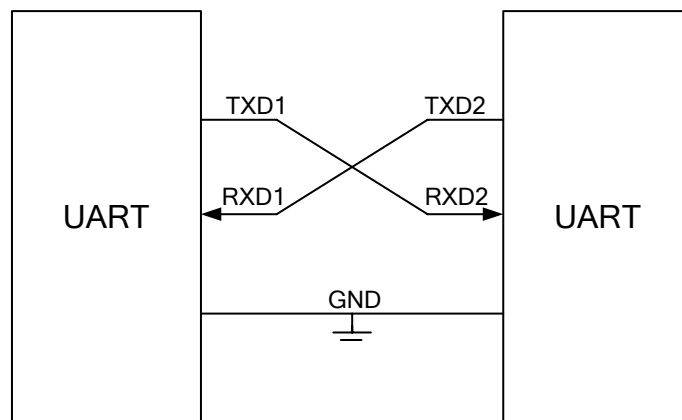
- 支持 16 x 8bit 的发送 FIFO 和 16 x 12bit 的接收 FIFO。
- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8 比特；停止位可通过编程设定为 1bit 或 2bit。
- 支持奇、偶校验方式或者无校验。
- 支持传输速率可编程。
- 支持接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持通过编程禁止 UART 模块或者 UART 发送/接收功能以降低功耗。
- 支持关断 UART 时钟以节省功耗。

13.2.3 功能描述

应用框图

UART 的典型应用框图如图 13-3 所示。

图13-3 UART 的典型应用框图



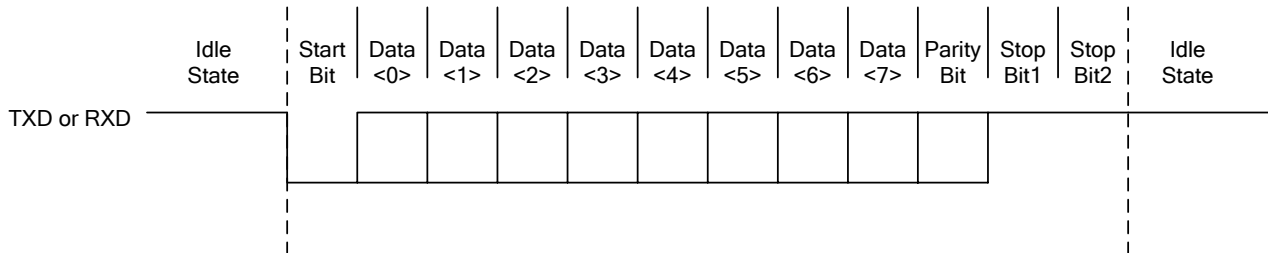


UART 是一种异步双向串行总线，它提供了一种简单有效的数据传输方式，只需要两根数据线互相对接。

功能原理

UART 的一次帧传输主要包括起始信号、数据、校验位和结束信号，如图 13-4 所示。数据帧从某一 UART 的 TXD 端输出，从另一个 UART 的 RXD 端输入。

图13-4 UART 帧格式



起始信号、数据、校验位和结束信号的含义如下：

- 起始信号（start bit）
一个数据帧开始的标志，UART 协议规定 TXD 信号出现一个低电平就表示一个数据帧的开始。在 UART 不传输数据时，应该保持高电平。
- 数据信号（data bit）
数据位宽可以根据不同的应用要求进行调整，可以配置成 5bit/6bit/7bit/8bit 数据位宽。
- 校验位（parity bit）
校验位是 1 比特纠错信号，UART 的校验位有奇校验、偶校验和固定校验位，同时支持校验位的使能和禁止，详细描述请见 [UART_LCR_H](#) 寄存器。
- 结束信号（stop bit）
结束信号即数据帧的停止位，支持 1 比特和 2 比特停止位两种配置。数据帧的结束信号就是把 TXD 拉成高电平。

13.2.4 工作方式

13.2.4.1 波特率配置

通过配置寄存器 [UART_IBRD](#) 和 [UART_FBRD](#) 可以设置 UART 工作的波特率，波特率计算公式为：

当前波特率=UART 参考时钟频率（1/4 总线时钟频率（62.5MHz）或 2MHz）/（16 x 分频系数）

分频系数有整数和小数两部分组成，分别对应寄存器 [UART_IBRD](#) 和 [UART_FBRD](#)。

例如：UART 参考时钟频率为 60MHz，如果配置 [UART_IBRD](#) 为 0x1E，[UART_FBRD](#) 为 0x00，按照波特率计算公式，则当前的波特率为 $60 / (16 \times 30) = 0.125\text{Mbit/s}$ 。



UART 波特率配置的典型值为：9,600bit/s、14,400bit/s、19,200bit/s、38,400bit/s、57,600bit/s、76,800bit/s、115,200bit/s、230,400bit/s、460,800bit/s。

分频系数值的计算以及分频系数寄存器的配置举例如下：

如果要求波特率为 230,400bit/s，并且 UART 参考时钟频率为 100MHz，那么分频系数为 $(100 \times 10^6) / (16 \times 230400) = 27.1267$ ，因此 IBRD（整数部分）为 27，FBRD（小数部分）为 0.1267。

计算 6bit `UART_FBRD` 寄存器中的数值：根据 $m = \text{integer}(\text{FBRD} \times 2^n + 0.5)$ ($n = \text{UART_FBRD}$ 寄存器的宽度)，计算出 $m = \text{integer}(0.1267 \times 2^6 + 0.5) = 8$ ，在 `UART_IBRD` 寄存器中配置 0x001B，`UART_FBRD` 寄存器中配置 0x08。

当分频系数小数部分配置成 8 时，波特率除数的实际数值为 $27 + 8/64 = 27.125$ ，产生的波特率为 $(100 \times 10^6) / (16 \times 27.125) = 230414.75$ ，误差率为 $(230414.75 - 230400) / 230400 \times 100 = 0.006\%$ 。

使用 6bit `UART_FBRD` 寄存器最大的误差率为 $1/64 \times 100 = 1.56\%$ ，当 $m=1$ 时会出现，误差率累计超过 64 个时钟周期。

13.2.4.2 软复位

通过配置 CRG 寄存器可实现对 UART 控制器的单独软复位。

- 通过配置 CRG 寄存器 `PERI_CRG57[7]` 为 1，可实现对 UART0 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[8]` 为 1，可实现对 UART1 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[9]` 为 1，可实现对 UART2 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG57[10]` 为 1，可实现对 UART3 控制器的单独软复位。

复位后各配置寄存器的值均为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

13.2.4.3 中断或查询方式下的数据传输

初始化

初始化步骤如下：

1. 向 `UART_CR` bit[0] 写 0，使 UART 处于禁止状态。
2. 写相应的配置值到 `UART_IBRD`、`UART_FBRD` 寄存器，配置传输速率。
3. 配置 `UART_CR`、`UART_LCR_H`，设定相应的 UART 工作模式。
4. 配置 `UART_IFLS` 设定相应的发送及接收 FIFO 阈值。
5. 如果驱动程序采用中断方式则需设定 `UART_IMSC`，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。
6. 向 `UART_CR` bit[0] 写 1，使能 UART，完成初始化配置。



----结束

数据发送

数据发送步骤如下：

1. 将发送数据写入 `UART_DR`，启动数据发送。
2. 查询方式下，进行连续数据发送时通过读取 `UART_FR bit[5]`检测 `TX_FIFO` 状态，根据 `TX_FIFO` 的状态决定是否向 `TX_FIFO` 中发送数据；中断方式下，则根据相应中断状态位检测；决定是否向 `TX_FIFO` 中发送数据。
3. 通过检测 `UART_FR bit[7]`是否为 1，判断 UART 是否完成全部数据发送。

----结束

数据接收

数据接收的处理方式如下：

- 查询方式下，进行数据接收时通过读取 `UART_FR[rxfe]`检测 `RX_FIFO` 状态，根据 `RX_FIFO` 的状态决定是否读取 `RX_FIFO` 中的数据。
- 中断方式下，则根据相应中断状态位检测决定是否读取 `RX_FIFO` 中的数据。

13.2.5 UART 寄存器概览

Hi3535 提供 4 个 UART 单元，基地址分别如下：

- UART0 寄存器基地址为 `0x2008_0000`。
- UART1 寄存器基地址为 `0x2009_0000`。
- UART2 寄存器基地址为 `0x200A_0000`。
- UART3 寄存器基地址为 `0x200B_0000`。

UART 寄存器概览如表 13-2 所示。

表13-2 UART 寄存器概览

偏移地址	名称	描述	页码
0x000	UART_DR	数据寄存器	13-17
0x004	UART_RSR	接收状态寄存器/错误清除寄存器	13-18
0x008~0x014	RESERVED	保留	-
0x018	UART_FR	标志寄存器	13-19
0x01C~0x020	RESERVED	保留	-
0x024	UART_IBRD	整数波特率寄存器	13-20
0x028	UART_FBRD	小数波特率寄存器	13-20



偏移地址	名称	描述	页码
0x02C	UART_LCR_H	传输模式控制寄存器	13-21
0x030	UART_CR	控制寄存器	13-23
0x034	UART_IFLS	中断 FIFO 阈值选择寄存器	13-24
0x038	UART_IMSC	中断屏蔽寄存器	13-25
0x03C	UART_RIS	原始中断状态寄存器	13-26
0x040	UART_MIS	屏蔽后中断状态寄存器	13-27
0x044	UART_ICR	中断清除寄存器	13-28

13.2.6 UART 寄存器描述

UART_DR

UART_DR 为 UART 数据寄存器，存放接收数据和发送数据，同时可以从该寄存器中读出接收状态。

	Offset Address					Register Name					Total Reset Value					
	0x000					UART_DR					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oe	be	pe	fe	data						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:12]	-		reserved		保留。											
[11]	RO		oe		溢出错误。 0: 无溢出错误; 1: 有溢出错误, 接收 FIFO 满后接收到了数据。											
[10]	RO		be		Break 错误。 0: 无 break 错误; 1: 有 break 错误, 即接收数据的输入保持低的时间比一个全字传输 (包括 start、data、parity、stop bit) 还要长。											
[9]	RO		pe		校验错误。 0: 无校验错误; 1: 有校验错误。											



[8]	RO	fe	帧错误。 0: 无帧错误; 1: 有帧错误 (错误的停止位)。
[7:0]	RW	data	接收数据和发送数据。

UART_RSR

UART_RSR 为接收状态寄存器/错误清除寄存器。

- 寄存器读时作为接收状态寄存器。
- 寄存器写时作为错误清除寄存器。

接收状态也可以从 [UART_DR](#) 中读出。从 [UART_DR](#) 中读出的 break、frame、parity 的状态信息要比从 [UART_RSR](#) 读出的信息优先级高 (即 [UART_DR](#) 中的状态变化比 [UART_RSR](#) 更快)。

对 [UART_RSR](#) 寄存器的任何写操作都会对 [UART_RSR](#) 寄存器进行复位。

	Offset Address				Register Name				Total Reset Value			
	0x004				UART_RSR				0x00			
Bit	7	6	5	4	3	2	1	0	7	6	5	4
Name	reserved				oe	be	pe	fe				
Reset	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description									
[7:4]	-	reserved	保留。									
[3]	RW	oe	溢出错误。 0: 无溢出错误; 1: 溢出错误。 当 FIFO 满时, FIFO 中的内容保持有效, 因为不会有下一个数据写到 FIFO 中, 只是移位寄存器会溢出。CPU 必须立刻读数据以腾空 FIFO。									
[2]	RW	be	Break 错误。 0: 无 break 错误; 1: break 错误。 Break 的条件: 接收数据的输入保持低的时间比一个全字传输 (定义了 start、data、parity、stop bit) 还要长。									



[1]	RW	pe	校验错误。 0: 无校验错误; 1: 接收数据的校验错误。 FIFO 模式下, 该错误与 FIFO 顶部的数据相关联。
[0]	RW	fe	帧错误。 0: 无帧错误; 1: 接收到的数据的停止位错误 (有效的停止位为 1)。

UART_FR

UART_FR 为 UART 标志寄存器。

	Offset Address				Register Name				Total Reset Value							
	0x018				UART_FR				0x0012							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							txfe	rxff	txff	rxfe	busy	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access	Name	Description													
[15:8]	-	reserved	保留。													
[7]	RO	txfe	该位的含义由 UART_LCR_H[fen] 的状态决定。 如果 UART_LCR_H[fen] 为 0, 则当发送 holding register 空时该位置 1; 如果 UART_LCR_H[fen] 为 1, 则当发送 FIFO 为空时该位置 1。													
[6]	RO	rxff	该位的含义由 UART_LCR_H[FEN] 的状态决定。 如果 UART_LCR_H[fen] 为 0, 则当接收 holding register 满时该位置 1; 如果 UART_LCR_H[fen] 为 1, 则当接收 FIFO 为满时该位置 1。													
[5]	RO	txff	该位的含义由 UART_LCR_H[FEN] 的状态决定。 如果 UART_LCR_H[fen] 为 0, 则当发送 holding register 满时该位置 1; 如果 UART_LCR_H[fen] 为 1, 当发送 FIFO 为满时该位置 1。													



[4]	RO	rxfe	该位的含义由 <code>UART_LCR_H[FEN]</code> 的状态决定。 如果 <code>UART_LCR_H[fen]</code> 为 0，则当接收 holding register 空时该 bit 置 1； 如果 <code>UART_LCR_H[fen]</code> 为 1，则当接收 FIFO 为空时该位就置 1。
[3]	RO	busy	UART 忙闲状态位。 0: UART 空闲或者完成发送数据； 1: UART 正忙于发送数据。 该位一旦置位，该状态一直保持到整个字节（包括所有的停止位）完全从移位寄存器中发送出去。 一旦发送 FIFO 非空该位就置位，不管 UART 使能与否。
[2:0]	-	reserved	保留。

UART_IBRD

UART_IBRD 为整数波特率寄存器。

	Offset Address					Register Name					Total Reset Value					
	0x024					UART_IBRD					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	baud divint															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:0]	RW		baud divint		整数波特率分频值。复位时全部清 0。											

UART_FBRD

UART_FBRD 为小数波特率寄存器。



注意

- 整数波特率寄存器和小数波特率寄存器的值必须等到当前数据发送和接收完毕才能更新。



- 最小的分频值为 1，最大的分频值为 65535 ($2^{16}-1$)。即 `UART_IBRD=0` 是无效的，而此时 `UART_FBRD` 将被忽略。同样，如果 `UART_IBRD=65535 (0xFFFF)`，`UART_FBRD` 就只能是 0，如果比 0 大，则会导致发送和接收的失败。
- 假设 `UART_FBRD=0x1E`、`UART_IBRD=0x01`，这就表示分频系数的整数部分为 30，小数部分为 0.015625，整个分频系数为 30.015625。
- $\text{UART 的波特率} = \text{内部总线频率} / (16 \times \text{分频系数}) = \text{内部总线频率} / (16 \times 30.015625)$ 。

	Offset Address		Register Name		Total Reset Value			
	0x028		UART_FBRD		0x00			
Bit	7	6	5	4	3	2	1	0
Name	reserved		baud divfrac					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RW	baud divfrac	小数波特率分频值。复位时全部清 0。					

UART_LCR_H

`UART_LCR_H` 为传输模式控制寄存器，`UART_LCR_H`、`UART_IBRD`、`UART_FBRD` 组成一个 30bit 宽的寄存器。如果更新 `UART_IBRD` 和 `UART_FBRD` 的内容，必须同时更新 `UART_LCR_H`。

	Offset Address		Register Name		Total Reset Value											
	0x02C		UART_LCR_H		0x0000											
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								sps	wlen	fen	stp2	eps	pen	brk	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:8]	-	reserved	保留。													
[7]	RW	sps	校验选择。 当本寄存器的 bit[1]、bit[2]、bit[7] 被置位时，校验位就会作为 0 发送和检测； 当本寄存器的 bit[1]、bit[7] 被置位，bit[2] 为 0 时，校验位就会作为 1 发送和检测。 当 bit[1]、bit[2]、bit[7] 都清 0，则 stick parity 禁止。													



[6:5]	RW	wlen	指示发送和接收一个帧里数据比特的数目。 00: 5bit; 01: 6bit; 10: 7bit; 11: 8bit。
[4]	RW	fen	发送和接收 FIFO 使能控制。 0: 发送和接收 FIFO 禁止; 1: 发送和接收 FIFO 使能。
[3]	RW	stp2	发送帧尾 2bit 停止位判断。 0: 发送的帧尾没有 2bit 停止位; 1: 发送的帧尾有 2bit 停止位。 接收逻辑在接收时不检查 2bit 的停止位。
[2]	RW	eps	发送和接收过程中的奇偶校验选择。 0: 在发送和接收过程中生成奇校验或检查奇校验; 1: 在发送和接收过程中生成偶校验或检查偶校验。 当 <code>UART_LCR_H[fen]</code> 为 0 时, 该位不起作用。
[1]	RW	pen	校验选择位。 0: 不作校验; 1: 发送方向产生校验, 接收方向作校验检查。
[0]	RW	brk	发送 break。 0: 无效; 1: 在完成当前数据的发送后, UTXD 连续输出低电平。 注意: 要正确的执行 break 命令, 软件将该位置 1 的时间必须超过 2 个完整帧; 在正常使用中, 该位必须清 0。

UART_CR

UART_CR 为 UART 控制寄存器。

配置 `UART_CR` 遵循以下步骤:

1. 向 `UART_CR[uarten]` 写 0, 禁止 UART。
2. 等待当前数据发送或接收结束。
3. 将 `UART_LCR_H[fen]` 清 0。



4. 配置 `UART_CR`。
5. 向 `UART_CR[uarten]`写 1，使能 UART。

----结束

	Offset Address 0x030				Register Name UART_CR				Total Reset Value 0x0300							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ctsen	rtsen	reserved		rts	dtr	rx	txe	lbe				reserved			uarten
Reset	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15]	RW		ctsen		CTS 硬件流控使能。 0: 不使能 CTS 硬件流控; 1: 使能 CTS 硬件流控, 只有当 nUARTCTS 信号有效时才发送数据。											
[14]	RW		rtsen		RTS 硬件流控使能。 0: 不使能 RTS 硬件流控; 1: 使能 RTS 硬件流控, 只有当接收 FIFO 有空间时才请求接收数据。											
[13:12]	-		reserved		保留。											
[11]	RW		rts		请求发送。 该 bit 为 UART modem 状态输出信号 nUARTRTS 的取反。 0: 输出信号不变; 1: 即该 bit 配置为 1, 则输出信号为 0。											
[10]	RW		dtr		数据发送准备。 该 bit 为 UART modem 状态输出信号 nUARTDTR 的取反。 0: 输出信号不变; 1: 即该 bit 配置为 1, 则输出信号为 0。											
[9]	RW		rx		UART 接收使能。 0: 禁止; 1: 使能。 在接收的过程中如果 UART 被禁止, 则当前数据的接收就会在正常停止之前结束。											



[8]	RW	txe	UART 发送使能。 0: 禁止; 1: 使能。 在发送的过程中如果 UART 被禁止, 则当前数据的发送就会在正常停止之前结束。
[7]	RW	lbe	环回使能。 0: 禁止; 1: UARTTXD 输出环回到 UARTRXD。
[6:1]	-	reserved	保留。
[0]	RW	uarten	UART 使能。 0: 禁止; 1: 使能。 如果在发送和接收过程中将 UART 禁止, 则会在正常停止之前结束当前数据的传送。

UART_IFLS

UART_IFLS 为中断 FIFO 阈值选择寄存器, 用于设置 FIFO 的中断 (UART_TXINTR 或 UART_RXINTR) 触发线。

	Offset Address				Register Name				Total Reset Value							
	0x034				UART_IFLS				0x0012							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved										rxifsel		txifsel			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access	Name	Description													
[15:6]	-	reserved	保留。													
[5:3]	RW	rxifsel	接收中断 FIFO 的阈值选择, 接收中断的触发点如下。 000: 接收 FIFO $\geq 1/8$ full; 001: 接收 FIFO $\geq 1/4$ full; 010: 接收 FIFO $\geq 1/2$ full; 011: 接收 FIFO $\geq 3/4$ full; 100: 接收 FIFO $\geq 7/8$ full; 101~111: 保留。													



[2:0]	RW	txifsel	<p>发送中断 FIFO 的阈值选择，发送中断的触发点如下。</p> <p>000: 发送 FIFO ≤ 1/8full; 001: 发送 FIFO ≤ 1/4full; 011: 发送 FIFO ≤ 3/4full; 010: 发送 FIFO ≤ 1/2full; 100: 发送 FIFO ≤ 7/8full; 101~111: 保留。</p>
-------	----	---------	--

UART_IMSC

UART_IMSC 为中断屏蔽寄存器，用于屏蔽中断。

	Offset Address					Register Name					Total Reset Value					
	0x038					UART_IMSC					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeim	beim	peim	feim	rtim	txim	rxim	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[15:11]		-		reserved		Description									
[15:11]		-		reserved		保留。										
[10]	RW	oeim		<p>溢出错误中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												
[9]	RW	beim		<p>break 错误中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												
[8]	RW	peim		<p>校验中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												
[7]	RW	feim		<p>帧错误中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												
[6]	RW	rtim		<p>接收超时中断的屏蔽状态。</p> <p>0: 屏蔽该中断; 1: 不屏蔽该中断。</p>												



[5]	RW	txim	发送中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[4]	RW	rxim	接收中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[3:0]	-	reserved	保留。

UART_RIS

UART_RIS 为原始中断状态寄存器，其内容不受中断屏蔽寄存器的影响。

	Offset Address						Register Name						Total Reset Value				
	0x03C						UART_RIS						0x0002				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved						oeris	beris	peris	feris	rtris	txris	rxris	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	
Bits	Access	Name	Description														
[15:11]	-	reserved	保留。														
[10]	RO	oeris	原始的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。														
[9]	RO	beris	原始的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。														
[8]	RO	peris	原始的校验中断状态。 0: 未产生中断; 1: 已产生中断。														
[7]	RO	feris	原始的错误中断状态。 0: 未产生中断; 1: 已产生中断。														
[6]	RO	rtris	原始接收超时中断状态。 0: 未产生中断; 1: 已产生中断。														



[5]	RO	txris	原始的发送中断状态。 0: 未产生中断; 1: 已产生中断。
[4]	RO	rxris	原始的接收中断状态。 0: 未产生中断; 1: 已产生中断。
[3:0]	-	reserved	保留。

UART_MIS

UART_MIS 为屏蔽后中断状态寄存器，其内容为原始中断状态和中断屏蔽进行“与”操作后的结果。

	Offset Address					Register Name					Total Reset Value					
	0x040					UART_MIS					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oemis	bemis	peemis	femis	rtmis	txmis	rxmis	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:11]	-	reserved	保留。													
[10]	RO	oemis	屏蔽后的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[9]	RO	bemis	屏蔽后的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[8]	RO	peemis	屏蔽后的校验中断状态。 0: 未产生中断; 1: 已产生中断。													
[7]	RO	femis	屏蔽后的错误中断状态。 0: 未产生中断; 1: 已产生中断。													
[6]	RO	rtmis	屏蔽后的接收超时中断状态。 0: 未产生中断; 1: 已产生中断。													



[5]	RO	txmis	屏蔽后的发送中断状态。 0: 未产生中断; 1: 已产生中断。
[4]	RO	rxmis	屏蔽后的接收中断状态。 0: 未产生中断; 1: 已产生中断。
[3:0]	-	reserved	保留。

UART_ICR

UART_ICR 为中断清除寄存器，写 1 时相应的中断被清除，写 0 则不起作用。

	Offset Address				Register Name								Total Reset Value			
	0x044				UART_ICR								0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeic	beic	peic	feic	rtic	txic	rxic	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:11]	-	reserved	保留。													
[10]	WO	oeic	清除溢出错误中断。 0: 无效; 1: 清除中断。													
[9]	WO	beic	清除 break 错误中断。 0: 无效; 1: 清除中断。													
[8]	WO	peic	清除校验中断。 0: 无效; 1: 清除中断。													
[7]	WO	feic	清除错误中断。 0: 无效; 1: 清除中断。													
[6]	WO	rtic	清除接收超时中断。 0: 无效; 1: 清除中断。													



[5]	WO	txic	清除发送中断。 0: 无效; 1: 清除中断。
[4]	WO	rxic	清除接收中断。 0: 无效; 1: 清除中断。
[3:0]	-	reserved	保留。

13.3 红外接口

13.3.1 概述

红外遥控接收单元 IR (Infrared Remoter) 通过红外接口接收红外数据。

13.3.2 特点

IR 模块具有以下特点:

- 软件可配置关闭红外遥控接收模块。
- 支持 2 种工作模式:
 - 模式 0: 支持 NEC with simple repeat code、NEC with full repeat code、SONY 和 TC9012 四种数据格式解码, 及接收数据错误检测和红外遥控唤醒等功能。
 - 模式 1: 支持任意数据格式的 symbol 电平宽度检测。
- 模式 0 时, 支持接收数据帧溢出中断、接收数据帧格式错误中断、接收数据帧中断、按键释放的中断、各种中断构成的组合中断。
- 模式 1 时, 支持接收 symbol 溢出中断、接收到 symbol 中断、symbol 超时中断、各种中断构成的组合中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持中断清除和屏蔽 (写清)。
- 支持红外遥控唤醒。
- 支持参考时钟频率 1MHz~128MHz 可选, 软件可编程控制分频因子使工作时钟预分频到 1MHz。

13.3.3 功能描述

当 IR 模块接收到红外遥控器发射的红外信号时, 便对其进行解码, 然后传送给 ARM 系统。ARM 系统再根据接收到的码的不同进行相应的操作, 实现期望的功能。IR 模块连接在 ARM 子系统内的 APB 总线上, 当芯片处于低功耗状态时 (CPU 处于低频模式), IR 模块会在接收一个完整的帧数据后, 产生中断信号送给 CPU, 实现红外遥控唤醒功能。



通过对多种红外遥控器发出的信号进行分析，发现在不同的遥控器发出的红外指令中，引导码各不相同，而且后面的控制指令也有较大差别，甚至指令码的位数也不相同，这是因为这些红外遥控器的设计没有遵循统一的红外遥控标准。尽管遵循的标准不同，但是基本的编码思想是相同的，都是采用不同的周期和不同占空比的脉冲分别表示 0 和 1。不同遥控器占空比可能不同，且脉冲周期也不相同。根据这些不同，对一些码型类似的红外数据进行分类：NEC with simple repeat code 的数据格式、NEC with full repeat code 的数据格式、TC9012 的数据格式和 SONY 的数据格式。

红外接收数据码型统计情况如表 13-3~表 13-5 所示。

表13-3 红外接收数据码型的统计表（NEC with simple repeat code）

数据格式		NEC with simple repeat code			
		uPD6121G	D6121/BU5777/D1913	LC7461M-C13	AEHA
引导码（10μs）	LEAD_S	900	900	900	337.6
	LEAD_E	450	450	450	168.8
bit0（10μs）	B0_L	56	56	56	42.2
	B0_H	56	56	56	42.2
bit1（10μs）	B1_L	56	56	56	42.2
	B1_H	169	169	169	126.6
simple repeat code（10μs）	SLEAD_S	900	900	900	337.6
	SLEAD_E	225	225	225	337.6
burst（10μs）		55	55	55	42.2
帧长（10μs）		10800	10800	10800	8777.6~12828.8
有效数据位		32	32	42	48

表13-4 红外接收数据码型的统计表（NEC with full repeat code）

数据格式		NEC with full repeat code						
		uPD6121G	LC7461M-C13	MN6024-C5D6	MN6014-C6D6	MATNEW	MN6030	PANASONIC
引导码（10μs）	LEAD_S	900	900	337.6	349.2	348.8	349	352
	LEAD_E	450	450	337.6	349.2	374.4	349	352
bit0（10μs）	B0_L	56	56	84.4	87.3	43.6	87.3	88
	B0_H	56	56	84.4	87.3	43.6	87.3	88
bit1	B1_L	56	56	84.4	87.3	43.6	87.3	88



数据格式		NEC with full repeat code						
		uPD6121G	LC7461 M-C13	MN602 4-C5D6	MN6014 -C6D6	MATNEW	MN6030	PANA SONIC
(10μs)	B1_H	169	169	253.2	174.6	130.8	261.9	264
simple repeat code (10μs)	SLEAD_S	无	无	无	无	无	无	无
	SLEAD_E							
burst (10μs)		55	55	84.4	87.3	43.6	87.3	88
帧长 (10μs)		10800	10800	10130	10470	12413.6~ 16594.4	10500	10400
有效数据位		32	42	22	24	48	22	22

表13-5 红外接收数据码型的统计表 (TC9012 和 SONY 码)

数据格式		TC9012	SONY			
		TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
引导码 (10μs)	LEAD_S	450	240	240	240	240
	LEAD_E	450	60	60	60	60
bit0 (10μs)	B0_L	56	60	60	60	60
	B0_H	56	60	60	60	60
bit1 (10μs)	B1_L	56	120	120	120	120
	B1_H	169	60	60	60	60
simple repeat code (10μs)	SLEAD_S	无	无	无	无	无
	SLEAD_E					
burst (10μs)		56	无	无	无	无
帧长 (10μs)		10800	4500	4500	4500	4500
有效数据位		32	12	13	15	20



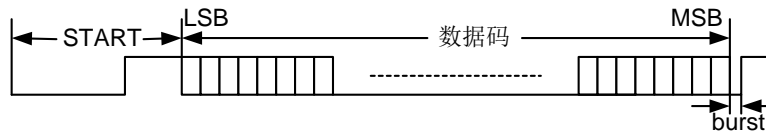
13.3.3.1 NEC with simple repeat code 数据格式

帧格式

NEC with simple repeat code 数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。

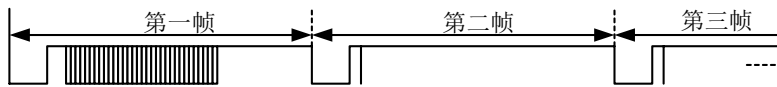
发送单个 NEC with simple repeat code 的帧格式如图 13-5 所示。

图13-5 发送单个 NEC with simple repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧后，接下来收到的数据帧仅由简化的引导码和 burst 信号组成。引导码也是由起始码（低电平）和结束码（高电平）组成，持续按键连续发送 NEC with simple repeat code 码的帧格式如图 13-6 所示。

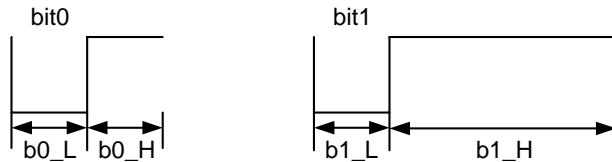
图13-6 持续按键连续发送 NEC with simple repeat code 码的帧格式



码格式

NEC with simple repeat code 的 bit0 或 bit1 定义如图 13-7 所示。

图13-7 NEC with simple repeat code 码 bit0 和 bit1 定义



NEC simple repeat code 单发代码格式和连发代码格式分别如图 13-8 和图 13-9 所示。

图13-8 NEC with simple repeat code 码单发代码格式

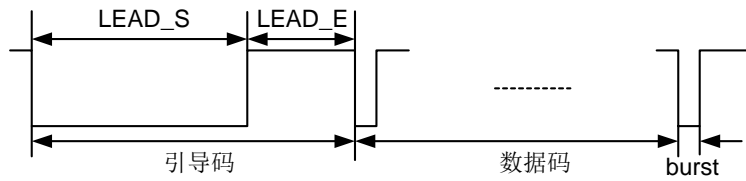


图13-9 NEC with simple repeat code 码连发代码格式



注 1：图中高低电平脉宽的宽度以及帧长均有各个具体码型决定，请参见表 13-3～表 13-5。

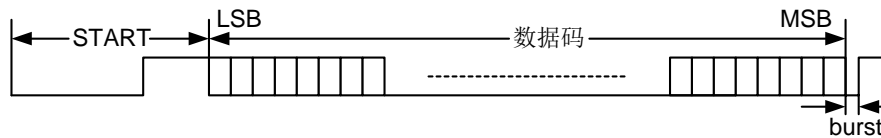
注 2：帧长不能大于 160ms，否则无法识别简化引导码。

13.3.3.2 NEC with full repeat code 数据格式

帧格式

NEC with full repeat code 的数据格式是由 START（引导码）、数据码和 burst 三部分组成。START 是由一个起始码（低电平）和一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 NEC with full repeat code 帧格式如图 13-10 所示。

图13-10 发送单个 NEC with full repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧（第一帧）后，接下来收到的数据帧还是一个完整的数据帧格式（即按照帧间隔重复发送第一帧数据），持续按键连续发送 NEC with full repeat code 码的帧格式如图 13-11 所示。

图13-11 持续按键连续发送 NEC with full repeat code 码的帧格式



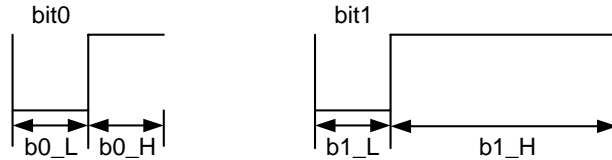


通过图 13-10 和图 13-11 可以看出：NEC with simple repeat code 与 NEC with full repeat code 唯一不同之处就是重复帧的格式，NEC with simple repeat code 发送的是简化的引导码，而 NEC with full repeat code 发送的是完整帧格式，第一帧和重复帧完全相同。

码格式

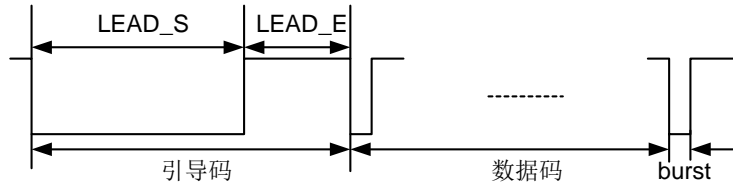
NEC with full repeat code 码 bit0 或 bit1 定义如图 13-12 所示。

图13-12 NEC with full repeat code 码 bit0 和 bit1 定义



NEC with full repeat code 码单发代码格式如图 13-13 所示。

图13-13 NEC with full repeat code 码单发代码格式



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定，请参见表 13-3~表 13-5。

13.3.3.3 TC9012 数据格式

帧格式



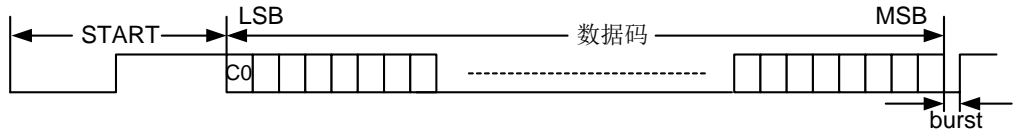
注意

根据 TC9012 码的数据格式特点，所有按键编码的第一位都必须全是 1 或者全是 0，否则会产生不需要的持续按键帧。

TC9012 的数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 TC9012 码的帧格式如图 13-14 所示。

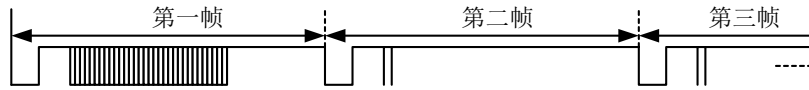


图13-14 发送单个 TC9012 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧后，接下来收到的数据帧由引导码、一个数据位和 burst 信号三部分组成。引导码也是由起始码（低电平）和结束码（高电平）组成；该数据位是上一帧接收的第一个数据位（C0）的反码。发送连续 TC9012 码的帧格式如图 13-15 所示。

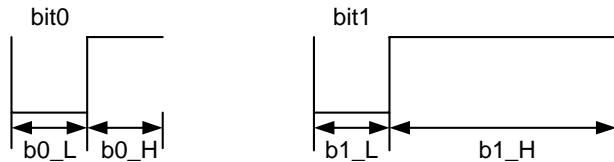
图13-15 持续按键连续发送 TC9012 码的帧格式



码格式

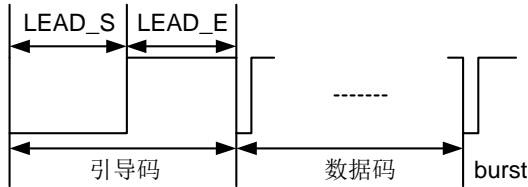
TC9012 码 bit0 或 bit1 定义如图 13-16 所示。

图13-16 TC9012 码 bit0 和 bit1 定义



TC9012 码单发代码格式如图 13-17 所示。

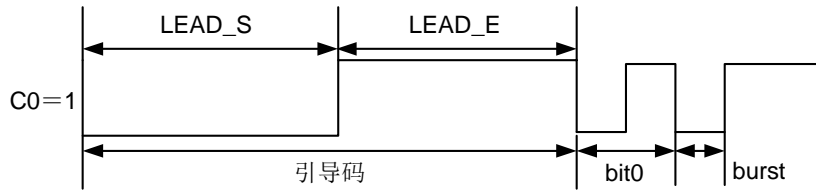
图13-17 TC9012 码单发代码格式



C0=1 时，TC9012 码连发代码格式如图 13-18 所示。

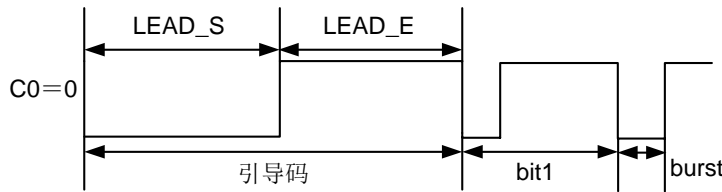


图13-18 TC9012 码连发代码格式 (C0=1)



C0=0 时, TC9012 码连发代码格式如图 13-19 所示。

图13-19 TC9012 码连发代码格式 (C0=0)



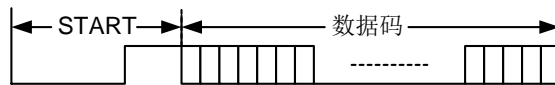
注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 13-3~表 13-5。另外值得注意的是帧长不能大于 160ms，否则无法识别重复帧。

13.3.3.4 SONY 的数据格式

帧格式

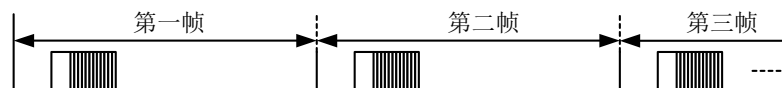
SONY 码数据格式是由 START（引导码）和数据码两部分组成。其中 START 由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的。发送单个 SONY 码帧格式如图 13-20 所示。

图13-20 发送单个 SONY 帧格式



如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧还是一个完整的数据帧格式。持续按键连续发送 SONY 码帧格式如图 13-21 所示。

图13-21 持续按键连续发送 SONY 码帧格式

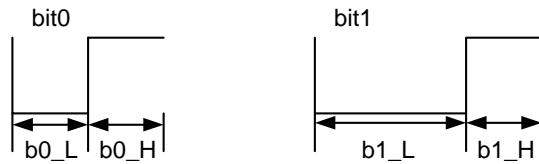




码格式

SONY 码 bit0 或 bit1 定义如图 13-22 所示。

图13-22 bit0 和 bit1 定义



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 13-3～表 13-5。

13.3.4 工作方式

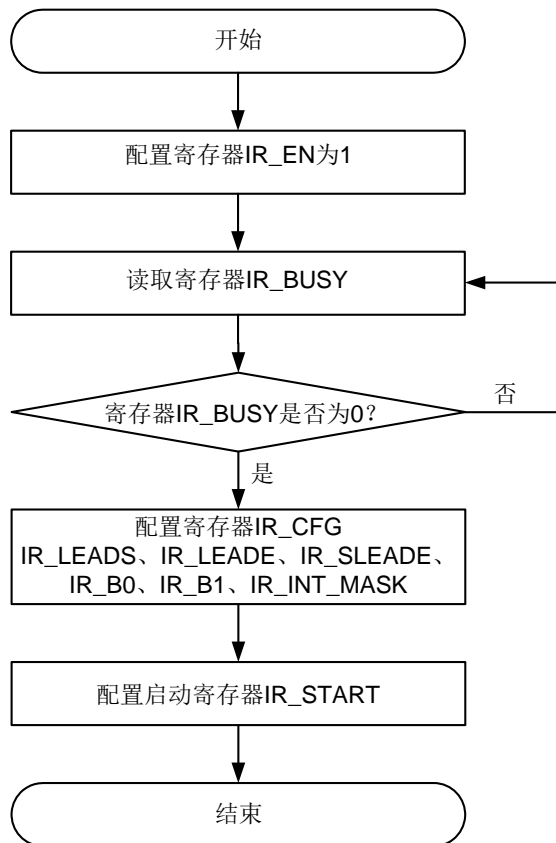
软复位

配置 CRG 寄存器 CRG_PERCTRL57[ir_srst_req]为 1，对 IR 模块单独软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

寄存器配置实例

IR 模块初始化操作流程如图 13-23 所示。

图13-23 IR 模块初始化操作流程

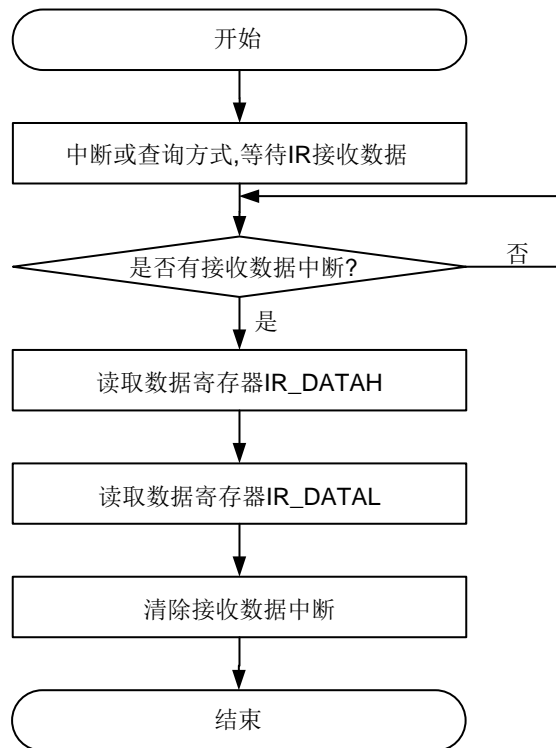


IR 模块初始化操作流程如下：

1. 选中 IR 模块地址空间，开始 IR 初始化配置操作。
2. 配置 `IR_EN` bit[0]为 1，打开 IR 接收模块。
3. 读 `IR_BUSY`，判断 IR 模块配置的当前状态。
 - 若读取的值为 1，表明 IR 模块处于配置忙状态，则继续查询 `IR_BUSY`（注意：此时软件不要对 IR 模块的其他控制寄存器进行配置，否则配置无效）。
 - 若读取的值为 0，表明 IR 模块处于配置空闲状态，则执行 4。
4. 配置 `IR_CFG`、`IR_LEADS`、`IR_LEADE`、`IR_SLEADE`、`IR_B0`、`IR_B1`、`IR_INT_MASK`。注意：用户可以根据需要更新相应寄存器，如果不更新，则寄存器保持原值。
5. 配置 `IR_START`。必须要等所有的 IR 控制寄存器都配置完成后，才能配置 `IR_START`，因为它被用来产生启动信号，只要对其进行配置，IR 模块就会根据控制寄存器的值进行红外数据接收。

----结束

图13-24 读取解码数据的操作流程



读取解码数据的操作流程如下：

1. 选中 IR 模块地址空间。
2. 中断或查询方式等待接收数据帧。
 - 中断方式下，当 CPU 接收到 IR 模块的中断请求信号时，查询 [IR_INT_STATUS\[intms_rcv\]](#) 的值。若读取的值为 1 表明 IR 模块接收到一个数据帧，执行 3；若读取的值为 0，重新执行 2，继续等待中断。
 - 查询方式下，软件不停（或每间隔一定时间）读取 [IR_INT_STATUS\[intrs_rcv\]](#) 的值，若读取的值为 1 表明 IR 模块接收到一个数据帧，执行 3；若读取的值为 0 时，表明 IR 模块尚未接收到数据帧，重新执行 2，继续查询。
3. 读取数据寄存器 [IR_DATAH](#)。（如果一帧内的数据位数不大于 32 位，可以省略此步骤）
4. 读取数据寄存器 [IR_DATA L](#)。
5. 清除接收数据中断。

----结束

13.3.5 IR 寄存器概览

IR 寄存器概览如表 13-6 所示。



表13-6 IR 寄存器概览（基址是 0x2007_0000）

偏移地址	名称	描述	页码
0x000	IR_EN	IR 接收使能控制寄存器	13-41
0x004	IR_CFG	IR 配置寄存器	13-42
0x008	IR_LEADS	引导码起始位裕量配置寄存器	13-44
0x00C	IR_LEADE	引导码结束位裕量配置寄存器	13-44
0x010	IR_SLEADE	简化引导码结束位裕量配置寄存器	13-45
0x014	IR_B0	数据 0 的判断电平裕量配置寄存器	13-47
0x018	IR_B1	数据 1 的判断电平裕量配置寄存器	13-48
0x01C	IR_BUSY	配置忙标志寄存器	13-49
0x020	IR_DATAH	IR 接收解码数据的高 16 位寄存器（当 IR_CFG[ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG[ir_mode]=1 时）	13-49
0x024	IR_DATAH	IR 接收解码数据的低 32 位寄存器（当 IR_CFG[ir_mode]=0 时）或 IR 模块接收到的 symbol 宽度寄存器（当 IR_CFG[ir_mode]=1 时）	13-50
0x028	IR_INT_MASK	IR 中断屏蔽寄存器	13-50
0x02C	IR_INT_STATUS	IR 中断状态寄存器	13-53
0x030	IR_INT_CLR	IR 中断清除寄存器	13-55
0x034	IR_START	IR 启动配置寄存器	13-56

13.3.6 IR 寄存器描述

IR_EN

IR_EN 为 IR 接收使能控制寄存器。



注意

软件必须先配置寄存器 IR_EN[ir_en]=1，才能配置其他寄存器，否则配置无效。当寄存器 IR_EN[ir_en]=0 时，其他寄存器只可读不可写，且读出值为寄存器的复位值。



	Offset Address				Register Name				Total Reset Value																							
	0x000				IR_EN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ir_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	-	reserved		保留。																											
	[0]	RW	ir_en		IR 接收模块的使能。 0: 关闭 IR 接收模块; 1: 打开 IR 接收模块。																											

IR_CFG

IR_CFG 为 IR 配置寄存器。



注意

必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值。

IR 支持的参考时钟频率为 1MHz~128MHz，其与分频因子 `ir_freq` 的对应关系是：

- 当参考时钟频率为 1MHz 时，分频因子 `ir_freq` 需配置为 0x00。
- 当参考时钟频率为 128MHz 时，分频因子 `ir_freq` 需配置为 0x7F。

当 IR 的参考时钟为 1MHz~128MHz 内的非整数倍频率时，选用四舍五入的方法选择相应的分频因子。举例：参考时钟为 12.1MHz，选用分频因子为 0x0B；参考时钟为 12.8MHz，选用分频因子为 0x0C。

对于频偏和计数偏差的关系：基频 f ，频率变化 Df ，则频偏率 $ratio=Df/f$ ；计数器计数偏差 $Dcnt$ ；判断电平宽度 s （ μs 为单位），则计数偏差： $Dcnt = \lceil 0.1 \times s \times ratio \rceil$ 。所以在时钟有频偏的情况下，参数值的有效范围要移位，如果频率上升，相应的裕量值应改为： $[min+Dcnt, max+Dcnt]$ ，其中 min 和 max 为无偏移时的裕量值；如果频率下降，相应的裕量值应改为： $[min-Dcnt, max-Dcnt]$ 。以引导码的起始位裕量举例来说：假如基频为 100MHz，频率上漂 0.1MHz，那么 $ratio=0.1/100=0.001$ ，设 $s=9000 \mu s$ ，则 $Dcnt = \lceil 0.1 \times 9000 \times 0.001 \rceil = 1$ ，则 `ir_leads` 的裕量值应改为 $[0x033D, 0x3CD]$ 。



Offset Address		Register Name		Total Reset Value					
0x004		IR_CFG		0x3E80_1F0B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7	6 5 4	3 2 1 0
Name	ir_max_level_width				ir_format	ir_bits		ir_mode	ir_freq
Reset	0 0 1 1	1 1 1 0	1 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	0	0 0 0 0	1 0 1 1
Bits	Access	Name	Description						
[31:16]	RW	ir_max_level_width	当 IR_CFG[ir_mode]=0 时，无效； 当 IR_CFG[ir_mode]=1 时，表示 symbol 的最大电平宽度（单位 10 μs），用以确定一个 symbol stream 结束。						
[15:14]	RW	ir_format	当 IR_CFG[ir_mode]=0 时，表示数据码型。 00: NEC with simple repeat code 的数据格式； 01: TC9012 的数据格式； 10: NEC with full repeat code 的数据格式； 11: SONY 的数据格式。 关于具体码型属于哪类码族，请参见表 13-3~表 13-5。 当 IR_CFG[ir_mode]=1 时，表示 symbol 格式。 bit[15]: 保留； bit[14]的含义如下： 0: symbol 的格式为先低后高，symbol stream 结束在高电平； 1: symbol 的格式为先高后低，symbol stream 结束在低电平。						
[13:8]	RW	ir_bits	当 IR_CFG[ir_mode]=0 时，表示一帧内的数据位数。 0x00~0x2F: 分别对应一帧内包含 1~48 个数据位； 0x30~0x3F: 保留。 如果软件对该域配置 0x30~0x3F 范围内的值，则配置无效，ir_bits 保持原值不变。 当 IR_CFG[ir_mode]=1 时，表示接收到 symbol 的中断水线。 bit[13]: 保留； bit[12:8]: 0x0~0x1F: 分别对应 FIFO 中至少有 1~32 个 symbol 时报中断。						
[7]	RW	ir_mode	IR 工作模式。 0: 输出解码后的完整数据帧； 1: 只输出 symbol 宽度。						
[6:0]	RW	ir_freq	工作时钟分频因子。 0x00~0x7F 分别对应工作时钟分频因子 1~128。						



IR_LEADS

IR_LEADS 为引导码起始位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。



注意

必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。

为了准确判断引导码的起始位，需要在具体码型的典型值左右考虑一定的裕量，具体码型的典型值请参见表 13-3~表 13-5 中 LEAD_S 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD_S 的典型值为 900，那么相应的 cnt_leads_min=900 x 92%=828=0x33C，cnt_leads_max=900 x 108%=972=0x3CC。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD_S 的典型值为 240，那么相应的 cnt_leads_min=240 x 80%=192=0xC0，cnt_leads_max=240 x 120%=288=0x120。

基本的配置原则：cnt_leads_max 不小于 cnt_leads_min，并且 cnt_leads_min 大于 cnt0_b_max 和 cnt1_b_max

Offset Address		Register Name		Total Reset Value					
0x008		IR_LEADS		0x033C_03CC					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cnt_leads_min		reserved		cnt_leads_max		
Reset	0 0 0 0	0 0 1 1	0 0 1 1	1 1 0 0	0 0 0 0	0 0 1 1	1 1 0 0	1 1 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	cnt_leads_min	引导码起始位的最小脉宽。 0x000~0x007：保留。						
[15:10]	-	reserved	保留。						
[9:0]	RW	cnt_leads_max	引导码起始位的最大脉宽。 0x000~0x007：保留。						

IR_LEADE

IR_LEADE 为引导码结束位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。



注意

- 必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，其 `cnt_sleade` 的裕量范围和 `cnt_leade` 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。

为了准确判断引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 8%。具体码型的典型值请参见表 13-3~表 13-5 中 LEAD_E 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD_E 的典型值为 450，那么相应的 `cnt_leade_min=450 x 92%=414=0x19E`，`cnt_leade_max=450 x 108%=486=0x1E6`。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD_E 的典型值为 60，那么相应的 `cnt_leade_min=60 x 80%=48=0x030`，`cnt_leade_max=60 x 120%=72=0x048`。

基本的配置原则是：`cnt_leade_max` 不小于 `cnt_leade_min` 的值。

	Offset Address 0x00C								Register Name IR_LEADE								Total Reset Value 0x019E_01E6															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt_leade_min								reserved				cnt_leade_max															
Reset	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0
Bits	Access		Name		Description																											
[31:25]	-		reserved		保留。																											
[24:16]	RW		cnt_leade_min		引导码结束位的最小脉宽。 0x000~0x007：保留。																											
[15:9]	-		reserved		保留。																											
[8:0]	RW		cnt_leade_max		引导码结束位的最大脉宽。 0x000~0x007：保留。																											

IR_SLEADE

IR_SLEADE 为简化引导码结束位裕量配置寄存器（只在 `IR_CFG[ir_mode]=0` 时使用）。



注意

- 必须在确保 IR_BUSY[ir_busy]=0 并且 IR_EN[ir_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，cnt_sleade 的裕量范围和 cnt_leade 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。
- 对于 NEC with simple repeat code 的数据格式，才需配置此寄存器；对于其他格式，无需配置此寄存器。

为了准确判断简化引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量。具体码型的典型值请参见表 13-3~表 13-5 中 SLEAD_E 的值。

- 对于典型值不小于 225（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 SLEAD_E 的典型值为 225，那么相应的 cnt_sleade_min=225 x 92%=207=0xCF，cnt_sleade_max=225 x 108%=243=0xF3。
- 对于典型值小于 225（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：比如某种码型其 SLEAD_E 的典型值为 60，那么相应的 cnt_sleade_min=60 x 80%=48=0x30，cnt_sleade_max=60 x 120%=72=0x48。

基本的配置原则是：cnt_sleade_max 不小于 cnt_sleade_min 的值。

Offset Address		Register Name		Total Reset Value																												
0x010		IR_SLEADE		0x00CF_00F3																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt_sleade_min				reserved				cnt_sleade_max																			
Reset	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1
Bits	Access <td colspan="2">Name <td colspan="2">Description </td></td>		Name <td colspan="2">Description </td>		Description																											
[31:25]	-		reserved		保留。																											
[24:16]	RW		cnt_sleade_min		简化引导码结束位的最小脉宽。 0x000~0x007：保留。																											
[15:9]	-		reserved		保留。																											
[8:0]	RW		cnt_sleade_max		简化引导码起始位的最大脉宽。 0x000~0x007：保留。																											

IR_B0

IR_B0 为数据 0 的判断电平裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）。



注意

- 必须在确保 `IR_BUSY[ir_busy]=0` 并且 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit0，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码型，其包含的具体码型的典型值请参见表 13-3~表 13-5 中 `B0_H` 的值。举例说明：D6121 码型，其 `B0_H` 的典型值为 56（其精度为 10μs），那么相应的 `cnt0_b_min=56 x 80%=45=0x2D`，`cnt0_b_max=56 x 120%=67=0x43`。
- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 13-3~表 13-5 中 `B0_L` 的值。举例说明：SONY-D7C5 码型，其 `B0_L` 的典型值为 60（其精度为 10μs），那么相应的 `cnt0_b_min=60 x 80%=48=0x30`，`cnt0_b_max=60 x 120%=72=0x48`。

基本的配置原则是：`cnt0_b_max` 不小于 `cnt0_b_min` 的值。

	Offset Address								Register Name								Total Reset Value															
	0x014								IR_B0								0x002D_0043															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt0_b_min								reserved				cnt0_b_max															
Reset	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1
	Bits	Access	Name		Description																											
	[31:25]	-	reserved		保留。																											
	[24:16]	RW	cnt0_b_min		bit0 判断电平的最小脉宽。 0x000~0x007：保留。																											
	[15:9]	-	reserved		保留。																											
	[8:0]	RW	cnt0_b_max		bit0 判断电平的最大脉宽。 0x000~0x007：保留。																											

IR_B1

IR_B1 为数据 1 的判断电平裕量配置寄存器（只在 `IR_CFG[ir_mode]=0` 时使用）。



注意

- 必须在确保 IR_BUSY[0]=0 并且 IR_EN[0]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit1，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with full repeat code 和 TC9012 这三类码族，其包含的具体码型的典型值请参见表 13-3~表 13-5 中 B1_H 的值。举例说明：D6121 码型，其 B1_H 的典型值为 169（其精度为 10μs），那么相应的 cnt1_b_min=169 x 80%=135=0x87，cnt1_b_max=169 x 120%=203=0xCB。
- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 13-3~表 13-5 中 B1_L 的值。举例说明：SONY-D7C5 码型，其 B1_L 的典型值为 120（其精度为 10μs），那么相应的 cnt1_b_min=120 x 80%=96=0x60，cnt1_b_max=120 x 120%=144=0x90。

基本的配置原则是：cnt1_b_max 不小于 cnt1_b_min 的值。

	Offset Address 0x018								Register Name IR_B1								Total Reset Value 0x0087_00CB															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt1_b_min								reserved				cnt1_b_max															
Reset	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	0	1	1
	Bits	Access	Name		Description																											
	[31:25]	-	reserved		保留。																											
	[24:16]	RW	cnt1_b_min		bit1 判断电平的最小脉宽。 0x000~0x007：保留。																											
	[15:9]	-	reserved		保留。																											
	[8:0]	RW	cnt1_b_max		bit1 判断电平的最大脉宽。 0x000~0x007：保留。																											

IR_BUSY

IR_BUSY 为配置忙标志寄存器。



Offset Address		Register Name		Total Reset Value						
0x01C		IR_BUSY		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0	
Name	reserved								ir_busy	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	
Bits	Access	Name	Description							
[31:1]	-	reserved	保留。							
[0]	RO	ir_busy	忙状态标志。 0: 空闲状态, 软件可以配置数据; 1: 忙状态, 软件不可以配置数据。							

IR_DATAH

IR_DATAH 为 IR 接收解码数据的高 16 位寄存器（当 IR_CFG[ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG[ir_mode]=1 时）。

IR_DATAH 是接收到的解码数据的高 16 位，IR_DATAH 是接收到的解码数据的低 32 位。具体哪些数据位有效取决于具体码型一帧内包含的有效数据位数，请参见表 13-3~表 13-5 的有效数据位。

数据存储原则：按照由高到低的顺序存储在 IR_DATAH 和 IR_DATAH 中（MSB……LSB），先存满 IR_DATAH，然后再存放 IR_DATAH，未用到的高位作为保留位。软件读取数据的顺序必须是：先读 IR_DATAH，然后再读 IR_DATAH。

对于具体每个数据位表示的含义，硬件不做判断，仅负责接收所有数据位，最终由软件统一处理。

Offset Address		Register Name		Total Reset Value					
0x020		IR_DATAH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved				ir_datah				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RO	ir_datah	<p>当 IR_CFG[ir_mode]=0 时，表示接收到的解码数据的高 16 位数据。</p> <p>当 IR_CFG[ir_mode]=1 时，表示 symbol FIFO 中的 symbol 个数。</p> <p>bit[15:6]: 保留；</p> <p>bit[5:0]: symbol FIFO 中的 symbol 个数。</p>
--------	----	----------	--

IR_DATAL

IR_DATAL 为 IR 接收解码数据的低 32 位寄存器（当 **IR_CFG**[ir_mode]=0 时）或，IR 模块接收到的 symbol 宽度寄存器（当 **IR_CFG**[ir_mode]=1 时）。

	Offset Address	Register Name	Total Reset Value
	0x024	IR_DATAL	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	ir_datah		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RO	ir_datah	<p>当 IR_CFG[ir_mode]=0 时，表示接收到的解码数据的低 32 位数据。</p> <p>当 IR_CFG[ir_mode]=1 时，表示 IR 模块接收到的 symbol 宽度。</p> <p>bit[31:16]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）。</p> <p>bit[15:0]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）。</p>

IR_INT_MASK

IR_INT_MASK 为 IR 中断屏蔽寄存器。



注意

- 必须在确保 `IR_EN[ir_en]=1` 时，才能配置此寄存器，否则配置无效，寄存器保持原值。
- 如果中断全部屏蔽后，无法支持红外遥控唤醒功能。
- `IR_CFG[ir_mode]=0` 时，`IR_INT_MASK bit[3:0]`有效；`IR_CFG[ir_mode]=1` 时，`IR_INT_MASK bit[18:16]`有效。

涉及到的中断定义如下：

- 接收数据溢出中断
如果 CPU 没有及时响应取走当前帧的数据，而下一帧数据也已经收到的情况，下一帧数据将会覆盖当前帧数据，同时上报屏蔽前接收数据溢出错中断请求。
- 接收数据帧格式错误中断
如果接收到的数据帧不完整以及数据脉宽不满足裕量范围，则会上报屏蔽前的接收帧格式错误中断请求。
- 接收到数据帧中断
当接收到一个完整的帧数据后，则会上报屏蔽前接收到数据帧中断请求。
- 支持按键释放的检测中断
对于 NEC with simple repeat code 和 TC9012 码族的数据格式，在检测到一个有效起始同步码之后的 160ms 内，如果没有再次检测到起始同步码，或者检测到非简化引导码而是有效数据帧时，则会上报屏蔽前遥控器按键释放中断。对于 NEC with full repeat code 和 SONY 两种码制不支持按键释放中断。
- 接收 symbol 溢出中断
如果 CPU 没有及时响应取走数据，导致 symbol FIFO 满，而下一个 symbol 已经收到，则会上报屏蔽前接收 symbol 溢出错中断请求。
- 接收到 symbol 中断
当接收到一个完整的 symbol 后，且 symbol FIFO 中的 symbol 个数超过 `IR_CFG[ir_bits]`设置的水线，则会上报屏蔽前接收到 symbol 中断请求。
- symbol 超时中断
在接收到一个有效的 symbol 后，`IR_CFG[ir_max_level_width]`设置的时间内没有再接收到新的 symbol 的中断请求，则会上报屏蔽前 symbol 超时中断请求。

硬件没有中断优先级仲裁，任何一个或多个屏蔽后的中断源有效，都会产生中断。



Offset Address		Register Name		Total Reset Value									
0x028		IR_INT_MASK		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				intm_overrun	intm_time_out	intm_symb_rcv	reserved		intm_release	intm_overflow	intm_framerr	intm_rcv
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:19]	-	reserved	保留。										
[18]	RW	intm_overrun	当 IR_CFG[ir_mode]=1 时，symbol 溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。										
[17]	RW	intm_time_out	当 IR_CFG[ir_mode]=1 时，symbol 超时中断屏蔽。 0：不屏蔽； 1：屏蔽。										
[16]	RW	intm_symb_rcv	当 IR_CFG[ir_mode]=1 时，接收到 N 个 symbol 中断屏蔽。 0：不屏蔽； 1：屏蔽。										
[15:4]	-	reserved	保留。										
[3]	RW	intm_release	当 IR_CFG[ir_mode]=0 时，按键释放中断屏蔽。 0：不屏蔽； 1：屏蔽。										
[2]	RW	intm_overflow	当 IR_CFG[ir_mode]=0 时，接收数据溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。										
[1]	RW	intm_framerr	当 IR_CFG[ir_mode]=0 时，接收数据帧格式错误中断屏蔽。 0：不屏蔽； 1：屏蔽。										
[0]	RW	intm_rcv	当 IR_CFG[ir_mode]=0 时，接收到数据帧中断屏蔽。 0：不屏蔽； 1：屏蔽。										



IR_INT_STATUS

IR_INT_STATUS 为 IR 中断状态寄存器。



注意

- IR_CFG[ir_mode]=0 时，IR_INT_STATUS bit[3:0]和 IR_INT_STATUS bit[19:16]有效；
- IR_CFG[ir_mode]=1 时，IR_INT_STATUS bit[10:8]和 IR_INT_STATUS bit[26:24]有效。

	Offset Address				Register Name				Total Reset Value																							
	0x02C				IR_INT_STATUS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				intms_overrun	intms_time_out	intms_symb_rcv	reserved	intms_release	intms_overflow	intms_framerr	intms_rev	reserved	intms_overrun	intms_time_out	intms_symb_rcv	reserved	intms_release	intms_overflow	intms_framerr	intms_rev	reserved	intms_release	intms_overflow	intms_framerr	intms_rev	intms_release	intms_overflow	intms_framerr	intms_rev		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:27]	-		reserved		保留。																											
[26]	RO		intms_overrun		当 IR_CFG[ir_mode]=1 时，屏蔽后的 symbol 溢出中断状态。 0: 无中断； 1: 有中断。																											
[25]	RO		intms_time_out		当 IR_CFG[ir_mode]=1 时，屏蔽后的 symbol 超时中断状态。 0: 无中断； 1: 有中断。																											
[24]	RO		intms_symb_rcv		当 IR_CFG[ir_mode]=1 时，屏蔽后的接收到 symbol 的中断状态。 0: 无中断； 1: 有中断。																											
[23:20]	-		reserved		保留。																											
[19]	RO		intms_release		当 IR_CFG[ir_mode]=0 时，屏蔽后的按键释放的中断状态。 0: 无中断； 1: 有中断。																											



[18]	RO	intms_overflow	当 IR_CFG[ir_mode]=0 时，屏蔽后的接收数据溢出错中断状态。 0：无中断； 1：有中断。
[17]	RO	intms_framerr	当 IR_CFG[ir_mode]=0 时，屏蔽后的接收数据帧格式错误中断状态。 0：无中断； 1：有中断。
[16]	RO	intms_rcv	当 IR_CFG[ir_mode]=0 时，屏蔽后的接收到数据帧中断状态。 0：无中断； 1：有中断。
[15:11]	-	reserved	保留。
[10]	RO	intrs_overrun	当 IR_CFG[ir_mode]=1 时，屏蔽前的 symbol 溢出中断状态。 0：无中断； 1：有中断。
[9]	RO	intrs_time_out	当 IR_CFG[ir_mode]=1 时，屏蔽前的 symbol 超时中断状态。 0：无中断； 1：有中断。
[8]	RO	intrs_symb_rcv	当 IR_CFG[ir_mode]=1 时，屏蔽前的接收到 symbol 的中断状态。 0：无中断； 1：有中断。
[7:4]	-	reserved	保留。
[3]	RO	intrs_release	当 IR_CFG[ir_mode]=0 时，屏蔽前的按键释放的中断状态。 0：无中断； 1：有中断。
[2]	RO	intrs_overflow	当 IR_CFG[ir_mode]=0 时，屏蔽前的接收数据溢出错中断状态。 0：无中断； 1：有中断。
[1]	RO	intrs_framerr	当 IR_CFG[ir_mode]=0 时，屏蔽前的接收数据帧格式错误中断状态。 0：无中断； 1：有中断。



[0]	RO	intrs_rcv	当 IR_CFG [ir_mode]=0 时，屏蔽前的接收到数据帧中断状态。 0：无中断； 1：有中断。
-----	----	-----------	---

IR_INT_CLR

IR_INT_CLR 为 IR 中断清除寄存器。



注意

- **IR_CFG**[ir_mode]=0 时，IR_INT_CLR bit[3:0]有效；
- **IR_CFG**[ir_mode]=1 时，IR_INT_CLR bit[18:16]有效。

	Offset Address	Register Name	Total Reset Value
	0x030	IR_INT_CLR	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		
	intc_overn	intc_time_out	intc_symb_rcv
	reserved		
	intc_release	intc_overflow	intc_framerr
	intc_rev		
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:19]	-	reserved	保留。
[18]	WC	intc_overn	IR_CFG [ir_mode]=1 时，清除 symbol 溢出中断请求。 0：无影响； 1：清除。
[17]	WC	intc_time_out	IR_CFG [ir_mode]=1 时，清除 symbol 超时中断请求。 0：无影响； 1：清除。
[16]	WC	intc_symb_rcv	IR_CFG [ir_mode]=1 时，清除接收到 symbol 中断请求。 0：无影响； 1：清除。
[15:4]	-	reserved	保留。



[3]	WC	intc_release	IR_CFG[ir_mode]=0 时，清除遥控器按键释放中断请求。 0: 无影响; 1: 清除。
[2]	WC	intc_overflow	IR_CFG[ir_mode]=0 时，清除接收数据溢出错中断请求。 0: 无影响; 1: 清除。
[1]	WC	intc_framerr	IR_CFG[ir_mode]=0 时，清除接收数据帧格式错误中断请求。 0: 无影响; 1: 清除。
[0]	WC	intc_rev	IR_CFG[ir_mode]=0 时，清除接收到数据帧中断请求。 0: 无影响; 1: 清除。 如果接收数据帧中断请求产生后，软件未读走 IR_DATA1 中的数据就直接对本位进行写 1 操作，无法清除该中断请求。

IR_START

IR_START 为 IR 启动配置寄存器。

在其他寄存器的值配置完成后，启动 IR 模块时，只要往该地址进行一次写操作（写操作数可以为任意值），就可以启动配置寄存器。

	Offset Address	Register Name	Total Reset Value
	0x034	IR_START	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		ir_start
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	WO	ir_start	IR 启动配置寄存器。



13.4 GPIO

13.4.1 概述



注意

GPIO 具体管脚个数、管脚与其他管脚复用的说明请参见“02 硬件”，相关的控制请参见“2.3 管脚复用控制寄存器”。

对于默认是输出信号的管脚上复用的 GPIO，请注意对接芯片和器件的管脚必须是输入。

Hi3535 支持 15 组 GPIO (General Purpose Input/Output)，每组 GPIO 提供 8 个可编程的输入输出管脚。每个管脚可以配置为输入或者输出。这些管脚用于生成特定应用的输出信号或采集特定应用的输入信号。作为输入管脚时，GPIO 可作为中断源；作为输出管脚时，每个 GPIO 都可以独立地清 0 或置 1。

13.4.2 特点

GPIO 模块具有以下特点：

- 每个 GPIO 管脚均可配置为输入、输出。
 - 作为输入管脚时，可作为中断源，每个 GPIO 管脚都具有独立的中断控制。
 - 作为输出管脚时，每个 GPIO 管脚都可以独立地清 0 或置 1。
- GPIO 的中断通过 [GPIO_IS](#) 等 7 个寄存器进行控制。通过这些寄存器可以选择中断源、极性以及边沿特性。GPIO 对应的中断寄存器请参见“3.3 中断系统”。
 - 当有多个中断同时发生时，将会统一汇集成一个中断进行上报，GPIO 的中断映射关系请参见“3.3 中断系统”。
 - [GPIO_IS](#)、[GPIO_IBE](#)、[GPIO_IEV](#) 三个寄存器共同决定了中断源的特性和中断触发类别。

通过 [GPIO_RIS](#) 和 [GPIO_MIS](#) 分别读取中断的原始状态和屏蔽后的状态。通过 [GPIO_IE](#) 可以控制中断的最终上报情况。此外还提供了单独的 [GPIO_IC](#) 用于对中断状态进行清除控制。

13.4.3 功能描述

每组 GPIO 提供 8 个可编程的输入输出管脚。每个管脚可以配置为输入或者输出。这些管脚用于生成或采集特定应用的输出或输入信号。

GPIO 可以根据电平或跳变值产生可屏蔽的中断。GPIOINTR (General Purpose Input Output Interrupt) 信号给中断控制器一个指示，表示有中断发生。



13.4.4 工作方式

接口复位

上电复位时，所有的寄存器都被清 0，因此管脚默认为输入。

复位信号有效时，GPIO 有如下状态：

- 通过清除 **GPIO_IE** 中相应的比特位使中断无效。
- 所有的寄存器被清 0。
- 所有的管脚都被配置为输入。
- 原始中断寄存器都被清 0。
- 中断被设为边沿触发的中断。

通用输入输出

每个管脚可以配置为输入或者输出，具体步骤如下：

1. 参考“管脚复用控制寄存器”配置管脚的相应位，使能需要使用的 GPIO 管脚功能。
2. 配置寄存器 **GPIO_DIR**，选择 GPIO 是作为输入还是输出。
 - GPIO 用于输入：外部信号通过 GPIO 管脚送进来，此时可通过 **GPIO_DATA** 寄存器查看输入信号值。
 - GPIO 用于输出：先向 **GPIO_DATA** 寄存器写入相应值后，再通过 GPIO 输出写入值。
注意：此时若已使能 GPIO 中断功能，则当输出信号满足触发条件时，也会产生中断。

----结束

中断操作

如果要产生中断，需要按照下面的初始化顺序：

1. 配置 **GPIO_IS**，选择边沿触发或电平触发。
2. 配置 **GPIO_IEV**，选择下降沿/上升沿触发和高电平/低电平触发。
3. 如果选择边沿触发，需配置 **GPIO_IBE**，选择单沿或双沿触发方式。
4. 保证 GPIO 数据线在以上操作过程中保持稳定。
5. 向寄存器 **GPIO_IC** 写 0xFF，清中断。
6. 配置 **GPIO_IE** 为 1，使能中断。

----结束

GPIO 的中断设置由 7 个寄存器控制。当有一个或多个 GPIO 管脚产生中断，一个组合中断输出会送到中断控制器。边沿触发和电平触发有以下不同：



- 边沿触发的中断：软件必需清除该中断以使能更深的中断。
- 电平触发的中断：外部中断源应该保持该电平直到处理器识别到该中断。

13.4.5 GPIO 寄存器概览

15 组 GPIO 寄存器的基地址如表 13-7 所示。

表13-7 15 组 GPIO 寄存器对应的基地址

寄存器	基地址
GPIO14	0x2023_0000
GPIO13	0x2022_0000
GPIO12	0x2021_0000
GPIO11	0x2020_0000
GPIO10	0x201F_0000
GPIO9	0x201E_0000
GPIO8	0x201D_0000
GPIO7	0x201C_0000
GPIO6	0x201B_0000
GPIO5	0x201A_0000
GPIO4	0x2019_0000
GPIO3	0x2018_0000
GPIO2	0x2017_0000
GPIO1	0x2016_0000
GPIO0	0x2015_0000

表 13-8 是单组 GPIO 内部寄存器的偏移地址以及定义，GPIO0~GPIO14 具有相同的寄存器组。



说明

- GPIO_n 对应的寄存器地址为：GPIO_n 基地址+该寄存器偏移地址。
- n 的取值范围：[0, 14]

表13-8 GPIO 寄存器概览

偏移地址	名称	描述	页码
0x000~ 0x3FC	GPIO_DATA	GPIO 数据寄存器	13-60
0x400	GPIO_DIR	GPIO 方向控制寄存器	13-61



偏移地址	名称	描述	页码
0x404	GPIO_IS	GPIO 中断触发寄存器	13-61
0x408	GPIO_IBE	GPIO 双沿触发中断寄存器	13-62
0x40C	GPIO_IEV	GPIO 触发中断条件寄存器	13-62
0x410	GPIO_IE	GPIO 中断屏蔽寄存器	13-63
0x414	GPIO_RIS	GPIO 原始中断状态寄存器	13-63
0x418	GPIO_MIS	GPIO 屏蔽状态中断寄存器	13-64
0x41C	GPIO_IC	GPIO 中断清除寄存器	13-64

13.4.6 GPIO 寄存器描述

GPIO_DATA

GPIO_DATA 为 GPIO 数据寄存器。用来对输入或输出数据进行缓存。

当配置 GPIO_DIR 中对应位为输出时，写入 GPIO_DATA 寄存器的值将会输出到相应的管脚（注意需要配置正确的管脚复用）；如果配置为输入时，将会读取相应输入管脚的值。



注意

当 GPIO_DIR 相应的比特配置为输入时，有效读取的结果将返回管脚的值；当配置为输出的时候，有效读取的结果将返回写入的值。

GPIO_DATA 寄存器利用 PADDR[9:2]实现了读写寄存器比特的屏蔽操作。该寄存器对应 256 个地址空间。PADDR[9:2]分别对应 GPIO_DATA[7:0]，当相应的 bit 为高时，则可以对相应的位进行读写操作；反之，若对应 bit 为低则不能进行操作。例如：



- 若地址为 0x3FC (0b11_1111_1100)，则对 GPIO_DATA[7:0]这 8bit 操作全部有效。
- 若地址为 0x200 (0b10_0000_0000)，则仅对 GPIO_DATA[7]的操作有效。

Offset Address		Register Name		Total Reset Value				
0x000~0x3FC		GPIO_DATA		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_data							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_data	当 GPIO 配置为输入模式时，为 GPIO 输入数据；当 GPIO 配置为输出模式时，为输出数据。各比特均可独立控制。与 GPIO_DIR 配合使用。					

GPIO_DIR

GPIO_DIR 为 GPIO 方向控制寄存器。用来配置 GPIO 管脚方向。

Offset Address		Register Name		Total Reset Value				
0x400		GPIO_DIR		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_dir							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_dir	GPIO 方向控制寄存器。bit[7:0]分别对应 GPIO_DATA[7:0]，各比特可独立控制。 0: 输入； 1: 输出。					

GPIO_IS

GPIO_IS 为 GPIO 中断触发寄存器。用来配置 GPIO 管脚触发电平方式。



Offset Address		Register Name		Total Reset Value				
0x404		GPIO_IS		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_is							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_is	GPIO 中断触发控制寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0: 边沿触发中断； 1: 电平触发中断。					

GPIO_IBE

GPIO_IBE 为 GPIO 双沿触发中断寄存器。用来配置 GPIO 管脚沿触发方式。

Offset Address		Register Name		Total Reset Value				
0x408		GPIO_IBE		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ibe							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ibe	GPIO 中断沿触发控制寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0: 单边沿触发中断，具体是上升沿还是下降沿触发由 GPIO_IEV 控制； 1: 双边触发中断。					

GPIO_IEV

GPIO_IEV 为 GPIO 触发中断条件寄存器。用来配置 GPIO 管脚触发中断条件。



Offset Address		Register Name		Total Reset Value				
0x40C		GPIO_IEV		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_iev							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_iev	GPIO 触发中断条件寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，各比特独立控制。 0：下降沿或低电平触发中断； 1：上升沿或高电平触发中断。					

GPIO_IE

GPIO_IE 为 GPIO 中断屏蔽寄存器。用来屏蔽 GPIO 管脚中断。

Offset Address		Register Name		Total Reset Value				
0x410		GPIO_IE		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ie							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ie	GPIO 中断屏蔽寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，各比特独立控制。 0：屏蔽中断； 1：不屏蔽中断。					

GPIO_RIS

GPIO_RIS 为 GPIO 原始中断状态寄存器。用来查询 GPIO 管脚原始中断状态。



Offset Address		Register Name					Total Reset Value	
0x414		GPIO_RIS					0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_ris							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_ris	GPIO 原始中断寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，指示未屏蔽的中断状态。该 状态不受 GPIO_IE 寄存器屏蔽控制。 0：未发生中断； 1：已发生中断。					

GPIO_MIS

GPIO_MIS 为 GPIO 屏蔽状态中断寄存器。用来查询 GPIO 管脚屏蔽后的中断状态。

Offset Address		Register Name					Total Reset Value	
0x418		GPIO_MIS					0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_mis							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_mis	GPIO 屏蔽后中断寄存器，bit[7:0]分别对应 GPIO_DATA[7:0] ，指示经屏蔽后的中断状态。 该状态受 GPIO_IE 寄存器屏蔽控制。 0：中断无效； 1：中断有效。					

GPIO_IC

GPIO_IC 为 GPIO 中断清除寄存器。用来清除 GPIO 管脚产生的中断，同时清除 [GPIO_RIS](#) 寄存器和 [GPIO_MIS](#) 寄存器。



	Offset Address			Register Name			Total Reset Value	
	0x41C			GPIO_IC			0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_ic							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	WC	gpio_ic	GPIO 中断清除寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特可独立控制。 0: 无影响； 1: 清除中断。					

13.5 USB 2.0 Host

13.5.1 概述

USB 2.0 Host 控制器支持 High-speed (480Mbit/s)、Full-speed (12Mbit/s) 和 Low-speed (1.5Mbit/s) 三种数据传输。USB 2.0 Host 控制器支持 USB 2.0、OHCI Rev 1.0a 和 EHCI Rev 1.0 协议。USB 2.0 Host 控制器中包含一个 Root Hub (USB 系统中的一部分，通过 Hub 可以扩展 USB 接口)。USB 2.0 Host 控制器的特性如下：

- 完成对传输的控制和处理
- 对数据包的解析和打包
- 对 USB 传输信号的编码和解码
- 为驱动程序提供了中断向量等接口

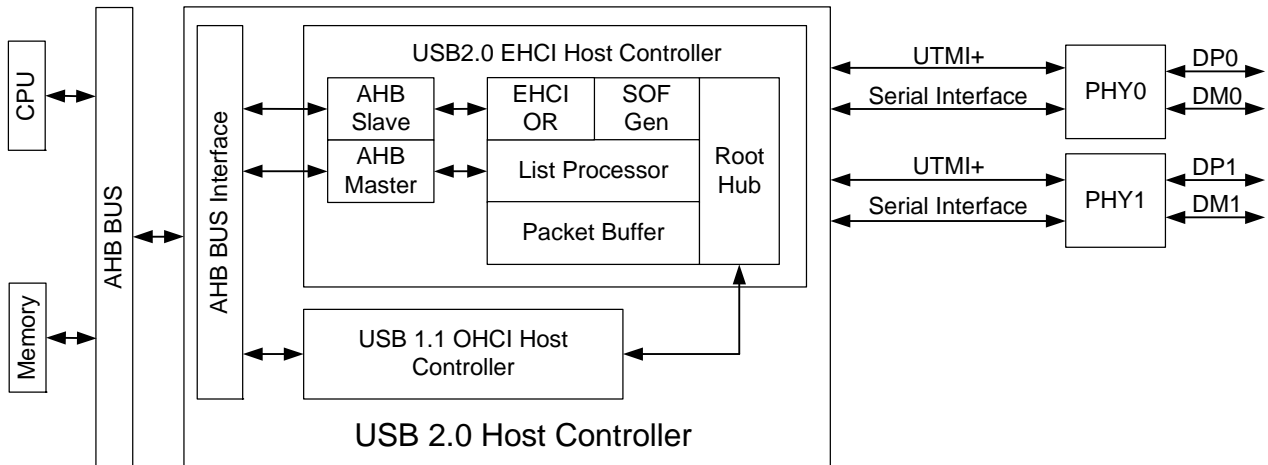
13.5.2 功能描述

逻辑框图

USB 2.0 Host 逻辑框图如图 13-25 所示。



图13-25 USB 2.0 Host 逻辑框图



UTMI: USB2.0 Transceiver Macrocell Interface
EHCI: Enhanced Host Controller Interface
OHCI: Open Host Controller Interface

典型应用

USB 2.0 Host 的参考设计如图 13-26 所示。

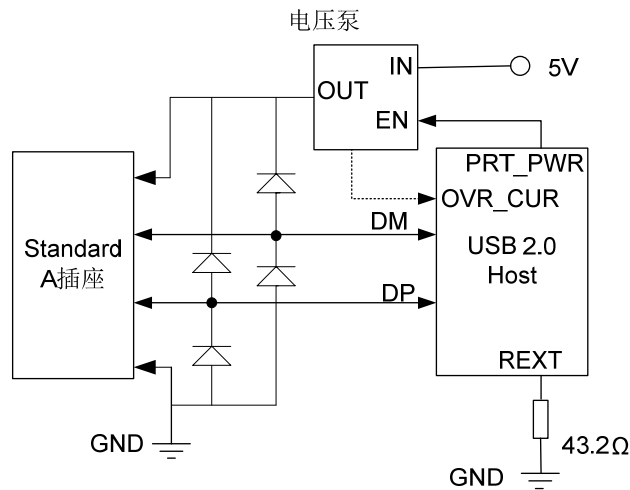


注意

- DP 和 DM 的单端阻抗为 $45\ \Omega \pm 1\%$ ，所以 DP 和 DM 无需外接任何的匹配电阻。
- REXT 电阻的精度是 $\pm 1\%$ 。
- 需要使用高速 ESD 器件，电容值推荐为 1pF 左右。



图13-26 USB 2.0 Host 参考设计



功能特点

USB 2.0 Host 具有以下功能特点：

- 完全兼容 USB 2.0。
- 完全符合 OHCI Rev 1.0a、EHCI Rev 1.0。
- 可以支持 High-speed、Full-speed、Low-speed 三种设备。
- 支持低功耗的解决方案。
- 支持 Control Transfer、Bulk Transfer、Isochronous Transfer、Interrupt Transfer 四种基本数据传输类型。
- 可以通过连接 USB Hub，连接最多 127 个设备。

工作原理

USB 2.0 Host 支持以下 4 种标准的传输方式：

- **Control Transfer（控制传输）**
主要用于 USB Host 与 USB Device 端点 0 之间的传输，某些特定型号的 USB 设备的控制传输可能用到其他的端点。控制传输是双向传输，数据量通常较小，可以传输 8byte、16byte、32byte 或 64byte 的数据，依赖于设备和传输速度。
- **Bulk Transfer（批量传输）**
主要用于没有带宽和间隔时间要求的情况下发送和接收大量的数据，这种类型的设备适合于传输非常慢和大量被延迟的传输，可以等到所有其他类型的数据的传送完成之后再发送和接收数据。它的特点是以错误检测和重传的方式保证 USB Host 与 USB Device 的数据被无差错地发送。
- **Isochronous Transfer（同步传输）**
主要用于时间严格并具有较强容错性的流数据传输，或者用于数据传输速率恒定的即时应用中。同步传输提供了确定的带宽和间隔时间。



- Interrupt Transfer（中断传输）
主要用于少量、分散、不可预测的数据的传输。中断传输方式下，定时查询设备是否有中断数据要发送。设备的端点模式器的结构决定了它的查询频率为 1ms~255ms。典型的中断方式传输是单向的，并且对于 USB Host 来说只有输入的方式。

13.5.3 工作方式

管脚极性控制

通过设置系统控制寄存器 MISC_CTRL30 [usbpwr_p_ctrl]可以设置 USB0_PWREN、USB1_PWREN 的有效极性；通过设置系统控制寄存器 MISC_CTRL30 [usbovr_p_ctrl]设置 USB0_OVRCUR、USB1_OVRCUR 的有效极性。

时钟门控

在不使用 USB 2.0 Host 时，可关断 USB 2.0 Host 的时钟，以降低功耗。

关断时钟的步骤如下：

1. 分别向 PERI_CRG46 [usb2phy_port0_treq]、PERI_CRG46[usb2phy_port1_treq]、PERI_CRG46[usb2phy_req]、PERI_CRG46[usb2_ctrl_utmi0_req]、PERI_CRG46[usb2_ctrl_utmi1_req]、PERI_CRG46[usb2_ctrl_hub_req]、PERI_CRG46[usb2_ahb_srst_req]写 1，对 USB 控制器和 PHY 进行复位。
2. 将系统寄存器 PERI_CRG46 [usb2_cken]置 0，关断 USB 2.0 Host 相关时钟。

----结束

打开时钟的步骤如下：

1. 将系统控制器的 PERI_CRG46 [usb2_cken]置 1，打开 USB 2.0 Host 相关时钟。
2. 撤消 USB 控制器和 PHY 的复位，详细信息请参见“[撤消复位](#)”。

----结束

撤消复位

USB 控制器和 PHY 在上电后默认处于复位状态，撤消复位的步骤如下：

1. 至少延时 10us。
2. 向 PERI_CRG46[usb2phy_port0_treq]写 0，撤消 USB PHY port0 的端口软复位；PERI_CRG46[usb2phy_port1_treq]写 0，撤消 USB PHY port1 的端口软复位。
3. 向 PERI_CRG46[usb2phy_req]写 0，撤消 USB PHY 的总复位；
4. 延时 250us 后，向 PERI_CRG46[usb2_ctrl_utmi0_req]写 0，撤消 USB 控制器的 port0 接口软复位；向 PERI_CRG46[usb2_ctrl_utmi1_req]写 0，撤消 USB 控制器的 port1 接口软复位；向 PERI_CRG46[usb2_ctrl_hub_req]写 0，撤消 USB 控制器的 hub 软复位。
5. 向 PERI_CRG46[usb2_ahb_srst_req]写 0，撤消 USB 总线侧软复位。



----结束

工作过程中单独复位 port0 或 port1

工作过程中单独复位 port0 的步骤如下：

1. 向 PERI_CRG46[usb2_ctrl_utmi0_req]写 1，对 USB 控制器的 port0 进行软复位。
2. 向 PERI_CRG46[usb2phy_port0_treq]写 1，对 USB PHY 的 port0 的端口进行软复位。
3. 延时 200us 后，向 PERI_CRG46[usb2phy_port0_treq]写 0，撤消 USB PHY 的 port0 的端口复位。
4. 向 PERI_CRG46[usb2_ctrl_utmi0_req]写 0，撤消 USB 控制器的 port0 复位。

----结束

工作过程中单独复位 port1 的步骤如下：

1. 向 PERI_CRG46[usb2_ctrl_utmi1_req]写 1，对 USB 控制器的 port1 接口进行软复位。
2. 向 PERI_CRG46[usb2phy_port1_treq]写 1，对 USB PHY 的 port1 的端口进行软复位。
3. 延时 200us 后，向 PERI_CRG46[usb2phy_port1_treq]写 0，撤消 USB PHY 的 port1 的端口复位。
4. 向 PERI_CRG46[usb2_ctrl_utmi1_req]写 0，撤消 USB 控制器的 port1 复位。

----结束

13.5.4 USB 2.0 寄存器概览



说明

由于该 USB 模块是一个标准的 USB 2.0 Host，内部寄存器也是标准的 EHCI 及 OHCI 寄存器，在 EHCI 协议及 OHCI 协议中有详细的描述，请参照协议。下面仅对特别定义的寄存器进行描述。

USB 2.0 寄存器概览如表 13-9 所示。

表13-9 USB 2.0 寄存器概览（基地址：0x1004_0000）

偏移地址	名称	描述	页码
0x90	INTNREG00	配置微帧长度寄存器	13-70
0xA0	INTNREG04	DEBUG 寄存器	13-70
0xA4	INTNREG05	控制及状态寄存器	13-71
0xA8	INTNREG06	AHB 错误状态寄存器	13-72
0xAC	INTNREG07	AHB 错误地址寄存器	13-73

注：EHCI 寄存器基地址是 0x1004_0000，OHCI 寄存器基地址是 0x1003_0000，表 13-9 中寄存器基地址是 EHCI 寄存器基地址。



13.5.5 USB 2.0 寄存器描述

INTNREG00

INTNREG00 为配置微帧长度寄存器。

Offset Address		Register Name		Total Reset Value					
0x90		INTNREG00		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						val		en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						
[13:1]	RW	val	微帧计数器值。该寄存器仅用于仿真。正常工作时，微帧长度是协议规定的 125μs；仿真时，为了缩短仿真时间，根据需要可以配置该寄存器改变微帧长度。						
[0]	RW	en	使能该寄存器。 0：禁止； 1：使能。						

INTNREG04

INTNREG04 为 DEBUG 寄存器。

Offset Address		Register Name		Total Reset Value								
0xA0		INTNREG04		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						auto_en	nak_reldfx_en	reserved	scaledwn_enum_time	hccparam_en	hesparam_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:6]	-	reserved	保留。									



[5]	RW	auto_en	自动规格使能。 0: 使能（当软件复位 run/stop，但 hchalted 位还未设置时挂起信号有效）； 1: 禁止（即软件清除 run/stop 位时端口不挂起）。 默认为 0。
[4]	RW	nak_reldfix_en	NAK 重载使能。 0: 使能； 1: 禁止。
[3]	-	reserved	保留。
[2]	RW	scaledwn_enum_time	减少端口枚举时间。 0: 禁止； 1: 使能。
[1]	RW	hccparam_en	HCCPARAMS 寄存器可写使能。 0: 禁止； 1: 使能。
[0]	RW	hcsparam_en	HCSPARAMS 寄存器可写使能。 0: 禁止； 1: 使能。

INTNREG05

INTNREG05 为控制及状态寄存器。用于读写 PHY 寄存器。

	Offset Address 0xA4																Register Name INTNREG05				Total Reset Value 0x0000_1000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												vbusy	vport	vcontrol_loadm				vcontrol				vstatus													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	[31:18]			[17]			[16:13]			[12]			[11:8]			[7:4]			[3:0]																	
Access	-			RO			RW			-			-			-			-			-			-			-			-			-		
Name	reserved			vbusy			vport																													
Description	保留。			“1”表明硬件现在正在执行数据写操作，只有当进程结束时，该位清零。			端口号，不能超过支持的端口数。																													



[12]	RW	vcontrol_loadm	装载使能。 0: 使能; 1: 禁止。
[11:8]	RW	vcontrol	端口控制信号。
[7:0]	RO	vstatus	端口状态信号。

INTNREG06

INTNREG06 为 AHB 错误状态寄存器。

	Offset Address 0xA8	Register Name INTNREG06	Total Reset Value 0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	err_capture	reserved	hbusrt_err num_beat_err num_beat_ok
Reset	0 0		
Bits	Access	Name	Description
[31]	RW	err_capture	发生了 AHB 错误。
[30:12]	-	reserved	保留。
[11:9]	RO	hbusrt_err	发生 AHB 错误时控制传输阶段 hburst 值。
[8:4]	RO	num_beat_err	发生 AHB 错误时该次 burst 传输的拍数。最大拍数为 16。 0x00~0x10: 有效; 0x11~0x1F: 保留。
[3:0]	RO	num_beat_ok	发生 AHB 错误时该次 burst 传输中已经成功完成的拍数。

INTNREG07

INTNREG07 为 AHB 错误地址寄存器。



	Offset Address				Register Name				Total Reset Value																											
	0xAC				INTNREG07				0x0000_0000																											
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	err_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RO	err_addr		发生 AHB 错误时控制传输阶段的地址。																															

13.6 USB 3.0 Host

13.6.1 概述

USB3.0 模块支持 USB3.0 协议规定的 5Gbit/s 传输速率以及向后兼容 USB2.0 协议规定的 480Mbit/s 传输速率；完全支持 XHCI 1.0 协议；支持超速传输的 pipe 接口协议以及兼容高速传输的 UTMI 接口协议；模块内部集成了一个 Root Hub，可以扩展 USB 接口或者其他 Hub：

- 完成对传输的控制和处理
- 对数据包的解析和打包
- 对 USB 传输信号的编码和解码
- 为驱动程序提供了中断向量等接口

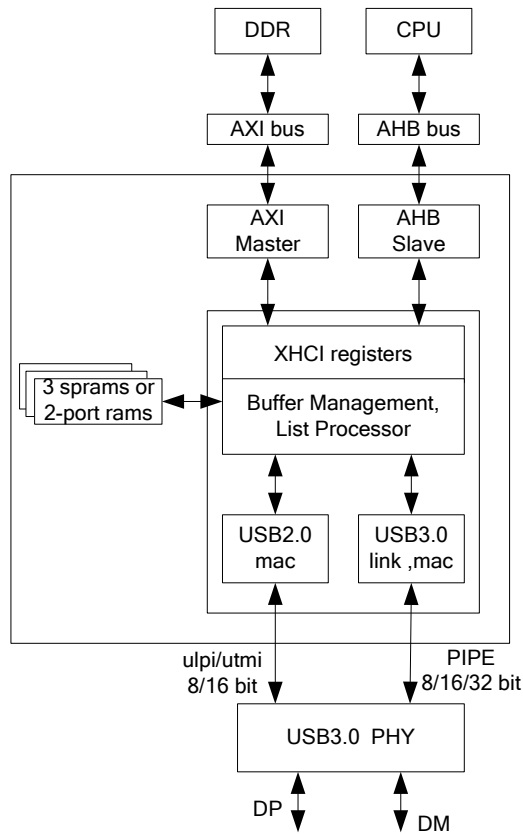
13.6.2 功能描述

逻辑框图

USB 3.0 逻辑框图如图 13-27 所示。



图13-27 USB 3.0 逻辑框图



UTMI: USB2.0 Transceiver Macrocell Interface
XHCI: eXtensible Host Controller Interface

典型应用

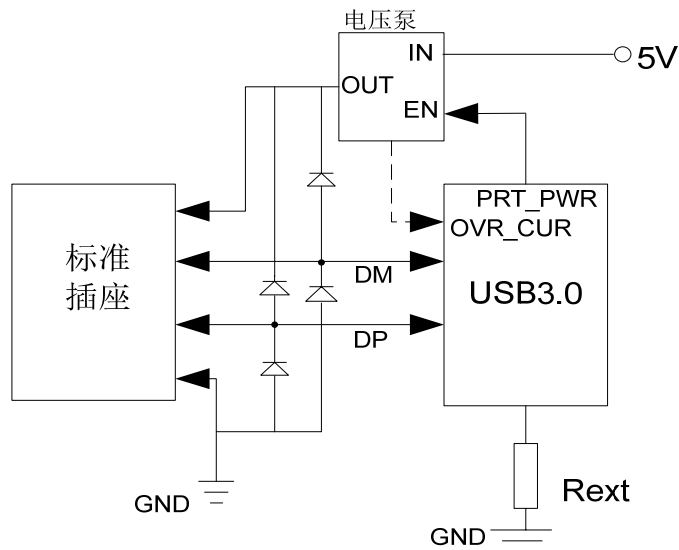
USB 3.0 的参考设计如图 13-28 所示。



注意

- DP 和 DM 的单端阻抗为 $45\ \Omega \pm 1\%$ ，所以 DP 和 DM 无需外接任何的匹配电阻。
- REXT 电阻的精度是 $\pm 1\%$ 。
- 需要使用高速的 ESD 器件，电容值推荐为 1pF 左右。

图13-28 USB 3.0 参考设计



功能特点

USB 3.0 具有以下功能特点：

- 完全兼容 USB3.0 以及向下兼容 USB 2.0。
- 完全符合 XHCI 1.0。
- 可以支持 Super-speed、High-speed、Full-speed、Low-speed 四种设备。
- 支持 USB 2.0 低功耗的解决方案 和 USB3.0 的 U0、U1、U2、U3 四种功耗状态。
- 支持 Host 工作模式下 Control Transfer、Bulk Transfer、Interrupt Transfer 数据传输类型。
- 支持内部 DMA 控制器。
- 可以通过连接 USB Hub，连接最多 127 个设备。

工作原理

USB 3.0 支持以下传输方式：

- Control Transfer（控制传输）



主要用于 USB Host 与 USB Device 端点 0 之间的传输，某些特定型号的 USB 设备的控制传输可能用到其他的端点。控制传输是双向传输，数据量通常较小，可以传输 8byte、16byte、32byte 或 64byte 的数据，依赖于设备和传输速度。

- Bulk Transfer（批量传输）

主要用于没有带宽和间隔时间要求的情况下发送和接收大量的数据，这种类型的设备适合于传输非常慢和大量被延迟的传输，可以等到所有其他类型的数据的传送完成之后再传送和接收数据。它的特点是以错误检测和重传的方式保证 USB Host 与 USB Device 的数据被无差错地发送。

- Interrupt Transfer（中断传输）

主要用于少量、分散、不可预测的数据的传输。中断传输方式下，定时查询设备是否有中断数据要发送。设备的端点模式器的结构决定了它的查询频率为 1ms~255ms。典型的中断方式传输是单向的，并且对于 USB Host 来说只有输入的方式。

13.6.3 工作方式

时钟复位

在初始化控制器之前，对时钟复位寄存器做相应的配置。

关断时钟的步骤如下：

1. 将 PERI_CRG46 bit[27:20]配置为 0xFF，bit[12]配置为 1，对 USB 控制器进行复位。
2. 将 PERI_CRG46 bit[18:13]配置为 0x2C，对 PHY 进行配置。
3. 将 PERI_CRG46 bit[12]配置为 0，撤销 USB 控制器复位，同时配置控制器的时钟。

----结束

13.6.4 USB 3.0 寄存器概览

USB 3.0 寄存器偏移地址中变量的取值范围和含义如表 13-10 所示。

表13-10 各模块的寄存器偏移地址变量表

变量名称	取值范围	描述
f	0~31	FIFO number

USB 3.0 寄存器概览如表 13-11 所示。

表13-11 USB 3.0 寄存器概览（基址是 0x1200_0000）

偏移地址	名称	描述	页码
0xC100	PERI_USB3_GSBUS_CFG0	全局 SOC 总线配置寄存器 0	13-78



偏移地址	名称	描述	页码
0xC104	PERI_USB3_GSBUS_CFG1	全局 SOC 总线配置寄存器 1	13-79
0xC108	PERI_USB3_GTXT_HRCFG	全局发送门限控制寄存器	13-80
0xC10C	PERI_USB3_GRXT_HRCFG	全局接收门限控制寄存器	13-81
0xC110	PERI_USB3_GCTL	全局 core 控制寄存器	13-81
0xC118	PERI_USB3_GSTS	全局状态寄存器	13-85
0xC11C	PERI_USB3_GUCTL1	全局用户控制寄存器 1	13-86
0xC120	PERI_USB3_GSNPS_ID	全局 Vendor ID 寄存器	13-86
0xC128	PERI_USB3_GUID	全局用户 ID 寄存器	13-87
0xC12C	PERI_USB3_GUCTL	全局用户控制寄存器	13-87
0xC130	PERI_USB3_GBUSE_RRADD_HI	全局总线地址错误寄存器	13-88
0xC134	PERI_USB3_GBUSE_RRADDR_LO	全局总线地址错误寄存器	13-89
0xC200	PERI_USB3_GUSB2_PHYCFGN	全局 USB2.0 PHY 配置寄存器	13-89
0xC2C0	PERI_USB3_GUSB3_PIPECTLN	全局 USB3.0 PIPE 控制寄存器	13-92
0xC300+0x04×f	PERI_USB3_GTXFI_FOSIZN	全局发送 FIFO 大小寄存器	13-94
0xC380+0x04×f	PERI_USB3_GRXFI_FOSIZN	全局接收 FIFO 大小寄存器	13-95
0xC618	PERI_USB3_GTXFI_FOPRIHST	host 的全局 TX FIFO DMA 优先寄存器	13-95
0xC61C	PERI_USB3_GRXFI_FOPRIHST	host 的全局 RX FIFO DMA 优先寄存器	13-96
0xC620	PERI_USB3_GFIFO_PRIDBC	host 的全局 Debug 性能时 DMA 优先寄存器	13-96
0xC624	PERI_USB3_GDMA_HLRATIO	host 的全局 FIFO DMA 高、低优先权比例寄存器	13-97
0xC630	PERI_USB3_GFLADJ	GFLADJ 为全局帧长度调整寄存器	13-97



13.6.5 USB 3.0 寄存器描述

PERI_USB3_GSBUSCFG0

PERI_USB3_GSBUSCFG0 为全局 SOC 总线配置寄存器 0。

	Offset Address 0xC100				Register Name PERI_USB3_GSBUSCFG0								Total Reset Value 0x0000_0000																																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	datdreqinfo				desdreqinfo				datwrreqinfo				deswrreqinfo				reserved				datbigend		descbigend		reserved				incr256brstena		incr128brstena		incr64brstena		incr32brstena		incr16brstena		incr8brstena		incr4brstena		incrbstena					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access			Name			Description																																									
[31:28]	RW			datdreqinfo			读数据的请求。																																									
[27:24]	RW			desdreqinfo			读链表请求。																																									
[23:20]	RW			datwrreqinfo			写数据请求。																																									
[19:16]	RW			deswrreqinfo			写链表请求。																																									
[15:12]	RO			reserved			保留。																																									
[11]	RW			datbigend			数据存取大小端选择。 0: 小端; 1: 大端。																																									
[10]	RW			descbigend			链表存取大小端选择 0: 小端; 1: 大端。																																									
[9:8]	RO			reserved			保留。																																									
[7]	RW			incr256brstena			AHB master INCR 进行 256 beat burst 传输使能信号。 0: 不使能; 1: 使能。																																									
[6]	RW			incr128brstena			AHB master INCR 进行 128 beat burst 传输使能信号。 0: 不使能; 1: 使能。																																									



[5]	RW	incr64brstena	AHB master INCR 进行 64 beat burst 传输使能信号。 0: 不使能; 1: 使能。
[4]	RW	incr32brstena	AHB master INCR 进行 32 beat burst 传输使能信号。 0: 不使能; 1: 使能。
[3]	RW	incr16brstena	AHB master INCR 进行 16 beat burst 传输使能信号。 0: 不使能; 1: 使能。
[2]	RW	incr8brstena	AHB master INCR 进行 8 beat burst 传输使能信号。 0: 不使能; 1: 使能。
[1]	RW	incr4brstena	AHB master INCR 进行 4 beat burst 传输使能信号。 0: 不使能; 1: 使能。
[0]	RW	incrbrstena	AHB master INCR 进行 1 beat burst 传输使能信号。 0: 不使能; 1: 使能。

PERI_USB3_GSBUSCFG1

PERI_USB3_GSBUSCFG1 为全局 SOC 总线配置寄存器 1。

	Offset Address				Register Name								Total Reset Value																			
	0xC104				PERI_USB3_GSBUSCFG1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												en1kpage	pipetranslimit				reserved														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	RO		reserved		保留。																											
[12]	RW		en1kpage		1K 边界选择。 0: 4K 边界; 1: 1K 边界。																											



[11:8]	RW	pipetranslimit	AXI master outstanding 请求数目。 0x0: 1 个请求; 0x1: 2 个请求; 0x2: 3 个请求; 0x3: 4 个请求; ... 0xF: 16 个请求。
[7:0]	RO	reserved	保留。

PERI_USB3_GTXTHRCFG

PERI_USB3_GTXTHRCFG 为全局发送门限控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC108				PERI_USB3_GTXTHRCFG								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		usbtxpktntsel	reserved	usbtxpktcnt				usbmaxtxburstsize				reserved																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:30]		[29]	[28]	[27:24]				[23:16]				[15:0]																			
Access	RO		RW	RO	RW				RW				RO																			
Name	reserved		usbtxpktntsel	reserved	usbtxpktcnt				usbmaxtxburstsize				reserved																			
Description	保留。		USB TXFIFO 门限选择，仅在 SuperSpeed 时有效。 0: USB 只在全部的包被读取到既定的 TXFIFO 后，才开始进行传输; 1: USB 只在设定的包被读取到既定的 TXFIFO 后，才开始进行传输。	保留。	TXFIFO 门限值设置，有效值在 1-15 以内。				发送 burst 的最大值，仅在 host 模式下 SuperSpeed 的 bulk, Interrupt 传输的 Out 端点时有效，有效值在 1-16 之间。				保留。																			



PERI_USB3_GRXTHRCFG

PERI_USB3_GRXTHRCFG 为全局接收门限控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC10C				PERI_USB3_GRXTHRCFG								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				usbtxpkttsel	reserved	usbtxpktcnt				usbmaxtxburstsize				reserved																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:30]		[29]		[28]		[27:24]		[23:19]		[18:0]																					
Access	RO		RW		RO		RW		RO		RO																					
Name	reserved		usbtxpkttsel		reserved		usbtxpktcnt		usbmaxtxburstsize		reserved																					
Description	保留。		USB RXFIFO 门限选择，仅在 SuperSpeed 时有效。 0: USB 只在全部的包被读取到既定的 RXFIFO 后，才开始进行传输； 1: USB 只在设定的包被读取到既定的 RXFIFO 后，才开始进行传输。		保留。		RXFIFO 门限值设置，有效值在 1~15 以内。		保留。		接收 burst 的最大值，仅在 host 模式下 SuperSpeed 的 bulk, Interrupt 传输的 I#N 端点时有效，有效值在 1-16 之间。																					

PERI_USB3_GCTL

PERI_USB3_GCTL 为全局 core 控制寄存器。



Offset Address		Register Name		Total Reset Value														
0xC110		PERI_USB3_GCTL		0x0000_0000														
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0										
Name	pwrnyscale			masterfiltbypass	reserved	reserved	firmsclown	reserved	coresofreset	sofifpsync	u1u2imerscale	debugattach	ramclkssel	scaledown	dissscramble	u2exit_ifps	gblhibernationen	dsbleclkgrng
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description															
[31:19]	RW	pwrnyscale	Suspend_clk 设置, GCTL[31:19] x 16K = Suspend_clk。 说明: 32kHz<Suspend_clk<125MHz。															
[18]	RW	masterfiltbypass	滤波功能选择。 0: 当 DWC_USB3_EN_BUS_FILTERS 值为 1 时, 选择滤波功能; 1: 无论当 DWC_USB3_EN_BUS_FILTERS 值为多少, 关闭滤波功能。															
[17]	RO	reserved	保留。															
[16]	RO	reserved	保留。															
[15:14]	RW	firmsclown	SOF/USOF/ITP 时间间隔选择, 对于 SS/HS 模式: 0x3: 15.625us; 0x2: 31.25u; 0x1: 62.5us; 0x0: 125us; 对于 FS 模式, 将上述值 x 8 即可。 当选择 xHCI Debug 模式时, 可配置仿真时 bulk in 和 bulkout 传输的 MaxPacketSize, 0x0: 1024 bytes; 0x1: 512 bytes; 0x2: 256 bytes; 0x3: 128bytes;															
[13:12]	RW	reserved	保留。															



[11]	RW	coresoftreset	<p>Core 软复位选择。</p> <p>0: 不进行软复位;</p> <p>1: 对 core 软复位;</p> <p>说明: 当对 core 进行软复位操作时, 将清掉中断及除下列寄存器以外的所有中断:</p> <ul style="list-style-type: none"> -GCTL; -GUCTL; -GSTS; -GSNPSID; -GGPIO; -GUID; -GUSB2PHYCFGn; -GUSB3PIPECTLn; -DCFG; -DCTL; -DEVTEN; -DSTS;
[10]	RW	sofitpsync	<p>0: UTMI/ULPI PHY 的第一个 port 都将处于非挂起状态, 不管是否有其他的 SS port 不处于 Rx.Detect,SS.Disable 和 U3 状态。</p> <p>1: UTMI/ULPI PHY 的第一个端口都将处于非挂起状态, 不管是否有其他的非 SS 端口不处于非挂起状态。</p> <p>说明: 此比特位只在控制器工作于 host 模式时有效。</p>
[9]	RW	u1u2timerscale	<p>U1/U2 timer scaledown 选择。</p> <p>0: 不关闭;</p> <p>1: 如果 GCTL[5:4](ScaleDown)=X1, 则关闭 U1/U2 的反应时间的 scaledown。</p>
[8]	RW	debugattach	<p>Debug。</p> <p>当次位被置 1 时,</p> <p>当 DCTL 寄存器里的 Ru/Stop 位被置位后, SS 控制器将直接进入 Polling link 状态而不需要检测远程设备的连接;</p> <p>Link LFPS polling 的超时时间无限。</p> <p>TS1 的 Polling 超时时间无限。</p>



[7:6]	RW	ramclkssel	<p>RAM Clock 选择。</p> <p>00: bus clock; 01: pipe clock; 10: pipe/2 clock; 11: reserved。</p> <p>说明：当处于 host 模式时，硬件将置此 2 位为 00，即将 ram_clk 接 bus_clk，因为当 SS port 处于 P3 状态时，pipe_clk 会被关闭，USB2.0 port 将不会工作。</p>
[5:4]	RW	scaledown	<p>scale-down timing 选择：</p> <p>HS/FS/LS 模式下：</p> <p>00: 关闭掉所有的 scale-down timing，使用实际的 timing 进行仿真； 01: 启用除以下功能外地所有的 scale-down。timing： -speed enumeration; -HNP/SRP; -Host 模式的 suspend 和 resume; 10: 仅仅开启 device 模式时 suspend 和 resume 功能时的 scale-down timing。 11: 打开所有的 scale-down timing。</p> <p>SS 模式下：</p> <p>HS/FS/LS 模式下：</p> <p>00: 关闭掉所有的 scale-down timing，使用实际的 timing 进行仿真； 01: 开启 SS 的 scale-down timing，包括： -减少 TxEq training sequences 的个数到 8； -减少 LFPS polling burst time 到 100ns； -减少 LFPS warm reset receive 到 30us； 10: 不发送 TxEq training sequences； 11: 打开所有的 scale-down timing。</p>
[3]	RW	dissscrumble	<p>关闭加扰功能。</p> <p>1: 关闭； 0: 不关闭。</p>
[2]	RW	u2exit_lfps	<p>U2 状态退出信号。</p> <p>0: link 将把 248ns 的 LFPS 信号当做有效的 U2 退出状态信号。 1: link 层在检测到有效的 U2 退出信号前等待 8us。</p>



[1]	RW	gblhibernationen	休眠使能。 0: 关闭全局休眠功能, PMU 接受 D0->D3 或者 D3->D0 的状态切换, core 内部的状态将不会保存或者恢复。 1: 打开全局休眠功能。
[0]	RW	dsblclkgtnng	内部 Clock Gating 选择。 0: 选择内部 clock gating; 1: 当 core 处于 lpm 模式时, 关闭掉内部 clock gating; 说明: 上电复位后可将此 bit 置为 1。

PERI_USB3_GSTS

PERI_USB3_GSTS 为全局状态寄存器。

Offset Address		Register Name		Total Reset Value												
0xC118		PERI_USB3_GSTS		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	cbelt			reserved				otg_ip	bc_ip	adp_ip	host_ip	device_ip	csrtimeout	buserraddrvld	reserved	curmod
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description													
[31:20]	RO	cbelt	指示在 Host 模式下, 所有接收到的 device BELT value 的最小值, 以及 Set Latency Tolerance Value 命令设置的 BELT 值。													
[19:11]	RO	reserved	保留。													
[10]	RO	otg_ip	指示 OEVT 寄存器中有一个与 OTG 有关的中断等待处理。													
[9]	RO	bc_ip	指示 BCEVT 寄存器中有一个与 BC 有关的中断等待处理。													
[8]	RO	adp_ip	指示 ADPEVT 寄存器中有一个与 ADP 有关的中断等待处理。													
[7]	RO	host_ip	指示 Host event queue 中有一个与 xHCI 有关的中断等待处理。													
[6]	RO	reserved	保留。													
[5]	RO	csrtimeout	指示软件访问寄存器的时间超出了。 DWC_USB3_CSR_ACCESS_TIMEOUT 定义的时间。													
[4]	RO	buserraddrvld	指示 GBUSERRADDR 寄存器是否有效并指出发生错误的首地址。													



[3:2]	RO	reserved	保留。
[1:0]	RO	curmod	当前的工作模式。 01: host 模式; 其他: 保留。

PERI_USB3_GUCTL1

PERI_USB3_GUCTL1 为全局用户控制寄存器 1。

	Offset Address	Register Name	Total Reset Value
	0xC11C	PERI_USB3_GUCTL1	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:2]	RO	reserved	保留。
[1]	RW	ovrld_l1_susp_com	使用 vendor 的 PHY，可配任何值。
[0]	RW	loa_filter_en	检测端口的关闭状态，当此位置 1 时，在端口关闭之前，controller 将化三个连续的 cycle 检查端口的状态。

PERI_USB3_GSNPSID

PERI_USB3_GSNPSID 为全局 Synopsys ID 寄存器。

	Offset Address	Register Name	Total Reset Value
	0xC120	PERI_USB3_GSNPSID	0x5533_250A
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	synopsysid		
Reset	0 1 0 1 0 1 0 1 0 0 1 1 0 0 1 1 0 0 1 0 0 1 0 1 0 0 0 0 1 0 1 0		
Bits	Access	Name	Description
[31:0]	RO	synopsysid	高 16 位代表 USB3，低 16 位代表 2.50a。



PERI_USB3_GUID

PERI_USB3_GUID 为全局用户 ID 寄存器。

Offset Address		Register Name		Total Reset Value				
0xC128		PERI_USB3_GUID		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	userid							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	userid	用户信息，包括：系统版本；硬件配置。					

PERI_USB3_GUCTL

PERI_USB3_GUCTL 为全局用户控制寄存器。

Offset Address		Register Name		Total Reset Value										
0xC12C		PERI_USB3_GUCTL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	refclkper		noextrdl_	reserved	sprscrtrtransen	resbwhseps	cmdevaddr	usbhstlnautoretryen	enoverlapchik	extcapsupten	csr	dtct	dtft	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:22]	RW	refclkper	参考时钟 ref_clk 用 ns 表示。 例如：ref_clk=125MHz,则此处为 1/125MHz=8ns。											
[21]	RW	noextrdl_	SOF 包和第一个包之间的额外延时选择。 0: Host 在 SOF 包之后等待 2ms 再发送第一个包； 1: Host 在 SOF 之后不延时直接发送第一个包。											
[20:18]	RW	reserved	保留。											
[17]	RW	sprscrtrtransen	分散控制传输使能。 一些 device 对控制传输的响应很慢，在 1 帧/微帧内进行多次传输的话会导致 device 行为紊乱。当此位被置 1 时，host 控制器将把一个控制传输分散在不同的帧或者微帧中。											
[16]	RW	resbwhseps	保留 85%的带宽给高速周期性端点。											



[15]	RW	cmdevaddr	device 地址的模式。 0: 设备地址等于 Slot ID; 1: 根据每个设备分配地址命令递增。
[14]	RW	usbhstlnautoretryen	Host 输入传输自动重传使能。 0: 自动重传功能关闭; 如果 host 的输入传输发生错误, host 变自动回复给 device 一个终结的 ACK(Retry = 1 and NumP = 0)。 1: 自动重传功能开启。 当自动重传功能开启后, 如果 host 的输入传输发生错误, host 变自动回复给 device 一个不是终结的 ACK(Retry= 1 and NumP != 0)。
[13]	RW	enoverlapchk	LFPS 叠加信号检测使能。 0: 不检测 LFPS 叠加信号; 1: 检测 LFPS 叠加信号避免毛刺影响。
[12]	RW	extcapsupten	外部附加功能使能。
[11]	RW	csr	在全速 BULKOUT 传输之间插入额外的延时。
[10:9]	RW	dtct	Device 响应 Host 的 Timeout 粗略时间, 若此位置 0, 则 timeout 时间由 DTFT 定义, 若此位为非 0, 则: 01: 500us; 10: 1.5ms; 11: 6.5ms。
[8:0]	RW	dtft	Device 响应 Host 的 Timeout 精确时间, DTCT 为 0 的时候有效, $T=DTFT \times 256 \times 8 \text{ us}$ 。

PERI_USB3_GBUSERRADD_HI

PERI_USB3_GBUSERRADD_HI 为全局总线地址错误寄存器。



Offset Address		Register Name		Total Reset Value				
0xC130		PERI_USB3_GBUSERRADD_HI		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	busaddrhi							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	busaddrhi	发生错误的高 32 位地址。 说明： 只在 GSTS.BusErrAddrVld 为 1 时有效。 只在复位时清 0。 只支持 AHB 和 AXI 的总线配置。					

PERI_USB3_GBUSERRADDR_LO

PERI_USB3_GBUSERRADDR_LO 为全局总线地址错误寄存器。

Offset Address		Register Name		Total Reset Value				
0xC134		PERI_USB3_GBUSERRADDR_LO		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	busaddrlo							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	busaddrlo	发生错误的低 32 位地址。 说明： 只在 GSTS.BusErrAddrVld 为 1 时有效。 只在复位时清 0。 只支持 AHB 和 AXI 的总线配置。					

PERI_USB3_GUSB2PHYCFGN

PERI_USB3_GUSB2PHYCFGN 为全局 USB2.0 PHY 配置寄存器。



Offset Address		Register Name		Total Reset Value																																
0xC200		PERI_USB3_GUSB2PHYCFGN		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	phy_soft_rst	u2_freeclk_exists	ulpi_lpm_with_opmode_chk	reserved								ulpi_ext_vbus_indicator	ulpi_ext_vbus_drv	reserved	ulpi_auto_res	reserved	usbtrdtim					xcvrdly	enblslpm	physel	susphy	fsintf	ulpi_utmi_sel	phyif	toutcal							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name	Description																																	
[31]	RW	phy_soft_rst	触发 usb2phy_reset 信号对 UTMI PHY 进行软复位。此处不对 ULPI PHY 进行复位，因为 ULPIPHY 是通过 FunctionControl.Reset 寄存器进行复位的，当 core 复位的时候，core 自动配置如下寄存器进行复位： vcc_reset_n,USBCMD.HCRST, DCTL.SoftReset, or GCTL.SoftReset。																																	
[30]	RW	u2_freeclk_exists	USB2 PHY 是否提供 free_clk。 0: 不提供 free clock; 1: 提供 free clock。																																	
[29]	RW	ulpi_lpm_with_opmode_chk	0: LPM 模式下，控制器发送 EXTPID 之前发送一个 NOPID; 1: LPM 模式下，控制器发送 EXTPID 之前 F 不发送一个 NOPID。																																	
[28:19]	RO	reserved	保留。																																	
[18]	RW	ulpi_ext_vbus_indicator	ULPI 外 Vbus 指示。 0: PHY 用内部 VBUS valid comparator; 1: PHY 用外部 VBUS valid comparator。																																	
[17]	RW	ulpi_ext_vbus_drv	ULPI 外 Vbus 指示。 0: PHY 用内部 VBUS valid comparator; 1: PHY 用外部 VBUS valid comparator。																																	
[16]	RO	reserved	保留。																																	
[15]	RW	ulpi_auto_res	ULPI 自动唤醒。 0: PHY 不启用自动唤醒功能; 1: PHY 启用自动唤醒功能。																																	
[14]	RO	reserved	保留。																																	



[13:10]	RW	usbtrdtim	USB2 周转时间(Turnround Time), 指 MAC 请求 Packet FIFO Controller (PFC)从 DFIFO (SPRAM)取回数据的响应时间。 当 16-bit UTMI+时: 0x5; 当 8-bit UTMI+/ULPI 接口时: 0x9。
[9]	RW	xcvrdly	收发延时选择, 当此位置 1 时, 在 Transceiver Select 被置为 00(高速)和 TxValid 被拉为 0 之间加上 2.5us 的延时, 用于发送 chirp-K 握手信号。
[8]	RW	enbblslpm	utmi_sleep_n 和 utmi_l1_suspend_n 信号使能。 0: utmi_sleep_n 和 utmi_l1_suspend_n 信号不接 PHY; 1: utmi_sleep_n 和 utmi_l1_suspend_n 信号接 PHY。
[7]	RW	physel	PHY 的接口类型选择。 0: USB2.0 高速 UTMI+或者 ULPI PHY; 1: USB1.1 全速串行接口。 当作为只写时, 此 bit 为 1。
[6]	RW	susphy	USB2.0 HS/FS/LS PHY 挂起选择。 0: 不挂起; 1: 挂起。
[5]	RW	fsintf	全速 PHY 串行接口类型选择。 0: 6-pin 单向全速串行传输接口; 1: 3-pin 双向全速串行传输接口。 当作为只读时, 返回值为 0。
[4]	RW	ulpi_utmi_sel	高速 PHY 接口类型选择。 0: UTMI+; 1: ULPI。
[3]	RW	phyif	UTMI 接口数据位宽选择。 0: 8bits; 1: 16bits。
[2:0]	RW	toutcal	HS/FS Timeout 校准。 每个 PHY clock 加上相应的 bit time。 High-speed 模式: One 30-MHz PHY clock = 16 bit times; One 60-MHz PHY clock = 8 bit times。 Full-speed 模式: One 30-MHz PHY clock = 0.4 bit times; One 60-MHz PHY clock = 0.2 bit times; One 48-MHz PHY clock = 0.25 bit times。



PERI_USB3_GUSB3PIPECTLN

PERI_USB3_GUSB3PIPECTLN 为全局 USB3.0 PIPE 控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0xC2C0		PERI_USB3_GUSB3PIPECTLN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	phy_soft_rst	hstprtcmpl	u2ssinactp3ok	disrxdetp3	ux_exit_in_px	ping_enhancement_en	u1u2exitfail_to_recov	request_p1p2p3	startxdetu3rxdet	disrxdetu3rxdet		delayplp2p3		delay_phy_powerchange	suspend_en		datwidth		abortrxdetinu2	skiprxdet	lfps_p0_align	p3p2_tran_ok	p3exsigp2	lfps_filter	polling_lfps_control	reserved	txswing		txmargin		txdeemphasis	elastic_buffer_mode
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[31]	RW		phy_soft_rst		USB3 软复位。																											
[30]	RW		hstprtcmpl		测试 PIPE PHY 的模板而不用 USB3.0 线。																											
[29]	RW		u2ssinactp3ok		U2/SSInactive 状态时 PHY 的状态选择。 0: PHY 进入 P2 状态; 1: PHY 进入 P3 状态。																											
[28]	RW		disrxdetp3		p3 状态接收检测使能。 0:如果 PHY 处于 P3 状态, 并且 core 需要接收检测, 则 core 会在 P3 状态下进行接收检测。 1:如果 PHY 处于 P3 状态, 并且 core 需要接收检测, 则 Core 会将 PHY 的状态转变为 P2, 再进行接收检测, 在检测完毕后, core 再将 PHY 的状态转换回 P3。																											
[27]	RW		ux_exit_in_px		core 状态切换时, PHY 的状态选择。 0: core 退出 U1/U2/U3 状态时处于 PHY 的 P0 状态; 1: core 退出 U1/u2/u3 状态时处于 PHY 的相对应的 P1/P2/P3 状态。 说明: 当使用 synopsys 的 PHY 时, 此位置 0。																											
[26]	RW		ping_enhancement_en		下行端口 U1 的 ping 命令的 timeout 从 500ms 变为 300ms。 说明: 当使用 synopsys 的 PHY 时, 此位置 0。																											
[25]	RW		u1u2exitfail_to_recov		P2 状态下退出 P3 的信号选择: 当此位被置 1 时, core 会在发出退出 U3 的握手信号之前, 将 PHY 的状态置为 P2。																											



[24]	RW	request_p1p2p3	当 core 从状态 U0 切换到 U1/U2/U3 时, core 总是会请求 PHY 从状态 P0 切换到 P1/P2/P3。 说明: 当使用 synopsys 的 PHY 时, 此位置 1。
[23]	RW	startrxdetu3rxdet	不用, 接 0。
[22]	RW	disrxdetu3rxdet	不用, 接 0。
[21:19]	RW	delayp1p2p3	P0 到 P1P2P3 状态的延时。 当 core 进入 U1/U2/U3 状态时, 延长 P0 进入 P1P2P3 的时间, 直到 Pipe3_RxValid 被拉为 0, 或者发生 8B10B 的错误 说明: 第 18bit 必须被置为 1 时才有效。
[18]	RW	delay_phy_powerchange	PHY 状态切换延时 0: 当 core 从 U0 进入 U1/U2/U3 状态时, PHY 直接进入 P1/P2/P3 状态, 不需要查看 Pipe3_RxElecIdle 和 pipe3_RxValid 的值; 1: 当 core 从 U0 进入 U1/U2/U3 状态时, PHY 到 P1/P2/P3 的状态将会被延时, 直到 Pipe3_RxElecIdle 为 1 和 pipe3_RxValid 为 0。 说明: 若使用 Synopsys 的 PHY, 此位置 1。
[17]	RW	suspend_en	USB3.0 PHY 挂起使能。 0: 不挂起; 1: 挂起。 说明: DRD 模式时, core 初始化完毕后再将此 bit 置 1。
[16:15]	RW	datwidth	PIPE 接口的数据位宽。 00: 32 bits; 01: 16 bits; 10: 8 bits。
[14]	RW	abortrxdetinu2	取消 U2 状态下地 Rx Detect。 当此位被置 1 并且连接状态时 U2 时, core 接收到远端连接设备发送的 U2 退出信号时, 将不会采取接收检测。 说明: 当使用 synopsys 的 PHY 时, 此位置 0。
[13]	RW	skiprxdet	跳过 Rx Detect: 如果此位被置 1, 当 pipe3_RxElecIdle 被拉低时, 将跳过 Rx Detection。
[12]	RW	lfps_p0_align	控制器退出 U1U2U3 状态时在请求 PHY P0 的信号的始终边缘终止发送 LFPS, 否则 LFPS 信号将早一个 cycle 之前发送; 当 PHY 从 P1 或 P2 状态切换到 P0 状态时, 在 PHY 设置 PhyStatus 以后 2 个时钟周期, 控制器请求传输。



[11]	RW	p3p2_tran_ok	P3P2 状态直接切换。 0: PHY 每次进行 P2P3 之间的切换都需要经过中间状态 P0; 1: PHY 的状态直接从 P2 切换到 P3, 或者直接从 P3 切换到 P2, 不需要经过中间状态 P0。 说明: 当使用 synopsys 的 PHY 时, 此位置 0。
[10]	RW	p3exsigp2	P3 退出状态选择。 1: 当 core 从 U3 退出时, PHY 的状态一定是从 P3 退出到 P2 说明: 当使用 synopsys 的 PHY 时, 此位置 0。
[9]	RW	lfps_filter	LFPS 过滤。 当次位置 1 时, 控制器将过滤来自 PHY 的 LFPS 信号除非 pipe3_Rxelecidle 和 pipe3_RxValid 被撤销。
[8]	RW	polling_lfps_control	RX_DETECT 到 Polling.LFPS 控制。 0: (默认值)RX_DETECT 后延时 400us 开始 Polling LFPS; 1: RX_DETECT 后不加延时直接开始 Polling LFPS;
[7]	RO	reserved	保留。
[6]	RW	txswing	PIPE 接口发送摆幅。
[5:3]	RW	txmargin	PIPE 接口发送端余量。
[2:1]	RW	txdeemphasis	PIPE 接口发送端预加重。
[0]	RW	elastic_buffer_mode	弹性 buffer 模式选择。

PERI_USB3_GTXFIFOSIZN

PERI_USB3_GTXFIFOSIZN 为全局发送 FIFO 大小寄存器。

Offset Address	Register Name	Total Reset Value
0xC300+0x04×f	PERI_USB3_GTXFIFOSIZN	0x0000_0000
(f=0~31)		

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	txfstaddr_n												txfdep_n																								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																																
[31:16]	RW		txfstaddr_n		Transmit FIFO n RAM 在 memory 中的起始地址。																																



[15:0]	RW	txfdep_n	Transmit FIFO 深度。 最小：32 MDWIDTH-bit words; 最大：32768 MDWIDTH-bit words。
--------	----	----------	--

PERI_USB3_GRXFIFOSIZN

PERI_USB3_GRXFIFOSIZN 为全局接收 FIFO 大小寄存器。

Offset Address	Register Name	Total Reset Value
0xC380+0x04×f (f=0~31)	PERI_USB3_GRXFIFOSIZN	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	rxfstaddr_n												rxfdep_n																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	RW		rxfstaddr_n		Receive FIFO on RAM 在 memory 中的起始地址。																															
[15:0]	RW		rxfdep_n		Receive FIFO 深度。 最小：32 MDWIDTH-bit words; 最大：32768 MDWIDTH-bit words。																															

PERI_USB3_GTXFIFOPRIHST

PERI_USB3_GTXFIFOPRIHST 为 host 的全局 TX FIFO DMA 优先寄存器。

Offset Address	Register Name	Total Reset Value
0xC618	PERI_USB3_GTXFIFOPRIHST	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																										host_txfifo_pri ority									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:4]	RO		reserved		保留。																															
[3:0]	RW		host_txfifo_priority		Host TXFIFO 优先级。 0: low; 1: high。																															



PERI_USB3_GRXFIFOPRIHST

PERI_USB3_GRXFIFOPRIHST 为 host 的全局 RX FIFO DMA 优先寄存器。

Offset Address		Register Name		Total Reset Value				
0xC61C		PERI_USB3_GRXFIFOPRIHST		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							host_rxfifo_pri ority
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	RO	reserved	保留。					
[3:0]	RW	host_rxfifo_priority	Host RXFIFO 优先级。 0: low; 1: high。					

PERI_USB3_GFIFOPRIDBC

PERI_USB3_GFIFOPRIDBC 为 host 的全局 Debug 性能时 DMA 优先寄存器。

Offset Address		Register Name		Total Reset Value				
0xC620		PERI_USB3_GFIFOPRIDBC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							host_dbc_dma_prio rity
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:2]	RO	reserved	保留。					
[1:0]	RW	host_dbc_dma_prio rity	Host Dbc DMA 优先级。 00: Low; 01: Normal; 10: High; 其他: 保留。					



PERI_USB3_GDMAHLRATIO

PERI_USB3_GDMAHLRATIO 为 host 的全局 FIFO DMA 高、低优先级比例寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0xC624				PERI_USB3_GDMAHLRATIO								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hst_rxfifo_dma_hilo_priority_ratio				reserved		hst_txfifo_dma_hilo_priority_ratio													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:13]	RO	reserved		保留。																											
	[12:8]	RW	hst_rxfifo_dma_hilo_priority_ratio		Host RXFIFO DMA 高-低优先级比例。																											
	[7:5]	RO	reserved		保留。																											
	[4:0]	RW	hst_txfifo_dma_hilo_priority_ratio		Host TXFIFO DMA 高-低优先级比例。																											

PERI_USB3_GFLADJ

PERI_USB3_GFLADJ 为全局帧长度调整寄存器。



Offset Address		Register Name		Total Reset Value																																		
0xC630		PERI_USB3_GFLADJ		0x0000_0000																																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	gfladj_refclk_240mhzdecr_pls1				gfladj_refclk_240mhz_decr								gfladj_refclk_lpm_sel		reserved		gfladj_refclk_fladj												gfladj_30mhz_reg_sel		reserved		gfladj_30mhz					
Reset	0 0 0 0				0 0 0 0								0 0 0 0		0 0 0 0		0 0 0 0												0 0 0 0		0 0 0 0		0 0 0 0					
Bits	Access	Name	Description																																			
[31]	RW	gfladj_refclk_240mhzdecr_pls1	GFLADJ_REFCLK_240MHZ_DECR/ref_frequency 的精度调整。 当 gfladj_refclk_lpm_sel 比特为 1 且小数部分大于等于 0.5 时将此位置 1。																																			
[30:24]	RW	gfladj_refclk_240mhz_decr	GFLADJ_REFCLK_240MHZ_DECR = 240/ref_clk_frequency。																																			
[23]	RW	gfladj_refclk_lpm_sel	SOF/ITP 计数时钟选择。 若此位被置 1，则 SOF/ITP 已 ref_clk 为时钟计数。																																			
[22]	RO	reserved	保留。																																			
[21:8]	RW	gfladj_refclk_fladj	当 23bit 为 1 时，SOF/ITP 校准值。 $FLADJ_REF_CLK_FLADJ = ((125000/ref_clk_period_integer) - (125000/ref_clk_period)) * ref_clk_period$ 。																																			
[7]	RW	gfladj_30mhz_reg_sel	SOF/ITP 帧长校准选择信号。 0: 控制器用输入信号 fladj_30mhz_reg 的值来对 SOF/ITP 进行校准。 1: 控制器用 GFLADJ.GFLADJ_30MHZ 的值来对 SOF/ITP 进行校准；																																			
[6]	RO	reserved	保留。																																			
[5:0]	RW	gfladj_30mhz	当第 7bit 为 1 且则 SOF/ITP 以 UTMI/ULPI 为时钟计数时，控制器用此处的值来对 SOF/ITP 进行校准。																																			



13.7 PCI Express

13.7.1 概述

Hi3535 的 PCI Express（以下简称 PCIe）主要应用于 PCIe 外扩 SATA、网口、WIFI 以及片间级联等。

13.7.2 特点

Hi3535 中 PCI Express 控制器具有以下特点：

- 支持一个 PCI Express Gen2 X1 控制器。
- 支持 1 VC，1 TC。
- 支持 RC 模式。
- 支持 EP 模式。
- 支持 DMA 功能。

13.7.3 信号描述

Hi3535 中 PCI Express 接口信号描述如下：

表13-12 PCI Express 接口信号描述

信号名称	方向	描述	对应管脚
Refclk_m	I	PCIe 参考时钟管脚负极	SATA_REFCLKM2
Refclk_p	I	PCIe 参考时钟管脚正极	SATA_REFCLKP2
Rx_m	I	PCIe 接收差分信号负极	SATA_RXM2
Rx_p	I	PCIe 接收差分信号正极	SATA_RXP2
Tx_m	O	PCIe 发送差分信号负极	SATA_TXM2
Tx_p	O	PCIe 发送差分信号正极	SATA_TXP2



注意

在 Hi3535 芯片中，由于 PCI Express 接口与 SATA 的 Port 2 接口信号是复用的（默认是 PCI Express 功能），因此当这些信号被用作 PCI Express 接口时，SATA Port 2 功能不可用。

可以通过如下寄存器确认此接口设置为 PCI Express 模式：

- CRG 寄存器 PERI_CRG43[6]必须设置为 1。
- 外设控制寄存器 MISC_CTRL1[12]必须设置为 1。



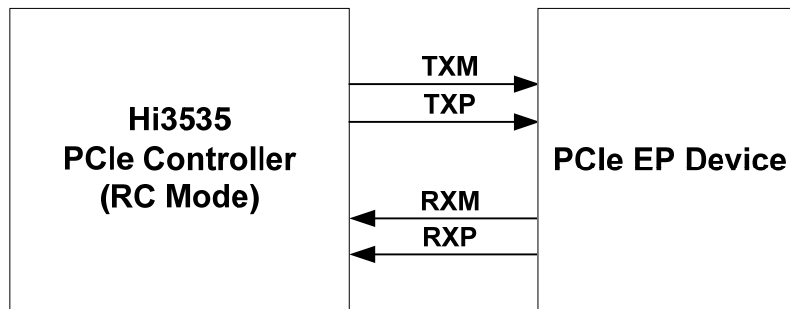
13.7.4 功能描述

RC (Root-Complex) 模式

Hi3535 PCIe 接口在 RC 模式下可与其它 PCIe EP 设备进行对接以实现功能扩展。

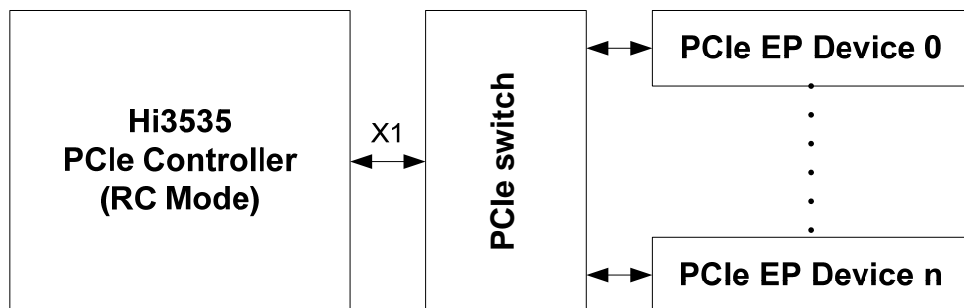
PCIe 控制器 RC 模式下的应用框图如图 13-29 所示。

图13-29 PCIe 控制器应用框图 (RC 模式外接 EP 设备)



Hi3535 PCIe 控制器还可以连接 SWITCH 设备，实现更多数量的功能扩展，RC 模式下与 SWITCH 设备连接应用框图如图 13-30 所示。

图13-30 PCIe 控制器与 PCIe switch 设备连接应用框图 (RC 模式)

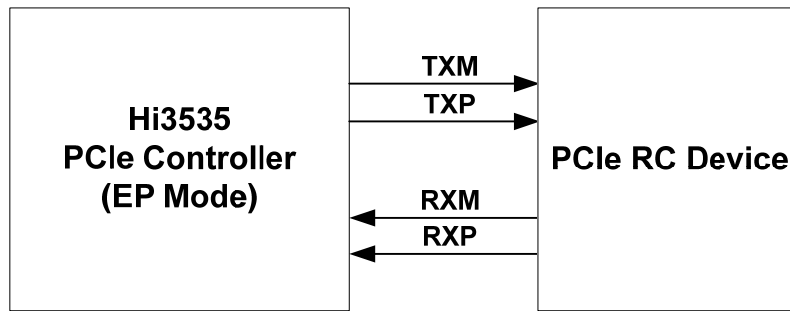


EP (End-Point) 模式

Hi3535 中的 PCIe 接口可以设置为 EP 模式，以实现与 PCIe RC 或 SWITCH 设备对接。



图13-31 Hi3535 与 RC 设备连接应用框图（EP 模式）



13.7.5 工作方式

13.7.5.1 时钟和复位

时钟设置

PCIe PHY 工作时需要一个 100MHz 的参考时钟，此参考时钟有两个来源：

- Hi3535 内部 CRG

配置寄存器 MISC_CTRL73[pcie_cfg_ref_use_pad]为 0x0，此时 PCIe 接口时钟管脚被设置成输出模式，Hi3535 接受内部 CRG 产生的时钟作为 PHY 参考时钟并将此内部差分时钟通过 PCI Express 时钟管脚输出给对端设备作为参考时钟使用。

- 外部 PCIe 差分时钟

配置寄存器 MISC_CTRL73[pcie_cfg_ref_use_pad]为 0x1，此时 PCIe 接口时钟管脚被设置成输入模式，接受外部差分时钟作为 PHY 的参考时钟。

PCIe 软复位

软件可通过 PCI Express 复位寄存器来控制 PCI Express 复位，PCI Express 控制器复位寄存器位于 CRG 寄存器中的 PERI_CRG44 寄存器，请参考 CRG 寄存器中关于 PERI_CRG44 寄存器的描述。

13.7.5.2 使能 PCIe 控制器

按如下步骤使能 PCIe 控制器：

1. 通过向系统控制寄存器 MISC_CTRL67[pcie_app_ltssm_enable]写入 0，关闭 PCIe 控制器。
2. 设置 CRG 寄存器 PERI_CRG44 使能 PCIe 控制器时钟。
3. 通过系统控制寄存器中的 MISC_CTRL60[pcie_device_type] 寄存器设置 PCIe 控制器的工作模式(RC 模式/EP 模式)。
4. 向 CRG 寄存器 PERI_CRG44[pcie_bus_srst_req]写 1，以复位 PCIe 控制器。
5. 向 CRG 寄存器 PERI_CRG44[pcie_bus_srst_req]写 0，以撤销 PCIe 控制器复位。



6. 当工作在 RC 模式时，需要配置对应的控制器的类代码寄存器（CLASS Code Register）为 0x060400（对应为 PCI 到 PCI 桥设备）。PCIe 控制器的类代码寄存器位于各自的 PCIe 配置寄存器空间内。
7. 通过向系统控制寄存器 MISC_CTRL67[pcie_app_ltssm_enable]写入 1，使能 PCIe 控制器。PCIe 控制器使能后，PCIe 控制器开始链路建立过程。

----结束



注意

在没有初始化好相关的系统控制器之前不要使能 PCIe 控制器。

链路初始化和定向是配置和初始化设备物理层、端口和相关链路的物理层的过程，使链路可以传输正常的数据包流量。链路的建立均是由硬件自动完成的，完成 PCIe 控制器的初始化和使能后，PCIe 链路的建立自动发起，无需任何软件参与。

PCIe 控制器与对端设备之间的连接未建立，不可向对端设备发起任何 PCIe 事务。

软件通过查询系统控制寄存器 MISC_CTRL75[pcie_rdlh_link_up]可以确定 PCIe 控制器是否已与对端设备建立连接。

请参考系统控制器中关于 MISC_CTRL75 寄存器的定义。

13.7.5.3 发起 PCIe 事务

通过本地总线接口，可以由 CPU 发起总线读写操作，经地址转换单元转换为对应的 PCIe 事务。

配置事务

只有在 RC 模式下才可以发起配置事务。

由 13.7.5.5 地址转换一节中可知，PCIe 控制器的配置事务地址空间为 0x40000000~0x4FFFFFFF。

PCIe 控制器的地址转换单元负责将在 0x40000000~0x4FFFFFFF 地址范围内的本地总线操作转换为对应的 PCIe 配置事务。

CPU 在本地总线上发起总线读/写请求，且总线地址各字段组成如图 13-32 配置，就可由 PCIe 控制器发出配置读/写事务。

图13-32 PCIe 控制器配置事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	4				BUS_ID				DEV_ID				FUN_ID				REG_NUM				0											

其中：

- BUS_ID：配置事务的目标总线号。



- DEV_ID: 配置事务的目标设备号。
- FUN_ID: 配置事务的目标功能号。
- REG_NUM: 配置事务的目标寄存器号



注意

PCIe 控制器中的 ATU 应该实现类型 0 和类型 1 配置事务转换区(CFG TYPE0 & CFG TYPE 1), 以实现发起类型 0 和类型 1 的配置事务。设置参考如下:

假设 PCIe 控制器的总线号为 I, 下一级设备总线号为 J(J=I+1), 总线号为 J 的总线下一级总线号为 K(K=I+2)。

按照 PCIe 协议, 由 PCIe 控制器对总线号为 J 的总线发起的配置操作为类型 0 的配置事务, 对总线号大于 J 的总线发起的配置操作为类型 1 的操作。

因此需创建一个地址转换区, 实现由本地总线地址 0x40J00000~0x40JFFFFFF 转换为类型 0 配置操作的地址转换区域; 同时创建一个地址转换区, 实现由本地总线地址 0x40K00000~0x4FFFFFFF 转换为类型 1 配置事务的地址转换区域。

存储器事务

RC 和 EP 模式下, CPU 在存储器地址空间内发起的总线读/写操作将转化为 PCIe 总线上的 PCIe 存储器读/写事务。

CPU 在本地总线上发起读/写请求, 且总线地址各字段组成如图 13-33 配置, 就可由 PCIe 控制器发起存储器读/写事务。

图13-33 PCIe 控制器存储器事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	3			Target_address[27:0]																												



注意

如果 PCIe 控制器中 ATU 没有设置原始地址范围在 0x30000000~0x3FFFFFFF 内的地址转换区, 则不会对总线上地址在 0x30000000~0x3FFFFFFF 内地址做地址转换操作, 此时 PCIe 控制器只能发起地址为 0x30000000~0x3FFFFFFF 内的存储器事务。

如果需要由 PCIe 控制器发起 0x30000000~0x3FFFFFFF 地址范围之外的存储器事务, 例如需发起 0x50000000~0x5FFFFFFF 的存储器事务, PCIe 控制器需创建一个地址转换区域实现地址 0x30000000~0x3FFFFFFF 到地址 0x50000000~0x5FFFFFFF 的地址映射。这样, CPU 在本地总线上发起的地址在 0x30000000~0x3FFFFFFF 的读写事务可以通过地址转换单元转换为对 0x50000000~0x5FFFFFFF 的存储器读写事务。



IO 事务

CPU 在本地总线上发起读/写请求，且总线地址各字段组成如图 13-34 配置，就可由 PCIe 控制器发起 IO 读/写事务。

图13-34 PCIe 控制器 IO 事务本地地址字段定义

BIT	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	3			Target_address[27:0]																												



注意

PCIe 控制器中的 ATU 应该实现 IO 事务转换区，以实现将本地总线操作转换为 PCIe IO 事务的功能。且在本地总线上发起的操作地址在此 IO 事务转换区的原始地址范围内。

13.7.5.4 使用 DMA 传输

Hi3535 PCIe 控制器内含 DMA 控制器，DMA 控制器包含有两个 DMA 通道（一个 DMA 读通道和一个 DMA 写通道）。PCIe 控制器内包含的 DMA 控制器用于大数据量存储器读写事务，以提高数据传输的速率。

DMA 控制器可以实现如下的存储器读写事务：

- DMA 写：将一块数据从本地内存空间搬移至对端设备的内存空间。
- DMA 读：将一块数据从对端设备的内存空间搬移至本地内存空间。

通过配置 DMA 控制寄存器能够实现 DMA 读通道和 DMA 写通道的全双工工作，即 DMA 读操作和 DMA 写操作可以同时进行。

DMA 控制寄存器

软件可通过 DMA 控制寄存器来配置 DMA 传输，也可以通过 DMA 控制寄存器启动和停止 DMA 传输。DMA 控制寄存器位于 PCIe 控制器的配置寄存器空间内，DMA 控制寄存器的定义请参考本章的 PCIe 寄存器描述。

说明

为了减少 DMA 控制寄存器占用的配置寄存器空间，部分 DMA 控制寄存器地址是 DMA 读通道和 DMA 写通道共用。当需要配置这部分寄存器时，软件需要先通过配置 DMA 通道索引寄存器（DMA_CH_INDEX）以表明后续对这些寄存器的操作对象是写通道控制寄存器还是读通道控制寄存器。

这部分 DMA 控制寄存器包含：

1. DMA_CH_CTRL 寄存器
2. DMA_TRANS_SIZE 寄存器



3. [DMA_SAR_LOW](#) 和 [DMA_SAR_HIGH](#) 寄存器

4. [DMA_DAR_LOW](#) 和 [DMA_DAR_HIGH](#) 寄存器

例如：软件要设置 DMA 读通道 0 的 DMA 传输长度为 1024Byte，需按如下顺序操作：

软件设置 [DMA_CH_INDEX](#)[ch_dir]=1，表明后续操作目标寄存器为读通道控制寄存器。

软件设置 [DMA_TRANS_SIZE](#)=0x400，表明传输长度为 1024Byte。

DMA 读写通道使能

DMA 通道在系统复位后默认是没有使能的，要使用 PCIe 的 DMA 通道，需使能 DMA 的读写通道。

- 通过设置 [DMA_RD_ENGINE_EN](#)[dma_rd_engine_en]为 1，使能 DMA 读通道。
- 通过设置 [DMA_WR_ENGINE_EN](#)[dma_wr_engine_en]为 1，使能 DMA 写通道。

DMA 源地址和目标地址

DMA 写：源地址(SAR)为本地内存空间，目标地址(DAR)为对端设备内存空间。

DMA 读：源地址(SAR)为对端设备内存空间，目标地址(DAR)为本地内存空间。

配置 DMA 读或写通道的 [DMA_SAR_LOW](#) 和 [DMA_SAR_HIGH](#) 寄存器可以指定 DMA 传输的源地址，配置 DMA 读或写通道的 [DMA_DAR_LOW](#) 和 [DMA_DAR_HIGH](#) 寄存器可以指定 DMA 传输的目的地址。DMA 源地址和目的地址寄存器请参看 PCIe DMA 控制寄存器定义。

DMA 传输过程中，源地址和目的地址寄存器随着传输过程而递增。可以通过读取源地址和目的地址寄存器的值来确定 DMA 当前传输所获取数据的源地址和当前所写数据的目标地址。

DMA 源地址和 DMA 目的地址都是双字节对齐的，因此最低两比特都必须设置为 0。在传输过程中此最低两比特也一直为 0。

DMA 传输长度

DMA 读或写操作的传输长度由 DMA 读或写通道的 [DMA_TRANS_SIZE](#) 寄存器来指定。该寄存器的值表示 DMA 请求传输的数据的字节数。在 DMA 传输过程，此寄存器的值会随着传输过程递减，可以通过读取此寄存器确定当前还有多少字节未传输。传输成功结束后此寄存器值应该为 0。

DMA 传输长度取值范围为：最小为 1 个字节，最大为 4G 字节。

启动 DMA 传输

在配置好 DMA 读通道的控制寄存器之后，通过向 [DMA_RD_DOORBELL](#)[rd_doorbell_num]写入 0，启动 DMA 读传输。

在配置好 DMA 写通道的控制寄存器之后，通过向 [DMA_WR_DOORBELL](#)[wr_doorbell_num]写入 0，启动 DMA 写传输。



停止 DMA 传输

在 DMA 传输过程中如果需要停止 DMA 传输，可以通过如下寄存器控制来手动停止 DMA 读或者 DMA 写传输：

- 通过向 [DMA_RD_DOORBELL\[dma_rd_stop\]](#) 写入 1，停止 DMA 读传输。
- 通过向 [DMA_RD_DOORBELL\[dma_wr_stop\]](#) 写入 1，停止 DMA 写传输。

如果 DMA 传输过程中没有发生错误，DMA 传输将在所有的数据传输完成后自动停止。

DMA 中断

DMA 通道产生两种中断：

- 完成中断：表明 DMA 成功的完成了一次 DMA 传输。
- 中止中断：表明 DMA 传输不成功，或者传输过程中出现了错误。

DMA 读和 DMA 写通道共用同一个中断，CPU 接收到 PCIe DMA 本地中断后，通过查询 [DMA_RD_INT_STAT](#) 和 [DMA_WR_INT_STAT](#) 寄存器来确定是 DMA 读通道中断还是 DMA 写通道中断，以及是 DMA 完成中断还是 DMA 中止中断。请参考 PCIe DMA 寄存器中关于 [DMA_RD_INT_STAT](#) 和 [DMA_WR_INT_STAT](#) 的描述。

通过 [DMA_RD_INT_CLR](#) 和 [DMA_WR_INT_CLR](#) 寄存器，可以清除对应读或写通道的完成或中止中断。请参考寄存器中关于 [DMA_RD_INT_CLR](#) 和 [DMA_WR_INT_CLR](#) 的描述。

13.7.5.5 地址转换

地址空间

Hi3535 中 PCIe 控制器使用三个地址空间：

- 配置寄存器空间：CPU 通过此空间可以访问 PCIe 控制器的配置寄存器。
- 存储器和 IO 事务地址空间：CPU 通过此空间可发起 PCIe 存储器或 IO 事务。
- 配置事务地址空间：CPU 通过此空间可发起 PCIe 配置读写事务。

PCIe 控制器使用的三个地址空间如表 13-13 所示。

表13-13 PCIe 控制器相关地址空间

地址空间类型	大小	起始地址	结束地址	说明
配置寄存器空间	4K	0x20800000	0x20800FFF	此空间为 PCI Express 协议所定义的配置寄存器空间。



存储器和 IO 事务地址空间	256M	0x30000000	0x3FFFFFFF	在此空间内的读写操作将在 PCIe 链路上转换为 PCIe 协议所定义的存储器读写或 I/O 读写事务（需地址转换功能配合，地址转换功能请参考下一节）。
配置事务地址空间	256M	0x40000000	0x4FFFFFFF	在此空间内的读写操作将在 PCIe 链路上转换为 PCIe 协议所定义的类型 0 配置事务或者类型 1 配置事务（需地址转换功能配合，地址转换功能请参考下一节）。

在上述地址空间中，除了地址“配置寄存器空间”的目标地址是 PCIe 控制器自身外，其余的地址空间的目标地址都是跟 PCIe 控制器建立连接的对端设备。地址转换单元实现将不同的地址空间范围内的操作转换为对应的 PCIe 事务，或者实现目标地址转换的功能。

地址转换单元(ATU)

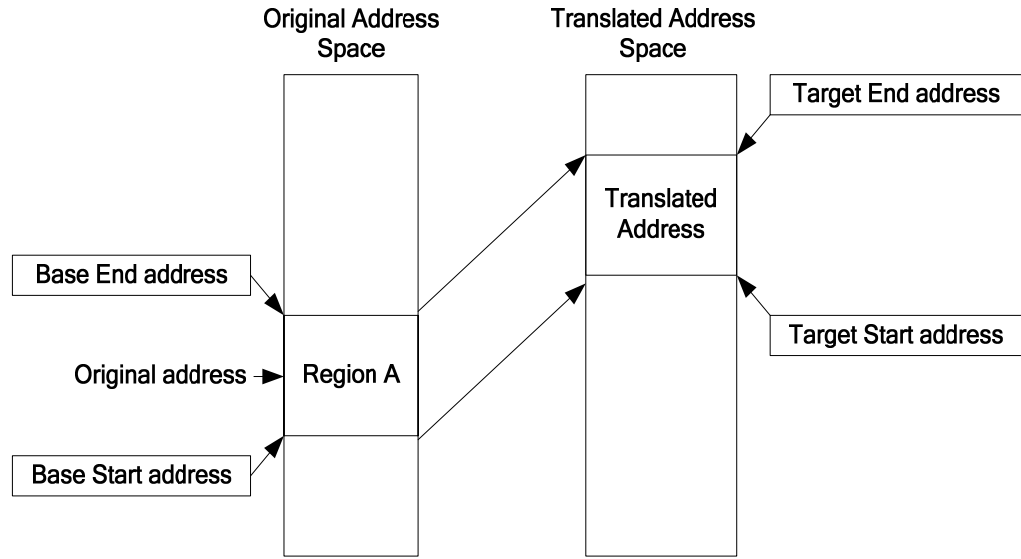
在不同的应用中，事务类型转换和目标地址转换的配置可能不同，Hi3535 中提供了地址转换单元（ATU）用来实现本地总线上不同地址的读写操作到 PCIe 事务类型的转换，也可以通过地址转换单元(ATU)实现目标地址的转换的功能。

Hi3535 中对发送方向和接收方向各提供了 6 个地址转换区，每一个区可单独实现某一种事务类型或地址转换功能。

发送方向的地址转换单元可实现由本地总线操作的地址到 PCIe 事务类型的转换或者本地总线操作的地址到 PCIe 事务地址的转换。

由本地操作地址到 PCIe 事务地址转换如图 13-35 所示，本地总线上的地址原始地址 (Original address)如果在地址转换驱 Region A 的范围内，则地址转换单元将此地址转换为经此地址转换区域转换后的地址(Translated Address)，在 PCIe 总线上出现的 PCIe 事务中的地址将由转换后的地址(Translated Address)来代替。

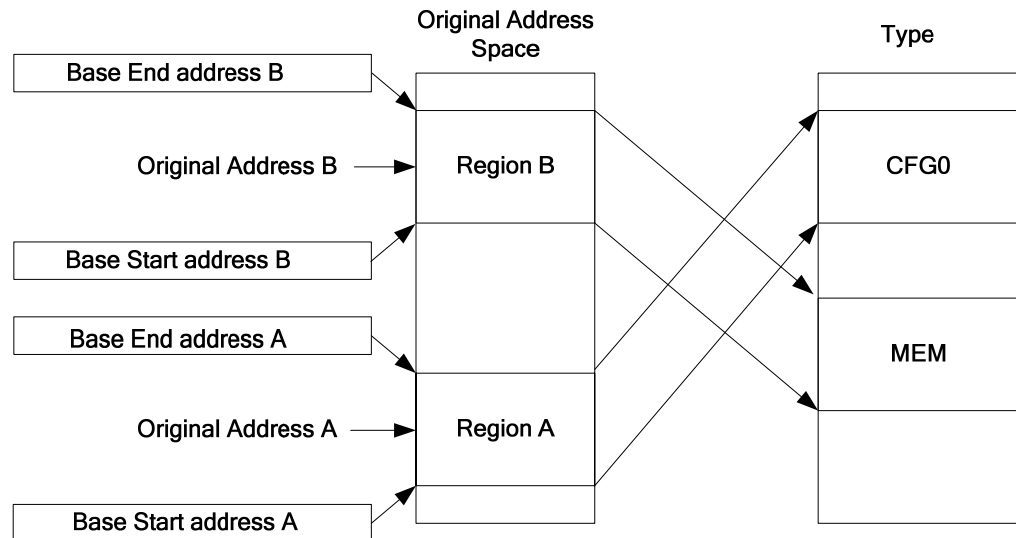
图13-35 发送方向地址转换单元实现 PCIe 事务地址转换



$$\text{Translated Address} = \text{Target Start Address} + \text{Original Address} - \text{Base Start address}$$

由本地操作地址到 PCIe 事务类型转换如图 13-36 所示，地址转换区 A 配置为某段地址范围到 PCIe 配置 0 事务（CFG Type 0）的转换区域，本地操作地址在地址转换区 A 范围内的操作将会转换为 PCIe 总线上的 CFG0 操作。地址转换区 B 配置为某段地址范围到 PCIe 存储器事务的转换区域，本地操作地址在地址转换区 B 范围内的操作将换转换为 PCIe 总线上的存储器事务。

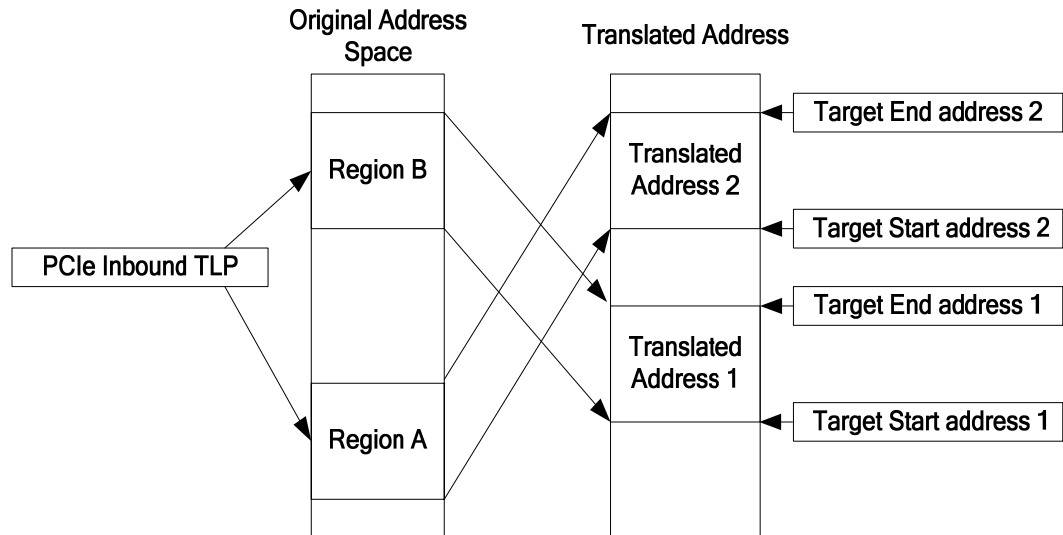
图13-36 发送方向地址转换单元实现 PCIe 事务类型转换



通过灵活配置每个发送方向的地址转换区域，可以实现多种不同的由本地总线操作到 PCIe 事务的转换方式。

与发送方向类似，接收方向也有地址转换单元可实现 PCIe 事务到内部总线的地址转换。如图 13-37 所示，接收方向接收到的 PCIe 事务经地址转换区 A 或 B 转换后，可将对应的操作转换到地址区域 Translated Address 1 或 Translated Address 2 上，若 Translated Address 1 对应为 DDR 内存地址空间，则可将从 PCIe 总线上接收到的满足地址转换区域条件的操作转化为对 DDR 内存内存空间的操作。

图13-37 接收方向地址转换单元实现 PCIe 事务地址转换



ATU 控制寄存器

发送和接收方向的地址转换单元在系统复位后是默认未使能的，因此在系统复位后，需根据需要对地址转换单元进行配置，并使之使能以实现地址转换功能。

Hi3535 在 PCIe 配置寄存器空间内提供了一组寄存器接口用以配置地址转换单元 (ATU)。通过这一组寄存器，可以实现对发送方向和接收方向的各 6 个地址转换区进行配置。

ATU 设置步骤如下：

1. 设置 ATU 区域号寄存器为需要配置的地址转换区编号。
2. 设置 ATU Region Lower Base Address Register 和 ATU Region Upper Base Address Register。（在此区域内的目标地址将由区域号寄存器所在的 ATU 转换）
3. 设置 ATU Region Limit Address Register。
4. 设置 ATU Region Lower Target Address Register 和 ATU Region Upper Target Address Register。
5. 设置 ATU Region Control 1 Register。
6. 设置 ATU Region Control 2 Register 并使能此 ATU Region。。

----结束



说明

为了减少 ATU 控制寄存器占用的配置寄存器空间，发送和接收方向的各 6 个 ATU 区域都是由同一组寄存器来配置，当需要对其中一个 ATU 区域进行配置时，必须先设置 ATU_VIEWPORT 寄存器，以表明后续对 ATU 寄存器的操作目标是哪一个 ATU 区域的 ATU 控制寄存器。

例如：当需要将发送方向的 ATU 区域 3 设置为一个地址转换区域并使之有效，需按如下步骤设置：

1. 设置 ATU_VIEWPORT[atu_reg_region_dir]=0x0，表明操作对象是发送方向的 ATU 区域寄存器。
2. 设置 ATU_VIEWPORT[atu_reg_region_index]=0x3，表明操作对象是发送方向的 ATU 区域 3。
3. 按此 ATU 区域特性设置其他的 ATU 寄存器。

ATU 设置

在系统上电复位之后，ATU 寄存器未配置，ATU 功能未启用，不能实现地址转换和事务类型转换的功能。此时本地总线上的发起的地址在配置事务空间或存储器和 IO 事务空间内的操作都传递为 PCIe 总线上的存储器事务，PCIe 控制器无法发起配置事务或者 IO 事务，也无法实现地址转换的功能。

要使 PCIe 控制器能够发出配置事务或者 IO 事务，或者实现地址映射功能，必须通过 ATU 配置寄存器创建地址转换区域。

RC 模式下，RC 需具备将本地总线上发起的操作转换为 PCIe 总线上的配置事务的能力，为了实现将本地总线操作转换为不同的 PCIe 事务，至少需要设置如下发送方向的 ATU 区：

- 区域 1：类型 0 配置事务转换区，此区实现将本地总线操作转换为类型 0 配置事务 (CFG0)。
- 区域 2：类型 1 配置事务转换区，此区实现将本地总线操作转换为类型 1 配置事务 (CFG1)。
- 区域 3：IO 操作转换区，此区实现将本地总线操作转换为 IO 读写事务。

以上三个区域即可实现 RC 模式的基本的事务类型转换。如有需要，可根据实际情况调整三个区域的配置，也可以增加地址转换区的数量（发送方向最多为 6 个地址转换区）。

EP 模式下，ATU 输入区域需配置以实现端设备对 Hi3535 内部地址空间的访问。此配置可根据实际应用需要进行。

例如在 EP 模式下，将对端 RC 设备访问 Hi3535 PCIe BAR0 地址空间的操作映射至 DDR 内存空间的读写操作，可将接收方向的地址转换区 0 配置为 BAR 地址匹配模式下的 BAR0 到 DDR 内存地址的地址转换区域。

13.7.6 PCI Express 控制器寄存器

PCIe 控制器配置寄存器空间里包含有 PCIe 标准寄存器。



当 PCIe 控制器配置为 RC 模式时，此 PCIe 控制器配置寄存器空间里包含类型 1 的 PCIe 配置寄存器头；当 PCIe 控制器设置为 EP 模式时，此 PCIe 控制器配置寄存器空间里包含类型 0 的 PCIe 配置寄存器头。

关于类型 0 和类型 1 配置寄存器头的定义，请参考 PCIe 规范，此处不再详述。

下面只针对 Hi3535 中厂商定义的寄存器做详细描述。

13.7.6.1 PCIe_iATU 寄存器概览

PCIe_iATU 寄存器概览如表 13-14 所示。

表13-14 PCIe_iATU 寄存器概览（基址是 0x2080_0000）

偏移地址	名称	描述	页码
0x0900	ATU_VIEWPORT	ATU 区域号寄存器	13-111
0x0904	ATU_REGION_CTRL1	ATU 区域控制寄存器	13-112
0x0908	ATU_REGION_CTRL2	ATU 区域控制寄存器	13-113
0x090C	ATU_BASE_LOW	ATU 基地址低位寄存器	13-116
0x0910	ATU_BASE_HIGH	ATU 基地址高位寄存器	13-117
0x0914	ATU_LIMIT	ATU 地址界限寄存器	13-117
0x0918	ATU_TARGET_LOW	ATU 目标地址低位寄存器	13-118
0x091C	ATU_TARGET_HIGH	ATU 目标地址高位寄存器	13-118

13.7.6.2 PCIe_iATU 寄存器描述

ATU_VIEWPORT

ATU_VIEWPORT 为 ATU 区域号寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0900		ATU_VIEWPORT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	atu_reg_region_dir		reserved																								atu_reg_region_index					
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
Bits	Access	Name	Description																													
[31]	RW	atu_reg_region_dir	区域方向。 表明是发送还是接收地址转换区域，与区域号配合使用以确定操作的具体 ATU 区域。 0：输出地址转换区域； 1：输入地址转换区域。																													
[30:4]	RO	reserved	保留。																													
[3:0]	RW	atu_reg_region_index	区域编号。 表明地址转换控制寄存器操作对应的区域号。 区域号赋值范围为 0~5。																													

ATU_REGION_CTRL1

ATU_REGION_CTRL1 为 ATU 区域控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0904		ATU_REGION_CTRL1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								atu_reg_func_num				reserved		atu_reg_at				reserved		atu_reg_attr		atu_reg_id		atu_reg_ic		atu_reg_type					
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0		0 0 0 0				0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0							
Bits	Access	Name	Description																													
[31:23]	RO	reserved	保留。																													



[22:20]	RW	atu_reg_func_num	功能号。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中功能号字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中与此寄存器值相对应的功能号的 BAR 地址匹配时, 则对此接收的 TLP 做地址转换处理(仅当接收区域匹配模式为 BAR 地址匹配时)。
[19:18]	RO	reserved	保留。
[17:16]	RW	atu_reg_at	AT 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 AT 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 AT 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。
[15:11]	RO	reserved	保留。
[10:9]	RW	atu_reg_attr	ATTR 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 ATTR 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 ATTR 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。
[8]	RW	atu_reg_td	TD 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 TD 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 TD 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。
[7:5]	RW	atu_reg_tc	TC 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 TC 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 TC 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。
[4:0]	RW	atu_reg_type	TYPE 字段。 发送(Outbound): 当发送的 TLP 属于本 ATU 区域范围, 则将该 TLP 数据包中 TYPE 字段换成此寄存器的值。 接收(Inbound): 当接收到的 TLP 包中 TYPE 字段与此寄存器匹配, 则对此接收的 TLP 做地址转换处理。

ATU_REGION_CTRL2

ATU_REGION_CTRL2 为 ATU 区域控制寄存器。



		Offset Address 0x0908								Register Name ATU_REGION_CTRL2								Total Reset Value 0x0000_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		atu_reg_region_enable	atu_reg_in_bar_match	reserved	atu_reg_shift	atu_reg_fuzzy	reserved	atu_reg_rsp_code	reserved	reserved	atu_reg_msgcode_match_en	reserved	atu_reg_func_match_en	atu_reg_at_match_en	reserved	atu_reg_attr_match_en	atu_reg_id_match_en	atu_reg_tc_match_en	reserved	atu_reg_bar_num	atu_reg_msg_code																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																	
[31]	RW	atu_reg_region_enable		ATU 区域使能。 0: 不使能。 1: 使能。																																	
[30]	RW	atu_reg_in_bar_match		接收 ATU 匹配模式选择。 发送(Outbound): 无作用。 接收(Inbound): 选择接收 MEM/IO 数据包的匹配模式。 0: 地址匹配模式: 当接收到的 MEM/IO TLP 地址在 ATU 控制寄存器 1 中的地址相匹配时, 则做地址转换。 1: BAR 匹配模式: 当接收到的 MEM/IO TLP 地址与 BAR 编号相匹配时, 则做地址转换。																																	
[29]	RO	reserved		保留。																																	
[28]	RW	atu_reg_shift		配置事务移位功能。 此寄存器在做配置类型转换时使能, 能实现操作地址和总线号、设备号、功能号的转换(以实现用 256M 地址空间访问所有配置空间的功能。) 发送(Outbound): 将未转换的地址的 27~12 比特赋值给转换后地址的 31~16 比特。 接收(Inbound): 将接收到的配置事务的未转换的地址的 31~16 比特赋值给转换后地址的 27~12 比特。 0: 不使能; 1: 使能。																																	
[27]	RW	atu_reg_fuzzy		模糊类型匹配模式。 若使能, 则使能事务类型模糊匹配模式。 0: 不使能; 1: 使能。																																	



[26]	RO	reserved	保留。
[25:24]	RW	atu_reg_rsp_code	完成状态代码： 必须设置为 0。
[23:22]	RO	reserved	保留。
[21]	RW	atu_reg_msgcode_match_en	消息代码匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的消息代码与 ATURegionCtrl2 中的 atu_reg_msg_code 做匹配。 0: 不使能; 1: 使能。
[20]	RO	reserved	保留。
[19]	RW	atu_reg_func_match_en	功能号匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的功能号与 ATURegionCtrl1 中的 atu_reg_func_num 做匹配。 0: 不使能; 1: 使能。
[18]	RW	atu_reg_at_match_en	AT 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 AT 字段与 ATURegionCtrl1 中的 atu_reg_at 做匹配。 0: 不使能; 1: 使能。
[17]	RO	reserved	保留。
[16]	RW	atu_reg_attr_match_en	ATTR 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 ATTR 字段与 ATURegionCtrl1 中的 atu_reg_attr 做匹配。 0: 不使能; 1: 使能。
[15]	RW	atu_reg_td_match_en	TD 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 TD 字段与 ATURegionCtrl1 中的 atu_reg_td 做匹配。 0: 不使能; 1: 使能。



[14]	RW	atu_reg_tc_match_en	TC 字段匹配使能。 发送(Outbound): 未使用。 接收(Inbound): 当使能时, 则将接收到的 TLP 中的 TC 字段与 ATURegionCtrl1 中的 atu_reg_tc 做匹配。 0: 不使能; 1: 使能。
[13:11]	RO	reserved	保留。
[10:8]	RW	atu_reg_bar_num	BAR 编号。 发送(Outbound): 未使用。 接收(Inbound): 当接收到的 TLP 中 BAR 地址与此寄存器对应的 BAR 地址相匹配时, 则对此 TLP 做地址转换处理。 000: BAR#0; 001: BAR#1; 010: BAR#2; 011: BAR#3; 100: BAR#4; 101: BAR#5; 110: ROM; 111: 保留。
[7:0]	RW	atu_reg_msg_code	消息代码。 发送(Outbound): 当发送的 TLP 地址与此区域匹配, 且 ATURegionCtrl1 中 atu_reg_type 字段为 MSG,则将转换后的 TLP 中 MSP 字段设置为此寄存器的值。 接收(Inbound): 当 ATURegionCtrl2 中的 atu_reg_msgcode_match_en 使能时, 且接收到的消息事务中消息代码与此寄存器值相匹配时, 则对此事务包做地址转换处理。

ATU_BASE_LOW

ATU_BASE_LOW 为 ATU 基地址低位寄存器。



Offset Address		Register Name		Total Reset Value					
0x090C		ATU_BASE_LOW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	atu_reg_base_low				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	atu_reg_base_low	表示此区域的起始地址中的 31~16 比特，当未转换的地址位于起始地址和地址界限范围内时，则满足地址匹配条件。ATUBaseLow 和 ATUBaseHigh 共同组成基地址。						
[15:0]	RO	reserved	保留。						

ATU_BASE_HIGH

ATU_BASE_HIGH 为 ATU 基地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0910		ATU_BASE_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_base_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	atu_reg_base_high	基地址高 32 位。 此区域的起始地址的 63-63 比特，当未转换的地址位于起始地址和地址界限范围内时，则满足地址匹配条件。(此寄存器只在 64 比特地址下有效，32 比特地址模式下需设置为 0。)ATUBaseLow 和 ATUBaseHigh 共同组成基地址。					

ATU_LIMIT

ATU_LIMIT 为 ATU 地址界限寄存器。



Offset Address		Register Name		Total Reset Value					
0x0914		ATU_LIMIT		0x0000_FFFF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	atu_reg_limit				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RW	atu_reg_limit	地址界限。 此区域的界限地址的中的 31~16 比特，当未转换的地址位于起始地址和地址界限范围内时，则满足地址匹配条件。						
[15:0]	RO	reserved	保留。						

ATU_TARGET_LOW

ATU_TARGET_LOW 为 ATU 目标地址低位寄存器。

Offset Address		Register Name		Total Reset Value					
0x0918		ATU_TARGET_LOW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	atu_reg_trgt_low				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	atu_reg_trgt_low	目标地址低 32 位。 当做地址转换时，转换后的地址的 31~16 比特。 ATUTargetLow 和 ATUTargetHigh 共同组成目标地址。 地址转换公式为： 转换后的地址=转换地址-基地址+目标地址。 转换后的地址=转换地址-基地址+目标地址。						
[15:0]	RO	reserved	保留。						

ATU_TARGET_HIGH

ATU_TARGET_HIGH 为 ATU 目标地址高位寄存器。



Offset Address		Register Name		Total Reset Value				
0x091C		ATU_TARGET_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_trgt_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	atu_reg_trgt_high	目标地址高 32 位。 当做地址转换时，转换后的地址的 63~32 比特。 ATUTargetHigh 共同组成目标地址。					

13.7.6.3 PCIe_DMA 寄存器概览

PCIe_DMA 寄存器概览如表 13-15 所示。

表13-15 PCIe_DMA 寄存器概览（基址是 0x2080_0000）

偏移地址	名称	描述	页码
0x097C	DMA_WR_ENGINE_EN	DMA 写通道使能寄存器	13-121
0x0980	DMA_WR_DOORBELL	DMA 写操作启动和停止控制寄存器	13-121
0x099C	DMA_RD_ENGINE_EN	DMA 读通道使能寄存器	13-122
0x09A0	DMA_RD_DOORBELL	DMA 读操作启动和停止控制寄存器	13-123
0x09BC	DMA_WR_INT_STAT	DMA 写操作中断状态寄存器	13-123
0x09C4	DMA_WR_INT_MASK	DMA 写操作中断掩码寄存器	13-124
0x09C8	DMA_WR_INT_CLEAR	DMA 写操作中断清除寄存器	13-125
0x09CC	DMA_WR_ERR_STAT	DMA 写操作错误状态寄存器	13-126
0x09D0	DMA_WR_DONE_INTERRUPT_ADDR_LOW	DMA 写完成消息中断地址低位寄存器	13-127
0x09D4	DMA_WR_DONE_INTERRUPT_ADDR_HIGH	DMA 写完成消息中断地址高位寄存器	13-127
0x09D8	DMA_WR_ABORT_INTERRUPT_ADDR_LOW	DMA 写中止消息中断地址低位寄存器	13-127



偏移地址	名称	描述	页码
0x09DC	DMA_WR_ABORT_IMWR_ADDR_HIGH	DMA 写中止消息中断地址高位寄存器	13-128
0x09E0	DMA_WR_IMWR_DATA_0	DMA 写操作消息中断数据寄存器	13-128
0x0A10	DMA_RD_INT_STAT	DMA 读操作中断状态寄存器	13-129
0x0A18	DMA_RD_INT_MASK	DMA 读操作中断掩码寄存器	13-129
0x0A1C	DMA_RD_INT_CLR	DMA 读操作中断清除寄存器	13-130
0x0A24	DMA_RD_ERR_STAT_LOW	DMA 读操作错误状态低位寄存器	13-131
0x0A28	DMA_RD_ERR_STAT_HIGH	DMA 读操作错误状态高位寄存器	13-132
0x0A3C	DMA_RD_DONE_IMWR_ADDR_LOW	DMA 读完成消息中断地址低位寄存器	13-133
0x0A40	DMA_RD_DONE_IMWR_ADDR_HIGH	DMA 读完成消息中断地址高位寄存器	13-133
0x0A44	DMA_RD_ABORT_IMWR_ADDR_LOW	DMA 读中止消息中断地址低位寄存器	13-133
0x0A48	DMA_RD_ABORT_IMWR_ADDR_HIGH	DMA 读中止消息中断地址高位寄存器	13-134
0x0A4C	DMA_RD_IMWR_DATA_0	DMA 读操作消息中断数据寄存器	13-134
0x0A6C	DMA_CH_INDEX	DMA 通道索引寄存器	13-135
0x0A70	DMA_CH_CTRL	DMA 通道控制寄存器	13-135
0x0A78	DMA_TRANS_SIZE	DMA 传输长度寄存器寄存器	13-137
0x0A7C	DMA_SAR_LOW	DMA 数据源地址低位寄存器	13-138
0x0A80	DMA_SAR_HIGH	DMA 数据源地址高位寄存器	13-138
0x0A84	DMA_DAR_LOW	DMA 目标地址低位寄存器	13-138
0x0A88	DMA_DAR_HIGH	DMA 目标地址高位寄存器	13-139



13.7.6.4 PCIe_DMA 寄存器描述

DMA_WR_ENGINE_EN

DMA_WR_ENGINE_EN 为 DMA 写通道使能寄存器。

	Offset Address 0x097C								Register Name DMA_WR_ENGINE_EN								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																dma_wr_engine_en															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	RW	reserved		保留。																											
	[0]	RW	dma_wr_engine_en		DMA 写通道使能。 0: 不使能 DMA 写通道。 1: 使能 DMA 写通道。																											

DMA_WR_DOORBELL

DMA_WR_DOORBELL 为 DMA 写操作启动和停止控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0980		DMA_WR_DOORBELL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dma_wr_stop	wr_doorbell_num
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	dma_wr_stop	DMA 写通道停止。此寄存器与 wr_doorbell_num 配合使用，停止对应的 DMA 写通道数据传输。 0: 无影响。 1: 停止当前 DMA 传输。						
[30:3]	RO	reserved	保留。						
[2:0]	RW	wr_doorbell_num	DMA 写通道启动。 通过对此寄存器写入 0 启动 DMA 写传输(DMA 引擎检测到对此寄存器的写操作即启动对应写通道的 DMA 操作。由于目前 PCIe 控制器只支持一个写通道，因此此寄存器必须写 0)。						

DMA_RD_ENGINE_EN

DMA_RD_ENGINE_EN 为 DMA 读通道使能寄存器。

Offset Address		Register Name		Total Reset Value				
0x099C		DMA_RD_ENGINE_EN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							dma_wr_engine_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:1]	RO	reserved	保留。					



[0]	RW	dma_wr_engine_en	DMA 读通道使能。 0: 不使能 DMA 读通道。 1: 使能 DMA 读通道。
-----	----	------------------	---

DMA_RD_DOORBELL

DMA_RD_DOORBELL 为 DMA 读操作启动和停止控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x09A0	DMA_RD_DOORBELL	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		rd_doorbell_num
Reset	0 0		
	Bits	Access	Name
	[31]	RW	dma_rd_stop
	[30:3]	RO	reserved
	[2:0]	RW	rd_doorbell_num
			Description
			DMA 读通道停止。 此寄存器与 rd_doorbell_num 配合使用，停止对应的 DMA 读通道数据传输。 0: 无影响。 1: 停止当前 DMA 传输。
			保留。
			DMA 读通道启动。 通过对此寄存器写入 0 启动 DMA 读传输(DMA 引擎检测到对此寄存器的写操作即启动对应读通道的 DMA 操作。由于目前 PCIe 控制器只支持一个读通道，因此此寄存器必须写 0)。

DMA_WR_INT_STAT

DMA_WR_INT_STAT 为 DMA 写操作中断状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x09BC		DMA_WR_INT_STAT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dma_wr_abort_int_stat	reserved												dma_wr_done_int_stat						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:17]	RO	reserved	保留。																													
[16]	RW	dma_wr_abort_int_stat	DMA 写操作中中止中断状态。 表明 DMA 写通道检测到错误或者手动停止 DMA 写操作。 0: 无效。 1: 有效。																													
[15:1]	RO	reserved	保留。																													
[0]	RW	dma_wr_done_int_stat	DMA 写操作完成中断状态。 表明已成功完成一次 DMA 写操作。 0: 无效。 1: 有效。																													

DMA_WR_INT_MASK

DMA_WR_INT_MASK 为 DMA 写操作中中断掩码寄存器。



Offset Address		Register Name		Total Reset Value																												
0x09C4		DMA_WR_INT_MASK		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dma_wr_abort_int_mask	reserved												dma_wr_done_int_mask						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:17]	RO	reserved	保留。																													
[16]	RW	dma_wr_abort_int_mask	DMA 写操作中中断掩码。 0: dma_wr_abort_int_stat 不产生 edma_int 中断。 1: dma_wr_abort_int_stat 可产生 edma_int 中断。																													
[15:1]	RO	reserved	保留。																													
[0]	RW	dma_wr_done_int_mask	DMA 写操作完成中断掩码。 0: dma_wr_done_int_stat 不产生 edma_int 中断。 1: dma_wr_done_int_stat 可产生 edma_int 中断。																													

DMA_WR_INT_CLR

DMA_WR_INT_CLR 为 DMA 写操作中中断清除寄存器。



Offset Address		Register Name		Total Reset Value						
0x09C8		DMA_WR_INT_CLR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				dma_wr_abort_int_clr	reserved				dma_wr_done_int_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RO	reserved	保留。							
[16]	RW	dma_wr_abort_int_clr	DMA 写操作中中止中断清除。 向此位写入 1 将清除 DMA_WR_INT_STAT 寄存器中的 dma_wr_abort_int_stat 中断状态。							
[15:1]	RO	reserved	保留。							
[0]	RW	dma_wr_done_int_clr	DMA 写操作完成中断清除。 向此位写入 1 将清除 DMA_WR_INT_STAT 寄存器中的 dma_wr_done_int_stat 中断状态。							

DMA_WR_ERR_STAT

DMA_WR_ERR_STAT 为 DMA 写操作错误状态寄存器。

Offset Address		Register Name		Total Reset Value						
0x09CC		DMA_WR_ERR_STAT		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved				link_el_err_det	reserved				app_rd_err_det
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:17]	RO	reserved	保留。							
[16]	RO	reserved	保留							



[15:1]	RO	reserved	保留。
[0]	RW	app_rd_err_det	DMA 写通道读数据错误。

DMA_WR_DONE_IMWR_ADDR_LOW

DMA_WR_DONE_IMWR_ADDR_LOW 为 DMA 写完成消息中断地址低位寄存器。

Offset Address	Register Name	Total Reset Value	
0x09D0	DMA_WR_DONE_IMWR_ADDR_LO W	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	dma_wr_done_imwr_addr_low		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	dma_wr_done_imwr_addr_low	DMA 写完成中断消息地址低 32 位。

DMA_WR_DONE_IMWR_ADDR_HIGH

DMA_WR_DONE_IMWR_ADDR_HIGH 为 DMA 写完成消息中断地址高位寄存器。

Offset Address	Register Name	Total Reset Value	
0x09D4	DMA_WR_DONE_IMWR_ADDR_HIG H	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	dma_wr_done_imwr_addr_high		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	dma_wr_done_imwr_addr_high	DMA 写完成中断消息地址高 32 位。

DMA_WR_ABORT_IMWR_ADDR_LOW

DMA_WR_ABORT_IMWR_ADDR_LOW 为 DMA 写中止消息中断地址低位寄存器。



Offset Address		Register Name		Total Reset Value				
0x09D8		DMA_WR_ABORT_IMWR_ADDR_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_wr_abort_imwr_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_wr_abort_imwr_addr_low	DMA 写中止中断消息地址低 32 位。					

DMA_WR_ABORT_IMWR_ADDR_HIGH

DMA_WR_ABORT_IMWR_ADDR_HIGH 为 DMA 写中止消息中断地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x09DC		DMA_WR_ABORT_IMWR_ADDR_HI GH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_wr_abort_imwr_addr_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_wr_abort_imwr_addr_high	DMA 写中止中断消息地址高 32 位。					

DMA_WR_IMWR_DATA_0

DMA_WR_IMWR_DATA_0 为 DMA 写操作消息中断数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x09E0		DMA_WR_IMWR_DATA_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				dma_wr_imwr_data_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	dma_wr_imwr_data_0	DMA 写通道 0 的中断消息数据。					



DMA_RD_INT_STAT

DMA_RD_INT_STAT 为 DMA 读操作中中断状态寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0A10	DMA_RD_INT_STAT	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 40%; text-align: center;">reserved</div> <div style="width: 5%; text-align: center;">dma_wr_abort_int_stat</div> <div style="width: 40%; text-align: center;">reserved</div> <div style="width: 5%; text-align: center;">dma_wr_done_int_stat</div> </div>			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
Bits	Access	Name	Description	
[31:17]	RO	reserved	保留。	
[16]	RW	dma_wr_abort_int_stat	DMA 读操作中中止中断状态。 表明 DMA 读通道检测到错误或者手动停止 DMA 写操作。 0: 无效。 1: 有效。	
[15:1]	RO	reserved	保留。	
[0]	RW	dma_wr_done_int_stat	DMA 读操作完成中断状态。 表明已成功完成一次 DMA 读操作。 0: 无效。 1: 有效。	

DMA_RD_INT_MASK

DMA_RD_INT_MASK 为 DMA 读操作中中断掩码寄存器。



Offset Address		Register Name		Total Reset Value																														
0x0A18		DMA_RD_INT_MASK		0x0000_0000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																dma_wr_abort_int_mask	reserved																dma_wr_done_int_mask
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access	Name	Description																															
[31:17]	RO	reserved	保留。																															
[16]	RW	dma_wr_abort_int_mask	DMA 读操作中止中断掩码。 0: dma_rd_abort_int_stat 不产生 edma_int 中断。 1: dma_rd_abort_int_stat 可产生 edma_int 中断。																															
[15:1]	RO	reserved	保留。																															
[0]	RW	dma_wr_done_int_mask	DMA 读操作完成中断掩码。 0: dma_rd_done_int_stat 不产生 edma_int 中断。 1: dma_rd_done_int_stat 可产生 edma_int 中断。																															

DMA_RD_INT_CLR

DMA_RD_INT_CLR 为 DMA 读操作中中断清除寄存器。



Offset Address		Register Name		Total Reset Value																														
0x0A1C		DMA_RD_INT_CLR		0x0000_0000																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																dma_wr_abort_int_clr	reserved																dma_wr_done_int_clr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access	Name	Description																															
[31:17]	RO	reserved	保留。																															
[16]	RW	dma_wr_abort_int_clr	DMA 读操作中止中断清除。 向此位写入 1 将清除 DMA_RD_INT_STAT 寄存器中的 dma_rd_abort_int_stat 中断状态。																															
[15:1]	RO	reserved	保留。																															
[0]	RW	dma_wr_done_int_clr	DMA 读操作中止中断清除。 向此位写入 1 将清除 DMA_RD_INT_STAT 寄存器中的 dma_rd_done_int_stat 中断状态。																															

DMA_RD_ERR_STAT_LOW

DMA_RD_ERR_STAT_LOW 为 DMA 读操作错误状态低位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A24		DMA_RD_ERR_STAT_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			link_el_fetch_err_det	reserved			app_rd_err_det
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	RO	reserved	保留。					
[16]	RO	reserved	保留。					
[15:1]	RO	reserved	保留。					
[0]	RW	app_rd_err_det	DMA 读通道检测到 AXI 总线错误响应。					

DMA_RD_ERR_STAT_HIGH

DMA_RD_ERR_STAT_HIGH 为 DMA 读操作错误状态高位寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A28		DMA_RD_ERR_STAT_HIGH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		dp_err	reserved		to_err	reserved		ur_err
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:25]	RO	reserved	保留。						
[24]	RW	dp_err	DMA 通道检测到来自对端设备的中毒数据。						
[23:17]	RO	reserved	保留。						
[16]	RW	to_err	DMA 通道读操作超时。						
[15:9]	RO	reserved	保留。						



[8]	RW	ca_err	DMA 通道检测到来自对端设备的 CA(Completion Abort)完成包。
[7:1]	RO	reserved	保留。
[0]	RW	ur_err	DMA 通道检测到来自对端设备的 UR(Unsupported Request)完成包。

DMA_RD_DONE_IMWR_ADDR_LOW

DMA_RD_DONE_IMWR_ADDR_LOW 为 DMA 读完成消息中断地址低位寄存器。

Offset Address	Register Name	Total Reset Value	
0x0A3C	DMA_RD_DONE_IMWR_ADDR_LO W	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	dma_rd_done_imwr_addr_low		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	dma_rd_done_imwr_addr_low	DMA 读完成中断消息地址低 32 位。

DMA_RD_DONE_IMWR_ADDR_HIGH

DMA_RD_DONE_IMWR_ADDR_HIGH 为 DMA 读完成消息中断地址高位寄存器。

Offset Address	Register Name	Total Reset Value	
0x0A40	DMA_RD_DONE_IMWR_ADDR_HIG H	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	dma_rd_done_imwr_addr_high		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	dma_rd_done_imwr_addr_high	DMA 读完成中断消息地址高 32 位。

DMA_RD_ABORT_IMWR_ADDR_LOW

DMA_RD_ABORT_IMWR_ADDR_LOW 为 DMA 读中止消息中断地址低位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A44		DMA_RD_ABORT_IMWR_ADDR_LO W		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_rd_abort_imwr_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_rd_abort_imwr_addr_low	DMA 读中止中断消息地址低 32 位。					

DMA_RD_ABORT_IMWR_ADDR_HIGH

DMA_RD_ABORT_IMWR_ADDR_HIGH 为 DMA 读中止消息中断地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A48		DMA_RD_ABORT_IMWR_ADDR_HI GH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_rd_abort_imwr_addr_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_rd_abort_imwr_addr_high	DMA 读中止中断消息地址高 32 位。					

DMA_RD_IMWR_DATA_0

DMA_RD_IMWR_DATA_0 为 DMA 读操作消息中断数据寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A4C		DMA_RD_IMWR_DATA_0		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				dma_wr_imwr_data_0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	dma_wr_imwr_data_0	DMA 读通道 0 的中断消息数据。					



DMA_CH_INDEX

DMA_CH_INDEX 为 DMA 通道索引寄存器。

	Offset Address				Register Name								Total Reset Value																				
	0x0A6C				DMA_CH_INDEX								0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	ch_dir	reserved																												reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Bits	Access	Name		Description																												
	[31]	RW	ch_dir		通道方向。 通过此位选择要配置的寄存器属于读通道还是写通道。 0: 写通道。 1: 读通道。																												
	[30:3]	RO	reserved		保留。																												
	[2:0]	RO	reserved		保留，必须设置为 0。																												

DMA_CH_CTRL

DMA_CH_CTRL 为 DMA 通道控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0A70		DMA_CH_CTRL		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	addr_trans				traffic_class				traffic_digest	relaxed_order	no_snoop	reserved				fun_num				reserved				reserved	ch_status		remote_int_enable	local_int_enable	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:30]	RW	addr_trans	PCIe 事务 AT 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 AT 位将由此成员值代替。																													
[29:27]	RW	traffic_class	PCIe 事务 TC 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 TC 位将由此成员值代替。																													
[26]	RW	traffic_digest	PCIe 事务 TD 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 TD 位将由此成员值代替。																													
[25]	RW	relaxed_order	PCIe 事务 RO 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 RO 位将由此成员值代替。																													
[24]	RW	no_snoop	PCIe 事务 NS 位。 DMA 发起的的 PCIe 存储器读写事务包中的的 NS 位将由此成员值代替。																													
[23:17]	RO	reserved	保留。																													
[16:12]	RW	fun_num	PCIe 事务 fun_num 位。 DMA 发起的的 PCIe 存储器读写事务包中的的功能号将由此成员值代替。																													
[11:10]	RO	reserved	保留。																													
[9]	RO	reserved	保留。																													
[8]	RO	reserved	保留。																													
[7]	RO	reserved	保留。																													



DMA_SAR_LOW

DMA_SAR_LOW 为 DMA 数据源地址低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A7C		DMA_SAR_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_sar_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_sar_low	DMA 传输数据的源地址(低 32 位)。 在 DMA 传输之前将源数据的起始地址写入此寄存器，DMA 通道将从此地址获取将要传输的数据。 在 DMA 传输过程中，此寄存器的值会自动递增。 此寄存器低 2 比特必须为 0。					

DMA_SAR_HIGH

DMA_SAR_HIGH 为 DMA 数据源地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A80		DMA_SAR_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_sar_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_sar_high	DMA 传输数据的源地址(高 32 位)。 32 位地址模式下必须为 0。 64 位地址模式下与 DMA_SAR_LOW 组成 64 位的源地址。					

DMA_DAR_LOW

DMA_DAR_LOW 为 DMA 目标地址低位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A84		DMA_DAR_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_dar_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_dar_low	DMA 传输数据的目标地址(低 32 位)。 在 DMA 传输之前将目标地址写入此寄存器，DMA 通道将从源地址获取的数据写入目标地址内。 在 DMA 传输过程中，此寄存器的值会自动递增。 此寄存器低 2 比特必须为 0。					

DMA_DAR_HIGH

DMA_DAR_HIGH 为 DMA 目标地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A88		DMA_DAR_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dma_dar_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dma_dar_high	DMA 传输数据的目标地址(高 32 位)。 32 位地址模式下必须为 0。 64 位地址模式下与 DMA_DAR_LOW 组成 64 位的目标地址。					

13.8 SATA

13.8.1 概述

SATA 基于 AMBA 3.0 AXI 总线接口，便于在 SOC 片上系统中快速实现集成应用；提供基于 Linux 操作系统开发的驱动程序，帮助软件人员快速完成 SOC 子系统驱动程序定制开发；Hi3535 支持 3 个 SATA 端口（根据 SATA 协议规定，最多可以支持 32 个端口）；另外对 NCQ、热拔插、Port Multiplier、FBS（Frame information structure-based switching）、eSATA、电源管理等 SATA 最新特性也提供了在控制器层面的支持。



13.8.2 特点

Hi3535 的 SATA 接口有以下特点：

- 提供 ARM AHB 系统总线接口，支持 slave 操作。相关标准为 AMBA Spec 2.0。只支持 32bit 访问模式。
- 提供 ARM AXI 系统总线接口，支持 Master 操作。相关标准为 AMBA Spec 2.0。只支持 128bit 访问模式。
- 提供和 PHY 连接的标准接口信号。
- 支持 SATA3.0 和 AHCI1.3 协议，向下兼容 SATA2.6 和 AHCI1.2 协议。
- 支持 PIO、Legacy DMA、NCQ 操作。
- 支持电源管理特性。
- 支持 Port Multiplier 和 FBS 特性。
- 支持 3 个 SATA 端口。
- 支持 1.5Gbps、3.0Gbps 和 6.0Gbps 速率的自动协商。
- 支持错误中断上报机制。

13.8.3 信号描述

SATA 接口信号如表 13-16 所示。

表13-16 SATA 接口信号描述

信号名称	方向	描述	对应管脚
Refclk_m	I	SATA PHY2 参考时钟管脚负极	SATA_REFCLKM2
Refclk_p	I	SATA PHY2 参考时钟管脚正极	SATA_REFCLKP2
Rx0_m	I	SATA 端口 0 接收差分信号负极	SATA_RXM0
Rx0_p	I	SATA 端口 0 接收差分信号正极	SATA_RXP0
Tx0_m	O	SATA 端口 0 发送差分信号负极	SATA_TXM0
Tx0_p	O	SATA 端口 0 发送差分信号正极	SATA_TXP0
Rx1_m	I	SATA 端口 1 接收差分信号负极	SATA_RXM1
Rx1_p	I	SATA 端口 1 接收差分信号正极	SATA_RXP1
Tx1_m	O	SATA 端口 1 发送差分信号负极	SATA_TXM1
Tx1_p	O	SATA 端口 1 发送差分信号正极	SATA_TXP1
Rx2_m	I	SATA 端口 2 接收差分信号负极	SATA_RXM2
Rx2_p	I	SATA 端口 2 接收差分信号正极	SATA_RXP2
Tx2_m	O	SATA 端口 2 发送差分信号负极	SATA_TXM2



信号名称	方向	描述	对应管脚
Tx2_p	O	SATA 端口 2 发送差分信号正极	SATA_TXP2
Resref	I/O	SATA 的扩展电阻管脚，外接扩展电阻。	SATA_REXT



注意

在 Hi3535 芯片中，由于 SATA 的 Port 2 接口与 PCI Express 接口信号复用（默认是 PCI Express 功能），因此当这些信号被用作 SATA 的 port2 接口时，PCI Express 功能不可用。

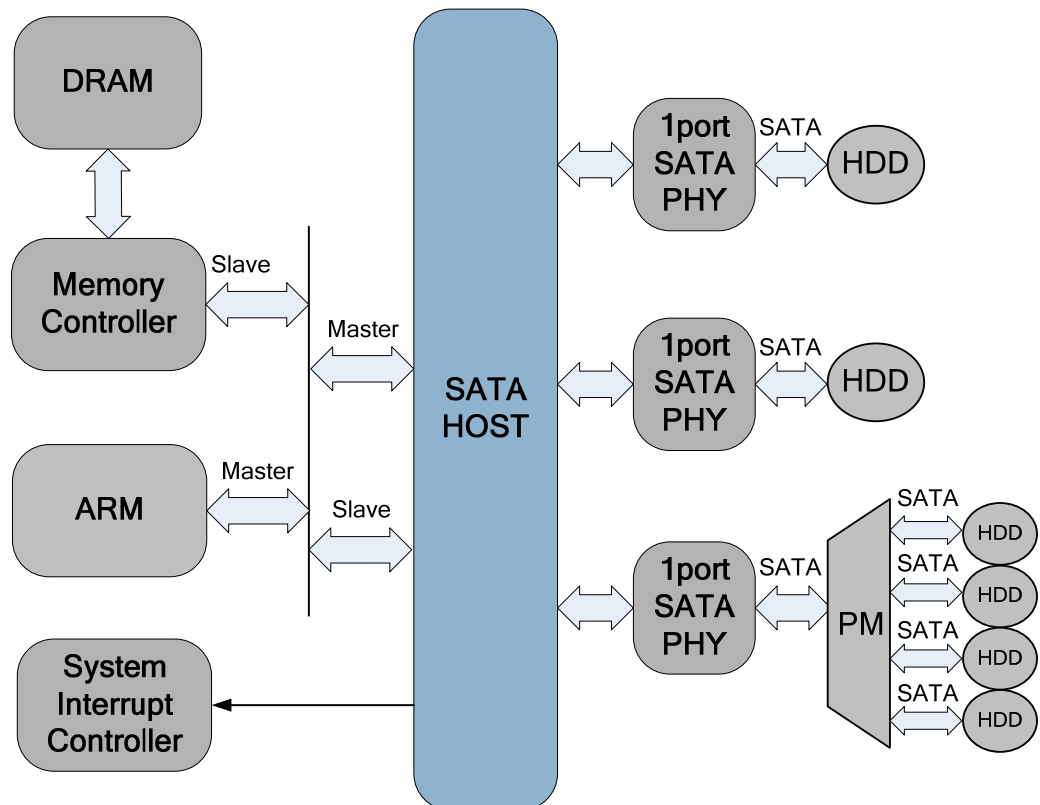
可以通过如下寄存器确认此接口设置为 SATA 模式：

- CRG 寄存器 PERI_CRG43[6] 必须设置为 0。
- 外设控制寄存器 MISC_CTRL1[12] 必须设置为 0。

13.8.4 功能描述

SATA host 应用场景如图 13-38 所示。

图13-38 应用场景示意图





AXI Master 接口挂载在基于 ARM AMBA3.0 的系统总线 AXI 上，AHB Slave 接口挂载在基于 ARM AMBA2.0 的系统总线 AHB 上。软件通过 AHB Slave 接口对 SATA HOST 进行配置，AXI Master 接口可以主动访问 System Memory Controller 控制的 DRAM，完成命令读操作和数据读写操作。

中断信号接系统中断控制器。

在芯片内部，SATA PHY 接口与 SATA HOST 相连接；在芯片外部，SATA PHY 可以连接支持 SATA 的硬盘或者光驱；SATA PHY 还可连接 SATA Port Multiplier 扩展到多个端口。

另外，LED Activity 显示信号可直接接出芯片，这一功能可根据实际应用选择。

该设计可以直接支持各种操作系统下 AHCI 标准驱动程序。

13.8.5 工作方式

13.8.5.1 管脚复用配置

在 SATA 中，点灯逻辑控制信号 `sata_led_n_X(X=0,1,2)` 是在 GPIO 中进行管脚复用，每个 Port 有一根控制信号，具体描述参见“GPIO”章节。

13.8.5.2 时钟门控

时钟门控都在 CRG 模块完成，具体描述参见“CRG”章节。

13.8.5.3 时钟配置

通过分别配置寄存器 `PERI_CRG43[5]`、`PERI_CRG43[3]`、`PERI_CRG43[1]` 可给 COMB PHY、SATA PHY1、SATA PHY0 提供不同频率的参考时钟。当提供的参考时钟改变时，需要对 SATA HOST 内部的控制寄存器 `SATA_PHY2_CTLL[8:1]`、`SATA_PHY1_CTLL[8:1]`、`SATA_PHY0_CTLL[8:1]` 进行配置，来满足 PHY 内部 MPLL 的时钟要求。具体参见 SATA 寄存器描述。

13.8.5.4 软复位

SATA HOST 控制器提供两种同步复位策略，可分别对整个控制器和单个 port 进行复位操作：

- 配置 SATA HOST 控制器内部 `SATA_GHC_GHC bit[0]` 为 1 时，整个控制器进入复位状态，内部的所有模块的逻辑恢复到初始值。`SATA_GHC_GHC bit[0]` 在复位完成后自动清零。
- 配置 Port0、Port1 或 Port2 中的 `SATA_PORT_CMD bit[0]` 从 1 到 0 时，SATA HOST 对应的 Port0、Port1 或 Port2 进入复位状态。

13.8.5.5 工作模式配置

SATA Host 在工作之前，必须先完成对 PHY 的初始化配置，使得 PHY 能够正常工作；同时完成和 Device 的初始化协商。



初始化 PHY

以 PHY 的参考时钟 100MHz 且来自片内为例，初始化配置 3Gbps 速度的 port0 的步骤如下：

1. 配置 PERI_CRG43 bit [1:0]为 01，选中 CRG 输出 100MHz 参考时钟，并打开使能。
2. 配置 muxctrl_reg75 bit[0]为 1，使能 SATA_LED_N0。
3. 配置 SATA_PORT_PHYCTL 寄存器为 0x0E39_0000，选择接口速率为 3G。
4. 配置 SATA_PHY0_CTLL 寄存器为 0x4900_003D，复位 SATA PHY。
5. 配置 SATA_PORT_PHYCTL2 寄存器为 0x0006_0555，对 SATA PHY 的 lane0 进行复位。
6. 配置 SATA_PHY0_CTLL 寄存器为 0x4900_023D，向 SATA PHY 配置时钟。
7. 配置 SATA_PORT_PHYCTL2 寄存器为 0x0002_0555，撤销 SATA PHY 的 lane0 复位。
8. 配置 SATA_PHY0_CTLL 寄存器为 0x4980_023C，撤销 SATA PHY 的复位。
9. 配置 SATA_PHY0_CTLH bit[3]为 1，保证 PHY 与 SATA 控制器对接的并行数据大小端属性相反。

----结束

初始化协商

等待 PHY 的 PLL 正常工作，Host 开始和 Device 完成初始化协商。

1. 配置 SATA_PORT_CMD[cmd_sud]为 1。
2. 等待 PHY 给出的指示信号 phyrdy 有效，可以通过查看 SATA_PORT_SSTS[pxsststs_det] 是否等于 3 来确定这个 port 是否已经正常。如果 SATA_PORT_SSTS[pxsststs_det]等于 3 则表示初始化成功。

----结束

操作业务

初始化协商完成后，通过以下步骤开始业务操作（以 DMA 模式为例）：

1. 清中断（第一次启动工作，或复位后不必进行此操作），依次配置 SATA_PORT_SERR、SATA_PORT_IS 和 SATA_GHC_IS 寄存器，配置值均为 0xFFFFFFFF。
2. 配置中断屏蔽寄存器 SATA_PORT_IE，屏蔽掉不需要上报的中断。
3. 使能全局中断，配置 SATA_GHC_GHC 寄存器为 0x80000002。
4. 按照附录 A SATA 命令链表格式建立链表。
5. 设置端口命令列表在内存中的基地址，配置寄存器 SATA_PORT_CLB[port_clb]（配置值为命令列表分配的内存基地址），通知发送 DMAC 读取命令、数据的位置。



6. 设置端口接收帧存放在的内存中的基地址，配置寄存器 `SATA_PORT_FB[port_fb]`（配置值为接收帧分配的内存基地址）通知接收 DMAC 接收 FIS 保存的位置。
7. 配置 `SATA_PORT_CMD` 为 `0x0020_0015`，使能发送 DMAC，使能接收 DMAC，进行命令、数据发送，接收 FIS 并写入系统内存。
8. 配置端口命令发送控制寄存器 `SATA_PORT_CI`，表明当前哪个命令准备发送。
9. 进行命令发送和数据传输。
10. 软件通过中断位及命令执行情况来判断当前命令是否完成。在接收到中断时，若是 PIO/DMA 操作，查询 CI 位是否都清 0；若是 NCQ 操作，查询 CI 和 SACT 对应位是否都清 0。
11. 若需要启动下一次传输，重复 1~10。

----结束

说明

Legacy DMA 操作、PIO 操作、ATAPI 操作均按照上面步骤进行操作，不同之处在于建立的链表（命令代码，标志位等不同）。

除了建立链表不同外，NCQ 操作还需要配置寄存器 `SATA_PORT_SACT`，表明 NCQ 操作执行的命令个数，在上面的第 7 步骤后再添加“配置寄存器 `SATA_PORT_SACT`”的步骤，需要保证 `SATA_PORT_SACT` 配置的命令位置和 `SATA_PORT_CI` 中的命令位置对应。

13.8.6 寄存器概览

寄存器偏移地址中变量的取值范围和含义如表 13-17 所示。

表13-17 寄存器偏移地址变量表

变量名称	取值范围	描述
n	0~2	控制器的 3 个端口

SATA 寄存器概览

SATA 寄存器概览如表 13-18 所示。

表13-18 SATA 寄存器概览（基址是 0x1201_0000）

偏移地址	名称	描述	页码
0x0000	SATA_GHC_CAP1	特性支持寄存器 1	13-148
0x0004	SATA_GHC_GHC	全局控制寄存器	13-149
0x0008	SATA_GHC_IS	中断状态寄存器	13-150
0x000C	SATA_GHC_PI	端口实现寄存器	13-150
0x0010	SATA_GHC_VS	AHCI 版本标识寄存器	13-151



偏移地址	名称	描述	页码
0x0014	SATA_GHC_CCC_CTL	CCC 控制寄存器	13-151
0x0018	SATA_GHC_CCC_PORTS	CCC 端口使能寄存器	13-152
0x0024	SATA_GHC_CAP2	特性支持寄存器 2	13-153
0x0028	SATA_GHC_BOHC	BIOS/OS 交接控制寄存器	13-153
0x00A0	SATA_PHY0_CTL	PHY0 全局控制寄存器低位	13-154
0x00A4	SATA_PHY0_CTLH	PHY0 全局控制寄存器高位	13-156
0x00A8	SATA_PHY0_STS	PHY0 全局状态寄存器	13-156
0x00AC	SATA_PHY1_CTL	PHY1 全局控制寄存器低位	13-157
0x00B0	SATA_PHY1_CTLH	PHY1 全局控制寄存器高位	13-158
0x00B4	SATA_PHY1_STS	PHY1 全局状态寄存器	13-159
0x00B8	SATA_OOB_CTL	PHY OOB 控制寄存器	13-159
0x00BC	SATA_AXI_DFX0	SATA AXI 总线的控制寄存器	13-160
0x00C0	SATA_AXI_DFX1	SATA AXI 总线的状态寄存器 1	13-162
0x00C4	SATA_AXI_DFX2	SATA AXI 总线的状态寄存器 2	13-163
0x00C8	SATA_AXI_DFX3	SATA AXI 总线的状态寄存器 3	13-163
0x00CC	SATA_AXI_DFX4	SATA AXI 总线的状态寄存器 4	13-164
0x00D0	SATA_AXI_DFX5	SATA AXI 总线的状态寄存器 5	13-164
0x00D4	SATA_AXI_DFX6	SATA AXI 总线的状态寄存器 6	13-165
0x00D8	SATA_AXI_DFX7	SATA AXI 总线的状态寄存器 7	13-165
0x00DC	SATA_AXI_DFX8	SATA AXI 总线的状态寄存器 8	13-166
0x00E0	SATA_AXI_DFX9	SATA AXI 总线的状态寄存器 9	13-166
0x00E4	SATA_AXI_DFX10	SATA AXI 总线的状态寄存器 10	13-167
0x00E8	SATA_AXI_DFX11	SATA AXI 总线的状态寄存器 11	13-167
0x00EC	SATA_AXI_DFX12	SATA AXI 总线的状态寄存器 12	13-168
0x00F0	SATA_PHY2_CTL	PHY2 全局控制寄存器低位	13-168
0x00F4	SATA_PHY2_CTLH	PHY2 全局控制寄存器高位	13-169
0x00F8	SATA_PHY2_STS	PHY2 全局状态寄存器	13-170



SATA_PORT_CFG 寄存器概览

SATA_PORT_CFG 寄存器概览如表 13-19 所示。

表13-19 SATA_PORT_CFG 寄存器概览（基址是 0x1201_0100）

偏移地址	名称	描述	页码
0x000+n x 0x80	SATA_PORT_CLB	命令列表基址寄存器	13-171
0x008+n x 0x80	SATA_PORT_FB	接收 FIS 基址寄存器	13-171
0x010+n x 0x80	SATA_PORT_IS	端口中断状态寄存器	13-171
0x014+n x 0x80	SATA_PORT_IE	端口中断屏蔽寄存器	13-173
0x018+n x 0x80	SATA_PORT_CMD	端口命令与状态寄存器	13-175
0x020+n x 0x80	SATA_PORT_TFD	端口 task file 寄存器	13-178
0x024+n x 0x80	SATA_PORT_SIG	端口 signature 寄存器	13-179
0x028+n x 0x80	SATA_PORT_SSTS	接口状态寄存器	13-179
0x02C+n x 0x80	SATA_PORT_SCTL	接口控制寄存器	13-180
0x030+n x 0x80	SATA_PORT_SERR	错误诊断状态寄存器	13-181
0x034+n x 0x80	SATA_PORT_SACT	NCQ 命令标识控制寄存器	13-183
0x038+n x 0x80	SATA_PORT_CI	命令发送控制寄存器	13-183
0x03C+n x 0x80	SATA_PORT_SNTF	异步 notification 事件指示寄存器	13-184
0x040+n x 0x80	SATA_PORT_FBS	FIS-Based Switching 控制寄存器	13-185
0x044+n x 0x80	SATA_PORT_FIFOT H	接收 FIFO 水线寄存器	13-186
0x048+n x 0x80	SATA_PORT_PHYC TL1	PHY 控制寄存器 1	13-186
0x04C+n x 0x80	SATA_PORT_PHYC TL2	PHY 控制寄存器 2	13-187



偏移地址	名称	描述	页码
0x050+n x 0x80	SATA_PORT_HBA	HBA 测试状态寄存器	13-188
0x054+n x 0x80	SATA_PORT_LINK	Link 测试状态寄存器	13-189
0x058+n x 0x80	SATA_PORT_DMA 1	DMAC 测试状态寄存器 1	13-190
0x05C+n x 0x80	SATA_PORT_DMA 2	DMAC 测试状态寄存器 2	13-191
0x060+n x 0x80	SATA_PORT_DMA 3	DMAC 测试状态寄存器 3	13-191
0x064+n x 0x80	SATA_PORT_DMA 4	DMAC 测试状态寄存器 4	13-191
0x068+n x 0x80	SATA_PORT_DMA 5	DMAC 测试状态寄存器 5	13-192
0x06C+n x 0x80	SATA_PORT_DMA 6	DMAC 测试状态寄存器 6	13-193
0x070+n x 0x80	SATA_PORT_DMA 7	DMAC 测试状态寄存器 7	13-193
0x074+n x 0x80	SATA_PORT_PHYC TL	PHY 控制寄存器	13-194
0x078+n x 0x80	SATA_PORT_PHYS TS	PHY 测试状态寄存器	13-195

13.8.7 寄存器描述

13.8.7.1 SATA 寄存器描述

SATA_GHC_CAP1

SATA_GHC_CAP1 为特性支持寄存器 1。



		Offset Address 0x0000								Register Name SATA_GHC_CAP1								Total Reset Value 0x6F37_7FA2															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		s64a	sncq	ssntf	smmps	sss	salp	sal	sclo	iss				reserved	sam	spm	fbss	pmd	ssc	psc	ncs				cccs	ems	sxs	np					
Reset		0	1	1	0	1	1	1	1	0	0	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	0	1	0	0	0	1	0
Bits	Access	Name		Description																													
[31]	RO	s64a		固定为 0，表示不支持 64 比特数据结构访问。																													
[30]	RO	sncq		固定为 1，表示支持 NCQ。																													
[29]	RO	ssntf		固定为 1，表示支持端口 SNTF 寄存器。																													
[28]	RO	smmps		固定为 0，表示不支持机械热拔插。																													
[27]	RO	sss		固定为 1，表示支持交错启动(staggered spin-up)。																													
[26]	RO	salp		固定为 1，表示支持电源管理。																													
[25]	RO	sal		固定为 1，表示支持点灯管脚。																													
[24]	RO	sclo		固定为 1，表示支持命令链表覆盖。																													
[23:20]	RO	iss		固定为 0x3，表示最大可支持 6Gbps 速率。																													
[19]	RO	reserved		保留。																													
[18]	RO	sam		固定为 1，表示只支持 AHCI 模式。																													
[17]	RO	spm		固定为 1，表示支持 Port Multiplier。																													
[16]	RO	fbss		固定为 1，表示支持 FIS-based Switching。																													
[15]	RO	pmd		固定为 0，但 PIO 模式不支持传输多个 DRQ 块。																													
[14]	RO	ssc		固定为 1，表示支持进入 Slumber 状态。																													
[13]	RO	psc		固定为 1，表示支持进入 Partial 状态。																													
[12:8]	RO	ncs		固定为 0x1F，表示支持 32 个命令 slot。																													
[7]	RO	cccs		固定为 1，表示支持 CCC (Command Completion Coalescing) 功能。																													
[6]	RO	ems		固定为 0，表示不支持 Enclose Management。																													
[5]	RO	sxs		固定为 1，表示支持 External SATA。																													
[4:0]	RO	np		固定为 0x02，表示支持 3 个端口。																													



SATA_GHC_GHC

SATA_GHC_GHC 为全局控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				SATA_GHC_GHC				0x8000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ahci_en	reserved																								int_enable	hba_rst					
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RO		ahci_en		固定为 1，表示软件只能通过 AHCI 机制与控制器进行交互。																											
[30:2]	RO		reserved		保留。																											
[1]	RW		int_enable		控制器中断使能。 0：禁止； 1：使能。																											
[0]	RW		hba_rst		控制器软复位控制。 0：不复位； 1：复位。 写 1 复位控制器，复位完成后自动清 0；写 0 对控制器无影响。复位不影响 SATA_GHC_BOHC、SATA_PORT_FB、SATA_PORT_CLB 寄存器。																											

SATA_GHC_IS

SATA_GHC_IS 为中断状态寄存器。



Offset Address		Register Name		Total Reset Value						
0x0008		SATA_GHC_IS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							ips_port2	ips_port1	ips_port0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31]	WC	ips_ccc	CCC 中断状态。 0: 未产生 CCC 中断; 1: 已产生 CCC 中断。							
[30:3]	RO	reserved	保留。							
[2]	WC	ips_port2	端口 2 中断状态。 0: 无中断上报; 1: 有中断上报。							
[1]	WC	ips_port1	端口 1 中断状态。 0: 无中断上报; 1: 有中断上报。							
[0]	WC	ips_port0	端口 0 中断状态。 0: 无中断上报; 1: 有中断上报。							

SATA_GHC_PI

SATA_GHC_PI 为端口实现寄存器。

Offset Address		Register Name		Total Reset Value				
0x000C		SATA_GHC_PI		0x0000_0007				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							port_imp
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1
Bits	Access	Name	Description					
[31:3]	RO	reserved	保留。					



[2:0]	RO	port_imp	端口有效指示，其值为 0x7 时，表示 0~2 共 3 个端口有效，bit[2]~bit[0]分别对应端口 2~端口 0。 0：端口无效； 1：端口有效。
-------	----	----------	---

SATA_GHC_VS

SATA_GHC_VS 为 AHCI 版本标识寄存器。

Offset Address		Register Name		Total Reset Value				
0x0010		SATA_GHC_VS		0x0001_0300				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	achi_vs							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	achi_vs	表示支持的 AHCI 版本为 V1.3。					

SATA_GHC_CCC_CTL

SATA_GHC_CCC_CTL 为 CCC 控制寄存器。

Offset Address		Register Name		Total Reset Value						
0x0014		SATA_GHC_CCC_CTL		0x0001_01F8						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	ccc_tv			ccc_cc			ccc_int		reserved	ccc_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	1 1 1 1	1 0 0 0		
Bits	Access	Name	Description							
[31:16]	RW	ccc_tv	CCC 超时参数，单位为 ms。 CCC 功能被使能时，超时计数器加载该参数值，当参与 CCC 功能的端口有命令在执行时，计数器每隔 1ms 递减 1，直至递减为 0 产生 CCC 中断，CCC 中断产生后，计数器重新加载该参数进行下一轮的计数。 该位不可写 0。							



[15:8]	RW	ccc_cc	CCC 命令完成上限值。 CCC 功能被使能时，命令完成计数器清 0，开始累加参与 CCC 功能的各个端口的命令完成数，如果计数器累加到大于或等于该参数，产生 CCC 中断，CCC 中断产生后，计数器清 0 重新开始新一轮累计计数。 若对该位写 0，将禁止命令完成中断，此时 CCC 中断只能因为超时而产生。
[7:3]	RO	ccc_int	CCC 中断向量号，其值为 0x1F (31)，即表明 SATA_GHC_IS bit[31]为 CCC 中断状态。
[2:1]	RO	reserved	保留。
[0]	RW	ccc_en	CCC 功能使能。 0：禁止； 1：使能。 注意：在使能 CCC 功能时，不可更改 ccc_tv 和 ccc_cc 参数值。

SATA_GHC_CCC_PORTS

SATA_GHC_CCC_PORTS 为 CCC 端口使能寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0018				SATA_GHC_CCC_PORTS								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											ccc_prt				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	RO		reserved		保留。																											
[2:0]	RW		ccc_prt		指定参与 CCC 功能的端口。bit[2]~bit[0]分别代表端口 2~0。对应位为 1 表示该端口参与 CCC 计数，为 0 表示该端口不参与 CCC 计数。 该寄存器可以随时更改并生效。																											

SATA_GHC_CAP2

SATA_GHC_CAP2 为特性支持寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x0024		SATA_GHC_CAP2		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cap_boh
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	cap_boh	固定为 1，表示支持 BIOS/OS 的交接管理控制。						

SATA_GHC_BOHC

SATA_GHC_BOHC 为 BIOS/OS 交接控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x0028		SATA_GHC_BOHC		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						bohc_bb	bohc_ooc	bohc_sooe	bohc_oos	bohc_bos
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:5]	RO	reserved	保留。								
[4]	RW	bohc_bb	BIOS 忙状态指示。 0: BIOS 不忙; 1: BIOS 正忙于完成相关操作并准备将控制权交接给 OS。								
[3]	WC	bohc_ooc	当 bohc_oos 信号从 0 跳变到 1 时，该位锁定到 1；该比特位写 1 清零，写 0 无影响。								
[2]	RW	bohc_sooe	消息中断使能。 0: 不产生消息中断； 1: 当 bohc_ooc 比特置 1 时，会产生消息中断。								



[1]	RW	bohc_oos	操作系统控制器请求。 0: OS 未申请控制器控制权; 1: OS 申请获取控制器的控制权。如果 bohc_oos 为 1 且 bios_bos 为 0, 表示操作系统已经获取了 SATA 控制器的控制权。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该位。
[0]	RW	bohc_bos	BIOS 拥有控制器控制权标志。 0: BIOS 不拥有控制器的控制权; 1: BIOS 建立了对控制器的控制权。如果操作系统要求获取控制器的控制权, 则 BIOS 将要清除该比特。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该位。

SATA_PHY0_CTLL

SATA_PHY0_CTLL 为 PHY0 全局控制寄存器低位。

	Offset Address				Register Name								Total Reset Value																			
	0x00A0				SATA_PHY0_CTLL								0x4980_003C																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	los_bias				los_level				ref_use_pad	ssc_ref_clk_sel				ssc_range				ssc_en	ref_ssp_en	ref_clkdiv2	mpll_multiplier				reset							
Reset	0	1	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0
Bits	Access		Name		Description																											
[31:29]	RW		los_bias		loss-of-signal 侦测电压阈值设置。这个寄存器的值必须设置为 0x2。																											
[28:24]	RW		los_level		loss-of-signal 侦测电压阈值设置。这个寄存器的值必须设置为 0x9。																											
[23]	RW		ref_use_pad		选择参考时钟的源。 0: 选择芯片 CRG; 1: 选择外部 PAD。																											
[22:14]	RW		ssc_ref_clk_sel		spread spectrum clocking Shifting。																											



[13:11]	RW	ssc_range	当 ssc_en 有效时，表明时钟的频偏。 000: -4980; 001: -4492; 010: -4003; 011: -2000; 100: 4980; 101: 4492; 110: 4003; 111: 2000。
[10]	RW	ssc_en	时钟展频使能控制信号。 0: 不使能; 1: 使能。
[9]	RW	ref_ssp_en	参考时钟使能控制信号。 0: 不使能; 1: 使能。
[8]	RW	ref_clkdiv2	是否对输入的参考时钟分频处理，如果输入的参考时钟大于 100MHz，那么这个信号必须设置为 1。
[7:1]	RW	mpll_multiplier	控制 SerDes 中的 MPLL 频率输出。将参考时钟做对应的倍频关系，产生需要的高频时钟。 如果参考时钟是 100MHz，此处应配置为 0b0011110。
[0]	RW	reset	复位信号，至少需要保持 5ns。高有效。

SATA_PHY0_CTLH

SATA_PHY0_CTLH 为 PHY0 全局控制寄存器高位。

	Offset Address				Register Name				Total Reset Value																							
	0x00A4				SATA_PHY0_CTLH				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								data_invert	test_powerdown	test_bypass	test_burnin				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											



[3]	RW	data_invert	0: PHY 与 SATA 控制器对接的并行数据大小端属性一致; 1: PHY 与 SATA 控制器对接的并行数据大小端属性相反。
[2]	RW	test_powerdown	测试控制信号, 控制所有电路的掉电。当在 IDDQ 测试时使用。 0: 不掉电; 1: 掉电。
[1]	RW	test_bypass	测试控制信号, 设置为 0。
[0]	RW	test_burnin	测试控制信号, 设置为 0。

SATA_PHY0_STS

SATA_PHY0_STS 为 PHY0 全局状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x00A8		SATA_PHY0_STS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	phy0_sts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	phy0_sts	SATA PHY0 common 部分状态寄存器。					

SATA_PHY1_CTL

SATA_PHY1_CTL 为 PHY1 全局控制寄存器低位。

Offset Address		Register Name		Total Reset Value						
0x00AC		SATA_PHY1_CTL		0x4980_003C						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	los_bias	los_level	ref_use_pad	ssc_ref_clk_sel	ssc_range	ssc_en	ref_ssp_en	ref_clkdiv2	mpll_multiplier	reset
Reset	0 1 0 0	1 0 0 1	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 0 0		
Bits	Access	Name	Description							
[31:29]	RW	los_bias	loss-of-signal 侦测电压阈值设置。这个寄存器的值必须设置为 0x2。							



[28:24]	RW	los_level	loss-of-signal 侦测电压阈值设置。这个寄存器的值必须设置为 0x9。
[23]	RW	ref_use_pad	选择参考时钟的源。 0: 选择芯片 CRG; 1: 选择外部 PAD。
[22:14]	RW	ssc_ref_clk_sel	spread spectrum clocking Shifting。
[13:11]	RW	ssc_range	当 ssc_en 有效时，表明时钟的频偏。 000: -4980; 001: -4492; 010: -4003; 011: -2000; 100: 4980; 101: 4492; 110: 4003; 111: 2000。
[10]	RW	ssc_en	时钟展频使能控制信号。 0: 不使能; 1: 使能。
[9]	RW	ref_ssp_en	参考时钟使能控制信号。 0: 不使能; 1: 使能。
[8]	RW	ref_clkdiv2	控制是否对输入的参考时钟分频处理，如果输入的参考时钟大于 100MHz，那么这个信号必须设置为 1。
[7:1]	RW	mpll_multiplier	控制 SerDes 中的 MPLL 频率输出。将参考时钟做对应的倍频关系，来产生需要的高频时钟。 如果参考时钟是 100MHz，那么这个值配置为 0b0011110。
[0]	RW	reset	复位信号，至少需要保持 5ns。高有效。

SATA_PHY1_CTLH

SATA_PHY1_CTLH 为 PHY1 全局控制寄存器高位。



Offset Address		Register Name		Total Reset Value							
0x00B0		SATA_PHY1_CTLH		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							data_invert	test_powerdown	test_bypass	test_burnin
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RW	data_invert	0: PHY 与 SATA 控制器对接的并行数据大小端属性一致; 1: PHY 与 SATA 控制器对接的并行数据大小端属性相反。								
[2]	RW	test_powerdown	测试控制信号, 控制所有电路的掉电。当在 IDDQ 测试时使用。 0: 不掉电; 1: 掉电。								
[1]	RW	test_bypass	测试控制信号, 设置为 0。								
[0]	RW	test_burnin	测试控制信号, 设置为 0。								

SATA_PHY1_STS

SATA_PHY1_STS 为 PHY1 全局状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x00B4		SATA_PHY1_STS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	phy1_sts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	phy1_sts	SATA PHY1 common 部分状态寄存器。					

SATA_OOB_CTL

SATA_OOB_CTL 为 PHY OOB 控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x00B8		SATA_OOB_CTL		0x8406_0C15				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	min_comiwake		max_comwake		min_cominit		max_cominit	
Reset	1 0 0 0	0 1 0 0	0 0 0 0	0 1 1 0	0 0 0 0	1 1 0 0	0 0 0 1	0 1 0 1
Bits	Access	Name	Description					
[31]	RW	oob_ctrl_valid	OOB 检测参数配置位，为高电平时选择该寄存器的参数配置。					
[30:24]	RW	min_comiwake	COMWAKE space 检测所需要的最小 space 计数值。					
[23:16]	RW	max_comwake	COMWAKE space 检测所需要的最大 space 计数值。					
[15:8]	RW	min_cominit	COMINIT space 检测所需要的最小 space 计数值。					
[7:0]	RW	max_cominit	COMINIT space 检测所需要的最大 space 计数值。					

SATA_AXI_DFX0

SATA_AXI_DFX0 为 SATA AXI 总线的控制寄存器。

Offset Address		Register Name		Total Reset Value																			
0x00BC		SATA_AXI_DFX0		0x0000_0000																			
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0															
Name	reserved	rd_otd_en	rd_otd_ctrl	wr_otd_en	wr_otd_ctrl	reserved	cnt_wr5	cnt_wr4	cnt_wr3	cnt_wr2	cnt_wr1	cnt_wr0	reserved	cnt_rd5	cnt_rd4	cnt_rd3	cnt_rd2	cnt_rd1	cnt_rd0	cnt_wr_latency_clr	cnt_wr_acc_clr	cnt_rd_latency_clr	cnt_rd_acc_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																				
[31:30]	RO	reserved	保留。																				
[29]	RW	rd_otd_en	是否控制 AXI Master 的读操作最大支持的 outstanding 能力。 0: 不使能; 1: 使能。																				



[28:25]	RW	rd_otd_ctrl	控制 AXI Master 的读操作最大支持的 outstanding 能力。 0000: 支持 outstanding 为 1; 0001: 支持 outstanding 为 2; 0011: 支持 outstanding 为 4; 其他: 保留。
[24]	RW	wr_otd_en	是否控制 AXI Master 的写操作最大支持的 outstanding 能力。 0: 不使能; 1: 使能。
[23:20]	RW	wr_otd_ctrl	控制 AXI Master 的写操作最大支持的 outstanding 能力。 0000: 支持 outstanding 为 1; 0001: 支持 outstanding 为 2; 0011: 支持 outstanding 为 4; 其他: 保留。
[19:18]	RO	reserved	保留。
[17]	RW	cnt_wr5	AXI 内部的通道 7(SATA Port2 RX DMAC)是否打开写通道方向的 DFX 功能, 高有效。 0: 不使能; 1: 使能。
[16]	RW	cnt_wr4	AXI 内部的通道 7(SATA Port2 TX DMAC)是否打开写通道方向的 DFX 功能, 高有效。 0: 不使能; 1: 使能。
[15]	RW	cnt_wr3	AXI 内部的通道 7(SATA Port1 RX DMAC)是否打开写通道方向的 DFX 功能, 高有效。 0: 不使能; 1: 使能。
[14]	RW	cnt_wr2	AXI 内部的通道 7(SATA Port1 TX DMAC)是否打开写通道方向的 DFX 功能, 高有效。 0: 不使能; 1: 使能。
[13]	RW	cnt_wr1	AXI 内部的通道 7(SATA Port0 RX DMAC)是否打开写通道方向的 DFX 功能, 高有效。 0: 不使能; 1: 使能。



[12]	RW	cnt_wr0	AXI 内部的通道 7(SATA Port0 TX DMAC)是否打开写通道方向的 DFX 功能，高有效。 0: 不使能; 1: 使能。
[11:10]	RO	reserved	保留。
[9]	RW	cnt_rd5	AXI 内部的通道 7(SATA Port2 RX DMAC)是否打开读通道方向的 DFX 功能，高有效。 0: 不使能; 1: 使能。
[8]	RW	cnt_rd4	AXI 内部的通道 7(SATA Port2 TX DMAC)是否打开读通道方向的 DFX 功能，高有效。 0: 不使能; 1: 使能。
[7]	RW	cnt_rd3	AXI 内部的通道 7(SATA Port1 RX DMAC)是否打开读通道方向的 DFX 功能，高有效。 0: 不使能; 1: 使能。
[6]	RW	cnt_rd2	AXI 内部的通道 7(SATA Port1 TX DMAC)是否打开读通道方向的 DFX 功能，高有效。 0: 不使能; 1: 使能。
[5]	RW	cnt_rd1	AXI 内部的通道 7(SATA Port0 RX DMAC)是否打开读通道方向的 DFX 功能，高有效。 0: 不使能; 1: 使能。
[4]	RW	cnt_rd0	AXI 内部的通道 7(SATA Port0 TX DMAC)是否打开读通道方向的 DFX 功能，高有效。 0: 不使能; 1: 使能。
[3]	RW	cnt_wr_latency_clr	清除当前写通道的和 latency 相关的 debug 寄存器，高有效。 0: 不清除; 1: 清除。
[2]	RW	cnt_wr_acc_clr	清除当前写通道的命令总数 debug 寄存器，高有效。 0: 不清除; 1: 清除。



[1]	RW	cnt_rd_latency_clr	清除当前读通道的和 latency 相关的 debug 寄存器，高有效。 0: 不清除; 1: 清除。
[0]	RW	cnt_rd_acc_clr	清除当前读通道的命令总数 debug 寄存器，高有效。 0: 不清除; 1: 清除。

SATA_AXI_DFX1

SATA_AXI_DFX1 为 SATA AXI 总线的状态寄存器 1。

	Offset Address	Register Name	Total Reset Value
	0x00C0	SATA_AXI_DFX1	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RO	cnt_rd_latency_max	DFX 信号，当前读通道的 latency 最大值。以 cycle 为单位。

SATA_AXI_DFX2

SATA_AXI_DFX2 为 SATA AXI 总线的状态寄存器 2。

	Offset Address	Register Name	Total Reset Value
	0x00C4	SATA_AXI_DFX2	0x0000_001F
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 1 1 1 1 1
Bits	Access	Name	Description
[31:16]	RO	reserved	保留。
[15:0]	RO	cnt_rd_latency_avg	DFX 信号，当前读通道的 latency 平均值。以 cycle 为单位。



SATA_AXI_DFX3

SATA_AXI_DFX3 为 SATA AXI 总线的状态寄存器 3。

Offset Address		Register Name		Total Reset Value					
0x00C8		SATA_AXI_DFX3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cnt_wr_latency_max				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RO	cnt_wr_latency_max	DFX 信号，当前写通道的 latency 最大值。以 cycle 为单位。						

SATA_AXI_DFX4

SATA_AXI_DFX4 为 SATA AXI 总线的状态寄存器 4。

Offset Address		Register Name		Total Reset Value					
0x00CC		SATA_AXI_DFX4		0x0000_001F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cnt_wr_latency_avg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RO	cnt_wr_latency_avg	DFX 信号，当前写通道的 latency 平均值。以 cycle 为单位。						

SATA_AXI_DFX5

SATA_AXI_DFX5 为 SATA AXI 总线的状态寄存器 5。



Offset Address		Register Name		Total Reset Value				
0x00D0		SATA_AXI_DFX5		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cnt_rd_acc3		cnt_rd_acc2		cnt_rd_acc1		cnt_rd_acc0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	cnt_rd_acc3	DFX 信号, 当前 AXI master Port3 的读命令总数, 对应 SATA Port1 RX DAMC。					
[23:16]	RO	cnt_rd_acc2	DFX 信号, 当前 AXI masterPort2 的读命令总数, 对应 SATA Port1 TX DAMC。					
[15:8]	RO	cnt_rd_acc1	DFX 信号, 当前 AXI masterPort1 的读命令总数, 对应 SATA Port0 RX DAMC。					
[7:0]	RO	cnt_rd_acc0	DFX 信号, 当前 AXI masterPort0 的读命令总数, 对应 SATA Port0 TX DAMC。					

SATA_AXI_DFX6

SATA_AXI_DFX6 为 SATA AXI 总线的状态寄存器 6。

Offset Address		Register Name		Total Reset Value				
0x00D4		SATA_AXI_DFX6		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cnt_rd_acc5		cnt_rd_acc4		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:8]	RO	cnt_rd_acc5	DFX 信号, 当前 AXI masterPort5 的读命令总数, 对应 SATA Port2 RX DAMC。					
[7:0]	RO	cnt_rd_acc4	DFX 信号, 当前 AXI masterPort4 的读命令总数, 对应 SATA Port2 TX DAMC。					

SATA_AXI_DFX7

SATA_AXI_DFX7 为 SATA AXI 总线的状态寄存器 7。



Offset Address		Register Name		Total Reset Value				
0x00D8		SATA_AXI_DFX7		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cnt_wr_acc3		cnt_wr_acc2		cnt_wr_acc1		cnt_wr_acc0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	cnt_wr_acc3	DFX 信号, 当前 AXI masterPort3 的写命令总数, 对应 SATA Port1 RX DAMC。					
[23:16]	RO	cnt_wr_acc2	DFX 信号, 当前 AXI masterPort2 的写命令总数, 对应 SATA Port1 TX DAMC。					
[15:8]	RO	cnt_wr_acc1	DFX 信号, 当前 AXI masterPort1 的写命令总数, 对应 SATA Port0 RX DAMC。					
[7:0]	RO	cnt_wr_acc0	DFX 信号, 当前 AXI masterPort0 的写命令总数, 对应 SATA Port0 TX DAMC。					

SATA_AXI_DFX8

SATA_AXI_DFX8 为 SATA AXI 总线的状态寄存器 8。

Offset Address		Register Name		Total Reset Value				
0x00DC		SATA_AXI_DFX8		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cnt_wr_acc5		cnt_wr_acc4		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:8]	RO	cnt_wr_acc5	DFX 信号, 当前 AXI masterPort5 的写命令总数, 对应 SATA Port2 RX DAMC。					
[7:0]	RO	cnt_wr_acc4	DFX 信号, 当前 AXI masterPort4 的写命令总数, 对应 SATA Port2 TX DAMC。					

SATA_AXI_DFX9

SATA_AXI_DFX9 为 SATA AXI 总线的状态寄存器 9。



Offset Address		Register Name		Total Reset Value				
0x00E0		SATA_AXI_DFX9		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cnt_rd_otd3		cnt_rd_otd2		cnt_rd_otd1		cnt_rd_otd0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	RO	cnt_rd_otd3	DFX 信号, 当前 AXI masterPort3 的读 outstanding 命令总数, 对应 SATA Port1 RX DAMC。					
[23:16]	RO	cnt_rd_otd2	DFX 信号, 当前 AXI masterPort2 的读 outstanding 命令总数, 对应 SATA Port1 TX DAMC。					
[15:8]	RO	cnt_rd_otd1	DFX 信号, 当前 AXI masterPort1 的读 outstanding 命令总数, 对应 SATA Port0 RX DAMC。					
[7:0]	RO	cnt_rd_otd0	DFX 信号, 当前 AXI masterPort0 的读 outstanding 命令总数, 对应 SATA Port0 TX DAMC。					

SATA_AXI_DFX10

SATA_AXI_DFX10 为 SATA AXI 总线的状态寄存器 10。

Offset Address		Register Name		Total Reset Value				
0x00E4		SATA_AXI_DFX10		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cnt_rd_otd5		cnt_rd_otd4		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:8]	RO	cnt_rd_otd5	DFX 信号, 当前 AXI masterPort5 的读 outstanding 命令总数, 对应 SATA Port2 RX DAMC。					
[7:0]	RO	cnt_rd_otd4	DFX 信号, 当前 AXI masterPort4 的读 outstanding 命令总数, 对应 SATA Port2 TX DAMC。					

SATA_AXI_DFX11

SATA_AXI_DFX11 为 SATA AXI 总线的状态寄存器 11。



Offset Address		Register Name		Total Reset Value					
0x00E8		SATA_AXI_DFX11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	cnt_wr_otd3		cnt_wr_otd2		cnt_wr_otd1		cnt_wr_otd0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	cnt_wr_otd3	DFX 信号, 当前 AXI masterPort3 的写 outstanding 命令总数, 对应 SATA Port1 RX DAMC。						
[23:16]	RO	cnt_wr_otd2	DFX 信号, 当前 AXI masterPort2 的写 outstanding 命令总数, 对应 SATA Port1 TX DAMC。						
[15:8]	RO	cnt_wr_otd1	DFX 信号, 当前 AXI masterPort1 的写 outstanding 命令总数, 对应 SATA Port0 RX DAMC。						
[7:0]	RO	cnt_wr_otd0	DFX 信号, 当前 AXI masterPort0 的写 outstanding 命令总数, 对应 SATA Port0 TX DAMC。						

SATA_AXI_DFX12

SATA_AXI_DFX12 为 SATA AXI 总线的状态寄存器 12。

Offset Address		Register Name		Total Reset Value				
0x00EC		SATA_AXI_DFX12		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			cnt_wr_otd5		cnt_wr_otd4		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:8]	RO	cnt_wr_otd5	DFX 信号, 当前 AXI masterPort5 的写 outstanding 命令总数, 对应 SATA Port2 RX DAMC。					
[7:0]	RO	cnt_wr_otd4	DFX 信号, 当前 AXI masterPort4 的写 outstanding 命令总数, 对应 SATA Port2 TX DAMC。					

SATA_PHY2_CTL

SATA_PHY2_CTL 为 PHY2 全局控制寄存器低位。



Offset Address		Register Name		Total Reset Value																												
0x00F0		SATA_PHY2_CTL		0x4980_003C																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	los_bias				los_level				ref_use_pad	ssc_ref_clk_sel				ssc_range				ssc_en	ref_ssp_en	ref_clkdiv2	mpl_multiplier				reset							
Reset	0	1	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0
Bits	Access	Name	Description																													
[31:29]	RW	los_bias	loss-of-signal 侦测电压阈值设置。这个寄存器的值必须设置为0x2。																													
[28:24]	RW	los_level	loss-of-signal 侦测电压阈值设置。这个寄存器的值必须设置为0x9。																													
[23]	RW	ref_use_pad	选择参考时钟的源。 0: 选择芯片 CRG; 1: 选择外部 PAD。																													
[22:14]	RW	ssc_ref_clk_sel	spread spectrum clocking Shifting。																													
[13:11]	RW	ssc_range	当 ssc_en 有效时，表明时钟的频偏。 000: -4980; 001: -4492; 010: -4003; 011: -2000; 100: 4980; 101: 4492; 110: 4003; 111: 2000。																													
[10]	RW	ssc_en	时钟展频使能控制信号。 0: 不使能; 1: 使能。																													
[9]	RW	ref_ssp_en	参考时钟使能控制信号。 0: 不使能; 1: 使能。																													
[8]	RW	ref_clkdiv2	是否对输入的参考时钟分频处理，如果输入的参考时钟大于100MHz，那么这个信号必须设置为1。																													



[7:1]	RW	mpll_multiplier	控制 SerDes 中的 MPLL 频率输出。将参考时钟做对应的倍频关系，来产生需要的高频时钟。 如果参考时钟是 100MHz，那么这个值配置为 7'b0011110。
[0]	RW	reset	复位信号，至少需要保持 5ns。高有效。

SATA_PHY2_CTLH

SATA_PHY2_CTLH 为 PHY2 全局控制寄存器高位。

	Offset Address				Register Name				Total Reset Value																							
	0x00F4				SATA_PHY2_CTLH				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								data_invert	test_powerdown	test_bypass	test_burnin				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											
[3]	RW		data_invert		0: PHY 与 SATA 控制器对接的并行数据大小端属性一致； 1: PHY 与 SATA 控制器对接的并行数据大小端属性相反。																											
[2]	RW		test_powerdown		测试控制信号，控制所有电路的掉电。在 IDDQ 测试时使用。 0: 不掉电； 1: 掉电。																											
[1]	RW		test_bypass		测试控制信号，设置为 0。																											
[0]	RW		test_burnin		测试控制信号，设置为 0。																											

SATA_PHY2_STS

SATA_PHY2_STS 为 PHY2 全局状态寄存器。



Offset Address		Register Name		Total Reset Value				
0x00F8		SATA_PHY2_STS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	phy1_sts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	Phy2_sts	SATA PHY2 common 部分状态寄存器。					

13.8.7.2 SATA_PORT_CFG 寄存器描述

SATA_PORT_CLB

SATA_PORT_CLB 为命令列表基址寄存器。

Offset Address		Register Name		Total Reset Value				
0x000+n x 0x80		SATA_PORT_CLB		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	port_clb						reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:10]	RW	port_clb	设置端口命令列表在内存中的基地址。使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该寄存器值。					
[9:0]	RO	reserved	保留。					

SATA_PORT_FB

SATA_PORT_FB 为接收 FIS 基址寄存器。



Offset Address		Register Name		Total Reset Value						
0x008+n x 0x80		SATA_PORT_FB		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	port_fb						reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	RW	port_fb	设置端口接收帧存放在内存中的基地址。 使用 SATA_GHC_GHC[hab_rst]位对控制器进行复位时不影响该寄存器值。							
[7:0]	RO	reserved	保留。							

SATA_PORT_IS

SATA_PORT_IS 为端口中断状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x010+n x 0x80		SATA_PORT_IS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved pxis_tfes reserved pxis_hbds pxis_ifs pxis_ifs reserved pxis_ofs pxis_ipms pxis_pres	reserved						pxis_pcs pxis_dps pxis_ufs pxis_sdbds pxis_dss pxis_pss pxis_dhrs
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	reserved	保留。					
[30]	WC	pxis_tfes	TFD 错误中断状态。 0: 未检测到 SATA_PORT_TFD bit[0]为 1; 1: 检测到 SATA_PORT_TFD bit[0]为 1。					
[29]	RO	reserved	保留。					
[28]	WC	pxis_hbds	内部总线错误中断。 0: DMAC 访问内存时正常; 1: DMAC 访问内存时出错。					
[27]	WC	pxis_ifs	致命错误中断状态。 0: 在进行数据帧传输过程中未出现错误; 1: 在进行数据帧传输过程中出现错误。					



[26]	WC	pxis_infs	非致命错误中断状态。 0: 在进行非数据帧传输过程中未出现错误; 1: 在进行非数据帧传输过程中出现错误。
[25]	RO	reserved	保留。
[24]	WC	pxis_ofs	数据传输 overflow 中断状态。 0: 未检测到 overflow 情形; 1: 数据帧传输过程中, 若检测到命令占有的数据内存空间小于实际传数据量时, 在数据传输末尾, 上报中断。
[23]	WC	pxis_ipms	PM 端口错误中断状态。 0: 未检测到接收帧 PM 端口号错误; 1: 在接收帧时检测到 PM 端口号错误。
[22]	RO	pxis_prcs	PHY 状态变化中断状态。 0: 未检测到 phyrdy 信号发生变化; 1: 检测到 phyrdy 信号发生变化。 该位直接反应 SATA_PORT_SERR[diag_n] 位。
[21:7]	RO	reserved	保留。
[6]	RO	pxis_pcs	端口连接变化中断状态。 0: 未检测到设备发出的 COMINIT 信号; 1: 检测到设备发送的 COMINIT 信号。 该位直接反应 SATA_PORT_SERR[diag.x] 位。
[5]	WC	pxis_dps	链表结束中断状态。 0: 无 PRD “I” 位为 1 链表数据传输完毕; 1: PRD “I” 位为 1 链表数据被正常传输完毕。
[4]	RO	pxis_ufs	Unknown FIS 中断状态。 0: 未收到 Unknown FIS; 1: 收到一个 Unknown FIS。
[3]	WC	pxis_sdbS	Set Device Bits FIS 中断状态。 0: 无影响; 1: 收到一个 Set Device Bits FIS, 且 I 位为 1。
[2]	WC	pxis_dss	DMA Setup FIS 中断状态。 0: 无意义; 1: 收到一个 DMA Setup FIS, 且 I 位为 1。
[1]	WC	pxis_pss	PIO Setup FIS 中断状态。 0: 无意义; 1: 收到一个 PIO Setup FIS, 且 I 位为 1。



[0]	WC	pxis_dhrs	D2H Register FIS 中断状态。 0: 无意义; 1: 收到一个 D2H Register FIS, 且 I 位为 1。
-----	----	-----------	--

SATA_PORT_IE

SATA_PORT_IE 为端口中断屏蔽寄存器。

	Offset Address 0x014+n x 0x80	Register Name SATA_PORT_IE	Total Reset Value 0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved pxie_tfee reserved pxie_hbde pxie_ife pxie_infe reserved pxie_ofe pxie_ipme pxie_pnce	reserved	pxie_pce pxie_dpe pxie_ufe pxie_sdbe pxie_dse pxie_pse pxie_dhrs
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31]	RO	reserved	保留。
[30]	RW	pxie_tfee	TFD 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[29]	RO	reserved	保留。
[28]	RW	pxie_hbde	内部总线错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[27]	RW	pxie_ife	致命错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[26]	RW	pxie_infe	非致命错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[25]	RO	reserved	保留。
[24]	RW	pxie_ofe	数据传输 overflow 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。



[23]	RW	pxie_ipme	PM 端口错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[22]	RW	pxie_prce	PHY 状态变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[21:7]	RO	reserved	保留。
[6]	RW	pxie_pce	端口连接变化中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RW	pxie_dpe	链表结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	pxie_ufe	Unknown FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	pxie_sdbe	Set Device Bits FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	pxie_dse	DMA Setup FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	pxie_pse	PIO Setup FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	pxie_dhre	D2H Register FIS 中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

SATA_PORT_CMD

SATA_PORT_CMD 为端口命令与状态寄存器。



Offset Address		Register Name		Total Reset Value																																
0x018+n x 0x80		SATA_PORT_CMD		0x0060_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	cmd_icc				cmd_asp	cmd_alpe	cmd_dlae	cmd_atapi	reserved	fbscp	cmd_esp	reserved	cmd_pma	reserved	cmd_cr	cmd_fr	reserved	cmd_ccs				reserved	cmd_fre	cmd_clo	reserved	cmd_sud	cmd_st									
Reset	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:28]	RW	cmd_icc	接口通信控制信号。 0x0: 无操作, 表明可进行下一次的接口状态请求; 0x1: 请求接口进入 active 状态; 0x2: 请求接口进入 partial 状态; 0x6: 请求接口进入 slumber 状态; 其它: 保留。 当软件写入上述非保留值时, 控制器执行相应操作后将 cmd_icc 清 0; 当软件请求接口进入已经处于的状态, 控制器直接将 cmd_icc 清 0; 如果软件请求接口从一种低功耗模式进入另一种低功耗模式, 如从 partial 到 slumber, 软件应先请求接口从 partial 状态进入 active 状态, 再请求接口从 active 状态进入 slumber 状态。																																	
[27]	RW	cmd_asp	主动进入电源管理 Slumber/Partial 状态选择。 0: 主动进入 partial 状态; 1: 主动进入 slumber 状态。																																	
[26]	RW	cmd_alpe	自动电源管理使能。 0: 禁止; 1: 使能。一旦 SATA_PORT_CI、SATA_PORT_SACT 被清 0, 控制器自动进入电源管理状态, 若 cmd_asp 为 1 进入 partial, 若 cmd_asp 为 0 则进入 slumber 状态。																																	
[25]	RW	cmd_dlae	ATAPI 模式下 LED 驱动使能。 0: 在 cmd_atapi 为 0, 且有命令在执行时驱动 LED 管脚有效; 1: 只要有命令在执行, 均驱动 LED 管脚有效。																																	
[24]	RW	cmd_atapi	ATAPI 设备指示。 0: 当前设备为非 ATAPI 设备; 1: 当前设备为 ATAPI 设备。																																	
[23]	RO	reserved	保留。																																	



[22]	RO	fbscp	此端口是否支持 FIS-base Switching 能力，当 CAP.SPM 和 CAP.FBSS 都设置为 1 的时候，这个 bit 必须置位为 1。 0：不支持； 1：支持。
[21]	RO	cmd_esp	一直为 1，表示支持 External SATA 设备。
[20:18]	RO	reserved	保留。
[17]	RW	cmd_pma	Port Multipiler 设备识别指示。 0：端口未连接 Port Multipiler 设备； 1：端口连接的是 Port Multipiler 设备。
[16]	RO	reserved	保留。
[15]	RO	cmd_cr	命令列表处理指示信号。 0：无命令正在执行； 1：有命令正在执行。
[14]	RO	cmd_fr	FIS 接收处理指示信号， 0：未进行 FIS 接收； 1：正进行在 FIS 接收。
[13]	RO	reserved	保留。
[12:8]	RO	cmd_ccs	当前命令 Slot 号。 该位在 cmd_st 为 1 时有效，在 cmd_st 为 0 时清 0。
[7:5]	RO	reserved	保留。
[4]	RW	cmd_fre	FIS 接收使能控制信号。 0：禁止将接收的 FIS 写入系统内存； 1：使能接收 FIS 并写入系统内存。 软件应先设置好接收 FIS 基址 SATA_PORT_FB 后再使能该位接收 FIS；在 cmd_st 为 1 期间，该位必须为 1。
[3]	RW	cmd_clo	Busy/Drq 清除控制，软件可通过该位强制清除 BSY 和 DRQ，并给 device 发送命令。 0：无影响； 1：将清除 SATA_PORT_TFD[tfd_sts]寄存器的 BSY 和 DRQ 位，在 BSY、DRQ 为 0 后该位自动清 0。 该位只能紧跟在 cmd_st 由 0 置 1 之前写 1，且软件应保证在该位清 0 后将 cmd_st 写 1。
[2]	RO	reserved	保留。



[1]	RW	cmd_sud	Spin-up 设备控制。 0: 当 SATA_PORT_SCTL[det]为 0 时，控制器进入到 listen 模式； 1: 系统上电或 HBA 复位后，启动控制器发送 COMRESET 序列初式化硬盘设备。
[0]	RW	cmd_st	命令列表处理使能。 0: 控制器进入闲置状态。 1: 控制器从 slot 0 开始，处理 SATA_PORT_CI 寄存器标识为有效 slot 的命令。 在 cmd_fre 为 1 后才可设置 cmd_st 为 1。

SATA_PORT_TFD

SATA_PORT_TFD 为端口 task file 寄存器。

	Offset Address 0x20+n x 0x80	Register Name SATA_PORT_TFD	Total Reset Value 0x0000_007F
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1		
	Bits	Access	Name
	[31:16]	RO	reserved
	[15:8]	RO	tfd_err
	[7:0]	RO	tfd_sts
			task file 状态寄存器值。 bit[7]: BSY 位，指示设备正忙； bit[6:4]: 不同命令代表不同的含义； bit[3]: DRQ 位，指示设备有数据待传输； bit[2:1]: 不同的命令代表不同的含义； bit[0]: ERR 位，指示设备在传输过程中出错。 控制器在接收到 D2H register/PIO setup/SDB FIS 时更新该寄存器位。



SATA_PORT_SIG

SATA_PORT_SIG 为端口 signature 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x24+n x 0x80	SATA_PORT_SIG	0xFFFF_FFFF
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	signature		
Reset	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1		
	Bits	Access	Name
	[31:0]	RO	signature
	Description		
	LBA 地址和扇区编址。具体分配关系如下： bit[31:24]: LBA 高位地址； bit[23:16]: LBA 中间地址； bit[15:8]: LBA 低位地址； bit[7:0]: 扇区数量。 在硬盘设备复位后的第一个 D2H register FIS 更新该寄存器。		

SATA_PORT_SSTS

SATA_PORT_SSTS 为接口状态寄存器。

	Offset Address	Register Name	Total Reset Value
	0x028+n x 0x80	SATA_PORT_SSTS	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
		pxssts_ipm	pxssts_spd
			pxssts_det
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
	Bits	Access	Name
	[31:12]	RO	reserved
	[11:8]	RO	pxssts_ipm
	Description		
	保留。		
	当前接口状态。 0x0: 无设备或通信未建立； 0x1: 处于 Active 状态； 0x2: 处于 Partial 状态； 0x6: 处于 Slumber 状态； 其它: 保留。		



[7:4]	RO	pxsststs_spd	接口协商速度状态。 0x0: 无设备或通信未建立; 0x1: 协商采用速率 1 进行通信; 0x2: 协商采用速率 2 进行通信; 0x3: 协商采用速率 3 进行通信; 其它: 保留。
[3:0]	RO	pxsststs_det	设备检测与 PHY 状态。 0x0: 未检测到设备且 PHY 通信未建立; 0x1: 检测到设备但 PHY 通信未建立; 0x3: 检测到设备且 PHY 通信已建立; 0x4: PHY 处于离线状态或者处于 BIST 状态; 其它: 保留。

SATA_PORT_SCTL

SATA_PORT_SCTL 为接口控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x02C+n x 0x80				SATA_PORT_SCTL								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												pxsctl_ipm				pxsctl_spd				pxsctl_det											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	RO		reserved		保留。																											
[11:8]	RW		pxsctl_ipm		接口电源管理状态控制。 0x0: 无特别要求; 0x1: 禁止进入 Partial 状态; 0x2: 禁止进入 Slumber 状态; 0x3: 禁止进入 Partial 状态或者 Slumber 状态; 其它: 保留。																											



[7:4]	RW	pxsctl_spd	接口通信速度控制。 0x0: 无特别要求; 0x1: 限速到速率 1 进行通信; 0x2: 限速到速率 2 进行通信; 0x3: 限速到速率 3 进行通信; 其它: 保留。
[3:0]	RW	pxsctl_det	设备检测与接口初始化控制。 0x0: 无设备检测或初始化请求; 0x1: 请求接口进行复位初始化序列 COMRESET; 0x4: 强制接口进入离线状态; 其它: 保留。 当 pxsctl_det 设置为 1 时, 控制器将发送 COMRESET 序列至设备, 软件应保持该位为 1 至少 1ms, 以保证设备收到 COMRESET 序列。

SATA_PORT_SERR

SATA_PORT_SERR 为错误诊断状态寄存器。

	Offset Address	Register Name	Total Reset Value					
	0x30+n x 0x80	SATA_PORT_SERR	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	diag_x diag_f reserved	diag_s diag_h diag_c reserved	diag_b diag_w diag_i diag_n	reserved	err_p reserved err_t	reserved	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	RO	reserved	保留。					
[26]	WC	diag_x	设备检测状态。 0: 未检测到设备发出的 COMINIT 信号; 1: 检测到设备发出的 COMINIT 信号。					
[25]	WC	diag_f	未知 FIS 检测状态。 0: 未收到 Unkonwn FIS; 1: 收到 Unkonwn FIS 且 CRC 校验正确时置 1。					
[24]	RO	reserved	保留。					



[23]	WC	diag_s	Link 链路层错误状态。 0: 链路层未出现状态跳变错误; 1: 链路层出现状态跳变错误。
[22]	WC	diag_h	握手错误状态。 0: 未收到设备发出 R_ERR 原语; 1: 收到设备发出的一个或多个 R_ERR 原语。
[21]	WC	diag_c	CRC 错误状态。 0: 接收 FIS 未出现 CRC 校验错误; 1: 接收 FIS CRC 校验错误。
[20]	RO	reserved	保留。
[19]	WC	diag_b	解码错误状态。 0: 未检测到 10B 到 8B 解码错误; 1: 检测到 10B 到 8B 解码错误。
[18]	WC	diag_w	COMWAKE 状态。 0: 未检测到设备发出的 COMWAKE 信号; 1: 检测到设备发出的 COMWAKE 信号。
[17]	WC	diag_i	PHY 内部错误状态。 0: 未检测到 PHY 内部错误; 1: 检测到 PHY 内部错误。
[16]	WC	diag_n	PhyRdy 信号变化状态。 0: PhyRdy 信号未发生变化; 1: PhyRdy 信号发生变化。 当 PhyRdy 信号从 1 到 0 或从 0 到 1 变化时置 1。
[15:11]	RO	reserved	保留。
[10]	WC	err_p	违背 SATA 协议错误状态。 0: 未检测到设备行为违反 SATA 协议; 1: 检测到设备行为违反 SATA 协议。
[9]	RO	reserved	保留。
[8]	WC	err_t	数据完整性错误状态。 0: 未检测到数据完整性错误; 1: 检测到数据完整性错误。
[7:0]	RO	reserved	保留。



SATA_PORT_SACT

SATA_PORT_SACT 为 NCQ 命令标识控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x034+n x 0x80	SATA_PORT_SACT	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	port_sact		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	port_sact	<p>NCQ 命令标识控制寄存器。</p> <p>该寄存器每一位对应一 tag 号和内存中的一条 NCQ 命令，bit[31:0]分别对应 slot31~0 的命令和 tag31~0。以 bit[3]为例，每一位具体含义：</p> <p>0：slot3 命令为非 NCQ 命令；</p> <p>1：slot3 命令为 NCQ 命令。软件应在置位 SATA_PORT_CI[3]位之前置位该寄存器 bit[3]，在命令数据传输完成后，设备会发送一条 SDB FIS，控制器根据 FIS 中 SActive 来清除 bit[3]。</p> <p>软件只能在 cmd_st 为 1 时设置该寄存器，在 cmd_st 为 0 时全部清 0。</p>

SATA_PORT_CI

SATA_PORT_CI 为命令发送控制寄存器。



Offset Address		Register Name		Total Reset Value				
0x38+n x 0x80		SATA_PORT_CI		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	port_ci							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	port_ci	<p>命令待发送控制。</p> <p>该寄存器每一位代表内存中的一条命令，bit[31:0]分别对应slot31~0的命令。以bit[3]为例，每一位具体含义：</p> <p>0：slot3 无命令等待发送和执行；</p> <p>1：slot3 命令已在内存中建立完毕，控制器可以发送这条命令；当控制器执行完该命令，收到相应的 FIS 并清除 SATA_PORT_TFD 寄存器 BSY、DRQ、ERR 位时，同时也将清掉 bit[3]。</p> <p>该寄存器各位只能在 cmd_st 为 1 时置位，在 cmd_st 为 0 时全部清 0。</p>					

SATA_PORT_SNTF

SATA_PORT_SNTF 为异步 notification 事件指示寄存器。

Offset Address		Register Name		Total Reset Value				
0x3C+n x 0x80		SATA_PORT_SNTF		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				pxsntf_pmn			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	WC	pxsntf_pmn	<p>异步 notification 事件状态。</p> <p>如果控制器收到 PM 上设备的 SDB FIS，且该 FIS “N “位为 1，则将设备 PM 端口号对应该寄存器比特位置 1。</p> <p>以 bit[3]为例，每一位具体含义：</p> <p>0：PM 端口号为 3 的设备无异步 notification 事件发生；</p> <p>1：PM 端口号为 3 的设备有异步 notification 事件发生。</p>					



SATA_PORT_FBS

SATA_PORT_FBS 为 FIS-Based Switching 控制寄存器。

	Offset Address 0x40+n×0x80				Register Name SATA_PORT_FBS				Total Reset Value 0x0000_F000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								fbs_dwe				fbs_ado				fbs_dev				reserved				fbs_sde	fbs_dec	fbs_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:20]	RO	reserved	保留。																													
[19:16]	RO	fbs_dwe	由硬件设置，表明当前 PM 的那个端口对应的设备出现了致命错误。这个域只有在 PxFBS.SDE 等于 1 的时候才有效。																													
[15:12]	RO	fbs_ado	由硬件设置，表明当前 FIS-base Switch 可以最多支持多少个 PM 外挂设备来进行。为了更好的性能，软件最好能在建命令的时候，所创建的命令对应的 PM 域个数小于这个值。																													
[11:8]	RW	fbs_dev	由软件设置，表明下一个命令应该发送的 PM 端口号。软件不能发送命令给多个 PM 端口号，这样在创建一个 CI 的时候，就不能建立发送到多个 PM 端口，同一个 CI，必须是同样的 PM 端口。																													
[7:3]	RO	reserved	保留。																													
[2]	RO	fbs_sde	当设置为 1，表明出现致命错误，硬件应该认为软件会优先处理这个错误。当清 0 时，需要软件将 PxCMD.ST 清 0。当 PxFBS.DEC 被置位 1，或者 PxCMD.ST 清 0 时，此 bit 应该清 0。																													
[1]	RW	fbs_dec	当软件对这个 bit 置位 1 时，HBA 应该清掉出错对应的条件，同时 HBA 应该清空对应 Device 的 outstanding 的命令，包括需要清除这个 Device 对应的 PxCi 和 PxSACT。当硬件完成错误恢复后，硬件应该将这个 bit 清 0。软件对该 bit 写 0 无影响。软件只有但 PxFBS.EN 和 PxFBS.SDE 设置为 1 时，才能对此 bit 置位 1。																													
[0]	RW	fbs_en	当设置为 1 时，表明当前有 PM 外挂，且 HBA 应该使用 FIS-Base Switching 来和他通信。当前清 0 时，不能使用 FIS-Base Switching。软件只能当 PxCMD.ST 等于 0 时才能修改这个 bit。																													



SATA_PORT_FIFOTH

SATA_PORT_FIFOTH 为接收 FIFO 流水线寄存器。

	Offset Address 0x044+n x 0x80	Register Name SATA_PORT_FIFOTH	Total Reset Value 0x0001_9F24	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	reserved			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 0 0 1 1 1 1 1 0 0 1 0 0 1 0 0			
		mem_ctrl	reserved	
			dmac_rxfifo_th	
			rxfifo_th_sel	
			link_rxfifo_th	
Bits	Access	Name	Description	
[31:18]	RW	reserved	保留。	
[17:11]	RW	mem_ctrl	控制 Mem 的 timing 参数。 [13:11]: 对应 mem 中的 EMEA; [14]: 对应 mem 中的 EMSA; [17:15]: 对应 mem 中的 EMAB。	
[10:9]	RO	reserved	保留。	
[8:4]	RW	dmac_rxfifo_th	DMAC 接收 FIFO 流控流水线。在接收数据时若 DMAC FIFO 数据量超过该值时控制器开始流控。	
[3]	RW	rxfifo_th_sel	流控 FIFO 选择。 0: link 接收 FIFO 流控有效; 1: DMAC 接收 FIFO 流控有效。	
[2:0]	RW	link_rxfifo_th	link 接收 FIFO 流控流水线。在接收数据时若 DMAC FIFO 数据量超过该值时控制器开始流控。	

SATA_PORT_PHYCTL1

SATA_PORT_PHYCTL1 为 PHY 控制寄存器 1。



	Offset Address 0x048+n×0x80				Register Name SATA_PORT_PHYCTL1								Total Reset Value 0x002E_5CB8																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				px_tx_invert	px_nearafelb	px_bpr_reset	px_rx_eq	px_tx_amplitude_gen3				px_tx_amplitude_gen2				px_tx_amplitude_gen1				px_rx_invert											
Reset	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	1	0	1	1	1	0	0	1	0	1	1	1	0	0	0
Bits	[31:28]				[27]	[26]	[25]	[24:22]	[21:15]	[14:8]	[7:1]	[0]																				
Access	RO				RW	RW	RW	RW	RW	RW	RW	RW																				
Name	reserved				px_tx_invert	px_nearafelb	px_bpr_reset	px_rx_eq	px_tx_amplitude_gen3	px_tx_amplitude_gen2	px_tx_amplitude_gen1	px_rx_invert																				
Description	保留。				是否允许发送方向极性反转。 0: 不允许; 1: 允许。	设置环回模式, 来做 BIST 测试。	在 BIST 模式下的复位。	接收方向的均衡设置。	在 Gen3 模式下的发送信号摆幅控制。	在 Gen2 模式下的发送信号摆幅控制。	在 Gen1 模式下的发送信号摆幅控制。	是否允许接收方向极性反转。 0: 不允许; 1: 允许。																				

SATA_PORT_PHYCTL2

SATA_PORT_PHYCTL2 为 PHY 控制寄存器 2。



Offset Address		Register Name		Total Reset Value					
0x04C+n×0x80		SATA_PORT_PHYCTL2		0x0002_0555					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			px_reset	px_tx_preemph_gen3	px_tx_preemph_gen2	px_tx_preemph_gen1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 1 0 1	0 1 0 1	0 1 0 1	
Bits	Access	Name	Description						
[31:19]	RO	reserved	保留。						
[18]	RW	px_reset	SerDes 的 lane 复位信号，异步复位，高有效。						
[17:12]	RW	px_tx_preemph_gen3	在 Gen3 模式下的发送预加重控制。						
[11:6]	RW	px_tx_preemph_gen2	在 Gen2 模式下的发送预加重控制。						
[5:0]	RW	px_tx_preemph_gen1	在 Gen1 模式下的发送预加重控制。						

SATA_PORT_HBA

SATA_PORT_HBA 为 HBA 测试状态寄存器。

Offset Address		Register Name		Total Reset Value						
0x050+n x 0x80		SATA_PORT_HBA		0x0100_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	p_curr_st	reserved	ndr_curr_st	cfis_curr_st	reserved	pio_curr_st	reserved	pm_curr_st	err_curr_st
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:28]	RO	reserved	保留。							
[27:24]	RO	p_curr_st	HBA_PINIT_STATE 状态机当前状态。							
[23:21]	RO	reserved	保留。							
[20:16]	RO	ndr_curr_st	HBA_NDR_STATE 状态机当前状态。							
[15:12]	RO	cfis_curr_st	HBA_CFIS_STATE 状态机当前状态。							



[11]	RO	reserved	保留。
[10:8]	RO	pio_curr_st	HBA_PIO_STATE 状态机当前状态。
[7]	RO	reserved	保留。
[6:4]	RO	pm_curr_st	HBA_PM_STATE 状态机当前状态。
[3:0]	RO	err_curr_st	HBA_ERR_STATE 状态机当前状态。

SATA_PORT_LINK

SATA_PORT_LINK 为 Link 测试状态寄存器。

	Offset Address 0x054+n x 0x80	Register Name SATA_PORT_LINK	Total Reset Value 0x0020_2020					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	link_curr_st	reserved link_df_fifo_full link_df_fifo_empty	link_df_fifo_count	reserved link_rx_fifo_full link_rx_fifo_empty	link_rx_fifo_count	reserved link_tx_fifo_full link_tx_fifo_empty	link_tx_fifo_count
Reset	0 0 0 0	0 0 1 1	0 0 1 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 1 0	0 0 0 0
Bits	Access	Name	Description					
[31:29]	RO	reserved	保留。					
[28:24]	RO	link_curr_st	LINK_CTL_STATE 状态机当前状态。					
[23]	RO	reserved	保留。					
[22]	RO	link_df_fifo_full	Link 消频差 FIFO 满标志。 0: FIFO 不满; 1: FIFO 满。					
[21]	RO	link_df_fifo_empty	Link 消频差 FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。					
[20:16]	RO	link_df_fifo_count	Link 消频差 FIFO 数据量。					
[15]	RO	reserved	保留。					
[14]	RO	link_rx_fifo_full	Link 接收 FIFO 满标志。 0: FIFO 不满; 1: FIFO 满。					



[13]	RO	link_rx_fifo_empty	Link 接收 FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[12:8]	RO	link_rx_fifo_count	Link 接收 FIFO 数据量。
[7]	RO	reserved	保留。
[6]	RO	link_tx_fifo_full	Link 发送 FIFO 满标志。 0: FIFO 不满; 1: FIFO 满。
[5]	RO	link_tx_fifo_empty	Link 发送 FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[4:0]	RO	link_tx_fifo_count	Link 发送 FIFO 数据量。

SATA_PORT_DMA1

SATA_PORT_DMA1 为 DMAC 测试状态寄存器 1。

	Offset Address 0x058+n x 0x80	Register Name SATA_PORT_DMA1	Total Reset Value 0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	txdmac_cur_state	txdmac_prd_i	tx_entry_dbc_cnt					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:24]	RO	txdmac_cur_state	SATA_TX_DMAMC 状态机当前状态。						
[23]	RO	txdmac_prd_i	SATA_TX_DMAMC 中 PRD 链表的 entry 中的“1”位。						
[22:0]	RO	tx_entry_dbc_cnt	SATA_TX_DMAMC 中递减计数器，当前使用的 Entry 中的数据字节数目。						



SATA_PORT_DMA2

SATA_PORT_DMA2 为 DMAC 测试状态寄存器 2。

	Offset Address	Register Name	Total Reset Value
	0x05C+n x 0x80	SATA_PORT_DMA2	0x0020_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		tx_data_fis_cnt
Reset	0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:24]	RO	reserved	保留。
[23:8]	RO	tx_data_fis_cnt	SATA_TX_DMACH 中递减计数器，表示 PIO 和 Legacy DMA、及 First Party DMA 操作时的 Data FIS 字节数目。PIO 操作时，其初始值是 PIO Setup 中 transcount；Legacy DMA 或 First Party DMA 操作时，其初始值是 0x2000 (2048DWORD)。
[7:0]	RO	tx_cmdh_prdtl	SATA_TX_DMACH 中递减计数器，Command Header 中参数，表示 PRDT 中有多少个 Entries。

SATA_PORT_DMA3

SATA_PORT_DMA3 为 DMAC 测试状态寄存器 3。

	Offset Address	Register Name	Total Reset Value
	0x060+n x 0x80	SATA_PORT_DMA3	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	tx_fpdma_tran_cnt		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RO	tx_fpdma_tran_cnt	SATA_TX_DMACH 中递减计数器，表示 First Party DMA 操作时的 Data FIS 字节数目。其初始值是 DMA Setup 中 transcount。

SATA_PORT_DMA4

SATA_PORT_DMA4 为 DMAC 测试状态寄存器 4。



Offset Address		Register Name		Total Reset Value					
0x064+n x 0x80		SATA_PORT_DMA4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	rxdmac_cur_state	rxdmac_prd_i	rx_entry_dbc_cnt					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RO	reserved	保留。						
[27:24]	RO	rxdmac_cur_state	SATA_RX_DMAMC 当前状态机信号。						
[23]	RO	rxdmac_prd_i	SATA_RX_DMAMC 中 PRD 链表的 entry 中的 “I” 位。						
[22:0]	RO	rx_entry_dbc_cnt	SATA_RX_DMAMC 中递减计数器，当前使用的 Entry 中的数据字节数目。						

SATA_PORT_DMA5

SATA_PORT_DMA5 为 DMAMC 测试状态寄存器 5。

Offset Address		Register Name		Total Reset Value					
0x068+n x 0x80		SATA_PORT_DMA5		0x0020_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	rx_data_fis_cnt				rx_cmdh_prdtl			
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:8]	RO	rx_data_fis_cnt	SATA_RX_DMAMC 中递减计数器，表示 PIO 和 Legacy DMA、及 First Party DMA 操作时的 Data FIS 字节数目。PIO 操作时，其初始值是 PIO Setup 中 transcount；Legacy DMA 或 First Party DMA 操作时，其初始值是 0x2000 (2048DWORD)。						
[7:0]	RO	rx_cmdh_prdtl	SATA_RX_DMAMC 中递减计数器，Command Header 中参数，表示 PRDT 中有多少个 Entries。						



SATA_PORT_DMA6

SATA_PORT_DMA6 为 DMAC 测试状态寄存器 6。

	Offset Address	Register Name	Total Reset Value
	0x6C+n x 0x80	SATA_PORT_DMA6	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rx_fpdma_tran_cnt		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:0]	RO	rx_fpdma_tran_cnt	SATA_RX_DMAMC 中递减计数器，表示及 First Party DMA 操作时的 Data FIS 字节数目。其初始值是 DMA Setup 中 transcount 的值。

SATA_PORT_DMA7

SATA_PORT_DMA7 为 DMAC 测试状态寄存器 7。

	Offset Address	Register Name	Total Reset Value
	0x070+n x 0x80	SATA_PORT_DMA7	0x0005_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	pio_op fpdma_op dmac_rx_fifo_full dmac_rx_fifo_empty dmac_tx_fifo_full dmac_tx_fifo_empty	dmac_rx_fifo_cnt dmac_tx_fifo_cnt
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:22]	RO	reserved	保留。
[21]	RO	pio_op	PIO 操作指示。 0: 当前命令不是 PIO 操作; 1: 当前命令为 PIO 操作。
[20]	RO	fpdma_op	First Party DMA 操作指示。 0: 当前命令不是 First Party DMA 操作; 1: 当前命令为 First Party DMA 操作。



[19]	RO	dmac_rx_fifo_full	SATA_DMAC_RX_FIFO 满状态。 0: FIFO 不满; 1: FIFO 满。
[18]	RO	dmac_rx_fifo_empty	SATA_DMAC_RX_FIFO 空状态。 0: FIFO 非空; 1: FIFO 空。
[17]	RO	dmac_tx_fifo_full	SATA_DMAC_TX_FIFO 满状态。 0: FIFO 不满; 1: FIFO 满。
[16]	RO	dmac_tx_fifo_empty	SATA_DMAC_TX_FIFO 空状态。 0: FIFO 非空; 1: FIFO 空。
[15:8]	RO	dmac_rx_fifo_cnt	SATA_DMAC_RX_FIFO 中的数据个数, 单位为 DWORD。
[7:0]	RO	dmac_tx_fifo_cnt	SATA_DMAC_TX_FIFO 中的数据个数, 单位为 DWORD。

SATA_PORT_PHYCTL

SATA_PORT_PHYCTL 为 PHY 控制寄存器。

	Offset Address 0x074+n x 0x80	Register Name SATA_PORT_PHYCTL	Total Reset Value 0x0E24_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved phy_disable phy_calibrated spd_change_ack dp_rdy bist_tx_fspd neg_mode_b gen2_en speed_ctrl phy_config half_rate		reserved
Reset	0 0 0 0 1 1 1 0 0 0 1 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:29]	RO	reserved	保留。
[28]	RW	phy_disable	是否使用 PHY。 0: 使用 PHY; 1: 不使用 PHY。
[27]	RW	phy_calibrated	是否对 PHY 进行校准。 0: 不校准; 1: 校准。



[26]	RW	spd_change_ack	是否允许速率切换。 0: 不允许速度切换; 1: 允许速度切换。
[25]	RW	dp_rdy	PHY 是否准备好发送数据。 0: 未准备好; 1: 已经准备好。
[24]	RW	bist_tx_fspd	BIST 模式强迫发送时钟频率。 0: 不强迫; 1: 强迫。
[23]	RW	neg_mode_b	协商模式 B 选择。 0: 不支持; 1: 支持。
[22:21]	RW	gen2_en	发送控制信号, 是否允许 3G 模式。 00: 支持 1.5G 模式; 01: 支持 3G 模式; 10: 支持 6G 模式; 11: 保留;
[20]	RW	speed_ctrl	速度支持模式控制。 0: 选择硬件自协商; 1: 选择软件控制;
[19:18]	RW	rx_dpll_mode	当前 PHY 选择何种速率的配置文件。 00: 1.5G 配置文件; 01: 3.0G 配置文件; 10: 6.0G 配置文件; 11: 保留。
[17:16]	RW	half_rate	软件强制速度。 00: 强制为 1.5G 模式; 01: 强制为支持 3G 模式, 前提是 Device 支持 3G 及以上; 10: 强制为支持 6G 模式, 前提是 Device 支持 6G; 11: 保留。
[15:0]	RO	reserved	保留。

SATA_PORT_PHYSTS

SATA_PORT_PHYSTS 为 PHY 测试状态寄存器。



Offset Address		Register Name		Total Reset Value																			
0x078+n×0x80		SATA_PORT_PHYSTS		0x0000_0002																			
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0															
Name	reserved				ln_bslip_akt	ln_cominit_det	ln_comwake_det	ln_sig_level_valid_	ln_ok	ln_runlen_err	ln_ebuf_stat	ln_dec_disp_err	ln_dec_err	ln_rx_locked	ln_k28p5_det	spd_change	link_rdy	init_compl	pwr_state	phy_comwake	phy_cominit	half_rate	phyrdy
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0															
Bits	Access	Name	Description																				
[31:25]	RO	reserved	保留。																				
[24]	RO	ln_bslip_akt	symbol alignment bit slip 响应标记，即 BIT SLIP 响应。																				
[23]	RO	ln_cominit_det	OOB Cominit detect 信号。																				
[22]	RO	ln_comwake_det	OOB Comwake detect 信号。																				
[21]	RO	ln_sig_level_valid_	信号电平有效指示，异步，直接来自模拟信号检测器。 0：在 lnX_rxp_i/lnX_rxm_i 引脚未检测到信号； 1：在 lnX_rxp_i/lnX_rxm_i 引脚检测到信号。																				
[20]	RO	ln_ok	Lane OK 指示。																				
[19]	RO	ln_runlen_err	Run length 错误指示。																				
[18:16]	RO	ln_ebuf_stat	Elastic Buffer 状态指示。 000: No error; 001: Underflow; 010: Overflow; 011: SKP added; 100: SKP removed; 其他: 保留。																				
[15:14]	RO	ln_dec_disp_err	8B/10B decode disparity error 指示。 [0]对应 lnX_rxdata_i[9:0]，[1]对应 lnX_rxdata_i[19:10]。																				
[13:12]	RO	ln_dec_err	8B/10B decode error 指示。 [0]对应 lnX_rxdata_i[9:0]，[1]对应 lnX_rxdata_i[19:10]。																				



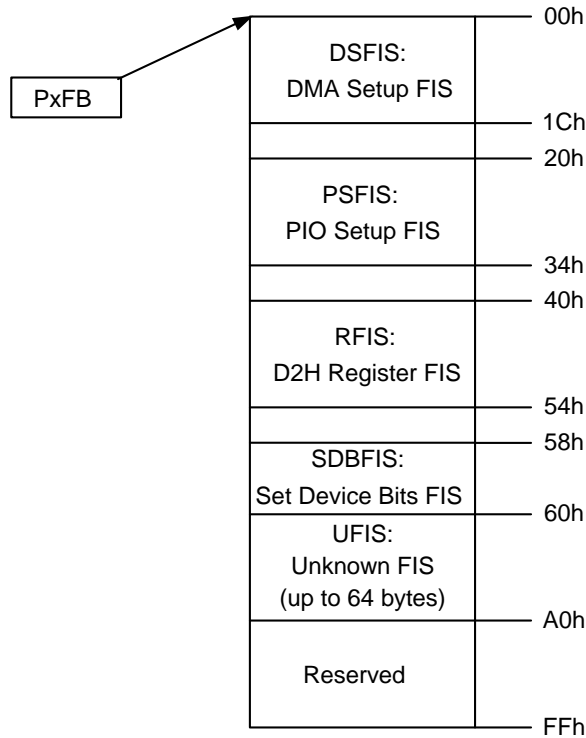
[11:10]	RO	ln_rx_locked	Rx 锁定指示，即指示 symbol alignment 逻辑已锁定数据而且相关数据有效。 [0]对应 lnX_rxdata_i[9:0]， [1]对应 lnX_rxdata_i[19:10]。
[9:8]	RO	ln_k28p5_det	K28.5 检测指示。 [0]对应 lnX_rxdata_i[9:0]， [1]对应 lnX_rxdata_i[19:10]。 00: 非 K28.5 word; 01: 相关 word 是一个 K28.5 word。
[7]	RO	spd_change	要求变换速率。
[6]	RO	link_rdy	为 1 时表示发送了足够的 D10.2。
[5]	RO	init_compl	为 1 时表示接收到非 ALIGN 原语，初始化完成。
[4]	RO	pwr_state	为 1 时表示处于低功耗模式(partial or slumber)， 否则表示处于 Active 状态。
[3]	RO	phy_comwake	为 1 时表示 PHY 检测到 COMWAKE。
[2]	RO	phy_cominit	为 1 时表示 PHY 检测到 COMINIT。
[1]	RO	half_rate	PHY 工作的速率模式。 0: 全速模式; 1: 半速模式;
[0]	RO	phyrdy	为 1 时表示此时 PHY 已经工作正常。

13.8.8 附录 A SATA 命令链表格式

FIS 链表结构如图 13-39 所示，此链表是软件在系统 memory 开辟的一段空间，链表的基地址存在 AHCI 寄存器组中的 PxFB 和 PxFBU 寄存器中，DMAC 以此基地址为目的地址，将收到的不同帧，搬运到不同的 memory 空间中。



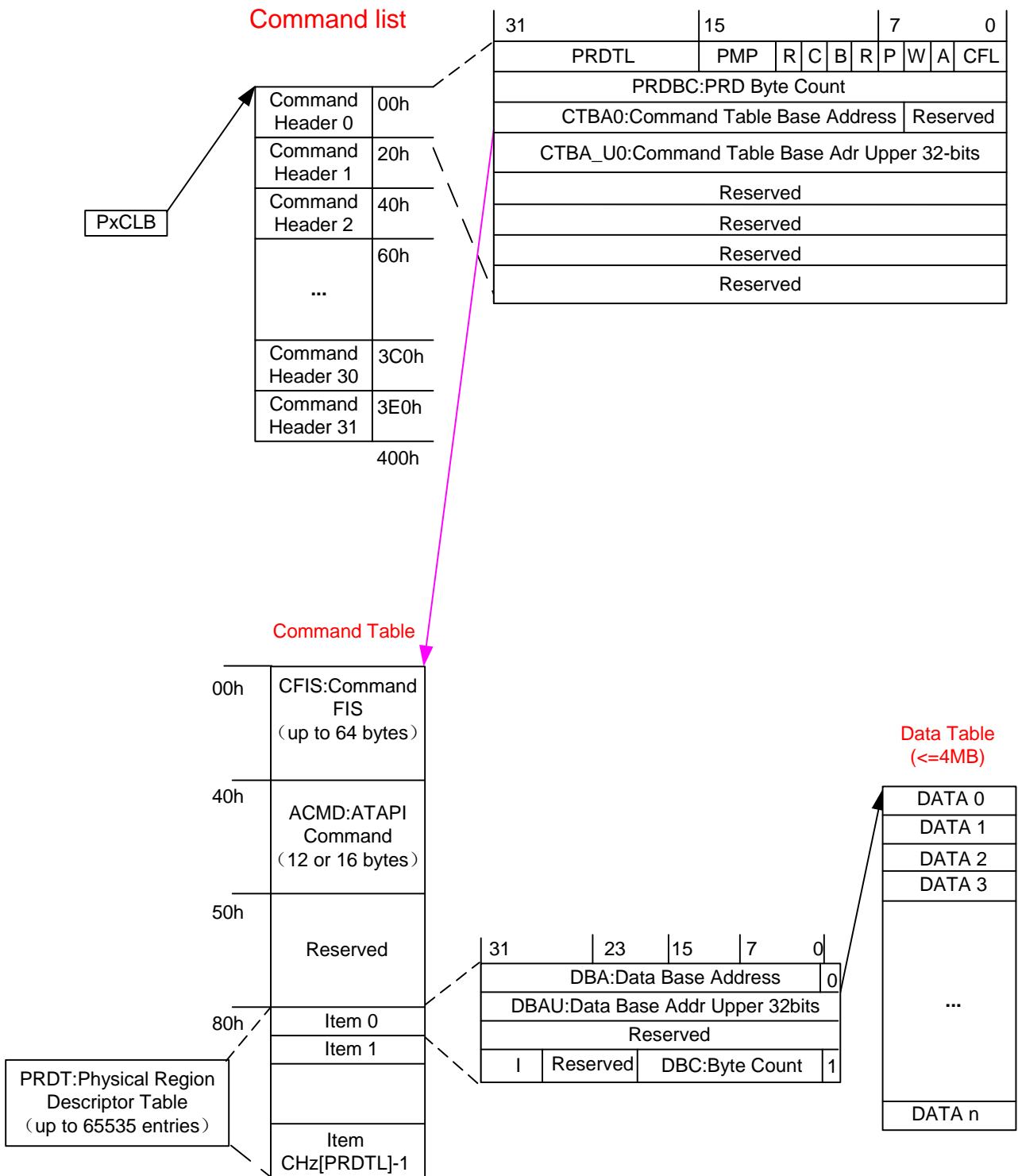
图13-39 链表结构



命令和数据链表结构如图 13-40 所示，此链表是软件在系统 memory 开辟的一段空间，Command list 中最多包括 32 个命令，Command list 的基地址由 AHCI 中的 PxCLB 和 PxCLBU 寄存器指定。每个命令都包括一个 Command Header，其中的 CTBA0 内容指定了 Command Table 的基地址，Command Table 中包括了要读取的命令和读写的数据空间链表。



图13-40 命令、数据链表结构



每次在命令执行之前都需要在内存中建立以上两个链表，链表的具体含义请参考 AHCI1.2 协议。其中的 CFIS 区域就是 H2D Register FIS，具体内容参考 SATA2.5 协



议。ACMD 区域是 ATAPI 操作的命令内容，具体内容参考 SSF (Small Form Factor Committee) 专门针对 DVD Devices 和 CD-ROMs 的协议描述。

13.9 PWM

13.9.1 概述

Hi3535 提供 1 组 2 路独立的脉宽调制信号输出。

13.9.2 特点

对于每组 PWM 输出：

- 3MHz 和 24MHz 时钟源可选。
- 内部有 26bit 计数器，输出周期可配置。支持最高 12MHz (24MHz/2) 输出，最低约 0.045Hz (3MHz/67108863) 输出。
- 内部有 26bit 计数器，输出高电平拍数可配置。
- 内部 10bit 计数器，输出脉冲个数 (最大 1023 个) 可配置。可以工作在固定个数输出模式和一直输出模式：
 - 当 `pwm_x_keep` (`pwm_x` 表示第 `x` 路 `pwm`) 配置为 0 时，`pwm_x` 输出固定数目的方波，该数目由 `pwm_x_num` (`pwm_x` 表示第 `x` 路 `pwm`) 寄存器控制。
 - 当 `pwm_x_keep` (`pwm_x` 表示第 `x` 路 `pwm`) 配置为 1 时，`pwm_x` 一直输出方波。

13.9.3 工作方式

PWM 内部工作于 3MHz 或者 24MHz，PWM (以 PWM0 为例) 输出配置流程如下：

1. 选择合适的时钟源，通过计算得到需要的周期数和高电平拍数。
2. 将对应数据写入 `PWM0_CFG0`、`PWM0_CFG1`、`PWM0_CFG2` 寄存器。
3. 对 `PWM0_CTRL` bit[0] 写入 1，使能 PWM 输出。

----结束

例如：需要输出 1 个频率为 3kHz，高电平占 72.5% (即占空比)，脉冲个数为 10 的波形。

选择 3MHz 时钟为时钟源，周期数配置为 $3\text{MHz} / 3\text{kHz} = 1000$ ，四舍五入后为 1000，十六进制为 `0x00003E8`。高电平数配置为 $1000 \times 72.5\%$ (占空比) = 725，四舍五入后为 725，十六进制为 `0x00002D5`。

按如下步骤进行寄存器操作，即可输出所需要的波形：

1. 向写 `PERI_CRG14` 写 `0x2`，选择 PWM 的时钟源为 3MHz，打开 PWM 时钟。
2. 读取 `PWM0_STATE2` bit[10]，等待 bit[10] 为 0 (表示 PWM 空闲，可以输出方波)
3. 向 `PWM0_CFG0` 写入 `0x0000_03E8`。



4. 向 `PWM0_CFG1` 写入 `0x0000_02D5`。
5. 向 `PWM0_CFG2` 写入 `0x0000_000A`。
6. 向 `PWM0_CTRL` 写入 `0x1`。（以下步骤可以省略，只是为了验证正在输出的方波是否按配置输出）
7. 读取 `PWM0_STATE2` bit[10]，等待 bit10 位为 1（表示 PWM 正在输出方波）
8. 读取 `PWM0_STATE0` 和 `0x0000_03E8` 进行校验。
9. 读取 `PWM0_STATE1` 和 `0x0000_02D5` 进行校验。
10. 读取 `PWM0_STATE2` bit[9:0]和 `0x0A` 进行校验(当 bit[10]为 1 时表示 PWM 正在输出方波，当该位为 0 时表示已经输出完设定的方波数目)。

----结束

13.9.4 PWM 寄存器概览

PWM 寄存器概览如表 13-20 所示。

表13-20 PWM 寄存器概览（基址是 `0x200E_0000`）

偏移地址	名称	描述	页码
0x0000	PWM0_CFG0	PWM0 的配置 0 寄存器	13-202
0x0004	PWM0_CFG1	PWM0 的配置 1 寄存器	13-202
0x0008	PWM0_CFG2	PWM0 的配置 2 寄存器	13-202
0x000C	PWM0_CTRL	PWM0 的控制寄存器	13-203
0x0010	PWM0_STATE0	PWM0 的状态 0 寄存器	13-204
0x0014	PWM0_STATE1	PWM0 的状态 1 寄存器	13-204
0x0018	PWM0_STATE2	PWM0 的状态 2 寄存器	13-204
0x0020	PWM1_CFG0	PWM1 的配置 0 寄存器	13-205
0x0024	PWM1_CFG1	PWM1 的配置 1 寄存器	13-206
0x0028	PWM1_CFG2	PWM1 的配置 2 寄存器	13-206
0x002C	PWM1_CTRL	PWM1 的控制寄存器	13-206
0x0030	PWM1_STATE0	PWM1 的状态 0 寄存器	13-207
0x0034	PWM1_STATE1	PWM1 的状态 1 寄存器	13-208
0x0038	PWM1_STATE2	PWM1 的状态 2 寄存器	13-208



13.9.5 PWM 寄存器描述

PWM0_CFG0

PWM0_CFG0 为 PWM0 的配置 0 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0000				PWM0_CFG0				0x0000_018F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				pwm0_period																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:0]	RW		pwm0_period		PWM0 的周期数。不能配置为 0 和 1，为 0 或者 1 时会输出高电平。																											

PWM0_CFG1

PWM0_CFG1 为 PWM0 的配置 1 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				PWM0_CFG1				0x0000_00C7																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				pwm0_duty																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:0]	RW		pwm0_duty		PWM0 的高电平拍数，如果大于等于周期数，则输出一直为高电平。																											

PWM0_CFG2

PWM0_CFG2 为 PWM0 的配置 2 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0008		PWM0_CFG2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						pwm0_num		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	RO	reserved	保留。						
[9:0]	RW	pwm0_num	PWM0 输出方波的数目。						

PWM0_CTRL

PWM0_CTRL 为 PWM0 的控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x000C		PWM0_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						pwm0_keep	pwm0_inv	pwm0_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	RO	reserved	保留。						
[2]	RW	pwm0_keep	PWM 输出模式。 0: PWM0 输出固定数目的方波; 1: PWM0 一直输出方波。						
[1]	RW	pwm0_inv	PWM 输出正反相控制。 0: PWM0 正常输出方波; 1: PWM0 反相输出方波。						
[0]	RW	pwm0_enable	PWM 使能控制。 0: PWM0 模块关闭; 1: PWM0 模块使能。						



PWM0_STATE0

PWM0_STATE0 为 PWM0 的状态 0 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0010		PWM0_STATE0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		pwm0_period_st						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:0]	RO	pwm0_period_st	PWM0 的内部模块采用的计数周期数。						

PWM0_STATE1

PWM0_STATE1 为 PWM0 的状态 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0014		PWM0_STATE1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		pwm0_duty_st						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:0]	RO	pwm0_duty_st	PWM0 的内部模块采用的高电平拍数。						

PWM0_STATE2

PWM0_STATE2 为 PWM0 的状态 2 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0018		PWM0_STATE2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			pwm0_cnt_st		pwm0_keep_st	pwm0_busy	pwm0_period_st	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RO	reserved	保留。						
[21:12]	RO	pwm0_cnt_st	PWM0 模块还需要输出的方波数目。只有当 pwm0_busy==1,pwm0_keep_st==0 时才有意义。						
[11]	RO	pwm0_keep_st	PWM0 的内部模块采用的输出方波的模式。 0: 输出固定数目的方波; 1: 一直输出方波。						
[10]	RO	pwm0_busy	PWM0 模块的工作状态。 0: 空闲, 输出完成; 1: 正在输出方波。						
[9:0]	RO	pwm0_period_st	PWM0 的内部模块采用的输出方波数目。						

PWM1_CFG0

PWM1_CFG0 为 PWM1 的配置 0 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0020		PWM1_CFG0		0x0000_018F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			pwm1_period					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:0]	RW	pwm1_period	PWM1 的周期数。不能配置为 0 和 1, 为 0 或者 1 时会输出高电平。						



PWM1_CFG1

PWM1_CFG1 为 PWM1 的配置 1 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0024				PWM1_CFG1				0x0000_00C7																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				pwm1_duty																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1
Bits	Access		Name		Description																											
[31:26]	RO		reserved		保留。																											
[25:0]	RW		pwm1_duty		PWM1 的高电平拍数，如果大于等于周期数，则输出一直为高电平。																											

PWM1_CFG2

PWM1_CFG2 为 PWM1 的配置 2 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0028				PWM1_CFG2				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												pwm1_num																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:10]	RO		reserved		保留。																											
[9:0]	RW		pwm1_num		PWM1 输出方波的数目。																											

PWM1_CTRL

PWM1_CTRL 为 PWM1 的控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x002C		PWM1_CTRL		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							pwm1_keep	pwm1_inv	pwm1_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	-	reserved	保留。							
[2]	RW	pwm1_keep	PWM 输出模式。 0: PWM1 输出固定数目的方波; 1: PWM1 一直输出方波。							
[1]	RW	pwm1_inv	PWM 输出正反相控制。 0: PWM1 正常输出方波; 1: PWM1 反相输出方波。							
[0]	RW	pwm1_enable	PWM 使能控制。 0: PWM1 模块关闭; 1: PWM1 模块使能。							

PWM1_STATE0

PWM1_STATE0 为 PWM1 的状态 0 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0030		PWM1_STATE0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		pwm1_period_st						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:0]	RO	pwm1_period_st	PWM1 的内部模块采用的计数周期数。						



PWM1_STATE1

PWM1_STATE1 为 PWM1 的状态 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0034		PWM1_STATE1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		pwm1_duty_st						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	RO	reserved	保留。						
[25:0]	RO	pwm1_duty_st	PWM1 的内部模块采用的高电平拍数。						

PWM1_STATE2

PWM1_STATE2 为 PWM1 的状态 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0038		PWM1_STATE2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		pwm1_cnt_st			pwm1_keep_st pwm1_busy	pwm1_period_st		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:22]	RO	reserved	保留。						
[21:12]	RO	pwm1_cnt_st	PWM1 模块还需要输出的方波数目。只有当 pwm1_busy==1,pwm1_keep_st==0 时才有意义。						
[11]	RO	pwm1_keep_st	PWM1 的内部模块采用的输出方波的模式。 0: 输出固定数目的方波; 1: 一直输出方波。						
[10]	RO	pwm1_busy	PWM1 模块的工作状态。 0: 空闲, 输出完成; 1: 正在输出方波。						



[9:0]	RO	pwm1_period_st	PWM1 的内部模块采用的输出方波数目。
-------	----	----------------	----------------------



目 录

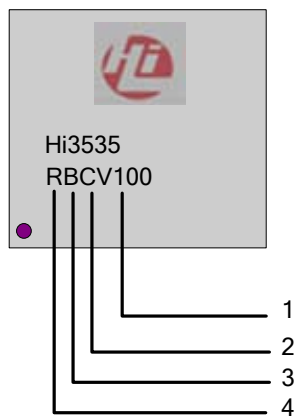
A 订购须知 A-1



A 订购须知

Hi3535 芯片标识如图 A-1 所示。

图A-1 Hi3535 芯片标识



Hi3535 芯片标识定义如表 A-1 所示。

表A-1 Hi3535 芯片标识定义

编号	标识	含义
1	版本号	芯片版本号
2	温度标识	C: Commercial(商业用品)
3	封装标识	B: BGA
4	环保标识	R: RoHS