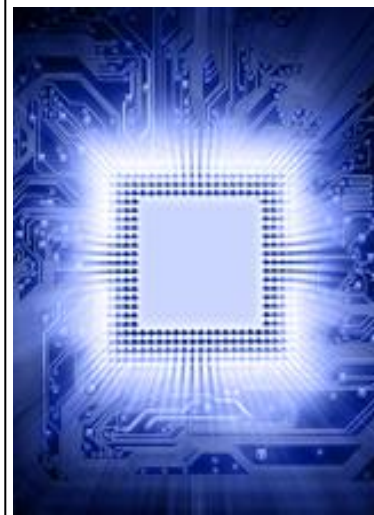


第9章 存储器、CPLD和FPGA

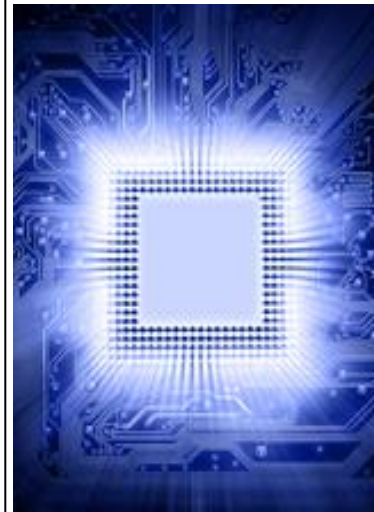
武港山

南京大学人工智能学院



CPLD

CPLD
FPGA





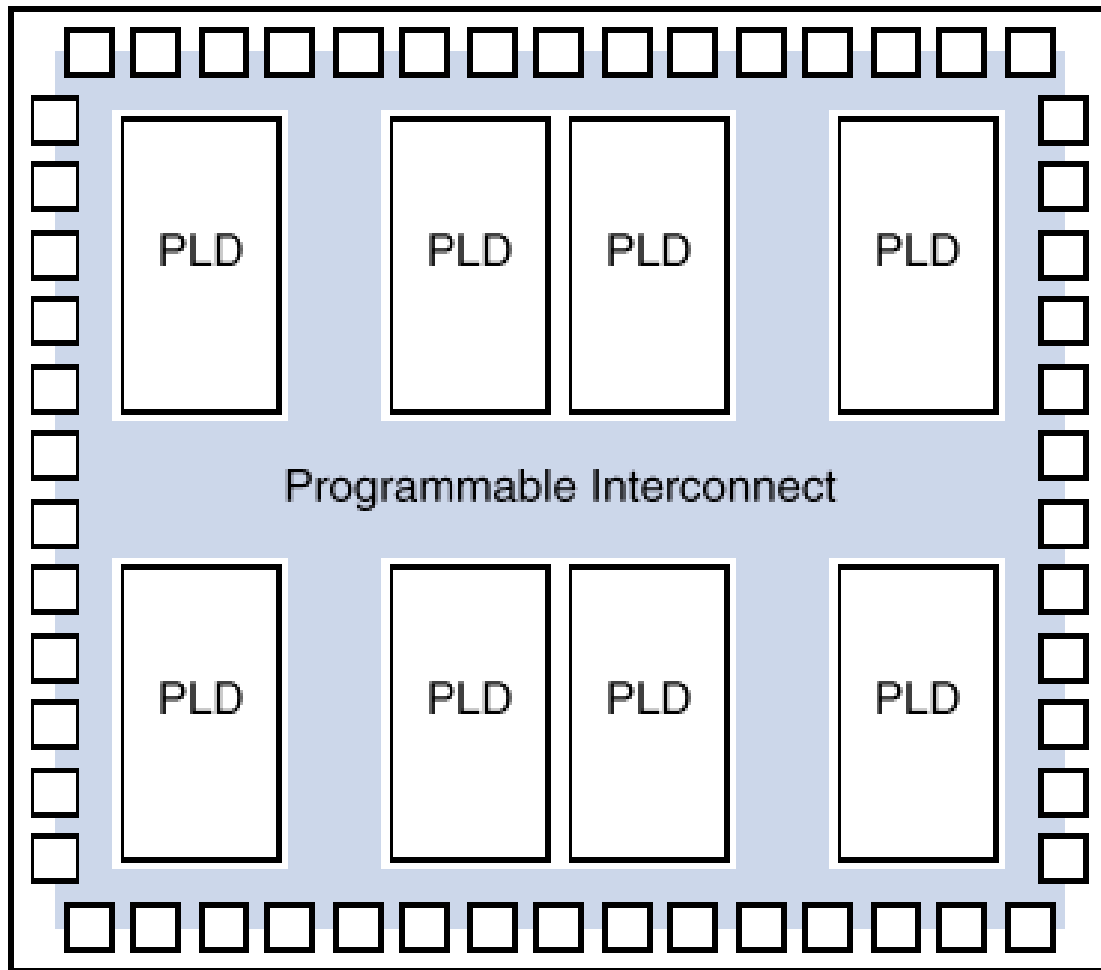
复杂可编程逻辑器件



- 复杂可编程逻辑器件 Complex Programmable Logic Device的由来
- 为什么没有对PAL、GAL的体系结构加以扩充？
 - 增加 n 倍输入端，由于电容效应和漏电流等因素，与阵列的操作速度会下降 n 倍。
 - 芯片面积需增加 n^2 倍。
 - 不如使用 n 个单独的PLD。
- 基本结构：大多由内部PLD、输入输出块和可编程内部连线组成。



通用的CPLD体系结构



□ = input/output block

片内PLD间的互连方式可编程。



Xilinx XC9500 CPLD 系列



- 内部PLD称为（可重配）**功能块FB**(Configurable Functional Blocks)
- 每个内部PLD具有36个输入和18个宏单元（36V18）

Table 10-8 Function blocks and external I/O pins in Xilinx 9500-series CPLDs.

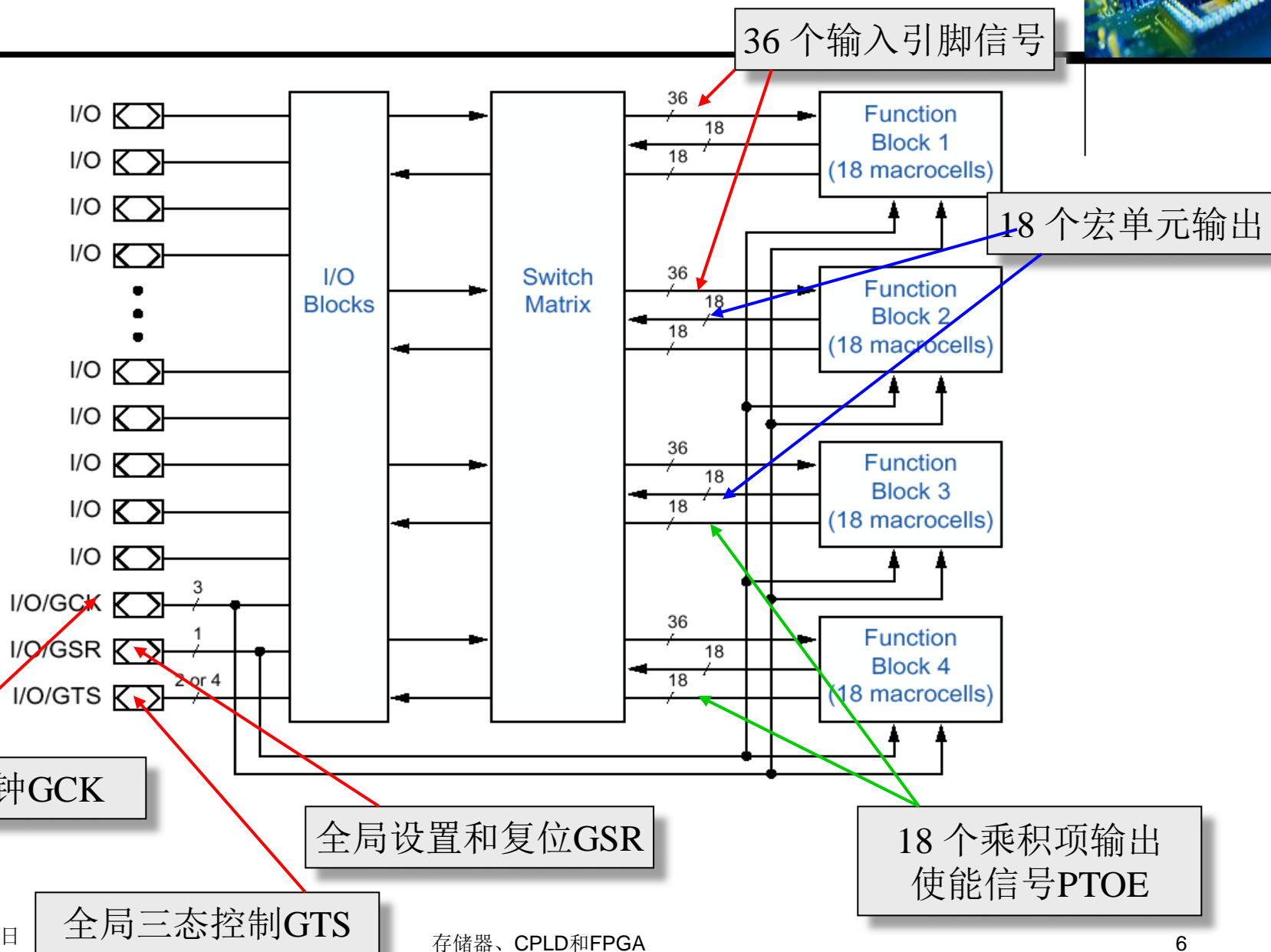
	Part Number					
	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
FBs / macrocells	2 / 36	4 / 72	6 / 108	8 / 144	12 / 216	16 / 288
Package	Device I/O Pins					
44-pin VQFP	34					
44-pin PLCC	34	34				
48-pin CSP	34					
84-pin PLCC		69	69			
100-pin TQFP		72	81	81		
100-pin PQFP		72	81	81		
160-pin PQFP			108	133	133	
208-pin HQFP					166	168
352-pin BGA					166	192

给定的芯片有不同的封装。

相同的封装有不同的器件。

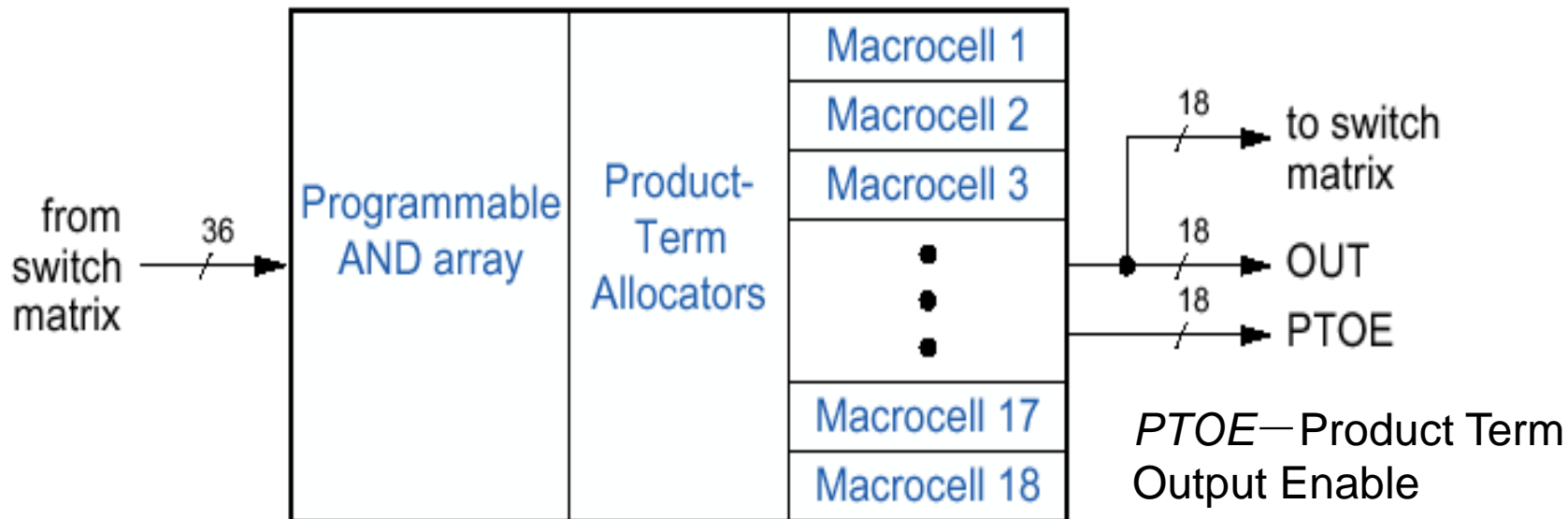


XC9500系列内部结构图

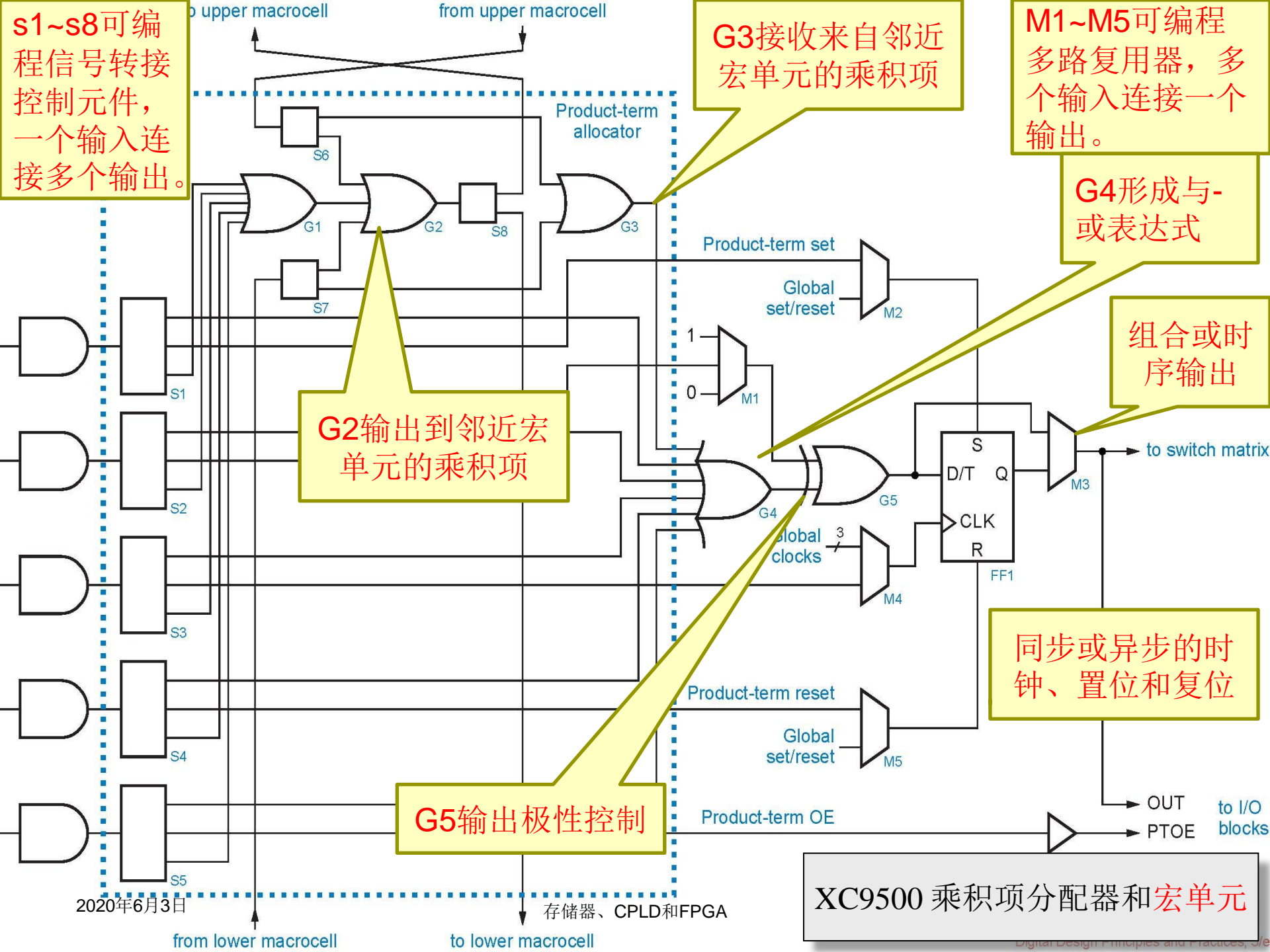




功能块体系结构



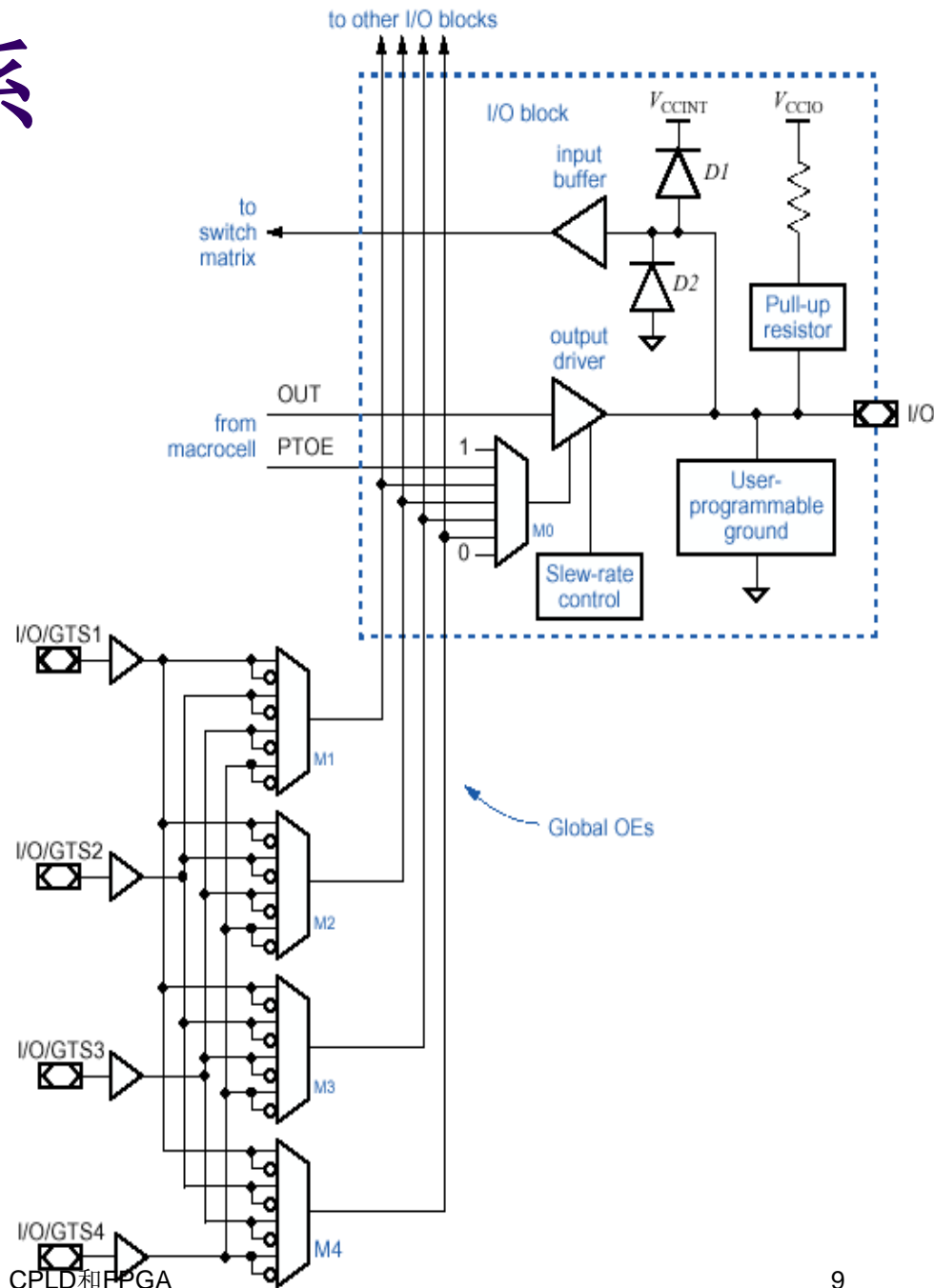
- XC9500具有较少的与项（5个），少于16V8的8个，20V10的8~16个。
- 但拥有乘积项分配器，可以将本宏单元中未用的乘积项分配给邻近的宏单元使用。
- 最多90个乘积项。





输入输出块体系

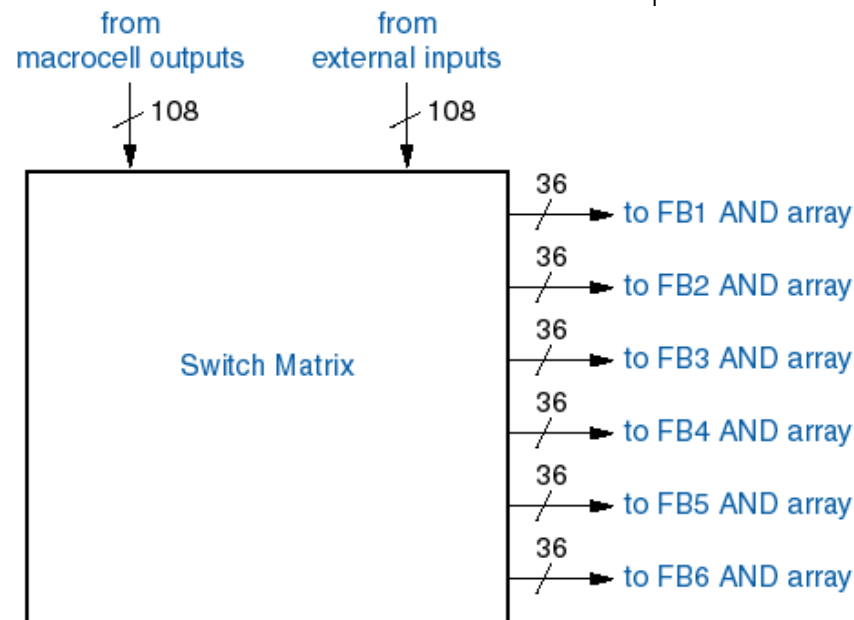
- 7种输出使能信号（4个全局3态控制、PTOE、0、1），用于三态驱动缓冲器。
- 提供三种不同的“模拟”控制
 - 转换速率控制
 - 上拉电阻
 - 用户可编程接地
- 5V和3.3V外部器件的兼容性。



开关矩阵



- XC95108为例
 - 216个输入
 - 216个输出
 - 每个输出带216输入端的多路复用器
- 最小多路复用器方案
- 完全的、无阻塞交叉阵列
- **fitter**软件查找



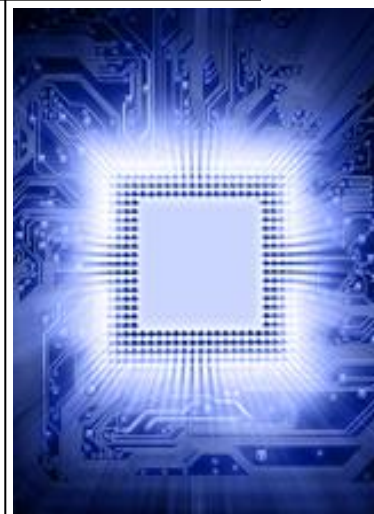
Non-deterministic（非确定性）**Polynomial**

寻找通过稀疏开关矩阵的一个完备集，**NP问题**。

开关矩阵是芯片性能与**fitter**软件能力的折中。

FPGA结构与工作原理

Field Programmable Gate Array





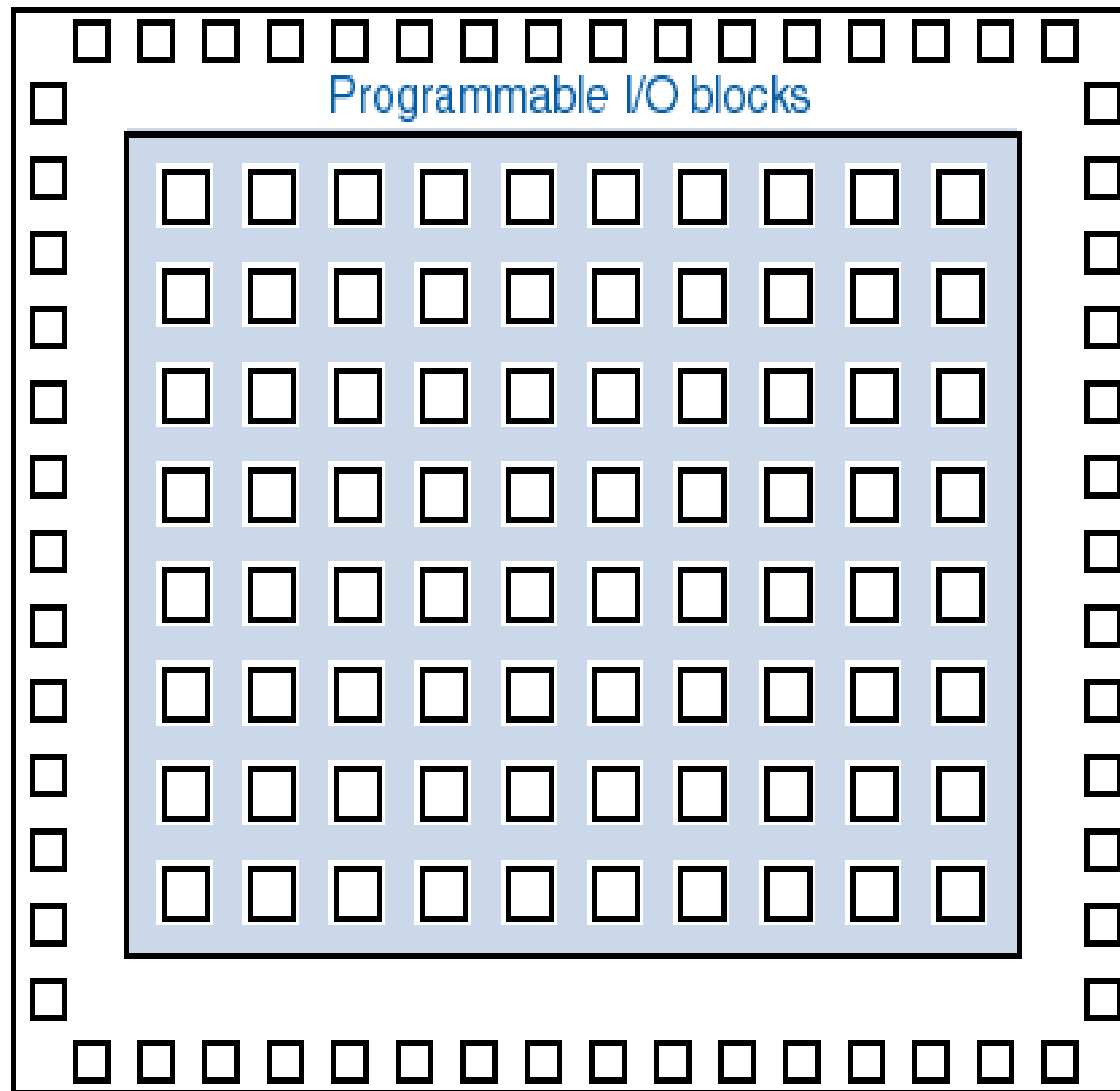
FPGA结构与工作原理



- 与CPLD相比，具有更高的集成度、更强的逻辑功能和更大的灵活性
- FPGA属于阵列型PLD
- 有三个可编程电路块和一个用于存放编程数据的SRAM组成
 - 可编程逻辑块（CLB）
 - 输入/输出模块（IOB）
 - 可编程互连线（PI）



现场可编程门阵列



■ = Programmable interconnect

□ = Programmable logic block

□ = I/O pad

CLB --

“configurable logic block”
少量输入端，1~2个触发器



Xilinx 4000-series FPGAs



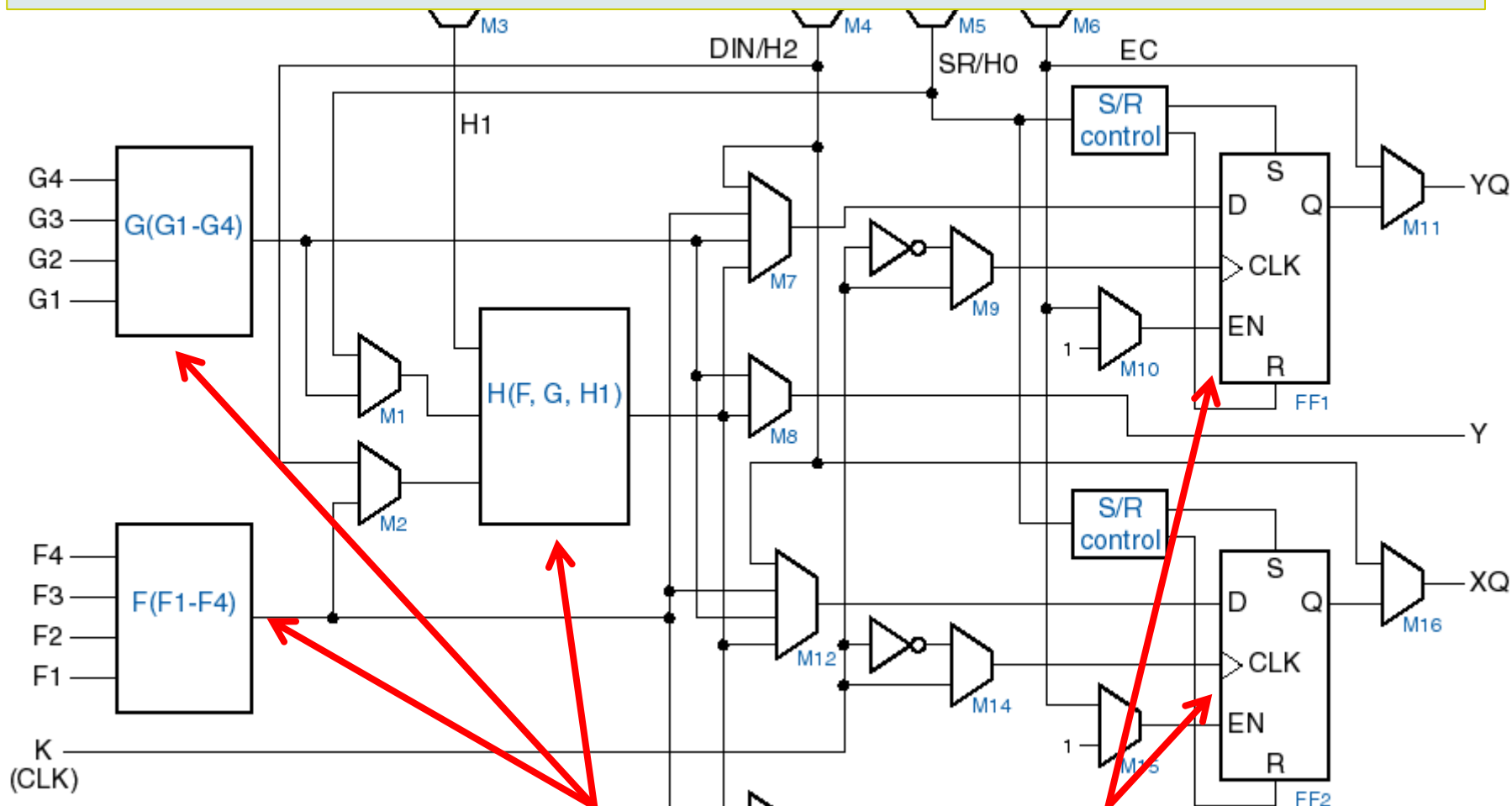
<i>Device</i>	<i>CLB Matrix</i>	<i>Total CLBs</i>	<i>Max. User I/O</i>	<i>Flip-Flops</i>	<i>Max. RAM bits (no logic)</i>	<i>Max. Gates (no RAM)</i>	<i>Typical Gate Range (Logic and RAM)</i>
XC4002XL	8 × 8	64	64	256	2,048	1,600	1,000–3,000
XC4003E	10 × 10	100	80	360	3,200	3,000	2,000–5,000
XC4005E/XL	14 × 14	196	112	616	6,272	5,000	3,000–9,000
XC4006E	16 × 16	256	128	768	8,192	6,000	4,000–12,000
XC4008E	18 × 18	324	144	936	10,368	8,000	7,000–15,000
XC4010E/XL	20 × 20	400	160	1,120	12,800	10,000	7,000–20,000
XC4013E/XL	24 × 24	576	192	1,536	18,432	13,000	10,000–30,000
XC4020E/XL	28 × 28	784	224	2,016	25,088	20,000	13,000–40,000
XC4025E	32 × 32	1,024	256	2,560	32,768	25,000	15,000–45,000
XC4028EX/XL	32 × 32	1,024	256	2,560	32,768	28,000	18,000–50,000
XC4036EX/XL	36 × 36	1,296	288	3,168	41,472	36,000	22,000–65,000
XC4044XL	40 × 40	1,600	320	3,840	51,200	44,000	27,000–80,000
XC4052XL	44 × 44	1,936	352	4,576	61,952	52,000	33,000–100,000
XC4062XL	48 × 48	2,304	384	5,376	73,728	62,000	40,000–130,000
XC4085XL	56 × 56	3,136	448	7,168	100,352	85,000	55,000–180,000



可配置逻辑块



CLB是FPGA的主要组成部分，是实现逻辑功能的基本结构单元。



每个CLB由3个组合逻辑函数发生器、2个触发器和由数据选择器组成的内部控制电路构成。



CLB 逻辑函数发生器(F, G, H)



- 使用RAM存储真值表
 - F, G: 4输入位, 16x1SRAM
 - H: 3 输入位, 8x1 SRAM
- F, G, and H函数发生器:
 - 任何4变量的第2函数, 加上3变量函数
 - 任何5变量函数
 - 任何4变量函数, 加上某些6变量函数
 - 某些9变量函数, 包括奇偶校验和4位级联相等校验器



CFB vs CLB

